

TPS12S24F-Q1 80V、低 I_Q 、低消費電力モード、負荷ウェイクアップ、I2T、SPI、および診断機能搭載の車載デュアル ハイサイド スイッチ コントローラ

1 特長

- AEC-Q100 車載グレード 1 温度認定済み
- 3.5V~70V の入力範囲 (絶対最大定格 80V)
- SPI 制御デュアル チャネル スマート ハイサイド スイッチ コントローラ
- 低消費電力モード時の低 $I_Q = 40\mu A$
- デュアル ゲートドライブ: GATEx: 0.5A ソースおよび 2A シンク
- 最大 780mA の連続負荷電流に対応可能な内蔵バイパス スイッチ
- Limphome モード搭載のユーザー プログラマブル EEPROM
- 容量性負荷を駆動するための SPI 設定可能モード
- 設定可能な負荷ウェイクアップ スレッシュホールドと $\overline{FLT}/WAKE$ 通知を使用した、低消費電力モードからアクティブ モードへの高速移行 (7.5 μs)
- 高精度なアナログ電流モニタ出力 (VIMONx): $\pm 2\%$ (30mV V_{SNS})
- 堅牢な保護機能を内蔵:
 - プログラム可能な Bi-I2T ワイヤ ハーネス保護
 - 調整可能な Bi-SCP (短絡) 保護
 - NTC ベースの外部 FET 過熱保護
 - 外付け FET で調整可能な VDS 過電圧保護
 - コントローラ過熱警告
 - -65V までの逆バッテリー イベントに対する保護
 - バッテリーまたはグラウンドの喪失時に使用できる自動シャットオフ機能
 - 調整可能な低電圧ロックアウトおよび過電圧保護
- 内蔵 ADC を備えたデジタル センس出力は、以下を測定するように設定可能です。
 - 双方向負荷電流センス
 - 入力および出力電源電圧
 - 外部 FET 温度
 - コントローラ温度
 - 外部 FET のドレイン ソース間電圧
- SPI インターフェイスを介した故障診断、および $\overline{FLT}/WAKE$ ピンによる故障通知を提供
 - オープン負荷、バッテリーへの短絡、または FET 短絡の検出

2 アプリケーション

- パワー ディストリビューション ボックス
- ボディコントロール モジュール
- DC/DC コンバータ
- バッテリー マネージメント システム

3 説明

TPS12S24F-Q1 は、保護および診断機能を備えた低 I_Q のスマート デュアル ハイサイド ドライバのファミリです。動作電圧範囲が 3.5V~70V と広く、絶対最大定格が 80V のため、12V、24V、48V の車載用システムの設計に適しています。

0.5A のソース電流および 2A のシンク電流に対応する二つのゲートドライブ (GATEx) を内蔵しています。低消費電力モードでは、内蔵の低消費電力パスがオンに維持され、メイン FET はオフとなり、 I_Q は 35 μA (標準値) です。負荷電流が設定可能な負荷ウェイクアップ スレッシュホールドを超えると、デバイスはメイン FET (GATEx) をオンにして自動的にアクティブ モードへ移行し、マイコンへのウェイクアップ通知として $\overline{FLT}/WAKE$ を Low にアサートします。さらに、このデバイスには SPI 経由で設定可能な各種容量性負荷充電モードも搭載されています。

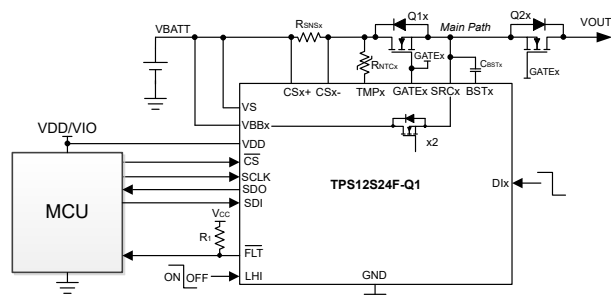
診断機能には、外付け R_{SNS} 抵抗、出力電圧、入力電圧、FET 温度検出、コントローラ温度、FET VDS 検出を使用した可変で双方向の I2T ベースの過電流および短絡保護を備えたデジタル双方向電流を、SPI シリアル インターフェイスで読み取ることで、外部 FET および負荷の障害を診断できます。

TPS12S24F-Q1 は、30 ピン VQFN パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TPS12S24F-Q1	RHB (VQFN, 30)	5.00mm × 5.00mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



PAAT 負荷、B2B FET を駆動する TPS12S24F-Q1 アプリケーション回路



目次

1 特長.....	1	8 レジスタ マップ.....	59
2 アプリケーション.....	1	8.1 TPS12S24F-Q1 のレジスタ.....	59
3 説明.....	1	8.2 EEPROM (NVM) の概要.....	119
4 ピン構成および機能.....	3	9 アプリケーションと実装.....	122
5 仕様.....	6	9.1 使用上の注意.....	122
5.1 絶対最大定格.....	6	9.2 代表的なアプリケーション.....	122
5.2 ESD 定格.....	6	9.3 システム例.....	128
5.3 推奨動作条件.....	6	9.4 電源に関する推奨事項.....	130
5.4 熱に関する情報.....	7	9.5 レイアウト.....	132
5.5 電気的特性.....	7	10 デバイスおよびドキュメントのサポート.....	134
5.6 スイッチング特性.....	10	10.1 ドキュメントの更新通知を受け取る方法.....	134
5.7 SPI のタイミング要件.....	13	10.2 サポート・リソース.....	134
6 パラメータ測定情報.....	14	10.3 商標.....	134
7 詳細説明.....	15	10.4 静電気放電に関する注意事項.....	134
7.1 概要.....	15	10.5 用語集.....	134
7.2 機能ブロック図.....	16	11 改訂履歴.....	134
7.3 機能説明.....	17	12 メカニカル、パッケージ、および注文情報.....	135
7.4 デバイスの機能モード.....	51	12.1 テープおよびリール情報.....	135
7.5 TPS12S24F-Q1 量産開始前シリコンの制限.....	57	12.2 メカニカル データ.....	137

4 ピン構成および機能

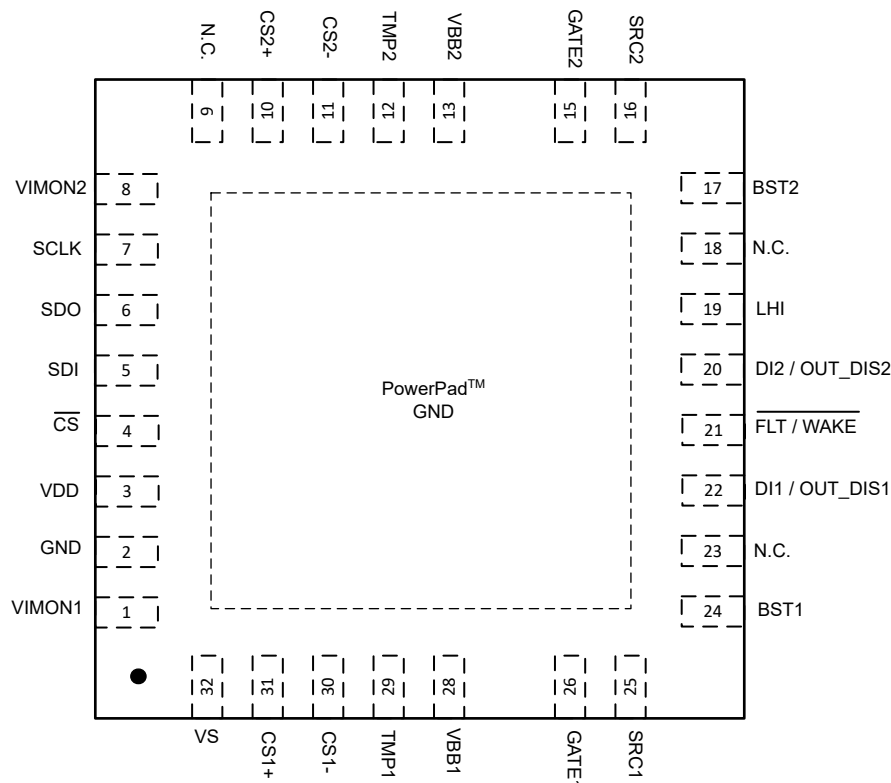


図 4-1. RHB パッケージ、30 ピン VQFN (底面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
VIMON1	1	O	チャンネル 1 のアナログ電流監視出力電圧。 未使用の場合は、フローティングのままにするか、コンデンサを接続します。
GND	2	G	GND をシステム グランドに接続します。
VDD	3	P	ロジック入力電源。 1μF のコンデンサを GND に接続します。
CS	4	I	SPI インターフェイスのチップ セレクト (アクティブ Low)。VDD への内部プルアップ。
SDI	5	I	デバイスへの SPI データ入力。
SDO	6	O	デバイスからの SPI データ出力。VDD への内部プルアップ。
SCLK	7	I	デバイスへの SPI インターフェイス クロック入力。
VIMON2	8	O	チャンネル 2 のアナログ電流監視出力電圧。 未使用の場合は、フローティングのままにするか、コンデンサを接続します。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
N.C.	9	—	接続なし。 フローティングのままにするか、入力電源に接続します。
CS2+	10	I	チャンネル 2 のメイン パス電流センス正入力。未使用時は入力電源に接続してください。
CS2–	11	I	チャンネル 2 のメイン パス電流センス負入力。未使用時は入力電源に接続してください。
TMP2	12	I	チャンネル 2 の温度入力。 外部 NTC サーミスタへのアナログ接続。 未使用の場合は、フローティングのままにします。
VBB2	13	I	チャンネル 2 の内蔵バイパス FET のドレイン。 未使用時は入力電源に接続してください。
GATE2	15	O	チャンネル 2 の大電流ゲートドライバのプルアップおよびプルダウン。 0.5A ピーク ソースおよび 2A シンク容量。 このピンは、GATE2 を BST2 にプルアップし、SRC2 にプルダウンします。オン / オフを最速にするには、このピンをメイン パスの外部ハイサイド MOSFET のゲートに直接接続します。 未使用の場合は、フローティングのままにします。
SRC2	16	O	チャンネル 2 の外部 FET のソース接続。
BST2	17	O	チャンネル 2 のハイ サイド ブートストラップ電源。 このピンと SRC2 の間に、最小 0.1μF の外付けコンデンサを接続する必要があります。このピンの電圧スイングは 12V ~ (VS + 12V) です。
N.C.	18	—	接続なし。 フローティングのままにするか、入力電源に接続します。
LHI	19	I	外部から LIMPHOME モードを有効にします。 未使用の場合は、フローティングのままにするかグランドに接続します。
DI2 / OUT_DIS2	20	I	チャンネル 2 の GATE2 を制御します DI_OUT_DIS_FN ビットを使用して EEPROM で設定可能です。 DI としてプログラムされている場合: CHx_LH_IN ビットで設定されている場合、LIMP HOME モードでの出力動作を設定します OUT_DIS としてプログラムされている場合: High にアサートされると GATE2 が SRC2 にプルされます 未使用の場合は、フローティングのままにするかグランドに接続します。
FLT/WAKE	21	O	オープンドレインの故障または WAKE 出力。 デバイスがアクティブ モードに移行すると (LPM_ENTRY ビットが Low の場合、また負荷ウェイクアップ イベントが発生した場合)、このピンはデバイスによって Low にアサートされます。
DI1 / OUT_DIS1	22	I	チャンネル 1 の GATE1 を制御します DI_OUT_DIS_FN ビットを使用して EEPROM で設定可能です。 DI としてプログラムされている場合: CHx_LH_IN ビットで設定されている場合、LIMP HOME モードでの出力動作を設定します OUT_DIS としてプログラムされている場合: High にアサートされると、GATE1 を SRC1 にプルダウンします。 未使用の場合は、フローティングのままにするかグランドに接続します。
N.C.	23	—	接続なし。 フローティングのままにするか、入力電源に接続します。
BST1	24	O	チャンネル 1 のハイ サイド ブートストラップ電源。 このピンと SRC1 の間に、最小 0.1μF の外付けコンデンサを接続する必要があります。このピンの電圧スイングは 12V ~ (VS + 12V) です。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
SRC1	25	O	チャンネル 1 の外部 FET のソース接続。
GATE1	26	O	チャンネル 1 の大電流ゲートドライバのプルアップおよびプルダウン。 0.5A ピーク ソースおよび 2A シンク容量。 このピンは、GATE1 を BST1 にプルアップし、SRC1 にプルダウンします。オン / オフを最速にするには、このピンをメイン パスの外部 High サイド MOSFET のゲートに直接接続します
VBB1	28	I	チャンネル 1 の内蔵バイパス FET のドレイン。 未使用時は入力電源に接続してください。
TMP1	29	I	チャンネル 1 の温度入力。 外部 NTC サーミスタへのアナログ接続。 未使用の場合は、フローティングのままにします。
CS1–	30	I	チャンネル 1 のメイン パス電流センス負入力。未使用時は入力電源に接続してください。
CS1+	31	I	チャンネル 1 のメイン パス電流センス正入力。未使用時は入力電源に接続してください。
VS	32	P	コントローラの電源ピン。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
入力ピン	CSx+, CSx-, TMPx, SRCx, LHI, DIx/OUT_DISx から GND	-65	80	V
入力ピン	VBBx, VS から GND	-0.3	80	V
入力ピン	ドレイン側入力ピン (VBBx, VS, CSx+, CSx-, TMPx) における最大電圧スルーレート		60	V/ μ s
入力ピン	SRCx の最大電圧スルーレート		200	V/ μ s
入力ピン	VBBx, VS, CSx+, CSx-, TMPx から SRCx	-2	80	V
入力ピン	GATEx, BSTx から SRCx	-0.3	19	V
入力ピン	CSx+ から CSx-	-0.3	0.3	V
入力ピン	CSx+ から CSx-, 100 μ s の間	-0.6	0.6	V
入力ピン	CS1+ から CS2+, CS1- から CS2-	-0.3	0.3	V
入力ピン	CSx から TMPx	-0.3	0.3	V
入力ピン	VDD, $\overline{\text{CS}}$, SCLK, SDI から GND	-0.3	5.5	V
出力ピン	FLT/WAKE から GND	-0.3	80	V
出力ピン	SDO, VIMONx から GND	-0.3	5.5	V
出力ピン	GATEx, BSTx から GND	-65	100	V
シンク電流	I _(CSx+) から I _(CSx-) , 1msec		100	mA
動作時の接合部温度、T _J ⁽²⁾		-40	150	°C
保管温度、T _{stg}		-55	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±750	
		コーナールピン その他のピン	±500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	公称値	最大値	単位
入力ピン	CSx+, CSx-, TMPx, SRCx, LHI, DIx/OUT_DISx から GND	-60		70	V
入力ピン	VBBx VS から GND	0		70	V
入力ピン	VDD	3		5.5	V
入力ピン	$\overline{\text{VCS}}$, SCLK, SDI から GND	0		5.5	V
出力ピン	SDO, VIMONx から GND	0		5.5	V
出力ピン	FLT/WAKE から GND	0		70	V

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	公称値	最大値	単位
T _J	動作時接合部温度 ⁽²⁾	-40		150	°C

(1) 推奨動作条件は、デバイスが機能すると想定されている条件を示します。仕様およびテスト条件については、「電気的特性」を参照してください。

(2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS12S24F-Q1	単位
		RHB	
		30 ピン	
R _{θJA}	接合部から周囲への熱抵抗	34.7	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	23.2	°C/W
R _{θJB}	接合部から基板への熱抵抗	14.6	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	4.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	14.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

T_J = -40°C ~ +150°C。V_(VBBx) = V_(VS) = 6 ~ 70V、V_(BSTx - SRCx) = 12V

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧 (VS) とデジタル電源電圧 (VDD)						
VBB、VS	動作時入力電圧		3.5		70	V
V _(VS_PORR)	入力電源 POR スレッシュホールド、立ち上がり			3		V
V _(VS_PORF)	入力電源 POR スレッシュホールド、立ち下がり			2.5		V
V _(VDD_PORR)	VDD 電源 POR スレッシュホールド、立ち上がり			2		V
V _(VDD_PORF)	VDD 電源 POR スレッシュホールド、立ち下がり			1.45		V
I _(GND)	両方のチャンネルのシステム合計静止電流	V _(VDD) = 5.5V、アクティブ モード		3.5		mA
		V _(VDD) = 3V、アクティブ モード		3.5		mA
I _(VDD)	VDD 電源電流	V _(VDD) = 5.5V、アクティブ モード		1		mA
		V _(VDD) = 3V、アクティブ モード		50		μA
I _(GND)	両方のチャンネルのシステム合計静止電流	V _(VDD) = 0V、低消費電力モード		35		μA
I _(GND)	スリープ モード グランド電流	スリープ モード V _(SRCx) = 0V、V _(VDD) = 0V		2		μA
低電圧ロックアウト (UVLO) および過電圧 (OV) 保護						
V _{CHx(UVLOF)}	VBB UVLO (CS1+ ピン) の立ち下がりスレッシュホールド電圧範囲	VBB UVLO 立ち下がりスレッシュホールドを設定するための UVLO_SET_CHx ビット	4.5		32	V
V _{CHx(OVR)}	VBB OVLO (CS1+ ピン) の立ち上がりスレッシュホールド電圧範囲	VBB OVLO 立ち上がりスレッシュホールドを設定するための OVLO_SET_CHx ビット	16		72	V
チャージ ポンプ (BSTx-SRCx)						
I _{CHx(BST_AM)}	アクティブ モードでのチャージ ポンプ電源電流	V _(BSTx - SRCx) = 10V、アクティブ モード		600		μA
V _{CHx(BST_UVLOR)}	V _(BSTx - SRCx) UVLO 電圧スレッシュホールド、立ち上がり	アクティブ モード		12.5		V

5.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$. $V_{(VBBx)} = V_{(VS)} = 6 \sim 70\text{V}$, $V_{(BSTx - SRCx)} = 12\text{V}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{CHx} (BST_UVLOF)	V _(BSTx – SRCx) UVLO 電圧スレッシュホル ド、立ち下がり	アクティブ モード		13.5		V
VCP _{CHx} (LOW_AM)	アクティブ モードでのチャージ ポンプ タ ーン オン電圧	アクティブ モード		11		V
VCP _{CHx} (HIGH_AM)	アクティブ モードでのチャージ ポンプ タ ーン オフ電圧	アクティブ モード		12		V
VCP _{CHx} (AM_VS_3V)	V _(VS) = 3V でのチャージ ポンプ電圧	低消費電力、アクティブ モード		8		V
V _{CHx} (GATE_GOOD)	GATE _x 駆動正常判定の立ち上がりスレッ シヨルド			7.5		V
ゲートドライバ出力 (GATE _x , G _x)						
I _{CHx} (GATE_PU)	ピークソース電流			0.5		A
I _{CHx} (GATE_PD)	ピークシンク電流			2		A
I _{CHx} (GATE_PU_INRUS H)	容量充電中のゲート充電 (ソース) 電流	CAP_CHRG_CH _x = 0x1		100		μA
電流センスおよび電流モニタ (CS _x +, CS _x –, VIMON _x)						
V _{CHx} (VSNS_Range)	外部電流検出抵抗 R _{SNSx} 両端の電圧範 囲		0		200	mV
V _{CHx} (ISNS_GAIN _x)	電流センス ゲイン設定	ISNS_GAIN_CH _x = 0x0		15		V/V
		ISNS_GAIN_CH _x = 0x1		30		V/V
		ISNS_GAIN_CH _x = 0x2		50		V/V
		ISNS_GAIN_CH _x = 0x3		65		V/V
		ISNS_GAIN_CH _x = 0x4		85		V/V
		ISNS_GAIN_CH _x = 0x5		100		V/V
		ISNS_GAIN_CH _x = 0x6		120		V/V
		ISNS_GAIN_CH _x = 0x7		135		V/V
V _{CHx} (ISNS_Acc)	量産サンプルにおける VIMON _x 精度の 目標値	±6mV ≤ V _{SNSx} < ±15mV	-5		5	%
		±15mV ≤ V _{SNSx} ≤ ±200mV	-2		2	%
V _{CHx} (ISNS_ADC_Acc)	量産サンプルでの目標デジタル電流セン ス精度	±6mV ≤ V _{SNSx} < ±15mV	-7		7	%
		±15mV ≤ V _{SNSx} ≤ ±200mV	-2.5		2.5	%
VDS 監視および保護 (CS _x –, SRC _x)						
V _{CHx} (VDS_SNS)	ADC 全体にわたる VDS センス監視範囲		±50		±1850	mV
V _{CHx} (IVDS_GAIN _x)	VDS センスおよび保護ゲインの設定	VDS_GAIN_CH _x = 0x1		30		V/V
		VDS_GAIN_CH _x = 0x2		8		V/V
		VDS_GAIN_CH _x = 0x3		1.5		V/V
V _{CHx} (VDS_OVP)	VDS 保護スレッシュホルドの範囲 (50mV 刻み)	VDS 保護スレッシュホルドを設定する VDS_SET_CH _x ビット	±300		±1400	mV
入力電圧 (CS _x +) および出力電圧 (SRC _x) 検出監視						
V _{CH1} (VBB_SNS) V _{CHx} (VOUT_SNS)	デジタル入力 (CS1+) および出力電圧 (SRC _x) の検出範囲		6		60	V
I2T ベースの過電流および短絡保護						
V _{CHx} (VNOM)	I2T 開始 VNOM スレッシュホルド範囲	VNOM スレッシュホルドを設定するための NOM_CUR_CH _x ビット	3		75	mV
V _{CHx} (SCP)	SCP スレッシュホルド精度	FWD_SCP_SET_CH _x および REV_SCP_SET_CH _x ビット	±10		±140	mV
ADC の特性 (ISNS、TSNS、VDS、VBB、VOUT、TCONT)						

5.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$. $V_{(VBBx)} = V_{(VS)} = 6 \sim 70\text{V}$, $V_{(BSTx - SRCx)} = 12\text{V}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
	ADC の信号	ISNS1、ISNS2、TSNS1、TSNS2、VBB、VDS1、VDS2、VOUT1、VOUT2、TCONT				
$V_{\text{ADC_REF}}$	ADC リファレンス電圧			2.8		V
I_{ADC}	ADC 消費電流			0.5		mA
負荷ウェークアップ パス特性 (VBBx、SRCx)						
$V_{\text{CHx(LPM_SCP)}}$	LPM の短絡スレッシュホールド (VBBx から SRCx への電圧)			2.5		V
$I_{\text{CHx(LWUx)}}$	ロードウェークアップ電流スレッシュホールド 1			100		mA
	ロードウェークアップ電流スレッシュホールド 2			200		mA
	ロードウェークアップ電流スレッシュホールド 3			400		mA
	ロードウェークアップ電流スレッシュホールド 4			780		mA
温度モニタ (CSx–、TMPx)						
$V_{\text{CHx(SCP)}}$	NTC スレッシュホールド設定	TSD 保護スレッシュホールドを設定する TSNS_TSD_SET_CHx ビット	45		160	°C
入力制御 (LHI、DIX)、& 故障フラグ (FLT)						
$V_{\text{LHI_H、}}V_{\text{DIX/OUT_DISx_H}}$	LHI、DIX/OUT_DISx ピンの立ち上がりスレッシュホールド電圧			1.5		V
$V_{\text{LHI_L、}}V_{\text{DIX/OUT_DISx_L}}$	LHI、DIX/OUT_DISx ピンの立ち下がりスレッシュホールド電圧			1.15		V
$R_{(\text{FLT/WAKE})}$	FLT/WAKE プルダウン抵抗			100		Ω
$V_{\text{CHx(STB_OL_TH)}}$	オフ状態でのオープン負荷 (OL) 検出電圧			0.8		V
$I_{\text{CHx(OL_OFF)}}$	オフ状態でのオープン負荷 (OL) 検出における内部プルアップ電流 1			33		μA
	オフ状態でのオープン負荷 (OL) 検出における内部プルアップ電流 2			54		μA
	オフ状態でのオープン負荷 (OL) 検出における内部プルアップ電流 3			130		μA
	オフ状態でのオープン負荷 (OL) 検出における内部プルアップ電流 4			254		μA
$I_{\text{CHx(SHRT_VBB)}}$	オフ状態の SRCx プルダウン電流			4		mA
$T_{\text{CHx(TSDR_BYP_FET)}}$	バイパス FET サーマル シャットダウン、立ち上がり			165		°C
$T_{\text{CHx(TSDF_BYP_FET)}}$	バイパス FET サーマル シャットダウン、立ち下がり			140		°C
$T_{(\text{CONT_TSD_WRN})}$	コントローラ過熱警告スレッシュホールド			135		°C
デジタル入力ピンの特性 (CS、SCLK、SDI)						
$V_{\text{IH, DIG}}$	DIG ピン入力電圧 High レベル	$3.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$		$0.7 \times V_{\text{DD}}$		V
$V_{\text{IL, DIG}}$	DIG ピン入力電圧 Low レベル	$3.0\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$			$0.3 \times V_{\text{DD}}$	V
R_{DIGx}	内部プルダウン抵抗。			1.0		MΩ
$I_{\text{IH, DIG}}$	高レベルの入力電流	$V_{\text{DIG}} = 5\text{V}$		5		μA
デジタル出力ピンの特性 (SDO)						

5.5 電気的特性 (続き)

 $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 。 $V_{(VBBx)} = V_{(VS)} = 6 \sim 70\text{V}$ 、 $V_{(BSTx - SRCx)} = 12\text{V}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH_SDO}	出力ロジック高電圧降下	SDO ピン電流 = 2mA		0.2		V

5.6 スイッチング特性

 $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 。 $V_{(VBBx)} = V_{(VS)} = 6 \sim 70\text{V}$ 、 $V_{(BSTx - SRCx)} = 12\text{V}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{GATEx(DIX_H)}$	Dix ターン オン伝搬遅延	$Dix \uparrow \sim GATEx \uparrow$ 、 $C_{L(GATEx)} = 47\text{nF}$		4		μs
$t_{GATEx(DIX_L)}$	Dix ターン オフ伝搬遅延	$Dix \downarrow \sim GATEx \downarrow$ 、 $C_{L(GATEx)} = 47\text{nF}$		4		μs
$t_{GATEx(DIX_H)}$	OUT_DISx ターン オフ伝搬遅延	$OUT_DISx \uparrow \sim GATEx \downarrow$ 、 $C_{L(GATEx)} = 47\text{nF}$		2		μs
$t_{GATEx(DIX_L)}$	OUT_DISx ターン オン伝搬遅延	$OUT_DISx \downarrow \sim GATEx \uparrow$ 、 $C_{L(GATEx)} = 47\text{nF}$		4		μs
t_{Dix_MASK}	Dix/OUT_DISx マスキング時間設定	CONFIG_DI_MASK = 0x1		8.5		μs
		CONFIG_DI_MASK = 0x2		12		μs
		CONFIG_DI_MASK = 0x3		23		μs
$t_{(LHI_H)}$	LHI が High になってから Limphone モードに移行するまでの伝搬遅延	$LHI \uparrow \sim GATEx \downarrow$ 、 $C_L = 47\text{nF}$ $CHx_LH_IN = 0x2$ CONFIG_LHI_MASK = 0x0		4		μs
$t_{(LHI_L)}$	LHI が Low になってからアクティブ モードに移行するまでの伝搬遅延	LIMP_STAT ビット $\downarrow \sim GATEx \uparrow$ 、 $C_L = 47\text{nF}$ $CHx_LH_IN = 0x2$ CONFIG_LHI_MASK = 0x0		4		μs
t_{LHI_MASK}	LHI マスキング時間の設定	CONFIG_LHI_MASK = 0x1		10		μs
		CONFIG_LHI_MASK = 0x2		12		μs
		CONFIG_LHI_MASK = 0x3		23		μs
$t_{Gx_ON(LPMx)}$	アクティブ モードから LPM モードへの遷移遅延	LPM_ENTRY = '0' ~ '1' $\sim V_{(Gx)} > V_{(Gx_GOOD)}$ AUTO_LPM_ENTRY = 0x0 (無効)		10		μs
$t_{GATEx_OFF(LPMx)}$	アクティブ モードから LPM モードへの遷移遅延	LPM_ENTRY = '0' ~ '1' $V_{(Gx)} > V_{(Gx_GOOD)} \sim V_{(GATEx)} < V_{(GATEx_GOOD)}$ 、 $C_{L(GATEx)} = 47\text{nF}$ AUTO_LPM_ENTRY = 0x0 (無効)		200		μs
$t_{GATEx(WAKE_LPMx)}$	LPM モードからアクティブ モードへの移行遅延 (LPM ビット使用時)	LPM = '0' ~ '1' $\sim V_{(GATEx)} > V_{(GATEx_GOOD)}$ 、 $C_{L(GATEx)} = 47\text{nF}$ AUTO_LPM_ENTRY = 0x0 (無効)		50		μs
$t_{Gx(WAKE_LPMx)}$	LPM モードからアクティブ モードへの移行遅延 (LPM ビット使用時)	$V_{(GATEx)} > V_{(GATEx_GOOD)} \sim V_{(Gx)} < V_{(Gx_GOOD)}$ AUTO_LPM_ENTRY = 0x0 (無効)		30		μs
$t_{GATEx(WAKE_LWUX)}$	負荷ウェークアップ時の GATEx ターン オン伝播遅延 1	$I_{CHx(LOAD)} \uparrow I_{CHx(LWUX)} \sim GATEx \uparrow$ 、 $C_{L(GATEx)} = 47\text{nF}$ LPM_EXIT_CURR_CHx = 0x0 LOAD_WAKE_DEGLITCH = 0x0 AUTO_LPM_ENTRY = 0x0 (無効)		7.5		μs
$t_{GATEx(WAKE_LWUX_MASK)}$	負荷ウェークアップのマスキング時間	LOAD_WAKE_DEGLITCH = 0x1 AUTO_LPM_ENTRY = 0x0 (無効)		50		μs

5.6 スイッチング特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 。 $V_{(VBBx)} = V_{(VS)} = 6 \sim 70\text{V}$ 、 $V_{(BSTx - SRCx)} = 12\text{V}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{Gx(WAKE_LWUx)}$	負荷ウェークアップ時の Gx ターンオフ伝搬遅延	ILOADx $\uparrow$ $I_{(LWU)}$ 、 GATE $\uparrow$ ($V_{(G_GOOD)}$ より高い) $\sim V_{(Gx)} < V_{(Gx_GOOD)}$ 、 $C_{L(G)} = 1\text{nF}$ LPM_EXIT_CURR_CHx = 0x0 LOAD_WAKE_DEGLITCH = 0x0 AUTO_LPM_ENTRY = 0x0 (無効)		30		μs
$t_{GATEx(UVLOx_OFF)}$	UVLO ターン オフ伝搬遅延	$V_{(CSx+)} < V_{CHx(UVLOF)} \sim GATEx$ 、 $C_{L(GATEx)} = 47\text{nF}$ UVLO_MASK_CHx = 0x0		5		μs
$t_{CHx(UVLO_MASK)}$	UVLO マスキング時間の設定	UVLO_MASK_CHx = 0x1		6		μs
		UVLO_MASK_CHx = 0x2		45		μs
		UVLO_MASK_CHx = 0x3		175		μs
$t_{GATEx(OVx_OFF)}$	OV ターンオフ伝搬遅延	$V_{(CSx+)} > V_{CHx(OVR)} \sim GATEx \downarrow$ 、 $C_{L(GATEx)} = 47\text{nF}$ OVLO_MASK_CHx = 0x0		5		μs
$t_{CHx(OV_MASK)}$	OV マスキング時間の設定	OVLO_MASK_CHx = 0x1		6		μs
		OVLO_MASK_CHx = 0x2		45		μs
		OVLO_MASK_CHx = 0x3		175		μs
$t_{CHx(VDS_DELAY)}$	VDS 保護の伝搬遅延	VDS_MASK_CHx = 0x0 VDS_GAIN_CHx = 0x1		15		μs
$t_{CHx(VDS_MASK)}$	VDS 保護マスク時間設定	VDS_MASK_CHx = 0x1		5		μs
		VDS_MASK_CHx = 0x2		45		μs
		VDS_MASK_CHx = 0x3		245		μs
$t_{CHx(TSNS_DELAY)}$	外部 FET 過熱 (TSD) 保護伝搬遅延	TSNS_TSD_MASK_CHx = 0x0		1		μs
$t_{CHx(TSNS_MASK)}$	TSD 保護マスク時間設定	TSNS_TSD_MASK_CHx = 0x1		7.5		μs
		TSNS_TSD_MASK_CHx = 0x2		50		μs
		TSNS_TSD_MASK_CHx = 0x3		500		μs
$t_{GATEx(VS_OFF)}$	VS 立ち下がり時の GATEx ターンオフ伝搬遅延 $< V_{(VS_PORF)}$	$V_{(VS)} \downarrow < V_{(VS_PORF)} \sim GATEx \downarrow$ 、 $C_{L(GATEx)} = 47\text{nF}$		50		μs
t_{OC}	量産サンプルの I2T 保護遅延精度		-15		15	%
t_{SC}	短絡保護の伝搬遅延	$V_{(CSx+-CSx-)} \uparrow V_{CHx(SCPx)} \sim GATEx \downarrow$ 、 $C_L = 47\text{nF}$ $V_{(SCP)} = 20\text{mV}$ FWD_SCP_MASK_CHx = 0x0 REV_SCP_MASK_CHx = 0x0		1.1		μs

5.6 スイッチング特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 。 $V_{(VBBx)} = V_{(VS)} = 6 \sim 70\text{V}$ 、 $V_{(BSTx - SRCx)} = 12\text{V}$

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{SC_MASK}	短絡保護のマスキング時間設定 $V_{(CSx+-CSx-)} \uparrow V_{CHx(SCP)} \sim GATEx \downarrow$, $C_L = 47\text{nF}$ $V_{CHx(SCP)} = 20\text{mV}$ $FWD_SCP_MASK_CHx = 0x1$ $REV_SCP_MASK_CHx = 0x1$		4		μs
	$V_{(CSx+-CSx-)} \uparrow V_{CHx(SCP)} \sim GATEx \downarrow$, $C_L = 47\text{nF}$ $V_{CHx(SCP)} = 20\text{mV}$ $FWD_SCP_MASK_CHx = 0x2$ $REV_SCP_MASK_CHx = 0x2$		9		μs
	$V_{(CSx+-CSx-)} \uparrow V_{CHx(SCP)} \sim GATEx \downarrow$, $C_L = 47\text{nF}$ $V_{CHx(SCP)} = 20\text{mV}$ $FWD_SCP_MASK_CHx = 0x3$ $REV_SCP_MASK_CHx = 0x3$		24		μs
	$V_{(CSx+-CSx-)} \uparrow V_{CHx(SCP)} \sim GATEx \downarrow$, $C_L = 47\text{nF}$ $V_{CHx(SCP)} = 20\text{mV}$ $FWD_SCP_MASK_CHx = 0x4$ $REV_SCP_MASK_CHx = 0x4$		44		μs
	$V_{(CSx+-CSx-)} \uparrow V_{CHx(SCP)} \sim GATEx \downarrow$, $C_L = 47\text{nF}$ $V_{CHx(SCP)} = 20\text{mV}$ $FWD_SCP_MASK_CHx = 0x5$ $REV_SCP_MASK_CHx = 0x5$		89		μs
	$V_{(CSx+-CSx-)} \uparrow V_{CHx(SCP)} \sim GATEx \downarrow$, $C_L = 47\text{nF}$ $V_{CHx(SCP)} = 20\text{mV}$ $FWD_SCP_MASK_CHx = 0x6$ $REV_SCP_MASK_CHx = 0x6$		134		μs
	$V_{(CSx+-CSx-)} \uparrow V_{CHx(SCP)} \sim GATEx \downarrow$, $C_L = 47\text{nF}$ $V_{CHx(SCP)} = 20\text{mV}$ $FWD_SCP_MASK_CHx = 0x7$ $REV_SCP_MASK_CHx = 0x7$		179		μs
t_{LPM_SC}	LPM 中の短絡保護伝搬遅延 (LPM 中に短絡が発生) $V_{(VBBx-SRCx)} \uparrow V_{(Hx(LPM_SCP))} \sim GATEx \uparrow$, $C_L(GATEx) = 47\text{nF}$		10		μs
$t_{GATEx_OFF(RPP)}$	$V_{(BSTx)} > V_{(BSTx_UVLOF)}$ のときの逆極性イベント時の $GATEx$ ターンオフ遅延 $V_{(CSx+)} = 12 \sim -14\text{V} \sim GATEx \downarrow$, $C_L(GATEx) = 47\text{nF}$, $C_{BST} = 470\text{nF}$		10		μs
t_{AUTO_RETRY}	自動再試行時間の設定 TCLDN_CHx = 00		1.2		ms
	TCLDN_CHx = 01		10		ms
	TCLDN_CHx = 10		100		μs
$t_{AUTO_RETRY_TSD}$	バイパス FET TSD リセット後の自動再試行時間 TCLDN_CHx = 11		100		ms
f_{CHx_PWM}	PWM 周波数の設定 PWM_EN = 1, PWM_FREQ_CHx = 000		1		Hz
	PWM_EN = 1, PWM_FREQ_CHx = 111		1770		Hz

5.6 スイッチング特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 。 $V_{(VBBx)} = V_{(VS)} = 6 \sim 70\text{V}$ 、 $V_{(BSTx - SRCx)} = 12\text{V}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{WATCHDOG}	ウォッチドッグのタイムアウト構成	WD_EN = 1、WD_TO = 00		520		μs
		WD_EN = 1、WD_TO = 01		400		ms
		WD_EN = 1、WD_TO = 10		800		ms
		WD_EN = 1、WD_TO = 11		1200		ms
$t_{\text{GATEX(FLT}_x\text{_ASSERT)}}$	FLT アサート遅延			1		μs
$t_{\text{(ISNS_POL_DELAY)}}$	ISNS_POLARITY ビットによる電流方向表示の遅延	$V_{(\text{SNS}_x)} \uparrow$ または $\downarrow$ から ISNS_POLARITY_CHx $\uparrow$ または $\downarrow$ $V_{(\text{SNS}_x)} = 30 \sim -30\text{mV}$		10		μs

5.7 SPI のタイミング要件

動作時接合部温度範囲全体で $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$

パラメータ		テスト条件	最小値	公称値	最大値	単位
t_{READY}	デジタルの初期化時間				65	μs
f_{SPI}	SPI クロック (SCLK) 周波数	$C_{\text{SDO}} = 30\text{pF}$ 、IO 保護抵抗、 $\text{k}\Omega$			10	MHz
t_{High}	High 時間: SCLK ロジック High の時間		45			ns
t_{Low}	ロータイム: SCLK ロジック Low の期間		45			ns
t_{sucs}	$\overline{\text{CS}}$ セットアップ時間: $\overline{\text{CS}}$ の立ち下がりエッジから SCLK の立ち上がりエッジまでの遅延時間		45			ns
$t_{\text{SU_SDI}}$	SDI セットアップ時間: SCLK の立ち下がりエッジの前に必要な SDI のセットアップ時間		15			ns
$t_{\text{H_SDI}}$	SDI ホールド時間: SCLK の立ち下がりエッジの前に保持しておく必要がある SDI のホールド時間		30			ns
$t_{\text{D_SDO}}$	遅延時間: SCLK の立ち上がりエッジから SDO の有効データまでの遅延時間				30	ns
t_{hcs}	ホールド時間: SCLK の立ち下がりエッジから $\overline{\text{CS}}$ の立ち上がりエッジまでの時間		45			ns
$t_{\text{dis_cs}}$	$\overline{\text{CS}}$ ディスエーブル時間、 $\overline{\text{CS}}$ 非アクティブから SDO 高インピーダンス			10		ns
t_{hics}	$\overline{\text{CS}}$ が High でなければならない SPI 転送非アクティブ時間 (二回の転送間の時間)		500			ns

6 パラメータ測定情報

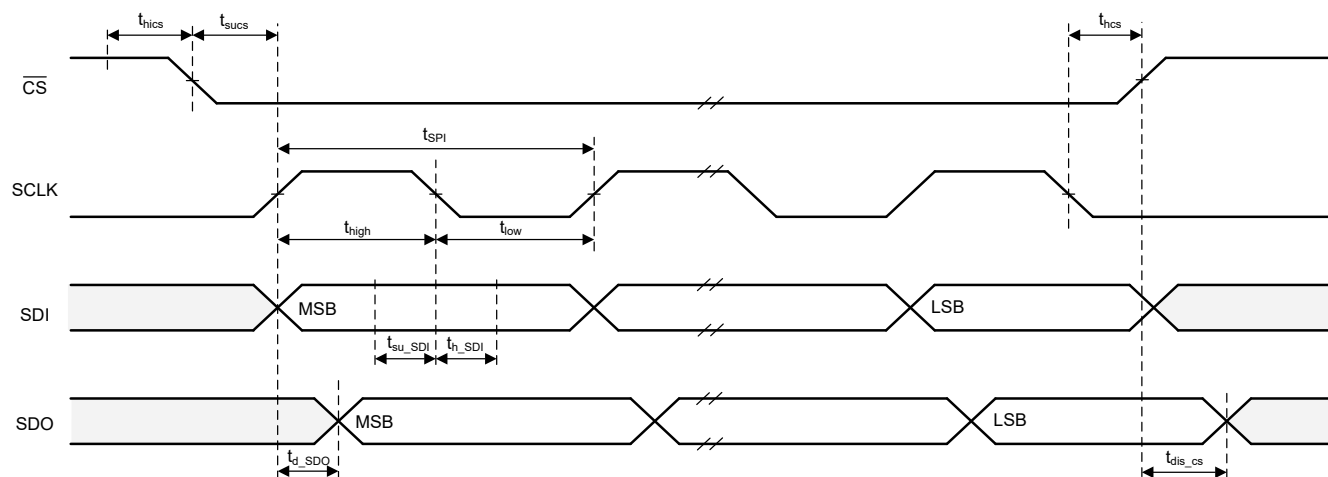


図 6-1. SPI のタイミング特性の定義

7 詳細説明

7.1 概要

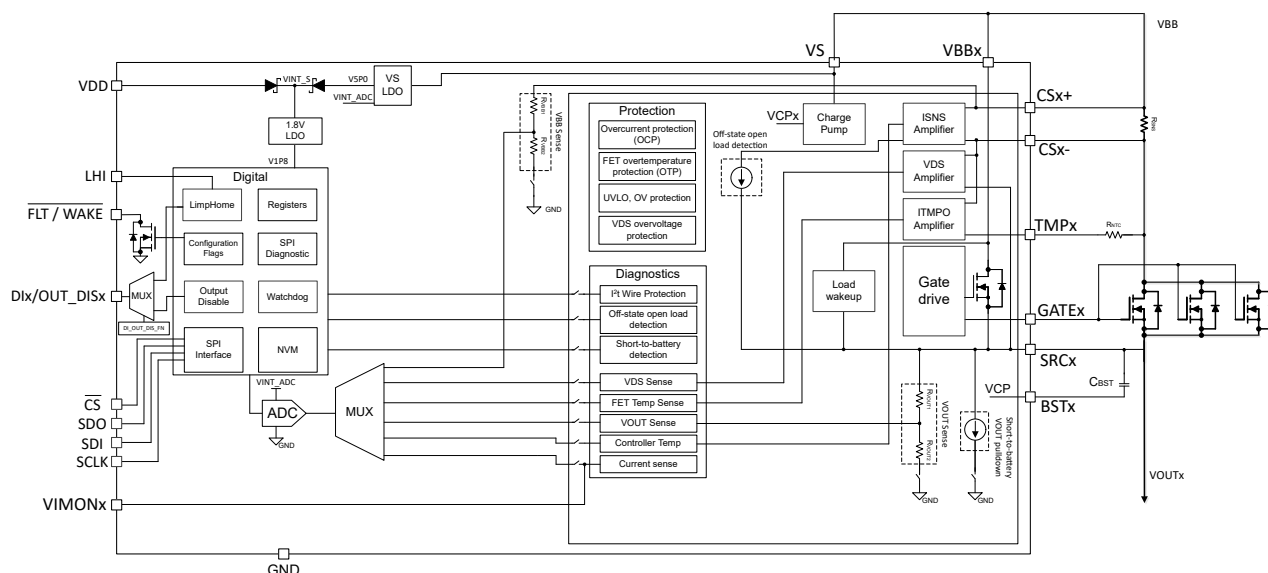
TPS12S24F-Q1 は、保護および診断機能を備えた低 I_Q のスマート デュアル ハイサイドドライバのファミリです。動作電圧範囲が 3.5V~70V と広く、絶対最大定格が 80V のため、12V、24V、48V の車載用システムの設計に適しています。

0.5A のソース電流および 2A のシンク電流に対応する二つのゲートドライバ (GATEx) を内蔵しています。低消費電力モードでは、内蔵の低消費電力パスがオンに維持され、最大 780mA の負荷電流を流すことができます。一方、メイン FET はオフとなり、 I_Q は 35 μ A (標準値) です。負荷電流が設定可能な負荷ウェイクアップ スレッショルドを超えると、デバイスはメイン FET (GATEx) をオンにして自動的にアクティブ モードへ移行し、マイコンへのウェイクアップ通知として $\overline{\text{FLT}}/\overline{\text{WAKE}}$ を Low にアサートします。さらに、このデバイスには SPI 経由で設定可能な各種容量性負荷充電モードも搭載されています。

保護および診断機能には、外付け R_{SNS} 抵抗、出力電圧、入力電圧、FET 温度検出、コントローラ温度、FET VDS 検出を使用した可変 I²T ベースの過電流および短絡保護を備えたデジタル双方向電流を、SPI シリアル インターフェイスで読み取ることで、外部 FET および負荷の障害を診断できます。自動リトライおよびラッチオフ フォルト動作は設定可能です。

TPS12S24F-Q1 は、30 ピン VQFN パッケージで供給されます。

7.2 機能ブロック図



ADVANCE INFORMATION

7.3 機能説明

7.3.1 電源入力

このデバイスは、チップ電源入力 (VS) と低電圧デジタル電源入力 (VDD) の二つの電源入力で動作し、通常、デバイス外部の DC-DC コンバータまたは LDO によって生成されます。低電圧デジタル電源入力 (5V または 3.3V) は、マイコンの I/O 電源電圧に合わせた SPI インターフェイス用の電源として使用されます。

7.3.2 チャージポンプとゲートドライバの出力 (VS、GATE_x、BST_x、SRC_x)

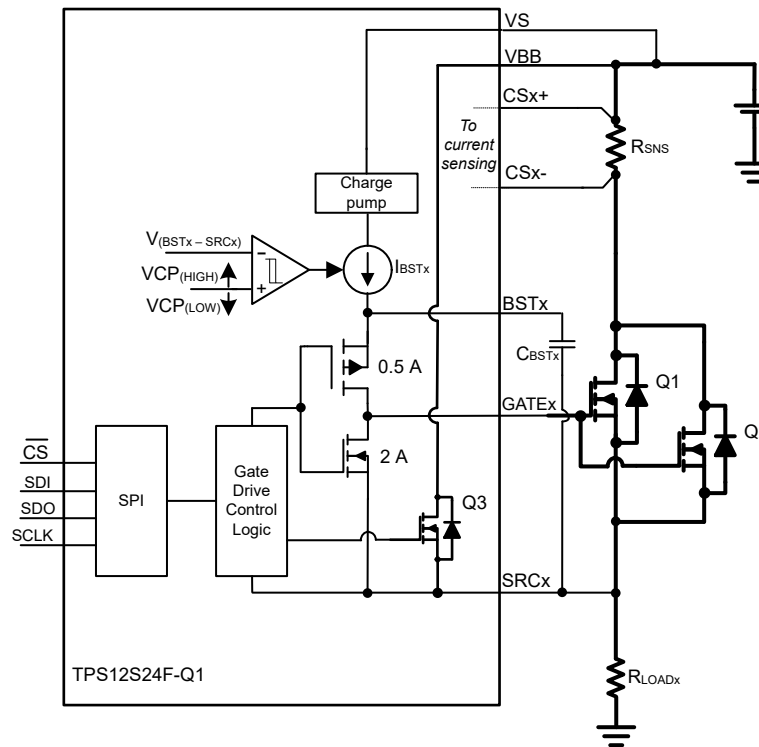


図 7-1. ゲートドライバ

図 7-1 に、チャージポンプとゲートドライバ回路の実装の概略図を示します。このデバイスには、メイン FET Q1、Q2 用の強力な 0.5A/2A ピークソース/シンクゲートドライバ (GATE_x) が内蔵されています。TPS12Sx4F-Q1 にはバイパス FET (Q3) が内蔵されています。メインパス用の強力なゲートドライバにより、高電力システム設計で FET の並列接続が可能になり、飽和領域での遷移時間を最小限に抑えることができます。12V で、600μA のチャージポンプが VS 端子から生成され、ゲートドライバ (BST_x と SRC_x) の両端に配置された外部ブートストラップコンデンサ C_{BSTx} を充電します。

VS はコントローラの電源ピンです。VS が印加され、VDD が $V_{(VDD_PORR)}$ を上回ると、 $\overline{CS}$ が Low になると常にチャージポンプがオンになり、C_{BSTx} コンデンサが充電されます。C_{BSTx} の両端の電圧が $V_{(BST_UVLOR)}$ を超えると、ゲートドライバセクションがアクティブになります。このデバイスには 1V (標準値) の UVLO ヒステリシスがあり、最初の GATE_x ターンオン時の性能のチャタリングが低減されます。外部 FET Q_G と FET のターンオン時に許容されるディップに基づいて C_{BSTx} を選択します。アクティブモードで、チャージポンプは、BST_x から SRC_x への電圧が通常 $V_{CPCHx(HIGH_AM)}$ に達するまでイネーブルに維持されます。この時点でチャージポンプは無効化され、VS ピンに流れる電流が減少します。BST_x から SRC_x への電圧が $V_{CPCHx(LOW_AM)}$ まで放電されるまでチャージポンプは無効のまま維持され、通常はその時点でチャージポンプが有効化されます。

図 7-2 に示されているように、BST_x と SRC_x の間の電圧は、アクティブモードで $V_{CPCHx(HIGH_AM)}$ と $V_{CPCHx(LOW_AM)}$ の間で充電および放電を継続します。

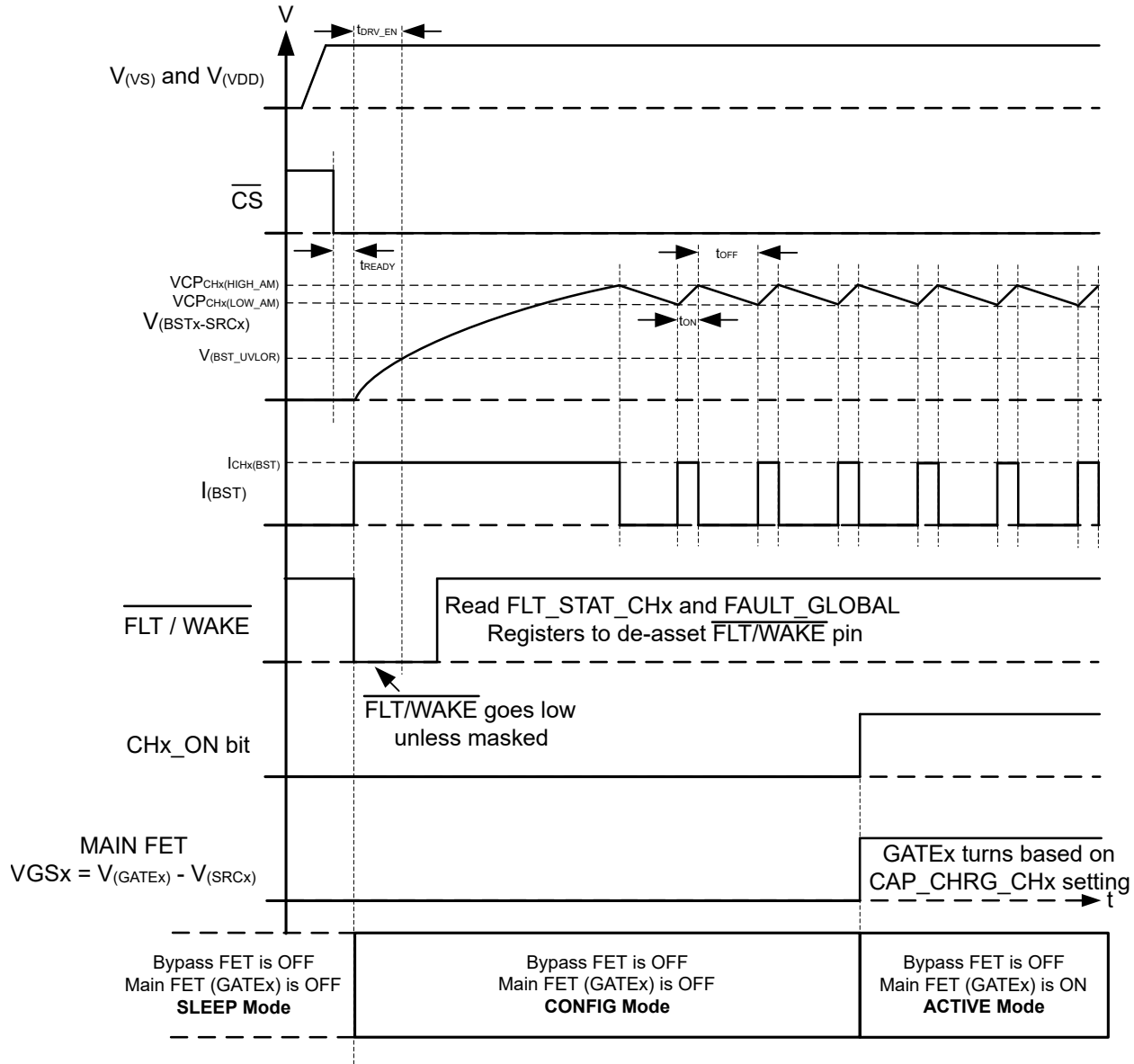


図 7-2. チャージ ポンプ動作

ゲートドライバの初期イネーブル遅延を計算するには、次の式を使用します。

$$t_{DRV_ENx} = \frac{C_{BSTx} \times V_{CHx}(BST_UVLOR)}{I_{CHx}(BST)} \quad (1)$$

ここで、

C_{BSTx} は、BSTx と SRCx ピンの間に接続されているチャージ ポンプ容量です。

$V_{CHx}(BST_UVLOR) = 9V$ (標準値)。

$I_{CHx}(BST)$ は、チャージ ポンプ電流 (標準値 600μA) です。

スイッチング アプリケーションで、チャージ ポンプの電源要求が $I_{CHx}(BST)$ より大きい場合は、図に示すように、低リークのダイオード (D1x) と VAUX 電源を使用して BSTx に外部から電源を供給できます。

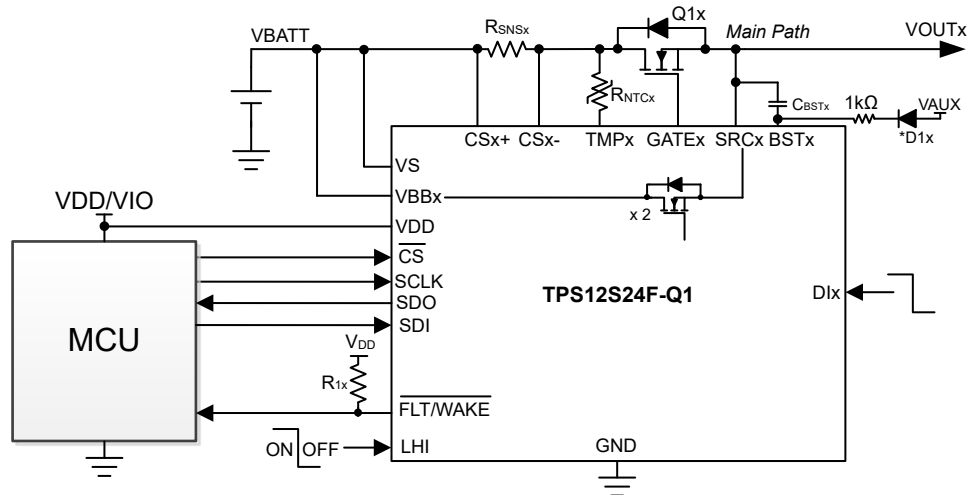


図 7-3. BSTx への外部電源を使用した TPS12SxxF-Q1 アプリケーション回路

注

V_{AUX} は、8.1V ~ 15V の外部電源電圧で供給可能です。 T_{DRV_EN} を低減するため、D1 ダイオードを介して入力電源 VBB または VS を BSTx に接続することもできます。

7.3.3 容量性負荷、抵抗性負荷、誘導性負荷の駆動

すべてのオフボード負荷には異なる種類があります。各負荷プロファイルは、スマート ハイサイド スイッチまたはコントローラとの相互作用が異なるため、堅牢な保護を実現するには、それぞれ異なる点を考慮する必要があります。負荷が抵抗性、容量性、誘導性のいずれであるか、または LED のようにこれらのカテゴリのいずれにも明確に分類されないかによって、負荷の駆動方法や設計アプローチが異なります。適切な出力電力保護を設計するには、想定される負荷プロファイルを理解し、それが出力段の設計にどのような影響を与えるかを把握する必要があります。

表 7-1. TPS12SxxF-Q1 を使用した負荷駆動

負荷のタイプ	負荷駆動方式	レジスタ設定
容量性負荷、CAP_CHRG_CHx = 0x0、0x1 または 0x3	短絡保護 (SCP) ベースの自動再試行方式を使用	CAP_CHRG_CHx = 0x0 INRUSH_DURATION_CHx = 0x0 ~ 0x7 (VOUT_ERR_CHx 表示にのみ使用) FWD_SCP_SET_CHx = 0x0 ~ 0xF AUTO_RETRY_DURATION_CHx = 0x0 ~ 0x3 LATCH_CHx = 0x0 FOLDBACK_LOCK_DIS_CHx = 0x1
	メイン バス ゲート スルー制御を使用する	CAP_CHRG_CHx = 0x1 INRUSH_DURATION_CHx = 0x0 ~ 0x7 (VOUT_ERR_CHx 表示にのみ使用)
	メイン バス PWM モードを使用	CAP_CHRG_CHx = 0x3、PWM_DTY_CHx = 0x00 ~ 0xFF、PWM_FREQ_CHx = 0x0 ~ 0xF INRUSH_DURATION_CHx = 0x0 ~ 0x7

表 7-1. TPS12SxxF-Q1 を使用した負荷駆動 (続き)

負荷のタイプ	負荷駆動方式	レジスタ設定
抵抗性負荷または誘導性負荷	メイン パス PWM 方式を使用	CAP_CHRG_CHx = 0x0 PWM_EN_CHx = 0x1, PWM_DTY_CHx = 0x00 ~ 0xFF および PWM_FREQ_CHx = 0x0 ~ 0xF

7.3.3.1 容量性負荷駆動

車載パワー ディストリビューション ユニットおよびゾーン コントローラのような特定の最終製品は、他の ECU を含むさまざまな負荷に電力を供給します。これらの ECU には、大きな入力容量が存在する場合があります。ECU への電力供給が制御されない方法でオンになると、大きな突入電流が発生し、パワー FET が損傷する可能性があります。表 7-1 に、TPS12SxxF-Q1 ファミリーでサポートされている各種コンデンサ充電方式を示しています。

7.3.3.1.1 SCP ベースの自動再試行方式 (GATEx) を使用する場合：

TPS12SxxF-Q1 には、FWD_SCP_SET_CHx ビットによる短絡保護回路 (SCP) スレッシュホールドの設定機能と、AUTO_RETRY_DURATION_CHx ビットによる自動再試行時間の設定機能が内蔵されており、容量性負荷を駆動する際の GATEx 制御に使用されます。図 7-7 に、SCP による自動再試行方式を使用して容量性負荷を駆動するアプリケーション回路を示します。このモード中のすべての設定可能なパラメータについては、表 7-1 を参照してください。

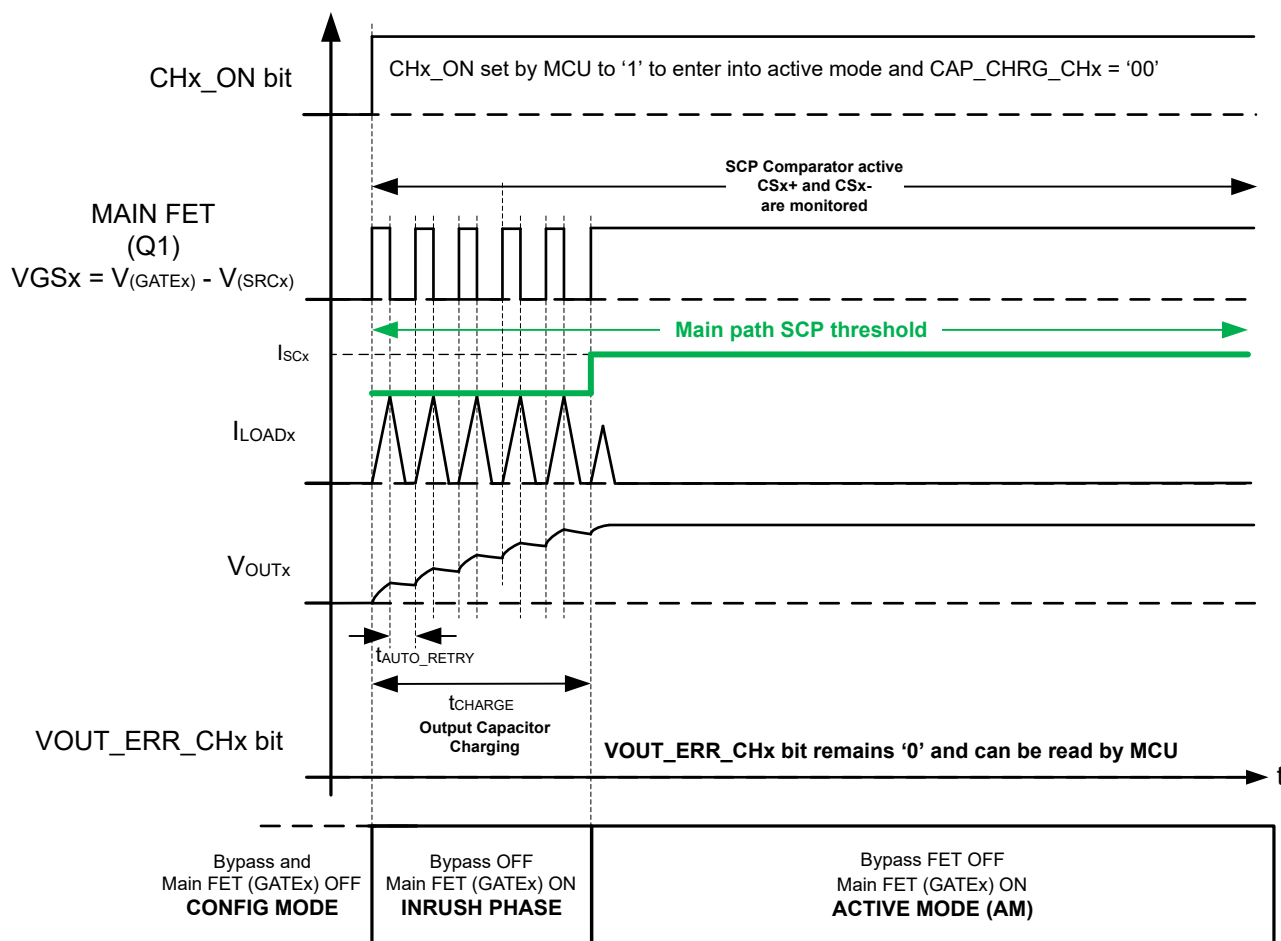


図 7-4. SCP ベースの自動再試行方式を使用したバルク コンデンサ充電のタイミング図

VOUT_ERR_CHx ビットは、設定された INRUSH_DURATION_CHx の経過後に GATEx がオン / オフのどちらの状態であるかを示すビットです。デバイスはこのビットに基づいてアクションを実行しません。バルク コンデンサを目的の出力電圧までプリチャージするのに 100ms (最大突入電流期間設定) を超える時間がかかる場合でも、デバイスは 100ms の突入電流期間経過後もバルク コンデンサの充電を継続します。設定された突入電流期間の経過後、VOUT_ERR ビットは '1' にセットされますが、マイコン側で無視できます。

7.3.3.1.2 メインパスのゲート スルーレート制御方式 (GATEx、SRCx) を使用する場合：

低消費電力のバイパス パスを使用しないアプリケーションでは、メイン FET ゲートドライブ制御を使用して、コンデンサを充電できます。

容量性負荷での FET のターンオン時の突入電流を制限するには、図 7-5 に示されているように、 R_{GATEx} 、 C_{GATEx} を使用します。 R_{GATEx} と C_{GATEx} の部品により、メイン FET のゲートの電圧ランプレートが遅くなります。FET ソースはゲート電圧に追従して、出力コンデンサ両端間の制御された電圧上昇が発生します。

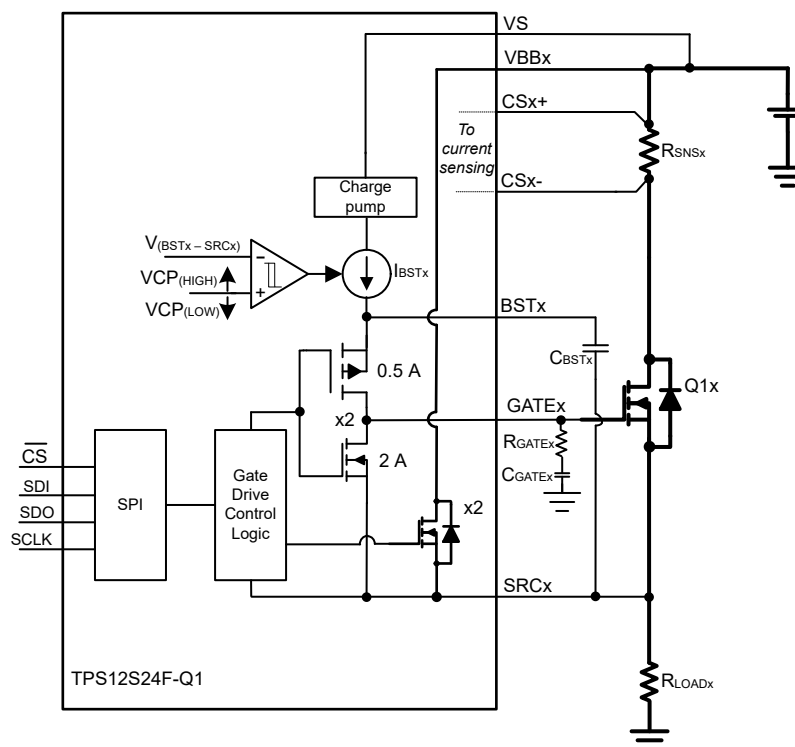


図 7-5. メインパスでのゲート スルーレート制御

構成モードで、CAP_CHRG_CHx ビットを '10' に設定した状態で CHx_ON ビットを '1' に設定すると、デバイスは $I_{CHx(GATE_PU_INRUSH)}$ のソース電流で GATEx を High にプルアップしてメイン FET (GATEx) をオンにし、バイパス FET はオフのままにします。VGS が $V_{CHx(GATE_GOOD)}$ スレッショルドに達した後、GATEx 駆動電流は $I_{CHx(GATE_PU)}$ まで増加します。INRUSH_DURATION_CHx ビットで設定された突入電流期間の経過後、GATEx ピンと SRCx ピン間で検出された VGS が $V_{CHx(GATE_GOOD)}$ スレッショルド未満の場合、デバイスによって VOUT_ERR_CHx ビットが '1' にセットされ、マイコンは SPI 経由でこのビットを読み取ることができます。

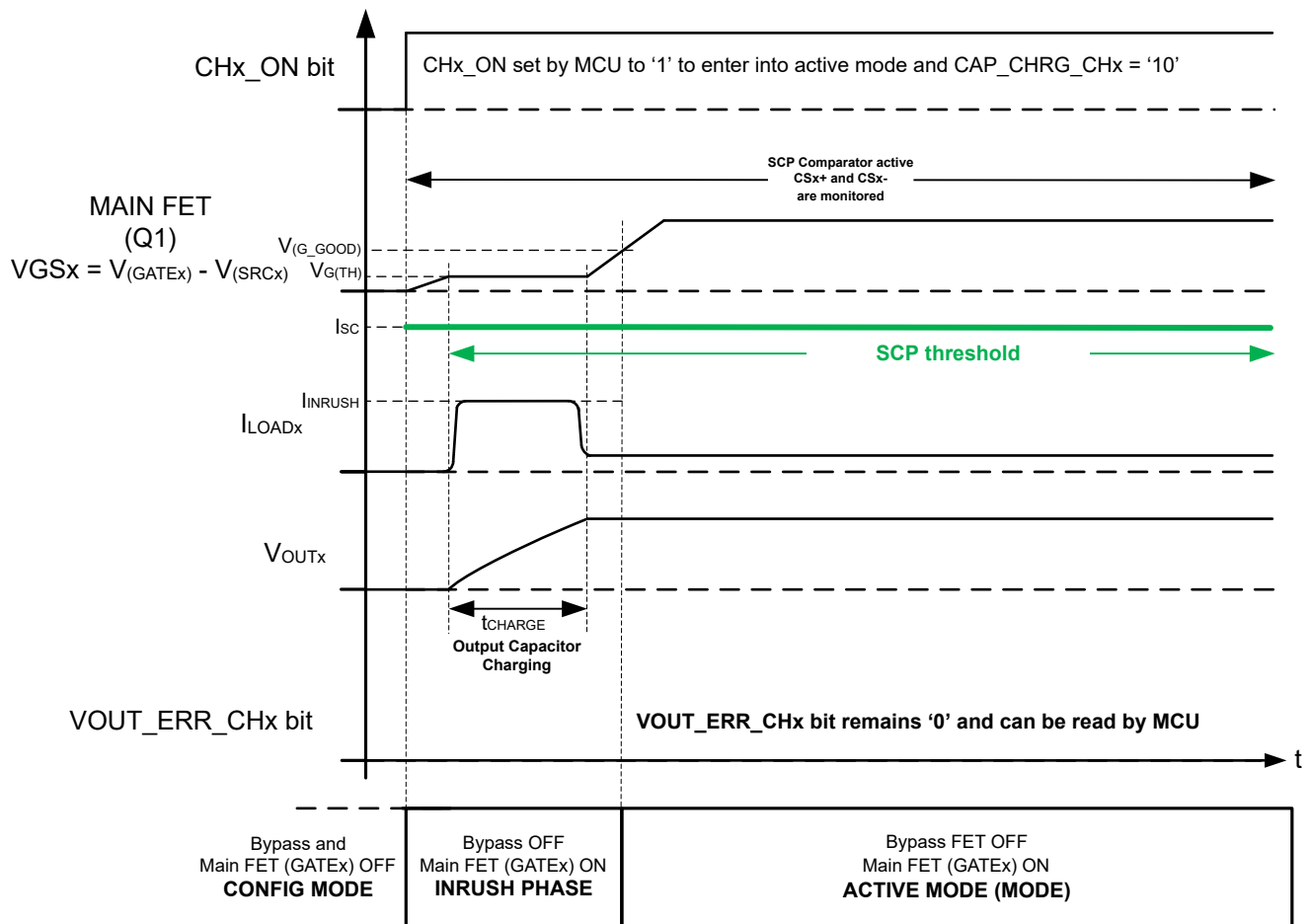


図 7-6. メインパスのゲート スルーレート制御を使用したバルク コンデンサ充電のタイミング図

VOUT_ERR_CHx ビットは、設定された INRUSH_DURATION_CHx の経過後に GATEx がオン / オフのどちらの状態であるかを示すビットです。デバイスはこのビットに基づいてアクションを実行しません。バルク コンデンサを目的の出力電圧までプリチャージするのに 100ms (最大突入電流期間設定) を超える時間がかかる場合でも、デバイスは 100ms の突入電流期間経過後もバルク コンデンサの充電を継続します。設定された突入電流期間の経過後、VOUT_ERR ビットは '1' にセットされますが、マイコン側で無視できます。

INRUSH 電流の設定:

以下を使用して、I_{INRUSH} を計算します:

$$I_{INRUSHx} = C_{LOADx} \times \frac{V_{BATT}}{t_{CHARGEx}} \quad (2)$$

ここで、

C_{LOADx} は、負荷容量です。

V_{BATT} は入力電圧、t_{charge} は充電時間です。

以下の式を用いて、必要な C_{GATEx} 値を計算します。

$$C_{GATEx} = \frac{C_{LOADx} \times I_{CHx}(GATE_PU_INRUSH)}{I_{INRUSHx}} \quad (3)$$

ここで、

$I_{CHx}(GATE_PU_INRUSH)$ は 100μA (標準値) です、

C_{LOADx} は負荷容量です、

V_{BATT} は入力電圧、 $t_{CHARGEx}$ は充電時間です。

ターンオフ時に C_{GATEx} からの放電電流を制限するため、直列抵抗 R_{GATEx} を C_{GATEx} と組み合わせて使用する必要があります。 R_{GATEx} の推奨値は 220Ω ~ 470Ω です。

CBSTx コンデンサのサイズ設定:

C_{GATEx} の場合、ターンオン時に C_{BSTx} の負荷が追加され、充電されます。以下の式を用いて、必要な C_{BSTx} 値を計算します:

$$C_{BSTx} = 10 \times \left[\frac{Q_{gx}(total)}{\Delta V_{BST}} + C_{GATEx} \right] \quad (4)$$

ここで、

$Q_{gx}(total)$ は、FET の総ゲート電荷です、

ΔV_{BST} (1V 標準値) は、BSTx ピンと SRCx ピンの間のヒステリシスです。

7.3.3.1.3 PWM 制御方式 (GATEx) を使用する場合:

TPS12SxxF-Q1 には PWM ジェネレータが内蔵されており、容量性負荷の駆動時に $GATEx$ を制御するために使用されます。図 7-7 に、PWM 制御方式を使用して容量性負荷を駆動するアプリケーション回路を示します。

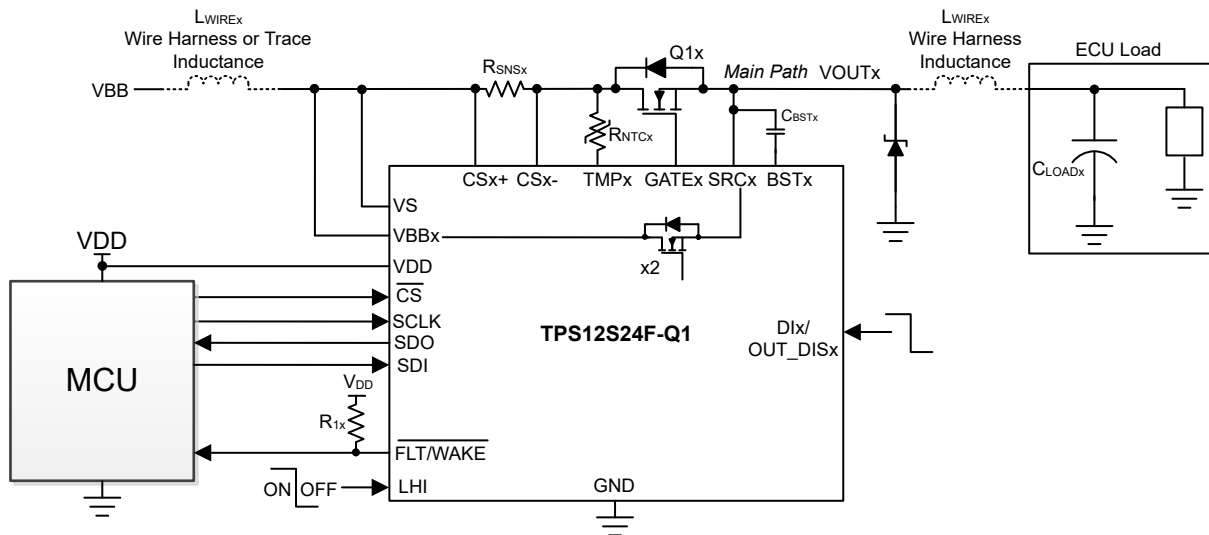


図 7-7. PWM または SCP ベースの自動再試行方式を使用した容量性負荷駆動用 TPS12SxxF-Q1 アプリケーション回路

L_{WIREx} は、デバイスの出力から容量性負荷へのワイヤハーネスのインダクタンスです。

PWM のデューティサイクルと周波数は、 C_{LOADx} 、 L_{WIREx} 、および t_{CHARGE} の仕様に基づいて SPI 経由で選択できます。コンデンサ充電時間または突入電流期間は、 $INRUSH_DURATION_CHx$ ビットで設定できます。このモード中のすべての設定可能なパラメータについては、表 7-1 を参照してください。

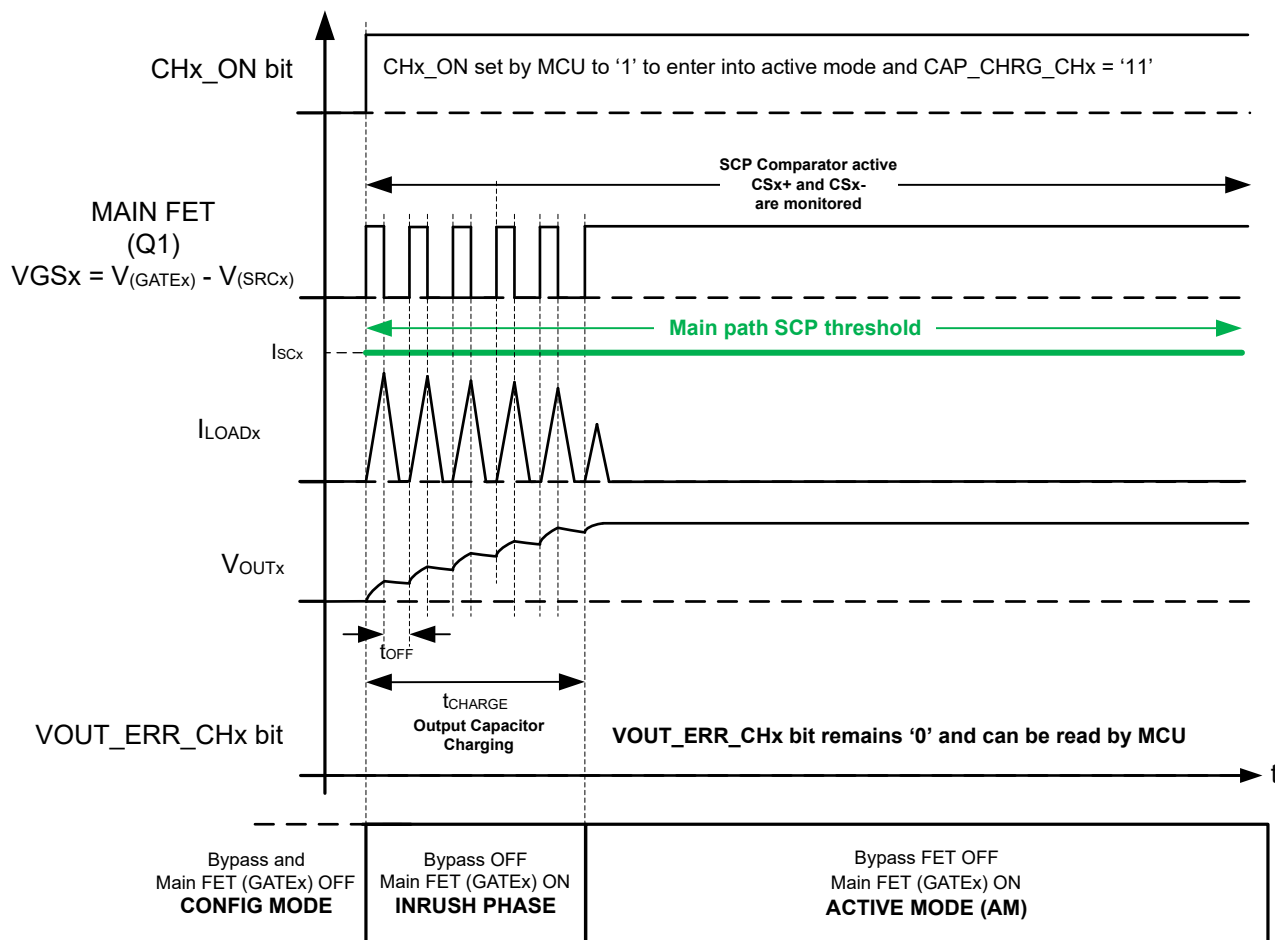


図 7-8. PWM 方式を使用したバルク コンデンサ充電のタイミング図

PWM は、設定された INRUSH_DURATION_CHx の期間中のみ有効になります。

VOUT_ERR_CHx ビットは、設定された INRUSH_DURATION_CHx の経過後に GATEx がオン / オフのどちらの状態であるかを示すビットです。デバイスはこのビットに基づいてアクションを実行しません。

7.3.3.2 抵抗性負荷または誘導性負荷の駆動

抵抗性負荷は、オームの法則 ($V = I \times R$) に従うため、最も駆動しやすい負荷です。

設計者は、電圧 (車載バッテリーでは通常 13.5V または 52V) と負荷抵抗 (オーム メーターで測定) が分かっているため、設計は単純です。これらの二つのパラメータから、回路に流れる最大電流を計算できます。一般的なアプリケーションでは、目的の出力を得るために、負荷に流れる電流を変化させる必要があります。負荷に流れる電流を変化させる最も基本的な方法は、パルス幅変調 (PWM) を使用することです。

誘導性負荷とは、電源電圧に接続されたときに磁気エネルギーを蓄積する負荷です。誘導性負荷のインピーダンスは、直列に接続された抵抗成分とインダクタンス成分で構成されます。誘導性負荷をオフにすると、インダクタンスに蓄積された磁気エネルギーによって、数百 V に達する過渡的な負電圧が発生する場合があります。この過渡電圧は、駆動回路に深刻な損傷を与える場合があります。潜在的な損傷を防ぐため、スイッチ オフ時には、誘導性負荷の両端電圧をクランプして、蓄積された磁気エネルギーを消費する必要があります。外付け TVS または標準ダイオードを出力とグランドの間に接続する (または TVS ダイオードをドレイン ソース間に接続する) ことで、スイッチ両端の電圧を所定の電圧にクランプし、クランプ経路に電流を還流させて回路を保護します。これにより、蓄積されたエネルギーを安全に消費できます。この大きなクランプ電圧では、消磁時間が短縮されるため、誘導性負荷に対する安全で迅速なターンオフ時間が得られます。

この高いクランプ電圧により消磁時間が短縮され、誘導性負荷を安全かつ迅速にターンオフできます。このモード中のすべての設定可能なパラメータについては、表 7-1 を参照してください。

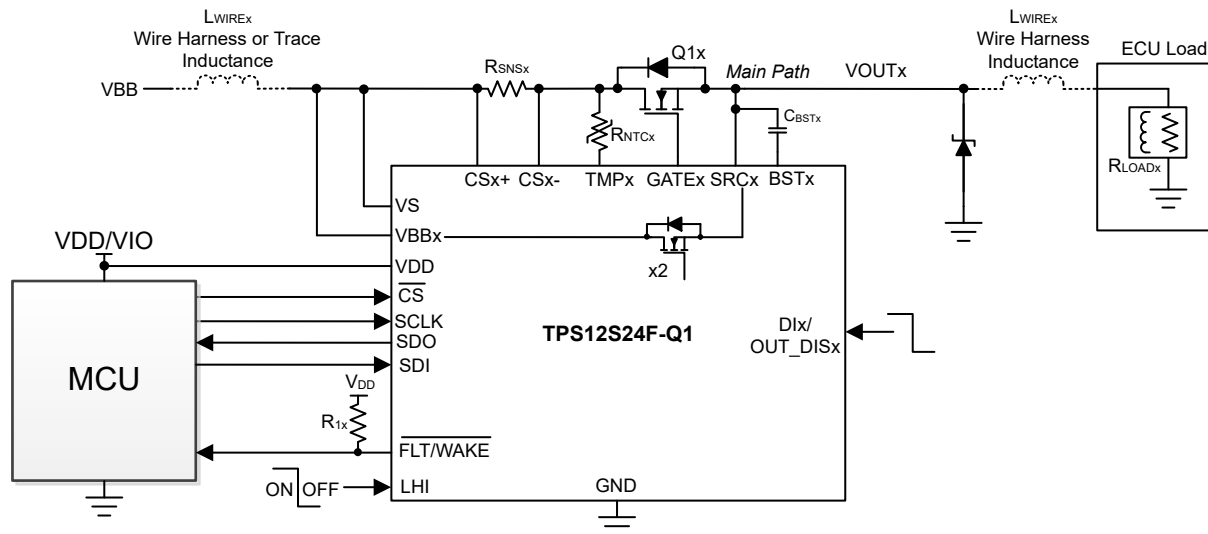


図 7-9. 誘導性負荷または抵抗性負荷を駆動するための TPS12SxxF-Q1 アプリケーション回路

7.3.4 保護メカニズム

SPI コントローラ ファミリーは、車載環境で動作するように設計されています。外付け MOSFET、ひいては負荷を保護するために、故障検出機能が備えられています。保護機構によって、このデバイスは負荷遮断、逆接続、出力グラウンドに短絡、過負荷など、多くのシステム レベルの異常事象に対して高い堅牢性を発揮します。

7.3.4.1 I2T ベースの過電流および短絡保護

デバイスには、チャンネルごとにプログラム可能なヒューズ保護が内蔵されています。この保護機能は定義された時間電流曲線に基づいており、溶断ヒューズ データシートでは一般に I2T 保護と呼ばれます。この目的は、溶断型ヒューズのスイッチのターンオフ動作を一致させることです。NOM_CUR_CHx ビットと I2T_TRIP_CHx ビットにより、時間と電流の関係の特性曲線と即時シャットダウン保護 (Isc) が設定され、デバイスの完全な I2T 保護が構成されます。I2T 保護は三つの領域で構成されています：

I2T 保護は三つの領域で構成されています：

1. 公称電流
2. I2T ベースのヒューズ シャットダウン
3. 即時シャットダウン保護 (SCP)

ヒューズ ベースのシャットダウンの動作領域を下図に示します。動作領域を規定する電流値の例も示されています。

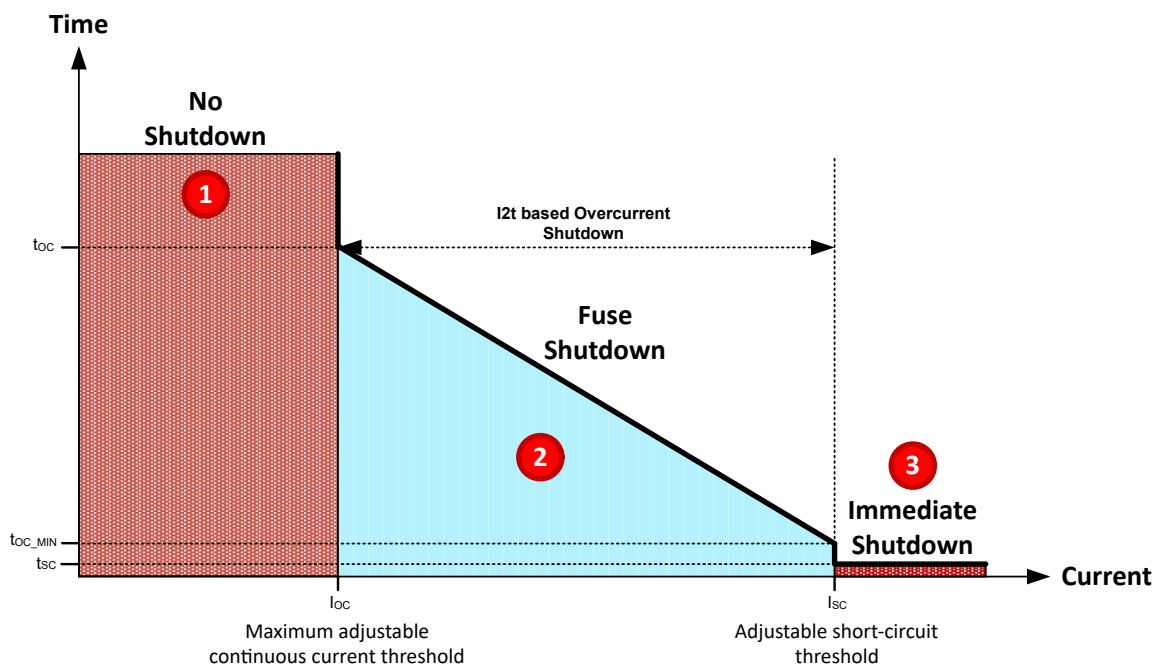


図 7-10. TPS12SxxF-Q1 の設定可能な電流と時間の関係の特性曲線

公称電流領域 (1) では、デバイスをオフにすることなく無制限に電流を供給できる領域が定義されています。これは、溶断式ヒューズのヒューズ電流定格とほぼ等しくなります。この領域は `NOM_CUR_CHx` ビットによって設定されます。出力電流が `NOM_CUR_CHx` 設定より小さい場合、デバイスは前述のように無期限に電流を供給でき、I2T の蓄積が開始されることはありません。出力電流が `NOM_CUR_CHx` の設定以上の場合、デバイスは I2T 累積ループに入り、`I2T_TRIP_CHx` スレッシュホールドが満たされるまで累積を開始します。出力電流が `I2T_TRIP_CHx` 値に達する前に `NOM_CUR_CHx` を下回ると、デバイスは I2T の減積算を開始します。

公称電流領域の上は、`I2T_TRIP_CHx` ビットによって設定されるヒューズシャットダウン領域 (2) です。この領域は、時間と電流の関係の特性曲線の曲率を規定するとともに、デバイスの I2T 積算が有効になり、`I2T_MOD_CHx` が 1 にセットされる領域を示します。出力電流レベルと `NOM_CUR_CHx` の設定に基づき、デバイスは設定された `I2T_TRIP_CHx` 値をベースに異なる時間間隔でトリップします。`I2T_CONFIG_CHx` レジスタの `DCR_CHx` ビットの設定に応じて、デバイスの時間と電流の関係の特性曲線は以下の式で定義されます。

DCR_CHx = '0' 設定時の I2T 積算および減積算:

$$I2T_TRIP = (I_{LOAD}^2) * t \text{ (式 1)}$$

`DCR_CHx = 0` の場合、デバイスは `I2T_CONFIG_CHx` レジスタの `ACC_DCR0_CHx` ビットを使用して設定可能な減算係数も提供しており、`DCR_CHx = 0` の場合の減積算時間を変更できます。

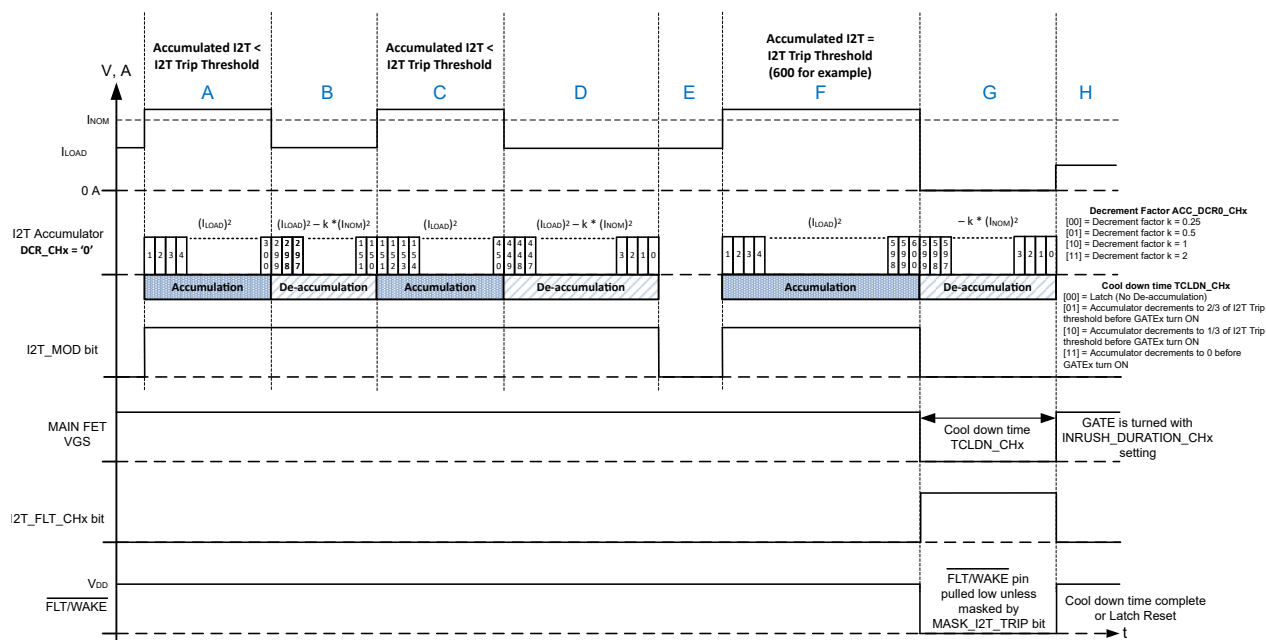


図 7-11. DCR_CHx = '0' 設定での I2T 積算および減積算

DCR CHx = '1' 設定時の I2T 積算および減積算:

$$I2T_TRIP = (ILOAD^2 - INOM^2) * t \text{ (式 2)}$$

DCR_CHx の設定に応じて、I2T_CONFIG_CHx の I2T_TRIP_CHx ビットには異なるスレッショルドが適用されます。I2Tトリップ スレッショルドの詳細については、I2T CONFIG CHx レジスタを参照してください。

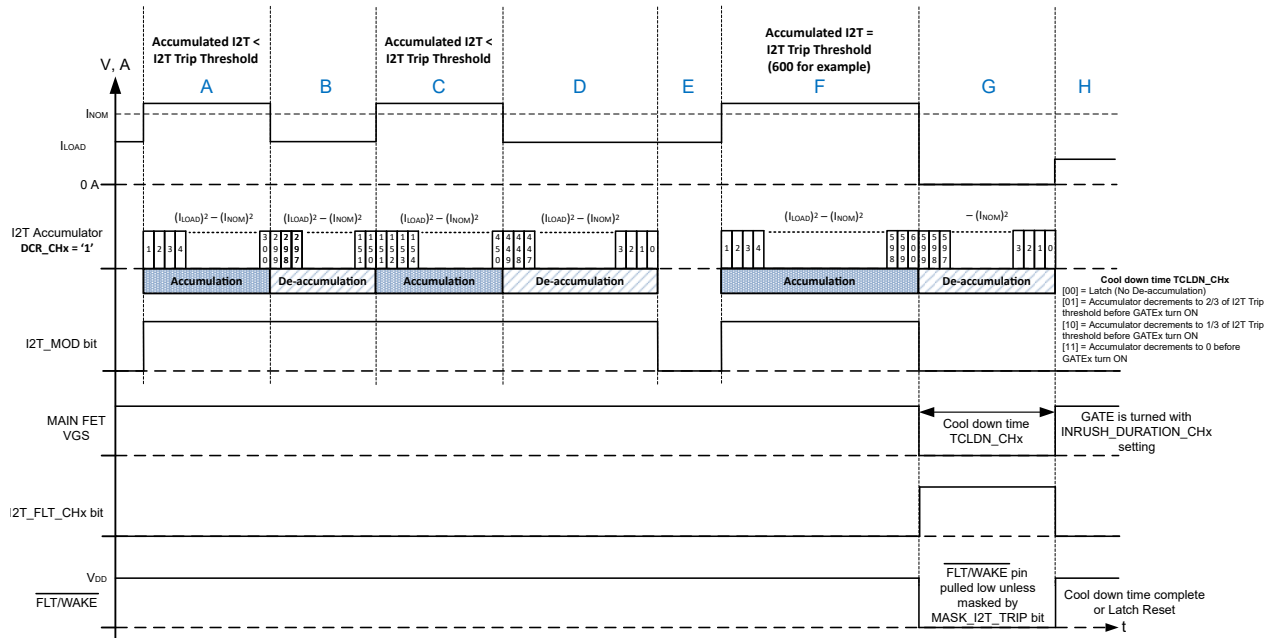


図 7-12. DCR_CHx = '1' 設定での I2T 積算および減積算

積算値が I2T_TRIP_CHx 値を超えず、電流が NOM_CUR_CHx を下回った場合、DCR_CHx の設定に応じて式 1 または式 2 を使用し、ISNSx 値に基づいて累積エネルギーをゼロになるまで減積算します。デバイスがデクリメントして 0 まで減少し続ける間、I2T_MOD_CHx ビットは累積エネルギーが 0 に戻るまで 1 のまま保持されます。その後、I2T_MOD_CHx ビットはゼロに戻ります。チャンネルが I2T ループに入っていたために変換が無効になっていた場合、I2T_MOD_CHx = 0 になると変換は再度有効になります。

I2T_TRIP_CHx 値によってシャットダウンが発生した場合、デバイスは TCLDN_CHx で設定された期間、オフ状態を維持します。TCLDN_CHx = 00 の場合、デバイスはラッチ オフ状態を維持し、リトライしません。

即時シャットダウン過電流保護 (SCP) 領域 (3) は、FWD_SCP_SET_CHx ビットおよび REV_SCP_SET_CHx ビットによって設定されます。出力電流が Isc レベルを超えると、デバイスは直ちにオフになります。SCP の再試行動作またはラッチ オフ動作は、LATCH_CHx ビットによって設定されます。詳細については、「自動再試行およびラッチ オフ動作」セクションで説明します。

また、次の図に示すように、このデバイスには逆方向の I2T 累積機能も搭載されています。負荷電流が一方から反対方向へ切り替わる際、INOM 電流スレッショルドを上回った状態が維持されている場合、クロスオーバー ポイント (負荷電流がゼロになる点) でも積算値はリセットされません。

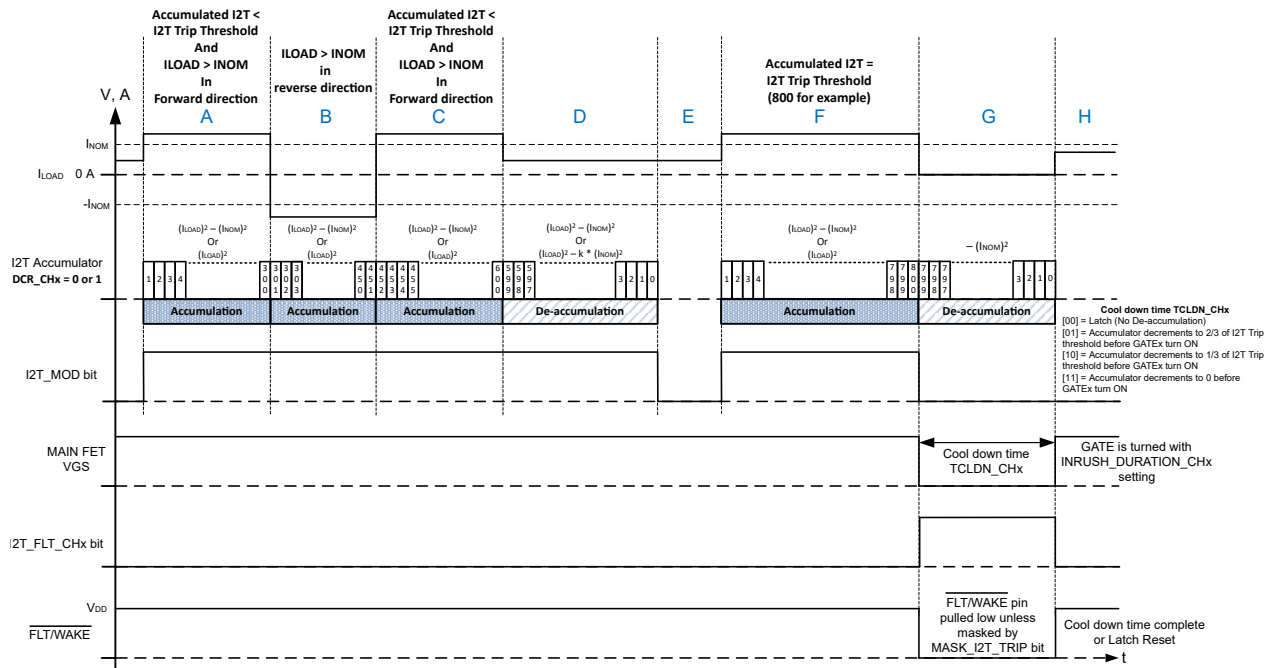


図 7-13. 順方向および逆方向の負荷電流フロー時の I2T 積算および減積算

7.3.4.2 NTC ベースの外部 FET 過熱保護

TPS12SxxF-Q1 は、外部 FET の温度監視アンプおよび過熱保護機能を備えています。この温度監視機能は、入力ピンを $TMPx$ 、内部出力信号を $TSNSx$ とする差動アンプによって実装されています。温度アンプの出力は、内蔵 ADC の入力の一つとして機能します。また、このデバイスには $TSNSx$ 出力に内部コンパレータが内蔵されており、外部メイン FET の過熱故障を検出します。内部 $TSNSx$ 信号の電圧が $TSNS_TSD_SET_CHx$ スレッシュホールドを超え、その状態が $TSNS_TSD_MASK_CHx$ のマスキング時間を超えて継続すると、メイン FET (GATEx) がオフになります。デバイスは $LATCH_CHx$ ビットの設定に応じてオートリトライまたはラッチ オフ状態に移行し、マスクされていない限り $FLT/WAKE$ が Low にアサートされます。

過熱スレッシュホールドは、 $TSNS_TSD_SET_CHx$ ビットを使用して、 $45^{\circ}\text{C} \sim 160^{\circ}\text{C}$ の範囲で 5°C 刻みに SPI 経由で設定できます。

R_{NTCx} は抵抗 (この場合 NTC サーミスタ抵抗) で、温度によって変化します。 R_{TMPx} は、温度に対してサーミスタの動作を線形化するために使用される通常の抵抗で、図 7-14 に示されているように配置されます。

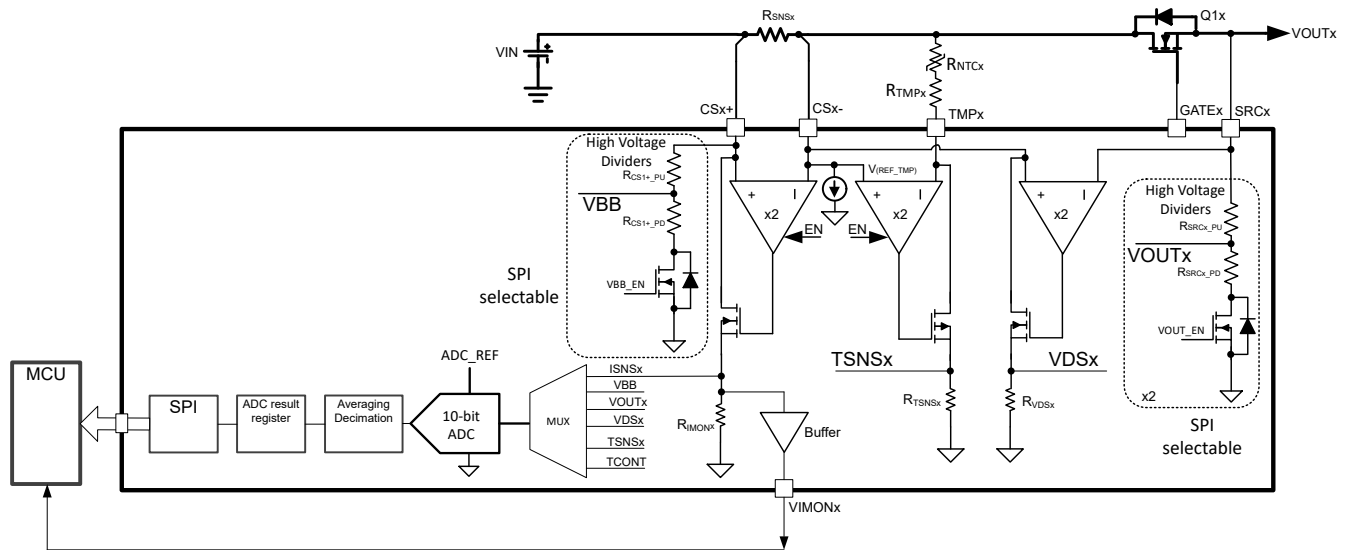


図 7-14. NTC ベースの温度センシングおよび保護

7.3.4.3 デバイス接合部過熱警告

デバイスの温度は内部で監視され、検出された温度は `ADC_RESULT_TCONT` に格納されます。検出されたコントローラ温度が `T(CONT_TSD_WRN)` スレッシュホルドを超えている場合、`CHAN_OCP_I2T_TSD_OV` で `THERMAL_WRN_CHx` は '1' に設定されます。これは、マイコンによって `SPI` 経由で読み出すことができます。

7.3.4.4 入力低電圧および過電圧保護

TPS12SxxF-Q1 は、両チャンネルに低電圧 (UVLO) 保護および過電圧 (OVLO) 保護を内蔵しています。デバイスは CS1+ ピンを使用して入力電圧を検出し、設定された UVLO または OV スレッショルドと比較します。検出された CS1+ 電圧が、UVLO_SET_CHx で設定された $V_{CHx(UVLOF)}$ を下回る状態が UVLO_MASK_CHx で設定された $t_{CHx(UVLO_MASK)}$ を超えて継続する場合、または OVLO_SET_CHx で設定された $V_{CHx(OVR)}$ を上回る状態が OV_MASK_CHx で設定された $t_{CHx(OV_MASK)}$ を超えて継続する場合、メインパスのゲート駆動 (GATEx) はオフになります。

VBB の低電圧は、FAULT_GLOBAL レジスタの GLOBAL_ERR_WRN ビットおよび VBB_UVLO ビットによって示されます。VBB の過電圧は、FAULT_GLOBAL レジスタの CHAN_OCP_I2T_TSD_OV ビットによって示されます。

MASK_VBB_UVLO または MASK_VBB_OVLO ビットを使用して FAULT_MASK レジスタで構成されている場合、 $\overline{\text{FLT/WAKE}}$ は Low にアサートされます。CS1+ 電圧が $V_{\text{CHx(UVLOR)}}$ を上回るか、 $V_{\text{CHx(OVF)}}$ を下回ると、メイン FET (GATE_x) が再度オンになります。 $V_{\text{CHx(UVLO_Hys)}}$ または $V_{\text{CHx(OV_Hys)}}$ は、UVLO_HYS_CHx または OVLO_HYS_CHx ビットを使用してプログラムできます。

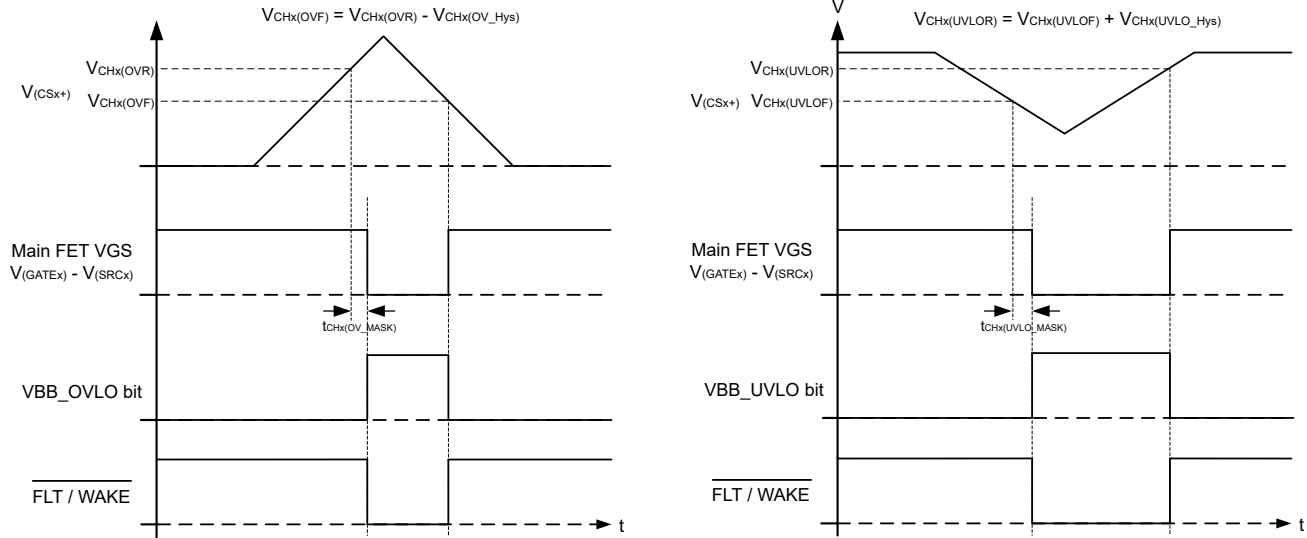


図 7-15. 入力電源の過電圧および低電圧保護のタイミング図

7.3.4.5 外部 FET ドレイン ソース間電圧 (VDS) 過電圧保護

有効なチャネルのドレイン ソース間電圧は、外部 FET のリニア モードでの導通を防ぐために継続的に監視されます。CSx- から SRCx への電圧は常に内部で監視されます。

VDS 過電圧保護は順方向および逆方向の両方で使用でき、VDS_PROT_EN_CHx ビットで有効にし、VDS_OVP_SET_CHx ビットでスレッショルドを設定できます。ノイズの多い信号測定による誤トリップを防ぐため、各チャネルに VDS_OVP_MASK_CHx で設定可能なフィルタ時間が個別に用意されており、マスキング時間またはグリッチ除去時間を設定できます。

7.3.4.6 双方向 VDS ベースの短絡保護

有効なチャネルのドレイン ソース間電圧は継続的に監視され、この電圧は VDS ベースの短絡保護 (SCP) にも使用できます。VDS ベースの SCP 保護は双方向で使用でき、VDS_PROT_EN_CHx ビットで有効にできます。また、VDS_OVP_SET_CHx ビットと VDS_GAIN_CHx ビットの組み合わせによってスレッショルドを設定できます。ノイズの多い信号測定による誤トリップを防ぐため、各チャネルに対して VDS_OVP_MASK_CHx で設定可能なフィルタ時間が個別に用意されており、マスキング時間またはグリッチ除去時間を設定できます。図 7-16 に、電流センス抵抗 (R_{SENSx}) を使用しない VDS ベースの SCP 保護を採用したアプリケーション回路を示します。これらを使用すると、システム レベルのサイズとコストを削減できます。

CHx_ON ビットによって GATEx がオンになると、まず GATEx ピンと SRCx ピン間の電圧を監視することで、外部 FET の VGS が検出されます。GATEx-SRCx 間電圧が V_{CHx(GATE_GOOD)} スレッショルド (標準値 7.5V) を上回り、外部 FET が十分にオンしていることが確認されると、VDS ベースの保護が有効になります。

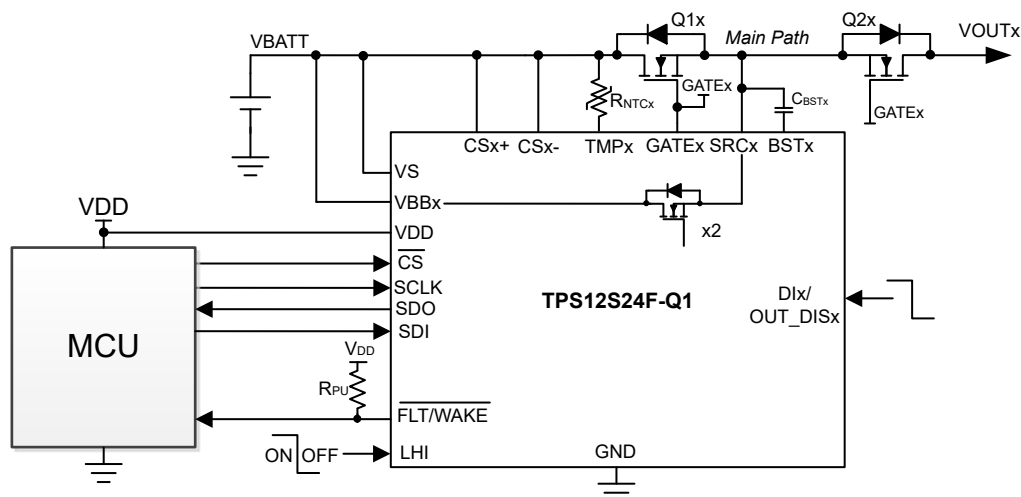


図 7-16. TPS12SxxF-Q1 VDS ベースの SCP 保護アプリケーション回路

表 7-2 に、VDS_OVP_SET_CHx ビットと VDS_GAIN_CHx[1:0] ビットの組み合わせに基づく、VDS ベース SCP 保護のスレッシュホールド設定を示します。

表 7-2. VDS ベースの SCP 保護のスレッシュホールド設定

VDS_OVP_SET_CHx[4:0]	VDS OVP スレッシュホールド (mV)		
VDS_GAIN_CHx[1:0] =	'01'	'10'	'11'
0	300	56	15
1	340	64	17
2	380	72	19
3	425	80	21
4	465	87.5	24
5	510	95	26
6	550	105	28
7	590	110	30
8	635	120	32
9	675	126.5	34
10	715	135	36
11	760	142.5	38
12	800	150	40
13	840	158	42
14	880	165	44
15	925	175	46
16	965	182	48
17	1010	190	50
18	1050	197	52
19	1090	205	54
20	1130	212.5	56

表 7-2. VDS ベースの SCP 保護のスレッシュホールド設定 (続き)

VDS_OVP_SET_CHx[4:0]	VDS OVP スレッシュホールド (mV)		
VDS_GAIN_CHx[1:0] =	'01'	'10'	'11'
21	1175	220	58
22	1215	230	61
23	1260	236	63
24	1300	245	65
25	1340	252	67
26	1385	260	69
27	予約済み	267.5	71
28	予約済み	275	73.5
29	予約済み	283	75
30	予約済み	290	77.5
31	予約済み	300	80

7.3.4.7 逆極性保護

TPS12SxxF-Q1 デバイスには、逆極性保護機能が内蔵されており、入力および出力逆極性フォルト時の障害からデバイスを保護します。逆極性の障害が発生するのは、最終製品の設置と保守の最中に発生します。このデバイスは入力と出力の両方で、最小 -65V までの逆極性電圧に耐えます。このデバイスは、入力側のバッテリー逆接続イベントを検出すると、負荷を保護するために双方向接続の FET をオフします。図 7-17 に、入力極性保護のために VS (D_{VS}) ピンと VBBx (D_{VBBx}) ピンに直列ダイオードを接続したアプリケーション回路を示します。

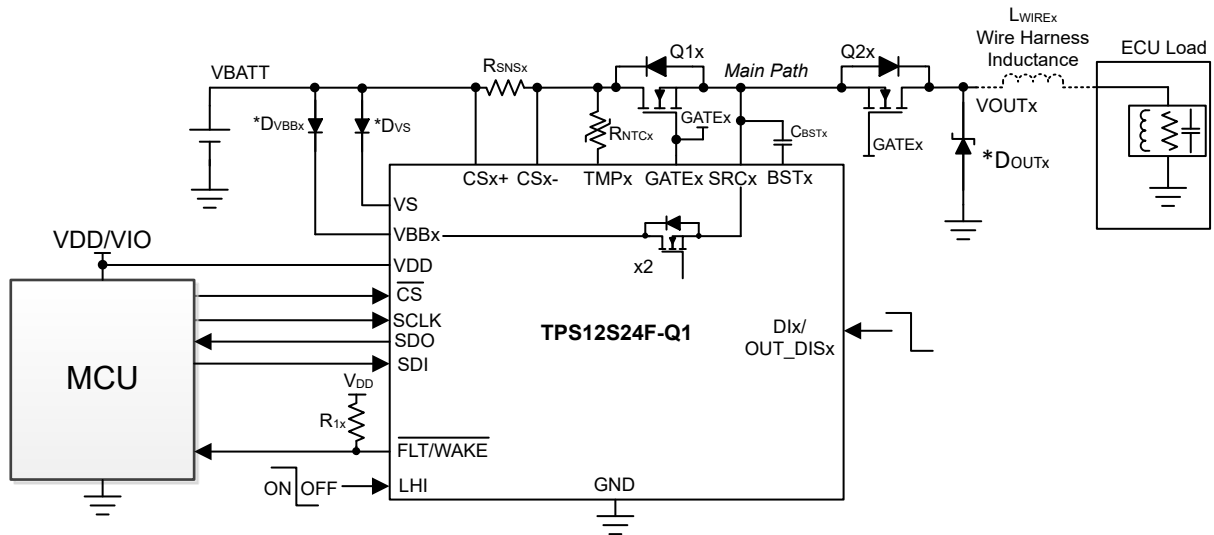


図 7-17. 入力逆極性保護用 TPS12SxxF-Q1 アプリケーション回路

出力側では、スイッチをオフにしたときの出力ケーブル ハーネスのインダクタンスのキックバックにより、通常動作中に負の過渡電圧が発生する可能性があります。このようなシステムでは、出力の負の電圧レベルは出力側の TVS またはダイオード (D_{OUTx}) によって制限されます。

7.3.4.8 GND 喪失

マイコンのグラウンドが ECU のグラウンドに接続されたままデバイスの GND ピン接続が失われた場合、デバイスの GND 電圧がマイコンのグラウンド基準で 2V のスレッシュホールドを超えると、デバイスはグラウンド喪失を検出します。この場合、

CONFIG、アクティブ、または LIMPHOME の各モードにおける制御信号の状態にかかわらず、GATEx の駆動は無効になります。グラント接続が失われた時点ですでに GATEx 駆動が無効になっていた場合、GATEx 駆動は無効のまま維持されます。デバイスのグラント喪失時、デバイスの総 IQ は以下のいずれかのピンを介して流れる可能性があります。 $\overline{\text{CS}}$ 、SDI、SDO、SCLK、LHI、または Dlx/OUT_DISx、下図に示すように、インピーダンス (電流への抵抗) が最も低い経路を使用します。

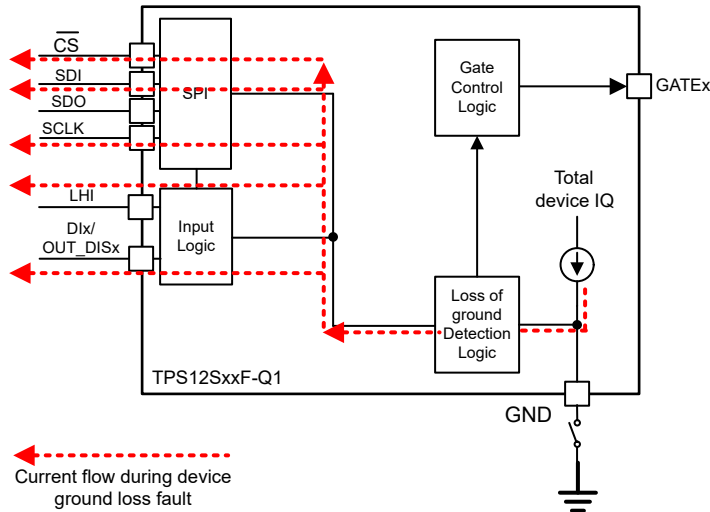


図 7-18. デバイスのグラント喪失故障時の電流フロー

表に、さまざまな状態でのグラント喪失故障がゲートドライブに及ぼす影響を示します。

表 7-3. 地絡故障

状態 / モード	デバイスのグラント喪失故障後のゲート駆動状態
低消費電力モード	バイパス FET はオンのままで、デバイスは LPM 内にとどまります。 デバイスは、デバイスのグラント喪失故障状態でも負荷ウェイクアップを検出できます。 LPM IQ は下図に示すパスを通過します。
Config、アクティブ、または Limphome モード	GATEx はオフのまま、またはオンからオフになります。 アクティブ モードの IQ は、下図に示すパスを流れます

7.3.5 診断機能

7.3.5.1 ADC 検出信号

TPS12SxxF-Q1 は内蔵の逐次比較 10 ビット ADC を備えており、さまざまなアナログ信号をデジタル信号に変換し、SPI 経由で読み取ることができます。ADC は、以下に示すアナログ信号を変換できます。

- チャンネル入力電圧センサは ADC_RESULT_VBB レジスタから利用できます
- チャンネル出力電圧センサは、ADC_RESULT_CHx_V レジスタから利用可能です
- 外部 FET 温度センサは、ADC_RESULT_CHx_T レジスタから利用できます
- ADC_RESULT_TCONT レジスタからコントローラの接合部温度センサ値を取得可能
- ADC_RESULT_CHx_VDS レジスタからチャンネルのドレインソース間電圧センサ値を取得可能

図 7-19 に、内蔵 ADC と、ADC へのアナログ信号入力の機能ブロック図を示します。アナログ信号の変換は、ADC_CONFIG レジスタを使用してグローバルに無効化できます。

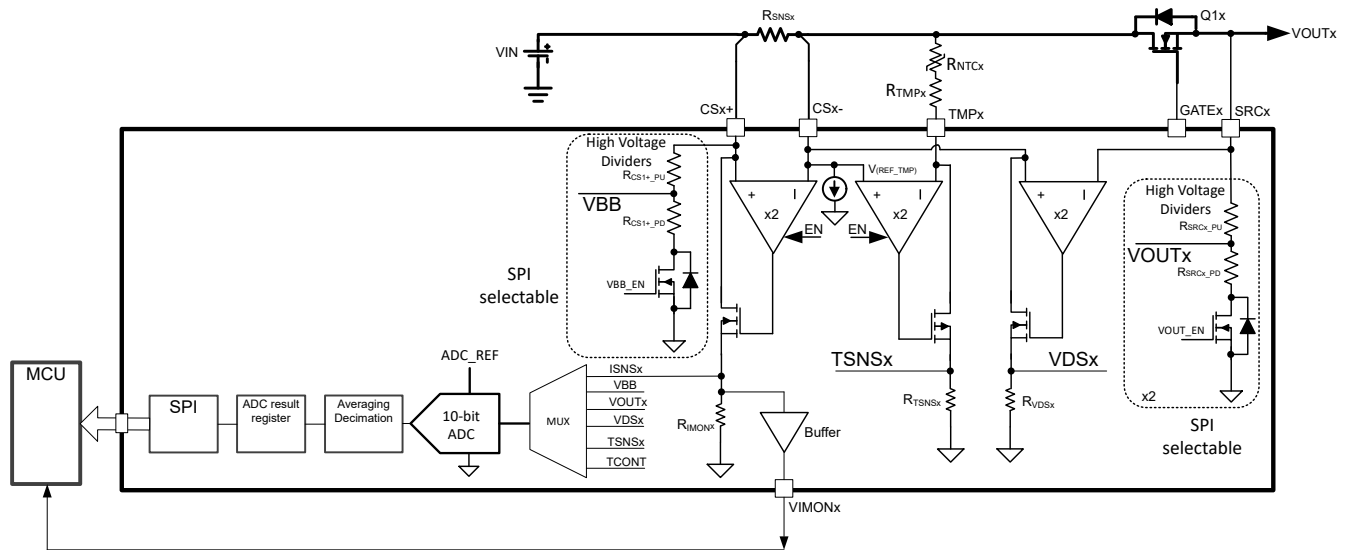


図 7-19. TPS12SxxF-Q1 の ADC ブロック図

また、デバイスには遅延の設定が可能なので、ADC のサンプリング レートを下げることで、デバイスの静止電流をさらに低減できます。設定可能な遅延は、ADC_CONFIG レジスタの ADC_CONFIG_DELAY ビットで設定します。

I2T 保護が有効 (I2T_EN_CHx = 1) で、いずれかのチャンネルが I2T モードではない (I2T_MOD_CHx = 0) 場合、デバイスは各アナログ信号を、設定可能な遅延で、ラウンド ロビン シーケンスを使用して変換します。次の図 7-20 に、チャンネルが I2T モード (I2T_MOD_CHx = 0) で、すべてのアナログ信号変換が有効である場合の ADC スケジューリングを示します。I2T 保護が無効の場合、以下のラウンド ロビン シーケンスも適用されます。

I2T 保護が有効 (I2T_EN_CHx = 1) で、チャンネルの一方または両方が I2T モード (I2T_MOD_CHx = 1) の場合、デバイスは内部 I2T 保護に使用される ISNSx 変換を除いてすべての変換を無効にします。デバイスは、構成可能な遅延機能も無効にします。次の図 7-20 に、チャンネルの一方または両方が I2T モード (I2T_MOD_CHx = 1) の場合の ADC スケジューリングを示します。

いずれかのチャンネルが I2T ループ中 (I2T_MOD_CHx = 1) の場合、有効になっていても、すべてのチャンネルの VBB、TCONT、TSNSx、VDSx 測定は無効になり、VSNS_RDY_CHx ビットは 0 になります。チャンネルが I2T ループを終了すると (I2T_MOD_CHx = 0)、I2T イベントの前に有効になっていたこれらの測定は、すべて自動的に再度有効になります。

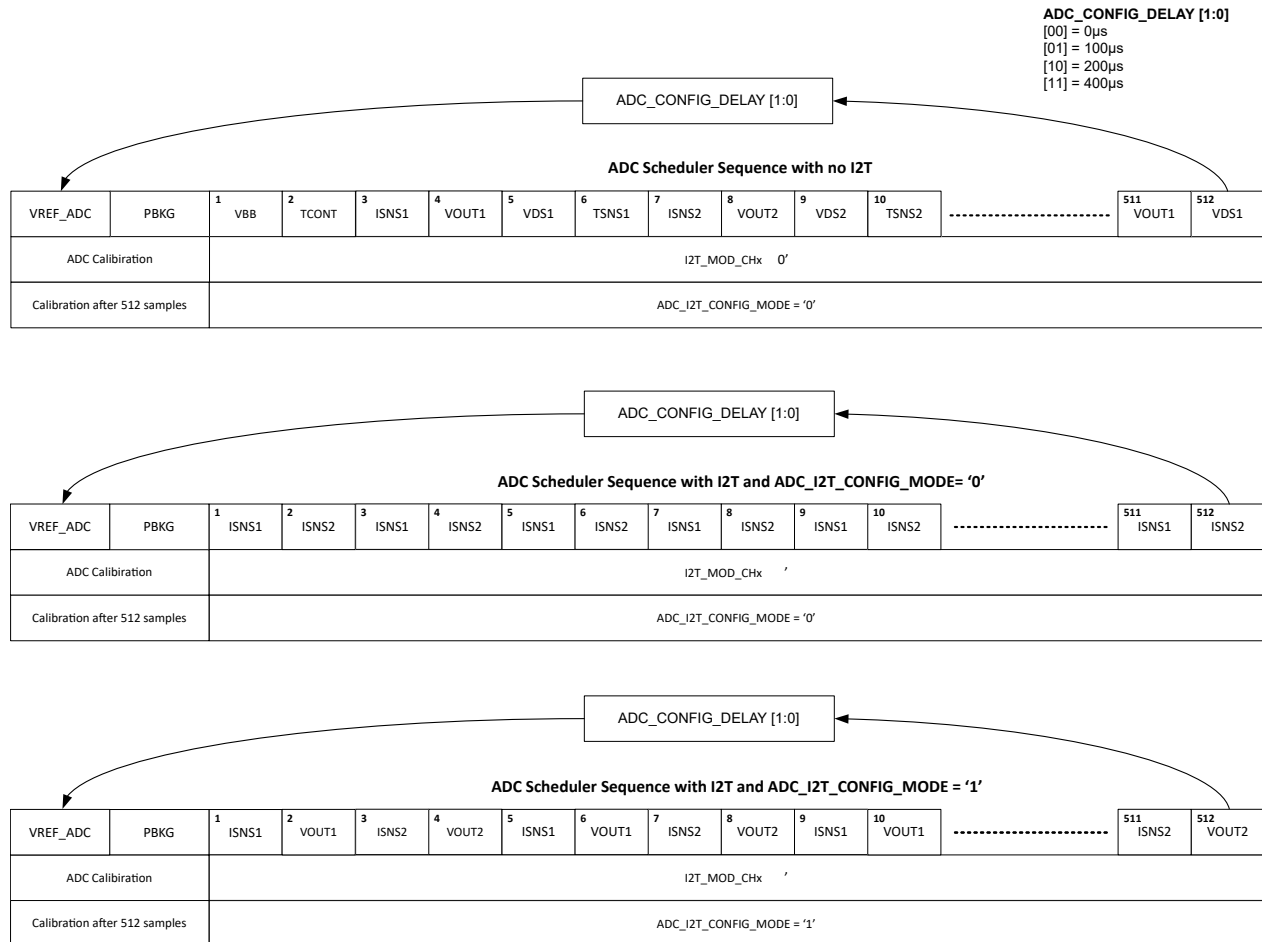


図 7-20. TPS12SxxF-Q1 の ADC 変換シーケンス

ADC のリファレンス電圧は内部で固定されています。これは $V_{\text{ADC_REF}}$ パラメータにより電気的特性表に指定されています。ADC のグラウンドリファレンスは、内部でデバイスの GND に接続されています。

各アナログ信号の変換式は、以下のそれぞれのセクションに記載されています。

7.3.5.2 アナログおよびデジタル電流モニタ (VIMONx)

このデバイスには電流センスアンプが内蔵されており、外付けシャント抵抗の両端の電圧降下を監視することで、順方向および逆方向の負荷電流を検出します。双方向電流センス回路は、スイッチの出力電流に比例した電圧信号を提供します。この電圧信号は内蔵 ADC の入力ではサンプリングされ、電流方向の情報は `ADC_RESULT_CHx_I` レジスタの `ISNS_POLARITY_CHx` ビットに保存されます。電圧ベースの変換により、ADC で変換される他の信号 (`CSx+/SRCx/TSNSx/TCONT/VDSx`) にも共通のセンス電圧を使用できます。

ADC 入力電圧が ADC の入力範囲内に収まるように、電流センス抵抗と GAIN 設定を適切に選択する必要があります。

10 ビットのデジタル電流センス出力は、`ADC_RESULT_CHx_I` レジスタから読み取ることができます。前回レジスタを読み取ってから ADC 変換結果がレジスタ内で更新されると、`ISNS_RDY_CHx` ビットがセットされます。

RSNS の値を選択する際は、以下の要因を考慮する必要があります。

- 電流センスアンプのゲイン (GAIN)
- アプリケーションの動作に必要な、最大および最小の診断可能負荷電流
- ADC のフルスケール電圧

- 使用する RSNS 抵抗の許容誤差

電流センスアンプの差動ゲインは、DIAG_CONFIG_CHx レジスタの ISNS_GAIN_CHx 設定ビットで設定できます。

表 7-4. ISNS アンプ ゲイン設定

ISNS_GAIN_CHx	電流センスアンプのゲイン (V/V)
0x0	15
0x1	30
0x2	50
0x3	65
0x4	85
0x5	100
0x6	120
0x7	135

注

電流センス情報はメイン FET (GATEx) の状態に依存しないため、メイン FET (GATEx) がオンまたはオフのいずれの場合でも、VIMONx ピンおよび ADC_RESULT_CHx_I レジスタから読み取ることができます。

電流センスの ADC 変換式を式 5 に示します

$$\text{ADC_RESULT_CHx_I} = \frac{1023}{V_{\text{ADC_REF}}} \times V_{\text{CHx}}(\text{ISNS_GAINx}) \times I_{\text{CHx}}(\text{LOAD}) \times R_{\text{SNSx}} \quad (5)$$

7.3.5.3 入力電源電圧測定

TPS12SxxF-Q1 デバイスは、CS1+ ピンの電圧を検出し、10 ビット ADC を介して VBB 電圧の測定値を提供します。VBB 電圧測定は、デフォルトで無効になっています。VBB 電圧センス機能は、ADC_CONFIG レジスタの ADC_VBB_DIS ビットによりイネーブルできます。

VBB 電圧測定の変換式については、式で詳述します。ADC の測定結果は ADC_RESULT_VBB レジスタで確認できます。このレジスタが前回の読み取り以降に新しい ADC 変換結果が存在する場合、VBB_RDY ビットは 1 に設定されます。

$$\text{ADC_RESULT_VBB} = \frac{1023}{V_{(\text{ADC_REF})}} \times \frac{3}{76} \times V_{\text{BB}} \quad (6)$$

7.3.5.4 出力電圧測定

TPS12SxxF-Q1 デバイスは SRCx ピンの電圧を検出し、内蔵の 10 ビット ADC を介して、チャンネルごとの出力電圧測定値を提供します。出力電圧の測定機能は、デフォルトでは無効になっています。出力電圧検出機能を有効にするには、ADC_CONFIG レジスタ内の ADC_VSNS_DIS ビットを設定して、グローバルで有効化する必要があります。グローバルビットが有効になっている場合、デバイスは各 CHx_CONFIG レジスタ内の VSNS_DIS_CHx ビットの設定に従って、各チャンネルの出力電圧測定を有効にします。

出力電圧測定の変換式の詳細については、式を参照してください。ADC の測定結果は、ADC_RESULT_CHx_V レジスタで確認できます。VSNS_RDY_CHx ビットは、前回レジスタを読み取って以降に新しい ADC 変換結果がある場合に 1 に設定されます。

$$\text{ADC_RESULT_CHx_V} = \frac{1023}{V_{(\text{ADC_REF})}} \times \frac{3}{80} \times V_{\text{SRCx}} \quad (7)$$

7.3.5.5 外部 FET 温度測定

TPS12SxxF-Q1 は、NTC 抵抗を介して外部 FET の温度を検出し、10 ビット ADC を使用して各パワー MOSFET の温度測定値を提供します。FET 温度検出機能は、デフォルトで無効になっています。各チャネルの FET 温度センシング機能を有効にするには、ADC_CONFIG レジスタの ADC_TSNS_DIS ビットを使用して、この機能をグローバルに有効にする必要があります。FET 温度測定の変換式は、式に示されています。ADC の測定結果は、ADC_RESULT_CHx_T レジスタで確認できます。このレジスタが最後に読み出された後に新しい ADC 変換結果が存在する場合、TSNS_RDY_CHx ビットは 1 に設定されます。

$$\text{ADC_RESULT_CHx_T} = \frac{1023}{V_{(\text{ADC_REF})}} \times \frac{(V_{(\text{REF_TMP})} \times R_{\text{TSNSx}})}{(R_{\text{NTCx}} + R_{\text{TMPx}})} \quad (8)$$

ここで、

$$V_{(\text{REF_TMP})} = 50\text{mV}$$

標準 10kΩ NTC では $R_{\text{TSNSx}} = 45\text{k}\Omega$ 、標準 47kΩ NTC では 90kΩ を内蔵しています

推奨される R_{TMPx} は、標準 10kΩ NTC では 700Ω、標準 47kΩ NTC では 1500Ω です

7.3.5.6 外部 FET の双方向ドレイン ソース間 (Bi-VDS) 測定

TPS12SxxF-Q1 デバイスは、外部 FET のリニア モードでの導通を防ぐため、CSx- と SRC 間の電圧を検出し、内蔵 10 ビット ADC を介して各チャネルの順方向および逆方向のドレイン ソース間電圧 (VDS) を測定します。VDS 電圧測定機能は、ADC_VDS_DIS ビットを使用して有効にできます。有効にすると、デバイスは各 CHx_CONFIG レジスタの VDS_SNS_DIS_CHx ビットの設定に従って、各チャネルの VDS 電圧測定を有効にします。

VDS 電圧測定の変換式を以下に示します。VDS 変換式は、 $\pm 15\text{mV} \sim \pm 1.4\text{V}$ の VDS 電圧範囲でのみ有効です。ADC の測定結果は ADC_RESULT_CHx_VDS レジスタで利用できます。このレジスタが最後に読み出された後に新しい ADC 変換結果が存在する場合、VDS_SNS_RDY_CHx ビットは 1 に設定されます。

CHx_ON ビットによって GATEx がオンになると、まず GATEx ピンと SRCx ピン間の電圧を監視することで、外部 FET の VGS が検出されます。GATEx-SRCx 間電圧が $V(\text{G_GOOD})$ スレッシュホールド (標準値 7V) を上回り、外部 FET が十分にオンしていることが確認されると、VDS ベースの監視が有効になります。

$$\text{ADC_RESULT_CHx_VDS} = \frac{1023}{V_{(\text{ADC_REF})}} \times V_{\text{CHx}}(V_{\text{DS_GAINx}}) \times V_{\text{DSx}} \quad (9)$$

ここで、VDS_SCP_GAIN_VDSx は、VDS_SCP_GAIN_CHx ビットによって 1.5、8、30 のいずれかに設定できます。

7.3.5.7 コントローラ温度測定

TPS12SxxF-Q1 デバイスは、内蔵の 10 ビット ADC を介して、式に従ったコントローラ温度の測定値を提供します。

$$\text{ADC_RESULT_TCONT} = \frac{1023}{V_{(\text{ADC_REF})}} \times (2.1 - 0.00643 \times T) \quad (10)$$

7.3.5.8 VOUT のバッテリーへの短絡または FET 短絡、およびオープン負荷検出

TPS12SxxF-Q1 デバイスは、チャネル出力がオンかオフかにかかわらず、出力のバッテリー短絡、外付け FET のドレイン ソース間短絡、およびオープン負荷状態を検出できます。ただし、これら二つの状態では、それぞれ異なる検出方式が使用されます。

7.3.5.8.1 メイン FET (GATEx) 有効時の測定

メイン FET (GATEx) がオンの場合、VOUT のバッテリーへの短絡、外部 FET のドレイン-ソース間短絡、およびオープン負荷状態は、電流センシング機能を使用して測定できます。どちらの場合も、電流検出回路と ADC を使用して負荷電流が測定され、その結果は ADC_RESULT_CHx_I レジスタで取得できます。低電流レベルでは、DIAG_CONFIG_CHx レジスタ

の ISNS_GAIN_CHx 設定ビットを使用して、ゲインを公称値からより高いゲイン設定に変更することで、電流センス精度を向上できます。これにより、ADC は低負荷電流をより高い精度で測定できます。

7.3.5.8.2 メイン FET (GATEx) 無効時の検出

メイン FET (GATEx) がオフの場合、デバイスはオープン負荷またはバッテリーへの短絡イベントを検出できます。以下では、これらをそれぞれ「オフ状態のオープン負荷 (OL) 検出」、および「オフ状態のバッテリーへの短絡 (SVBB) 検出」と呼びます。メイン FET (GATEx) がオフの場合、デバイスは以下で説明する所定のシーケンスにより、オープン負荷イベントとバッテリーへの短絡イベントを区別できます。

オフ状態での開放負荷およびオフ状態でのバッテリー短絡検出のブロック図を図 7-21 に示します。

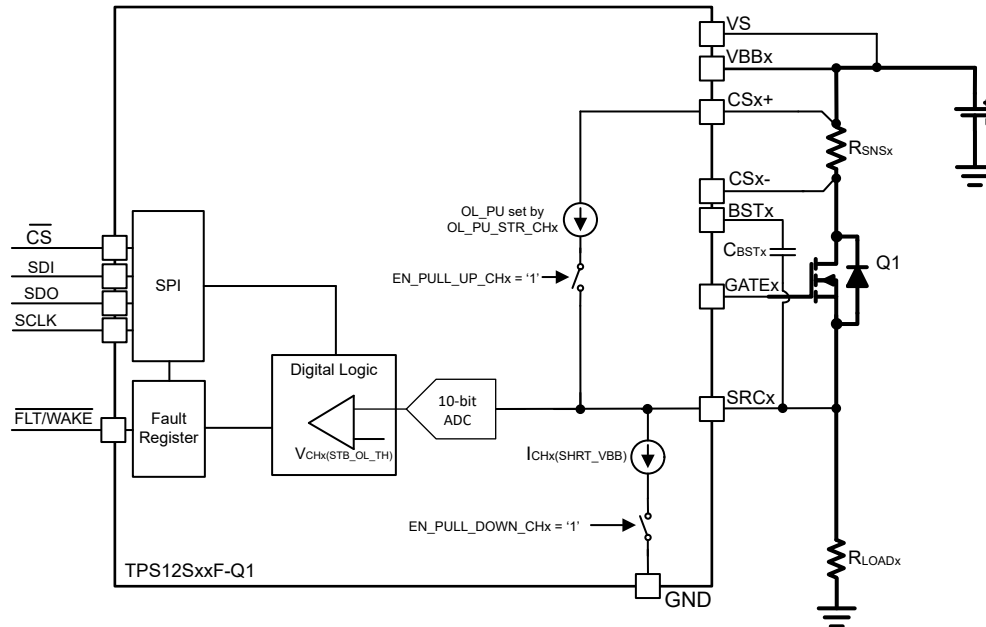


図 7-21. TPS12SxxF-Q1 オフ状態 FET 短絡およびオープン負荷検出のブロック図

オフ状態のバッテリーへの短絡の検出

また、デバイスには各チャネル用のプルダウン電流 ($I_{CHx(SHRT_VBB)}$) が内蔵されており、チャネルが無効な場合に、オープン負荷とバッテリーへの短絡故障を区別するために使用できます。最初に CHx_ON ビットによって GATEx をオフにし、次に EN_PULL_DOWN_CHx ビットによってプルダウン電流 ($I_{CHx(SHRT_VBB)}$) を有効にします。同時に、VOUTx の情報も取得され、内部に保存されます。

出力ワイヤ ハーネスのインダクタンス、出力コンデンサ、および負荷に応じた一定の遅延時間の後、マイコンによって SVBB_DIAG_EN_CHx ビットを有効にし、VOUTx を再度記録できます。現在の VOUTx と以前に保存された VOUTx の差分が $V_{CHx(STB_OL_TH)}$ より大きい場合、バッテリーへの短絡故障はありません。それ以外の場合は、FLT_STAT_CHx レジスタに故障が示され、マスクされていない限り FLT/WAKE ピンが Low にアサートされます。

オフ状態のオープン負荷検出

バッテリーへの短絡検出が故障なしで完了すると、プルダウン電流を無効にし、オープン負荷検出を実行できます。デバイスには各チャネル用のプルアップ電流源 ($I_{CHx(OL_PU)}$) が内蔵されており、出力をプルアップしてオープン負荷故障の有無を判定できます。EN_PULL_UP_CHx ビットによってプルアップ電流源を有効にすると、同時に VOUTx の情報も取得され、内部に保存されます。

内部プルアップの強度は、DIAG_CONFIG_CHx レジスタの各チャネル用 OL_PU_STR_CHx ビットを使用して設定できます。

出力ワイヤ ハーネスのインダクタンス、出力コンデンサ、および負荷に応じた一定の遅延時間の後、マイコンによって OL_DIAG_EN_CHx ビットを有効にし、VOUTx を再度記録できます。現在の VOUTx と以前に保存された VOUTx の差分が $V_{CHx(STB_OL_TH)}$ より小さい場合、オープン負荷故障はありません。それ以外の場合は、FLT_STAT_CHx レジスタに故障が示され、マスクされていない限り $\overline{FLT/WAKE}$ ピンが Low にアサートされます。

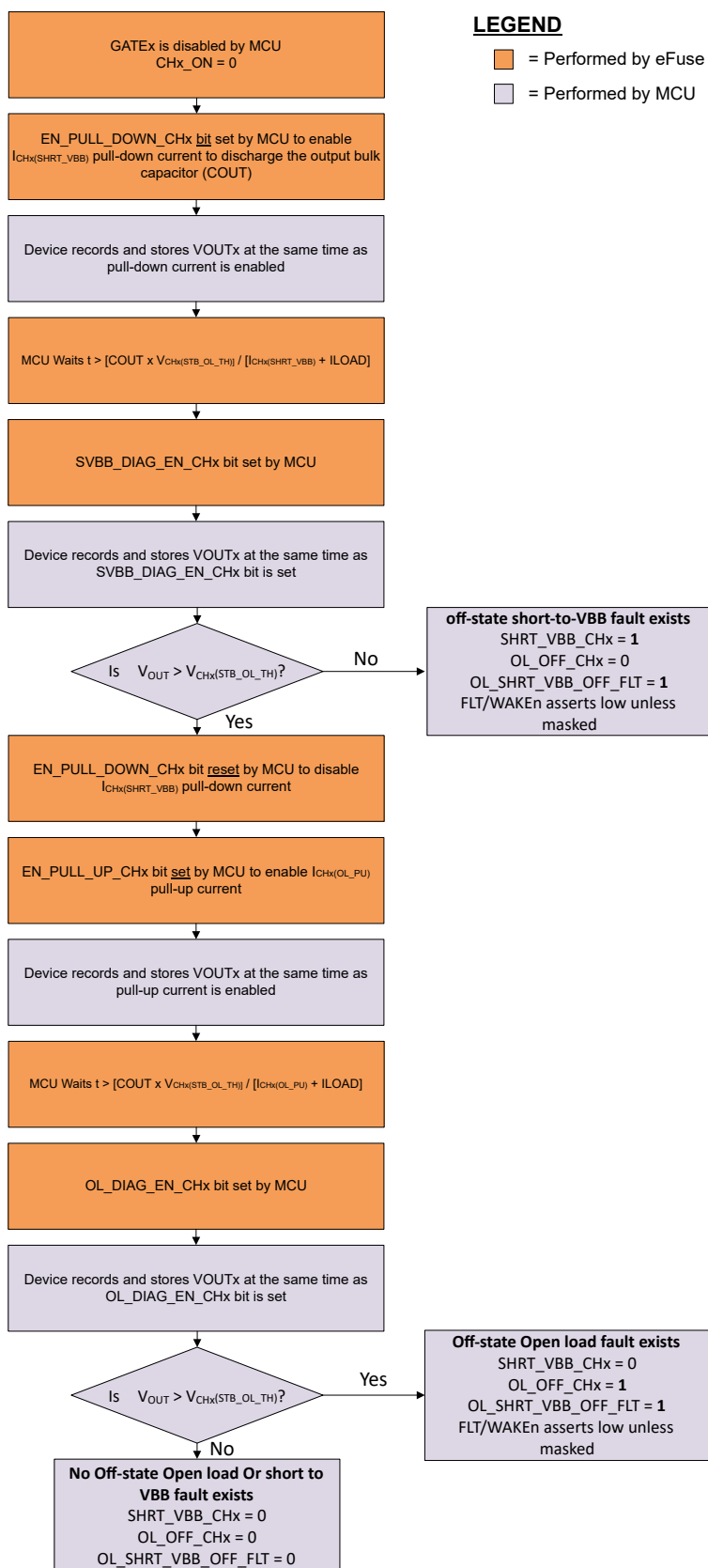


図 7-22. ゲート駆動無効時の FET 短絡およびオープン負荷検出フローチャート

7.3.5.9 常時給電 (PAAT) 負荷の VOUT からバッテリーへの短絡または FET 短絡の検出

このデバイスは各チャンネルにプルダウン電流 ($I_{CHx(SHRT_VBB)}$) を内蔵しており、チャンネルが無効化されているときに、VOUT のバッテリー短絡または FET 短絡故障の検出に使用できます。検出メカニズムについては、以下のフローチャートを参照してください

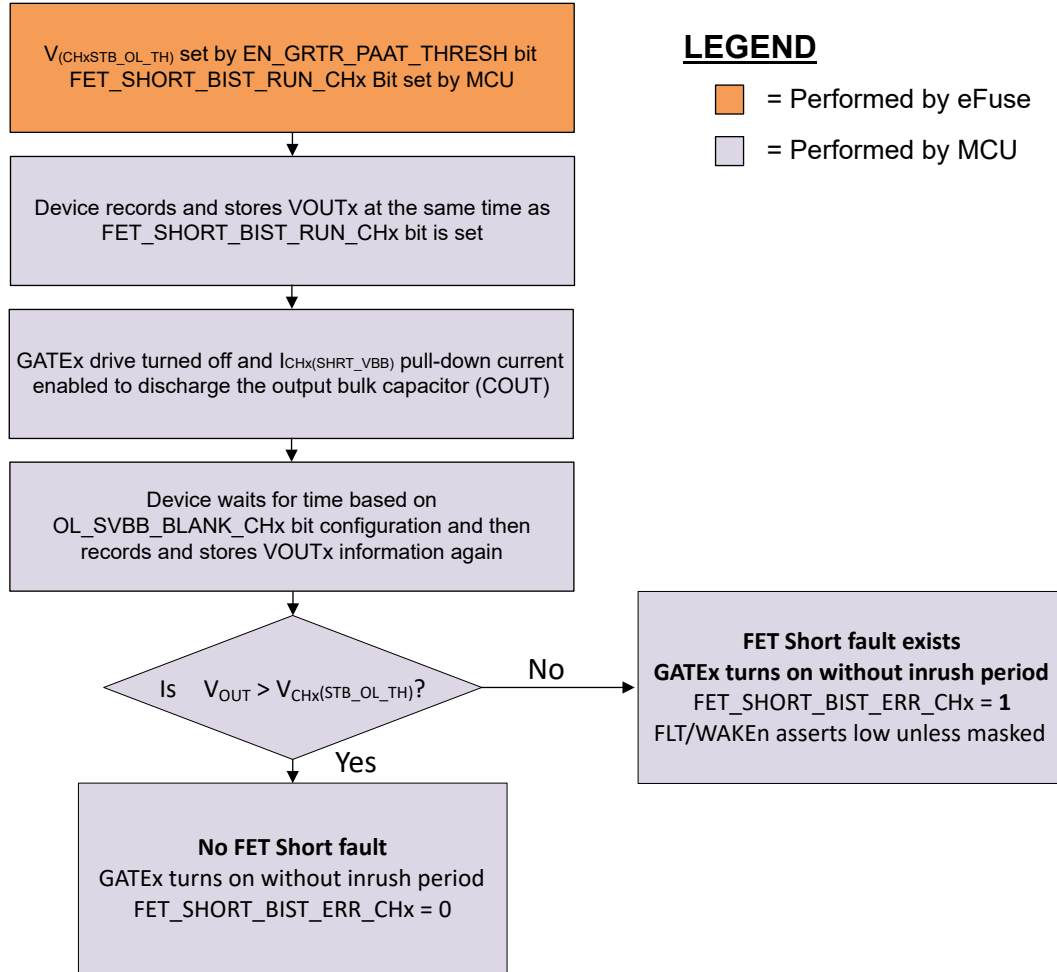


図 7-23. PAAT 負荷に対する FET 短絡診断のフローチャート

7.3.6 故障通知 (FLT/WAKE)

このデバイスは、FLT/WAKE ステータスピンと、SPI による故障ステータスビットによって、拡張された故障通知機能を備えています。FLT/WAKE ステータスピンを使用すると、デバイスで故障が発生したときにシステムを割り込みできます。FLT/WAKE ステータスピンは、デバイスで故障が発生すると Low にアサートされるオープンドレイン出力です。読み取りクリアで使用する故障の場合、故障が解消され、故障をクリアする特定のレジスタが読み出されると、FLT/WAKE ピンは High になります。FLT/WAKE ピンでの通知は、FAULT_MASK レジスタにより、一部の故障でマスクできます。詳細については、FAULT_MASK レジスタを参照してください。

デバイスは、SPI を介して故障情報を提供します。グローバル故障レジスタ (FAULT_GLOBAL) およびチャンネル固有の故障レジスタ (FLT_STAT_CHx) により、システムはデバイス内で故障が発生した原因を迅速に診断できます。デバイスは、FAULT_GLOBAL [15:8] ビットを SDO ヘッダに出力するため、これらのステータスビットを各 SPI トランザクションで継続的に読み出すことができます。各故障ステータスビットの詳細については、レジスタマップの FAULT_GLOBAL および FLT_STAT_CHx レジスタを参照してください。

デバイスが低消費電力モードの場合、 $\overline{\text{FLT/WAKE}}$ ピン経由で故障情報は利用できません。LPM で短絡が発生した場合、このデバイスはそれ自体を保護してからアクティブ状態に遷移し、その後 $\overline{\text{FLT/WAKE}}$ ピンと故障ステータスレジスタで故障を通知します。

表に、デバイスが $\overline{\text{FLT/WAKE}}$ ピンと故障ステータスビットによって各種イベントに通知する方法を示します。

表 7-5. 障害通知

イベント / 故障	検出	PROTECTION (ゲートドライブ がオフ)	FAULT_GLOB AL レジスタのビ ットフィールド名	FLT_STAT_CH x レジスタのビッ トフィールド名	$\overline{\text{FLT/WAKE}}$ ピン によるオプション の表示	ビットフィール ド名 FAULT_MASK レジスタ
入力電源 (VBB) UVLO	あり	あり	VBB_UVLO お よび GLOBAL_ERR_ WRN		マスクされてい ない場合、あり	MASK_VBB_U VLO
入力電源 (VBB) UVLO 警告 ($V_{(\text{CSx+})} < 6\text{V}$)	あり	なし	VBB_UV_WRN と GLOBAL_ERR_ WRN		なし	-
VDD UVLO	あり	なし	VDD_UVLO	-	マスクされてい ない場合、あり	MASK_VDD_U VLO
SPI ウォッチドッグ エラー	あり	Limphone モー ドへの遷移	WD_ERR		マスクされてい ない場合、あり	MASK_WD_ER R
SPI CRC / フレーム エラー	あり	なし	SPI_ERR		マスクされてい ない場合、あり	MASK_SPI_ER R
NVM CRC エラー	あり	あり	BIST_RESULT レジスタの NVM_CRC_ER R		マスクされてい ない場合、あり	MASK_NVM_C RC_ERR
POR	あり	あり	POR		あり	
オフ状態の開放負荷故障	あり	なし	OL_SHRT_VBB _OFF_FLT およ び CHx_FLT	OL_OFF_CHx	マスクされてい ない場合、あり	MASK_OL_OF F
VOOUT の VBB への短絡故障	あり	なし	OL_SHRT_VBB _OFF_FLT およ び CHx_FLT	SHRT_VBB_C Hx	マスクされてい ない場合、あり	MASK_SHRT_ VBB
外部 FET 過熱 (TSD) シャットダウ ン	あり	あり	CHAN_OCP_I2 T_TSD_OV およ び CHx_FLT	THERMAL_SD _CHx	マスクされてい ない場合、あり	MASK_TSD
バイパス FET 過熱シャットダウン	あり	バイパス FET は オフになっていま す メイン FET がオ ンです	CHx_FLT	THERMAL_SD _BYP_CHx	あり	-
チップ(コントローラ)の過熱警告	あり	なし		THERMAL_WR N_CHx	マスクされてい ない場合、あり	DEV_CONFIG_ 2 レジスタの TSD_CONT_FL T_EN ビット

表 7-5. 障害通知 (続き)

イベント / 故障	検出	PROTECTION (ゲートドライブ がオフ)	FAULT_GLOB AL レジスタのビ ット フィールド名	FLT_STAT_CH x レジスタのビット フィールド名	FLT/WAKE ペン によるオプション の表示	ビット フィールド 名 FAULT_MASK レジスタ
VBB での過電圧	あり	あり	CHAN_OCP_I2 T_TSD_OV		マスクされてい ない場合、あり	MASK_VBB_O VLO
VOUT をグラウンドに短絡 (SCP)	あり	あり	CHAN_OCP_I2 T_TSD_OV およ び CHx_FLT	OCP_CHx	マスクされてい ない場合、あり	MASK_OCP
I2T 保護	あり	あり	CHAN_OCP_I2 T_TSD_OV およ び CHx_FLT	I2T_FLT_CHx	マスクされてい ない場合、あり	MASK_I2T_TRI P
逆バッテリー (逆極性)	あり	あり			マスクされてい ない場合、あり	MASK_REV_P OL_FLT
チャージ ポンプ低電圧	あり	あり	CHx_FLT	CPUMP_UVLO _CHx	マスクされてい ない場合、あり	MASK_CPUMP _UVLO
デバイス GND の喪失	あり	あり	なし		なし	-
突入時間後のメイン FET (GATEx) のオン / オフ	あり	なし	-	VOUT_ERR_C Hx	なし	-
負荷ウェークアップ	あり	なし	CHx_FLT	LPM_WAKE_C Hx	はい (常に使用 可能)	
LPM で VOUT はグラウンドに短絡	あり	バイパス FET は オフになっていま す メイン FET がオ ンです	CHx_FLT	LPM_HS_CHx	マスクされてい ない場合、あり	MASK_LPM_H S
VDS 過電圧フォルト	あり	あり	CHx_FLT	VDS_FLT_CHx	マスクされてい ない場合、あり	MASK_VDS_FA ULT
メイン FET (GATEx) のオン / オフ ステータス	あり	なし	SW_STATE レ ジスタの SW_STATE_M_ CH1		なし	
Limphone 表示	あり	Limphone モー ドへの遷移	LIMPHOME_ST AT		マスクされてい ない場合、あり	DEV_CONFIG_ 3 レジスタの LIMPHOME_ST AT_FLT_EN ビ ット
OUT_DISx 表示	あり	あり	SW_STATE レ ジスタの SW_STATE_M_ CH1		あり	
負荷電流が順方向から逆方向に変 化したことの表示	あり	なし	ADC_RESULT_ CHx_I の ISNS_POLARIT Y_CHx ビット		マスクされてい ない場合、あり	DEV_CONFIG_ 2 レジスタの ISNS_POLARIT Y_FLT_EN ビッ ト

FAULT_GLOBAL [15:8] ビット:

TPS12SxxF-Q1 デバイスは、FAULT_GLOBAL [15:8] ビットを SDO ヘッダに出力するため、これらのステータス ビットを各 SPI トランザクション中に継続的に読み取ることができます。FAULT_GLOBAL [15:8] ビットは、DEV_CONFIG レジスタ内の FLT_LTCH_DIS ビットの設定に基づき、読み取りクリア ビットまたはリアルタイム ステータス ビットとして構成できます。ただし、FLT_LTCH_DIS ビットは LPM_STATUS ビットには適用されません。

FLT_LTCH_DIS = 0 の場合、故障ビットはラッチされ、ビット説明に関連するレジスタが読み出されて、故障が存在しなくなった場合にのみクリアされます。以下の表に、故障が解消された場合に、各故障ビットをクリアするために読み取る必要のあるレジスタを示します。これについては、レジスタ マップの各ビットの説明にも詳しく説明されています。

表 7-6. FAULT_GLOBAL [15:8] ビット

ビット	ビット名	故障が解消された場合、故障ビットをクリアするために読み出す必要があるレジスタ
15	予約済み	該当なし
14	VS_POR	FAULT_GLOBAL
13	CH2_FLT	FLT_STAT_CH2
12	CH1_FLT	FLT_STAT_CH1
11	LPM_STATUS	-
10	CHAN_OCP_I2T_TSD_OV	FLT_STAT_CHx
9	I2T_MOD	FLT_STAT_CHx
8	GLOBAL_ERR_WRN	FAULT_GLOBAL

FLT_LTCH_DIS = 1 の場合、故障ビットはラッチされず、故障が解消されるとクリアされます。

7.3.7 出力無効化 (OUT_DISx) 機能

TPS12SxxF-Q1 デバイスは、OUT_DISx ピンが High になる場合、tOFF_OUT_DIS で出力チャネル x を迅速に無効化する機能を備えています。出力無効化 (OUT_DIS) 機能は、緊急時など出力を迅速にオフにする必要がある場合に、出力をすばやくオフにするために使用されます。

この OUT_DIS 機能は、チャネルごとにダイレクト入力 (DI) 機能と多重化されます。DIAG_CONFIG_CHx レジスタの DI_OUT_DIS_FN_CHx を '1' に設定すると、Dix/OUT_DISx ピンはそのチャネルの OUT_DIS として設定されます。デバイスでグラウンド バウンスの問題が発生する場合、CONFIG_DI_MASK[1:0] ビットを使用してマスキング時間を設定できます。

以下の表に、OUT_DIS 機能のさまざまなピンおよびレジスタ構成 (DI_OUT_DIS_FN_CHx = '1' の場合の OUT_DIS ロジック表) に基づいた GATEx 状態を示します。

表 7-7. GATEx の状態

DI_OUT_DIS_FN_CHx	OUT_DISx	LHI	GATEx - SRCx 電圧
1	低	低	CHx_ON に従います
	低	高	CHx_LH_IN に従います
	高	低	低
	高	高	低

出力チャネルがオフの状態では OUT_DISx ピンが High の場合、その後 OUT_DISx ピンを Low にアサートすると、出力チャネルはアクティブ モードでは CHx_ON ビットに従い、LIMPHOME モードでは CHx_LH_IN ビットに従って動作します。この場合、CHx_ON ビットまたは CHx_LH_IN ビットでチャネルが有効になるよう設定されていると、チャネルは CAP_CHRG_CHx ビットの設定に基づく突入電流期間を経て動作します。

7.3.8 短時間の電源切断動作

このデバイスには電源遮断検出機能が内蔵されており、12V システム設計では LV124 規格の E10 パルス、48V システム設計では LV148 規格の E9 パルスに適合できます。

EVENT1: 入力電源電圧が $V_{(CSx+_{POR})}$ スレッショルドを下回ると、GATE_x 駆動がオフになります。E10_CONFIG_CH_x ビットで設定可能な t_{CSx_MASK} 時間内に電源電圧が再び $V_{(CSx+_{POR})}$ スレッショルドを超えると、下流負荷の低電圧を防ぐために出力電圧の低下を最小限に抑えるよう、GATE_x は t_{GATEx_DlXH} 時間以内にオンになります。デバイスは、CAP_CHRG_CH_x ビットのコンデンサ充電設定には従いません。

EVENT2: 入力電源電圧が $V_{(CSx+_{POR})}$ スレッショルドを下回ると、GATE_x 駆動がオフになります。E10_CONFIG_CH_x ビットを使用してプログラム可能な t_{CSx_MASK} 時間が経過した後、電源が再度 $V_{(CSx+_{POR})}$ スレッショルドを上回ると、CAP_CHRG_CH_x ビットで次のコンデンサ充電構成によって GATE_x がオンになります。

電源遮断期間中に VS 電圧を $V_{(VS_{PORF})}$ スレッショルド以上に維持するため、VS ピンには RC フィルタ、またはダイオード + コンデンサによるフィルタを必ず接続する必要があります。このフィルタにより、電源遮断期間中も BST_x-SRC_x 間の電圧が維持され、チャージポンプが動作状態に保たれます。

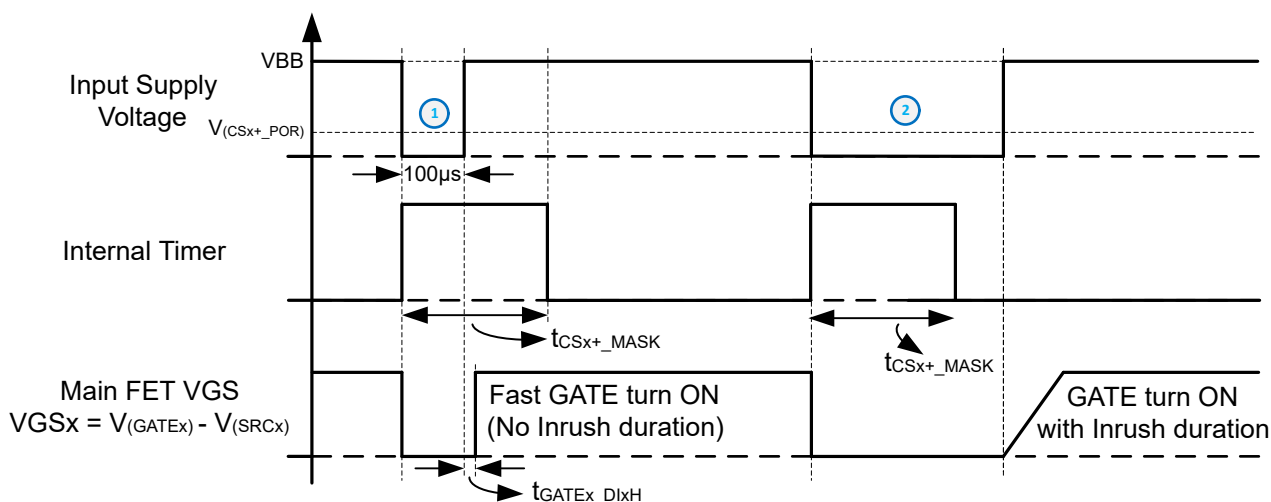


図 7-24. 短時間電源切断時の TPS12SxxF-Q1 構成

7.3.9 SPI モード動作

TPS12SxxF-Q1 は、高速 SPI シリアル インターフェイスを経由してホストコントローラと通信します。インターフェイスにはクロック (SCLK)、チップ セレクト ($\overline{CS}$)、シリアル データ入力 (SDI) の三つのロジック入力、および一つのデータ出力 (SDO) があります。 $\overline{CS}$ ピンが High のとき、SDO ピンはトライステートです。SPI の最大クロック レートは 10MHz ですが、実際には直列保護抵抗によって制限されます。このデバイスは、シンプルなデイジーチェーン SPI をサポートしています。このモードは、CRC の有無にかかわらず使用できます。TPS12SxxF-Q1 とコントローラまたはマイコンの間の通信は、メイン セカンダリ構成の SPI バスを経由します。外部マイコンは常に SPI プライマリ デバイスとして動作し、TPS12SxxF-Q1 の SDI ピンにコマンド要求を送信し、デバイスの SDO ピンから応答を受信します。TPS12SxxF-Q1 デバイスは常に SPI セカンダリ デバイスとして動作し、SDI ライン経由でコマンド要求を受信し、SDO ラインを介して外部マイコンに (ステータスや測定値などの) 応答を送信します。TPS12SxxF-Q1 デバイスは、以下の形式でプライマリ マイコンに接続できます。

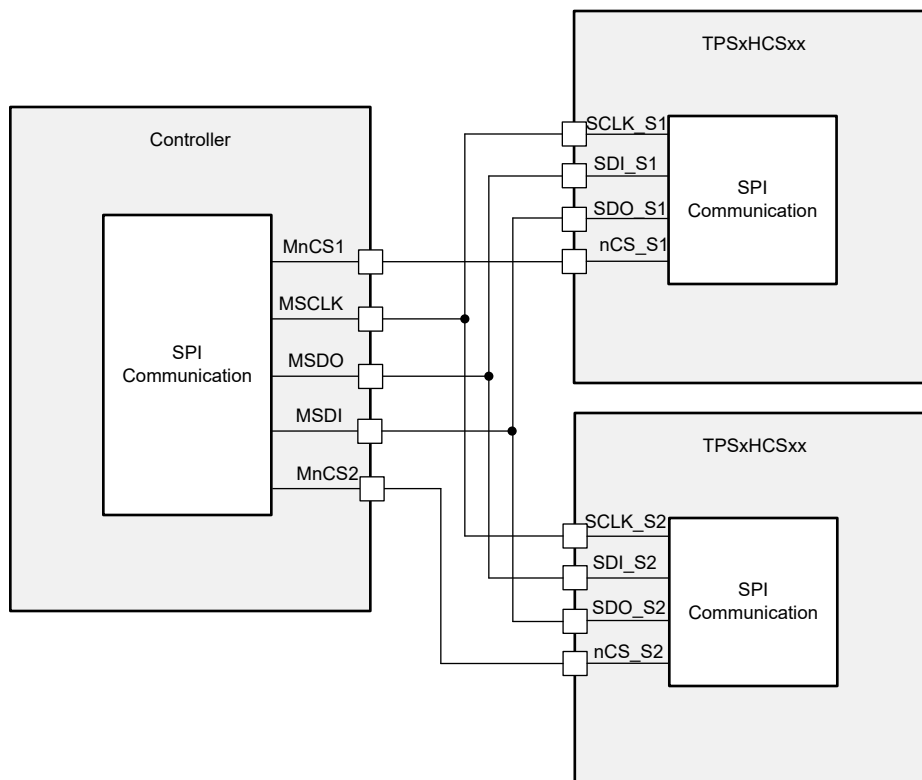


図 7-25. 独立したセカンダリ構成 (個別の nCS 信号)

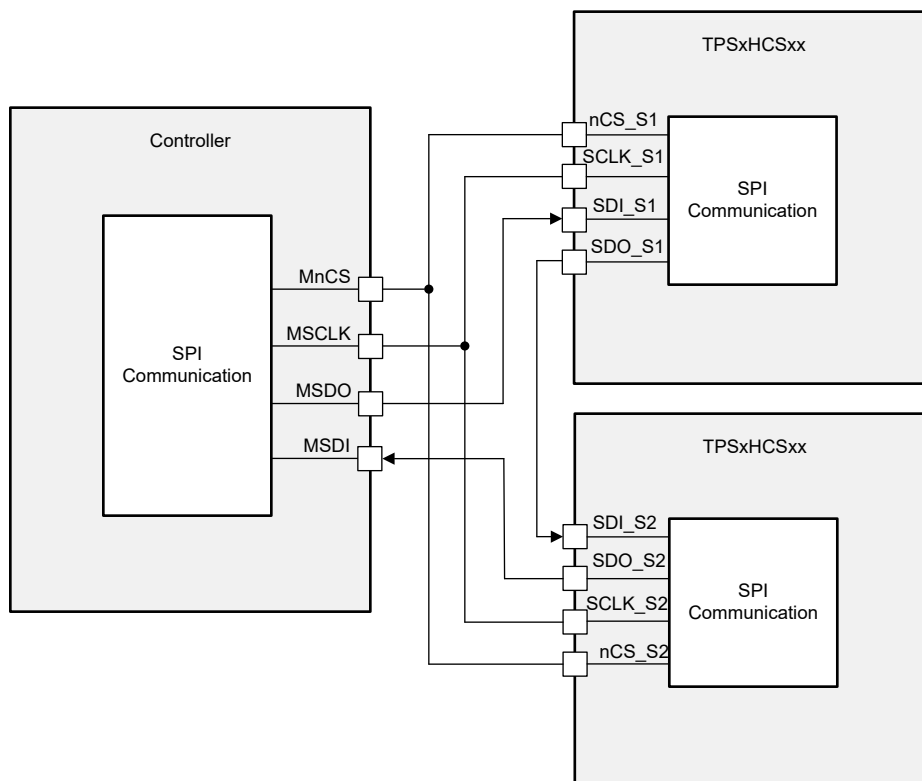


図 7-26. デイジー チェーン構成

SPI インターフェイス:

このセクションでは、SPI インターフェイス ピンの動作について説明します。

チップ セレクト ($\overline{CS}$):

システム マイコンは、 $\overline{CS}$ ピンを使用して通信対象として TPS12SxxF-Q1 を選択します。 $\overline{CS}$ ピンがレベルの論理 LOW 状態にある場合、シリアル入力 (SDI) ピンを介して TPS12SxxF-Q1 にコマンドまたは構成ワードを送信でき、シリアル出力 (SDO) ピンを介してマイコンがデバイス情報を取得できます。 $\overline{CS}$ の立ち下がりエッジによって SDO 出力が有効化され、FAULT_GLOBAL レジスタの内容がラッチされ、SDO から送信されます。マイコンは、レジスタに格納された情報を取得するために READ コマンドを発行できます。 $\overline{CS}$ ピンの立ち上がりエッジによって、次の動作が開始されます。1.SPI 通信エラーがなく、かつ SPI 書き込みコマンドである場合、指定されたレジスタが更新されます。2. $\overline{CS} = \text{LOW}$ の間にこのレジスタへの読み出しコマンドが発行された場合、読み取りクリア レジスタはクリアされます。データの破損を防ぐため、 $\overline{CS}$ 信号の HIGH から LOW、および LOW から HIGH への遷移は、SCLK がローレベルの論理状態にあるときにのみ発生する必要があります。不完全な SPI ワードがデバイスに送信されていないことを確認するには、クリーンな $\overline{CS}$ 信号が必要です。このピンは内部で VDD レールにプルアップされています。

システム クロック (SCLK):

システム クロック (SCLK) ピンは、TPS12SxxF-Q1 の内部シフトレジスタをクロック供給します。SDI データは、SCLK 信号の立ち下がりエッジで、入力シフトレジスタにラッチされます。SDO ピンは、SCLK の立ち上がりエッジでデバイス保存情報をシフトアウトします。SDO データは、マイコンが SCLK の立ち下がりエッジで読み取ることが可能です。シフトレジスタの誤ったクロック生成は、データの有効性を確保するために回避する必要があります。また、 $\overline{CS}$ ピンが遷移するたびに、SCLK ピンがロジック LOW 状態になることが不可欠です。したがって、デバイスへのアクセスがなく $\overline{CS}$ ピンがロジック HIGH 状態である限り、SCLK ピンをロジック LOW 状態にプルすることを推奨します。 $\overline{CS}$ ピンがロジック HIGH 状態である場合、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが高インピーダンス出力のままです。

シリアル データ入力 (SDI) およびシリアル データ出力 (SDO):

SDI ピンは、シリアル指示データ入力に使用されます。 $\overline{CS}$ が low の場合、SCLK の立ち下がりエッジで、SDI 情報は入力シフトレジスタにラッチされます。SDO ピンは、内部シフト・レジスタからの出力です。このピンは内部で VDD レールにプルアップされています。 $\overline{CS}$ ピンが High のとき、SDO ピンは高インピーダンス状態になります。SCLK の立ち上がりエッジが連続するごとに、マイコンは SCLK の立ち下がりエッジで次のデータ ビットを読み出すことができます。 $\overline{CS}$ が High のとき、SDO はハイ インピーダンスに戻ります。

CRC エラー検出およびクロック チェック:

CRC_EN ビットを High にセットすると、CRC エラー検出がイネーブルされます。各シリアル トランザクションには、CRC-4-ITU-Normal チェック シーケンス (FCS) が付加されて送信されます。4 ビット CRC は、正規生成多項式 $X^4 + X + 1$ に基づき、CRC の開始値 = 1111 です。CRC が有効な場合、TPS12SxxF-Q1 は、受信する SDI プログラム / 設定データの末尾にチェック バイトが付加されていることを想定します。完全なワードをプログラムするには、デバイスに正確な情報ビット (次の表を参照) を入力する必要があります。CRC が無効な場合、IC は正確なビット数がクロックインされたときにのみレジスタ書き込みを有効にします。CRC が有効な場合、IC は正確なビット数が CRC エラーなしでクロックインされたときにのみレジスタ書き込みを有効にします。ワード長が必要な長さを超える、または満たさない場合、あるいは CRC エラーが発生した場合、FAULT_GLOBAL レジスタ内の SPI_ERR ビットがロジック '1' にアサートされ、受信データは無効と見なされます。SCLK が存在しない場合、SPI_ERR ビットのフラグは立てられないことに注意します。SPI_ERR は、次のチップ アクセス時に SDO で SPI メインデバイスに送り返されます。読み出し時のクリアは、レジスタが読み出されたときに SPI エラーが発生しない場合にのみ適用されることに注意してください。

SPI フレーム フォーマット

図 7-27 に示すように、デバイスは 24 ビットのフレーム幅 (CRC が使用されない場合) を使用します。SDO 出力の 16 ビット幅の「データ出力」は、常に前の SPI コマンドフレーム (読み出しまたは書き込み) を使用していることに注意してください。

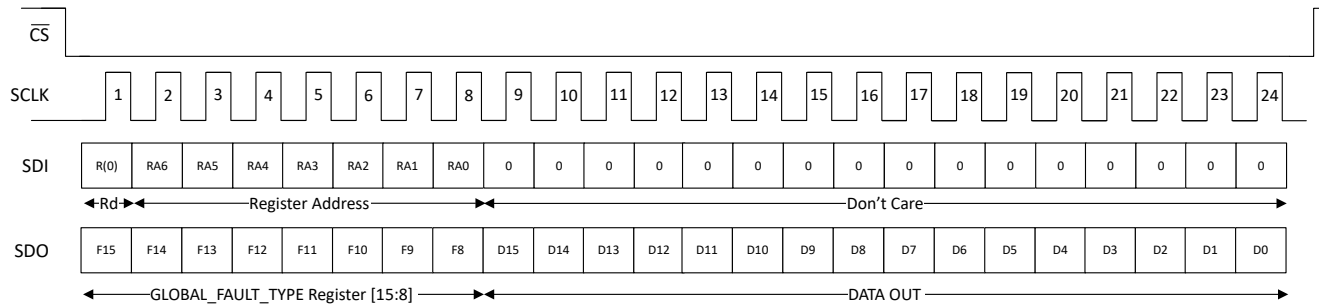


図 7-27. 24 ビット読み取り、CRC なし (CRC_EN = 0)

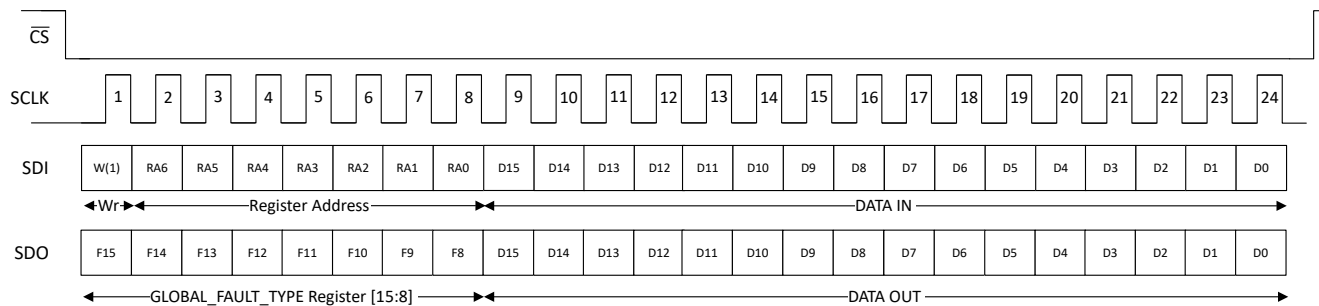


図 7-28. 24 ビット書き込み、CRC なし (CRC_EN = 0)



図 7-29. 32 ビット読み取り、CRC イネーブル (CRC_EN = 1)

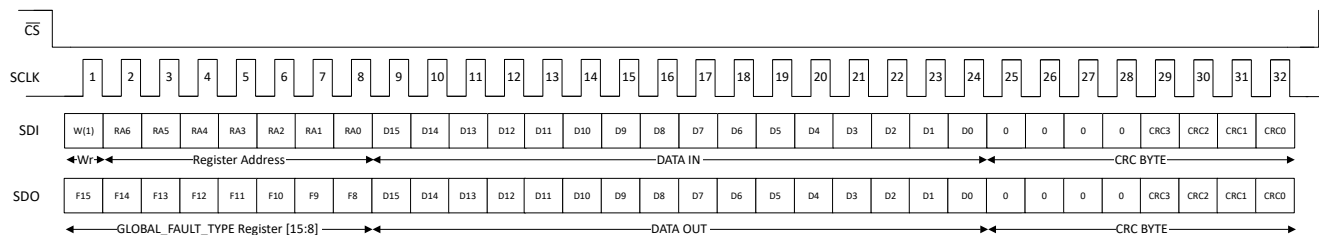


図 7-30. 32 ビット書き込み、CRC イネーブル (CRC_EN = 1)

SPI ウォッチドッグ機能:

TPS12SxxF-Q1 デバイスには、オプションの SPI ウォッチドッグ機能があり、ホストコントローラからの有効な SPI トランザクションと VDD 電源の喪失を監視できます。設定可能なタイムアウト期間 (WD_TO) 内に有効な SPI トランザクションが発生しなかった場合、FLT/WAKE ピンが Low になり、FAULT_GLOBAL レジスタ内の WD_ERR ビットが 1 に設定されます。有効な SPI トランザクションは、SPI エラーおよび CRC エラーのない SPI トランザクション (イネーブルされている場合) で構成されます。デバイスへの VDD 電源が VDD_UVLO スレッシュホールドを下回ると、デバイスの SPI は動作しませんが、VDD 電源が VDD_UVLO を下回る状態が、ウォッチドッグ時間よりも長く続くと、デバイスはウォッチドッグ エラーを発行し、WD_ERR ビットが 1 に設定され、FLT/WAKE ピンが Low になります。

ウォッチドッグ機能は、DEV_CONFIG レジスタの WD_EN ビットによってイネーブルになります。以下の表に、構成可能な各種のウォッチドッグ タイムアウト ウィンドウ WD_TO を示します。

表 7-8. ウォッチドッグ タイマ設定

WD_TO[1:0] 設定	ウォッチドッグのタイムアウト期間
0x0	400μs
0x1	400ms
0x2	800ms
0x3	1200ms

7.4 デバイスの機能モード

7.4.1 狀態遷移圖

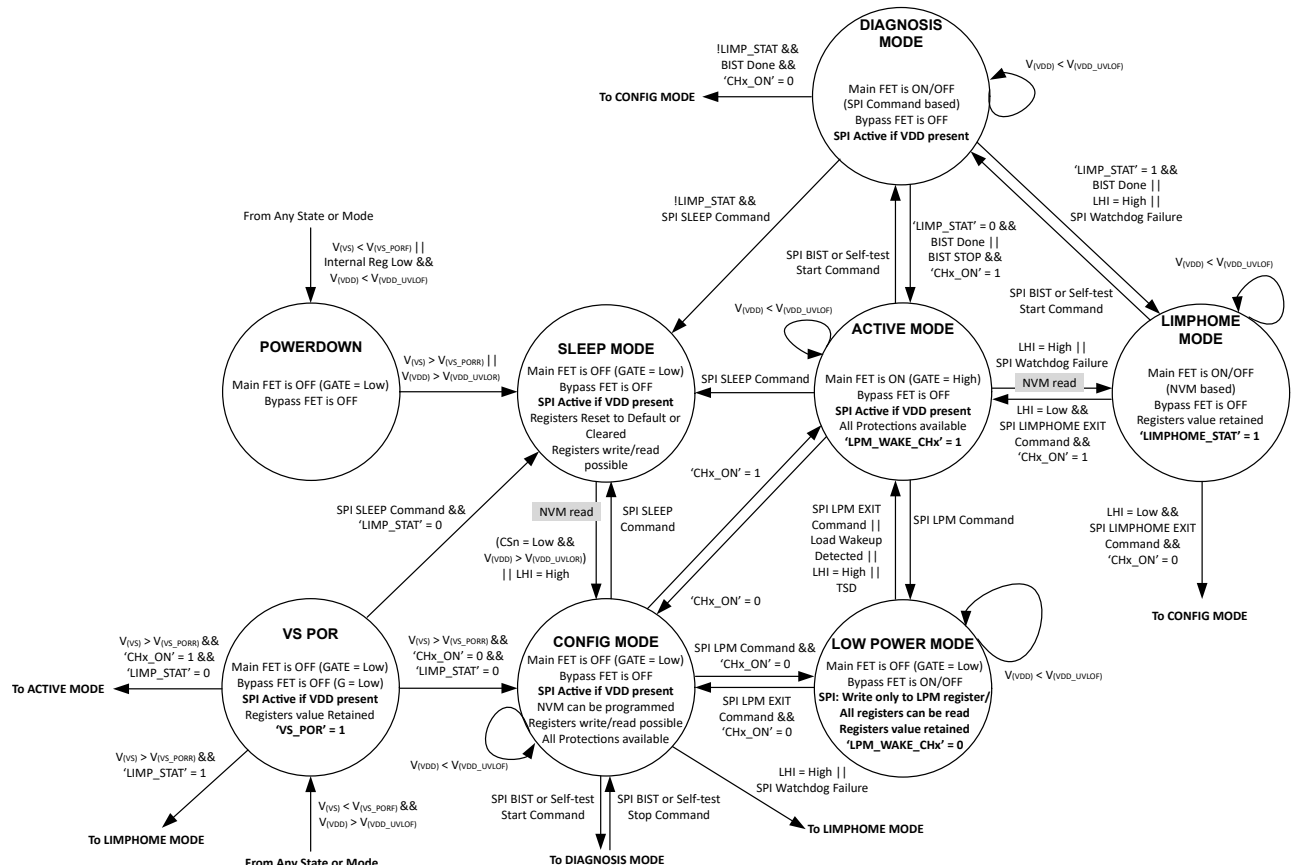


图 7-31. 状态迁移图

7.4.2 パワーダウン

印加された VS 電圧が $V_{(VS_PORF)}$ 未満で、かつ VDD が $V_{(VDD_PORF)}$ 未満の場合、デバイスは無効状態になります。このモードでは、チャージポンプとすべての保護機能が無効になります。ゲート駆動出力 (GATEx およびバイパス FET) は、どちらもオフになります。

7.4.3 スリープモード

TPS12SxxF-Q1 デバイスにはスリープ状態があり、デバイスを超低消費電流状態に移行します。デバイスがスリープモードの場合、両方のゲート駆動 (**GATEx** およびバイパス **FET**) はオフになり、レジスタはクリアされ、すべてのデジタル回路の電源がオフになります。 $VS < V_{V(VS_PORR)}$ かつ $VDD < V_{VDD_PORR}$ の場合、デバイスはこのモードに遷移します。スリープレジスタのスリープビットに '1' を書き込むと、手動でデバイスをスリープ状態にできます。 $\overline{CS}$ ピンが **Low** になると、デバイスはスリープモードから復帰します。 $\overline{CS}$ ピンを使用してデバイスをスリープから復帰させるには、次の二つの方法があります。 $1.t < t_{\text{READY}}$ の間 $\overline{CS}$ ピンに **Low** のパルスを与えます。 $\overline{CS}$ ピンを t_{READY} 以上 **Low** に保持し、上記の最初の **SPI** トランザクションによって $\overline{CS}$ ピンを **Low** に保持します。上記のいずれの方法でも、**SPI_ERR** 故障が発生させることなくデバイスをウェイクアップできます。ダミー **SPI** トランザクションが $t < t_{\text{READY}}$ で完了した場合、ダミー **SPI** トランザクションを使用してメソッド 1 を簡素化できます。以下の図に、**SPI_ERR** 故障が発生しない二つの適切なウェイクアップシナリオと、**SPI_ERR** 故障が発生する不適切なウェイクアップシナリオの例を示します。スリープモードから復帰すると、以下のレジスタマップに記載されているリセット値にレジスタの値が設定されます。さらに、 $\overline{FLT/WAKE}$ ピンが **Low**

にアサートされ、POR、VDD_UVLO、および VBB_UVLO の故障ビットがアサートされます。これらの故障が読み取り時にすでに解消している場合、FAULT_GLOBAL レジスタを読み取ることでこれらのビットはクリアされます。

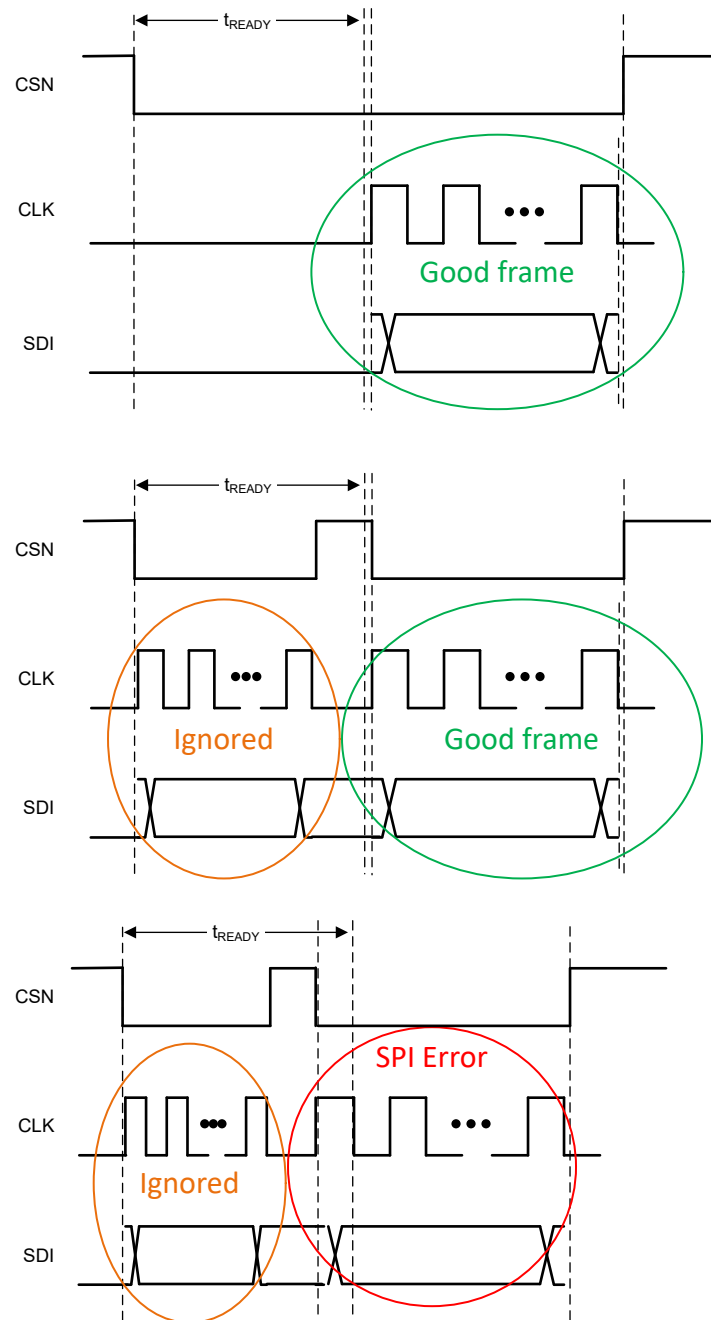


図 7-32. スタートアップ通信タイミング

7.4.4 CONFIG またはアクティブモード (AM)

CONFIG / アクティブ モードは、通常動作時にデバイスが留まるモードで、ゲート駆動がオフの場合は CONFIG、オンの場合はアクティブとなります。両者の違いは、CONFIG モード (GATEx がオフ、バイパス FET がオフ) では、すべてのレジスタを設定できる点です。スリープ モードから移行する際 (すべてのレジスタは NVM データから自動的にロードされます)、ゲート駆動をオンにする前に、設定レジスタ (特にチャネルを正常に有効化するために必要なレジスタ) へ書き込む

必要があります。ただし、LPM 中は設定レジスタの内容が保持されるため、LPM からアクティブ モードへ移行する際にデバイスを再設定する必要はありません。

この状態では、SPI 通信および診断チェックが完全にサポートされています。

$\overline{\text{CS}}$ ピンを Low にすることで、デバイスをスリープ モードから CONFIG モードへ移行できます (この目的にはダミーの SPI コマンドを使用できます)。デバイスは、すべての初期化と機能安全チェックで移行を完了します。デバイスは、内部 SPI ウォッチドッグ モニタおよび LHI 入力ピンの状態に応じて、LIMPHOME モードへ移行、またはモードから復帰します。デバイスは、LPM レジスタの LPM_ENTRY ビットによって、LPM への移行と復帰を行うことができます。

7.4.5 ロー パワー モード (LPM)

LPM_ENTRY ビットを '1' に設定すると、デバイスはアクティブ モードから低消費電力モード (LPM) に移行します。LPM では、メイン FET (GATE_x) がオフ、バイパス FET が オンの状態でチャージ・ポンプが有効になり、このモードでは $\overline{\text{FLT/WAKE}}$ ピンが High にアサートされます。

このデバイスには、以降のセクションで説明する二種類の負荷ウェイクアップメカニズムがあります

自動低消費電力モード (LPM) からアクティブ モード (AUTO_LPM_ENTRY = '0'):

デバイスが低消費電力モード (LPM) の場合、LPM_STATUS ビットは '1' にセットされます。負荷電流 ($I_{\text{CHx(LOAD)}}$) が LPM_EXIT_CURR_CH_x で設定された負荷ウェイクアップトリガ スレッシュホールド ($I_{\text{CHx(LWUX)}}$) を超えると、デバイスは LPM からアクティブ モードに自動的に移行します。負荷電流が負荷ウェイクアップ スレッシュホールドを超えると、デバイスは最初にメイン FET (GATE_x) を自動的にオンにし、メイン FET (GATE_x) が完全にオンになった後でバイパス FET をオフにします。また、 $\overline{\text{FLT/WAKE}}$ ピンが Low にアサートされ、LPM からの移行を示します。レジスタ マップの LPM_WAKE_CH_x ビットも '1' にセットされ、LPM_STATUS ビットは '0' にリセットされます。

負荷ウェイクアップのグリッチ除去時間は、LOAD_WAKE_DEGLITCH 設定で選択できます。AUTO_LPM_ENTRY ビットを 0 にリセットすることで、自動 LPM 機能を無効にする必要があります。

このデバイスは、LPM に短絡電流保護機能を備えています。VBB_x と SRC_x 間の電圧が $V_{\text{CHx(LPM_SCP)}}$ スレッシュホールドを超えると、バイパス FET はナノ秒単位でオフになり、メイン FET (GATE_x) は $t_{\text{LPM_SC}}$ 時間以内にオンになります。同時に、 $\overline{\text{FLT/WAKE}}$ ピンが Low にアサートされます。低消費電力モードで短絡が発生したことを示すため、LPM_HS_CH_x ビットが '1' にセットされ、このビットはマイコンが SPI 経由で読み取ることができます。

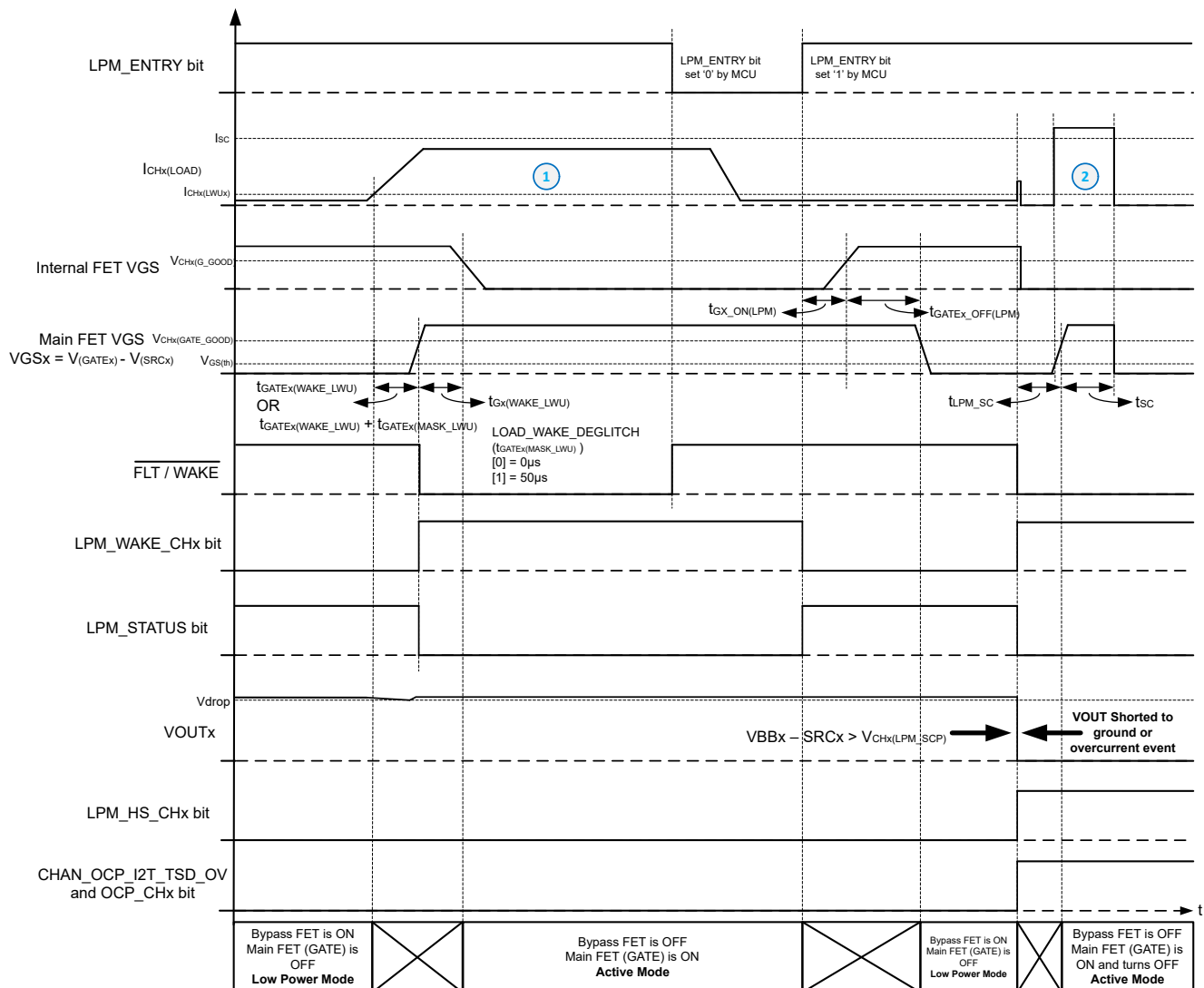


図 7-33. LPM における負荷ウェイクアップおよび VOUT のグランド短絡故障のタイミング図

ECU ポーリング用の自動低消費電力モード (LPM) → アクティブ モード → LPM (AUTO LPM) (AUTO_LPM_ENTRY = '1'):

TPS12SxxF-Q1 には自動 LPM 機能が内蔵されており、DEV_CONFIG レジスタの AUTO_LPM_ENTRY ビットによって有効にできます。AUTO LPM 機能により、出力への電力供給を常時維持しながら、デバイスをアクティブ モードから低 IQ の LPM へ自動的に移行させることができます。

AUTO_LPM_ENTRY ビットが '1' に設定され、デバイスが負荷ウェイクアップ ($I_{CHx(LOAD)} > I_{CHx(LWUX)}$) を検出すると、LPM レジスタの LPM_WAKE_DEGLITCH タイマ設定に基づいて、デバイスは内部タイマ ($t_{LPM_WAKE_DEGLITCH}$) を開始します。500 μ s (電流センス アンプの起動およびセトリング時間) 経過後、デバイスは CSx+ ピンおよび CSx- ピンを介して V_{SNSx} ($I_{CHx(LOAD)} \times R_{SNSx}$) 電圧を検出し、 V_{SNSx} と固定スレッショルド $V_{CHx(AUTO_LPM_THS)}$ (標準値 1mV) との比較を開始します。

EVENT1: 検出された V_{SNSx} が LPM_WAKE_DEGLITCH タイマ期間内に $V_{CHx(AUTO_LPM_THS)}$ を下回り、さらに V_{SNSx} が AUTO_LPM_FILTER 設定の期間にわたって $V_{CHx(AUTO_LPM_THS)}$ スレッショルド未満を維持すると、デバイスはバイパス FET をオンにした後、メイン パス (GATEx 駆動) をオフにすることで、自動的に LPM へ移行します。FLT/WAKE はアサートされず、High のままです。

注: **LPM_WAKE_DEGLITCH** 時間は、負荷ウェイクアップ電流パルス時間 + **AUTO_LPM_FILTER** 設定時間より長く設定することを推奨します。そうしない場合、デバイスはアクティブ モードのままとなり、**LPM** へ自動的に移行しません。

EVENT2: 検出された **VSNSx** が **LPM_WAKE_DEGLITCH** タイマ設定内で $V_{CHx(AUTO_LPM_THS)}$ を上回っている場合、デバイスはメイン パスがオン (**GATEx** 駆動) のままアクティブ モードに維持されます。マイコンに **WAKE** を通知するために、**FLT/WAKE** は **Low** にアサートされます。マイコンは、**LPM_ENTRY** ビットを **0** にリセットして、**FLT/WAKE** ピンを **High** にデアサートできます。

EVENT3: **LPM_WAKE_DEGLITCH** および **AUTO_LPM_FILTER** 設定は、負荷ウェイクアップが検出された場合にのみ有効になります。**FLT/WAKE** が一回 **Low** にアサートされると、これらの設定は無効にされます。

このデバイスは、**LPM** に短絡電流保護機能を備えています。**VBBx** と **SRCx** の間の電圧が $V_{CHx(LPM_SCP)}$ スレッシュホルドを超えると、バイパス FET がナノ秒単位でオフになり、メイン FET (**GATEx**) が t_{LPM_SC} 時間以内にオンになり、**イベント 2** に示すように、**FLT/WAKE** ピンが **low** にアサートされます。低消費電力モードで短絡が発生したことを示すため、**LPM_HS_CHx** ビットが '1' にセットされ、このビットはマイコンが **SPI** 経由で読み取ることができます。

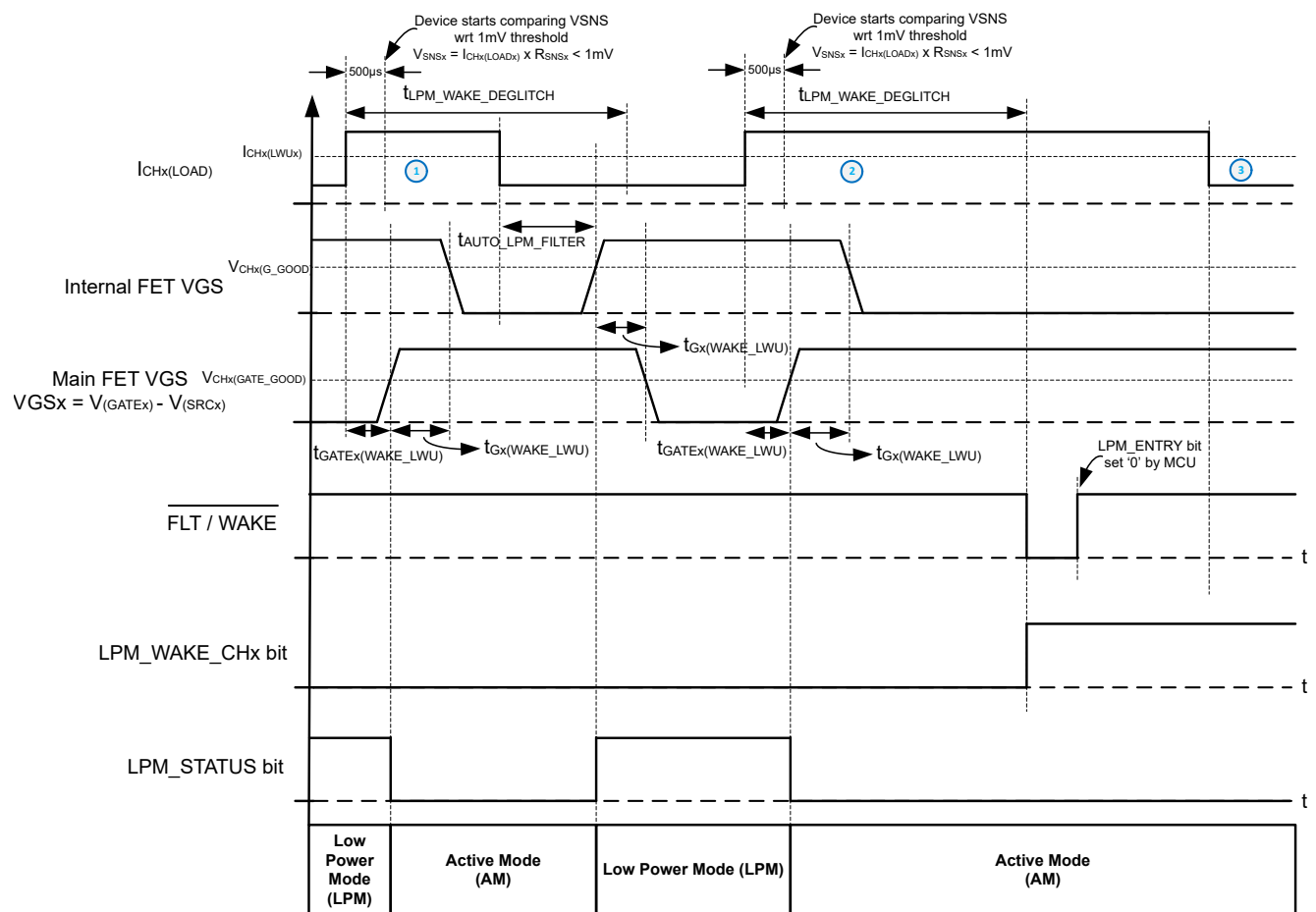


図 7-34. ECU ポーリング用自動 LPM エントリ付き負荷ウェイクアップのタイミング図

7.4.6 Limphome モード

このデバイスには **LIMPHOME** モードが備わっており、**SPI** 通信障害、システム レベルの障害 (車両衝突など)、またはマイコンの故障 (ソフトウェアまたはハードウェア) が発生した場合に、出力を目的の安全状態 (**High**、**Low**、状態維持、または **Dlx** に従う状態) に設定できます。デバイスは、以下の方法で **LIMPHOME** モードに移行できます。

- **LHI** が **High** にプルされる
- ウォッチドッグ タイムアウト エラー

LIMPHOME モードでの出力状態は、CHx_LH_IN ビットによって決定されます。DI_OUT_DIS_FN_CHx ビットの設定に応じて、CHx_LH_IN の設定内容は異なります。詳細については、以下の表を参照してください。DI_OUT_DIS_FN_CHx ビットおよび OUT_DIS 機能の詳細については、出力無効化 (OUT_DIS) 機能セクションを参照してください。

Limp Home チャンネル制御オプション - DI_OUT_DIS_FN_CHx = '0'

DEV_CONFIG	10:9	CHx_LH_IN	R/W	2b00	これらのビットは、LIMPHOME モードでチャンネル x の出力がどのように動作するかを決定します。	0b00 = LIMPHOME モードでは DI ピンが出力を制御します 0b01 = LIMPHOME モードへの移行時に、CHx_ON ビットの出力状態を維持します 0b10 = LIMPHOME モードで出力はオフになります 0b11 = LIMPHOME モードで出力はオンになります
------------	------	-----------	-----	------	---	---

Limp Home チャンネル制御オプション - DI_OUT_DIS_FN_CHx = '1'

DEV_CONFIG	10:9	CHx_LH_IN	R/W	2b00	これらのビットは、LIMPHOME モードでチャンネル x の出力がどのように動作するかを決定します。	0b00 = LIMPHOME モードで出力はオフになります 0b01 = LIMPHOME モードへの移行時に、CHx_ON ビットの出力状態を維持します 0b10 = LIMPHOME モードで出力はオフになります 0b11 = LIMPHOME モードで出力はオンになります
------------	------	-----------	-----	------	---	---

LIMPHOME モードでは、レジスタ値が保持されます。デバイスが LIMPHOME モードに移行すると、FAULT_GLOBAL レジスタの LIMPHOME_STAT ビットが High にセットされます。LIMPHOME モードでは、レジスタの読み出しは可能ですが、LIMPHOME モードを終了するために FAULT_GLOBAL レジスタの LIMPHOME_STAT ビットをクリアする場合を除き、書き込みトランザクションは実行できません。

LIMPHOME_STAT ビットをクリアするには、LHI ピンを Low にし、LIMPHOME_STAT ビットに '1' を書き込む必要があります。これによりビットがクリアされ、デバイスは LIMPHOME モードを終了できるようになります。デバイスが LIMPHOME モードを終了して、アクティブ モードに移行すると、すべてのレジスタに対する読み出し / 書き込みアクセスが可能になります。

7.5 TPS12S24F-Q1 量産開始前シリコンの制限

表 7-9. 量産開始前のシリコン制限の概要

パラメータ	テスト条件 / 説明	生産前シリコンの観察	期待される動作。量産シリコンで修正予定
電流センスの精度	VSNSx = 6mV、 GAINx 設定 = 50V/V	VIMONx ピン電圧 = 243.5mV ISNS レジスタ値: ADC_RESULT_CHx_I = 87 ISNS の精度は 12% です	VIMONx ピン電圧 = 275mV ISNS レジスタ値: ADC_RESULT_CHx_I = 101 ISNS のデジタル センズ精度は (7%) である必要があります。 I2T の精度は ISNS の精度に直接影響します。
LPM の SCP	LPM 中の出力グランド短絡。バイパス FET は即座にオフになり、メイン FET がオンになります	LPM バイパス FET サーマル シャットダウン ビットは '1' になります LPM_HS_CHx ビットは '0' のままです	LPM バイパス FET のサーマル シャットダウンは '0' のままです LPM_HS_CHx ビットは '1' にする必要があります 機能は正常に動作しますが、表示が誤っています
WAKE 表示	•	負荷ウェークアップ検出後 7.5us 以内にゲートは High になりますが、 50usec 後に FLT/WAKE ピンが Low になります	5usec を経過すると、FLT/WAKE ピンは Low になります。 システム レベルでは大きな影響はありません
GLOBAL_ERR_FLT レジスタ読み取り	LPM 終了後のみ観察されます アクティブ モードで正常に動作します	VBB_UV_WRN = '1' GLOBAL_ERR = '1'	VBB_UV_WRN = '0' GLOBAL_ERR = '0' システム レベルでは大きな影響はありません。
SDO ピンの状態	CSn は Low から High にプルされます	SDO は最後のデータ値の LSB を保持します。パラレル SPI インターフェイスはサポートできません。	CSn を Low から High にすると、SDO はトライステートになる必要があります。
GND 損失検出	デバイス GND のフローティング、または高スルーレートのトランジェント (10V/μs) によって GND ピンが 2V スレッシュホールドを超えて上昇	ゲートはオフになります。接地不良やホット スワップによって発生する可能性のある GND の高スルーレートに内部発振器が影響を受けやすいため、デジタル回路がスタックし (SPI 書き込みが機能しなくなり) ます	GATEx はオフになるはずですが、GND が復帰すると GATEx は自動的にオンになり、SPI の書き込み / 読み取りは正常に動作する必要があります。
チャージ ポンプ UVLO	CPUVLO 立ち下がりスレッシュホールド	8VCBSTx のサイズが適切でない場合、デバイスは FET のターンオフ中に CPUVLO を検出することがあります。	6.5V であるはずですが。 CBST > 10 × [Ciss (外部 FET) + CGATEx] を使用します
FET 短絡 BIST	CH1 と CH2 で FET 短絡 BIST を実行します	FET 短絡 BIST 通知は CH2 にのみ機能します。	CH1 および CH2 に対して FET 短絡 BIST 表示が機能する必要があります。

7.5.1 SDO ピンのトライステート対応のためのディスクリート部品を使用した回避方法 (デジチェーン用ではなくパラレル SPI 構成のみ)

図 7-35 に、複数の TPS12S24F-Q1 デバイスを並列 SPI 構成で使用する場合に、各スレーブ デバイスの SDO ピンに必要なディスクリート NPN-PNP ベースの回路を示します。

- CS が Low になると、Q1 がオンになって、マスタ マイコンを各スレーブ デバイスの SDO ピンに接続します

- **CS** が **High** になると、**Q1** がオフになり、スレーブ デバイスの **SDO** ピンをマスタ マイコンおよび他のスレーブ デバイスの **SDO** ピンから切断します

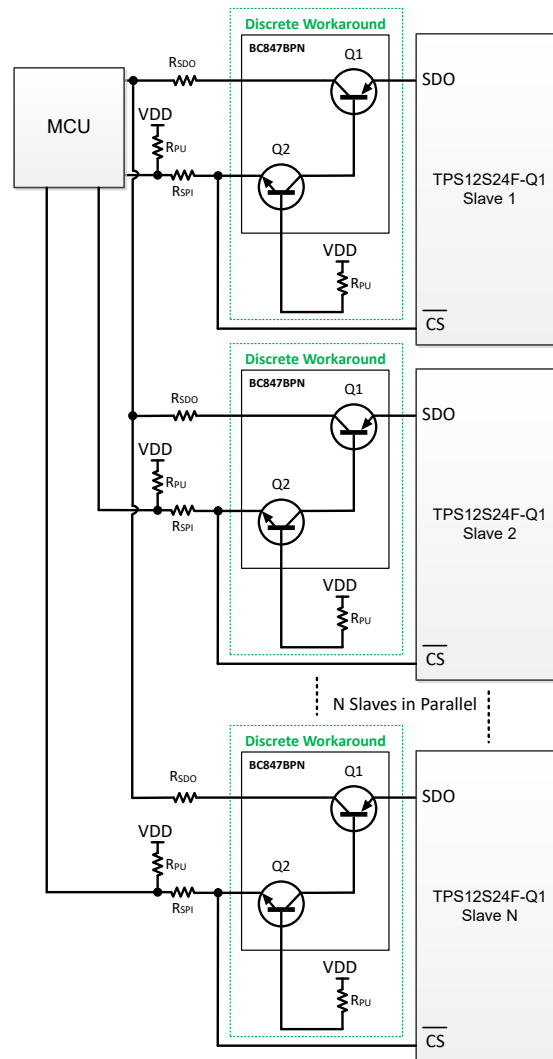


図 7-35. SDO トライステート ディスクリット回路の実装

8 レジスタ マップ

8.1 TPS12S24F-Q1 のレジスタ

TPS12S24F-Q1 レジスタのメモリマップされたレジスタを、表 8-1 に示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-1. TPS12S24F-Q1 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	DEV_ID	NVM からデバイス ID を読み取ります	セクション 8.1.1
1h	SLEEP	ACTIVE または STANDBY 状態から SLEEP 状態に移行するように設定します	セクション 8.1.2
2h	LPM	低消費電力モード (LPM 状態) の開始または終了を設定します	セクション 8.1.3
3h	FAULT_GLOBAL	任意のチャンネルおよびグローバル フォルトのフォルト	セクション 8.1.4
4h	FAULT_MASK	フォルト ピンでのフォルト通知をマスキングします	セクション 8.1.5
5h	BIST_RESULT	BIST 診断結果	セクション 8.1.6
6h	SW_STATE	GATEx のオン / オフ	セクション 8.1.7
7h	DEVICE_TEST	SPI によるデバイス ステータス/ リンブホーム/ ロック設定	セクション 8.1.8
8h	DEV_CONFIG	デバイス設定用レジスタ	セクション 8.1.9
9h	ADC_CONFIG	ADC 構成 - ADC 変換または ADC 全体を無効化します	セクション 8.1.10
Ah	ADC_RESULT_VBB	ADC 変換結果の VBB	セクション 8.1.11
Bh	ADC_RESULT_BIST	ADC 変換結果の BIST	セクション 8.1.12
Ch	FLT_STAT_CH1	チャンネルとチャンネル フォルトのステータス	セクション 8.1.13
Dh	PWM_CH1	チャンネル 1 のすべての PWM 構成を設定します	セクション 8.1.14
Eh	ILIM_CONFIG_CH1	チャンネル 1 のすべての電流制限設定を設定します	セクション 8.1.15
Fh	DIAG_CONFIG_CH1	チャンネル 1 の構成レジスタ	セクション 8.1.16
10h	ADC_RESULT_CH1_I	ADC 変換結果の負荷電流センス CH1	セクション 8.1.17
11h	ADC_RESULT_CH1_T	ADC 変換結果の TJ センス CH1	セクション 8.1.18
12h	ADC_RESULT_CH1_V	ADC 変換結果の VOUT センス CH1	セクション 8.1.19
13h	ADC_RESULT_CH1_VDS	ADC 変換結果の VDS センス CH1	セクション 8.1.20
14h	I2T_CONFIG_CH1	すべての I2T 構成ビットを設定します	セクション 8.1.21
15h	FLT_STAT_CH2	チャンネルとチャンネル フォルトのステータス	セクション 8.1.22
16h	PWM_CH2	チャンネル 2 のすべての PWM 構成を設定します	セクション 8.1.23
17h	ILIM_CONFIG_CH2	チャンネル 2 のすべての電流制限設定を設定します	セクション 8.1.24
18h	DIAG_CONFIG_CH2	チャンネル 2 の構成レジスタ	セクション 8.1.25
19h	ADC_RESULT_CH2_I	ADC 変換結果の負荷電流センス CH2	セクション 8.1.26
1Ah	ADC_RESULT_CH2_T	ADC 変換結果の TJ センス CH2	セクション 8.1.27
1Bh	ADC_RESULT_CH2_V	ADC 変換結果の VOUT センス CH2	セクション 8.1.28
1Ch	ADC_RESULT_CH2_VDS	ADC 変換結果の VDS センス CH2	セクション 8.1.29
1Dh	I2T_CONFIG_CH2	すべての I2T 構成ビットを設定します	セクション 8.1.30
1Eh	I2T_TRIP_CH1	I2T_TRIP 構成ビット、チャンネルごとに 8 ビット	セクション 8.1.31
1Fh	I2T_ACC_RD_CH1	I2T_TRIP に対する I2T_ACCUM の割合 (%)	セクション 8.1.32
20h	I2T_ACC_RD_CH2	I2T_TRIP に対する I2T_ACCUM の割合 (%)	セクション 8.1.33
33h	I2T_TRIP_CH2	I2T_TRIP 構成ビット、チャンネルごとに 8 ビット	セクション 8.1.34
34h	ADC_RESULT_TCONT	TCONT 読み取り	セクション 8.1.35

表 8-1. TPS12S24F-Q1 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
35h	SCP_CONFIG_CH1	デバイスの SCP 設定	セクション 8.1.36
36h	SCP_CONFIG_CH2	デバイスの SCP 設定	セクション 8.1.37
37h	UV_CONFIG_CH1	デバイス CH1 の低電圧	セクション 8.1.38
38h	UV_CONFIG_CH2	デバイス CH2 の低電圧	セクション 8.1.39
39h	OV_CONFIG_CH1	デバイス CH1 の過電圧	セクション 8.1.40
3Ah	OV_CONFIG_CH2	デバイス CH2 の過電圧	セクション 8.1.41
3Bh	VDS_CONFIG	デバイスの VDS センス	セクション 8.1.42
3Ch	TEMP_CONFIG	一時設定	セクション 8.1.43
3Dh	DEV_CONFIG_2	デバイス設定用レジスタ	セクション 8.1.44
3Eh	DEV_CONFIG_3	デバイス設定用レジスタ	セクション 8.1.45
3Fh	EEPROM_PROGRAM_CONTROL_STAT US	ユーザー EEPROM プログラム制御 / ステータスレジスタ	セクション 8.1.46

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. TPS12S24F-Q1 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RC	R C	読み出し後 クリア
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.1 DEV_ID レジスタ (オフセット = 0h) [リセット = 0000h]

表 8-3 に、DEV_ID を示します。

概略表に戻ります。

表 8-3. DEV_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	DEV_ID	R	0h	固有のデバイス ID を読み取ります A123h = TPS12S24F_量産前シリコン

8.1.2 SLEEP レジスタ (オフセット = 1h) [リセット = FFFh]

SLEEP を表 8-4 に示します。

[概略表](#)に戻ります。

表 8-4. SLEEP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-1	予約済み	R	7FFFh	予約済み
0	SLEEP	R/W	0h	このビットを 1 に設定すると、デバイスはスリープ モードに入り、すべての機能が停止します

8.1.3 LPM レジスタ (オフセット = 2h) [リセット = 3F0Eh]

LPM を表 8-5 に示します。

[概略表](#)に戻ります。

表 8-5. LPM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	LPM_WAKE_DEGLITCH	R/W	0h	自動 LPM 終了における、負荷ウェークアップから FLT/WAKEn 信号のアサートまでのグリッチ除去時間を設定します 0h = 1ms 1h = 10ms 2h = 20ms 3h = 100ms
13-8	予約済み	R	3Fh	予約済み
7-6	LPM_EXIT_CURR_CH2	R/W	0h	負荷電流の増加によって LPM から復帰するためのスレッショルドを設定します - CH2。 0h = 100mA 1h = 200mA 2h = 400mA 3h = 780mA
5-4	LPM_EXIT_CURR_CH1	R/W	0h	負荷電流の増加によって LPM から復帰するためのスレッショルドを設定します - CH1。 0h = 100mA 1h = 200mA 2h = 400mA 3h = 780mA
3-1	予約済み	R	7h	予約済み
0	LPM_ENTRY	R/W	0h	このビットを 1 に設定すると、デバイスは LPM になります 0h = 変更なし 1h = デバイスはアクティブ / CONFIG モードから LPM に移行します

8.1.4 FAULT_GLOBAL レジスタ (オフセット = 3h) [リセット値 = 8147h]

表 8-6 に、FAULT_GLOBAL を示します。

概略表に戻ります。

表 8-6. FAULT_GLOBAL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	1h	予約済み
14	VS_POR	R	0h	このビットは、VS 電源がいずれかの時点で POR スレッショルドを下回った場合にセットされます。FAULT_GLOBAL レジスタが読み取られ、かつ POR 状態が解除されると、故障ビットはクリアされます 0h = VS POR 故障なし 1h = VS POR 故障
13	CH2_FLT	R	0h	チャンネル 2 で故障 (オンまたはオフ状態の故障) が発生した場合、このビットが設定されます。FLT_LTCH_DIS ビットが設定されている場合、この故障ビットはラッチされ、FLT_STAT_CH2 レジスタが読み取られ、かつ故障状態が解消されたときにのみクリアされます。 0h = CH2 にオン状態の故障またはオフ状態の故障なし 1h = CH2 のオン状態の故障またはオフ状態の故障
12	CH1_FLT	R	0h	チャンネル 1 で故障 (オンまたはオフ状態の故障) が発生した場合、このビットが設定されます。FLT_LTCH_DIS ビットが設定されている場合、この故障ビットはラッチされ、FLT_STAT_CH1 レジスタが読み取られ、かつ故障状態が解消されたときにのみクリアされます。 0h = CH1 にオン状態の故障またはオフ状態の故障なし 1h = CH1 のオン状態の故障またはオフ状態の故障
11	LPM_STATUS	R	0h	デバイスが低消費電力モード (LPM) 状態の場合、このビットがセットされ、デバイスがアクティブ状態の場合にのみクリアされます。 0h = デバイスは LPM モードではありません 1h = デバイスは LPM モードに移行しました
10	CHAN_OCP_I2T_TSD_OV	R	0h	いずれかのチャンネルで、過電流保護、I2T 保護、外付け FET のサーマルシャットダウン、または過電圧保護の故障が発生すると、このビットがセットされます。FLT_LTCH_DIS ビットが 0 の場合、この故障ビットはラッチされ、FLT_STAT_CHx レジスタが読み取られ、かつ故障状態が解消されたときにのみクリアされます。 0h = いずれのチャンネルにも、過電流保護、I2T 保護、外付け FET のサーマルシャットダウン、または過電圧保護の故障なし 1h = いずれかのチャンネルで、過電流保護、I2T 保護、外付け FET のサーマルシャットダウン、または過電圧保護の故障が発生
9	I2T_MOD	R	0h	いずれかのチャンネルが I2T モードに移行すると、このビットは 1 にセットされます
8	GLOBAL_ERR_WRN	R	1h	FAULT_GLOBAL レジスタでグローバル故障が報告されている場合、このビットがセットされます: SPI エラー、ウォッチドッグ エラー、VBB_UVLO、VBB_UV_WRN、VDD_UVLO、POR 故障、LIMPHOME_STAT ビットのセット、または VBB_OVLO。FLT_LTCH_DIS ビットが 0 の場合、この故障ビットはラッチされ、FAULT_GLOBAL レジスタが読み取られ、かつ故障状態が解消されたときにのみクリアされます。 0h = グローバル故障なし 1h = 次のエラーのいずれかが発生しました。SPI エラー、ウォッチドッグ エラー、VBB_UVLO、VBB_UV_WRN、VDD_UVLO、POR フォルト、LIMPHOME_STAT ビットのセット、または VBB_OVLO
7	LIMPHOME_STAT	W1C	0h	デバイスが現在 LIMPHOME モードの場合、このビットは High にセットされます。

表 8-6. FAULT_GLOBAL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	POR	RC	1h	このビットは、パワーオンリセットが発生したかどうかを示します。 0h = 前回のレジスタ読み取り以降、パワーオンリセットは発生していません。このレジスタビットは読み取り時にクリアされるため、再度読み取ったときにビットが 0 であれば、前回の読み取り以降にパワーオンリセットが発生していないことを示します。 1h = 最後にレジスタを読み取った後でパワーオンリセットが発生しています。
5	LPM_STATUS_LATCH	RC	0h	デバイスが低消費電力モード (LPM) の場合、このビットがセットされます。このビットは、FAULT_GLOBAL レジスタが読み取られ、かつデバイスがアクティブ状態の場合にのみクリアされます。 0h = デバイスは LPM 状態ではありません 1h = デバイスは LPM 状態に移行しました
4	SPI_ERR	RC	0h	フォーマット エラー、クロック エラー、または CRC エラーのいずれかに起因して SPI 通信エラーが発生した場合、このビットがセットされます。この故障ビットはラッチされ、FAULT_GLOBAL を読み出し、かつエラー要因が解消された後にのみクリアされます。 0h = SPI 通信エラー故障 1h = フォーマット、クロック、または CRC のいずれかの SPI 通信エラーが発生しました
3	WD_ERR	RC	0h	ウォッチドッグ タイマが有効な状態で、ウォッチドッグのタイムアウト ウィンドウ内に有効な SPI コマンドが受信されなかった場合、このビットがセットされます。この故障ビットはラッチされ、FAULT_GLOBAL を読み取り、かつエラーが解消された後にのみクリアされます。 0h = SPI インターフェイスのウォッチドッグ エラーは発生していません 1h = SPI ウォッチドッグ タイムアウト エラーが発生しました
2	VDD_UVLO	RC	1h	このビットは、VDD 電源がいずれかの時点で UVLO スレッショルドを下回った場合にセットされます。FAULT_GLOBAL レジスタが読み取られ、かつ UVLO 状態が解除されると、故障ビットはクリアされます 0h = VDD UVLO 故障なし 1h = VDD UVLO 故障
1	VBB_UV_WRN	RC	1h	このビットは、VBB 電源がいずれかの時点で UV 警告 (UV_WRN) のスレッショルドを下回った場合にセットされます。FAULT_GLOBAL レジスタが読み取られ、かつ UV 状態が解除されると、故障ビットはクリアされます 0h = VBB UV_WRN 故障なし 1h = VBB UV_WRN 故障
0	VBB_UVLO	RC	1h	このビットは、VBB 電源がいずれかの時点で UV スレッショルドを下回った場合にセットされます。FAULT_GLOBAL レジスタが読み取られ、かつ UV 状態が解除されると、故障ビットはクリアされます 0h = VBB UVLO 故障なし 1h = VBB UVLO 故障

8.1.5 FAULT_MASK レジスタ (オフセット = 4h) [リセット = 0000h]

表 8-7 に、FAULT_MASK を示します。

概略表に戻ります。

表 8-7. FAULT_MASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	MASK_REV_POL_FLT	R/W	0h	このビットをセットすると、入力逆極性故障の FLT ピン出力への通知がマスクされます。 0h = 入力逆極性故障は FLT ピンで通知されます 1h = 入力逆極故障は、FLT ピンに出力されません (マスクされています)
14	MASK_VBB_OVLO	R/W	0h	このビットは、FLT ピン出力における電源電圧 VBB の OVLO 故障の通知をマスクするために設定されます。 0h = VBB の OVLO 故障が FLT ピンに出力されます 1h = VBB OV 故障は FLT ピンで通知されません (マスクされます)
13	MASK_CPUVLO	R/W	0h	FLT ピンへの CPUMP UVLO 故障信号をマスクするために、このビットをセットします 0h = CPUVLO 故障が FLT ピンで通知されます 1h = CPUVLO 故障は FLT ピンで通知されません (マスクされます)
12	MASK_VDS_FAULT	R/W	0h	FLT ピンへの VDS 保護故障信号をマスクするために、このビットをセットします 0h = VDS 故障が FLT ピンで通知されます 1h = VDS 故障は FLT ピンで通知されません (マスクされます)
11	MASK_LPM_HS	R/W	0h	このビットをセットすると、LPM のハードショート保護故障の FLT ピンへの通知がマスクされます 0h = LPM ハード短絡故障が FLT ピンで通知されます 1h = LPM ハード短絡故障は、FLT ピンに出力されません (マスクされています)
10	MASK_NVM_CRC_ERR	R/W	0h	このビットをセットすると、NVM_CRC_ERR 故障の FLT ピンへの通知がマスクされます 0h = NVM_CRC_ERR 故障が FLT ピンで通知されます 1h = NVM_CRC_ERR 故障は FLT ピンで通知されません (FLT ピンからマスクされます)
9	MASK_I2T_TRIP	R/W	0h	このビットをセットすると、I2T 保護故障の FLT ピンへの通知がマスクされます 0h = I2Tトリップが発生すると、I2T 故障が FLT ピンに出力されます 1h = I2Tトリップ保護故障は、FLT ピンに出力されません (マスクされています)
8	MASK_VDD_UVLO	R/W	0h	このビットは、FLT ピン出力における電源電圧 VDD の UVLO 故障の通知をマスクするために設定されます。 0h = VDD の UVLO 故障が FLT ピンに出力されます 1h = VDD UVLO 故障は FLT ピンで通知されません (マスクされます)
7	MASK_OCP	R/W	0h	このビットをセットすると、短絡保護故障 (CB_CHx/SCP_CHx) の FLT ピンへの通知がマスクされます 1h = SCP 保護故障は FLT ピンで通知されません (マスクされます)
6	MASK_FET_SHRT	R/W	0h	このビットをセットすると、FET 短絡故障の FLT ピンへの通知がマスクされます 0h = FET 短絡故障が FLT ピンに出力されます 1h = FET 短絡故障は FLT ピンには通知されません (マスクされます)
5	MASK_SHRT_VBB	R/W	0h	このビットをセットすると、オフ状態での VBB 短絡故障の FLT ピンへの通知がマスクされます 0h = VBB への短絡故障が FLT ピンで通知されます 1h = VBB への短絡フォルトは FLT ピンで通知されません (FLT ピンからマスクされます)

表 8-7. FAULT_MASK レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	MASK_OL_OFF	R/W	0h	このビットをセットすると、オフ状態でのオープン ロード故障の FLT ピンへの通知がマスクされます 0h = オフ状態での断線故障が FLT ピンに通知されます 1h = オフ状態のワイヤ破損フォルトは FLT ピンで通知されません (FLT ピンからマスクされます)
3	MASK_TSD	R/W	0h	このビットをセットすると、TSD (外部 FET 過熱保護) 故障の FLT ピンへの通知がマスクされます 1h = TSD 故障が FLT ピンで通知されます
2	MASK_SPI_ERR	R/W	0h	このビットをセットすると、SPI エラー (SPI_ERR) の FLT ピンへの通知がマスクされます 0h = SPI エラーが FLT ピンに通知されます 1h = FLT ピンは SPI エラーの影響を受けません
1	MASK_WD_ERR	R/W	0h	このビットをセットすると、SPI ウォッチドッグ エラー (WD_ERR) の FLT ピンへの通知がマスクされます 0h = FLT ピンで SPI ウォッチドッグ エラーが通知されます 1h = FLT ピンは SPI ウォッチドッグ エラーの影響を受けません
0	MASK_VBB_UVLO	R/W	0h	このビットは、FLT ピン出力における電源電圧 VBB の UVLO 故障の通知をマスクするために設定されます。 0h = VBB の UVLO 故障が FLT ピンに出力されます 1h = VBB UVLO 故障は FLT ピンで通知されません (マスクされます)

8.1.6 BIST_RESULT レジスタ (オフセット = 5h) [リセット = 0000h]

表 8-8 に、BIST_RESULT を示します。

概略表に戻ります。

表 8-8. BIST_RESULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	BIST_FORCED_EXIT	RC	0h	いずれかの BIST が異常な強制条件により終了した場合、このビットは 1 にセットされます。BIST_RESULT レジスタが読み出され、その後異常終了が発生しなければ、このビットはクリアされます 0h = BIST は強制的に終了しませんでした 1h = 一つ以上の BIST が強制終了しました
14	UV_BIST_ERR_CH2	RC	0h	CH2 の UV BIST チェックでエラーが検出された場合、このビットは 1 にセットされます 0h = CH2 の UV BIST に成功しました 1h = CH2 の UV BIST に失敗しました
13	OV_BIST_ERR_CH2	RC	0h	CH2 の OV BIST チェックでエラーが検出された場合、このビットは 1 にセットされます 0h = CH2 の OV BIST に成功しました 1h = CH2 の OV BIST に失敗しました
12	VDS_BIST_ERR_CH2	RC	0h	CH1 の VDS BIST チェックでエラーが検出された場合、このビットは 1 にセットされます 0h = CH1 の VDS BIST に成功しました 1h = CH1 の VDS BIST に失敗しました
11	TSNS_BIST_ERR_CH2	RC	0h	CH1 の TSNS BIST チェックでエラーが検出された場合、このビットは 1 にセットされます 0h = CH1 の TSNS BIST に成功しました 1h = CH1 の TSNS BIST に失敗しました
10	SCP_BIST_ERR_CH2	RC	0h	CH1 の SCP BIST チェックでエラーが検出された場合、このビットは 1 にセットされます 0h = CH1 の SCP BIST に成功しました 1h = CH1 の SCP BIST に失敗しました
9	UV_BIST_ERR_CH1	RC	0h	UV BIST チェックでエラーが検出された場合、このビットは 1 にセットされます 0h = UV の BIST が成功しました 1h = UV の BIST が失敗しました
8	OV_BIST_ERR_CH1	RC	0h	OV BIST チェックでエラーが検出された場合、このビットは 1 にセットされます 0h = OV の BIST が成功しました 1h = OV の BIST が失敗しました
7	VDS_BIST_ERR_CH1	RC	0h	CH1 の VDS BIST チェックでエラーが検出された場合、このビットは 1 にセットされます 0h = CH1 の VDS BIST に成功しました 1h = CH1 の VDS BIST に失敗しました
6	TSNS_BIST_ERR_CH1	RC	0h	CH1 の TSNS BIST チェックでエラーが検出された場合、このビットは 1 にセットされます 0h = CH1 の TSNS BIST に成功しました 1h = CH1 の TSNS BIST に失敗しました
5	SCP_BIST_ERR_CH1	RC	0h	CH1 の SCP BIST チェックでエラーが検出された場合、このビットは 1 にセットされます 0h = CH1 の SCP BIST に成功しました 1h = CH1 の SCP BIST に失敗しました
4	NVM_CRC_ERR	R	0h	NVM CRC チェックでエラーが検出された場合、このビットは 1 にセットされます。 0h = NVM の CRC チェックに成功しました 1h = NVM の CRC チェックに失敗しました

表 8-8. BIST_RESULT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	FET_SHORT_BIST_ERR_CH2	RC	0h	このビットは、CH2 の FET 短絡 BIST に成功したかどうかを示します 0h = CH2 用の FET 短絡 BIST に成功しました 1h = CH2 用の FET 短絡 BIST に失敗しました
2	FET_SHORT_BIST_ERR_CH1	RC	0h	このビットは、CH1 の FET 短絡 BIST に成功したかどうかを示します 0h = CH1 用の FET 短絡 BIST に成功しました 1h = CH1 用の FET 短絡 BIST に失敗しました
1	ADC_BIST_ERR	RC	0h	このビットは、ADC の BIST に成功したかどうかを示します 0h = ADC の BIST が成功しました 1h = ADC の BIST が失敗しました
0	BG_BIST_ERR	RC	0h	このビットは、バンドギャップの BIST に成功したかどうかを示します 0h = BG の BIST が成功しました 1h = BG の BIST が失敗しました

8.1.7 SW_STATE レジスタ (オフセット = 6h) [リセット = C0CCh]

表 8-9 に SW_STATE を示します。

概略表に戻ります。

表 8-9. SW_STATE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	3h	予約済み
13	SWEN_S_CH2	R	0h	このビットは、CH2 バイパス FET の内部 SWEN 信号の状態を示します 0h = CH2 バイパス FET SWEN は Low です 1h = CH2 バイパス FET SWEN は High です
12	SWEN_S_CH1	R	0h	このビットは、CH1 バイパス FET の内部 SWEN 信号の状態を示します 0h = CH1 バイパス FET SWEN は Low です 1h = CH1 バイパス FET SWEN は High です
11	SW_STATE_S_CH2	R	0h	このビットは、CH2 バイパス FET の VGS の状態を示します 0h = CH2 バイパス FET の VGS Comp 出力は Low です 1h = CH2 バイパス FET の VGS Comp 出力は High です
10	SW_STATE_S_CH1	R	0h	このビットは、CH1 バイパス FET の VGS の状態を示します 0h = CH1 バイパス FET の VGS Comp 出力は Low です 1h = CH1 バイパス FET の VGS Comp 出力は High です
9	SW_STATE_M_CH2	R	0h	このビットは、CH2 メイン FET の VGS の状態を示します 0h = CH2 メイン FET の VGS Comp 出力は Low です 1h = CH2 メイン FET の VGS Comp 出力は High です
8	SW_STATE_M_CH1	R	0h	このビットは、CH1 メイン FET の VGS の状態を示します 0h = CH1 メイン FET の VGS Comp 出力は Low です 1h = CH1 メイン FET の VGS Comp 出力は High です
7-6	予約済み	R	3h	予約済み
5	SWEN_M_CH2	R	0h	このビットは、CH2 メイン FET の内部 SWEN のステータスを示します 0h = CH2 メイン FET SWEN は Low です 1h = CH2 メイン FET SWEN は High です
4	SWEN_M_CH1	R	0h	このビットは、CH1 メイン FET の内部 SWEN のステータスを示します 0h = CH1 メイン FET SWEN は Low です 1h = CH1 メイン FET SWEN は High です
3-2	予約済み	R	3h	予約済み
1	CH2_ON	R/W	0h	このビットを 1 に設定すると、FET がオンになり、CH2 出力がオンになります 0h = CH2 出力はオフに設定されています 1h = CH2 出力はオンに設定されています
0	CH1_ON	R/W	0h	このビットを 1 に設定すると、FET がオンになり、CH1 出力がオンになります 0h = CH1 出力はオフに設定されています 1h = CH1 出力はオンに設定されています

8.1.8 DEVICE_TEST レジスタ (オフセット = 7h) [リセット = 0010h]

表 8-10 に、DEVICE_TEST を示します。

概略表に戻ります。

表 8-10. DEVICE_TEST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	BIST_CTRL_CHECK	R/W	0h	BIST 中に FET をオフにするには、このビットを 1 に設定します。 0h = BIST 中も FET はオンのままです 1h = BIST 中も FET はオフのままです
14	VDS_BIST_DIRECTION	R/W	0h	選択された方向に応じて、BIST 用の特定のコンパレータが選択されます。 0h = 逆方向 1h = 順方向
13	BIST_CH_SEL	R/W	0h	このビットを設定して、BIST を有効にするチャネル (ISNS、VDS、UV、OV、TSNS) を選択します。BIST_CH_SEL は、そのチャネルのすべての BIST が完了するまでラッチされます。 0h = チャネル 1 を選択 1h = チャネル 2 を選択
12	I2T_BIST_RUN_CH2	R/W	0h	I2T 保護チャネル 2 の正常信号に対して BIST 診断を実行し、その結果に基づいて故障をアサートします。BIST の実行後、このビットは 0 にリセットされます 0h = BIST を実行していません 1h = I2T の BIST を実行中
11	SCP_BIST_RUN_CH2	R/W	0h	SCP 保護チャネル 2 の正常信号に対して BIST 診断を実行し、その結果で BIST_RESULT レジスタを更新します。BIST の実行後、このビットは 0 にリセットされます 0h = BIST を実行していません 1h = SCP 動作時の BIST
10	OV_BIST_RUN	R/W	0h	BIST_CH_SEL ビットに基づいて、OV 保護の正常信号に対して BIST 診断を実行し、その結果で BIST_RESULT レジスタを更新します。BIST の実行後、このビットは 0 にリセットされます 0h = BIST を実行していません 1h = 選択されたチャネルの OV の BIST を実行中
9	UV_BIST_RUN	R/W	0h	BIST_CH_SEL ビットに基づいて、UV 保護の正常信号に対して BIST 診断を実行し、その結果で BIST_RESULT レジスタを更新します。BIST の実行後、このビットは 0 にリセットされます 0h = BIST を実行していません 1h = 選択されたチャネルの UV の BIST を実行中
8	VDS_BIST_RUN	R/W	0h	BIST_CH_SEL ビットに基づいて、VDS 保護 (外部 FET (メイン)) の正常信号に対して BIST 診断を実行し、その結果で BIST_RESULT レジスタを更新します。BIST の実行後、このビットは 0 にリセットされます 0h = BIST を実行していません 1h = 選択されたチャネルの VDS の BIST を実行中
7	TSNS_BIST_RUN	R/W	0h	BIST_CH_SEL ビットに基づいて、Temp 保護 (外部 FET (メイン)) の正常信号に対して BIST 診断を実行し、その結果で BIST_RESULT レジスタを更新します。BIST の実行後、このビットは 0 にリセットされます 0h = BIST を実行していません 1h = 選択されたチャネルの TSNS の BIST を実行中
6	I2T_BIST_RUN_CH1	R/W	0h	I2T 保護チャネル 1 の正常信号に対して BIST 診断を実行し、その結果に基づいて故障をアサートします。BIST の実行後、このビットは 0 にリセットされます 0h = BIST を実行していません 1h = I2T の BIST を実行中

表 8-10. DEVICE_TEST レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	SCP_BIST_RUN_CH1	R/W	0h	SCP 保護チャネル 1 の正常信号に対して BIST 診断を実行し、その結果で BIST_RESULT レジスタを更新します。BIST の実行後、このビットは 0 にリセットされます 0h = BIST を実行していません 1h = SCP 動作時の BIST
4	ISNS_BIST_RUN	R/W	1h	BIST_CH_SEL ビットに基づいて、ISNS の正常信号に対して BIST 診断を実行し、その結果で BIST_RESULT レジスタを更新します。I2T ループ中、または過電流や熱故障状態では使用できません。BIST が正常に実行された後、このビットを 0 に戻します。 0h = BIST を実行していません 1h = 選択されたチャネルの ISNS の BIST を実行中
3	FET_SHORT_BIST_RUN_CH2	R/W	0h	CH2 の FET 短絡障害の BIST 診断を実行し、その結果で BIST_RESULT レジスタを更新します。BIST の実行後、このビットは 0 にリセットされます 0h = CH2 FET 短絡故障の BIST は実行されていません 1h = CH2 FET 短絡故障の BIST を実行中です
2	FET_SHORT_BIST_RUN_CH1	R/W	0h	CH1 の FET 短絡障害の BIST 診断を実行し、その結果で BIST_RESULT レジスタを更新します。BIST の実行後、このビットは 0 にリセットされます 0h = CH1 FET 短絡故障の BIST は実行されていません 1h = CH1 FET 短絡故障の BIST を実行中です
1	ADC_BIST_RUN	R/W	0h	ADC の正常信号に対して BIST 診断を実行し、その結果で BIST_RESULT レジスタを更新します。I2T ループ中、または過電流や熱故障状態では使用できません。BIST の実行後、このビットは 0 にリセットされます。 0h = BIST を実行していません 1h = ADC 動作時の BIST
0	BG_BIST_RUN	R/W	0h	バンドギャップの正常信号に対して BIST 診断を実行し、その結果で BIST_RESULT レジスタを更新します。BIST の実行後、このビットは 0 にリセットされます 0h = BIST を実行していません 1h = BG 動作時の BIST

8.1.9 DEV_CONFIG レジスタ (オフセット = 8h) [リセット = 7800h]

表 8-11 に、DEV_CONFIG を示します。

概略表に戻ります。

表 8-11. DEV_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み
14-11	予約済み	R	Fh	予約済み
10-9	CH2_LH_IN	R/W	0h	チャンネル 2 の LIMPHOME モード時の出力動作を決定します。 0h = Limphome モード時の DI 制御出力 1h = Limphome モードに移行した時点の出力状態を維持します 2h = Limphome モードでは出力はオフになります 3h = Limphome モードでは出力がオンになります
8-7	CH1_LH_IN	R/W	0h	チャンネル 1 の LIMPHOME モード時の出力動作を決定します。 0h = Limphome モード時の DI 制御出力 1h = Limphome モードに移行した時点の出力状態を維持します 2h = Limphome モードでは出力はオフになります 3h = Limphome モードでは出力がオンになります
6	LIMPHOME_CONFIG	R/W	0h	このビットをセットすると、LIMPHOME モード構成に入ったときに NVM 値のレジスタへのリロードが可能になります。 0h = LIMPHOME モードでのレジスタ値が保持されます 1h = Limphome モード遷移中、レジスタ値が NVM から再ロードされます
5	AUTO_LPM_ENTRY	R/W	0h	電流が AUTO LPM スレッシュホールドを下回ったときに自動的に低電力モードへ移行できるようにするには、このビットを 1 に設定します。 0h = 負荷電流が AUTO LPM スレッシュホールドを下回っても、低電力モードへ自動的に移行しません 1h = 負荷電流が自動 LPM スレッシュホールドを下回ると、デバイスは自動的に低消費電力モードに移行します
4	AUTO_LPM_FILTER	R/W	0h	自動 LPM 条件が成立したときの Auto LPM フィルタ時間を、このビットで設定します 0h = 自動 LPM フィルタ時間は 1ms です 1h = 自動 LPM フィルタ時間は 100us です
3	WD_EN	R/W	0h	このビットは、ウォッチドッグ機能を有効にするために設定されます。ウォッチドッグ タイムアウト ウィンドウ内に有効な SPI コマンドがない場合、ウォッチドッグがトリガされます。 0h = ウォッチドッグは無効です 1h = ウォッチドッグ機能は有効です
2-1	WD_TO	R/W	0h	SPI ウォッチドッグ監視のタイムアウト期間を設定します。ウォッチドッグ タイムアウト期間内に有効な SPI コマンドがない場合、ウォッチドッグ タイムアウトがトリガされます。 0h = ウォッチドッグ タイムアウト期間は 520us です 1h = ウォッチドッグ タイムアウト期間は 400ms です 2h = ウォッチドッグ タイムアウト期間は 800ms です 3h = ウォッチドッグ タイムアウト期間は 1200ms です
0	FLT_LTCH_DIS	R/W	0h	このビットを 1 に設定すると、レジスタ内の故障ビットはラッチされず、読み取り時にクリアされます。 0h = FLT_STAT_CHx レジスタの故障ビットをラッチし、読み取り時にのみクリア 1h = FLT_STAT_CHx レジスタの故障ビットはラッチされず、故障が解消するとクリアされます

8.1.10 ADC_CONFIG レジスタ (オフセット = 9h) [リセット = FD3Ah]

表 8-12 に、ADC_CONFIG の詳細を示します。

概略表に戻ります。

表 8-12. ADC_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	3Fh	予約済み
9	ADC_I2T_CONFIG_MODE	R/W	0h	このビットを 1 に設定すると、チャンネルごとに VOUT と ISNS の両方の変換が有効になります。それ以外の場合、I2T モードでは ISNS のみが変換されます。 0h = I2T モードでは、チャンネルごとに ISNS のみがサンプリングされます 1h = 電力計算の要件に対応するため、I2T モードではチャンネルごとに ISNS と VOUT の両方がサンプリングされます
8	ADC_TCONT_SNS_DIS	R/W	1h	このビットを 1 に設定すると、コントローラ TEMP センス機能が無効になり、ADC 変換シーケンスから TCONT_SNS 変換が除外されます。 0h = TSNS ADC 機能が有効になり、変換シーケンスに TSNS ADC 変換が含まれます 1h = TSNS ADC 機能が無効です
7-6	ADC_CONFIG_DELAY	R/W	0h	電流センスおよび電流センス変換のサンプリング レートを設定します。これらの設定を使用して、電流センス測定の頻度と消費電流の両方を低減します。すべての変換 (有効が無効にかかわらず) にかかる合計時間は、0x2 設定では二倍、0x3 設定では四倍に増加します。 0h = 0us 1h = 100us 2h = 200us 3h = 400us
5	ADC_VDS_DIS	R/W	1h	このビットを 1 に設定すると、VDS センス機能が無効になり、ADC 変換シーケンスから VDS 変換が除外されます。 0h = VDS ADC 機能が有効になり、変換シーケンスに VDS ADC 変換が含まれます 1h = VDS SNS ADC 機能が無効です
4	ADC_VSNS_DIS	R/W	1h	このビットを 1 に設定すると、VOUT センス機能が無効になり、ADC 変換シーケンスから VOUT 変換が除外されます。 0h = VOUTSNS ADC 機能が有効になり、変換シーケンスに VOUT_SNS ADC 変換が含まれます 1h = VOUTSNS ADC 機能が無効です
3	ADC_TSNS_DIS	R/W	1h	このビットを 1 に設定すると、外部 FET 温度センス機能が無効になり、ADC 変換シーケンスから TSNS 変換が除外されます。 0h = TSNS ADC 機能が有効になり、変換シーケンスに TSNS ADC 変換が含まれます 1h = TSNS ADC 機能が無効です
2	ADC_ISNS_DIS	R/W	0h	このビットを 1 に設定すると、ISNS 機能が無効になり、ADC 変換シーケンスから ISNS 変換が除外されます。デフォルトではイネーブルです。 0h = ISNS ADC 機能が有効になり、変換シーケンスに ISNS ADC 変換が含まれます 1h = ISNS ADC 機能が無効です
1	ADC_VBB_DIS	R/W	1h	このビットを 1 に設定すると、VBB_SNS 機能が無効になり、ADC 変換シーケンスから電源電圧 VBB_SNS 変換が除外されます。 0h = VBB_SNS ADC 機能が有効になり、変換シーケンスに電源電圧 VBB_SNS ADC 変換が含まれます 1h = VBB_SNS ADC 機能が無効になります
0	ADC_DIS	R/W	0h	このビットを 1 に設定すると、すべての ADC 機能が無効になります (デフォルトでは有効) 0h = ADC 機能は有効です 1h = すべての ADC 機能は無効です

8.1.11 ADC_RESULT_VBB レジスタ (オフセット = Ah) [リセット = F800h]

表 8-13 に、ADC_RESULT_VBB を示します。

概略表に戻ります。

表 8-13. ADC_RESULT_VBB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	1Fh	予約済み
10	VBB_RDY	RC	0h	ADC 変換が最後の読み取り以降に新しくなっていることを確認します 0h = VBB ADC 値は更新されていません 1h = 新しい VBB ADC 値の準備が完了しました
9-0	ADC_RESULT_VBB	R	0h	VBB 電圧の変換による ADC 結果 (10 ビット)

8.1.12 ADC_RESULT_BIST レジスタ (オフセット = Bh) [リセット = E000h]

表 8-14 に、ADC_RESULT_BIST を示します。

概略表に戻ります。

表 8-14. ADC_RESULT_BIST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	7h	予約済み
12	ISNS_BIST_CH_INFO	RC	0h	このビットは、ISNS BIST が開始されたチャンネル情報を示します。 0h = CH0 の ISNS BIST が有効 1h = CH1 の ISNS BIST が有効
11	ADC_ISNS_BIST	RC	0h	このビットは、ISNS または ADC BIST の結果が更新されたかどうかを示します。 0h = ISNS BIST 値が更新済み 1h = ADC BIST 値が更新済み
10	BIST_RESULT_RDY	RC	0h	ADC 変換が最後の読み取り以降に新しくなっていることを確認します 0h = BIST ADC 値は更新されていません 1h = 新しい BIST ADC 値の準備が完了しました
9-0	ADC_RESULT_BIST	RC	0h	BIST 電圧の変換による ADC 結果 (10 ビット)

8.1.13 FLT_STAT_CH1 レジスタ (オフセット = Ch) [リセット = 0010h]

FLT_STAT_CH1 を表 8-15 に示します。

[概略表](#)に戻ります。

表 8-15. FLT_STAT_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	VDS_FLT_CH1	RC	0h	CH1 で VDS 保護が一度でも作動すると、このビットがセットされます。故障はラッチされ、FLT_STAT_CH1 レジスタの読み取り時に故障状態が解消されている場合にクリアされます 0h = CH1 に VDS 保護の故障なし 1h = CH1 に VDS 保護の故障あり
14	THERMAL_SD_BYP_CH1	RC	0h	バイパス FET CH1 でサーマル シャットダウンが一度でも発生すると、このビットがセットされます。この故障はラッチされており、FLT_STAT_CH1 レジスタが読み取られ、かつチャネル温度がサーマル シャットダウンのリセット スレッシュホールドを下回った場合にクリアされます。 0h = CH1 にバイパス FET のサーマル シャットダウン故障なし 1h = CH1 でバイパス FET のサーマル シャットダウンが発生済み
13	OCP_CH1	RC	0h	CH1 で SCP が一度でも作動すると、このビットがセットされます。故障はラッチされ、FLT_STAT_CH1 レジスタの読み取り時に故障状態が解消されている場合にクリアされます 0h = CH1 に短絡保護 (SCP) の故障なし 1h = CH1 で短絡保護 (SCP) の故障が発生
12	I2T_MOD_CH1	R	0h	デバイスが I2T ループ内で積算中の場合、このビットは 1 になります。デバイスがループ外の場合、このビットは 0 になり、読み取り専用になります 0h = I2T がオフ / 非動作状態 1h = I2T が現在動作中
11	LATCH_STAT_CH1	R	0h	このビットは、チャネルが故障によってシャットダウンされ、その後ラッチオフされた場合に high になります。チャネルを再度オンにするとクリアされます 0h = CH1 はラッチ オフされていません 1h = CH1 は現在ラッチ オフされています
10	FLT_CH1	R	0h	CH1 でいずれかの故障が発生すると、このビットがセットされます。ライブ故障通知です。また、CH1 のゲート制御に影響するすべての故障も含まれます。このビットは、自動再試行期間中もアサートされたままになります。 0h = CH1 に故障なし 1h = CH1 で一つ以上の故障が発生
9	LPM_HS_CH1	RC	0h	LPM 中に LPM HS が発生しました。故障はラッチされ、FLT_STAT_CH1 レジスタの読み取り時に LPM HS が解消されている場合にクリアされます。 0h = CH1 で LPM HS は発生していません 1h = CH1 で LPM HS が発生しています
8	VOUT_ERR_CH1	RC	0h	INRUSH_DURATION_CHx 期間の経過後、チャネルが有効になっているにもかかわらずチャネル出力が High にならず、ゲート High が達成されない場合、このビットがセットされます。FLT_STAT_CH1 レジスタを読み取り、故障状態が解消されている場合にクリアされます。 0h = CH1 が有効なとき、出力電圧は正常です 1h = CH1 でチャネルが有効または無効であるべき状態のとき、出力電圧が異常です
7	I2T_FLT_CH1	RC	0h	I2T 設定による故障 (過電流) が発生すると、このビットがセットされます。I2T_EN が High で、かつ該当するチャネルで関連する故障が発生した場合にのみ、このビットは High になります。FLT_STAT_CH1 レジスタを読み取り、故障状態が解消されている場合にクリアされます 0h = I2T の故障なし、または I2T が無効 1h = CH1 で I2T の故障が発生

表 8-15. FLT_STAT_CH1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	LPM_WAKE_CH1	RC	0h	CH1 でロード ウェイクアップが発生すると、このビットがセットされます。FLT_STAT_CH1 レジスタを読み取り、故障状態が解消されている場合にクリアされます 0h = CH1 でロード ウェイクアップなし 1h = CH1 でロード ウェイクアップがトリガ済み
5	TSD_CH1	RC	0h	CH1 で外部 FET のサーマル シャットダウンが一度でも発生すると、このビットがセットされます。この故障はラッチされており、FLT_STAT_CH1 レジスタを読み取られ、かつチャネル温度がサーマル シャットダウンのリセット スレッシュホールドを下回った場合にクリアされます。 0h = CH1 に TSD の故障なし 1h = CH1 で TSD が発生
4	予約済み	R	1h	予約済み
3	SHRT_VBB_CH1	RC	0h	CH1 で出力の VBB への短絡が一度でも発生すると、このビットがセットされます。この故障はラッチされており、FLT_STAT_CH1 レジスタを読み取られ、かつ故障状態が解消されている場合にクリアされます。 0h = CH1 に VBB への短絡故障なし、または オフ状態での VBB への短絡検出が無効 1h = 出力の VBB への短絡故障あり
2	OL_OFF_CH1	RC	0h	オフ状態のオープン負荷スレッシュホールドがトリガされると、このビットがセットされます。OL_OFF_EN_CH1 が有効な場合にのみ有効です。 0h = CH1 にオフ状態のオープン負荷故障なし、またはオフ状態での OL 検出が無効 1h = オフ状態のオープン負荷故障あり
1	CPUMP_UVLO_CH1	RC	0h	チャージポンプの UVLO がトリガされると、このビットがセットされます。故障はラッチされ、FLT_STAT_CH1 レジスタの読み出し時に CP UVLO の故障が解消されている場合にクリアされます。 0h = CH1 に CPUVLO の故障なし 1h = CH1 で CPUVLO の故障が発生
0	THERMAL_WRN_CH1	RC	0h	コントローラ温度が過熱警告スレッシュホールドを超えると、このビットがセットされます。過熱警告状態が解消されると、このビットはクリアされます。 0h = コントローラ温度が過熱警告スレッシュホールド未満 1h = コントローラ温度が過熱警告スレッシュホールドを超過

8.1.14 PWM_CH1 レジスタ (オフセット = Dh) [リセット = F000h]

PWM_CH1 を表 8-16 に示します。

[概略表](#)に戻ります。

表 8-16. PWM_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	Fh	予約済み
11-9	PWM_FREQ_CH1	R/W	0h	PWM 周波数を設定します 0h = 0.8Hz 1h = 3.4Hz 2h = 13.8Hz 3h = 111Hz 4h = 221Hz 5h = 425Hz 6h = 885Hz 7h = 1770Hz
8-1	PWM_DTY_CH1	R/W	0h	CH1 の PWM 動作のデューティサイクルを設定する 8 ビット。各ビットは約 0.39% のデューティサイクルに対応し、直線的に 100% のデューティサイクルまで設定できます。0x0 = GATEx 常時オン 0x1 = 予約済み 0x2 = 2 x 0.39% 0x3 = 3 x 0.39% 0x4 = 5 x 0.39% 0x5 = 6 x 0.39%、など
0	PWM_EN_CH1	R/W	0h	CH1 の PWM イネーブル 0h = 出力は SW_STATE の動作 (オン / オフ) に従います 1h = SW_STATE CH1 がオンの場合、設定されたデューティサイクルと周波数に従って出力が PWM 動作します

8.1.15 ILIM_CONFIG_CH1 レジスタ (オフセット = Eh) [リセット = 001Fh]

ILIM_CONFIG_CH1 を表 8-17 に示します。

概略表に戻ります。

表 8-17. ILIM_CONFIG_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	LATCH_CH1	R/W	0h	チャンネルがシャットダウンする故障が発生した場合、このビットでチャンネルをにどう再試行させるか、ラッチ オフさせるかを設定します 0h = 設定されたリトライ時間の経過後に GATEx がオンになります 1h = SW_STATE レジスタが再度書き込まれるか、LHI または Dlx/OUT_DISx がトリグされるまでラッチ オフします。
14	DI_OUT_DIS_FN_CH1	R/W	0h	このビットを 1 に設定すると、DI1/OUT_DIS1 ピンを Output_Disable として使用します 0h = Limphone モードは DI1/OUT_DIS1 ピン (DI ピン機能) によって決定されます 1h = DI1/OUT_DIS1 ピンが HI に設定されると、出力が無効になります (OUT_DIS 機能)
13-12	CAP_CHRG_CH1	R/W	0h	デバイスを容量性負荷駆動モードに設定します。 0h = SCP に基づく自動再試行方式を使用します 1h = メイン バスのゲート スルー制御を使用します 2h = バイパス バスのゲート スルーレート制御を使用します (TPS12Sx3F-Q1 のみに適用) 3h = メイン バス PWM モードを使用します
11	I2T_EN_CH1	R/W	0h	チャンネル 1 の I2T 機能を有効化します。 0h = I2T 機能が有効化されていません 1h = I2T 機能が有効化されます
10-8	INRUSH_DURATION_CH1	R/W	0h	GATEx のターンオン時の遅延時間を設定します。 0h = 0 1h = 2 2h = 4 3h = 6 4h = 10 5h = 20 6h = 50 7h = 100ms
7-6	AUTO_RETRY_DURATION_CH1	R/W	0h	チャンネルが自動再試行に設定されており、故障が解消された場合の自動再試行時間を設定します。自動再試行時間は、SCP、VDS 過電圧、または外部 FET のサーマル シャットダウン (TSD) 故障の発生後に適用されます。00 - 1ms 01 - 10ms 10 - 100us 11 - 100ms
5	FOLDBACK_LOCK_DIS_CH1	R/W	0h	SCP、VDS 過電圧、または外部 FET のサーマル シャットダウン (TSD) 故障後に無限に自動再試行を行うには、このビットを設定します。 0h = 有限 (13) の自動再試行後、チャンネルをフォールドバック ロック状態にラッチします。自動再試行時間は、7 サイクルごとに 10 倍になります。リトライ カウンタは、CHx_ON ビット、LHI または Dlx/OUT_DISx ビンがトリグされた場合にのみリセットされます。 1h = 無限自動再試行。自動リトライ時間は無限サイクルの間変わりません。
4-0	予約済み	R	1Fh	予約済み

8.1.16 DIAG_CONFIG_CH1 レジスタ (オフセット= Fh) [リセット= 0200h]

DIAG_CONFIG_CH1 を表 8-18 に示します。

[概略表](#)に戻ります。

表 8-18. DIAG_CONFIG_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	VSNS_DIS_CH1	R/W	0h	このチャンネルの VOUT SNS ADC 機能を無効化する場合、このビットを 1 に設定します 0h = VOUT SNS ADC 機能が有効です 1h = VOUT SNS ADC 機能が無効です
14	VDSSNS_DIS_CH1	R/W	0h	このチャンネルの ADC VDSSNS 機能を無効化する場合、このビットを 1 に設定します 0h = VDSSNS ADC 機能が有効です 1h = VDSSNS ADC 機能が無効です
13	ISNS_DIS_CH1	R/W	0h	このビットを 1 に設定すると、このチャンネルの ISNS ADC 機能が無効化されます 0h = ISNS ADC 機能が有効です 1h = ISNS ADC 機能が無効です
12-10	ISNS_GAIN_CH1	R/W	0h	CH1 の ISNS のゲインを設定します 0h = 15 1h = 30 2h = 50 3h = 65 4h = 85 5h = 100 6h = 120 7h = 135
9	予約済み	R	1h	予約済み
8-7	OL_SVBB_BLANK_CH1	R/W	0h	オープン負荷 (オン状態およびオフ状態) と VBB への短絡故障が登録されるまでのブランキング時間を設定します。 0h = 50us 1h = 250us 2h = 500us 3h = 2ms
6-5	OL_PU_STR_CH1	R/W	0h	オフ状態の開放負荷検出回路によって、OUTx ピンにおけるプルアップ電流値を設定します。 0h = 33uA 1h = 54uA 2h = 130uA 3h = 254uA
4	EN_PULL_DOWN_CH1	R/W	0h	このビットを設定すると、CH1 のプルダウン電流源が有効になります。SVBB アルゴリズムが完了するか、異常終了すると、このビットは自動的にクリアされます。 0h = CH1 のプルダウン電流源が無効 1h = CH1 のプルダウン電流源が有効
3	EN_PULL_UP_CH1	R/W	0h	このビットを設定すると、CH1 のプルアップ電流源が有効になります。OL アルゴリズムが完了するか、異常終了すると、このビットは自動的にクリアされます。 0h = CH1 のプルアップ電流源が無効 1h = CH1 のプルアップ電流源が有効
2	SVBB_DIAG_EN_CH1	R/W	0h	このビットをセットすると、CH1 のオフ状態におけるバッテリーへの短絡を検出するアルゴリズムが有効になります。診断中にこのビットを 0 に強制設定すると、異常終了します。アルゴリズムが完了すると、ビットは自動的にクリアされます。このステータスは FLT_STAT_CH1 レジスタで更新されます 0h = CH1 で SVBB は動作していません 1h = CH1 がオフ状態で SVBB が動作中

表 8-18. DIAG_CONFIG_CH1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	OL_DIAG_EN_CH1	R/W	0h	このビットを設定すると、CH1 のオフ状態におけるオープン負荷検出アルゴリズムが有効になります。診断中にこのビットを 0 に強制設定すると、異常終了します。アルゴリズムが完了すると、ビットは自動的にクリアされます。このステータスは FLT_STAT_CH1 レジスタで更新されます 0h = CH1 で OL は動作していません 1h = CH1 がオフ状態で OL が動作中
0	TSNS_DIS_CH1	R/W	0h	このチャンネルの ADC TSNS 機能が無効化する場合、このビットを 1 に設定します 0h = TSNS ADC 機能が有効です 1h = TSNS ADC 機能が無効です

8.1.17 ADC_RESULT_CH1_I レジスタ (オフセット = 10h) [リセット = E800h]

ADC_RESULT_CH1_I を表 8-19 に示します。

[概略表](#)に戻ります。

表 8-19. ADC_RESULT_CH1_I レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	3h	予約済み
13	ISNS_POLARITY_CH1	R	1h	センス抵抗を流れる電流が逆方向の場合、このビットは 1 にセットされます 0h = 電流が順方向のときに ISNS の読み取りが実行されます 1h = 電流が逆方向のときに ISNS の読み取りが実行されます
12	ISNS_CH1_ONOFF_STAT	R	0h	チャンネルがオフの場合に ISNS の ADC 変換が行われると、このビットは 0 にセットされます 0h = CH1 の FET がオフのときに ISNS 変換が実行されます 1h = CH1 の FET がオンのときに ISNS 変換が実行されます
11	予約済み	R	1h	予約済み
10	ISNS_RDY_CH1	RC	0h	ADC 変換が最後の読み取り以降に新しくなっていることを確認します
9-0	ADC_RESULT_CH1_I	R	0h	CH1 の電流の変換からの ADC の結果 (10 ビット)

8.1.18 ADC_RESULT_CH1_T レジスタ (オフセット = 11h) [リセット = F800h]

ADC_RESULT_CH1_T を表 8-20 に示します。

[概略表](#)に戻ります。

表 8-20. ADC_RESULT_CH1_T レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	1Fh	予約済み
10	TSNS_RDY_CH1	RC	0h	ADC 変換が最後の読み取り以降に新しくなっていることを確認します
9-0	ADC_RESULT_CH1_T	R	0h	CH1 温度の変換結果の ADC 値 (10 ビット)

8.1.19 ADC_RESULT_CH1_V レジスタ (オフセット = 12h) [リセット = F800h]

ADC_RESULT_CH1_V を表 8-21 に示します。

[概略表](#)に戻ります。

表 8-21. ADC_RESULT_CH1_V レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	1Fh	予約済み
10	VSNS_RDY_CH1	RC	0h	ADC 変換が最後の読み取り以降に新しくなっていることを確認します
9-0	ADC_RESULT_CH1_V	R	0h	CH1 出力電圧の変換結果の ADC 値 (10 ビット)

8.1.20 ADC_RESULT_CH1_VDS レジスタ (オフセット = 13h) [リセット = F800h]

ADC_RESULT_CH1_VDS を表 8-22 に示します。

[概略表](#)に戻ります。

表 8-22. ADC_RESULT_CH1_VDS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	1Fh	予約済み
10	VDSSNS_RDY_CH1	RC	0h	ADC 変換が最後の読み取り以降に新しくなっていることを確認します
9-0	ADC_RESULT_CH1_VDS	R	0h	CH2 の VDS 変換による ADC 結果 (10 ビット)

8.1.21 I2T_CONFIG_CH1 レジスタ (オフセット = 14h) [リセット = 07E0h]

I2T_CONFIG_CH1 を表 8-23 に示します。

[概略表](#)に戻ります。

表 8-23. I2T_CONFIG_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	TCLDN_CH1	R/W	0h	Channel1 の I2T 機能のクールダウン スレッシュホールド (I2T シャットダウン後にリトライするためのスレッシュホールド) を設定する 2 ビット。 0h = ラッチ モード (または再試行なし) 1h = アキュムレータは I2Tトリップ スレッシュホールドの 2/3 にデクリメントします 2h = アキュムレータは I2Tトリップ スレッシュホールドの 1/3 にデクリメントします 3h = アキュムレータは 0 にデクリメントします
13	DCR_CH1	R/W	0h	動作モードを設定します 0h = I2T モード DCR0 1h = I2T モード DCR1
12-11	ACC_DCR0_CH1	R/W	0h	DCR_CHx = 0 のとき、IADC < NOM_CUR で IACC をデクリメントします。
10-5	予約済み	R	3Fh	予約済み
4-0	NOM_CUR_CH1	R/W	0h	チャンネル 1 の公称電流値を設定する 5 ビット。00h = 3mV 01h = 4.5mV 02h = 6mV 03h = 7.5mV 04h = 9mV 05h = 10.5mV 06h = 12mV 07h = 13.5mV 08h = 15mV 09h = 16.5mV 0Ah = 18mV 0Bh = 19.5mV 0Ch = 21mV 0Dh = 22.5mV 0Eh = 24mV 0Fh = 25.5mV 10h = 27mV 11h = 28.5mV 12h = 30mV 13h = 31.5mV 14h = 33mV 15h = 34.5mV 16h = 36mV 17h = 37.5mV 18h = 39mV 19h = 41.5mV 1Ah = 44mV 1Bh = 48mV 1Ch = 62mV 1Dh = 66mV 1Eh = 70mV 1Fh = 75mV

8.1.22 FLT_STAT_CH2 レジスタ (オフセット = 15h) [リセット = 0010h]

FLT_STAT_CH2 を表 8-24 に示します。

概略表に戻ります。

表 8-24. FLT_STAT_CH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	VDS_FLT_CH2	RC	0h	CH2 で VDS 保護が一度でも作動すると、このビットがセットされます。故障はラッチされ、FLT_STAT_CH2 レジスタの読み取り時に故障状態が解消されている場合にクリアされます 0h = CH2 に VDS 保護の故障なし 1h = CH2 で VDS 保護の故障 (SCP / 過電流故障による CB) が発生
14	THERMAL_SD_BYP_CH2	RC	0h	バイパス FET CH2 でサーマル シャットダウンが一度でも発生すると、このビットがセットされます。この故障はラッチされており、FLT_STAT_CH2 レジスタが読み取られ、かつチャネル温度がサーマル シャットダウンのリセットスレッシュホールドを下回った場合にクリアされます。 0h = CH2 にバイパス FET のサーマル シャットダウン故障なし 1h = CH2 でバイパス FET のサーマル シャットダウンが発生済み
13	OCP_CH2	RC	0h	CH2 で SCP 保護が一度でも作動すると、このビットがセットされます。故障はラッチされ、FLT_STAT_CH2 レジスタの読み取り時に故障状態が解消されている場合にクリアされます 0h = CH2 に短絡保護 (SCP) の故障なし 1h = CH2 で短絡保護故障 (SCP) が発生
12	I2T_MOD_CH2	R	0h	デバイスが I2T ループ内で積算中の場合、このビットは 1 になります。デバイスがループ外の場合、このビットは 0 になり、読み取り専用になります 0h = I2T がオフ / 非動作状態 1h = I2T が現在動作中
11	LATCH_STAT_CH2	R	0h	このビットは、チャネルが故障によってシャットダウンされ、その後ラッチオフされた場合に high になります。チャネルを再度オンにするとクリアされます 0h = CH2 はラッチ オフされていません 1h = CH2 は現在ラッチ オフされています
10	FLT_CH2	R	0h	CH2 でいずれかの故障が発生すると、このビットがセットされます。ライブ故障通知です。また、CH2 のゲート制御に影響するすべての故障も含まれます。このビットは、自動再試行期間中もアサートされたままになります。 0h = CH2 に故障なし 1h = CH2 で一つ以上の故障が発生
9	LPM_HS_CH2	RC	0h	LPM 中に LPM HS が発生しました。故障はラッチされ、FLT_STAT_CH2 レジスタの読み取り時に LPM HS が解消されている場合にクリアされます。 0h = CH2 で LPM HS は発生していません 1h = CH2 で LPM HS が発生しています
8	VOUT_ERR_CH2	RC	0h	INRUSH_DURATION 期間の経過後、チャネルが有効になっているにもかかわらずチャネル出力が High にならず、ゲート High が達成されない場合、このビットがセットされます。FLT_STAT_CH2 レジスタを読み取り、故障状態が解消されている場合にクリアされます。 0h = CH2 が有効なとき、出力電圧は正常です 1h = CH2 でチャネルが有効または無効であるべき状態のとき、出力電圧が異常です
7	I2T_FLT_CH2	RC	0h	I2T 設定による故障 (過電流) が発生すると、このビットがセットされます。I2T_EN が High で、かつ該当するチャネルで関連する故障が発生した場合にのみ、このビットは High になります。FLT_STAT_CH2 レジスタを読み取り、故障状態が解消されている場合にクリアされます 0h = I2T の故障なし、または I2T が無効 1h = CH2 で I2T の故障が発生

表 8-24. FLT_STAT_CH2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	LPM_WAKE_CH2	RC	0h	CH2 でロード ウェイクアップが発生すると、このビットがセットされます。 FLT_STAT_CH2 レジスタを読み取り、故障状態が解消されている場合にクリアされます 0h = CH2 でロード ウェイクアップなし 1h = CH2 でロード ウェイクアップがトリガ済み
5	THERMAL_SD_CH2	RC	0h	CH2 で外部 FET のサーマル シャットダウンが一度でも発生すると、このビットがセットされます。この故障はラッチされており、FLT_STAT_CH2 レジスタを読み取られ、かつチャネル温度がサーマル シャットダウンのリセット スレッシュホールドを下回った場合にクリアされます。 0h = CH2 に TSD の故障なし 1h = CH2 で TSD が発生
4	予約済み	R	1h	予約済み
3	SHRT_VBB_CH2	RC	0h	CH2 で VBB への短絡が一度でも発生すると、このビットがセットされます。この故障はラッチされており、FLT_STAT_CH2 レジスタを読み取られ、かつ故障状態が解消されている場合にクリアされます。 0h = CH2 に VBB への短絡故障なし、または オフ状態での VBB への短絡検出が無効 1h = VBB への短絡故障あり
2	OL_OFF_CH2	RC	0h	オフ状態のオープン負荷スレッシュホールドがトリガされると、このビットがセットされます。OL_OFF_EN_CH2 が有効な場合にのみ有効です。 0h = CH2 にオフ状態のオープン負荷故障なし、またはオフ状態での OL 検出が無効 1h = オフ状態のオープン負荷故障あり
1	CPUMP_UVLO_CH2	RC	0h	CPUVLO が発生すると、このビットがセットされます。故障はラッチされ、FLT_STAT_CH2 レジスタの読み出し時に CP UVLO の故障が解消されている場合にクリアされます。 0h = CH2 に CPUVLO の故障なし 1h = CH2 で CPUVLO の故障が発生
0	THERMAL_WRN_CH2	RC	0h	コントローラ温度が過熱警告スレッシュホールドを超えると、このビットがセットされます。過熱警告状態が解消されると、このビットはクリアされます。 0h = コントローラ温度が過熱警告スレッシュホールド未満 1h = コントローラ温度が過熱警告スレッシュホールドを超過

8.1.23 PWM_CH2 レジスタ (オフセット = 16h) [リセット = F000h]

PWM_CH2 を表 8-25 に示します。

[概略表](#)に戻ります。

表 8-25. PWM_CH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	Fh	予約済み
11-9	PWM_FREQ_CH2	R/W	0h	CH2 の PWM 周波数を設定します 0h = 0.8Hz 1h = 3.4Hz 2h = 13.8Hz 3h = 111Hz 4h = 221Hz 5h = 425Hz 6h = 885Hz 7h = 1770Hz
8-1	PWM_DTY_CH2	R/W	0h	CH2 の PWM 動作のデューティサイクルを設定する 8 ビット。各ビットは約 0.39% のデューティサイクルに対応し、直線的に 100% のデューティサイクルまで設定できます。0x0 = GATEx 常時オン 0x1 = 予約済み 0x2 = 2 x 0.39% 0x3 = 3 x 0.39% 0x4 = 5 x 0.39% 0x5 = 6 x 0.39%、など
0	PWM_EN_CH2	R/W	0h	CH2 の PWM イネーブル 0h = 出力は SW_STATE の動作 (オン / オフ) に従います 1h = SW_STATE CH2 がオンの場合、設定されたデューティサイクルと周波数に従って出力が PWM 動作します

8.1.24 ILIM_CONFIG_CH2 レジスタ (オフセット = 17h) [リセット = 001Fh]

ILIM_CONFIG_CH2 を表 8-26 に示します。

概略表に戻ります。

表 8-26. ILIM_CONFIG_CH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	LATCH_CH2	R/W	0h	チャンネルがシャットダウンする故障が発生した場合、このビットでチャンネルを にどう再試行させるか、ラッチ オフさせるかを設定します 0h = 設定されたリトライ時間の経過後に GATEx がオンになります 1h = SW_STATE レジスタが再度書き込まれるか、LHI または Dlx/ OUT_DISx がトリグルされるまでラッチ オフします。
14	DI_OUT_DIS_FN_CH2	R/W	0h	このビットを 1 に設定すると、DI2/OUT_DIS2 ピンを Output_Disable とし て使用します 0h = Limphone モードは DI2/OUT_DIS2 ピン (DI ピン機能) によって決 定されます 1h = DI2/OUT_DIS2 ピンが HI に設定されると、出力が無効になります (OUT_DIS 機能)
13-12	CAP_CHRG_CH2	R/W	0h	デバイスを容量性負荷駆動モードに設定します。 0h = SCP に基づく自動再試行方式を使用します 1h = メイン パスのゲート スルー制御を使用します 2h = バイパス パスのゲート スルーレート制御を使用します (TPS12Sx3F-Q1 のみに適用) 3h = メイン パス PWM モードを使用します
11	I2T_EN_CH2	R/W	0h	チャンネル 2 の I2T 機能を有効化します。 0h = I2T 機能が有効化されていません 1h = I2T 機能が有効化されます
10-8	INRUSH_DURATION_CH 2	R/W	0h	突入電流制限レベルが適用される遅延期間を設定します。 0h = 0 1h = 2 2h = 4 3h = 6 4h = 10 5h = 20 6h = 50 7h = 100ms
7-6	AUTO_RETRY_DURATION_CH 2	R/W	0h	チャンネルが自動再試行に設定されており、故障が解消された場合の自動 再試行時間を設定します。自動再試行時間は、SCP、VDS 過電圧、また は外部 FET のサーマル シャットダウン (TSD) 故障の発生後に適用され ます。00 - 1ms 01 - 10ms 10 - 100us 11 - 100ms
5	FOLDBACK_LOCK_DIS_ CH2	R/W	0h	SCP、VDS 過電圧、または外部 FET のサーマル シャットダウン (TSD) 故障後に無限に自動再試行を行うには、このビットを設定します。 0h = 有限 (13) の自動再試行後、チャンネルをフォールドバック ロック状態 にラッチします。自動再試行時間は、7 サイクルごとに 10 倍になります。リ トライ カウンタは、CHx_ON ビット、LHI または Dlx/OUT_DISx ビンがトリ グルされた場合にのみリセットされます。 1h = 無限自動再試行。自動リトライ時間は無限サイクルの間変わりませ ん。
4-0	予約済み	R	1Fh	予約済み

8.1.25 DIAG_CONFIG_CH2 レジスタ (オフセット = 18h) [リセット = 0200h]

DIAG_CONFIG_CH2 を表 8-27 に示します。

概略表に戻ります。

表 8-27. DIAG_CONFIG_CH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	VSNS_DIS_CH2	R/W	0h	このチャンネルの VOUT SNS ADC 機能を無効化する場合、このビットを 1 に設定します 0h = VOUT SNS ADC 機能が有効です 1h = VOUT SNS ADC 機能が無効です
14	VDSSNS_DIS_CH2	R/W	0h	このチャンネルの ADC VDSSNS 機能を無効化する場合、このビットを 1 に設定します 0h = VDSSNS ADC 機能が有効です 1h = VDSSNS ADC 機能が無効です
13	ISNS_DIS_CH2	R/W	0h	このビットを 1 に設定すると、このチャンネルの ISNS ADC 機能が無効化されます 0h = ISNS ADC 機能が有効です 1h = ISNS ADC 機能が無効です
12-10	ISNS_GAIN_CH2	R/W	0h	CH2 の ISNS のゲインを設定します 0h = 15 1h = 30 2h = 50 3h = 65 4h = 85 5h = 100 6h = 120 7h = 135
9	予約済み	R	1h	予約済み
8-7	OL_SVBB_BLANK_CH2	R/W	0h	オープン負荷 (オン状態およびオフ状態) と VBB への短絡故障が登録されるまでのブランキング時間を設定します。 0h = 50us 1h = 250us 2h = 500us 3h = 2ms
6-5	OL_PU_STR_CH2	R/W	0h	オフ状態の開放負荷検出回路によって、OUTx ピンにおけるプルアップ電流値を設定します。 0h = 33uA 1h = 54uA 2h = 130uA 3h = 254uA
4	EN_PULL_DOWN_CH2	R/W	0h	このビットを設定すると、CH2 のプルダウン電流源が有効になります。SVBB アルゴリズムが完了するか、異常終了すると、このビットは自動的にクリアされます。 0h = CH2 のプルダウン電流源が無効 1h = CH2 のプルダウン電流源が有効
3	EN_PULL_UP_CH2	R/W	0h	このビットを設定すると、CH2 のプルアップ電流源が有効になります。OL アルゴリズムが完了するか、異常終了すると、このビットは自動的にクリアされます。 0h = CH2 のプルアップ電流源が無効 1h = CH2 のプルアップ電流源が有効
2	SVBB_DIAG_EN_CH2	R/W	0h	このビットをセットすると、CH2 のオフ状態におけるバッテリーへの短絡を検出するアルゴリズムが有効になります。診断中にこのビットを 0 に強制設定すると、異常終了します。アルゴリズムが完了すると、ビットは自動的にクリアされます。このステータスは FLT_STAT_CH2 レジスタで更新されます 0h = CH2 で SVBB は動作していません 1h = CH2 がオフ状態で SVBB が動作中

表 8-27. DIAG_CONFIG_CH2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	OL_DIAG_EN_CH2	R/W	0h	このビットを設定すると、CH2 のオフ状態におけるオープン負荷検出アルゴリズムが有効になります。診断中にこのビットを 0 に強制設定すると、異常終了します。アルゴリズムが完了すると、ビットは自動的にクリアされます。このステータスは FLT_STAT_CH2 レジスタで更新されます 0h = CH2 で OL は動作していません 1h = CH2 がオフ状態で OL が動作中
0	TSNS_DIS_CH2	R/W	0h	このチャンネルの ADC TSNS 機能を無効化する場合、このビットを 1 に設定します 0h = TSNS ADC 機能が有効です 1h = TSNS ADC 機能が無効です

8.1.26 ADC_RESULT_CH2_I レジスタ (オフセット = 19h) [リセット = E800h]

ADC_RESULT_CH2_I を表 8-28 に示します。

[概略表](#)に戻ります。

表 8-28. ADC_RESULT_CH2_I レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	3h	予約済み
13	ISNS_POLARITY_CH2	R	1h	センス抵抗を流れる電流が逆方向の場合、このビットは 1 にセットされます 0h = 電流が順方向のときに ISNS の読み取りが実行されます 1h = 電流が逆方向のときに ISNS の読み取りが実行されます
12	ISNS_CH2_ONOFF_STAT	R	0h	チャンネルがオフの場合に ISNS の ADC 変換が行われると、このビットは 0 にセットされます 0h = CH2 の FET がオフのときに ISNS 変換が実行されます 1h = CH2 の FET がオンのときに ISNS 変換が実行されます
11	予約済み	R	1h	予約済み
10	ISNS_RDY_CH2	RC	0h	ADC 変換が最後の読み取り以降に新しくなっていることを確認します
9-0	ADC_RESULT_CH2_I	R	0h	CH2 の電流の変換からの ADC の結果 (10 ビット)

8.1.27 ADC_RESULT_CH2_T レジスタ (オフセット = 1Ah) [リセット = F800h]

ADC_RESULT_CH2_T を表 8-29 に示します。

[概略表](#)に戻ります。

表 8-29. ADC_RESULT_CH2_T レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	1Fh	予約済み
10	TSNS_RDY_CH2	RC	0h	ADC 変換が最後の読み取り以降に新しくなっていることを確認します
9-0	ADC_RESULT_CH2_T	R	0h	CH2 温度の変換結果の ADC 値 (10 ビット)

8.1.28 ADC_RESULT_CH2_V レジスタ (オフセット = 1Bh) [リセット = F800h]

ADC_RESULT_CH2_V を表 8-30 に示します。

[概略表](#)に戻ります。

表 8-30. ADC_RESULT_CH2_V レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	1Fh	予約済み
10	VSNS_RDY_CH2	RC	0h	ADC 変換が最後の読み取り以降に新しくなっていることを確認します
9-0	ADC_RESULT_CH2_V	R	0h	CH2 出力電圧の変換結果の ADC 値 (10 ビット)

8.1.29 ADC_RESULT_CH2_VDS レジスタ (オフセット = 1Ch) [リセット = F800h]

ADC_RESULT_CH2_VDS を表 8-31 に示します。

[概略表](#)に戻ります。

表 8-31. ADC_RESULT_CH2_VDS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	1Fh	予約済み
10	VDSSNS_RDY_CH2	RC	0h	ADC 変換が最後の読み取り以降に新しくなっていることを確認します
9-0	ADC_RESULT_CH2_VDS	R	0h	CH2 の VDS 変換による ADC 結果 (10 ビット)

8.1.30 I2T_CONFIG_CH2 レジスタ (オフセット = 1Dh) [リセット = 07E0h]

I2T_CONFIG_CH2 を表 8-32 に示します。

[概略表](#)に戻ります。

表 8-32. I2T_CONFIG_CH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	TCLDN_CH2	R/W	0h	CH2 の I2T 機能のクールダウン スレッシュホールド (I2T シャットダウン後にリトライするためのスレッシュホールド) を設定する 2 ビット。 0h = ラッチ モード (または再試行なし) 1h = アキュムレータは I2Tトリップ スレッシュホールドの 2/3 にデクリメントします 2h = アキュムレータは I2Tトリップ スレッシュホールドの 1/3 にデクリメントします 3h = アキュムレータは 0 にデクリメントします
13	DCR_CH2	R/W	0h	動作モードを設定します 0h = I2t モード DCR0 1h = I2t モード DCR1
12-11	ACC_DCR0_CH2	R/W	0h	DCR_CHx = 0 のとき、IADC < NOM_CUR で IACC をデクリメントします。
10-5	予約済み	R	3Fh	予約済み
4-0	NOM_CUR_CH2	R/W	0h	チャンネル 2 の公称電流値を設定する 5 ビット。00h = 3mV 01h = 4.5mV 02h = 6mV 03h = 7.5mV 04h = 9mV 05h = 10.5mV 06h = 12mV 07h = 13.5mV 08h = 15mV 09h = 16.5mV 0Ah = 18mV 0Bh = 19.5mV 0Ch = 212V 0Dh = 22.5mV 0Eh = 24mV 0Fh = 25.5mV 10h = 27mV 11h = 28.5mV 12h = 30mV 13h = 31.5mV 14h = 33mV 15h = 34.5mV 16h = 36mV 17h = 37.5mV 18h = 39mV 19h = 41.5mV 1Ah = 44mV 1Bh = 48mV 1Ch = 62mV 1Dh = 66mV 1Eh = 70mV 1Fh = 75mV

8.1.31 I2T_TRIP_CH1 レジスタ (オフセット = 1Eh) [リセット = FF80h]

I2T_TRIP_CH1 を表 8-33 に示します。

[概略表](#)に戻ります。

表 8-33. I2T_TRIP_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	FFh	予約済み
7-0	I2T_TRIP_CH1	R/W	80h	CH1 の I2T_TRIP を設定する 8 ビット

8.1.32 I2T_ACC_RD_CH1 レジスタ (オフセット = 1Fh) [リセット = 0000h]

I2T_ACC_RD_CH1 を表 8-34 に示します。

[概略表](#)に戻ります。

I2T_Trip 設定に対する相対積算値を示します。10 ビット

表 8-34. I2T_ACC_RD_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	I2T_ACC_RD_CH1	R	0h	CH1 の I2T アキュムレータの上位 16 ビット

8.1.33 I2T_ACC_RD_CH2 レジスタ (オフセット = 20h) [リセット = 0000h]

I2T_ACC_RD_CH2 を表 8-35 に示します。

[概略表](#)に戻ります。

I2T_Trip 設定に対する相対積算値を示します。10 ビット

表 8-35. I2T_ACC_RD_CH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	I2T_ACC_RD_CH2	R	0h	CH2 の I2T アキュムレータの上位 16 ビット

8.1.34 I2T_TRIP_CH2 レジスタ (オフセット = 33h) [リセット = FF80h]

I2T_TRIP_CH2 を表 8-36 に示します。

[概略表](#)に戻ります。

表 8-36. I2T_TRIP_CH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	FFh	予約済み
7-0	I2T_TRIP_CH2	R/W	80h	CH2 の I2T_TRIP を設定する 8 ビット

8.1.35 ADC_RESULT_TCONT レジスタ (オフセット = 34h) [リセット = F800h]

表 8-37 に、ADC_RESULT_TCONT を示します。

概略表に戻ります。

表 8-37. ADC_RESULT_TCONT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	1Fh	予約済み
10	TCONT_SNS_RDY	RC	0h	ADC 変換が最後の読み取り以降に新しくなっていることを確認します
9-0	ADC_RESULT_TCONT	R	0h	コントローラ温度の変換による ADC 結果 (10 ビット)

8.1.36 SCP_CONFIG_CH1 レジスタ (オフセット = 35h) [リセット = 8890h]

SCP_CONFIG_CH1 を表 8-38 に示します。

[概略表](#)に戻ります。

表 8-38. SCP_CONFIG_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	FWD_SCP_SET_CH1	R/W	8h	CH1 の順方向 SCP 設定 00h = 10 mV 01h = 12 mV 02h = 14.35 mV 03h = 17.2 mV 04h = 20 mV 05h = 24.17 mV 06h = 28.7 mV 07h = 35 mV 08h = 43.32 mV 09h = 51.68 mV 0Ah = 63.3 mV 0Bh = 75.81 mV 0Ch = 93.37 mV 0Dh = 110 mV 0Eh = 133.3 mV 0Fh = 158.2 mV
11-8	REV_SCP_SET_CH1	R/W	8h	CH1 の逆方向 SCP 設定 00h = 10 mV 01h = 12 mV 02h = 14.35 mV 03h = 17.2 mV 04h = 20 mV 05h = 24.17 mV 06h = 28.7 mV 07h = 35 mV 08h = 43.32 mV 09h = 51.68 mV 0Ah = 63.3 mV 0Bh = 75.81 mV 0Ch = 93.37 mV 0Dh = 110 mV 0Eh = 133.3 mV 0Fh = 158.2 mV
7-5	FWD_SCP_MASK_CH1	R/W	4h	CH1 の順方向 SCP マスキング設定 0h = 0us 1h = 4us 2h = 9us 3h = 24us 4h = 44us 5h = 89us 6h = 134us 7h = 179us
4-2	REV_SCP_MASK_CH1	R/W	4h	CH1 の逆方向 SCP マスキング設定 0h = 0us 1h = 4us 2h = 9us 3h = 24us 4h = 44us 5h = 89us 6h = 134us 7h = 179us
1	FWD_SCP_DIS_CH1	R/W	0h	CH1 の順方向 SCP 保護を無効化 0h = CH1 用の SCP 機能を有効化 1h = CH1 用の SCP 機能は無効化

表 8-38. SCP_CONFIG_CH1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	REV_SCP_DIS_CH1	R/W	0h	CH1 の逆方向 SCP 保護を無効化 0h = CH1 用の SCP 機能を有効化 1h = CH1 用の SCP 機能は無効化

8.1.37 SCP_CONFIG_CH2 レジスタ (オフセット = 36h) [リセット = 8890h]

SCP_CONFIG_CH2 を表 8-39 に示します。

[概略表](#)に戻ります。

表 8-39. SCP_CONFIG_CH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	FWD_SCP_SET_CH2	R/W	8h	CH2 の順方向 SCP 設定 00h = 10 mV 01h = 12 mV 02h = 14.35 mV 03h = 17.2 mV 04h = 20 mV 05h = 24.17 mV 06h = 28.7 mV 07h = 35 mV 08h = 43.32 mV 09h = 51.68 mV 0Ah = 63.3 mV 0Bh = 75.81 mV 0Ch = 93.37 mV 0Dh = 110 mV 0Eh = 133.3 mV 0Fh = 158.2 mV
11-8	REV_SCP_SET_CH2	R/W	8h	CH2 の逆方向 SCP 設定 00h = 10 mV 01h = 12 mV 02h = 14.35 mV 03h = 17.2 mV 04h = 20 mV 05h = 24.17 mV 06h = 28.7 mV 07h = 35 mV 08h = 43.32 mV 09h = 51.68 mV 0Ah = 63.3 mV 0Bh = 75.81 mV 0Ch = 93.37 mV 0Dh = 110 mV 0Eh = 133.3 mV 0Fh = 158.2 mV
7-5	FWD_SCP_MASK_CH2	R/W	4h	CH2 の順方向 SCP マスキング設定 0h = 0us 1h = 4us 2h = 9us 3h = 24us 4h = 44us 5h = 89us 6h = 134us 7h = 179us
4-2	REV_SCP_MASK_CH2	R/W	4h	CH2 の逆方向 SCP マスキング設定 0h = 0us 1h = 4us 2h = 9us 3h = 24us 4h = 44us 5h = 89us 6h = 134us 7h = 179us
1	FWD_SCP_DIS_CH2	R/W	0h	CH2 の順方向 SCP 保護を無効化 0h = CH2 用の SCP 機能を有効化 1h = CH2 用の SCP 機能は無効化

表 8-39. SCP_CONFIG_CH2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	REV_SCP_DIS_CH2	R/W	0h	CH2 の逆方向 SCP 保護を無効化 0h = CH2 用の SCP 機能を有効化 1h = CH2 用の SCP 機能は無効化

8.1.38 UV_CONFIG_CH1 レジスタ (オフセット = 37h) [リセット = 8AF0h]

UV_CONFIG_CH1 を表 8-40 に示します。

[概略表](#)に戻ります。

表 8-40. UV_CONFIG_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	UVLO_SET_CH1	R/W	8h	UVLO 立ち下がり保護スレッショルドの設定 00h = UVLO ディセーブル 01h = 4.5V 02h = 5 V 03h = 6 V 04h = 7 V 05h = 8 V 06h = 9 V 07h = 16 V 08h = 18 V 09h = 20 V 0Ah = 22 V 0Bh = 24 V 0Ch = 26 V 0Dh = 28 V 0Eh = 30 V 0Fh = 32 V
11-10	UVLO_HYST_CH1	R/W	2h	UVLO CH1 ヒステリシス設定 0h = 0.57 V 1h = 1 V 2h = 2 V 3h = 4 V
9-8	UVLO_MASK_CH1	R/W	2h	CH1 の UVLO マスキング遅延 0h = 0us 1h = 6us 2h = 45us 3h = 175us
7-4	予約済み	R	Fh	予約済み
3-2	E10_CONFIG_CH1	R/W	0h	E10 設定マスキング時間
1	UVLO_LPM_EN_CH1	R/W	0h	LPM 中の CH1 UVLO を有効化 0h = LPM で UVLO 機能が無効化 1h = LPM で UVLO 機能を有効化
0	UVLO_EN_CH1	R/W	0h	UVLO CH1 有効 0h = UVLO 機能は無効です 1h = UVLO 機能は有効です

8.1.39 UV_CONFIG_CH2 レジスタ (オフセット = 38h) [リセット = 8AF0h]

UV_CONFIG_CH2 を表 8-41 に示します。

[概略表](#)に戻ります。

表 8-41. UV_CONFIG_CH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	UVLO_SET_CH2	R/W	8h	UVLO 立ち下がり保護スレッショルドの設定 00h = UVLO ディセーブル 01h = 4.5V 02h = 5 V 03h = 6 V 04h = 7 V 05h = 8 V 06h = 9 V 07h = 16 V 08h = 18 V 09h = 20 V 0Ah = 22 V 0Bh = 24 V 0Ch = 26 V 0Dh = 28 V 0Eh = 30 V 0Fh = 32 V
11-10	UVLO_HYST_CH2	R/W	2h	UVLO CH2 ヒステリシス設定 0h = 0.57 V 1h = 1 V 2h = 2 V 3h = 4 V
9-8	UVLO_MASK_CH2	R/W	2h	CH2 の UVLO マスキング遅延 0h = 0us 1h = 6us 2h = 45us 3h = 175us
7-4	予約済み	R	Fh	予約済み
3-2	E10_CONFIG_CH2	R/W	0h	E10 設定マスキング時間
1	UVLO_LPM_EN_CH2	R/W	0h	LPM 中の CH2 UVLO を有効化 0h = LPM で UVLO 機能が無効化 1h = LPM で UVLO 機能を有効化
0	UVLO_EN_CH2	R/W	0h	UVLO CH2 有効 0h = UVLO 機能は無効です 1h = UVLO 機能は有効です

8.1.40 OV_CONFIG_CH1 レジスタ (オフセット = 39h) [リセット = 8AFCh]

OV_CONFIG_CH1 を表 8-42 に示します。

概略表に戻ります。

表 8-42. OV_CONFIG_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	OVLO_SET_CH1	R/W	8h	OVLO 立ち上がり保護スレッショルド設定 00h = OV ディセーブル 01h = 16 V 02h = 18 V 03h = 36 V 04h = 38 V 05h = 40 V 06h = 42 V 07h = 44 V 08h = 54 V 09h = 56 V 0Ah = 58 V 0Bh = 60 V 0Ch = 66 V 0Dh = 68 V 0Eh = 70 V 0Fh = 72 V
11-10	OVLO_HYST_CH1	R/W	2h	OVLO CH1 ヒステリシス設定 0h = 2 V 1h = 4 V 2h = 6 V 3h = 8 V
9-8	OVLO_MASK_CH1	R/W	2h	CH2 の OVLO マスキング遅延 0h = 0us 1h = 6us 2h = 45us 3h = 175us
7-2	予約済み	R	3Fh	予約済み
1	OVLO_LPM_EN_CH1	R/W	0h	LPM 中の CH1 OVLO を有効化 0h = LPM で OVLO 機能が無効化 1h = LPM で OVLO 機能を有効化
0	OVLO_EN_CH1	R/W	0h	OVLO CH1 有効 0h = OVLO 機能は無効です 1h = OVLO 機能は有効です

8.1.41 OV_CONFIG_CH2 レジスタ (オフセット = 3Ah) [リセット = 8AFCh]

OV_CONFIG_CH2 を表 8-43 に示します。

[概略表](#)に戻ります。

表 8-43. OV_CONFIG_CH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	OVLO_SET_CH2	R/W	8h	OVLO 立ち上がり保護スレッショルド設定 00h = OV ディセーブル 01h = 16 V 02h = 18 V 03h = 36 V 04h = 38 V 05h = 40 V 06h = 42 V 07h = 44 V 08h = 54 V 09h = 56 V 0Ah = 58 V 0Bh = 60 V 0Ch = 66 V 0Dh = 68 V 0Eh = 70 V 0Fh = 72 V
11-10	OVLO_HYST_CH2	R/W	2h	OVLO CH2 ヒステリシス設定 0h = 2 V 1h = 4 V 2h = 6 V 3h = 8 V
9-8	OVLO_MASK_CH2	R/W	2h	CH2 の OVLO マスキング遅延 0h = 0us 1h = 6us 2h = 45us 3h = 175us
7-2	予約済み	R	3Fh	予約済み
1	OVLO_LPM_EN_CH2	R/W	0h	LPM 中の CH2 OVLO を有効化 0h = LPM で OVLO 機能が無効化 1h = LPM で OVLO 機能を有効化
0	OVLO_EN_CH2	R/W	0h	OVLO CH2 有効 0h = OVLO 機能は無効です 1h = OVLO 機能は有効です

8.1.42 VDS_CONFIG レジスタ (オフセット = 3Bh) [リセット = 2142h]

表 8-44 に、VDS_CONFIG を示します。

概略表に戻ります。

表 8-44. VDS_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	VDS_PROT_EN_CH2	R/W	0h	チャンネル 2 の VDS 保護を有効化
14	VDS_PROT_EN_CH1	R/W	0h	チャンネル 1 の VDS 保護を有効化
13-9	VDS_OVP_SET_CH2	R/W	10h	CH2 の VDS 保護スレッショルド設定 1A ~ 0X1Fh = 予約済み 00h = 56 mV 01h = 17 mV 02h = 19 mV 03h = 79.6 mV 04h = 87.5 mV 05h = 550 mV 06h = 590 mV 07h = 630 mV 08h = 675 mV 09h = 34 mV 0Ah = 760 mV 0Bh = 142 mV 0Ch = 40 mV 0Dh = 158 mV 0Eh = 925 mV 0Fh = 970 mV 10h = 48 mV 11h = 50 mV 12h = 197 mV 13h = 1130 mV 14h = 57 mV 15h = 220 mV 16h = 1260 mV 17h = 63 mV 18h = 65 mV 19h = 67 mV 1Ah = 69 mV 1Bh = 267 mV 1Ch = 275 mV 1Dh = 283 mV 1Eh = 290.6 mV 1Fh = 79.5 mV
8-7	VDS_OVP_MASK_CH2	R/W	2h	CH2 の VDS マスキング遅延設定 0h = 0us 1h = 5us 2h = 45us 3h = 245us

表 8-44. VDS_CONFIG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-2	VDS_OVP_SET_CH1	R/W	10h	CH1 の VDS 保護スレッショルド設定 1A ~ 0X1Fh = 予約済み 00h = 15 mV 01h = 380 mV 02h = 19 mV 03h = 465 mV 04h = 87.5 mV 05h = 95 mV 06h = 590 mV 07h = 30 mV 08h = 31.5 mV 09h = 720 mV 0Ah = 36 mV 0Bh = 142 mV 0Ch = 150 mV 0Dh = 880 mV 0Eh = 44 mV 0Fh = 173 mV 10h = 1010 mV 11h = 50 mV 12h = 52.5 mV 13h = 205 mV 14h = 1175 mV 15h = 59 mV 16h = 228 mV 17h = 236 mV 18h = 65 mV 19h = 1380 mV 1Ah = 260 mV 1Bh = 71.25 mV 1Ch = 73.3 mV 1Dh = 283 mV 1Eh = 290.6 mV 1Fh = 298 mV
1-0	VDS_OVP_MASK_CH1	R/W	2h	CH1 の VDS マスキング遅延設定 0h = 0us 1h = 5us 2h = 45us 3h = 245us

8.1.43 TEMP_CONFIG レジスタ (オフセット = 3Ch) [リセット = 8403h]

表 8-45 に、TEMP_CONFIG を示します。

概略表に戻ります。

表 8-45. TEMP_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	TSNS_TSD_SET_CH2	R/W	10h	CH2 の外部 FET 過熱 (TSD) スレッシュホルド 00h = 45°C 1B ~ 0XFFh = 予約済み 01h = 50°C 02h = 55°C 03h = 60°C 04h = 65°C 05h = 70°C 06h = 75°C 07h = 80°C 08h = 85°C 09h = 予約済み 0Ah = 90°C 0Bh = 95°C 0Ch = 100°C 0Dh = 予約済み 0Eh = 105°C 0Fh = 110°C 10h = 予約済み 11h = 115°C 12h = 120°C 13h = 125°C 14h = 130°C 15h = 135°C 16h = 140°C 17h = 145°C 18h = 150°C 19h = 155°C 1Ah = 160°C
10-6	TSNS_TSD_SET_CH1	R/W	10h	CH1 の外部 FET 過熱 (TSD) スレッシュホルド 1B ~ 0XFFh = 予約済み 00h = 45°C 01h = 50°C 02h = 55°C 03h = 60°C 04h = 65°C 05h = 70°C 06h = 75°C 07h = 80°C 08h = 85°C 09h = 予約済み 0Ah = 90°C 0Bh = 95°C 0Ch = 100°C 0Dh = 予約済み 0Eh = 105°C 0Fh = 110°C 10h = 予約済み 11h = 115°C 12h = 120°C 13h = 125°C 14h = 130°C 15h = 135°C 16h = 140°C 17h = 145°C 18h = 150°C 19h = 155°C 1Ah = 160°C

表 8-45. TEMP_CONFIG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	TSNS_TSD_MASK_CH2	R/W	0h	CH2 の TSD マスキング時間を設定する 2 ビット 0h = 0us 1h = 7.5us Ah = 50us Bh = 500us
3-2	TSNS_TSD_MASK_CH1	R/W	0h	CH1 の TSD マスキング時間を設定する 2 ビット 0h = 0us 1h = 7.5us Ah = 50us Bh = 500us
1	TSD_EN_CH2	R/W	1h	CH2 の TSD を有効 / 無効にする 1 ビット 0h = CH2 の TSD 機能が無効 1h = CH2 用の TSD 機能を有効化
0	TSD_EN_CH1	R/W	1h	CH1 の TSD を有効 / 無効にする 1 ビット 0h = CH1 の TSD 機能が無効 1h = CH1 用の TSD 機能を有効化

8.1.44 DEV_CONFIG_2 レジスタ (オフセット = 3Dh) [リセット = 0000h]

DEV_CONFIG_2 を表 8-46 に示します。

概略表に戻ります。

表 8-46. DEV_CONFIG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	AUTOLPM_COMP_ACTIV E_SD_EN	R/W	0h	このビットを設定すると、アクティブ時に AUTOLPM コンパレータが High を検出した場合、GATEx がオフになります 0h = アクティブ モードでは、AUTOLPM コンパレータはゲート制御に影響しません。 1h = アクティブ モードで AUTOLPM コンパレータがトリガされると、GATEx がオフになります。
14	TSD_CONT_FLT_EN	R/W	0h	コントローラの過熱警告ビットが High になると、このビットによって故障が通知されます。 0h = コントローラ過熱警告は FLT ピンでは通知されません。 1h = コントローラの過熱警告が FLT ピンで通知されます。
13	ISNS_POLARITY_FLT_E N	R/W	0h	ISNS_POLARITY ビットが 1 になると、このビットは High にセットされます 0h = FLT ベースの ISNS_POLARITY_CHx に基づく故障は FLT ピンに通知されません。 1h = FLT ベースの ISNS_POLARITY_CHx に基づく故障が FLT ピンに通知されます
12	RNTC_TYPE_CH2	R/W	0h	このビットは、TSNS CH2 の RNTC タイプを設定します 0h = 25C で 10k NTC 1h = 25C で 47k NTC
11	RNTC_TYPE_CH1	R/W	0h	このビットは、TSNS CH1 の RNTC タイプを設定します 0h = 25C で 10k NTC 1h = 25C で 47k NTC
10	LOAD_WAKE DEGLITCH	R/W	0h	このビットは、ロード ウェークアップのグリッチ除去を設定します 0h = ロード ウェークアップはグリッチ除去されていません 1h = ロード ウェークアップは 50us によってグリッチ除去されます
9-8	SAMPLING_FREQ_CH2	R/W	0h	EN_SAMPLING_CH2 が設定されている場合の、LPM 中の CH2 のサンプリング周波数を設定します 0h = 10Hz 1h = 20Hz Ah = 40Hz Bh = 80Hz
7-6	SAMPLING_FREQ_CH1	R/W	0h	EN_SAMPLING_CH1 が設定されている場合の、LPM 中の CH1 のサンプリング周波数を設定します 0h = 10Hz 1h = 20Hz Ah = 40Hz Bh = 80Hz
5	EN_SAMPLING_CH2	R/W	0h	このビットは、LPM 中の CH2 の CP サンプリングを設定します 0h = LPM 中の CH2 の CP サンプリング機能が無効 1h = LPM 中の CH2 の CP サンプリング機能が有効
4	EN_SAMPLING_CH1	R/W	0h	このビットは、LPM 中の CH1 の CP サンプリングを設定します 0h = LPM 中の CH1 の CP サンプリング機能が無効 1h = LPM 中の CH1 の CP サンプリング機能が有効
3-2	CONFIG_DI_MASK	R/W	0h	このビットは、Dlx/OUT_DISx ピンのマスキング時間を設定します 0h = 0us 1h = 8.5us Ah = 12us Bh = 23us

表 8-46. DEV_CONFIG_2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	CONFIG_LHI_MASK	R/W	0h	このビットは、LHI ピンのマスキング時間を設定します 0h = 0us 1h = 10us Ah = 12us Bh = 23us

8.1.45 DEV_CONFIG_3 レジスタ (オフセット = 3Eh) [リセット = FF00h]

DEV_CONFIG_3 を表 8-47 に示します。

[概略表](#)に戻ります。

表 8-47. DEV_CONFIG_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R	FFh	予約済み
7	EN_GRTR_PAAT_THRES H	R/W	0h	このビットを設定すると、電源にトランジェントが発生する可能性があるユー スケース向けに、オン状態の全チャネルで FET_SHRT_BIST の高スレッ シヨルドが有効になります 0h = PAAT スレッシヨルドは 0.8V です 1h = PAAT スレッシヨルドは 7V です
6	LIMPHOME_STAT_FLT_E N	R/W	0h	このビットは、FLT ピンの LIMPHOME_STAT ビットを有効化します。 0h = LIMPHOME_STAT ビットは FLT ピンで通知されません 1h = LIMPHOME_STAT ビットが FLT ピンで通知されます
5	CNFG_ISNS_DLY_CH2	R/W	0h	CH2 の ISNS の遅延時間を選択するビット
4	CNFG_ISNS_DLY_CH1	R/W	0h	CH1 の ISNS の遅延時間を選択するビット
3-2	VDS_GAIN_CH2	R/W	0h	このビットは、CH2 の VDS アンプのゲインを設定します。00 = VDS セン スおよび保護を無効、01 = 30V/V、10 = 8V/V、11 = 1.5V/V
1-0	VDS_GAIN_CH1	R/W	0h	このビットは、CH1 の VDS アンプのゲインを設定します。00 = VDS セン スおよび保護を無効、01 = 30V/V、10 = 8V/V、11 = 1.5V/V

8.1.46 EEPROM_PROGRAM_CONTROL_STATUS レジスタ (オフセット = 3Fh) [リセット = FFFCh]

表 8-48 に、EEPROM_PROGRAM_CONTROL_STATUS を示します。

概略表に戻ります。

表 8-48. EEPROM_PROGRAM_CONTROL_STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	3FFFh	予約済み
1	予約済み	R	0h	このビットは、EEPROM が NVM が読み取りまたは再プログラム シーケンス中でビジー状態かどうかを示します。 0h = EEPROM 関連の動作はありません 1h = EEPROM はビジーです
0	予約済み	R	0h	このビットは、EEPROM が再プログラム シーケンス中かどうかを示します。 このビットは、動作完了後に自動的に 0 にクリアされます。 0h = EEPROM 関連の動作はありません 1h = EEPROM は再プログラム シーケンスを実行中です

8.2 EEPROM (NVM) の概要

TPS12S24F-Q1 は、一部の設定レジスタおよびユーザー定義のプログラマブル レジスタ用に、ユーザーが設定可能な電氣的にプログラム可能な読み取り専用メモリ (EEPROM) を備えています。これにより、ユーザーはこれらのレジスタのデフォルト値を再プログラムすることができます。表に、EEPROM プログラミング手順により、どのレジスタをプログラムできるかを示します。

表 8-49. レジスタの概要

オフセット	レジスタ名	EEPROM ユーザー プログラマブル
00h	DEV_ID	N
01h	SLEEP	N
02h	LPM	N
03h	FAULT_GLOBAL	N
04h	FAULT_MASK	Y
05h	BIST_RESULT	N
06h	SW_STATE	N
07h	DEVICE_TEST	N
08h	DEV_CONFIG	Y
09h	ADC_CONFIG	N
0Ah	ADC_RESULT_VBB	N
0Bh	ADC_RESULT_BIST	N
0Ch	FLT_STAT_CH1	N
0Dh	PWM_CH1	Y
0Eh	ILIM_CONFIG_CH1	Y
0Fh	DIAG_CONFIG_CH1	Y
10h	ADC_RESULT_CH1_I	N
11h	ADC_RESULT_CH1_T	N
12h	ADC_RESULT_CH1_V	N
13h	ADC_RESULT_CH1_VDS	N
14h	I2T_CONFIG_CH1	Y
15h	FLT_STAT_CH2	N
16h	PWM_CH2	Y

表 8-49. レジスタの概要 (続き)

オフセット	レジスタ名	EEPROM ユーザー プログラマブル
17h	ILIM_CONFIG_CH2	Y
18h	DIAG_CONFIG_CH2	Y
19h	ADC_RESULT_CH2_I	N
1Ah	ADC_RESULT_CH2_T	N
1Bh	ADC_RESULT_CH2_V	N
1Ch	ADC_RESULT_CH2_VDS	N
1Dh	I2T_CONFIG_CH2	Y
1Eh	I2T_TRIP_CH1	Y
1Fh	I2T_ACC_RD_CH1	N
20h	I2T_ACC_RD_CH2	N
32h	DEVICE_DIAGNOSTIC	N
33h	I2T_TRIP_CH2	Y
34h	ADC_RESULT_TCONT	N
35h	SCP_CONFIG_CH1	Y
36h	SCP_CONFIG_CH2	Y
37h	UV_CONFIG_CH1	Y
38h	UV_CONFIG_CH2	Y
39h	OV_CONFIG_CH1	Y
3Ah	OV_CONFIG_CH2	Y
3Bh	VDS_CONFIG	Y
3Ch	TEMP_CONFIG	Y
3Dh	DEV_CONFIG_2	Y
3Eh	DEV_CONFIG_2	Y
3Fh	EEPROM_PROGRAM_CONTROL_STATUS	Y

EEPROM のプログラミング手順

ユーザーがプログラム可能なレジスタのデフォルト値は、以下の手順によって再プログラムすることができます。EEPROM を正しく再プログラムするには、以下の条件を満たす必要があります

- VS 電圧 $\geq 6V$ 、デバイスの GND を基準とします
- VDD 電圧 $> VDD_{UVLO}$ 、デバイス GND を基準とします

図に、デフォルト値を再プログラムする手順を示します。

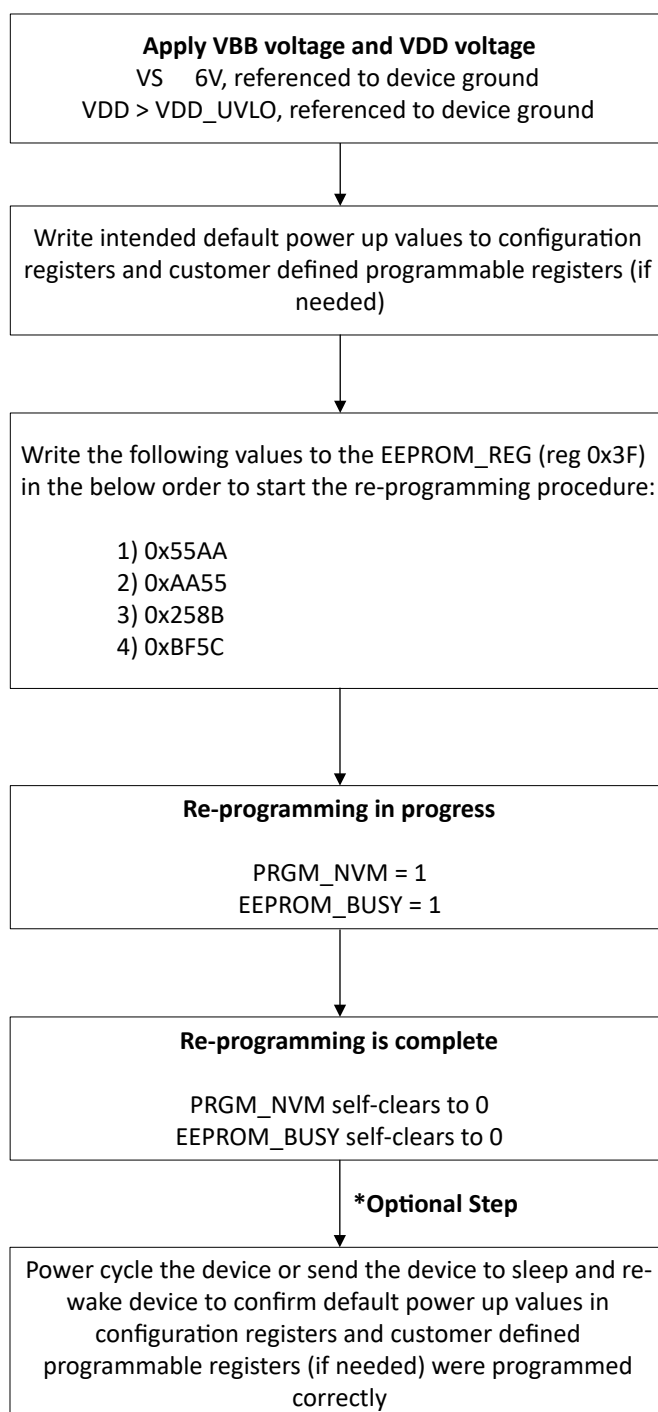


図 8-1. EEPROM の再プログラミング手順

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

9.2 代表的なアプリケーション

9.2.1 自動負荷ウェークアップおよび出力バルク コンデンサ充電による常時オン (PAAT) 負荷の駆動

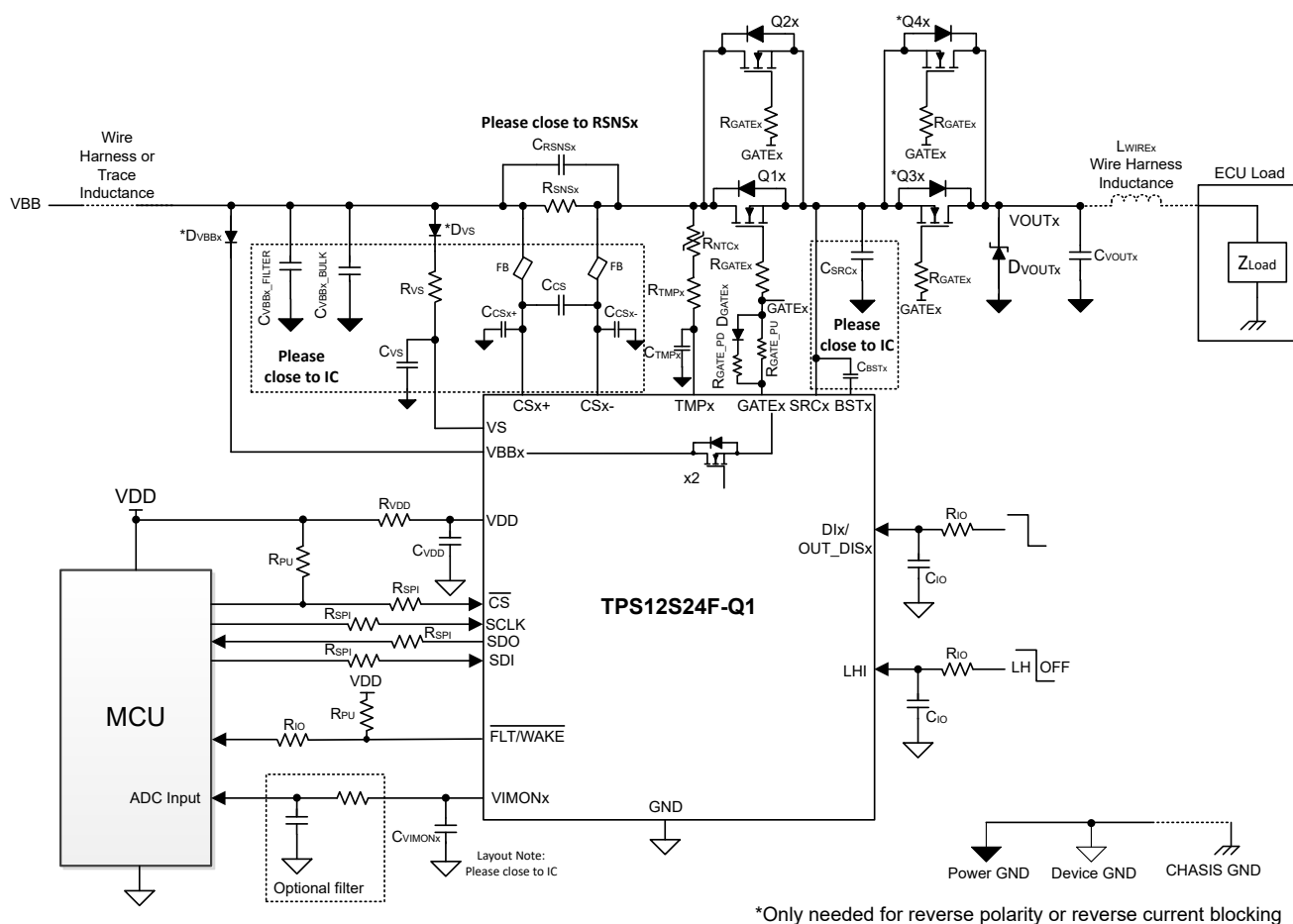


図 9-1. 代表的なアプリケーション

プログラミング手順の例

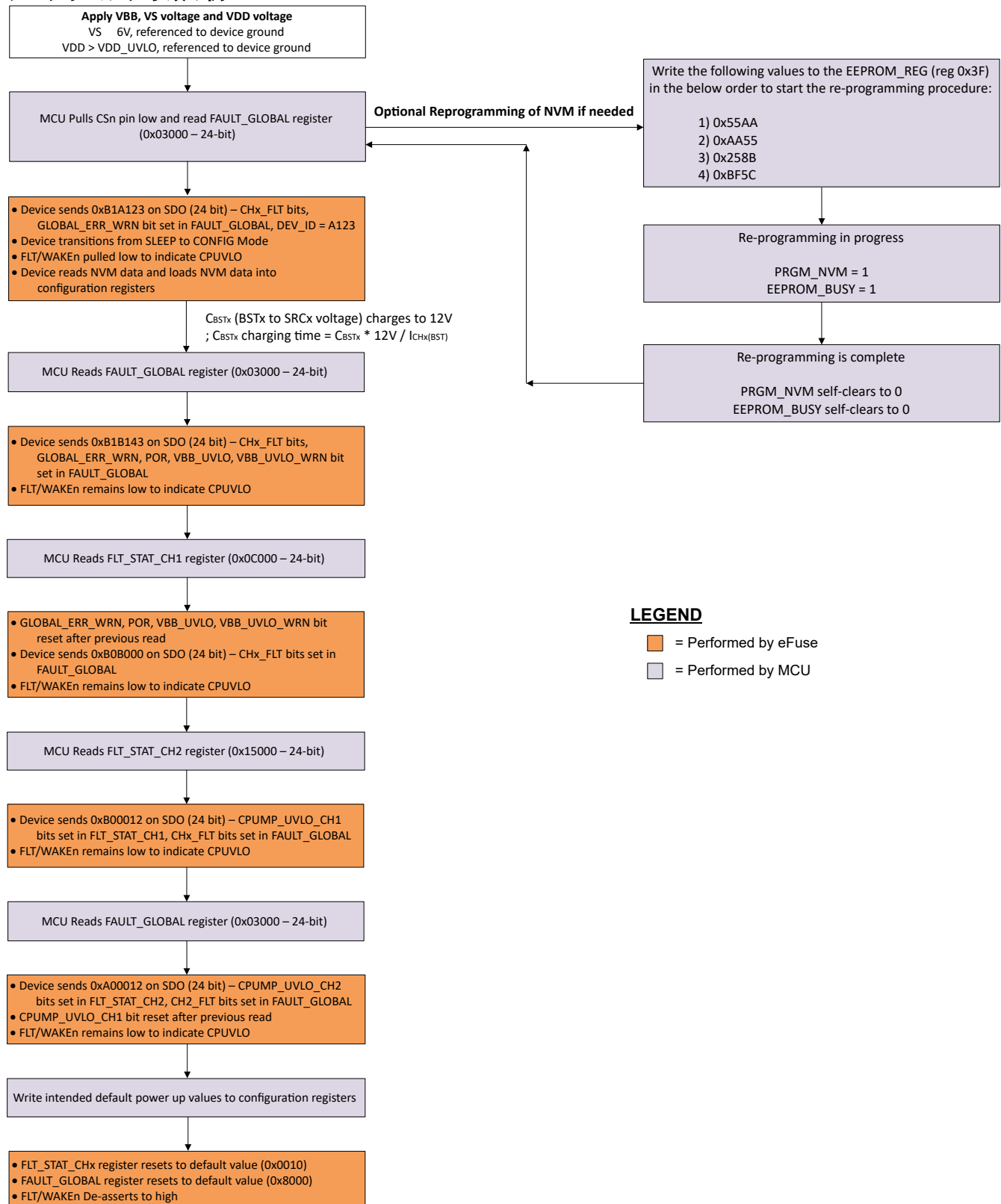


図 9-2. TPS12S24F-Q1 プログラミング手順の例

9.2.1.1 設計要件

表 9-1. 設計パラメータ

パラメータ	値
標準入力電圧 $V_{BATT_MIN} \sim V_{BATT_MAX}$	48V システム設計向けに 16V ~ 60V または、12V のシステム設計向けに 6V ~ 35V
低電圧誤動作防止設定ポイント、 $V_{(VBB_UVLOF)}$	48V システム設計向けに 16V 48V システム設計向けに 6V
最大負荷電流、 I_{OUT}	50A
I^2t 開始スレッシュホールド、 I_{NOM}	60A
短絡保護回路スレッシュホールド、 I_{SC}	150A
故障応答	ラッチ
負荷ウェークアップ スレッシュホールド、 I_{LWU}	100mA
出力バルク キャパシタ、 C_{BULK}	3mF

9.2.1.2 詳細な設計手順

メイン バス MOSFET の選択

MOSFET の選択に重要な電氣的パラメータは、最大連続ドレイン電流 ID 、最大ドレイン ソース間電圧 $V_{DS(MAX)}$ 、最大ドレイン ソース間電圧 $V_{GS(MAX)}$ 、ドレイン ソース間オン抵抗 $R_{DS(ON)}$ です。最大連続ドレイン電流定格 (ID) は、最大連続負荷電流を超える必要があります。最大ドレイン - ソース間電圧 $V_{DS(MAX)}$ は、このアプリケーションで見られる最大の電圧に耐えるのに十分な高さが必要です。

ブートストラップ コンデンサ C_{BSTx} の選定

内蔵チャージ ポンプが、外付けのブートストラップ コンデンサ ($BSTx$ ピンと $SRCx$ ピンの間に接続) を、 $I_{CHx(BST)}$ の電流で充電します。複数の FET を並列駆動する場合のブートストラップ コンデンサの最小必要値は、以下の式を用いて計算してください。

$$C_{BSTx} = 10 \times \left[\frac{Q_{gx(total)}}{\Delta V_{BST}} + C_{GATEx} \right] \quad (11)$$

C_{GATEx} は、バルク コンデンサ充電にメイン FET ゲート スルーレート制御方式を使用している場合のみ必要です。

構成レジスタの設定

ビット フィールド名	設定
CAP_CHRG_CHx	コンデンサの充電方式を設定します
INRUSH_DURATION_CHx	突入時間を設定します
LPM_EXIT_CURR_CHx	負荷ウェークアップ電流を設定します
UV_CONFIG_CHx	VBB UVLO スレッシュホールド、ヒステリシス、マスキング時間を設定します
I2T_CONFIG_CHx	I2T 開始スレッシュホールド、クールダウン タイマを設定します
I2T_TRIP_CHx	I2T トリップ スレッシュホールドを設定します
SCP_CONFIG_CHx	SCP スレッシュホールド、マスキング時間を設定します

ビット フィールド名	設定
LATCH_CHx	自動の再試行またはラッチ

9.2.1.3 アプリケーション曲線

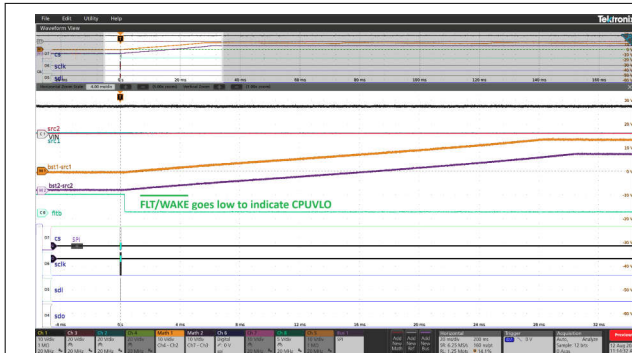


図 9-3. デバイスをスリープモードから CONFIG モードへ移行させるために $\overline{CS}$ を High から Low にプルダウン

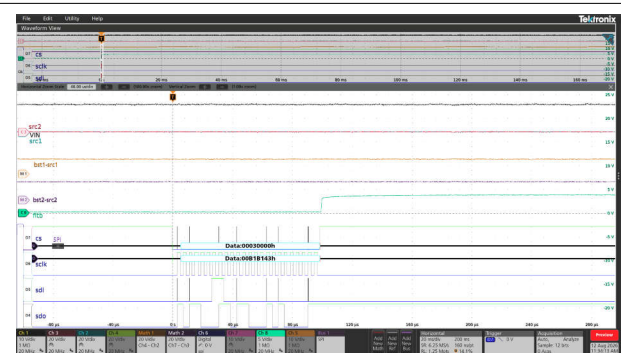


図 9-4. これらのレジスタをクリアして $\overline{FLT/WAKE}$ ピンをデアサートするため、最初に $\overline{FLT_STAT_CHx}$ 、次に $\overline{FAULT_GLOBAL}$ レジスタを読み取り

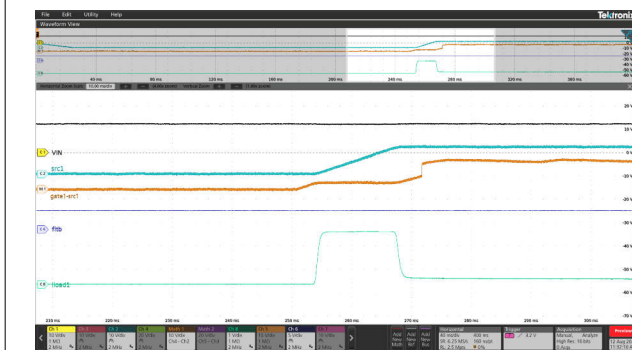


図 9-5. $C_{OUT} = 3.3\text{mF}$ 、 $C_{GATE} = 100\text{nF}$ 、 $C_{BST} = 2\mu\text{F}$ 、 $CAP_CHRG_CHx = 0x1$ (メインパス GATE スルーレート制御) で CHx_ON ビットを '0' から '1' に設定



図 9-6. $C_{OUT} = 3.3\text{mF}$ 、 $C_{GATE} = 100\text{nF}$ 、 $C_{BST} = 2\mu\text{F}$ 、 $LIN = 5\mu\text{H}$ 、 $LOUT = 1\text{mH}$ 、PWM 周波数 = 885Hz、 $CAP_CHRG_CHx = 0x3$ (PWM 方式) で CHx_ON ビットを '0' から '1' に設定



図 9-7. $C_{OUT} = 3.3\text{mF}$ 、 $C_{BST} = 2\mu\text{F}$ 、 $LIN = 2\mu\text{H}$ 、 $LOUT = 1\mu\text{H}$ 、SCP スレッショルド = 10mV、SCP 遅延 = 5.2 μs 、自動再試行時間 = 1ms、 $FOLDBACK_LATCH_DIS = 0x1$ (無限自動再試行サイクル)、 $CAP_CHRG_CHx = 0x0$ (SCP ベースの自動再試行) で CHx_ON ビットを '0' から '1' に設定

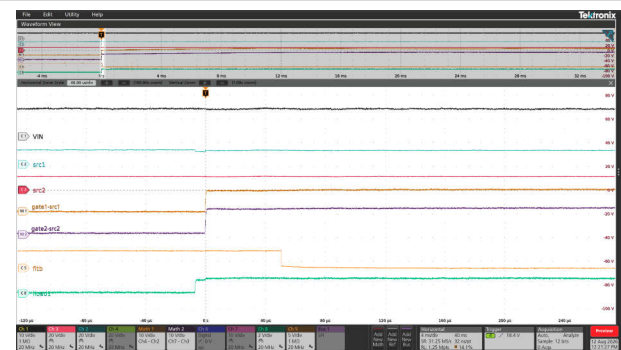


図 9-8. 負荷電流の増加による LPM からアクティブモードへの移行

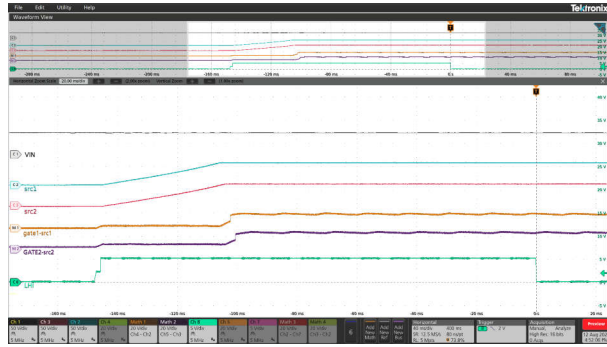


図 9-9. CONFIG から LIMPHOME モード :
CAP_CHRG_CHx = 0x1 (メインパス ゲートスルー
レート制御) で LHI が Low から High にプルされた場
合に、構成を、 $C_{OUT} = 3.3\text{mF}$ 、 $C_{GATE} = 100\text{nF}$ 、 $C_{BST} = 2\mu\text{F}$ で設定

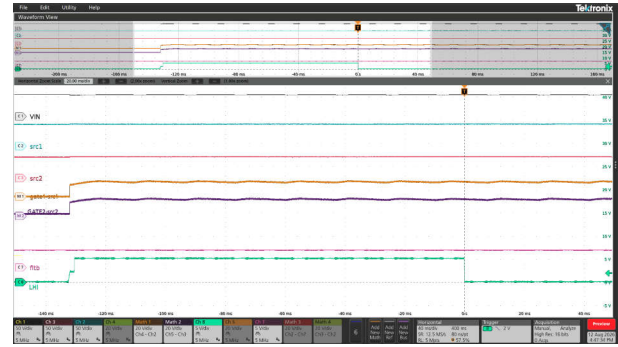


図 9-10. LHI を Low から High にプルアップしたとき
の LPM から LIMPHOME モードへの移行

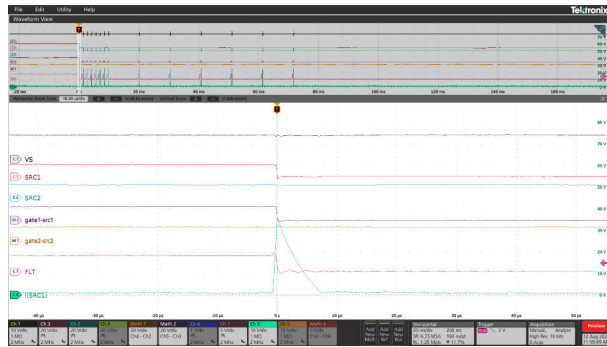


図 9-11. $RSNS = 1\text{m}\Omega$ 、SCP スレッシュホールド = 20mV 、
SCP 遅延 = $1.1\mu\text{s}$ 、FOLDBACK_LATCH_DIS = 0x0
(有限再試行サイクル) でのアクティブモードにおける
CH1 の出力グランド短絡故障動作



図 9-12. $RSNS = 1\text{m}\Omega$ 、SCP スレッシュホールド = 20mV 、
SCP 遅延 = $1.1\mu\text{s}$ 、自動再試行時間 = 1ms 、
FOLDBACK_LOCK_DIS = 0x0 (有限自動再試行サイ
クル) でのアクティブモードにおける CH1 の出力グ
ランド短絡故障動作の拡大図

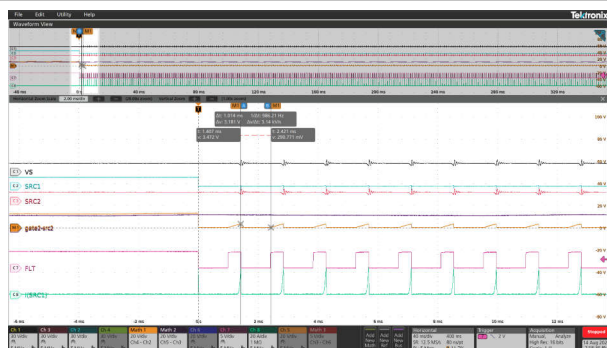


図 9-13. $RSNS = 1\text{m}\Omega$ 、SCP スレッシュホールド = 20mV 、
SCP 遅延 = $1.1\mu\text{s}$ 、自動再試行時間 = 1ms 、
FOLDBACK_LOCK_DIS = 0x1 (無限自動再試行サイ
クル) でのアクティブモードにおける CH1 の出力グ
ランド短絡故障動作の拡大図

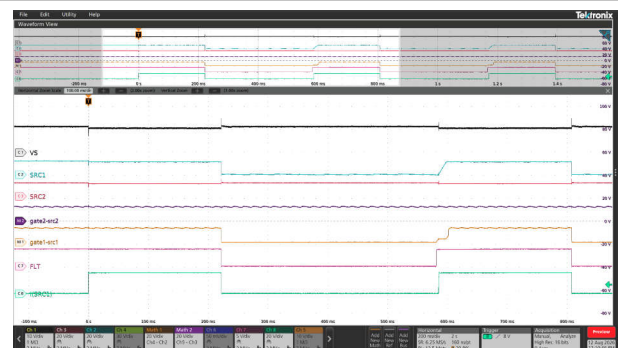


図 9-14. アクティブモードでの CH1 での I2T 保護動
作

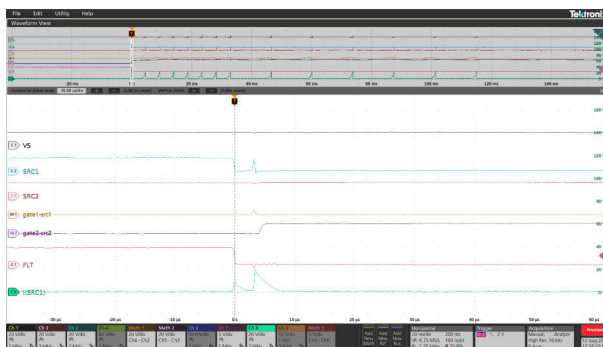


図 9-15. RSNS = 1mΩ、SCP スレッシュホールド = 20mV、SCP 遅延 = 1.1μs、FOLDBACK_LATCH_DIS = 0x0 (有限自動再試行サイクル) での低消費電力モード (LPM) における CH1 の出力グランド短絡故障動作

9.3 システム例

9.3.1 TPS12S24F-Q1 のシステム レベル構成

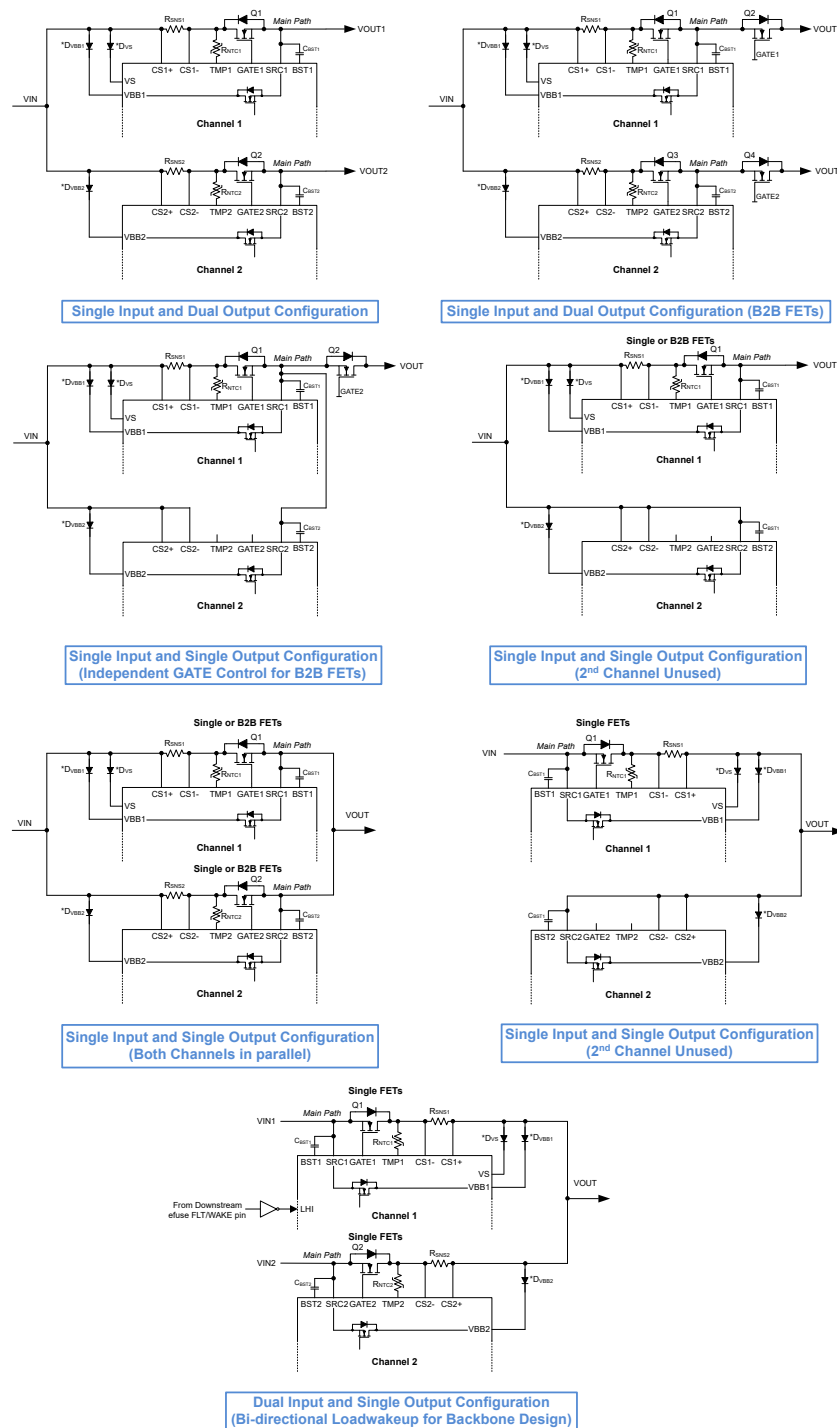


図 9-16. TPS12S24F-Q1 でサポートされているシステム レベル構成

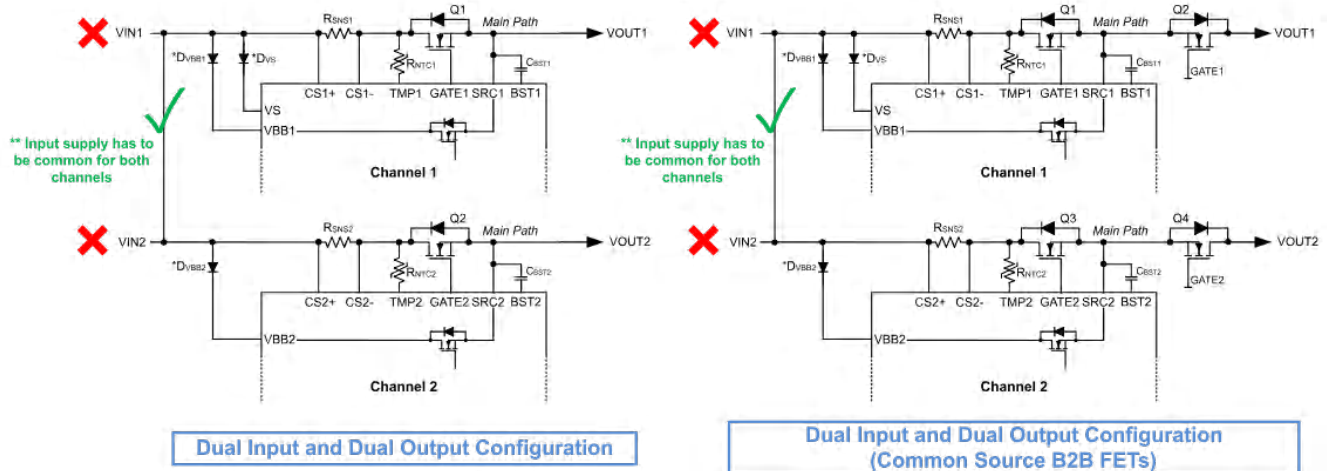


図 9-17. TPS12S24F-Q1 ではサポートされていないシステム レベル構成

9.4 電源に関する推奨事項

9.4.1 過渡と EMI/EMC に関する推奨事項

GATEx 制御、過電流または短絡、FET の過熱保護などの条件によって外部 MOSFET がオフになり、電流フローが遮断されると、入力側の寄生配線インダクタンスによって入力に正の電圧スパイクが発生し、出力側の寄生インダクタンスによって出力に負の電圧スパイクが発生します。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何等かの策を講じない場合は、こうした過渡現象によって、デバイスの絶対最大定格を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- 入力と GND の間に TVS ダイオードと入力コンデンサを組み合わせることで、エネルギーを吸収し、正の過渡電圧を減衰させることができます。
- 出力と GND の間にダイオードまたは TVS ダイオードを配置して、負のスパイクを吸収します。

図 9-18 に、オプションの保護部品を使用した回路実装を示します。

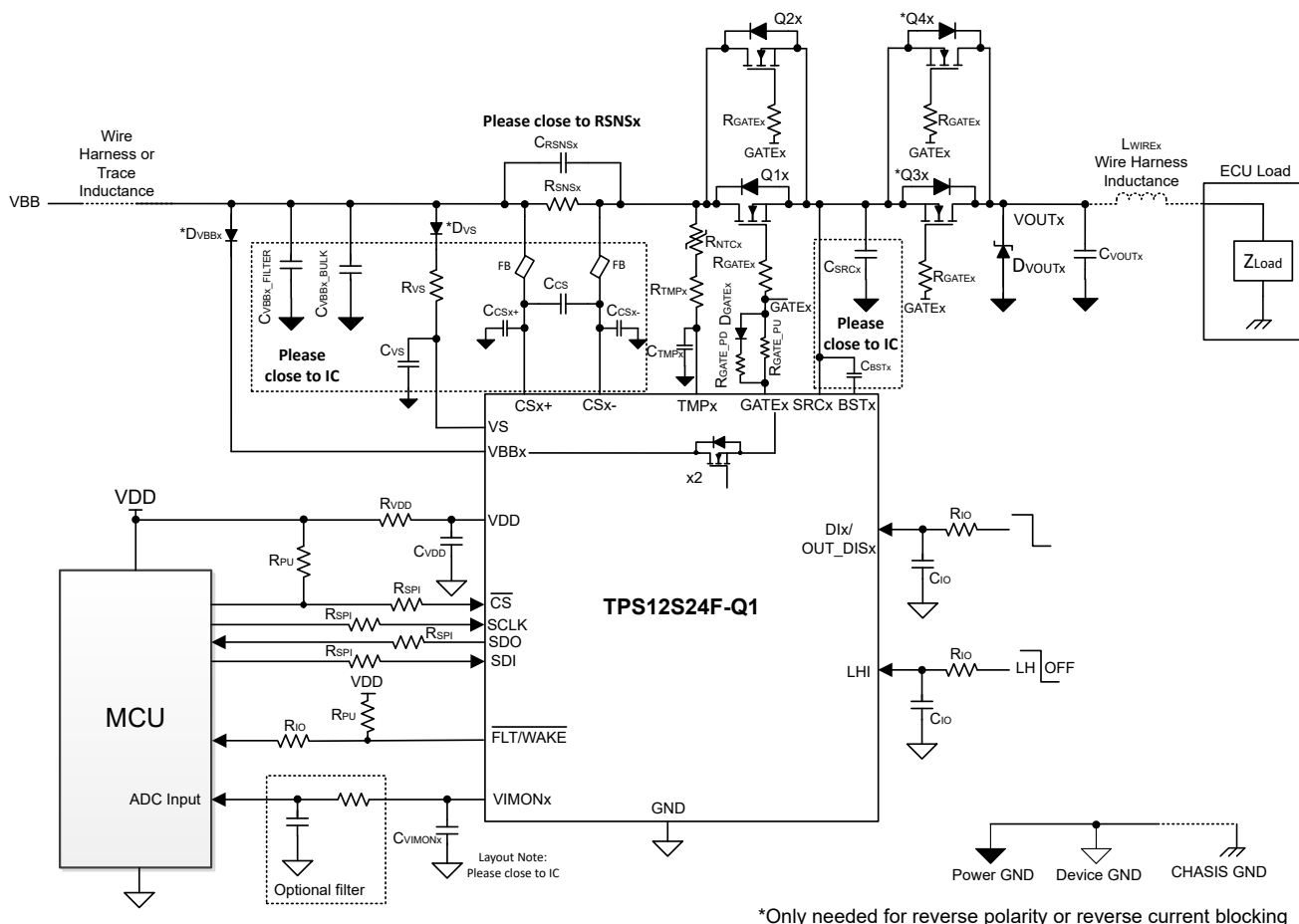


図 9-18. TPS12SxxF-Q1 の回路実装における保護部品

表 9-2. 電源および EMI 対策用部品

部品記号	説明	推奨値
R_{VS} 、 C_{VS}	デバイスは VS ピンから電源供給を受けます。ノイズを伴うライン過渡時に正常動作を確保するため、このピンの電圧は $V_{(VS_PORR)}$ レベル以上を提供する必要があります。	100Ω、1 ~ 10μF
R_{VDD} 、 C_{VDD}	ノイズを伴うライン過渡時に正常動作を確保するため、このピンの電圧は $V_{(VDD_PORR)}$ レベル以上に維持する必要があります。	4.7 ~ 10Ω、1 ~ 10μF
C_{VBBx_BULK}	出力の高速ハード短絡によるグランド故障時に、デバイスの低電圧状態を防止する必要があります。デバイス CSx+ ピンの近くに配置します。	10-100μF
C_{VBBx_FILTER}	電源過渡を除去する必要があります。デバイス CSx+ ピンの近くに配置します。	0.01-1μF
$*D_{VBBx}$ 、 $*D_{VS}$ 、 $*Q3_x$ 、 $*Q4_x$	入力の逆極性保護に必要です	VS および VBBx 上のショットキー ダイオード
$FB1$ 、 $FB2$ 、 C_{CS} 、 C_{CSx+} 、 C_{CSx-} 、 C_{VIMONx} 、 C_{TMPx}	EMI/EMC 試験時の耐性性能を向上させるため、 CSx+ 、 CSx- ピンにフェライト ビーズ (FB1 、 FB2) が必要になる場合があります。堅牢な耐性性能を実現するには、イミュニティ試験の種類および周波数帯域に応じて、 C_{CS} 、 C_{CSx+} 、 C_{CSx-} 、 C_{TMPx} 、 C_{VIMONx} を使用した追加のフィルタリングも必要です。ISNS、I2T、SCP の精度に大きな影響を与えないように、 CSx+ および CSx- ピンに使用するフェライト ビーズは、DC 抵抗が非常に低いものを選択する必要があります。	MMZ1608B102CTA00、 C_{TMPx} には 10pF、その他には 10pF ~ 100nF
R_{GATE_PU} 、 R_{GATE_PD} 、 D_{GATEx} 、 R_{GATEx}	GATE ピンに接続された抵抗により、外付け FET の立ち上がり時間および立ち下がり時間を制御できます。並列に接続された個々の外部 FET には、個別の R_{GATE_PU} を使用する必要があります。	任意の値

表 9-2. 電源および EMI 対策用部品 (続き)

部品記号	説明	推奨値
C _{SRcx} 、C _{VOUTx}	出力の高速ハード短絡によるグラウンド故障時に、SRCx ピンのスルー レートを 200V/us 未満に制限します。 C _{SRcx} の計算には、 $I = C \times dV/dt$ を使用します。ここで、I = ピーク電流、dV は最大入力電圧、dt = GATEx のターンオフ時間です	0.1-10μF
R _{SPI}	すべての SPI または I/O ピンは、過渡イベントから保護するため、抵抗を介してマイコンまたはその他の HI/LO 信号源に接続する必要があります。 * 直列抵抗の値を大きくすると SPI 通信周波数が制限される可能性があるため、SPI ラインの等価寄生容量を考慮して直列抵抗を慎重に選定する必要があります。	100 ~ 500Ω
R _{SDO}	SDO ピンは、過渡イベントから保護するため、抵抗を介してマイコンまたはその他の HI/LO 信号源に接続する必要があります。	100 ~ 1000Ω
R _{IO} 、C _{IO}	LHI および DIX/OUT_DISx ピンの過渡を除去します	0.01 ~ 10kΩ、1 ~ 10nF
R _{PU}	プルアップ抵抗	1 - 10kΩ

9.5 レイアウト

9.5.1 レイアウトのガイドライン

- センサ抵抗 (R_{SNSx}) は TPS12S24F-Q1 の近くに配置し、ケルビン技法を使用して R_{SNSx} を接続する必要があります。ケルビン技法の詳細については、『適切なセンサ抵抗のレイアウトの選択』を参照してください。
- すべてのアプリケーションにおいて、TI は VS 端子と GND 間に 1μF 以上のセラミック デカップリング コンデンサと 0.1μF のコンデンサを並列接続することを推奨します。電力線の障害に対するデカップリングを改善するために、コントローラの電源ピン (VS) に RC ネットワークを追加することを検討してください。
- すべてのアプリケーションにおいて、TI は、GATEx のターンオフ時に SRCx のスルーレートを制限するため、SRCx 端子と GND 間に 0.1μF のセラミック デカップリング コンデンサを接続することを推奨します。
- ボードの入力から負荷への大電流パスおよび帰路は並列かつ互いに近接して配置し、ループ インダクタンスを最小化する必要があります。
- 短いゲート ループを形成するために、MOSFET のゲートが GATEx ピンの近くに配置されるように、外部 MOSFET はコントローラの近くに配置する必要があります。必要に応じて、高周波発振を抑制するため、各外部 MOSFET のゲートと直列に抵抗のプレースホルダを追加することを検討します。
- TVS ダイオードを入力に配置して、ホットプラグ時および高速ターンオフ時の過渡電圧をクランプします。
- 非常に短いループを形成するために、外部ブートストラップ コンデンサは、BSTx ピンと SRCx ピンの近くに配置する必要があります。
- TPS12S24F-Q1 の周囲にある各種部品のグラウンド接続は、互いに直接接続し、TPS12S24F-Q1 の GND に接続してから、システム グラウンドに一箇所で接続する必要があります。各種部品のグラウンドは、高電流のグラウンド ライン経由で相互に接続しないでください。

ADVANCE INFORMATION



10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

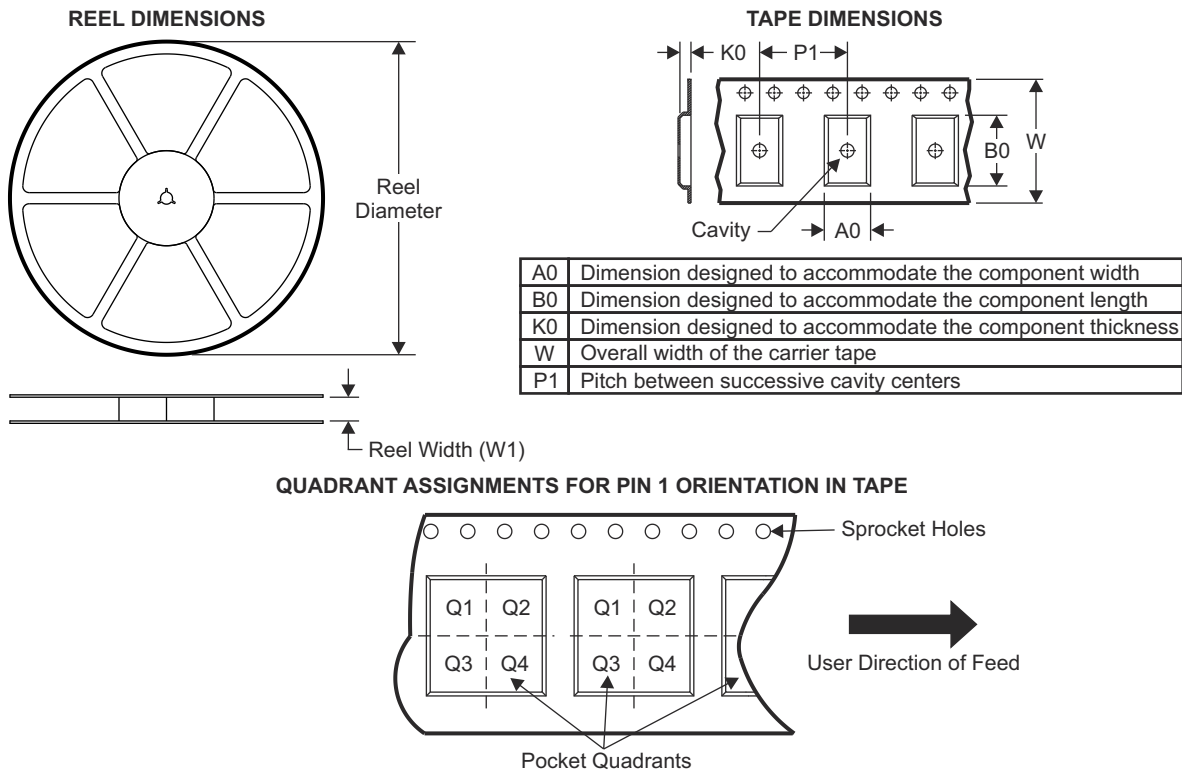
11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
August 2026	*	初版リリース

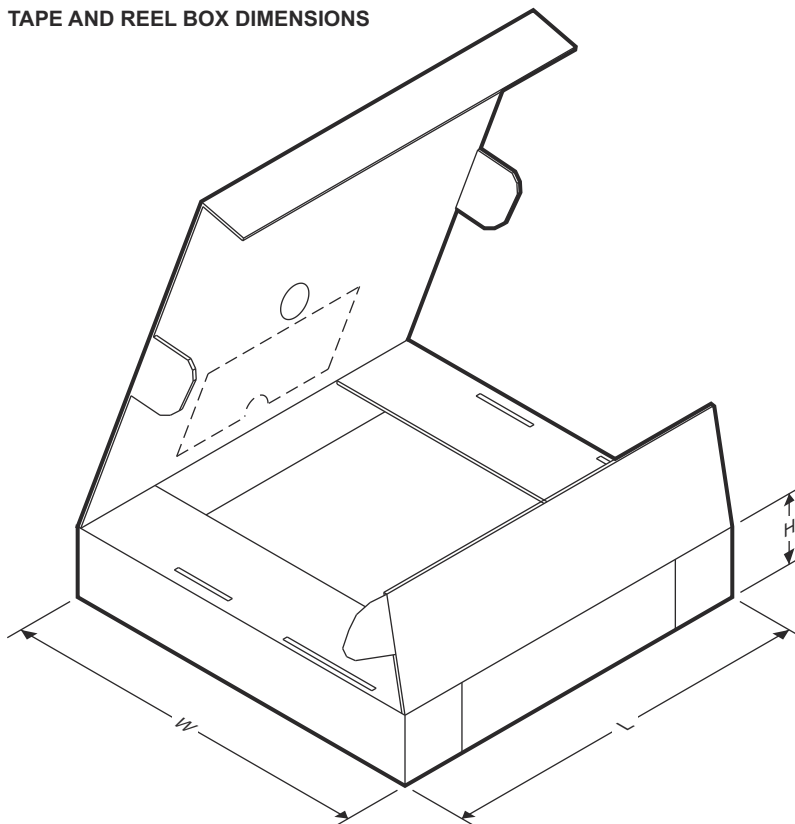
12 メカニカル、パッケージ、および注文情報

12.1 テープおよびリール情報



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
PTPS12S24FQRHBRQ 1	VQFN	RHB	30	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

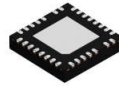
TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PTPS12S24FQRHBRQ1	VQFN	RHB	30	3000	367.0	367.0	35.0

12.2 メカニカル データ

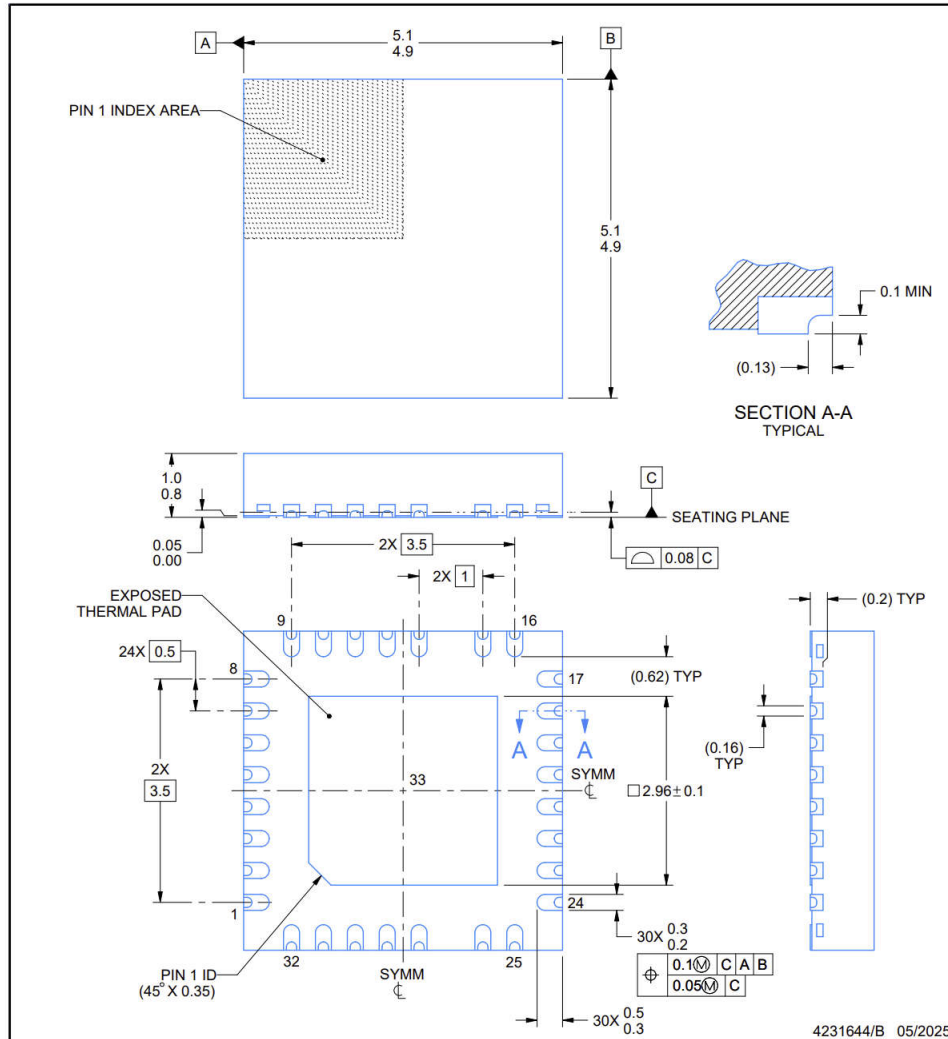
RHB0032AB



PACKAGE OUTLINE

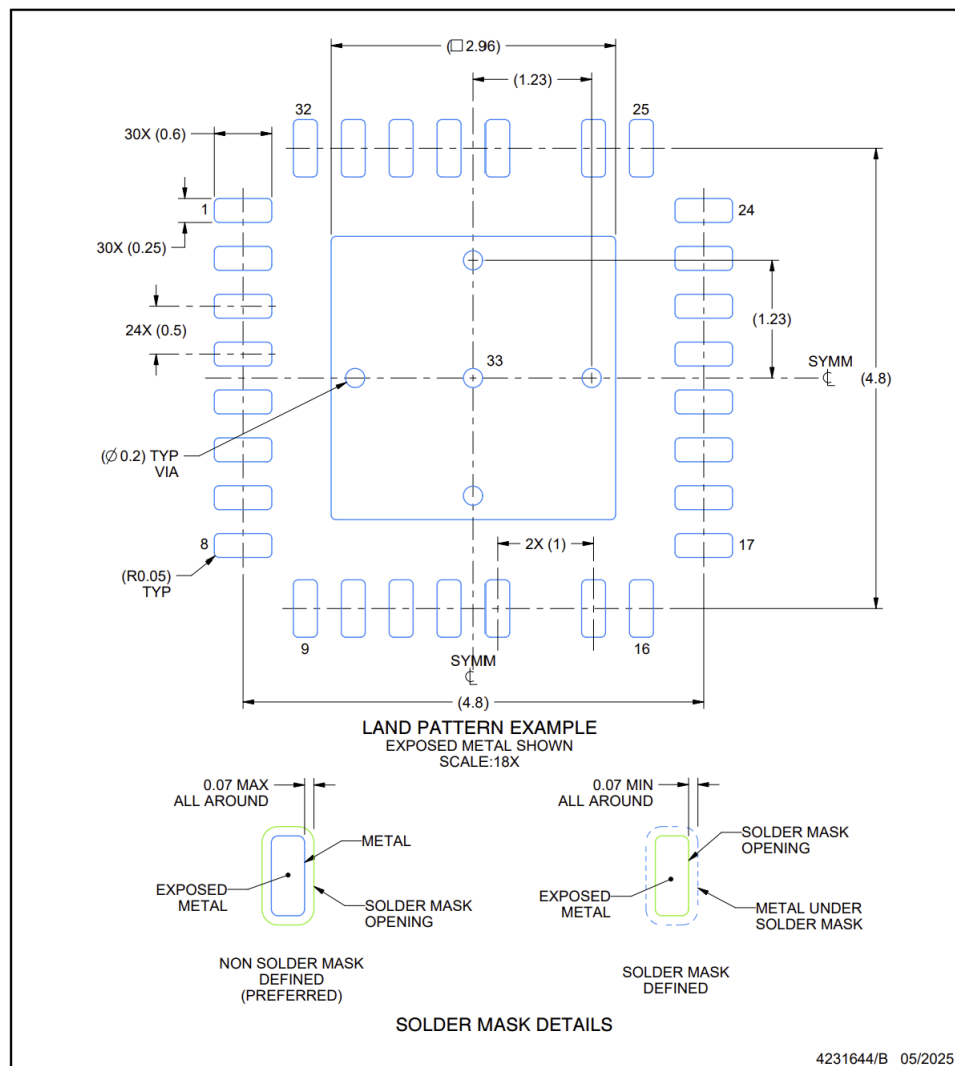
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



NOTES: (continued)

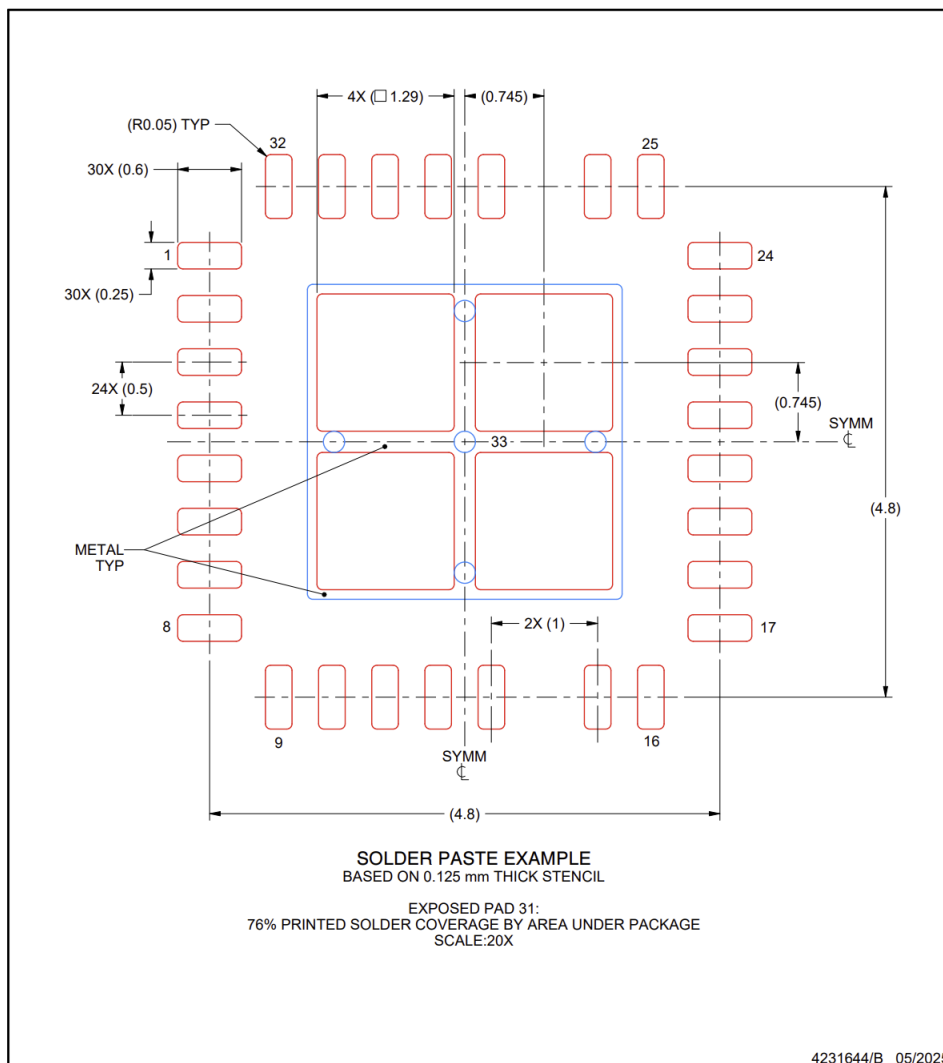
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032AB

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS12S24FQRHBRQ1	Active	Preproduction	VQFN (RHB) 30	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月