

TPS1641x 40V、1.8A 電力および電流制限 eFuse (入力と出力の間の短絡検出機能搭載)

1 特長

- 動作電圧範囲 (IN):
 - 4.5V ~ 40V (電力制限デバイス)
 - 2.7V ~ 40V (電流制限デバイス)
- 出力側で最大 -1V の負電圧に対応
- 非常に小さいオン抵抗: $R_{ON} = 152m\Omega$ (標準値)
- 2W ~ 64W の電力制限
- 0.03A ~ 1.8A 電流制限
- 入力と出力の間の短絡を検出し、 $\overline{FLT}$ ピンで通知
- $\overline{FLT}$ 出力を診断と外部 PFET の駆動に使用可能
- 15W 時に $\pm 5\%$ の精度の電力制限 (電力制限デバイス)
- 1A 時に $\pm 6\%$ の精度の電流制限 (電流制限デバイス)
- 構成可能な過電圧保護
- 構成可能な過電流保護 (I_{OCP})
- 過渡電流のブランキング時間を構成可能
- 外部 FET による最大 60V の過電圧保護
- 突入電流からの保護のために出力スルーレート制御 (dV/dt) を調整可能
- イネーブルおよびシャットダウン制御
- IOCP ピンで出力負荷電流を監視
- サーマル シャットダウンによる過熱保護 (OTP)
- 小さい占有面積: QFN 3 × 3mm、0.5mm ピッチ
- UL 2367 認定
 - ファイル番号 E169910
 - $R_{ILM} \geq 5.1k\Omega$
- IEC 62368-1 CB 認証

2 アプリケーション

- 冷蔵庫と冷凍庫
- オープン
- 食器洗い機
- HVAC (空調) バルブおよびアクチュエータの制御
- 呼吸補助装置
- 麻酔供給システム

3 説明

TPS1641x ファミリーは、高精度の電力制限または電流制限機能付きの統合型 eFuse デバイスです。デバイスファミリーは、過電流保護、過電圧保護、入力と出力の間の短絡検出、過熱保護機能を内蔵し、堅牢な保護を実現します。

TPS16410、TPS16411、TPS16414、TPS16415 デバイスは、負荷に対して 15W 時に $\pm 5\%$ の電力制限を提供します。また、過渡的な過負荷または過電流イベントに対するブランキング時間を構成可能です。IEC60335 および UL60730 規格に準拠した 15W 電力制限用の低消費電力回路 (LPC) に TPS16410、TPS16411、TPS16414、TPS16415 を使用します。TPS1641x デバイスは、隣接するピンの短絡および GND へのピン短絡フォルトに対する保護機能を備えています。

PLC および DCS モジュールのバックプレーン電源保護などのアプリケーションでは、ILIM ピンの抵抗を使用して電流制限を設定します。TPS16412、TPS16413、TPS16416、TPS16417 デバイスは、負荷に対して 1A 時に $\pm 6\%$ の電流制限を提供します。また、これらのデバイスは dVdT ピンを使用して出力スルーレートを制御し、パワーアップ時に大きな容量性負荷を充電します。

TPS1641x は、入力と出力の間の短絡検出機能を備え、入力と出力の間の短絡を $\overline{FLT}$ ピンで通知します。 $\overline{FLT}$ ピンは、マイコンにデジタル入力を提供する、または外部 PFET を駆動します。

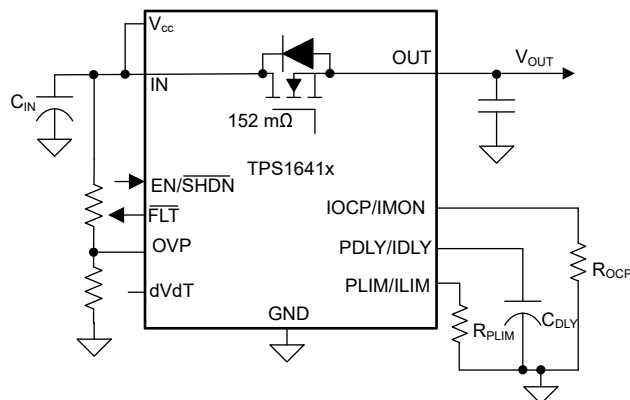
これらのデバイスは、 -40°C ~ $+125^{\circ}\text{C}$ の接合部温度範囲での動作について特性評価されています。

パッケージ情報

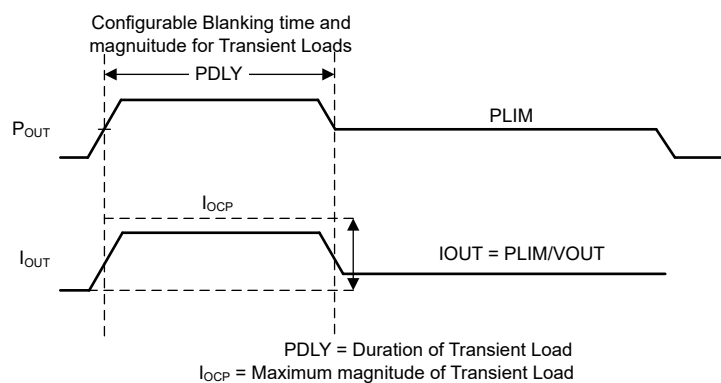
部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
TPS1641x	VSON (10)	3.00mm × 3.00mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





概略回路図



過渡負荷に対するブランキング時間を構成可能

目次

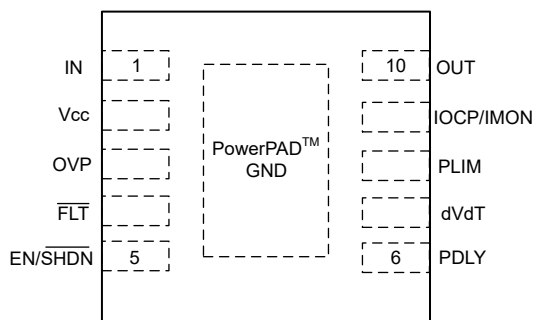
1 特長	1	7.4 デバイスの機能モード	22
2 アプリケーション	1	8 アプリケーションと実装	23
3 説明	1	8.1 使用上の注意.....	23
4 デバイス比較表	4	8.2 代表的なアプリケーション: 低消費電力回路 (LPC) の 15W 電力制限.....	23
5 ピン構成および機能	5	8.3 システム例.....	26
6 仕様	6	8.4 設計のベスト プラクティス.....	27
6.1 絶対最大定格.....	6	8.5 電源に関する推奨事項.....	27
6.2 ESD 定格.....	6	8.6 レイアウト.....	28
6.3 推奨動作条件.....	6	9 デバイスおよびドキュメントのサポート	30
6.4 熱に関する情報.....	7	9.1 ドキュメントの更新通知を受け取る方法.....	30
6.5 電気的特性.....	7	9.2 サポート・リソース.....	30
6.6 タイミング要件.....	9	9.3 商標.....	30
6.7 代表的特性.....	10	9.4 静電気放電に関する注意事項.....	30
7 詳細説明	13	9.5 用語集.....	30
7.1 概要.....	13	10 改訂履歴	30
7.2 機能ブロック図.....	13	11 メカニカル、パッケージ、および注文情報	30
7.3 機能説明.....	14		

4 デバイス比較表

部品番号	電力または電流制限	フォルト動作	入力と出力の間の短絡検出
TPS16410	電力制限	自動再試行	Y
TPS16411	電力制限	ラッチオフ	Y
TPS16412	電流制限	自動再試行	Y
TPS16413	電流制限	ラッチオフ	Y
TPS16414	電力制限	自動再試行	N
TPS16415	電力制限	ラッチオフ	N
TPS16416	電流制限	自動再試行	N
TPS16417	電流制限	ラッチオフ	N

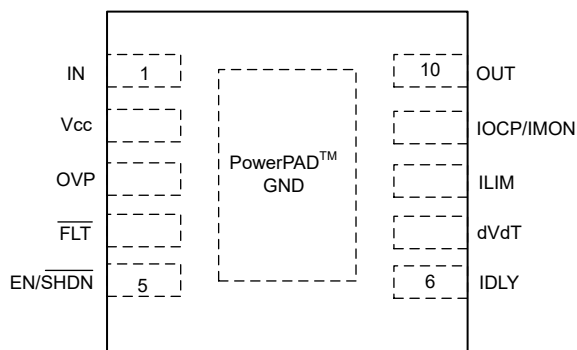
推奨デバイス バリエーションについては、[セクション 7.3.9](#) を参照してください。

5 ピン構成および機能



TPS16410, TPS16411,
TPS16414, TPS16415

図 5-1. TPS16410、TPS16411、TPS16414 TPS16415
10 ピン DRC VSON パッケージ (上面図)



TPS16412, TPS16413,
TPS16416, TPS16417

図 5-2. TPS16412、TPS16413、TPS16416 TPS16417
10 ピン DRC VSON パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
IN	1	P	内部 FET の電源入力。
V _{cc}	2	P	デバイスの内部回路の電源入力。
OVP	3	I	過電圧保護入力。OVP を無効化するには、このピンを GND に接続します。
FLT	4	O	アクティブ Low フォルト出力。FLT ピンの各種の表示については、 セクション 7.3.11 を参照してください。
EN/SHDN	5	I	イネーブルまたはシャットダウン入力。
PDLY	6	I/O	TPS16410、TPS16411: 電力制限のためのブランキング時間の入力。コンデンサを接続して、PDLY ブランキング時間を設定します。
IDLY			TPS16412、TPS16413: 電流制限のためのブランキング時間の入力。コンデンサを接続して、IDLY ブランキング時間を設定します。
dVdT	7	I/O	出力スルー制御入力。コンデンサを接続して、出力スルーレートを設定します。使用しない場合、このピンはオープンのままにしておくことができます。
プリム	8	I/O	TPS16410、TPS16411: 電力制限入力。抵抗を接続して、PLIM 設定点を設定します。
ILIM			TPS16412、TPS16413: 電流制限入力。抵抗を接続して、ILIM 設定点を設定します。
IOCP/IMON	9	I/O	出力電流に対応する過電流保護入力および電流監視出力。出力電流は、このピンの電圧を読み取ることで検出できます。抵抗を接続して、IOCP 設定点を設定し、出力電流を読み取ります。
OUT	10	P	内部 FET からの電力出力。
PowerPAD/GND	—	G	デバイスの GND 接続。 PowerPAD™ は、入力電源の GND に接続する必要があります。 放熱性能を向上させるため、複数のビアを用いて PowerPAD を PCB 上の GND プレーンに接続します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{cc} , FLT	入力電圧	-0.3	67	V
OVP	入力電圧	-0.3	62	V
IN, IN-OUT, IOCP	入力電圧	-0.3	42	V
OUT	入力電圧	-1	42	V
EN/SHDN, PDLY/IDLY	入力電圧	-0.3	5.5	V
dVdT, PLIM/ILIM	入力電圧	-0.3	5.5	V
I _{IOCP} , I _{PDLY} , I _{PLIM} , I _{dVdT} , I _{ILIM}	ソース電流	内部的に制限		
T _J	接合部温度	-40	150	°C
	過渡接合部温度	-40	T _{TSD}	°C
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

		値	単位
V _(ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±1500	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JS-002 に準拠、すべてのピン ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{cc}	電源電圧	V _{IN}		60	V
FLT	入力電圧	0		60	V
IN	入力電圧 (TPS16410, TPS16411, TPS16414, TPS16415)	4.5		40	V
IN	入力電圧 (TPS16412, TPS16413, TPS16416, TPS16417)	2.7		40	V
OUT	入力電圧	0		40	V
EN/SHDN, OVP	入力電圧	0		5.5	V
PDLY/IDLY	外付けコンデンサ	0.012		10	μF
dVdT	外付けコンデンサ	0.01		5	μF
IOCP	外部抵抗	6.34		80.6	kΩ
ブリム	外部抵抗	12.4		412	kΩ

6.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
ILIM	外部抵抗	5.1		348	kΩ
T _J	接合部温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS1641	単位
		DRC (VSON)	
		10 ピン	
R _{θJA}	接合部から周囲への熱抵抗	43.7	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	50.0	°C/W
R _{θJB}	接合部から基板への熱抵抗	15.8	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	1.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	15.8	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	2.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.5 電気的特性

-40°C ≤ T_A = T_J ≤ +125°C、V_{IN} = 3V ~ 40V (TPS16412、TPS16413、TPS16416、TPS16417)、V_{IN} = 4.5V ~ 40V (TPS16410、TPS16411、TPS16414、TPS16415)、V_{CC} = V_{IN}、R_{ILIM} = 5.49kΩ R_{PLIM} = 255kΩ R_{IOCP} = 7.32kΩ、 $\overline{\text{FLT}}$ = オープン、C_{OUT} = 100nF、C_{IN} = 10nF C_{dVdT} = オープン、PDLY/IDLY = オープン。EN/SHDN = オープン (全電圧は GND 基準です (特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
動作入力と電源電圧						
V _{CC}	動作電源電圧		V _{IN}		60	V
V _{IN}	動作入力電圧	TPS16410、TPS16411、TPS16414、TPS16415	4.5		40	V
V _{IN}	動作入力電圧	TPS16412、TPS16413、TPS16416、TPS16417	2.7		40	V
I _Q	動作消費電流 (V _{CC})	EN/SHDN = 2V、V _{CC} = 40V、V _{IN} = オープン、R _{ILIM} または R _{PLIM} = オープン		1.2	2.1	mA
I _{QSD}	シャットダウン時の電源電流 (V _{CC})	EN/SHDN = GND、V _{CC} = 40V、V _{IN} = オープン、R _{ILIM} または R _{PLIM} = オープン、R _{IOCP} = オープン		14	36	μA
I _{INLKG}	オン状態での IN リーク電流	EN/SHDN = 2V、V _{IN} = V _{CC} = 40V、オープン、R _{ILIM} または R _{PLIM} = オープン		0.025	0.52	mA
I _{INLKG-SD}	シャットダウン時の IN リーク電流	EN/SHDN = GND、V _{IN} = V _{CC} = 40V、R _{ILIM} または R _{PLIM} = オープン、R _{IOCP} = オープン		0.7	2.8	μA
過電圧保護 (OVP) 入力						
V _{OVP}	OVP 立ち上がりスレッショルド		1.48	1.53	1.58	V
V _{OVPF}	OVP 立ち下がりスレッショルド		1.34	1.40	1.46	V
I _{OVP}	OVP のリーク電流	0V ≤ V _{OVP} ≤ 4V	-350	-265	-200	nA
EN/SHDN 入力						
V _{ENR}	イネーブル立ち上がりスレッショルド				1.2	V
V _{ENF}	イネーブル立ち下がりスレッショルド		0.59			V

6.5 電気的特性 (続き)

$-40^{\circ}\text{C} \leq T_A = T_J \leq +125^{\circ}\text{C}$, $V_{IN} = 3\text{V} \sim 40\text{V}$ (TPS16412, TPS16413, TPS16416, TPS16417), $V_{IN} = 4.5\text{V} \sim 40\text{V}$ (TPS16410, TPS16411, TPS16414, TPS16415), $V_{CC} = V_{IN}$, $R_{ILIM} = 5.49\text{k}\Omega$, $R_{PLIM} = 255\text{k}\Omega$, $R_{IOCP} = 7.32\text{k}\Omega$, $\overline{\text{FLT}} = \text{オープン}$, $C_{OUT} = 100\text{nF}$, $C_{IN} = 10\text{nF}$, $C_{dVdT} = \text{オープン}$, $\text{PDLY}/\text{IDLY} = \text{オープン}$, $\text{EN}/\text{SHDN} = \text{オープン}$
(全電圧は GND 基準です (特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{EN}	イネーブルリーク電流	$0\text{V} \leq V_{EN} \leq 4\text{V}$	-10			μA
$V_{EN-Open}$	開回路イネーブル電圧	$I_{EN} = 0.1\mu\text{A}$, $V_{CC} \geq 5\text{V}$		4.9		V
出力電力制限 (PLIM)						
P_{OUT}	出力電力制限	$R_{PLIM} = 26.7\text{k}\Omega$	3	3.66	4.5	W
P_{OUT}	出力電力制限	$R_{PLIM} = 95.3\text{k}\Omega$, $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	12.94	13.69	14.44	W
P_{OUT}	出力電力制限	$R_{PLIM} = 255\text{k}\Omega$, $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	34	37	39.8	W
出力電流制限 (ILIM)						
I_{OUT}	出力電流制限	$R_{ILIM} = 332\text{k}\Omega$	0.024	0.032	0.039	A
I_{OUT}	出力電流制限	$R_{ILIM} = 10\text{k}\Omega$, $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	0.918	0.987	1.035	A
I_{OUT}	出力電流制限	$R_{ILIM} = 5.49\text{k}\Omega$, $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$	1.671	1.77	1.881	A
電源出力 (OUT)						
R_{ON}	入力と出力の間のオン抵抗	$-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$	96	153	260	m Ω
R_{ON}	入力と出力の間のオン抵抗	$0^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		153	215	m Ω
R_{ON}	入力と出力の間のオン抵抗	$T_J = 25^{\circ}\text{C}$		153	160	m Ω
$I_{LKG-OUT}$	オフ状態での出力リーク電流	$V_{IN} = 40\text{V}$, $V_{OUT} = 0\text{V}$, $\text{EN} = \text{Low}$	-15	-1.2		μA
電流監視出力 (IMON)						
G_{IMON}	ゲイン: I_{MON}/I_{OUT}	$I_{OUT} = 0.05 \sim 1.8\text{A}$	45	50	55	$\mu\text{A}/\text{A}$
OS_{IMON}	I_{MON} オフセット電流	$I_{OUT} = 0.3 \sim 0.8\text{A}$	-0.8	0.05	0.8	μA
過電流保護 (IOCP) および短絡保護 (ISCP)						
I_{OCP}	過電流保護設定点	$R_{IOCP} = 7.32\text{k}\Omega$	2.11	2.23	2.35	A
I_{OCP}	過電流保護設定点	$R_{IOCP} = 16.2\text{k}\Omega$	0.95	1.01	1.07	A
$I_{Fastrip}$	高速トリップ保護スレッショルド			$1.9 \times I_{OCP}$		A
I_{SCP}	短絡保護スレッショルド			6.7		A
$I_{LIM-Internal}$	内部電流制限	TPS16410, TPS16411, TPS16414, TPS16415		$0.81 \times I_{OCP}$		A
過熱保護およびシャットダウン (TTSD)						
T_{TSD}	サーマル シャットダウン温度			155		$^{\circ}\text{C}$
$T_{TSD-hyst}$	サーマル シャットダウン温度ヒステリシス			12		$^{\circ}\text{C}$
出力スルーレートを制御 (dVdT)						
I_{dVdT}	dVdT 充電電流		1.78	2	2.23	μA
G_{dVdT}	dVdT ゲイン			50		V/V
FLT 出力 (FLTb) (オープンドレイン出力)						
R_{FLTb}	フォルトピンのプルダウン抵抗			73		Ω
$I_{FLTb-LKG}$	フォルトピンのリーク電流	$\overline{\text{FLT}}$ は High, $V_{FLT} \leq 25\text{V}$	-1	0.005	1	μA
入力と出力の間の短絡検出 (TPS16410, TPS16411, TPS16412, TPS16413)						
R_{short}	入力と出力の間の短絡検出の抵抗				30	m Ω

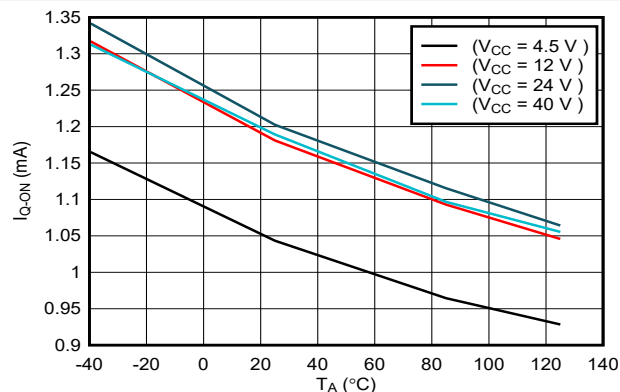
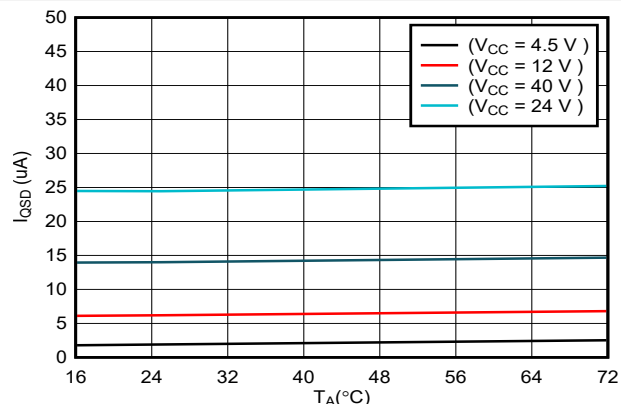
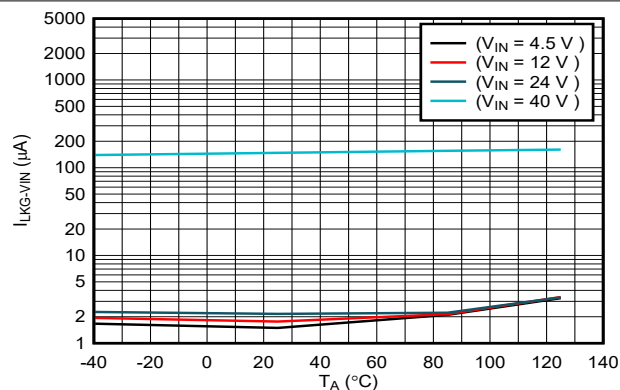
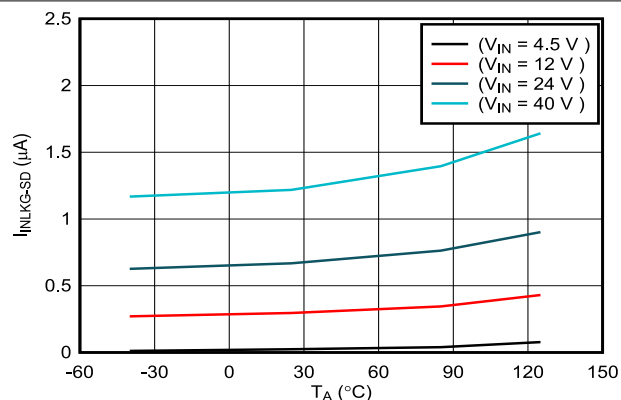
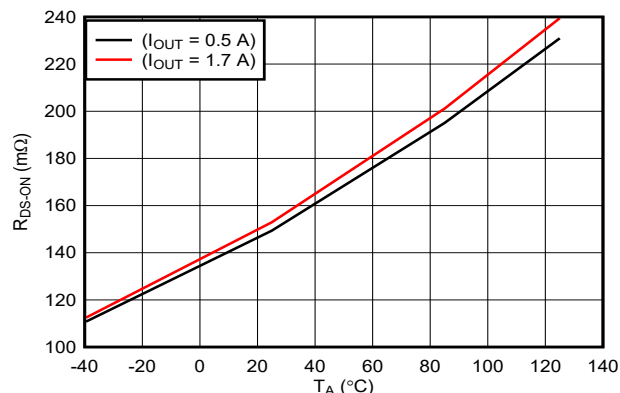
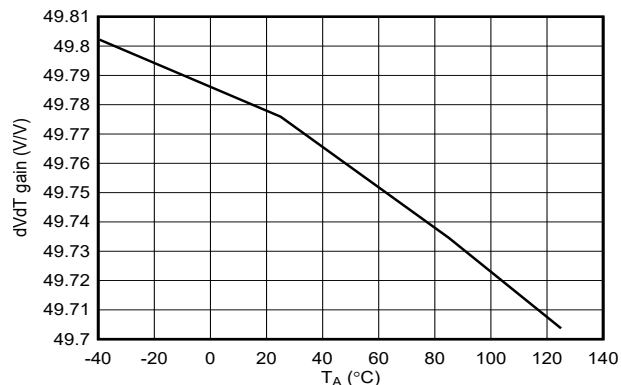
6.6 タイミング要件

$-40^{\circ}\text{C} \leq T_A = T_J \leq +125^{\circ}\text{C}$, $V_{IN} = 3\text{V} \sim 40\text{V}$ (TPS16412、TPS16413), $V_{IN} = 4.5\text{V} \sim 40\text{V}$ (TPS16410、TPS16411), $V_{CC} = V_{IN}$, $V_{EN} = 2\text{V}$, $R_{ILIM} = 5.49\text{k}\Omega$, $R_{PLIM} = 255\text{k}\Omega$, $R_{IOCP} = 7.32\text{k}\Omega$, FLT = オープン, $C_{OUT} = 100\text{nF}$, $C_{IN} = 10\text{nF}$, $C_{dVdT} = \text{オープン}$, PDLY = オープン。

(全電圧は GND 基準です (特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
イネーブル/SHDN および Vcc 入力						
t_{ON_DLY}	V_{CC} でのターンオン遅延	$V_{EN} = V_{ENR} + 0.1\text{V}$, $R_{LOAD} = \text{オープン}$		500		μs
$t_{EN_ON_DLY}$	イネーブル オン遅延	デバイスがシャットダウン中でない場合、イネーブルにより高速ターンオン、 $V_{EN} = V_{ENR} + 0.1\text{V}$, $R_{LOAD} = \text{オープン}$		270		μs
$t_{EN_OFF_DLY}$	イネーブル オフ遅延	$V_{EN} < V_{ENF}$ から $V_{OUT} = 0.9 \times V_{IN}$, $R_{LOAD} = 100$		1.2		μs
t_{LOW_SHDN}	シャットダウンに移行するための最小 Low パルス	$R_{LOAD} = 100$	24			ms
OVP 入力						
$t_{OVP_ENTRY_DLY}$	OVP エントリ遅延	$V_{OVP} = V_{OVPR} + 25\text{mV}$ から FLT Low		0.75		μs
$t_{OVP_EXIT_DLY}$	OVP 終了遅延	$V_{OVP} = V_{OVPR} - 25\text{mV}$ から FLT High		0.6		μs
過電流保護および短絡保護						
$t_{FASTTRIP_DLY}$	高速トリップ保護遅延	$I_{FASTTRIP} < I_{OUT} < I_{SCP}$ から FET オフ		5.65		μs
t_{SCP_DLY}	短絡保護遅延	$I_{OUT} = I_{SCP} + 500\text{mA}$ から FET オフ		280		ns
電力制限						
t_{PDLY}	電力制限前のブランキング時間	$I_{OUT} < I_{OCP}$, $P_{OUT} = 1.2 \times PLIM$, $CDLY = 12\text{nF}$		6.5		ms
t_{PLIM_RES}	電力制限応答時間	$I_{OUT} < I_{OCP}$, $I_{OUT} = 1.2 \times ILIM$, $CDLY = \text{OPEN}$		215		μs
t_{PLIM_DUR}	電力制限期間			$2 \times t_{PDLY}$		s
電流制限						
t_{DLY}	電流制限前のブランキング時間	$I_{OUT} < I_{OCP}$, $I_{OUT} = 1.2 \times ILIM$, $CDLY = 12\text{nF}$		6.5		ms
t_{ILIM_RES}	電流制限応答時間	$I_{OUT} < I_{OCP}$, $I_{OUT} = 1.2 \times ILIM$, $CDLY = \text{OPEN}$		280		μs
t_{ILIM_DUR}	電流制限期間			$2 \times t_{PDLY}$		s
自動再試行およびサーマル シャットダウン						
t_{RETRY}	再試行遅延			$8 \times t_{PDLY}$		s
出力ランプ制御 (dVdT)						
t_{dVdT}	出力ランプ時間	$C_{dVdT} = \text{オープン}$, $V_{IN} = V_{CC} = 24\text{V}$		105		μs
入力と出力の間の短絡 (TPS16410、TPS16411、TPS16412、TPS16413) および FLT 出力						
$t_{IN_OUT_Short_Detect}$	FET がオンのときの入力と出力の間の短絡検出時間	FLT Low への入力と出力の間の短絡		135		ms
$t_{IN_OUT_Short_Detect}$	FET オフのときの入力と出力の間の短絡検出時間	FLT Low への入力と出力の間の短絡		20		ms

6.7 代表的特性

図 6-1. I_{Q-ON} と温度との関係図 6-2. I_{QSD} vs 温度図 6-3. I_{LKG-VIN} と温度との関係図 6-4. I_{LKG-VIN-SD} と温度との関係図 6-5. R_{DS-ON} と温度との関係図 6-6. G_{dVdT} と温度との関係

6.7 代表的特性 (続き)

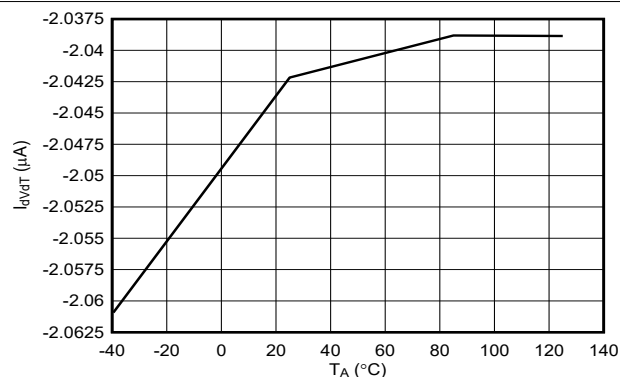


図 6-7. I_{dVdT} と温度との関係

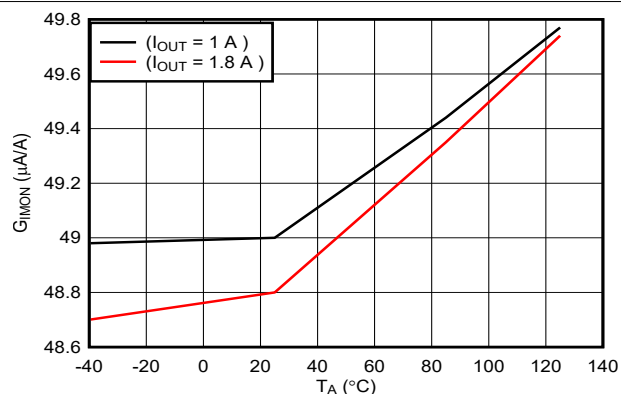


図 6-8. G_{IMON} と温度との関係

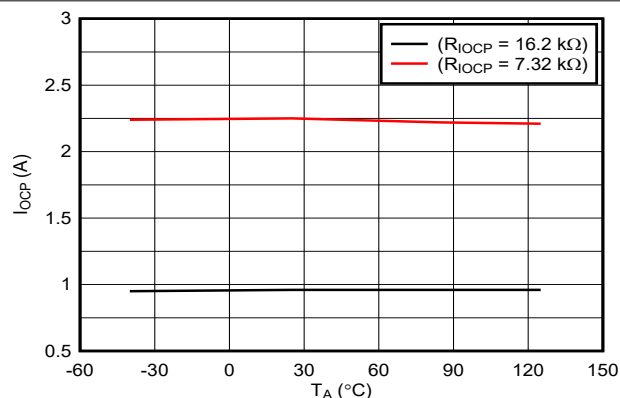


図 6-9. I_{OCP} vs 温度

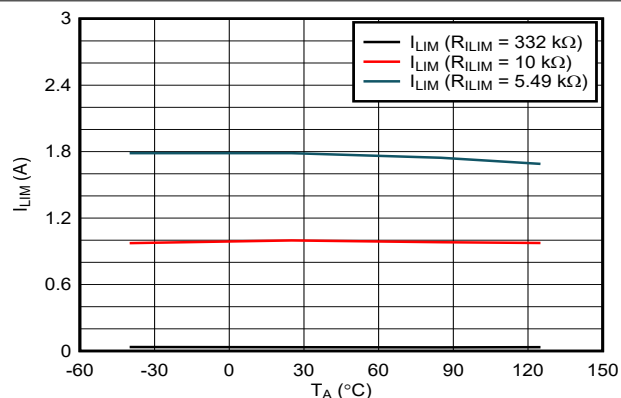


図 6-10. TPS16412 および TPS16413 の出力電流制限と温度との関係

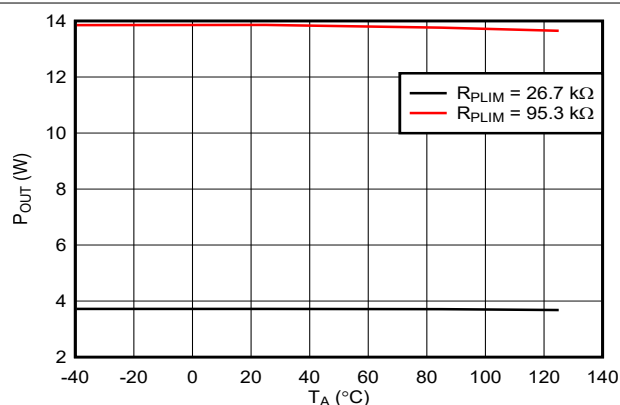


図 6-11. $V_{IN} = 12V$ の場合の TPS16410 および TPS16411 の出力電力制限と温度との関係

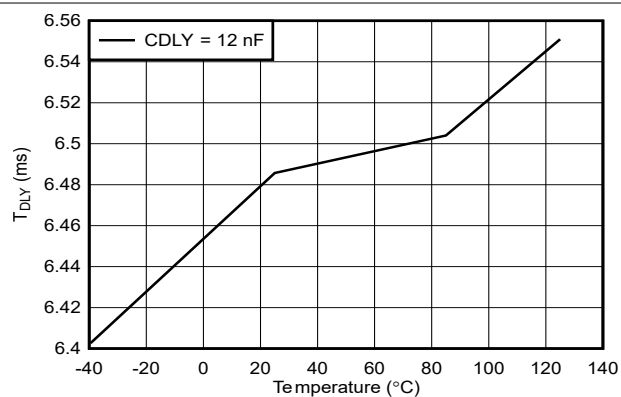


図 6-12. T_{DLY} と温度との関係

6.7 代表的特性 (続き)

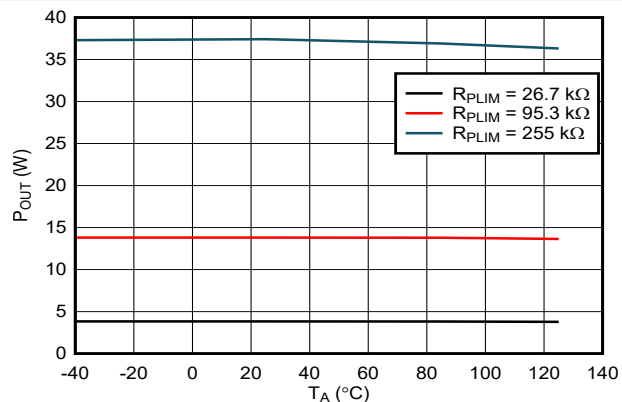


図 6-13. $V_{IN} = 24V$ の場合の TPS16410 および TPS16411 の出力電力制限と温度との関係

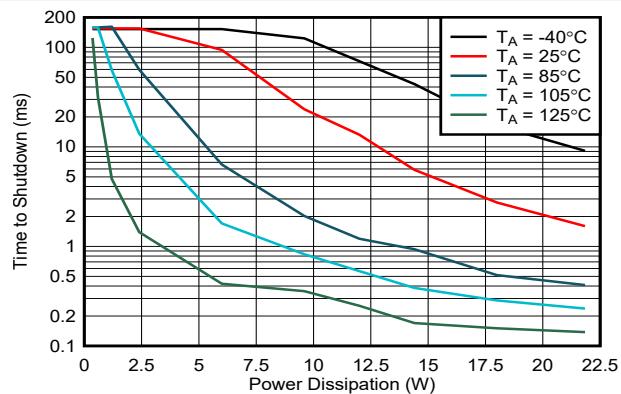


図 6-14. $V_{IN} = 12V$ の場合のサーマル シャットダウン時間と消費電力との関係

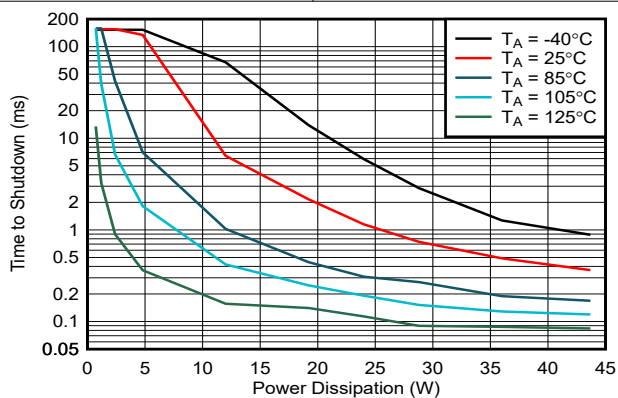


図 6-15. $V_{IN} = 24V$ の場合のサーマル シャットダウン時間と消費電力との関係

7 詳細説明

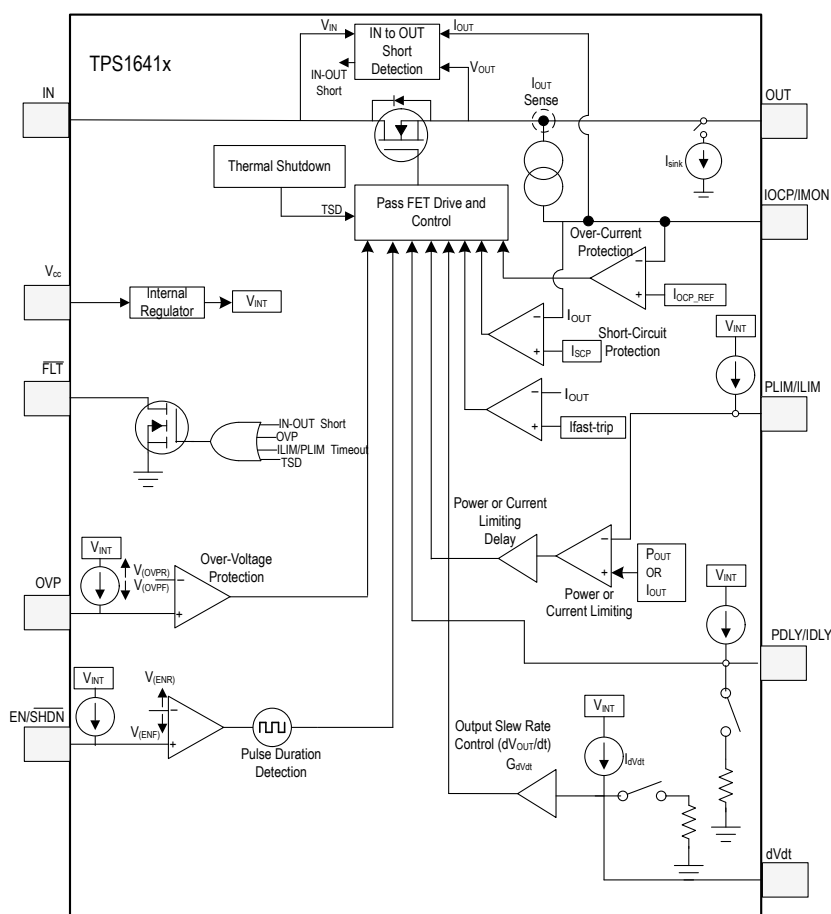
7.1 概要

TPS1641x は、高精度の電力制限または電流制限機能付きの統合型 eFuse です。このデバイスは、 R_{ON} 152m Ω の NFET を内蔵しています。TPS16410、TPS16411、TPS16414、TPS16415 は電力制限機能、TPS16412、TPS16413、TPS16416、TPS16417 は電流制限機能を備えています。TPS16410、TPS16411、TPS16414、TPS16415 は、IEC60335 および UL60730 規格に準拠した低消費電力回路 (LPC) 用の 15W の高精度な電力制限を提供できます。また、TPS16410、TPS16411、TPS16412、TPS16413 は、入力と出力の間の短絡を検出し、 $\overline{FLT}$ 出力に表示する機能も備えています。入力と出力の間の短絡検出機能により、IEC60335、UL60730 などの同様の規格において、入力と出力の間の短絡テストの際に eFuse や電力制限回路を追加する必要はありません。 $\overline{FLT}$ をマイコンへの入力として使用するか、外部 PFET を駆動するために使用します。TPS1641x デバイスは、隣接するピンの短絡および GND へのピン短絡フォルトに対する保護機能も備えています。

また、TPS1641x デバイスには、過渡負荷に対するブランキング時間 (IDLY または PDLY) と過電流保護 (IOCP) を構成できます。モーターなどの負荷は、起動に大電流を必要とします。ブランキング時間は、モーターなど負荷の起動時に大電流を供給するのに役立ちます。

TPS1641x デバイスには、過電圧保護 (OVP)、過熱保護、および可変出力スルーレート制御 (dvdt) が備えられています。V_{CC} と $\overline{\text{FLT}}$ の定格は最大 60V で、外部 PFET を使用して最大 60V まで保護できます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 イネーブルおよびシャットダウン入力 (EN/SHDN)

TPS1641x デバイスには、イネーブルおよびシャットダウン入力 that 搭載されています。EN/SHDN を t_{Low_SHDN} を超える期間 Low に維持すると、デバイスは低消費電力のシャットダウン モードに移行し、デバイスの内部ブロックがオフになり、 V_{CC} 電源からのデバイスの静止電流が I_{QSD} まで減少します。

EN/SHDN を t_{Low_SHDN} よりも低い期間 Low に維持すると、デバイスは内部 FET のみをオフにし、FET はすぐにオンに戻ります。イネーブル ピンが Low になると、 $t_{EN_OFF_dly}$ の遅延時間だけ内部 FET がオフになります。デバイスがシャットダウン状態にないとき、 $t_{EN_ON_dly}$ の遅延時間だけ内部 FET を迅速に有効化します。 V_{ENR} および V_{ENF} スレッショルドについては、[セクション 6.5](#) を参照してください。 t_{Low_SHDN} 、 $t_{EN_OFF_dly}$ 、 $t_{EN_ON_dly}$ のタイミングについては、[セクション 6.6](#) を参照してください。内部 FET を高速にオンおよびオフにさせるため、デバイスの EN/SHDN ピンに、 t_{Low_SHDN} より短い期間の PWM 信号を供給することができます。[図 7-1](#) に、TPS1641x デバイスの EN/SHDN 入力を示します。[図 7-2](#) に、イネーブル入力でのデバイスの起動を示します。

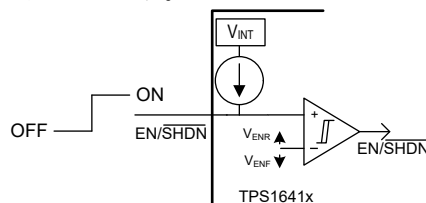
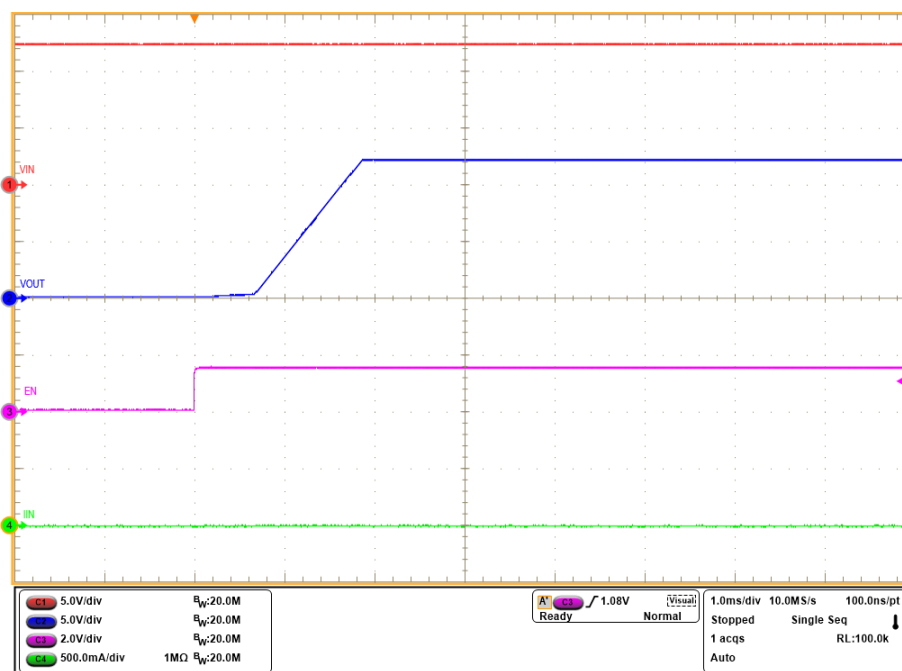


図 7-1. TPS1641x デバイスでの EN/SHDN



$V_{IN} = 12V$

図 7-2. イネーブルによるターンオン

7.3.2 過電圧保護 (OVP)

TPS1641x は過電圧保護機能を実装しており、入力過電圧状態から負荷を保護します。デバイスの IN ピンから抵抗デバイダを接続して、過電圧保護設定点を構成できます。デバイスは内部 FET をオフにし、OVP ピンの電圧が V_{OVPR} を

上回ると $\overline{\text{FLT}}$ ピンをアサートします。OVP ピンの電圧が V_{OVPF} を下回ると、内部 FET がオンになり、 $\overline{\text{FLT}}$ ピンがデアサートされます。過電圧保護入力 V_{OVPR} および V_{OVPF} については、[セクション 6.5](#) の表を、 $t_{\text{OVP_entry_dly}}$ および $t_{\text{OVP_exit_dly}}$ のタイミングについては、[セクション 6.6](#) を参照してください。[図 7-3](#) に、TPS1641x デバイスでの OVP 入力を示します。[図 7-4](#) に、過電圧応答を示します。

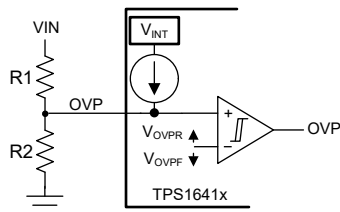


図 7-3. TPS1641x での OVP 入力

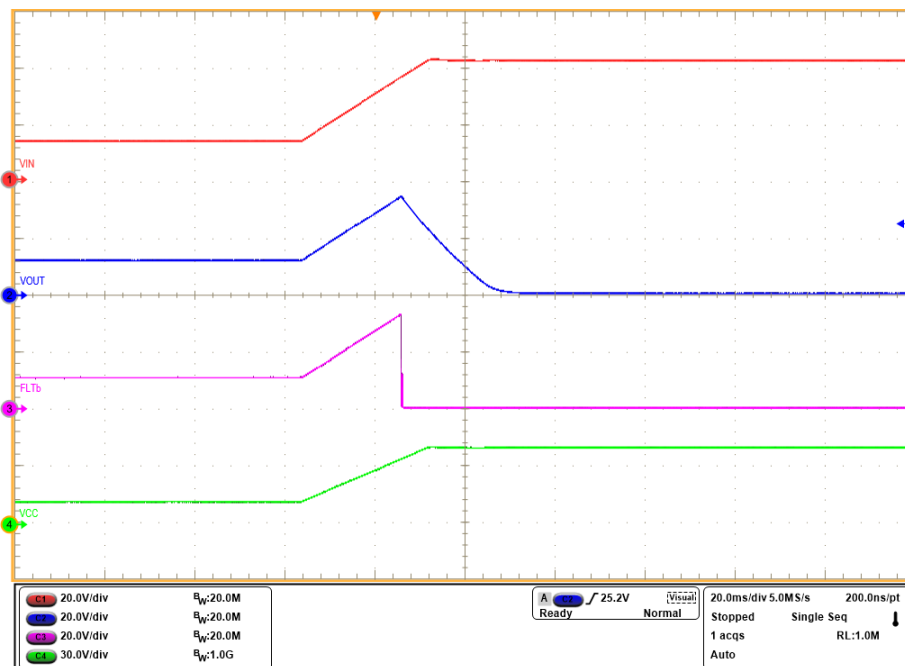


図 7-4. 12V ~ 40V の IN 電圧に対する過電圧保護応答

[図 7-5](#) に示されているように、デバイスの V_{CC} および $\overline{\text{FLT}}$ ピンの定格は最大 60V であり、 $\overline{\text{FLT}}$ ピンを使用して外部 PFET トランジスタを駆動し、入力 60V 過電圧からの保護を提供できます。

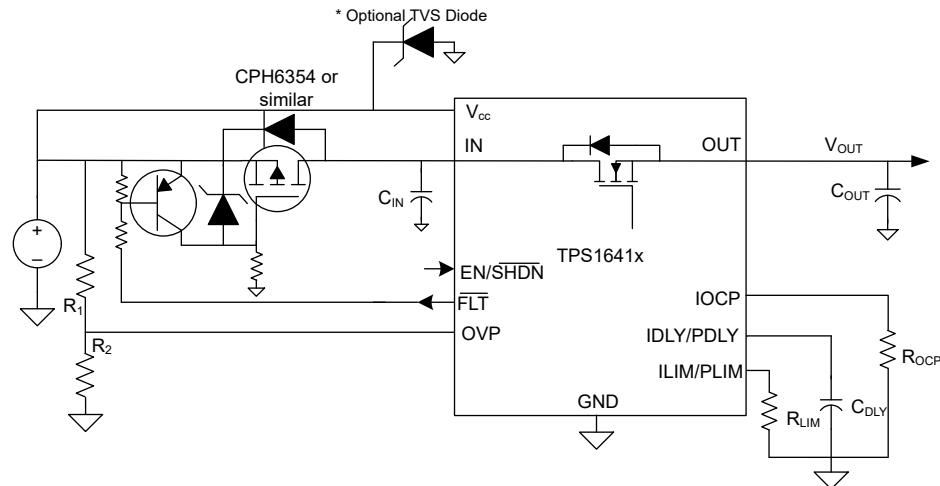


図 7-5. 外部 PFET での過電圧 (最大 60V) 保護

過電圧入力を無効化するには、OVP を GND に接続します。OVP ピンがオープンのままの場合、デバイスは内部 FET をオフにします。

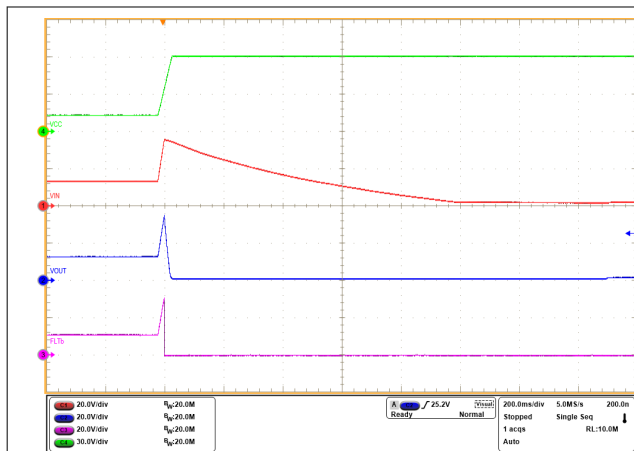


図 7-6. 12V ~ 60V の IN 電圧に対する外部 PFET での過電圧応答

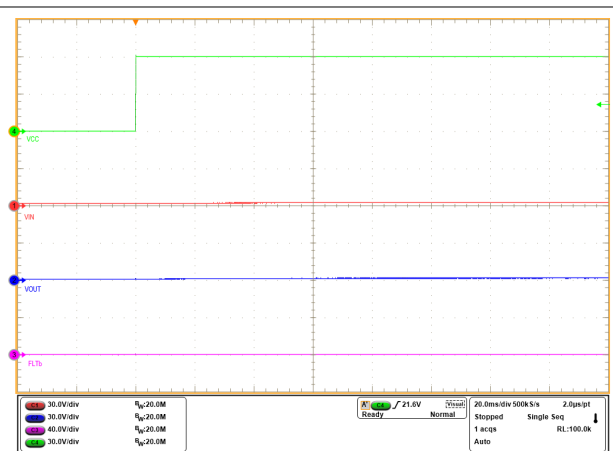


図 7-7. 60V 入力における外部 PFET でのホット プラグイン

7.3.3 出力スルーレートおよび突入電流制御 (dVdt)

ホットプラグ イベント時や大きな出力容量の充電中に、大きな突入電流が発生する可能性があります。突入電流を適切に管理しないと、突入電流により入力コネクタが損傷し、システム電源が低下する可能性があります。その結果システムの他の場所で予期しない再起動が発生します。ターンオン時の突入電流は、負荷容量と立ち上がりスルーレートに正比例します。式 1 を使用して、特定の出力キャパシタンス (C_{OUT}) について突入電流 (I_{INRUSH}) を制限するのに必要な出力スルーレート (SR) を計算できます。

$$SR = \frac{I_{INRUSH}}{C_{OUT}} \quad (1)$$

dVdt ピンに容量を追加することで、立ち上がりスルーレートを制御し、ターンオン時の突入電流を低減できます。式 2 を使用して、特定のスルーレートを生成するために必要な C_{dVdt} 容量を計算します。

$$C_{dVdt} = \frac{I_{dVdt} \times G_{dVdt}}{SR} \quad (2)$$

dVdt ピンをオープンのままにし、最も高速な出力スルーレートを実現できます。dVdt ピンが GND に接続されている場合、デバイスは出力をパワーアップしません。図 7-8 に、TPS1641x デバイスの出力スルーレート制御を示します。図 7-9 に、デバイスの出力スルーレート制御応答を示します。

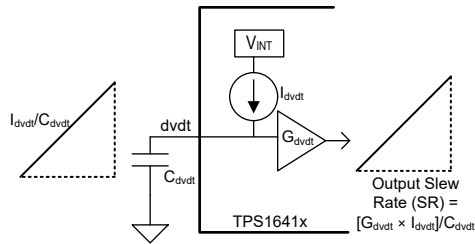


図 7-8. TPS1641x での出力スルーレート制御

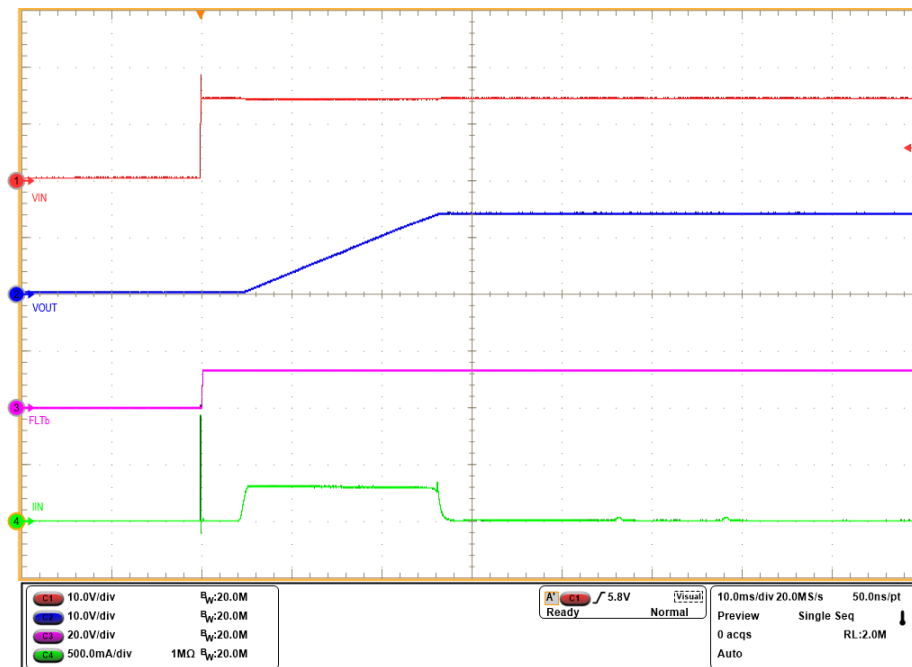


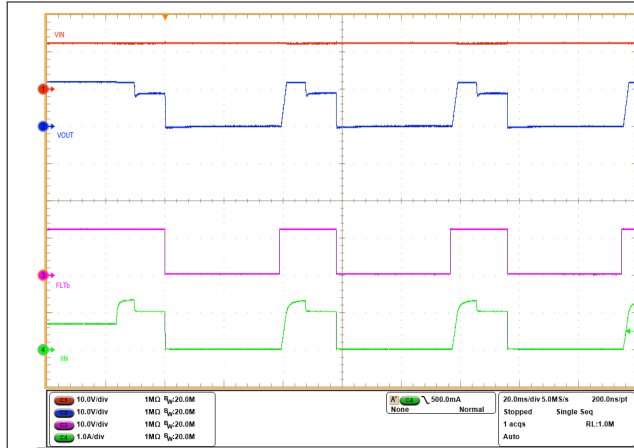
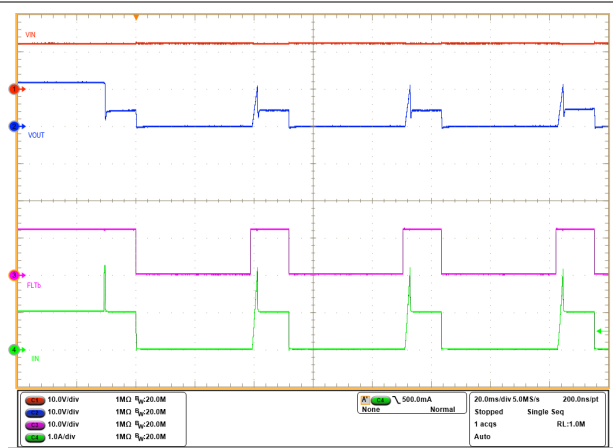
図 7-9. $V_{IN} = 12V$ 、 $C_{dVdt} = 150nF$ 、 $C_{OUT} = 470\mu F$ の場合の出力スルーレート制御

7.3.4 TPS16412、TPS16413、TPS16416、TPS16417 でのアクティブ電流制限 (ILIM)

TPS16412、TPS16413、TPS16416、TPS16417 デバイスは、電流をアクティブに制限することにより、出力の過電流または過負荷状態に応答します。最初にデバイスには、IDLY ピンの容量によって構成されたブランキング時間が供給されます。このブランキング時間中、デバイスは最大 I_{OCP} 値の電流を供給できます。このブランキング時間が終了した後、デバイスは電流を $ILIM$ 値に制限します。 $ILIM$ は、 $ILIM$ ピンに抵抗を接続することで設定できます。式 3 を使用して R_{ILIM} を計算します。

$$I_{LIM} = \frac{0.984A}{R_{ILIM}} \times 10k\Omega \quad (3)$$

出力電流が I_{OCP} を超えると、デバイスは電流制限に移行します。電流制限中、デバイスは出力電流が $ILIM$ ($I_{OUT} < ILIM$) を下回ると IDLY タイマをリセットし、 $I_{OUT} > ILIM$ になった時点で IDLY タイマを再起動します。図 7-10 に、 $I_{OUT} < I_{OCP}$ および $I_{OCP} \leq I_{OUT} < I_{fast-trip}$ の場合の電流制限動作を示します。

図 7-10. $I_{OUT} < I_{OCP}$ の場合の電流制限図 7-11. $I_{OCP} \leq I_{OUT} < I_{fast-trip}$

電流制限中、デバイスは $(V_{IN} - V_{OUT}) \times I_{OUT}$ の電力を消費し、デバイスが発熱します。デバイスの接合部温度がサーマルシャットダウン温度 (T_{SD}) に達すると、デバイスは内部 FET をオフにします。デバイスがサーマル シャットダウンに移行しない場合、 $t_{LIM-DUR}$ の期間が経過した後、内部 FET がオフになります。内部 FET がオフになった後、TPS16412 および TPS16416 は自動再試行を行います。TPS16413 および TPS16417 はラッチオフ状態となります。ILIM ピンが GND に接続されているか、オープンのままになっている場合、デバイスは内部 FET をオフにします。IDLY ピンがオープンのままになっているか、GND に接続されている場合、デバイスがサーマル シャットダウンに移行しない限り、デバイスは $t_{LIM-DUR} = 155ms$ を提供します。表 7-1 に、各種出力電流におけるデバイスの動作をまとめます。

表 7-1. TPS16412、TPS16413、TPS16416、TPS16417 での電流制限および過負荷保護

出力電流 (I_{OUT})	デバイスの応答
$I_{OUT} < I_{LIM}$	デバイスは、最大 I_{LIM} の電流を供給します。
$I_{LIM} \leq I_{OUT} < I_{OCP}$	デバイスは、IDLY の期間にわたり最大 I_{OCP} の電流を供給し、その後、最大 $t_{LIM-DUR}$ の期間にわたり電流を I_{LIM} に制限します。
$I_{OCP} \leq I_{OUT} < I_{fast-trip}$	デバイスは、最大 $t_{LIM-DUR}$ の期間にわたり電流を I_{LIM} に制限します。
$I_{fast-trip} \leq I_{OUT} < I_{SCP}$	デバイスは、 $t_{fast-trip}$ の遅延の後に内部 FET をオフにします。
$I_{SCP} \leq I_{OUT}$	デバイスは、 t_{SCP_dly} の遅延の後に内部 FET をオフにします。

7.3.5 TPS16410、TPS16411、TPS16414、TPS16415 でのアクティブ電力制限 (PLIM)

TPS16410、TPS16411、TPS16414、TPS16415 デバイスは、電流をアクティブに制限することにより、出力の過電流または過負荷状態に応答します。最初にデバイスには、PDLY ピンの容量によって構成されたブランキング時間が供給されます。このブランキング時間中、デバイスは最大 I_{OCP} 値の電流を供給できます。このブランキング時間が終了した後、デバイスは電力を PLIM 値に制限します。PLIM ピンの抵抗を接続することで、電力制限を設定します。電力制限中に、デバイスは出力電力が PLIM ($P_{OUT} < PLIM$) を下回ると PDLY タイマをリセットし、 $P_{OUT} > PLIM$ になった時点で PDLY タイマを再起動します。式 4 を使用して、電力制限の抵抗の値を計算します。デバイスの定格連続電流は 1.8A です。TI は、 $PLIM < V_{IN} \times 1.8A$ および $PLIM < 0.9 \times V_{OUT} \times I_{OCP}$ に設定することを推奨します

$$P_{LIM} = \frac{13.82W}{95.3k\Omega} \times R_{PLIM} \quad (4)$$

図 7-12 に、 $I_{OUT} < I_{OCP}$ および $I_{OCP} \leq I_{OUT} < I_{fast-trip}$ の場合の TPS16410 と TPS16411 デバイスでの電力制限を示します。

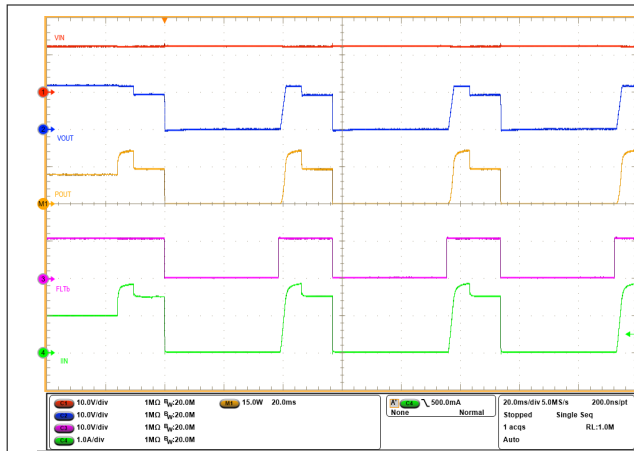


図 7-12. 電力制限 ($I_{OUT} < I_{OCP}$)

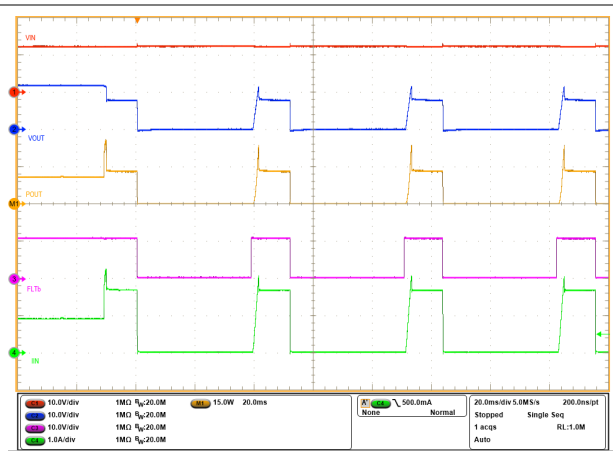


図 7-13. 電力制限 ($I_{OCP} \leq I_{OUT} < I_{fast-trip}$)

電力制限中、デバイスは $(V_{IN} - V_{OUT}) \times I_{OUT}$ の電力を消費し、デバイスが発熱します。デバイスの接合部温度がサーマルシャットダウン温度 (T_{SD}) に達すると、デバイスは内部 FET をオフにします。デバイスがサーマルシャットダウンに移行しない場合、 $t_{PLIM-DUR}$ の期間が経過した後、内部 FET がオフになります。内部 FET がオフになった後、TPS16410 および TPS16414 デバイスは自動再試行を行います。TPS16411 および TPS16415 デバイスはラッチオフ状態となります。PLIM が GND に接続されているか、オープンのままになっている場合、デバイスは内部 FET をオフにします。PDLY ピンがオープンのままになっているか、GND に接続されている場合、デバイスがサーマルシャットダウンに移行しない限り、デバイスは $t_{PLIM-DUR} = 155ms$ を提供します。表 7-2 に、各種の出力電力と電流におけるデバイスの動作をまとめます。

表 7-2. TPS16410、TPS16411、TPS16414、TPS16415 デバイスでの電力制限および過負荷応答

出力電力 (P_{OUT}) または出力電流 (I_{OUT})	デバイスの応答
$P_{OUT} < PLIM$	デバイスは、PLIM にパワーアップを供給します。
$PLIM \leq P_{OUT}$ および $I_{OUT} < I_{OCP}$	デバイスは、PDLY の期間にわたり最大 I_{OCP} の電流を供給し、最大 $t_{PLIM-DUR}$ の期間にわたり電力を PLIM に制限します。
$I_{OCP} \leq I_{OUT} < I_{fast-trip}$	デバイスは、最大 $t_{PLIM-DUR}$ の期間にわたり電流を PLIM に制限します。
$I_{fast-trip} \leq I_{OUT} < I_{SCP}$	デバイスは、 $t_{fast-trip}$ の遅延の後に内部 FET をオフにします。
$I_{SCP} \leq I_{OUT}$	デバイスは、 t_{SCP_dly} の遅延の後に内部 FET をオフにします。

7.3.5.1 TPS16410 および TPS16411 の内部電流制限

電力制限デバイスには、内部電流制限があります。パワーアップ時に、出力電流が過電流保護設定点 (I_{OCP}) を超えた場合、これらのデバイスは電流を $0.81 \times I_{OCP}$ に制限します。

また、TPS16410、TPS16411、TPS16414、TPS16415 デバイスは、PLIM が $(V_{OUT} \times I_{OCP})$ より大きく設定され、 I_{OUT} が I_{OCP} を超えた場合に、出力電流を制限します。

7.3.6 過渡負荷に対する過電流保護 (I_{OCP}) およびブランキング時間 ($IDLY$ または $PDLY$)

TPS1641x デバイスでは、 I_{OCP} ピンに抵抗を接続することで、過電流保護設定点を構成します。式 5 を使用して、過電流の抵抗値を計算します。

$$I_{OCP} = \frac{2.25A}{R_{IOCP}} \times 7.32k\Omega \quad (5)$$

I_{OCP} ピンがオープンのままになっているか、GND に接続されている場合、デバイスは内部 FET をオフにします。

また、デバイスでは、過負荷イベントや過電流イベントに対するブランキング時間も確保しています。IDLY または PDLY にコンデンサを接続して、このブランキング時間を構成します。式 6 を使用して、ブランキング時間を計算します。

IDLY/PDLY ピンがオープンのままか、GND に接続されている場合、デバイスはブランキング時間を無効化して、電力または電流制限に直接移行します。

$$\text{Blanking Time (IDLY or PDLY)} = \frac{6.5\text{ms}}{12\text{nF}} \times \text{CDLY} \quad (6)$$

7.3.7 高速トリップおよび短絡保護

出力短絡発生中は、デバイスを流れる電流が非常に急速に増加します。出力短絡が検出され、出力電流が I_{SCP} レベルに達すると、デバイスは $t_{\text{SCP_dly}}$ の遅延後に内部 FET をオフにします。

入力過渡が速い場合、内部 FET を流れる電流が急速に増加しますが、これらの過渡現象によって、内部 FET を流れる過剰な電流によって内部 FET が誤ってターンオフする可能性があります。これらの入力過渡時の誤トリップを防止するため、デバイスは高速トリップ コンパレータを内蔵しています。このコンパレータは、出力電流が $t_{\text{fast-trip}}$ の期間にわたり $I_{\text{fast-trip}}$ を超えると、内部 FET をオフにします。図 7-14 に、デバイスの短絡応答を示します。

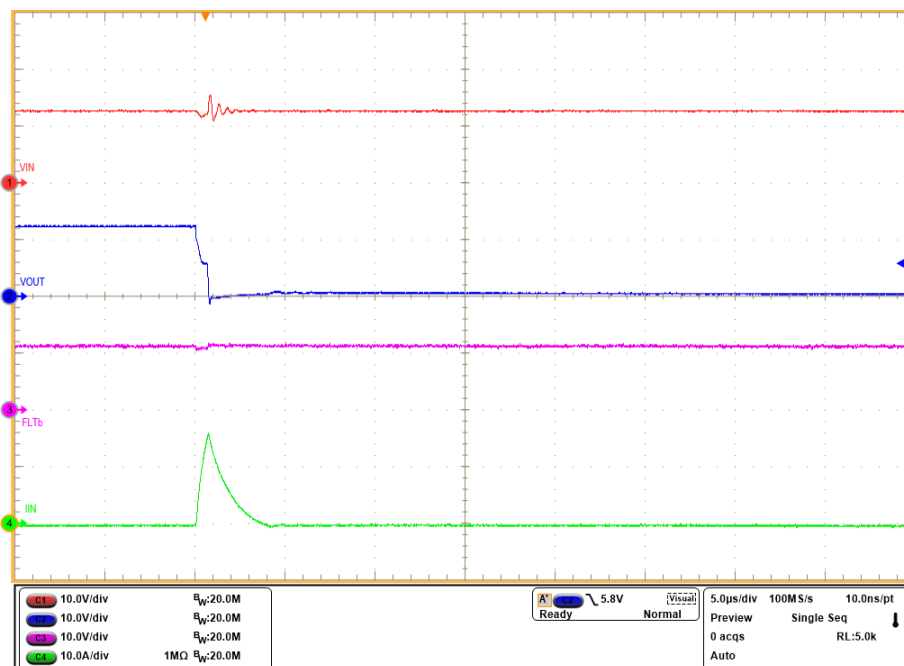


図 7-14. $V_{\text{IN}} = 12\text{V}$ における短絡応答

7.3.8 IOCP ピンのアナログ負荷電流監視 (IMON)

デバイスは、FET を流れる電流に比例したアナログ電流を IOCP/IMON ピンから出力することで、システムが出力負荷電流を高精度に監視できるようにします。IOCP/IMON ピンの抵抗は、この電流を電圧に変換し、この電圧を使用して出力電流を監視します。式 7 を使用して、IOCP/IMON ピンの電圧からの出力電流を計算します。

$$I_{\text{OUT}} = \frac{V_{\text{IOCP}} - (OS_{\text{IMON}} \times R_{\text{IOCP}})}{G_{\text{IMON}} \times R_{\text{IOCP}}} \quad (7)$$

7.3.9 入力と出力の間の短絡検出 (TPS16410、TPS16411、TPS16412、TPS16413)

TPS16410、TPS16411、TPS16412、TPS16413 デバイスは、IN ピンと OUT ピンの間の短絡検出機能を備えています。デバイスが IN ピンと OUT ピンの間で R_{short} より小さい抵抗を検出すると、 $\overline{\text{FLT}}$ ピンを Low にアサートします。 R_{short} については、セクション 6.6 を参照してください。 $t_{\text{IN_OUT_Short_Detect}}$ については、セクション 6.5 を参照してください。

起動時に、デバイスは $\overline{\text{FLT}}$ を Low に維持し、内部 FET をオフに維持します。デバイスは、内部 FET をオンにする前に、入力と出力の間の短絡を検出します。デバイスが入力と出力の間の短絡を検出しない場合、 $\overline{\text{FLT}}$ はデアサートされ、

内部 FET が有効になります。起動後、デバイスは入力と出力の間の短絡を定期的に検出し、 $t_{IN_OUT_Short_Detect}$ の遅延後に $\overline{FLT}$ ピンをアサートします。デバイスが入力と出力の間の短絡を検出すると、オフにラッチされます。ラッチをリセットするには、 $EN/SHDN$ をトグルするか、 V_{CC} 電源を入れ直します。ラッチをリセットするには、 $EN/SHDN$ ピンを t_{Low_SHDN} より長い期間 Low のままにします。図 7-15 に、入力と出力の間の短絡に対するデバイスの応答を示します。デバイスの出力で負荷がスイッチングする場合、スイッチング負荷周波数 f_{SW} (単位: kHz) とリップル負荷電流 I_{Ripple} (単位: mA_{p-p}) に基づく推奨デバイス バリエーションについては、表 7-3 を参照してください。

表 7-3. 推奨デバイス バリエーション

スイッチング負荷周波数	$(I_{Ripple}/f_{SW}) \geq 2$	$(I_{Ripple}/f_{SW}) < 2$
0~5Hz	TPS16410, TPS16411, TPS16412, TPS16413, TPS16414, TPS16415, TPS16416, または TPS16417	
> 5Hz	TPS16414, TPS16415, TPS16416, TPS16417	TPS16410, TPS16411, TPS16412, TPS16413, TPS16414, TPS16415, TPS16416, または TPS16417

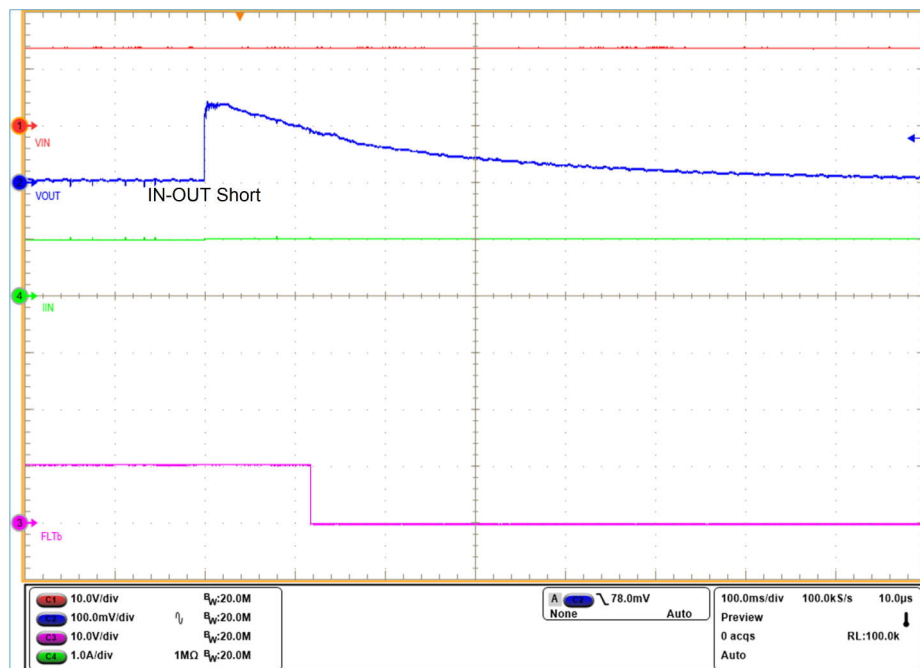


図 7-15. $V_{IN} = 12V$ における入力と出力の間の短絡検出

7.3.10 サーマル シャットダウンおよび過熱保護

電力制限または電流制限中は、デバイスの内部 FET に消費電力 $[(V_{IN} - V_{OUT}) \times I_{OUT}]$ が発生します。この消費電力により、デバイスの温度 (T_J) が上昇します。デバイス温度が T_{TSD} を超えるとシャットダウンします。サーマル シャットダウンの後、TPS16411、TPS16413、TPS16415、TPS16417 はラッチされたままとなります。ラッチをリセットするには、 $EN/SHDN$ をトグルするか、 V_{CC} 電源を入れ直します。ラッチをリセットするには、 $EN/SHDN$ ピンを t_{Low_SHDN} より長い期間 Low のままにします。

サーマル シャットダウンの後、TPS16410、TPS16412、TPS16414、TPS16416 デバイスは、温度が $[T_{TSD} - T_{TSD-hyst}]$ を下回るのを待ち、 t_{retry} の遅延後にデバイスは再起動します。

7.3.11 フォルト応答および表示 ($\overline{FLT}$)

$\overline{FLT}$ は、過電圧、入力と出力の間の短絡、過熱、電流制限、電力制限イベントを示すオープン ドレイン出力です。表 7-4 に、各種イベントでの $\overline{FLT}$ ピンの状態を示します。隣接ピン短絡テスト時 ($\overline{FLT}$ から $EN/SHDN$) にデバイスでの過剰な消費を防止するため、 $\overline{FLT}$ ピンへのシンク電流が 3mA よりも小さくなるように抵抗 (R_{FLT}) を使用して $\overline{FLT}$ ピンをプルアップします。図 7-16 に、プルアップ抵抗での $\overline{FLT}$ ピンのピン配置を示します。

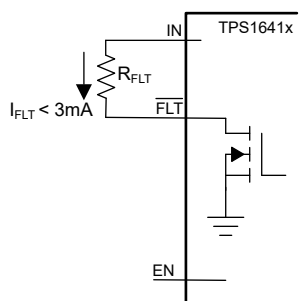


図 7-16. TPS1641x の FLT 出力

表 7-4. 各種イベントの FLT ピン表示

イベント、状態	FLT ピン	TPS16410、TPS16412、TPS16414、TPS16416 における IDLY/PDLY = オープンまたは GND での再試行遅延	TPS16410、TPS16412、TPS16414、TPS16416 における IDLY/PDLY ピンのコンデンサでの再試行遅延
過電圧保護 ($V_{OVP} > V_{OVPR}$) ⁽¹⁾	Low	該当なし	該当なし
入力からの短絡の検出 (TPS16410、TPS16411、TPS16412、TPS16413)	Low	再試行なし、ラッチオフ	再試行なし、ラッチオフ
サーマル シャットダウン ($T_J > T_{TSD}$)	Low	620ms	$8 \times t_{PDLY/IDLY}$
電流または電力制限タイムアウト後	Low	620ms	$8 \times t_{PDLY/IDLY}$

(1) 過電圧保護のため、 V_{OVP} が V_{OVPR} を下回ると、デバイスは FET をオンにします

7.4 デバイスの機能モード

EN/SHDN ピンを Low にすることで、低消費電力のシャットダウン モードに移行できます。低消費電力のシャットダウン モードでは、デバイスの内部ブロックがシャットダウンされ、 V_{CC} 電源から I_{QSD} を受け取ります。詳細については、「[イネーブルおよびシャットダウン入力 \(EN/SHDN\)](#)」セクションを参照してください。

8.2.2 詳細な設計手順

8.2.2.1 過電圧設定点の設定

入力過電圧保護の設定点は、IN ピンと OVP ピンの間に抵抗 (R1、R2) を接続することで設定できます。式 8 および 式 9 を使用して、抵抗値を計算します。OVP の立ち上がり設定点を 32V に設定するために、R1 = 1MΩ および R2 = 47kΩ としています。

$$\text{OVP Rising Setpoint} = \frac{V_{\text{OVPR}} \times (R1 + R2)}{R2} \quad (8)$$

$$\text{OVP Falling Setpoint} = \frac{V_{\text{OVPF}} \times (R1 + R2)}{R2} \quad (9)$$

8.2.2.2 出力過電流設定点 (IOCP) の設定

出力過電流設定点を設定するには、IOCP ピンに抵抗 (R4) が必要です。式 5 を使用して、この抵抗 (R4) の値を計算します。I_{OCP} = 1A の場合、R4 は 16.2kΩ に選定されます。

8.2.2.3 出力電力制限の設定

出力電力制限を設定するには、PLIM ピンに抵抗 (R3) が必要です。式 4 を使用して、電力制限値を計算します。出力電力制限 ≤ 15W を維持するために、R3 は 95.3kΩ としています。

8.2.2.4 出力電流の監視

このピンの電圧を読み取ることで、IOCP または IMON の出力電流を監視します。式 7 を使用して、出力電流を計算します。

8.2.2.5 突入電流の制限と出力スルーレートの設定

出力の大容量コンデンサを充電する場合、dVdt ピンのコンデンサを使用して出力スルーレートを制御します。式 10 を用いて、突入電流の値を推定します。突入電流を 350mA 未満に抑えるために、C_{dVdt} は 150nF に選択されています。

$$I_{\text{INRUSH}} = \frac{I_{\text{dVdt}} \times G_{\text{dVdt}} \times C_{\text{OUT}}}{C_{\text{dVdt}}} \quad (10)$$

8.2.3 アプリケーション曲線

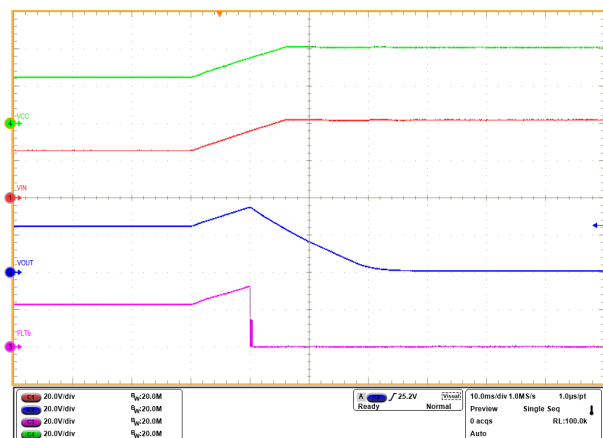


図 8-2. 最大 ±40V の過電圧保護

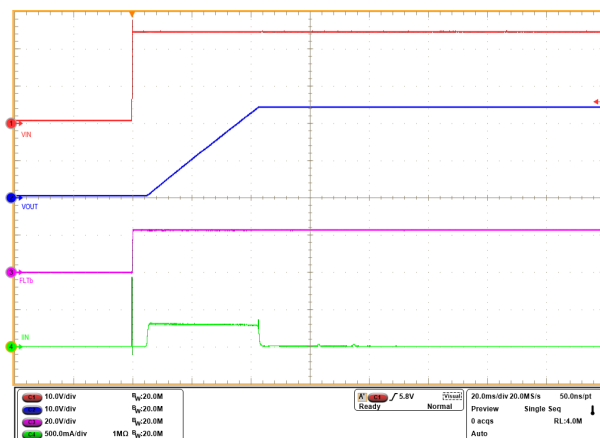


図 8-3. ホット プラグインの突入電流制御

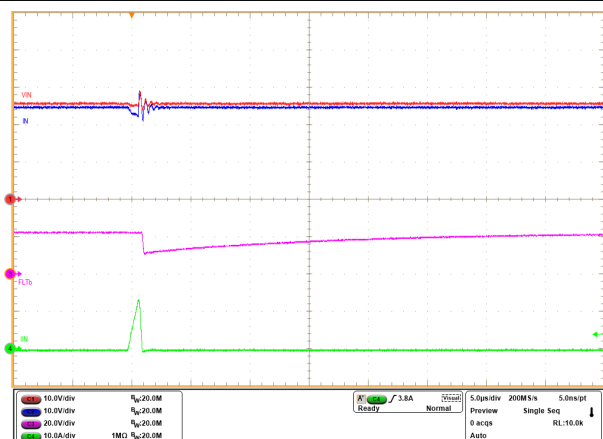


図 8-4. 出力短絡保護機能

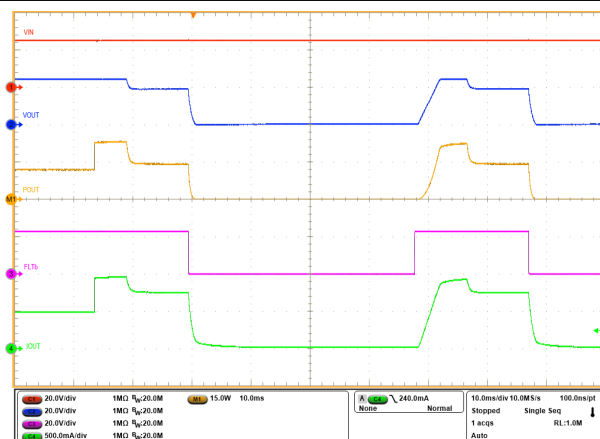


図 8-5. TPS16410 での 15W 電力制限 ($I_{OUT} < I_{OCP}$)

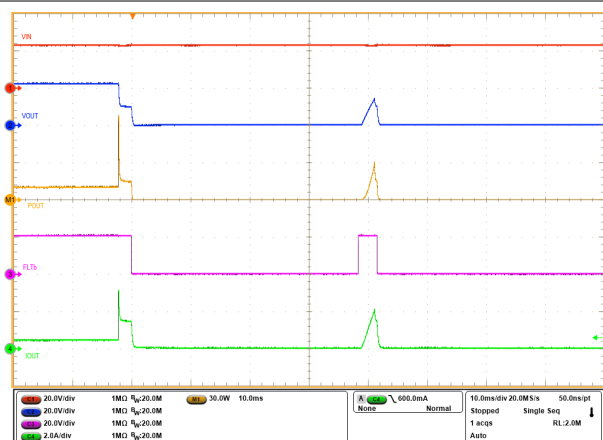


図 8-6. TPS16410 での 15W 電力制限 ($I_{OCP} \leq I_{OUT} < I_{fast-trip}$)

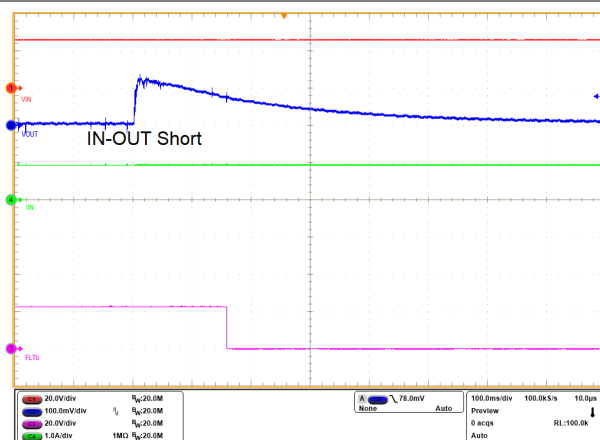


図 8-7. $V_{IN} = 24V$ における入力と出力の間の短絡検出

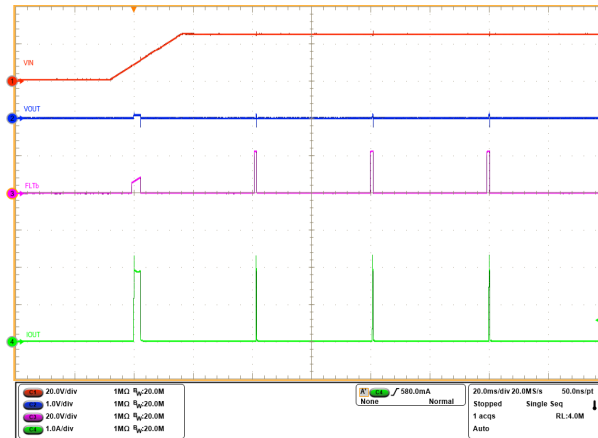


図 8-8. パワーアップから短絡

8.3 システム例

8.3.1 DC/DC またはフライバック コンバータの出力における高精度の電力/電流制限

DC/DC コンバータまたはフライバック コンバータを使用するシステムで、出力で正確な電力または電流制限 ($\pm 5\%$) を行うためにデバイスを使用します。保護を強化するためにデバイスにはフォルト ピンがあり、過電圧、過電流または過電力、短絡検出、サーマル シャットダウン イベントの場合にアサートされます。フォルトを使用して DC/DC コンバータまたはフライバック コンバータをオフにし、負荷のために TPS1641 の入力に電力を供給します。デバイスは、自体の動作電源用に独立した Vcc ピンを備えており、Vcc が供給されている間は動作状態を維持することができます。図 8-9 に、DC/DC またはフライバック コンバータの出力のアプリケーションを示します。

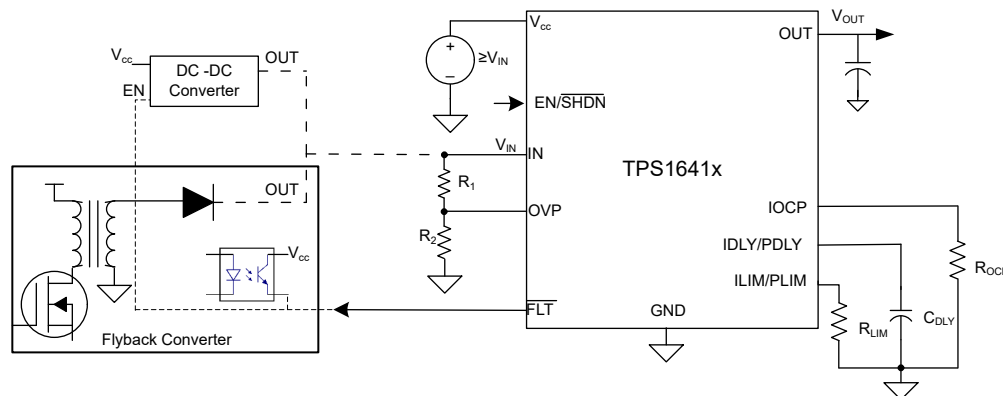


図 8-9. DC/DC またはフライバック コンバータの出力における高精度の電力/電流制限

8.4 設計のベスト プラクティス

- V_{CC} および IN ピンのデカップリングには $C_{IN} \geq 10\text{nF}$ を使用します。
- OVP、PLIM/ILIM、IOCP/IMON ピンをオープンまたはフローティングのままにしないでください。
- デバイスの PowerPAD を PCB 上の GND に接続します。
- EN/SHDN ピンは 5V を超える電圧に接続しないでください。

8.5 電源に関する推奨事項

- TPS16410 および TPS16411 には、 $4.5\text{V} \leq V_{IN} \leq 40\text{V}$ を使用します。
- TPS16412 および TPS16413 には、 $2.7\text{V} \leq V_{IN} \leq 40\text{V}$ を使用します。
- $V_{IN} \leq V_{CC} \leq 60\text{V}$ を使用します。
- 電圧 $\leq 60\text{V}$ で $\overline{\text{FLT}}$ をプルアップします。プルアップ抵抗を使用して、 $\overline{\text{FLT}}$ ピンに流れ込む電流を $< 3\text{mA}$ に維持します。

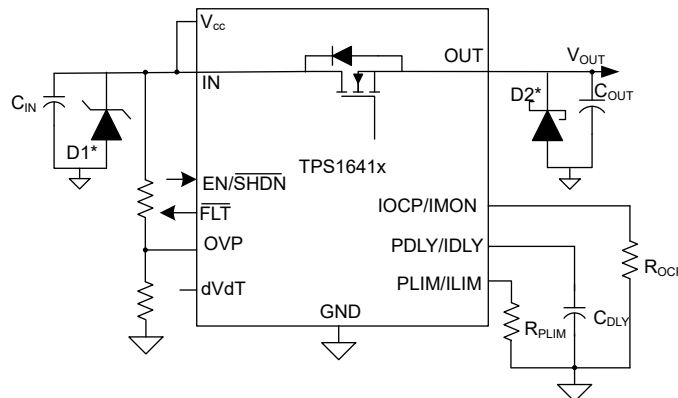
8.5.1 過渡保護

デバイスが電流フローに割り込むタイミングで、短絡および過負荷電流による制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何等かの策を講じない場合は、上記の過渡現象によって、デバイスの絶対最大定格を超える可能性があります。図 8-10 に、過渡保護回路を示します。過渡現象に対処する一般的な方法は、以下のとおりです。

- デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
- PCB には、大きい GND プレーンを使用します。
- 負のスパイクを吸収するために、OUT ピン接地からショットキー ダイオード (D2) を接続します。OUT ピンの出力における負の過渡スパイクに対する絶対最大定格は -1V です。
- デバイスのすぐ近くの OUT ピンに $1\mu\text{F}$ 以上の低 ESR コンデンサを接続します。
- 低値のセラミック コンデンサ ($C_{IN} = 0.1\mu\text{F}$) を使用して、エネルギーを吸収し、過渡現象を減衰させます。式 11 を用いて、入力容量のおおよその値を推定します。

$$V_{IN - \text{SPIKE}} = V_{IN} + I_{\text{LOAD}} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (11)$$

- 一部のアプリケーションでは、過渡電圧をデバイスの絶対最大定格以下に抑えるために、追加の過渡電圧サプレッサ (TVS) が必要です。TVS は、過剰なエネルギー ダンプを吸収し、デバイスの入力で非常に高速な過渡電圧が発生することを防止するのに役立ちます。適切な TVS を使用して、過渡電圧をデバイスの絶対最大定格より低くクランプします。



TVS D1* とショットキー D2* は、入力と出力の過渡保護用のオプション ダイオードです。

図 8-10. TPS1641x での過渡保護

8.6 レイアウト

8.6.1 レイアウトのガイドライン

- 大電流が流れるパワー パス接続が可能な限り短く、かつ全負荷電流の少なくとも 2 倍の電流を流せる太さになっていることを確認してください。
- GND (PowerPAD)** ピンを、IC の端子において、可能な限り短い配線で PCB のグランド プレーンに接続してください。PCB の接地は、基板上の銅プレーンまたはアイランドである必要があります。TI は、**eFuse** には個別のグランド プレーン アイランドを配置することを推奨します。このプレーンは高い電流を流さず、**eFuse** の重要なアナログ信号のすべてに対して、低ノイズのグランド基準としての役割を果たします。デバイスのグランド プレーンは、スター接続を使用してシステムの電源グランド プレーンに接続してください。
- デカップリング コンデンサ (**C_{IN}**) は、デバイスの **IN** および **GND** ピンの最も近くに配置するのが最適な配置です。バイパス コンデンサの接続、IC の **IN** ピン、**GND** ピンが形成するループ領域を最小限に抑えるように注意してください。
- 次のサポート部品を接続ピンの近くに配置します。
 - R_{ILM}** または **R_PLM**
 - R_{IOCP}**
 - C_{DLY}**
 - C_{dVdT}**
 - OVP** の抵抗
- 部品のもう一方の端を、最短のパターン長でデバイスの **GND** ピンに接続します。電流制限、過電流ブランキング間隔、ソフト スタート タイミングに及ぼす寄生効果を低減するため、これらの部品からデバイスへの配線経路は、可能な限り短くする必要があります。
- ILM** ピンのバイアス電流はデバイスの過電流保護動作を直接制御するため、これらのノードの PCB 配線はノイズの多い (スイッチング) 信号から遠ざける必要があります。
- TVS**、スナバ、コンデンサ、ダイオードなどの保護デバイスは、それらが保護対象とするデバイスの物理的に近くに配置してください。インダクタンスを低減するために、これらの保護デバイスは短いパターンで配線します。たとえば、誘導性負荷のスイッチングによる負の過渡に対処するためには、TI は保護ショットキー ダイオードを推奨します。TI は、**OUT** と **GND** の間に、1 μ F 以上のセラミック デカップリング コンデンサ (**C_{OUT}**) を追加することを推奨します。このような部品は、**OUT** ピンに物理的に近い場所に配置する必要があります。ショットキー ダイオードとバイパス コンデンサの接続、**OUT** ピン、IC の **GND** ピンが形成するループ領域を最小限に抑えるように注意してください。

8.6.2 レイアウト例

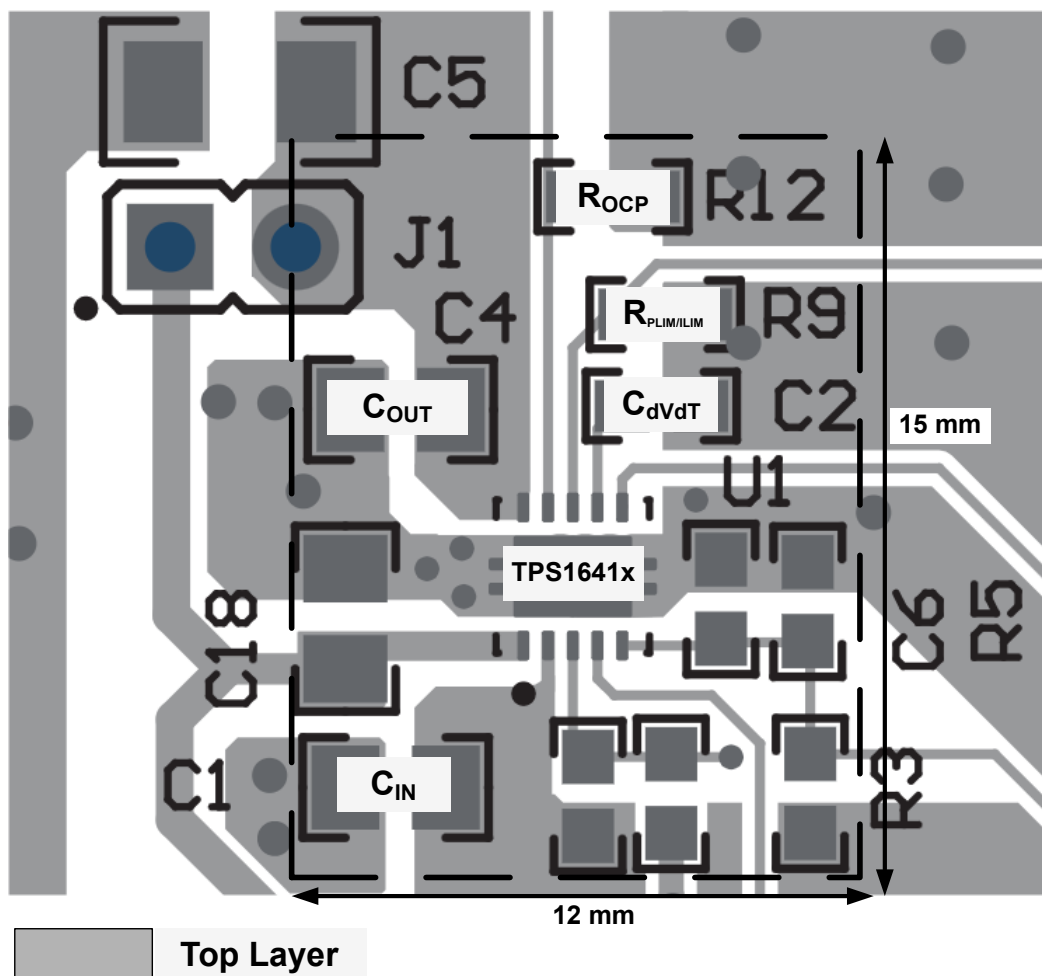


図 8-11. レイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2023) to Revision C (June 2026)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
UL 2367 認定ステータスを追加.....	1
IEC 62368-1 CB 認証を追加.....	1

Changes from Revision A (December 2022) to Revision B (April 2023)	Page
ドキュメント全体にわたって新しいデバイス バリエーションの情報を追加.....	1
新しいデバイス バリエーションに関する推奨事項を追加.....	20

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS16410DRCR	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16410
TPS16410DRCR.A	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16410
TPS16411DRCR	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16411
TPS16411DRCR.A	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16411
TPS16412DRCR	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16412
TPS16412DRCR.A	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16412
TPS16413DRCR	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16413
TPS16413DRCR.A	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16413
TPS16413DRCRG4	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16413
TPS16413DRCRG4.A	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16413
TPS16414DRCR	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16414
TPS16414DRCR.A	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16414
TPS16415DRCR	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16415
TPS16415DRCR.A	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16415
TPS16416DRCR	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16416
TPS16416DRCR.A	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16416
TPS16417DRCR	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16417
TPS16417DRCR.A	Active	Production	VSON (DRC) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16417

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

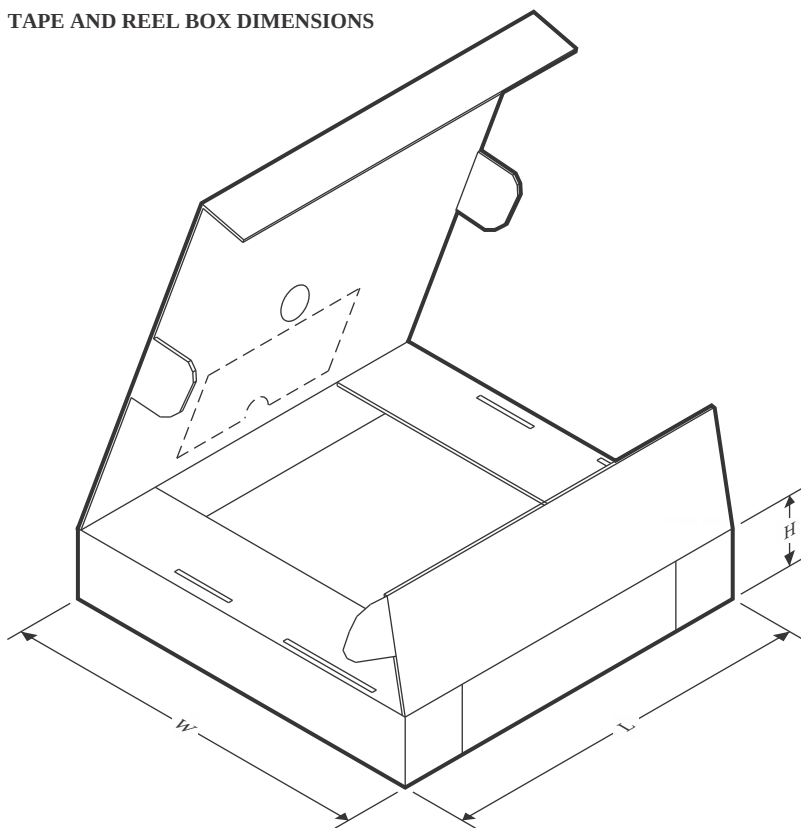
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS16410DRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS16411DRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS16412DRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS16413DRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS16413DRCRG4	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS16414DRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS16415DRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS16416DRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS16417DRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS16410DRCR	VSON	DRC	10	3000	360.0	360.0	36.0
TPS16411DRCR	VSON	DRC	10	3000	360.0	360.0	36.0
TPS16412DRCR	VSON	DRC	10	3000	360.0	360.0	36.0
TPS16413DRCR	VSON	DRC	10	3000	360.0	360.0	36.0
TPS16413DRCRG4	VSON	DRC	10	3000	367.0	367.0	35.0
TPS16414DRCR	VSON	DRC	10	3000	360.0	360.0	36.0
TPS16415DRCR	VSON	DRC	10	3000	360.0	360.0	36.0
TPS16416DRCR	VSON	DRC	10	3000	360.0	360.0	36.0
TPS16417DRCR	VSON	DRC	10	3000	360.0	360.0	36.0

GENERIC PACKAGE VIEW

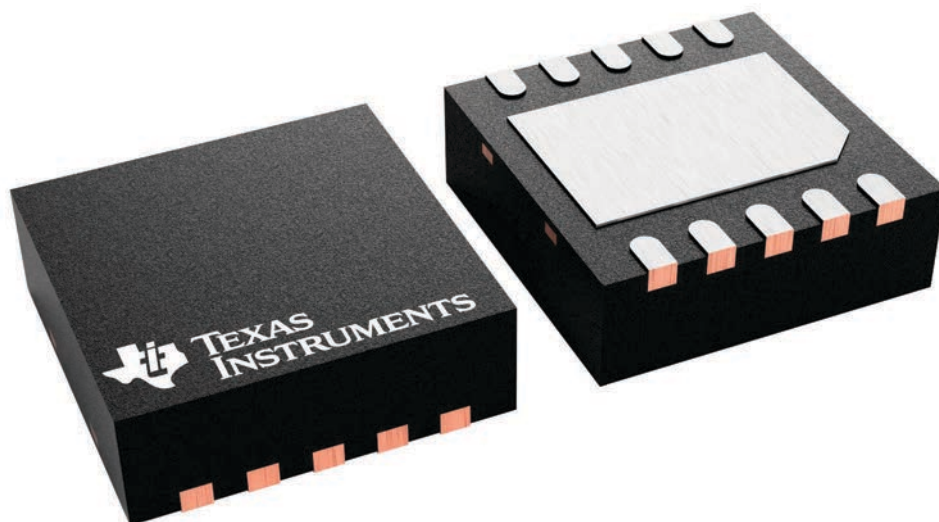
DRC 10

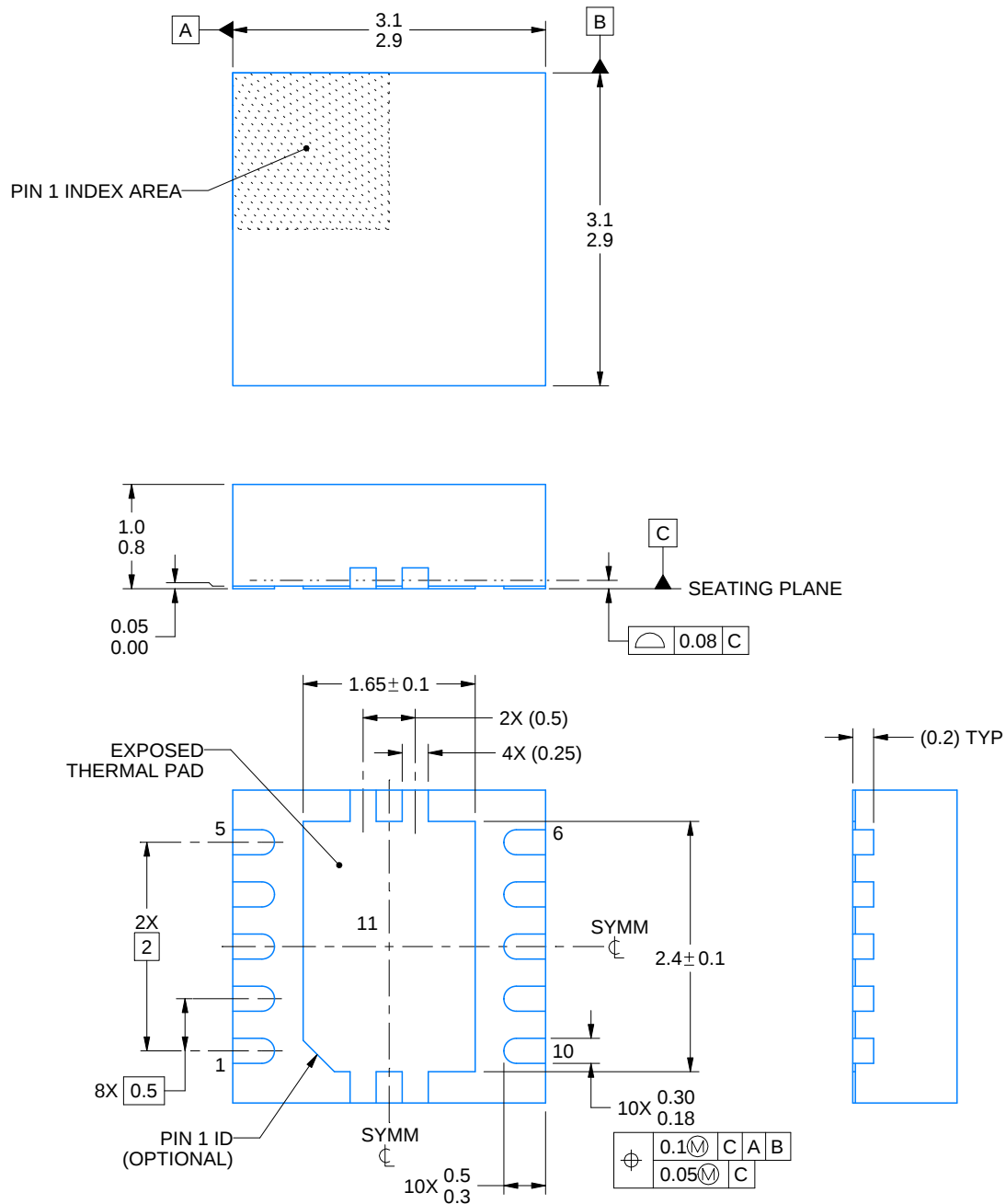
VSON - 1 mm max height

3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





4218878/B 07/2018

NOTES:

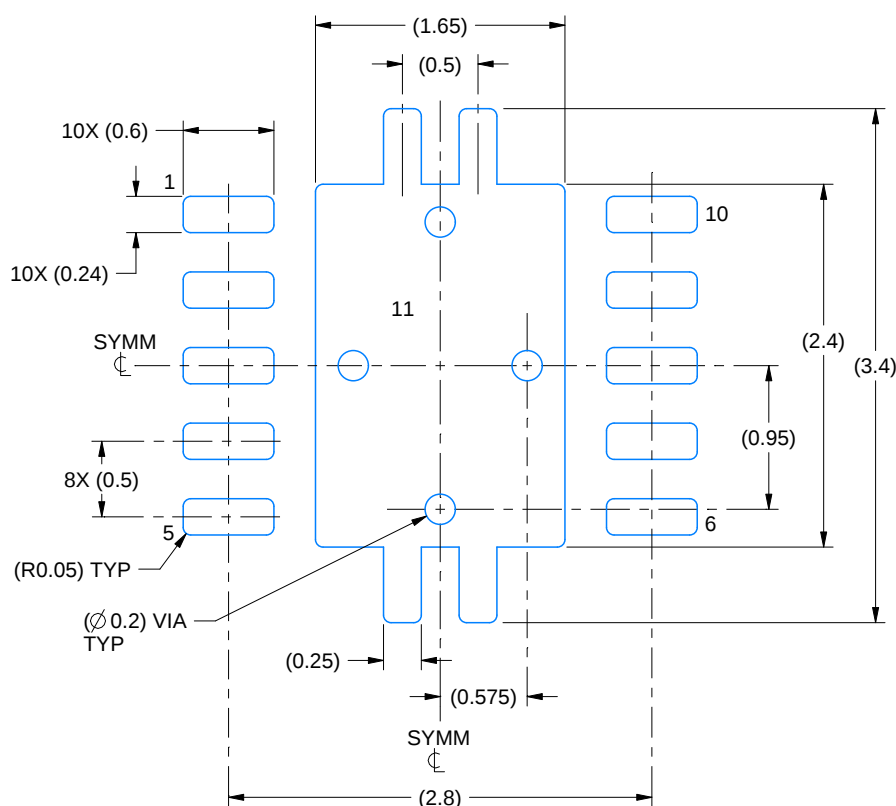
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

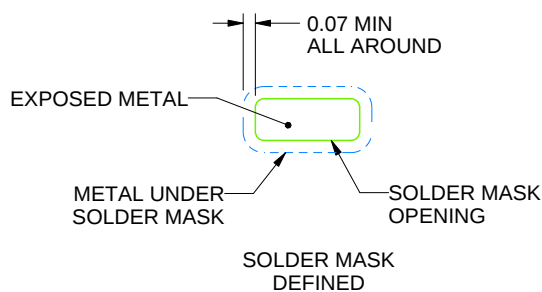
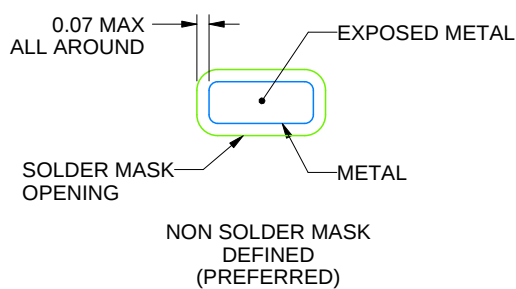
DRC0010J

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4218878/B 07/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

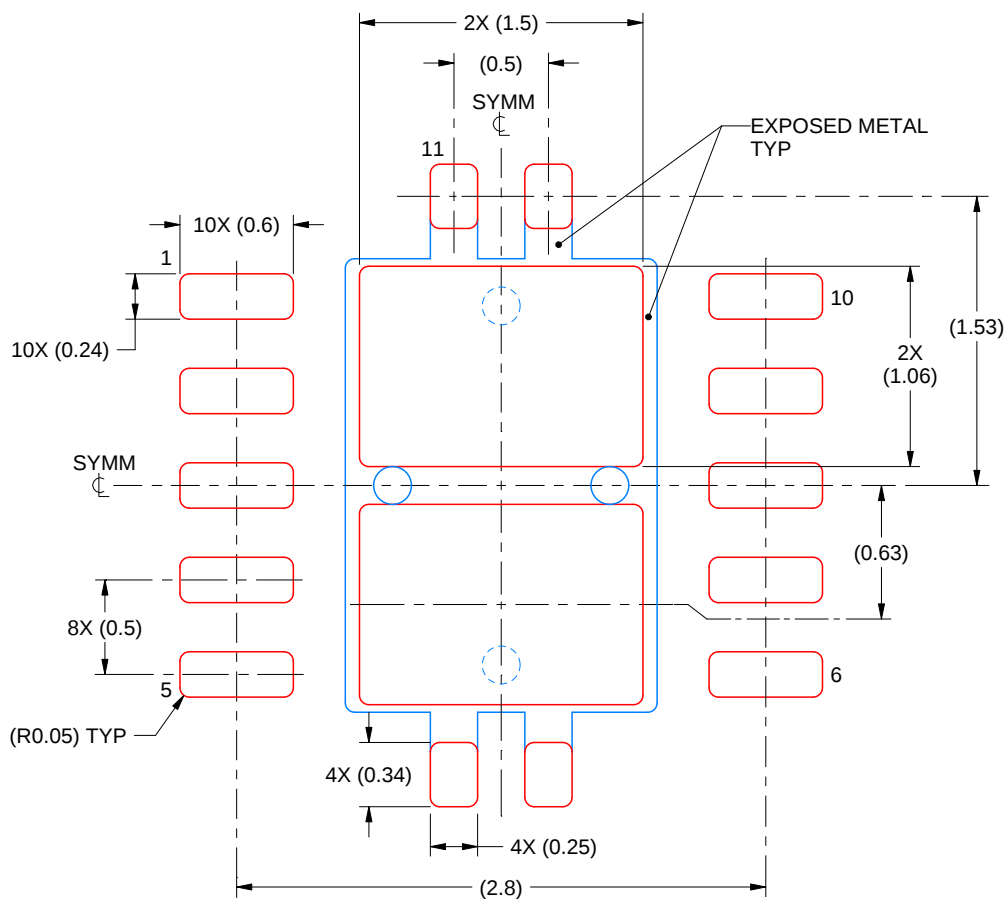
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRC0010J

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 11:
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218878/B 07/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月