TPS1663x 可変出力電力制限搭載 60V、6A eFuse

1 特長

- 動作電圧 4.5V ～ 60V
  - 絶対最大値:67V
- 60V、31mΩ、R_{ON} のホットスワップ FET を内蔵
- 調整可能な電流制限:0.6A ～ 6A (±7%)
- 低い静止電流:シャットダウン時の 21µA
- 可変出力電力制限 (TPS16632 および TPS16637) (±6%)
- UVLO および OVP カットオフを ±2% 精度で調整可能
  - 固定 39V の最大過電圧クランプ (TPS16632 のみ)
- 突入電流からの保護のために出力 スルーレート制御を調整可能
  - デバイス起動中のサーマル レギュレーションにより大容量および未知の容量性負荷を充電可能
- パワー グッド出力 (PGOOD)
- 過電流フォルト応答オプションとして、自動再試行とラッチオフを選択可能 (MODE)
- アナログ電流モニタ (IMON) 出力 (±6%)
- UL 2367 認定
  - ファイル番号 E169910
  - RILIM ≥ 3kΩ
- IEC 62368-1 認証済み
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 使いやすい 24 ピン VQFN パッケージで供給

2 アプリケーション

- ファクトリ・オートメーションおよび制御 - PLC、DCS、HMI、I/O モジュール、センサ・ハブ
- モータ・ドライブ - CNC、エンコーダ電源
- 電子回路ブレーカ
- 通信用無線機器
- 産業用プリンタ

3 説明

TPS1663x は、使いやすい正極性 60V/6A の eFuse であり、31mΩ の FET を内蔵しています。負荷、ソース、および eFuse 自体の保護に加え、正確な過電流保護、高速の短絡保護、出力スルーレート制御、過電圧保護、低電圧誤動作防止などの調整可能な機能を備えています。TPS16332 デバイスは、IEC61010-1 や UL1310 などの規格に簡単に準拠できるようにする調整可能な出力電力制限 (PLIM) 機能を備えています。また、デバイスは調整可能な過電流機能も備えています。PGOOD を使用して、下流の DC / DC コンバータの制御をイネーブル / ディセーブルできます。

シャットダウン ピンにより、内蔵 FET のイネーブル / ディセーブルを外部的に制御でき、デバイスを低電流のシャットダウン モードに移行させることもできます。システム状態の監視や下流負荷の制御のために、このデバイスはフォルト出力および高精度の電流監視出力を備えています。MODE ピンにより、2 種類の電流制限フォルト応答 (ラッチオフ、自動再試行) のどちらにもデバイスを柔軟に設定できます。

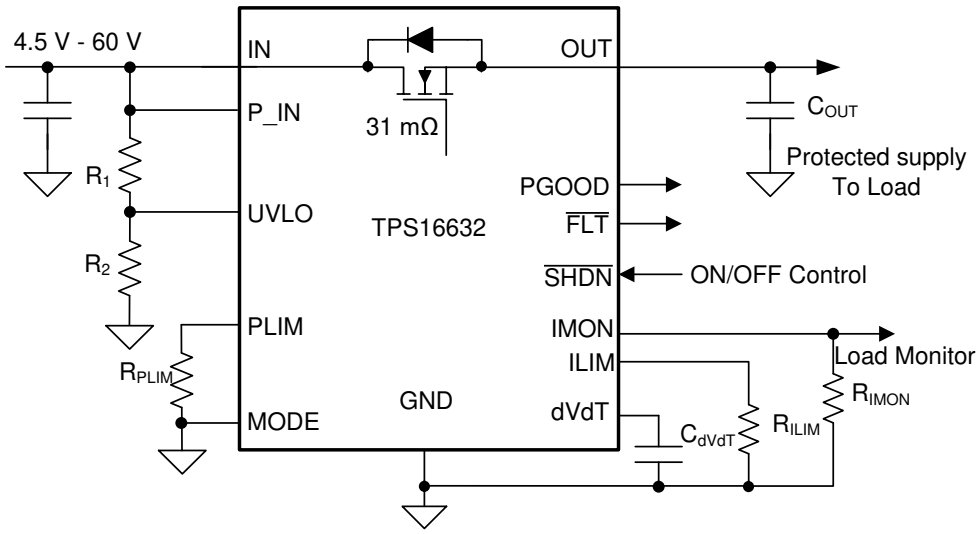
これらのデバイスは 4mm × 4mm の 24 ピン VQFN パッケージで供給され、-40℃～+125℃の温度範囲で動作が規定されています。

パッケージ情報

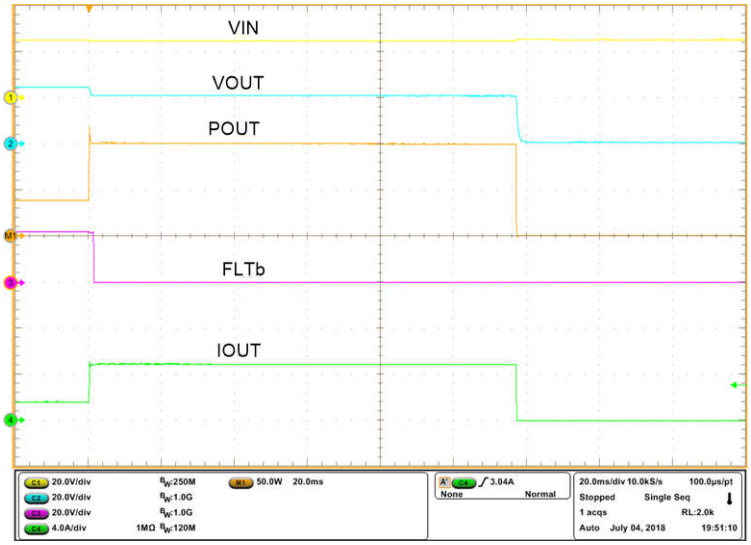
部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS16630	VQFN (24)	4.00mm × 4.00mm
TPS16632		
TPS16637		
TPS16630	HTSSOP (20)	6.50mm × 4.40mm
TPS16637		

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



概略回路図



TPS16632 の出力電力制限性能

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 デバイス比較表 4
5 ピン構成および機能 5
6 仕様 8
6.1 絶対最大定格 8
6.2 ESD 定格 8
6.3 推奨動作条件 8
6.4 熱に関する情報 9
6.5 電気的特性 9
6.6 タイミング要件 10
6.7 代表的特性 12
7 パラメータ測定情報 15
8 詳細説明 16
8.1 概要 16
8.2 機能ブロック図 17
8.3 機能説明 18
8.4 デバイスの機能モード 27
9 アプリケーションと実装 28
9.1 使用上の注意 28
9.2 代表的なアプリケーション 28
9.3 システム例 31
9.4 電源に関する推奨事項 31
9.5 レイアウト 32
10 デバイスおよびドキュメントのサポート 36
10.1 ドキュメントのサポート 36
10.2 ドキュメントの更新通知を受け取る方法 36
10.3 サポート・リソース 36
10.4 商標 36
10.5 静電気放電に関する注意事項 36
10.6 用語集 36
11 改訂履歴 36
12 メカニカル、パッケージ、および注文情報 37

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

部品番号	過電圧保護	可変出力電力制限
TPS16630	過電圧カットオフ、調整可能	なし
TPS16632	過電圧クランプ、固定 (最大 39V)	あり
TPS16637	NA	あり

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

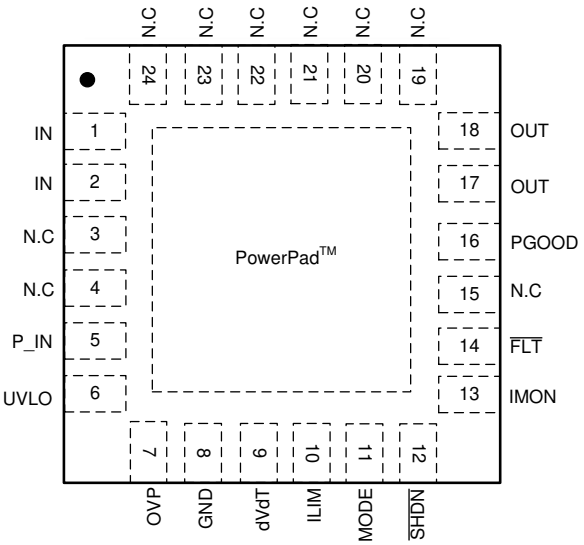


図 5-1. TPS16630 RGE パッケージ、 24 ピン VQFN (上面図)

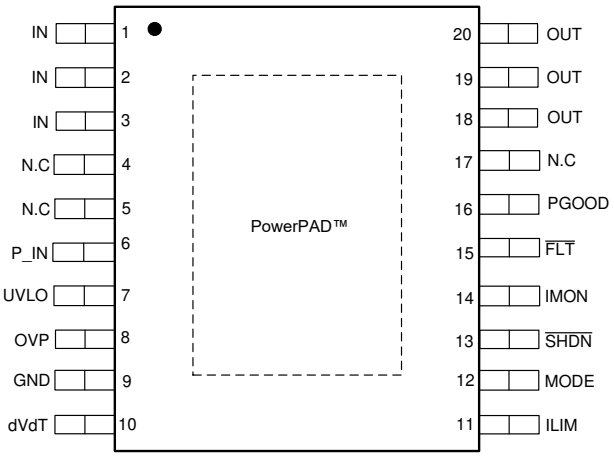


図 5-2. TPS16630 PWP パッケージ、 20 ピン HTSSOP (上面図)

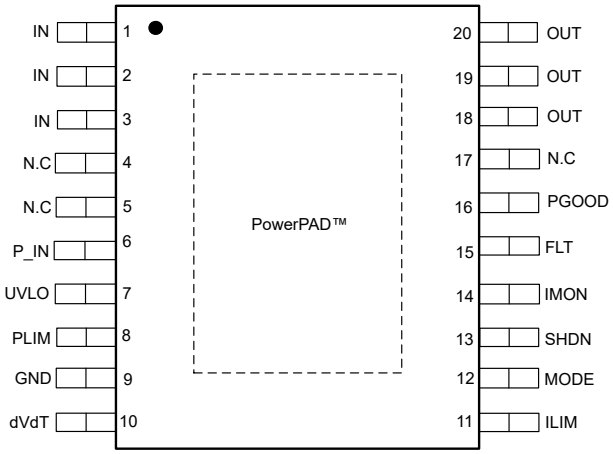


図 5-3. TPS16637 PWP パッケージ、 20 ピン HTSSOP (上面図)

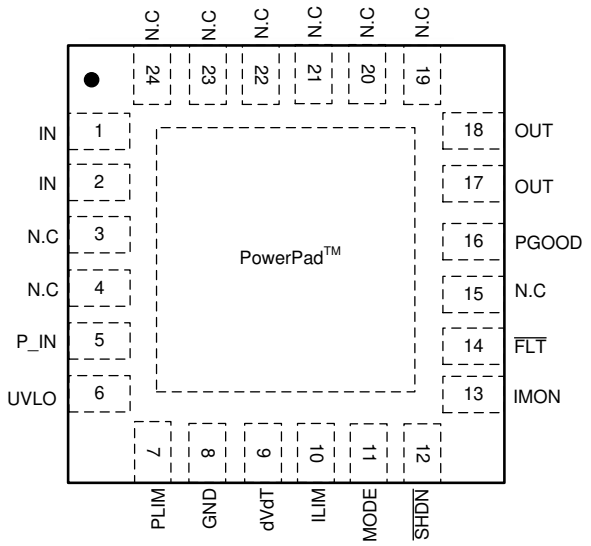


図 5-4. TPS16632 および TPS16637 RGE パッケージ、 24 ピン VQFN (上面図)

表 5-1. ピンの機能

ピン					タイプ (1)	説明
名称	TPS16630		TPS16632 および TPS16637			
	VQFN	HTSSOP	VQFN	HTSSOP		
IN	1	1	1	1	P	電源入力.内部外部 FET のドレインに接続します。
	2	2	2	2		
	—	3	—	3		

表 5-1. ピンの機能 (続き)

ピン					タイプ (1)	説明
名称	TPS16630		TPS16632 および TPS16637			
	VQFN	HTSSOP	VQFN	HTSSOP		
P_IN	5	6	5	6	P	デバイスの電源電圧 P_IN は常に IN に直接接続してください。
UVLO	6	7	6	7	I	プログラマブルな低電圧誤動作防止スレッショルドを設定するための入力。低電圧イベントが発生すると、内部 FET がオフになり、$\overline{FLT}$ がアサートされて電源障害を通知します。
OVP	7	8	—	—	I	可変過電圧保護スレッショルドを設定するための入力 (TPS16630 のみ)。過電圧イベントが発生すると、内部 FET がオフになり、$\overline{FLT}$ がアサートされて過電圧障害を通知します。
プリム	—	—	7	8	I	可変出力電力制限スレッショルドを設定するための入力 (TPS16632 および TPS16637)。PLIM と GND の間に抵抗を接続して、出力電力制限を設定します。PLIM 機能を使用しない場合は、PLIM を GND に直接接続します。「出力電力制限、PLIM (TPS16632 のみ)」セクションを参照してください。
GND	8	9	8	9	—	GND をシステム グランドに接続します。
dVdT	9	10	9	10	I/O	このピンと GND との間にコンデンサを接続することで、出力電圧のスルーレートが設定されます。このピンをフローティング状態にしておくと、デバイスがサーマル レギュレーション モードで起動し、出力の高速充電が可能となります。「ホット プラグインおよび突入電流の制御」のセクションを参照してください。
ILIM	10	11	10	11	I/O	このピンと GND の間に接続された抵抗により、過負荷制限が設定されます。「過負荷および短絡保護」セクションを参照してください。
モード	11	12	11	12	I	過負荷フォルト応答用のモード選択ピン。「デバイスの機能モード」セクションを参照してください。
$\overline{SHDN}$	12	13	12	13	I	シャットダウン ピン。$\overline{SHDN}$ を Low にすると、デバイスは 低消費電力シャットダウン モードに移行します。$\overline{SHDN}$ ピン電圧をサイクルすると、フォルト状態によってラッチ オフされたデバイスがリセットされます。
IMON	13	14	13	14	O	アナログ電流モニタ出力。このピンは、内蔵 FET を介して、電流を所定の比率で縮小した電流を供給します。このピンと GND との間の抵抗は、電流をそれに比例した電圧に変換します。使用しない場合は、フローティングのままにします。
$\overline{FLT}$	14	15	14	15	O	フォルト イベント インジケータ。このピンは、オープン ドレイン出力です。使用しない場合は、フローティングのままにするか、GND に接続します。
PGOOD	16	16	16	16	O	アクティブ High。High は、内部 FET がエンハンスされていることを示します。フォルト時に内部 FET がオフになった場合、または、$\overline{SHDN}$ が Low になると、PGOOD は Low になります。PGOOD を使用しない場合は、GND に接続するか、フローティングのままにします。
OUT	17	18	17	18	P	デバイスの電源出力。
	18	19	18	19		
	—	20	—	20		

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン					タイプ (1)	説明
名称	TPS16630		TPS16632 および TPS16637			
	VQFN	HTSSOP	VQFN	HTSSOP		
N.C	3	4	3	4	—	接続なし。
	4	5	4	5		
	15	17	15	17		
	19	—	19	—		
	20	—	20	—		
	21	—	21	—		
	22	—	22	—		
	23	—	23	—		
	24	—	24	—		
PowerPAD™					—	ヒート シンクのために PowerPAD を GND プレーンに接続します。PowerPAD を GND への唯一の電気的接続として使用しないでください。

(1) I = 入力、O = 出力、I/O = 入力および出力、P = 電源

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
IN、P_IN、OUT、UVLO、$\overline{FLT}$、PGOOD	入力電圧	-0.3	67	V
IN、P_IN (10ms transient)、T_A = 25℃	入力電圧	-0.3	75	V
OVP、dVdT、IMON、MODE、$\overline{SHDN}$、ILIM	入力電圧	-0.3	5.5	V
$I_{\overline{FLT}}$、I_{dVdT}、I_{PGOOD}	シンク電流		10	mA
I_{dVdT}、I_{ILIM}、I_{PLIM}、I_{MODE}、$I_{\overline{SHDN}}$	ソース電流	内部的に制限		
T_J	動作時接合部温度	-40	150	°C
T_J	過渡接合部温度	-65	$T_{(TSD)}$	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1000	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
IN、P_IN	入力電圧	4.5		60	V
OUT、UVLO、PGOOD、$\overline{FLT}$	入力電圧	0		60	V
OVP、dVdT、IMON、MODE	入力電圧	0		4	V
$\overline{SHDN}$	入力電圧	0		5	V
ILIM	抵抗	3		30	kΩ
プリム	抵抗	60.4		150	kΩ
IMON	抵抗	1			kΩ
IN、P_IN、OUT	外部容量	0.1			µF
dVdT	外部容量	10			nF
T_J	動作時接合部温度	-40	25	125	°C

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準(1)		TPS1663		単位
		RGE (VSON)	PWP (HTSSOP)	
		24 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	31.4	32.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	23.2	23.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	10.2	10	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	10.2	9.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.8	3.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

–40°C ≤ T_A = T_J ≤ +125°C、4.5V < $V_{(IN)}$ = $V_{(P_IN)}$ < 60V、$V_{(\overline{SHDN})}$ = 2V、$R_{(ILIM)}$ = 30kΩ、IMON = PGOOD = $\overline{FLT}$ = OPEN、$C_{(OUT)}$ = 1µF、$C_{(dVdT)}$ = OPEN(全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧						
$V_{(IN)}$、$V_{(P_IN)}$	動作時入力電圧		4.5		60	V
$IQ_{(ON)}$	電源電流	イネーブル時: $V_{(\overline{SHDN})}$ = 2V		1.38	1.7	mA
$IQ_{(OFF)}$		$V_{(\overline{SHDN})}$ = 0V		21	60	µA
$V_{(OVC)}$	過電圧クランプ	TPS16632 のみ、$V_{(IN)}$ > 40V、$I_{(OUT)}$ = 1mA	35.7	36.6	39	V
低電圧誤動作防止 (UVLO) 入力						
$V_{(UVLOR)}$	UVLO スレッショルド電圧、立ち上がり		1.176	1.2	1.224	V
$V_{(UVLOF)}$	UVLO スレッショルド電圧、立ち下がり		1.09	1.122	1.15	V
$I_{(UVLO)}$	UVLO の入力リーク電流	0V ≦ $V_{(UVLO)}$ ≦ 60V	-150	8	150	nA
過電圧保護 (OVP) 入力						
$V_{(OVPR)}$	過電圧スレッショルド電圧、立ち上がり		1.176	1.2	1.224	V
$V_{(OVPF)}$	過電圧スレッショルド電圧、立ち下がり		1.09	1.122	1.15	V
$I_{(OVP)}$	OVP の入力リーク電流	0V ≤ $V_{(OVP)}$ ≤ 4V	-150	0	150	nA
電流制限プログラミング (ILIM)						
$I_{(OL)}$	過負荷電流制限	$R_{(ILIM)}$ = 30kΩ、$V_{(IN)}$ – $V_{(OUT)}$ = 1V	0.54	0.6	0.66	A
		$R_{(ILIM)}$ = 9kΩ、$V_{(IN)}$ – $V_{(OUT)}$ = 1V	1.84	2	2.16	A
		$R_{(ILIM)}$ = 4.02kΩ、$V_{(IN)}$ – $V_{(OUT)}$ = 1V	4.185	4.5	4.815	A
		$R_{(ILIM)}$ = 3kΩ、$V_{(IN)}$ – $V_{(OUT)}$ = 1V	5.58	6	6.42	A
$I_{(FASTRIP)}$	高速トリップ コンパレータのスレッショルド			2x$I_{(OL)}$		A
$I_{(SCP)}$	短絡保護電流			45		A
出力電力制限制御 (PLIM) 入力 – TPS16632 および TPS16637 のみ						
$V_{(SEL_PLIM)}$	電力制限機能選択スレッショルド		180	210	240	mV
$I_{(PLIM)}$	PLIM ソース電流	$V_{(PLIM)}$ = 0V	4.4	5.02	5.6	µA
$P_{(PLIM)}$	最大出力電力	$R_{(PLIM)}$ = 100kΩ	94	100	106	W
		$R_{(PLIM)}$ = 150kΩ (1)	141.9	151	160.1	W
$P_{(PLIM)}$	最大出力電力	$R_{(PLIM)}$ = 100kΩ、V_{IN} = 54V、TPS16637		100		W
パス FET 出力 (OUT)						

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

–40°C ≤ T_A = T_J ≤ +125°C、4.5V < $V_{(IN)}$ = $V_{(P_IN)}$ < 60V、$V_{(\overline{SHDN})}$ = 2V、$R_{(ILIM)}$ = 30kΩ、IMON = PGOOD = $\overline{FLT}$ = OPEN、$C_{(OUT)}$ = 1µF、$C_{(dVdT)}$ = OPEN(全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{ON}	IN と OUT 間の合計 ON 抵抗	0.6A ≤ $I_{(OUT)}$ ≤ 6A、T_J = 25°C	26	30.44	34.5	mΩ
R_{ON}	IN と OUT 間の合計 ON 抵抗	0.6A ≤ $I_{(OUT)}$ ≤ 6A、T_J = 85°C	33		45	mΩ
R_{ON}	IN と OUT 間の合計 ON 抵抗	0.6A ≤ $I_{(OUT)}$ ≤ 6A、–40°C ≤ T_J ≤ +125°C	19	30.44	53	mΩ
出力ランプ制御 (dVdT)						
$I_{(dVdT)}$	dVdT 充電電流	$V_{(dVdT)}$ = 0V	1.775	2	2.225	µA
ゲイン $_{(dVdT)}$	dVdT から OUT ゲイン	$V_{(OUT)}$ /$V_{(dVdT)}$	23.5	25	26	V/V
$V_{(dVdTmax)}$	dVdT の最大コンデンサ電圧		3.8	4.17	4.75	V
$R_{(dVdT)}$	dVdT 放電抵抗		10	16.6	26.6	Ω
電流モニタ出力 (IMON)						
ゲイン $_{(IMON)}$	ゲイン係数 $I_{(IMON)}$:$I_{(OUT)}$	0.6A ≤ $I_{(OUT)}$ < 2A	25.66	27.9	30.14	µA/A
		2A ≤ $I_{(OUT)}$ ≤ 6A	26.22	27.9	29.58	µA/A
低 IQ シャットダウン ($\overline{SHDN}$) 入力						
$V_{(\overline{SHDN})}$	オープン回路電圧	$I_{(\overline{SHDN})}$ = 0.1 µA	2.48	2.7	3.3	V
$V_{(SHUTF)}$	低 IQ シャットダウンの $\overline{SHDN}$ スレッショルド電圧、立ち下がり		0.8			V
$V_{(SHUTR)}$	$\overline{SHDN}$ スレッショルドの立ち上がり				2	V
$I_{(\overline{SHDN})}$	リーク電流	$V_{(\overline{SHDN})}$ = 0V	-10			µA
故障フラグ ($\overline{FLT}$):アクティブ Low						
$R_{(FLT)}$	$\overline{FLT}$ プルダウン抵抗		36	70	130	Ω
$I_{(FLT)}$	$\overline{FLT}$ の入力リーク電流	0V ≤ $V_{(\overline{FLT})}$ ≤ 60V	-150	6	150	nA
パワー グッド (PGOOD)						
$R_{(PGOOD)}$	PGOOD プルダウン抵抗		36	70	130	Ω
$I_{(PGOOD)}$	PGOOD の入力リーク電流	0V ≤ $V_{(PGOOD)}$ ≤ 60V	-150	6	150	nA
熱保護						
$T_{(J_REG)}$	サーマル レギュレーション設定ポイント		136	145	154	°C
$T_{(TSD)}$	サーマル シャットダウン (TSD) スレッショルド、立ち上がり			165		°C
$T_{(TSDhyst)}$	TSD ヒステリシス			11		°C
モード						
MODE_SEL	モード選択	MODE = オープン		ラッチ		
		MODE = Short to GND		自動再試行		

(1) このパラメータは設計および特性評価では保証されていますが、実製品のテストは行っていません。

6.6 タイミング要件

–40°C ≤ T_A = T_J ≤ +125°C、4.5V < $V_{(IN)}$ = $V_{(P_IN)}$ < 60V、$V_{(\overline{SHDN})}$ = 2V、$R_{(ILIM)}$ = 30kΩ、IMON = PGOOD = $\overline{FLT}$ = OPEN、$C_{(OUT)}$ = 1µF、$C_{(dVdT)}$ = OPEN(全電圧は GND 基準です、(特に記述のない限り))

パラメータ	テスト条件	最小値	公称値	最大値	単位
UVLO 入力 (UVLO)					

Copyright © 2026 Texas Instruments Incorporated

6.6 タイミング要件 (続き)

–40°C ≤ T_A = T_J ≤ +125°C、4.5V < $V_{(IN)}$ = $V_{(P_IN)}$ < 60V、$V_{(\overline{SHDN})}$ = 2V、$R_{(ILIM)}$ = 30kΩ、IMON = PGOOD = $\overline{FLT}$ = OPEN、$C_{(OUT)}$ = 1µF、$C_{(dVdT)}$ = OPEN(全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	公称値	最大値	単位
$UVLO_t_{on(dly)}$	UVLO スイッチのターンオン遅延	UVLO ↑ ($V_{(UVLOR)}$ より 100mV 高い) から $V_{(OUT)}$ = 100mV、$C_{(dVdT)}$ ≥10nF、[$C_{(dVdT)}$、nF 単位]		742 + 49.5x $C_{(dVdT)}$		µs
$UVLO_t_{off(dly)}$	UVLO スイッチのターンオフ遅延	UVLO ↓ ($V_{(UVLOF)}$ より 20mV 低い) から $\overline{FLT}$ ↓	9	11	16	µs
$t_{UVLO_FLT(dly)}$	UVLO からフォルト デアサートまでの遅延	UVLO ↑ から $\overline{FLT}$ ↑ までの遅延	500	617	700	µs
過電圧保護入力 (OVP)						
$OVP_t_{off(dly)}$	OVP スイッチのターンオフ遅延	OVP ↑ ($V_{(OVPR)}$ より 20mV 高い) から $\overline{FLT}$ ↓	8.5	11	14	µs
$OVP_t_{on(dly)}$	OVP スイッチのディスエーブル遅延	OVP ↓ ($V_{(OVPF)}$ より 100mV 低い) から FET オン、$C_{(dVdT)}$ ≥10nF、[$C_{(dVdT)}$、nF 単位]		150 + 49.5x $C_{(dVdT)}$		µs
$t_{OVC(dly)}$	過電圧クランプ動作時の最大持続時間	TPS16632 のみ		162		ms
$OVC_t_{FLT(dly)}$	過電圧クランプ動作時の $\overline{FLT}$ アサート遅延	TPS16632 のみ		617		µs
シャットダウン制御入力 ($\overline{SHDN}$)						
$t_{SD(dly)}$	シャットダウン エントリ遅延	$\overline{SHDN}$ ↓ ($V_{(SHUTF)}$ より低い) から FET オフ	0.8	1	1.5	µs
電流制限						
$t_{FASTTRIP(dly)}$	ホット短絡の応答時間	$I_{(OUT)}$ > $I_{(SCP)}$		1		µs
	ソフト短絡応答	$I_{(FASTTRIP)}$ < $I_{(OUT)}$ < $I_{(SCP)}$	2.2	3.2	4.5	µs
$t_{CL_PLIM(dly)}$	電流の最大持続時間 & (電力制限: TPS16632 および TPS16637)		129	162	202	ms
$t_{CL_PLIM_FLT(dly)}$	電流の $\overline{FLT}$ 遅延 & (電力制限: TPS16632 および TPS16637)		1.09	1.3	1.6	ms
出力ランプ制御 (dVdT)						
$t_{(FASTCHARGE)}$	高速充電時の出力ランプ時間	$C_{(dVdT)}$ = Open、10% ～ 90% $V_{(OUT)}$、$C_{(OUT)}$ = 1 µF; $V_{(IN)}$ = 24V	350	495	700	µs
$t_{(dVdT)}$	出力ランプタイム	$C_{(dVdT)}$ = 22nF、10% ～ 90% $V_{(OUT)}$、$V_{(IN)}$ = 24V		8.35		ms
パワー グッド (PGOOD)						
t_{PGOODR}	PGOOD 遅延 (グリッチ除去) 時間	立ち上がりエッジ	8	11.5	13	ms
t_{PGOODF}	PGOOD 遅延 (グリッチ除去) 時間	立ち下がりエッジ	8	10	13	ms
熱保護						
$t_{(TSD_retry)}$	TSD での再試行遅延	MODE = GND	500	648	800	ms
$t_{(Treg_timeout)}$	サーマル レギュレーション タイムアウト		1.1	1.25	1.5	s

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性

–40°C ≤ T_A = T_J ≤ +125°C、$V_{(IN)}$ = $V_{(P_IN)}$ = 24V、$V_{(\overline{SHDN})}$ = 2V、$R_{(ILIM)}$ = 30kΩ, IMON = PGOOD = $\overline{FLT}$ = OPEN、$C_{(OUT)}$ = 1µF、$C_{(dVdT)}$ = OPEN (特に記述のない限り)

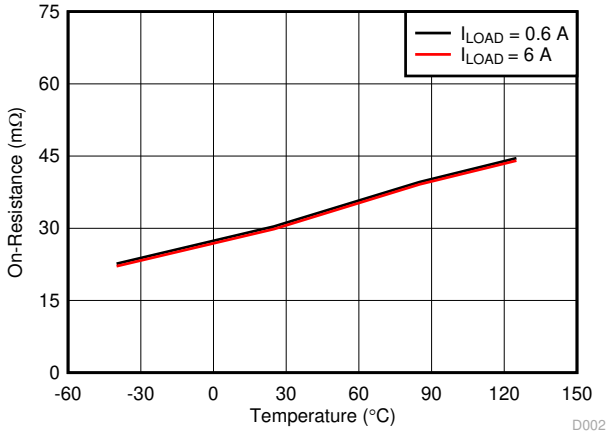
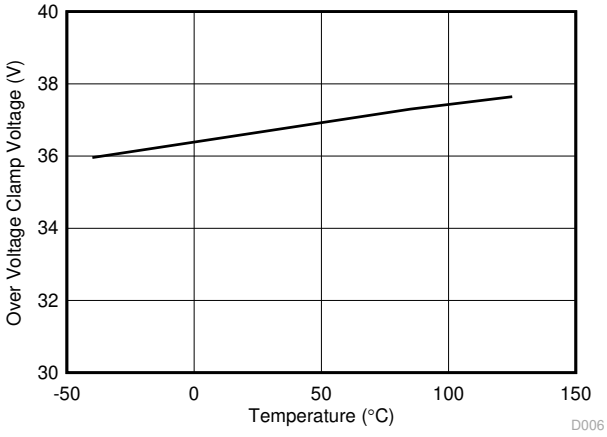


図 6-1. 負荷電流範囲におけるオン抵抗と温度との関係



TPS16632

図 6-2. 過電圧クランプスレッショルドと温度との関係

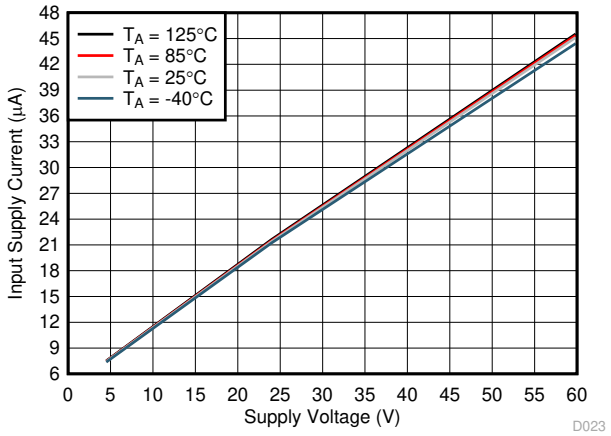


図 6-3. シャットダウン時の入力電圧電流と電源電圧との関係

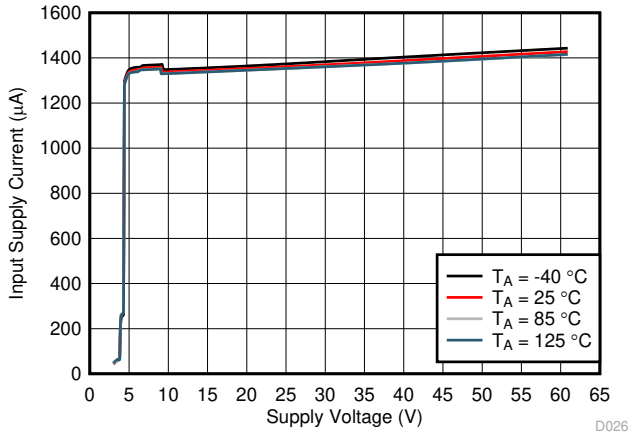


図 6-4. 通常動作時の入力電源電流と電源電圧との関係

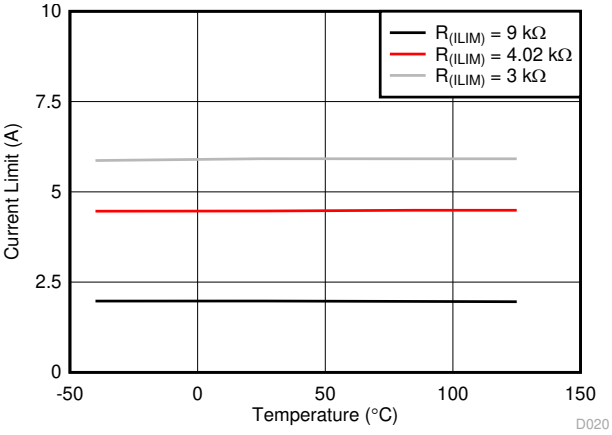


図 6-5. 過負荷電流制限と温度との関係

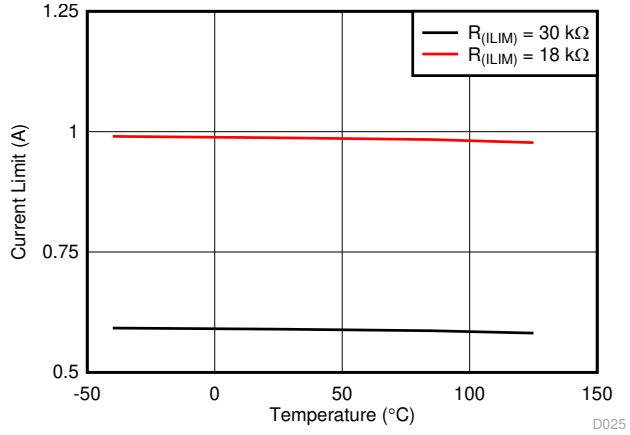


図 6-6. 過負荷電流制限と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性 (続き)

–40°C ≤ T_A = T_J ≤ +125°C、$V_{(IN)}$ = $V_{(P_IN)}$ = 24V、$V_{(\overline{SHDN})}$ = 2V、$R_{(ILIM)}$ = 30kΩ, IMON = PGOOD = $\overline{FLT}$ = OPEN、$C_{(OUT)}$ = 1µF、$C_{(dVdT)}$ = OPEN (特に記述のない限り)

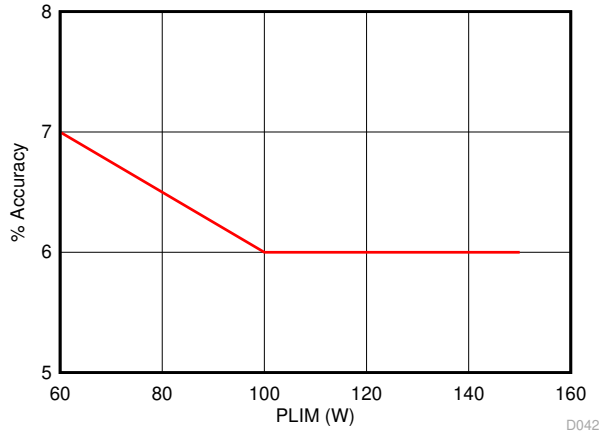


図 6-7. 出力電力制限精度と PLIM との関係

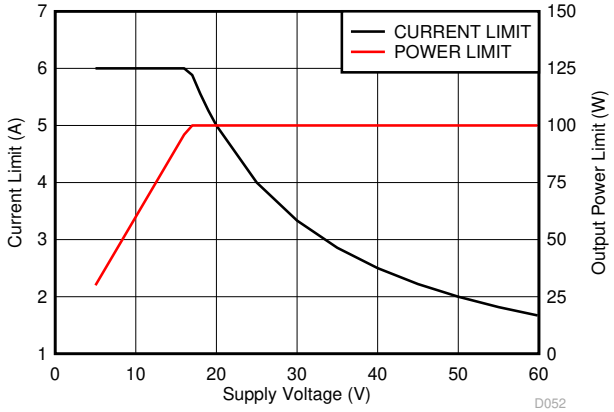


図 6-8. 電流制限、電流制限と電源電圧との関係

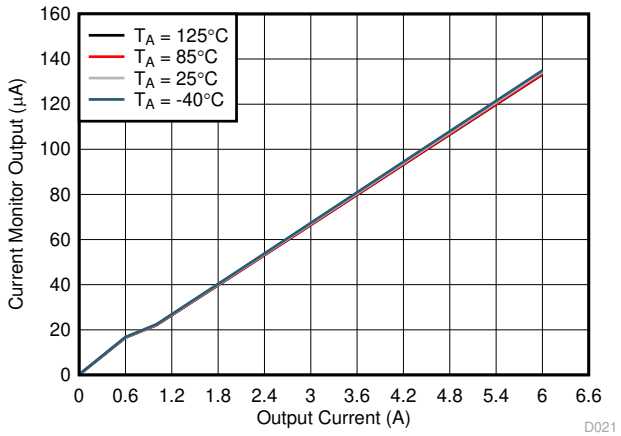


図 6-9. 電流モニタ出力と出力電流との関係

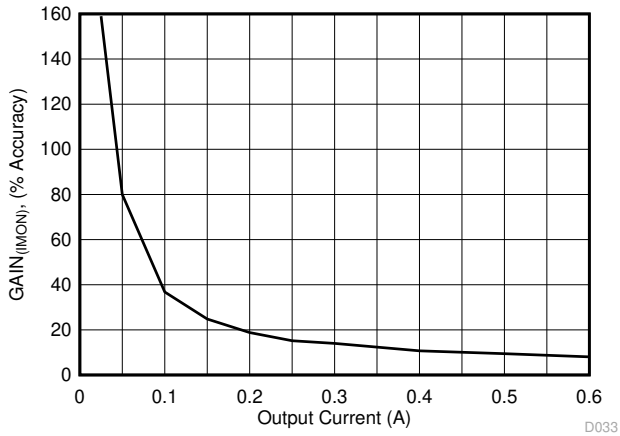


図 6-10. 低出力電流レベルでの IMON ゲイン精度

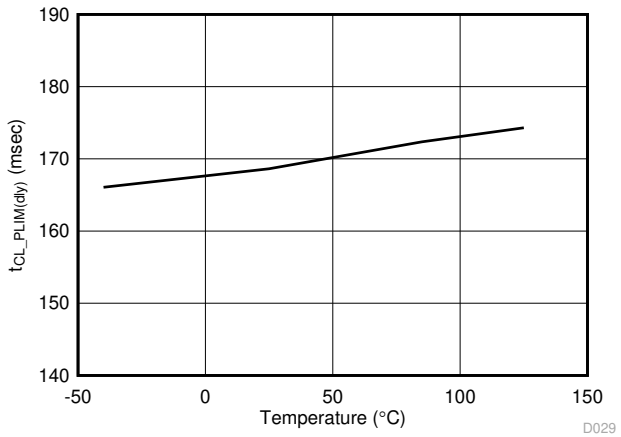


図 6-11. 電流および電力制限の最大持続時間と温度との関係

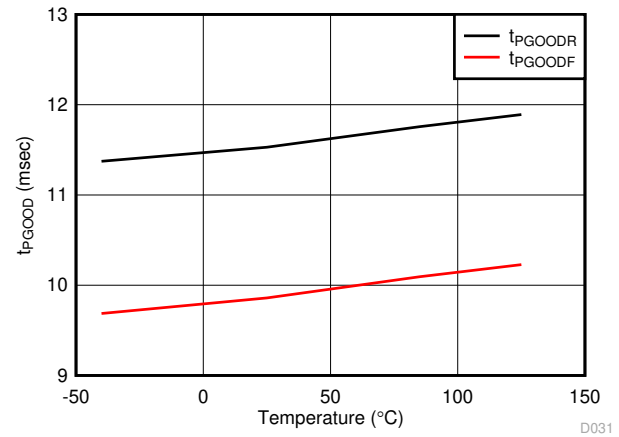
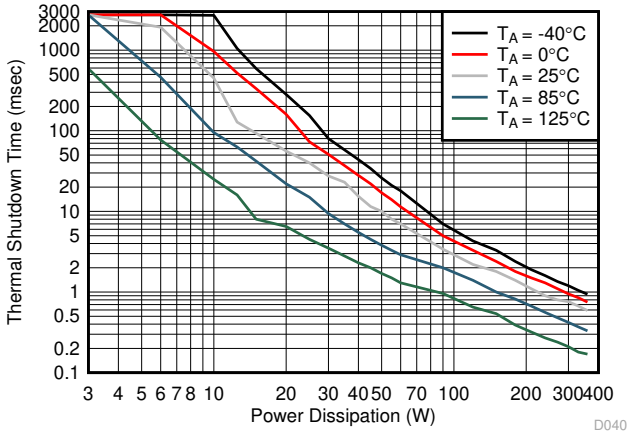


図 6-12. PGOOD の立ち上がり・立ち下がり遅延時間と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性 (続き)

–40°C ≤ T_A = T_J ≤ +125°C、$V_{(IN)}$ = $V_{(P_IN)}$ = 24V、$V_{(\overline{SHDN})}$ = 2V、$R_{(ILIM)}$ = 30kΩ, IMON = PGOOD = $\overline{FLT}$ = OPEN、$C_{(OUT)}$ = 1µF、$C_{(dVdT)}$ = OPEN (特に記述のない限り)



VQFN デバイスが評価基板上に実装された状態

図 6-13. サーマル シャット ダウン時間と消費電力との関係

Copyright © 2026 Texas Instruments Incorporated

7 パラメータ測定情報

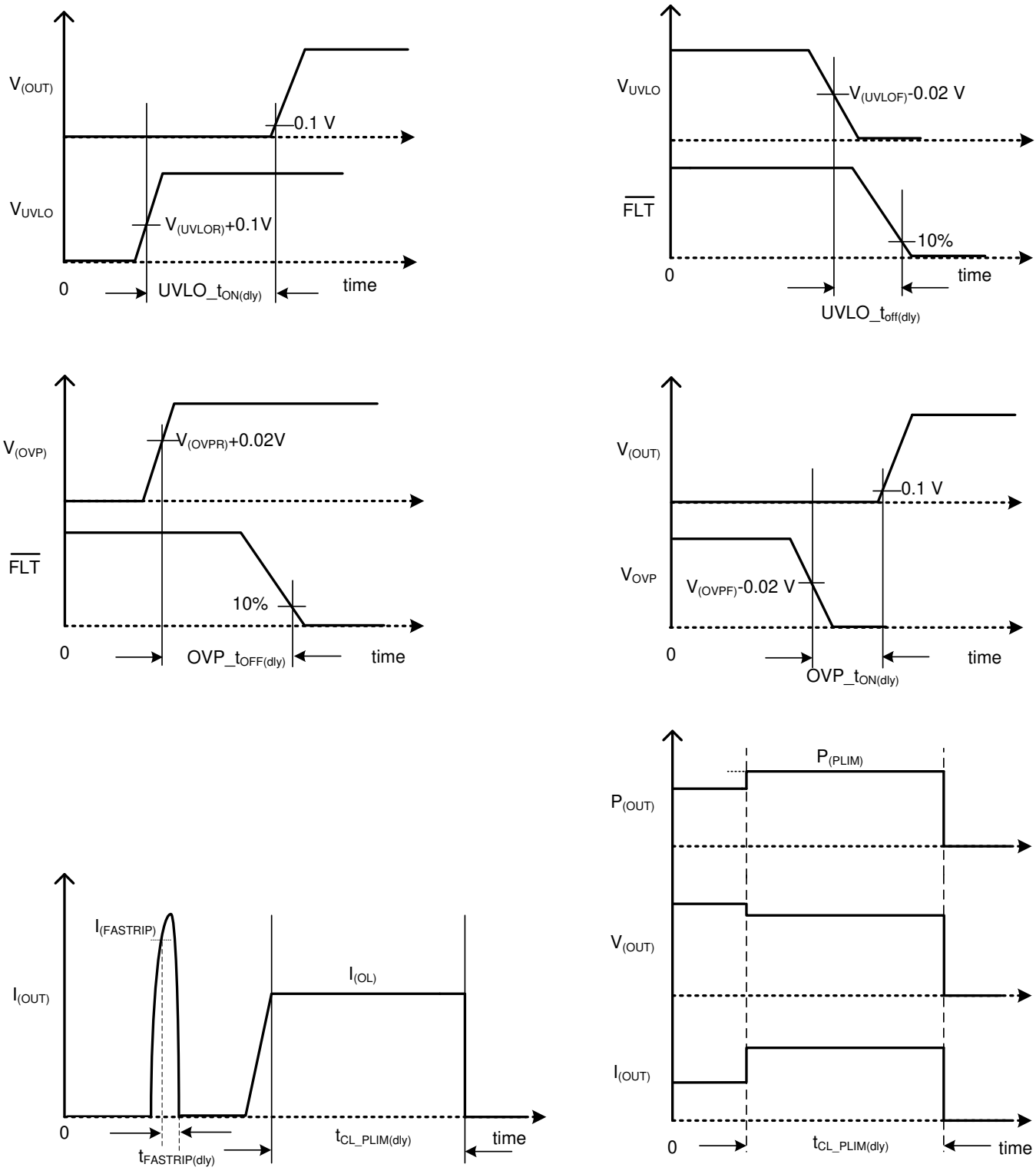


図 7-1. タイミング波形

8 詳細説明

8.1 概要

TPS1663x は、60V 産業用 eFuse ファミリです。このデバイスは、4.5V ～ 60V の電力で動作するすべてのシステムおよびアプリケーションに対して堅牢な保護を実現します。ホット プラグ対応ボードの場合、このデバイスは、突入電流制御機能と dVdT ピンを用いたプログラマブルな出力電圧 スルーレート機能によるホット スワップ電源管理を提供します。過電流、過電圧、低電圧などの多くのプログラマブルな機能により、負荷、ソース、デバイスの保護を実現します。DC 60V の最大動作と 62V の絶対最大定格により、産業用 SELV 電源からの 60V DC 入力電源フォルトからシステムを保護できます。高精度の過電流制限 (6A で ±7%) は、入力電源の過剰な設計を最小限に抑えるのに役立ちます。また、1µs (標準値) の高速応答短絡保護は、短絡が検出されたときに入力電源から負荷を即座に絶縁します。

TPS16632 デバイスは、可変出力電力制限 (PLIM) 機能も備え、IEC61010-1 や UL1310 などの規格への準拠を必要とするシステム設計を簡素化できます。

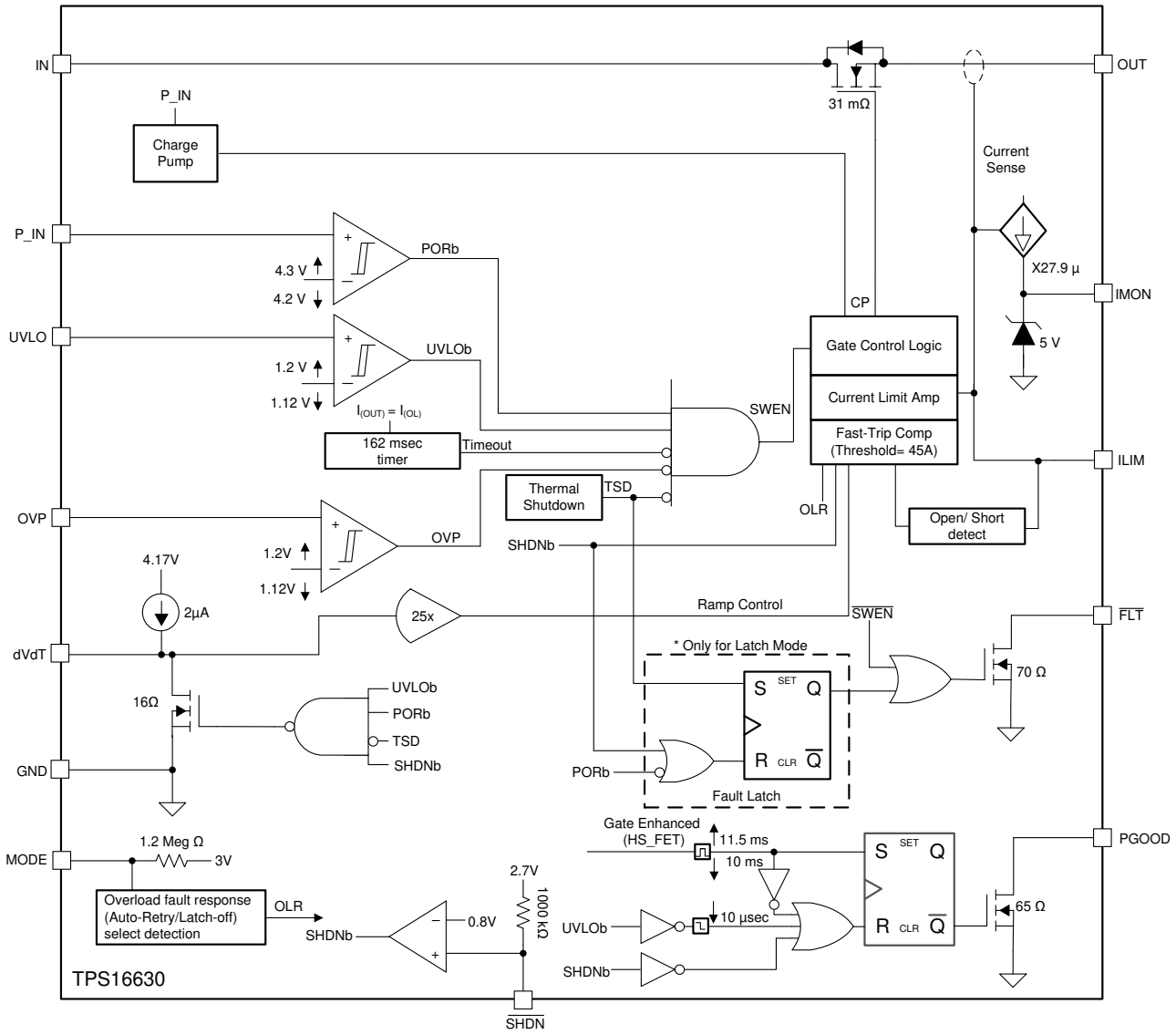
このデバイスは、電圧バスのブラウンアウトや過電圧状態を高精度で監視し、下流のシステムに対してフォルト信号をアサートします。デバイスの全体的なスレッショルド精度は 2% であり、バスの厳密な監視が保証され、別途供給電圧監視チップを必要としません。

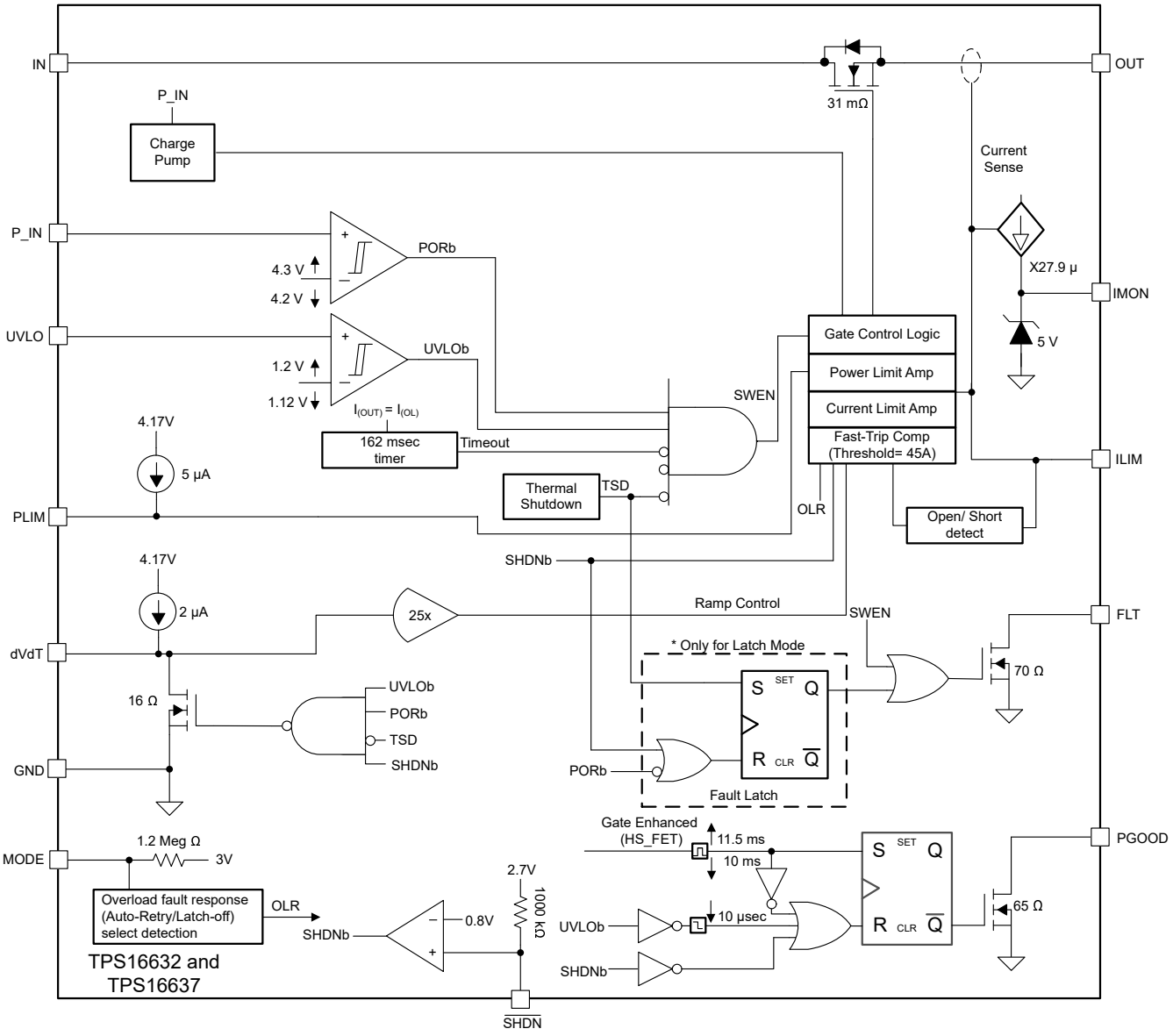
TPS1663x のその他の特長

- ±6% 電流モニタ出力 (IMON) によるシステムの健全性監視
- MODE ピンを使用して、電流制限、電力制限、および過熱故障発生時の応答として、ラッチオフ モードまたは自動再起動モードを選択
- PGOOD インジケータ出力
- 過熱保護機能による、過電流事象発生時の安全なシャットダウン
- 電源の電圧低下および過電圧フォルトに対する、グリッチ除去機能付き異常検出通知機能
- $\overline{\text{SHDN}}$ ピンを使用した マイコン による制御のイネーブルとディセーブル

Copyright © 2026 Texas Instruments Incorporated

8.2 機能ブロック図


IN
OUT
P_IN
Charge Pump
31 mΩ
Current Sense
X27.9 µ
IMON
5 V
CP
Gate Control Logic
Current Limit Amp
Fast-Trip Comp (Threshold= 45A)
ILIM
Open/ Short detect
OLR
SWEN
PORb
4.3 V
4.2 V
UVLO
UVLOb
1.2 V
1.12 V
I(OUT) = I(OL)
162 msec timer
Timeout
Thermal Shutdown
TSD
OVP
SHDNb
4.17V
2µA
1.2V
1.12V
25x
Ramp Control
FLT
* Only for Latch Mode
S SET Q
R CLR Q
70 Ω
dVdT
16Ω
GND
Fault Latch
Gate Enhanced (HS_FET)
11.5 ms
10 ms
10 µsec
PGOOD
65 Ω
MODE
1.2 Meg Ω
3V
Overload fault response (Auto-Retry/Latch-off) select detection
2.7V
1000 kΩ
0.8V
TPS16630
SHDN



8.3 機能説明

8.3.1 ホット プラグインおよび突入電流の制御

これらのデバイスは、稼働中のバックプレーンやその他の動作中の電源にカードを挿入する際の「突入」電流を制御するように設計されています。この設計は、バックプレーンの電源電圧の一時的な電圧低下を制限し、システム電源の意図しないリセットを防止します。制御された起動は、伝導性および放射性の干渉を除去するのにも役立ちます。dVdT ピンと GND の間に接続された外付けコンデンサは、電源投入時の出力電圧のスルーレートを決定します。dVdT ピンをフローティング状態にすると、24V/500µs で最も速い出力スルーレートを実現できます。突入電流は、式 1 を使用して計算できます。

$$I = C \times \frac{dV}{dT} \geq I_{(INRUSH)} = C_{(OUT)} \times \frac{V_{(IN)}}{t_{dVdT}} \quad (1)$$

ここで、

$$t_{dVdT} = 20.8 \times 10^{3} \times V_{(IN)} \times C_{(dVdT)} \quad (2)$$

Copyright © 2026 Texas Instruments Incorporated

図 8-1 に、ホット プラグイン時のデバイスの突入電流制御性能を示します。

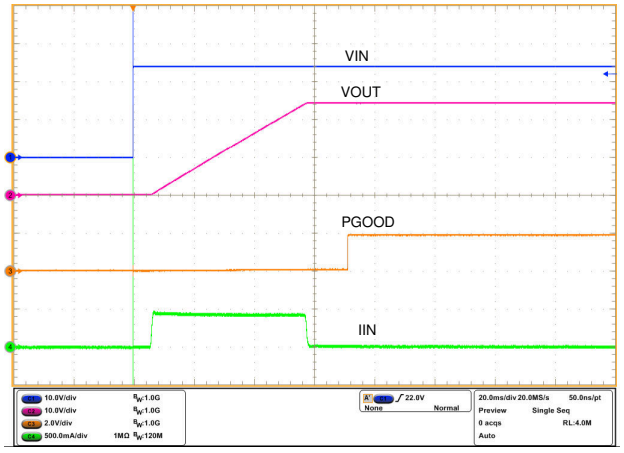


図 8-1. 24V 入力でのホット プラグインおよび突入電流制御

8.3.1.1 サーマル レギュレーション ループ

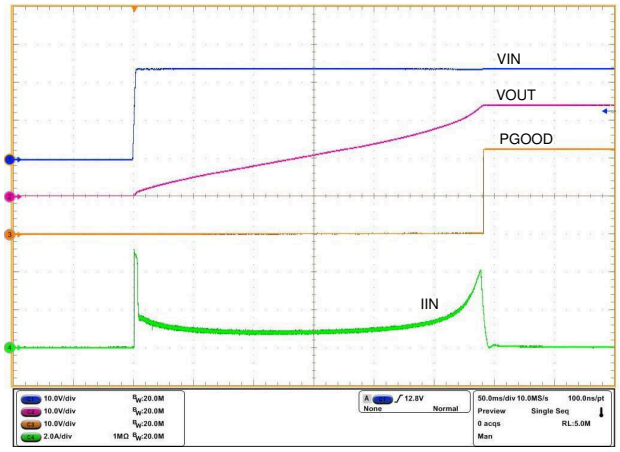
容量性負荷を伴う電源投入時における eFuse 内部の平均消費電力は、式 3 を用いて算出できます。

$$P_{D(INRUSH)} = 0.5 \times V_{(IN)} \times I_{(INRUSH)} \quad (3)$$

大容量の出力コンデンサを急速に充電する必要があるシステム設計では、図 6-13 特性曲線によって定義される、デバイスの電力消費対時間の境界制限を超える動作点が生じる可能性があります。この事象により、接合部温度がデバイスの最大許容接合部温度を超える可能性があります。接合部温度を動作範囲内に維持するため、サーマル レギュレーション制御ループは突入電流プロファイルを制御し、デバイス内の消費電力を自動的に制限することで、接合部温度を $T_{(J_REG)}$、145°C (標準値) に調整します。サーマル レギュレーション動作が開始すると、1.25 秒 (標準値)、$t_{(Treg_timeout)}$ で内部タイマが起動します。出力がこの時間内に立ち上がらない場合、内部 FET がオフになります。それ以降のデバイスの動作は、表 8-1 に示すように、MODE 構成 (自動再試行またはラッチ オフ) の設定によって決まります。サーマル レギュレーション ループ動作での最大タイムアウト時間は、1.25 秒 (標準値) であり、出力短絡状態での起動時のような定常的な故障条件下においても、デバイスおよびシステム基板が過熱することなく保護されます。この方式により、信頼性の高いパワーアップ動作が保証されます。

サーマル レギュレーション制御ループは、$V_{(IN)}$ による電源投入時、UVLO サイクル時、$\overline{SHDN}$ によるターンオン時に、内部的に有効になります。図 8-2 に、大容量の出力コンデンサを使用し、$V_{(IN)}$ による電源投入時にサーマル レギュレーション ループ内で動作するデバイスの性能を示します。サーマル レギュレーション ループは、電源投入シーケンス完了後、内部 FET のゲートが完全にエンハンスされた時点、または $t_{(Treg_timeout)}$ 1.25 秒 (標準値) の時間が経過した時点で、内部的に無効化されます。

Copyright © 2026 Texas Instruments Incorporated



C_{dVdT} = Open　　C_{OUT} = 15mF　　R_{ILIM} = 4.02kΩ

図 8-2. 大容量性負荷での電源投入時におけるサーマル レギュレーション ループの応答

8.3.2 低電圧誤動作防止 (UVLO)

TPS1663x は、±2% の高精度な可変低電圧誤動作防止機能を搭載しています。入力低電圧異常時に UVLO ピンの電圧が $V_{(UVLOF)}$ を下回ると、内部 FET は速やかにオフとなり、$\overline{FLT}$ がアサートされます。UVLO コンパレータのヒステリシスは 78mV (標準値) です。入力 UVLO スレッショルドを設定するには、図 8-3 に示すように、IN 電源から UVLO 端子を経由して GND に至る 抵抗デバイダを接続します。低電圧誤動作防止機能が不要な場合は、UVLO 端子を IN 端子に接続する必要があります。UVLO 端子をフローティング状態のままにしてはいけません。

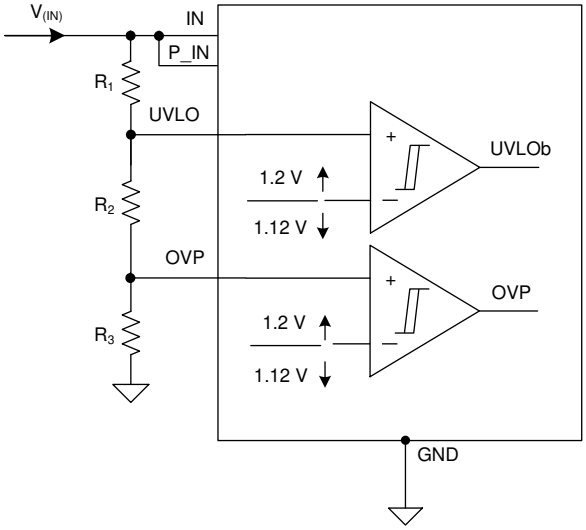


図 8-3. R_1、R_2、R_3 を用いた UVLO および OVP スレッショルド

8.3.3 過電圧保護 (OVP)

TPS1663x は、過電圧状態においてシステムを保護する回路を内蔵しています。TPS16630 は、±2% の高精度な可変過電圧カットオフ機能を搭載しています。OVP ピンの電圧が $V_{(OVPR)}$ を上回ると、内部 FET がオフになり、下流の負荷が保護されます。OVP スレッショルドを外部から設定するには、図 8-3 に示すように、IN 電源から OVP 端子を経由して GND に至る抵抗デバイダを接続します。TPS16632 は、内部で 39V に固定された最大過電圧クランプ $V_{(OVC)}$ 機能を

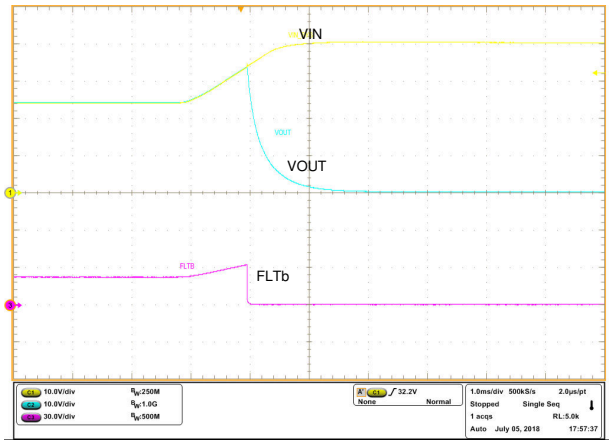
Copyright © 2026 Texas Instruments Incorporated

搭載しています。TPS16632 は、入力電圧が 40V を超えると、出力電圧を $V_{(OVC)}$ にクランプします。出力電圧クランプ動作中の、内部 MOSFET の消費電力次のとおりですは

$$PD = \left[V_{(IN)} - V_{(OVC)}\right] \times I_{(OUT)} \quad (4)$$

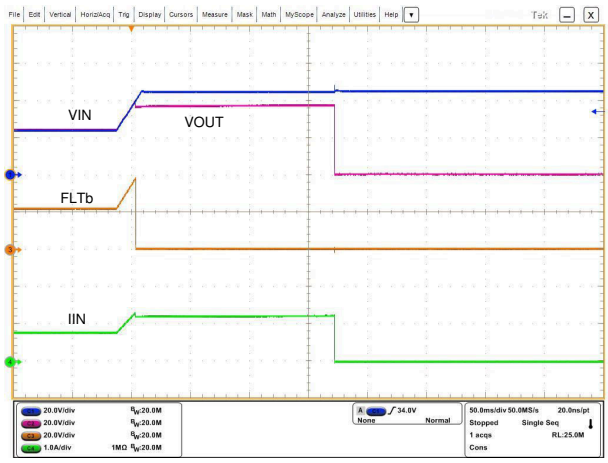
過度の電力消費が長時間続くと、デバイスの温度が上昇する可能性があります。これを回避するため、内部 FET は最大 $t_{OVC(dly)}$、162ms (標準値) の間、過電圧クランプで動作します。この期間が経過すると、内部 FET がオフになり、その後のデバイスの動作は、表 8-1 に示すように、MODE 構成 (自動再試行またはラッチオフ) の設定によって決まります。

図 8-4 に過電圧カットオフ機能を、図 8-5 に過電圧クランプ機能を示します。$\overline{FLT}$ は、過電圧クランプ モードに移行した後、617µs (標準値) の遅延後にアサートされ、過電圧フォルトが解消されるまでアサート状態を維持します。



TPS16630　　33V の OVP 設定

図 8-4. 33V レベルでの過電圧カットオフ応答



TPS16632　　C_{OUT} = 10µF、$\overline{FLT}$ を V_{OUT} に接続　　R_{LOAD} = 30Ω

図 8-5. 過電圧クランプの応答

8.3.4 過負荷および短絡保護

このデバイスは、内部のセンス抵抗の両端の電圧を検出することで負荷電流を監視します。FET 電流は、起動時および通常動作時に監視されます。

8.3.4.1 過負荷保護機能

TPS1663x デバイスは、高精度の過負荷電流制限と高速な 短絡保護回路機能を搭載しています。負荷電流がプログラムされた電流制限値 I_{OL} を上回ると、デバイスは I_{OL} で電流を調整し、最終的に出力電圧を低下させます。この動作中のデバイス全体の消費電力は次のようになります。

$$(V_{IN} - V_{OUT}) \times I_{OL} \quad (5)$$

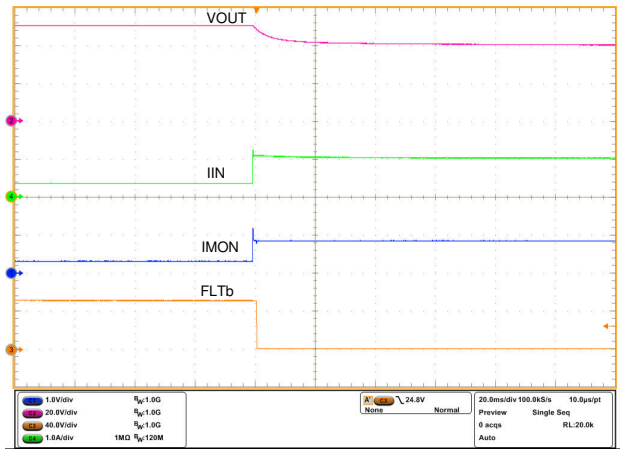
これにより、デバイスが発熱し、最終的にはサーマル シャットダウンに移行する可能性があります。FET を流れる過電流の最大継続時間は、$t_{CL_PLIM(dly)}$、162ms (標準値) です。この時間より前にサーマル シャットダウンが発生した場合、内部 FET がオフになり、デバイスは表 8-1 における MODE ピンの設定に基づいて、自動再試行モードまたはラッチ オフ モードで動作します。式 6 を使用して電流制限値を設定します。

$$I_{OL} = \frac{18}{R_{(ILIM)}} \quad (6)$$

ここで、

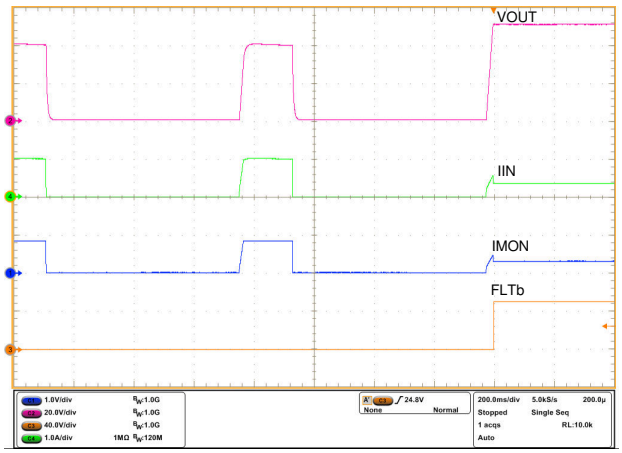
- $I_{(OL)}$ は、過負荷電流制限値 (アンペア単位) です
- $R_{(ILIM)}$ は電流制限抵抗 (kΩ 単位) です

過負荷電流制限動作中に、過負荷状態が $t_{CL_PLIM_FLT(dly)}$、1.3ms (標準値) を超えて継続した場合、$\overline{FLT}$ がアサートされます。これは、後続のサーマル シャットダウン イベントまたは $t_{CL_PLIM(dly)}$ タイマのタイムアウトにより、内部 FET が遮断される事態が差し迫っていることを警告するためのものです。$\overline{FLT}$ 信号は、故障状態が解消し、デバイスが通常動作を再開するまでアサート状態を維持します。図 8-6 および図 8-7 に、過負荷電流制限性能を示します。



V_{IN} = 50V　MODE = GND　R_{ILIM} = 18kΩ

図 8-6. 140Ω ～ 40Ω の負荷ステップ時の過負荷性能



V_{IN} = 50V　MODE = GND　R_{ILIM} = 18kΩ

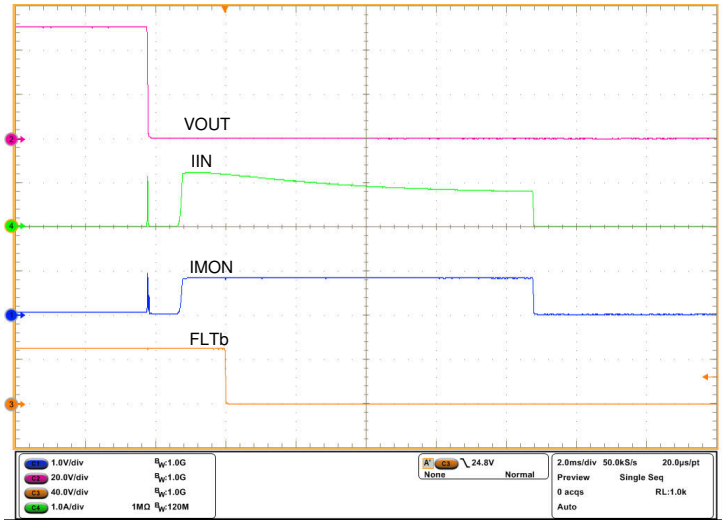
図 8-7. 40Ω ～ 140Ω の負荷ステップで過負荷を解消

TPS1663x デバイスには、ILIM ピンの短絡および開放フォルト検出および保護機能が搭載されています。ILIM ピンが GND への短絡または開放を検出すると、内部 FET がオフになり、ILIM ピンのフォルトが解消されるまでオフの状態を維持します。

8.3.4.2 短絡保護

過渡的な出力短絡発生中は、本デバイスを流れる電流が非常に急速に増加します。電流制限アンプは帯域幅が限られているため、この事象に迅速に応答することができません。そのため、本デバイスには高速トリップ コンパレータが搭載されています。高速トリップ コンパレータ アーキテクチャは、出力短絡発生時に、内部 FET の $I_{(SCP)}$ = 45A で高速ターンオフ $t_{FASTTRIP(Dly)}$ = 1µs (標準値) が行われるように設計されています。高速トリップ スレッショルドは、内部で $I_{(FASTTRIP)}$ に設定されています。高速トリップ回路は、内部 FET をわずか数マイクロ秒間だけオフ状態に保持し、その後、デバイスを緩やかにオン状態へと復帰させることで、電流制限ループが出力電流を $I_{(OL)}$ に調整できるようにします。その後、デバイスは過負荷状態と同様の動作を行います。図 8-8 に、デバイスの出力ホット高温短絡性能を示します。

Copyright © 2026 Texas Instruments Incorporated



V_{IN} = 50V R_{ILIM} = 18kΩ

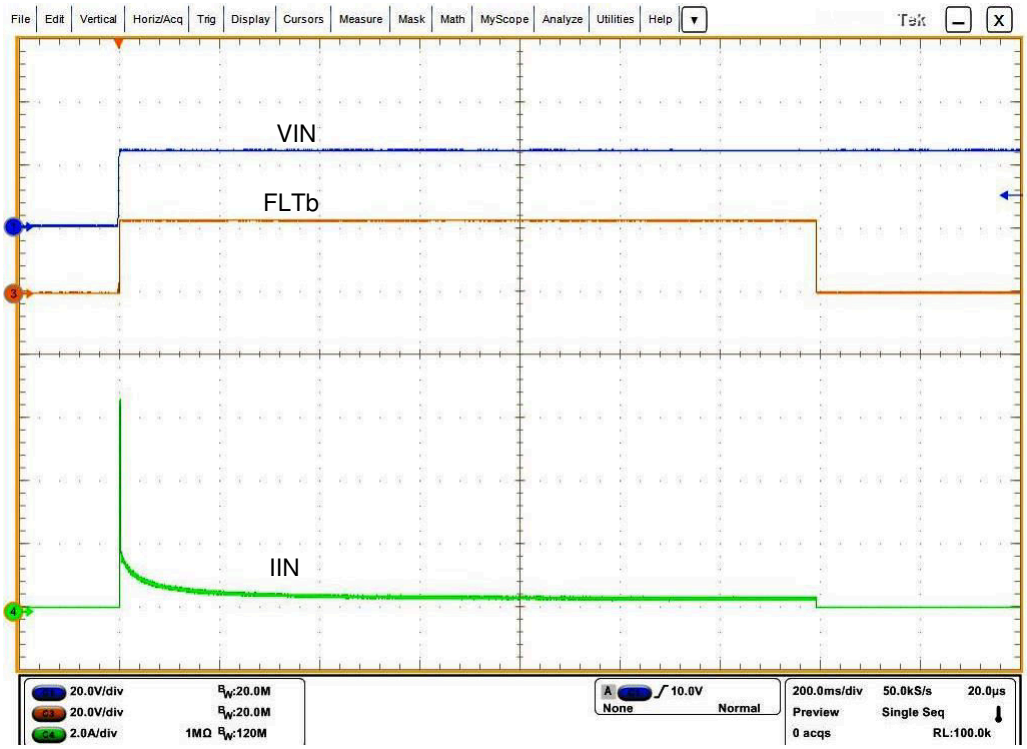
図 8-8. 出力ホット短絡応答

高速トリップ コンパレータ アーキテクチャは電源ライン ノイズ耐性を備えているため、ノイズの多い環境でも堅牢な性能を発揮します。この電源ラインのノイズ耐性は、デバイスを流れる過電流レベル $I_{(FASTTRIP)}$ に基づいて内部 FET のターンオフ時間を制御することにより実現されます。過電流が大きいほど、ターンオフ時間 $t_{FASTTRIP(dly)}$は短く速くなります。$I_{FASTTRIP} < I_{OUT} < I_{SCP}$ の範囲にある過負荷電流レベルにおいて、高速トリップ コンパレータの応答は 3.2µs (標準値) です。

8.3.4.2.1 出力短絡時の起動

出力短絡状態でデバイスを起動すると、電流は $I_{(OL)}$ に抑制されます。デバイス内の VIN × $I_{(OL)}$ は消費電力が大きいため、接合部温度が上昇します。その後、サーマル レギュレーション制御ループは負荷電流を制限し、接合部温度を $T_{(J_REG)}$、145°C (標準値) に調整します。この動作は、$t_{(Treg_timeout)}$、1.25 秒 (標準値) の期間にわたって行われます。それ以降のデバイスの動作は、表 8-1 に示すように、MODE 構成 (自動再試行またはラッチ オフ) の設定によって決まります。$\overline{FLT}$ は、$t_{(Treg_timeout)}$ 経過後にアサートされ、出力短絡が解消されるまでアサート状態を維持します。図 8-9 は、この状態におけるデバイスの動作を示しています。

Copyright © 2026 Texas Instruments Incorporated



V_{IN} = 24V　　R_{ILIM} = 3kΩ

図 8-9. 出力短絡時の起動

8.3.5 出力電力制限、PLIM (TPS16632 および TPS16637)

TPS16630 は、固定の過電流制限スレッショルドを備えているため、電源入力に対して最大出力電力制限が線形的に増加します。PLC CPU などの電気的産業用プロセス制御機器は、防火において、限られたエネルギー回路や電力回路を必要とするため、IEC61010-1 や UL1310 などの規格に準拠する必要があります。動作電源電圧範囲が広いこのような大電力アプリケーションでは、出力電力の制限が課題になります。TPS16632 および TPS16637 は、可変出力電力制限機能を内蔵しており、本規格への準拠を必要とするシステム設計を簡素化できます。

図 8-10 に示すように、PLIM と GND の間に抵抗を接続して、出力電力制限値を設定します。出力電力制限が必要ない場合は、PLIM を GND に直接接続します。この接続により、PLIM 機能がディスエーブルになります。

過電力負荷イベント発生時、TPS16632 および TPS16637 は、PLIM 抵抗で設定されたプログラムされた値に出力電力を制限します。この制限は、間接的にデバイスを電流制限モードで動作させる結果となり、その定常状態における出力電圧および電流は、負荷特性と次によって決定されます。

$$P_{LIM} = V_{OUT} \times I_{OUT} \quad (7)$$

図 6-8 は、100W の電力制限設定を備えた TPS16632 の出力電力制限および電流制限特性を示しています。電力制限モードでのデバイスの最大時間は、162ms (標準値)、$t_{CL_PLIM(dly)}$です。この時間が経過した後、デバイスは、表 8-1 の MODE ピンの構成に基づいて、自動再試行モードまたはラッチ オフ モードのいずれかで動作します。

$$P_{(PLIM)} = 1 \times R_{(PLIM)} \quad (8)$$

ここで、$P_{(PLIM)}$ は出力電力制限 (W 単位)、$R_{(PLIM)}$ は電力制限設定抵抗 (kΩ 単位) です。

Copyright © 2026 Texas Instruments Incorporated

出力電力制限動作中、$t_{CL_PLIM_FLT(dly)}$ の遅延の後、$\overline{FLT}$ がアサートされます。$\overline{FLT}$ 信号は、過電力負荷条件が解消し、デバイスが通常動作を再開するまでアサート状態を維持します。

図 8-11 に、クラス 2 電源設計における 100W 設定時の、TPS16632 の出力電力制限性能を示します。

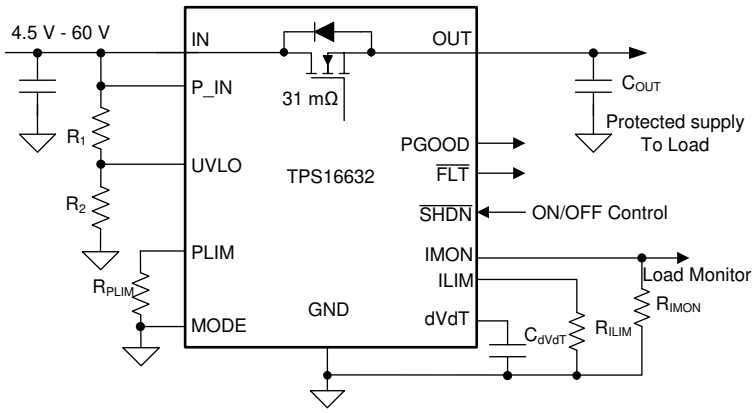
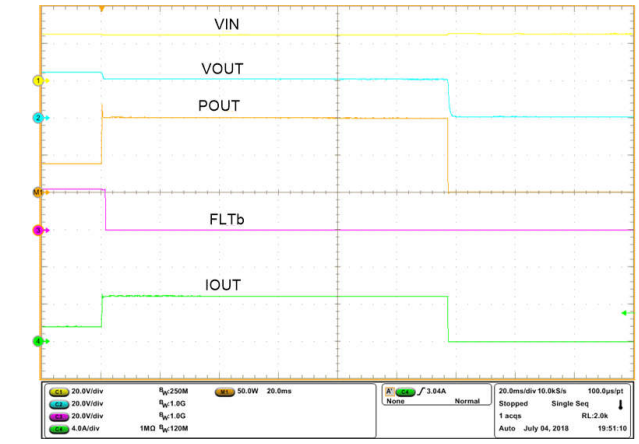


図 8-10. TPS16632 の代表的なアプリケーション回路



R_{PLIM} = 100kΩ　　R_{ILIM} = 3kΩ

図 8-11. 100W クラス 2、TPS16632 の出力電力制限応答

8.3.6 電流モニタ出力 (IMON)

TPS1663x デバイスは、高精度のアナログ電流モニタリング出力を備えています。IMON 端子の電流ソースは、IN から OUT へと流れる電流に比例するように内部構成されています。この電流は、IMON 端子と GND 端子の間の抵抗 $R_{(IMON)}$ を使用して電圧に変換できます。IMON 電圧は、システムを流れる電流を監視する手段として使用できます。電流を監視するための最大電圧 ($V_{(IMONmax)}$) は 4V に制限されます。これにより、$R_{(IMON)}$ 抵抗の最大値が制限され、その値は式 9 によってで決定されます。

$$V_{(IMON)} = \left[I_{(OUT)} \times GAIN_{(IMON)}\right] \times R_{(IMON)} \quad (9)$$

ここで、

- ゲイン $_{(IMON)}$ はゲイン係数 $I_{(IMON)}$:$I_{(OUT)}$ = 27.9µA/A (標準値)
- $I_{(OUT)}$ は負荷電流

IMON 出力と負荷電流との関係のプロットについては、図 6-9 を参照してください。図 8-12 に、IMON のパフォーマンスを示します。

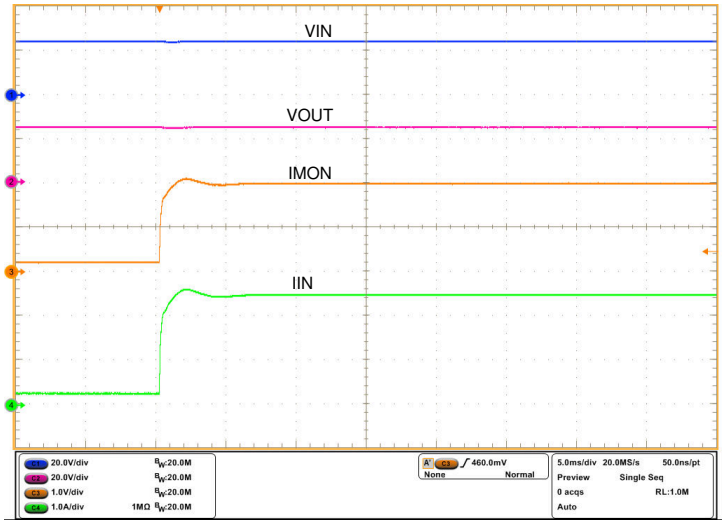


図 8-12. 負荷ステップ時の IMON 応答

電流監視情報の遅延を回避するため、IMON ピンにバイパス コンデンサを接続しないでください。

8.3.7 フォルト応答 ($\overline{FLT}$)

低電圧、過電圧、過負荷、電力制限、ILIM ピンの短絡、サーマル シャットダウンなどの障害イベントが発生すると、$\overline{FLT}$ オープン ドレイン出力がアサートされます (アクティブ Low)。このデバイスは、外部回路を必要とせずに、内部のデグリッチ回路を用いて異常状態時の誤通知を排除するよう設計されています。$\overline{FLT}$ は、使用しない場合はオープンにするか、GND に接続することができます。

8.3.8 パワー グッド出力 (PGOOD)

このデバイスは、オープン ドレインのパワーグッド (PGOOD) インジケータ出力機能を備えています。PGOOD を使用して、DC/DC コンバータなどの下流負荷のイネーブル / ディセーブル制御を行えます。内部 FET のゲートがエンハンスされると、PGOOD は High に遷移します。フォルト イベント時に内部 FET がオフになった場合、または、$\overline{SHDN}$ が Low になると、PGOOD は Low になります。立ち上がりエッジで 11.5msec (標準値)、t_{PGOODR}、立ち下がりエッジで 10msec (標準値)、t_{PGOODF} のグリッチ除去があります。PGOOD は 60V 定格であり、抵抗を介して IN または OUT にプルすることができます。

8.3.9 IN、P_IN、OUT、GND ピン

IN ピンと GND ピンとの間に最低 0.1µF のコンデンサを接続します。P_IN と IN を互いに接続します。IN ピンと OUT ピンを未接続のままにしないでください。

8.3.10 サーマル シャットダウン

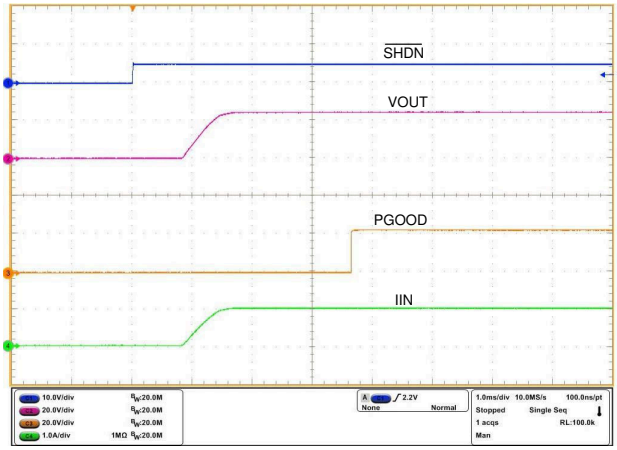
このデバイスには、接合部温度が $T_{(TSD)}$、165°C (標準値) を超えた場合に内部 FET を保護するように設計された過熱遮断回路が内蔵されています。サーマル シャットダウンが発生した後、構成されている故障応答モード (表 8-1 に示す通り) に応じて、デバイスはラッチオフ状態となるか、あるいは接合部温度 T_J が ($_{(TSD)}$ – 11°C) 未満となった後、648ms (標準値) の自動再試行サイクル $t_{(TSD_retry)}$ を開始します。サーマル シャットダウン中、FAULT ピン $\overline{FLT}$ は Low にプルされてフォルト状態を示します。

8.3.11 低電流シャットダウン制御 ($\overline{SHDN}$)

$\overline{SHDN}$ ピンをマイクロ コントローラーの GPIO ピンを用いて 0.8V のスレッショルド以下に引き下げることで、内部および外部 FET、ひいては負荷電流を遮断することが可能です。また、オプトアイソレータを用いて遠隔制御を行うこともできま

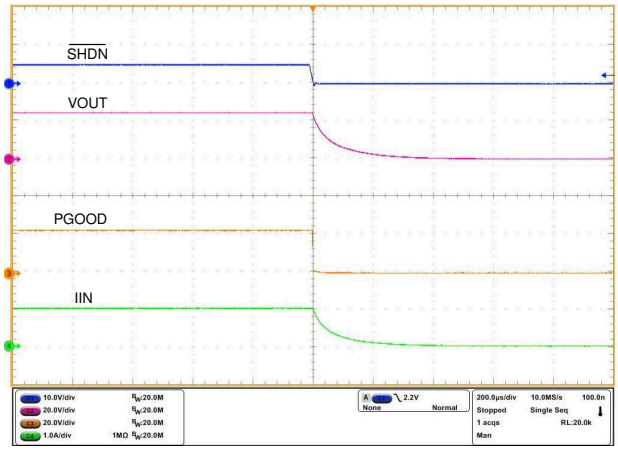
Copyright © 2026 Texas Instruments Incorporated

す。シャットダウン状態において、デバイスの静止電流は 21µA (標準値) まで減少します。$\overline{SHDN}$ を Low にアサートするには、プルダウンには 10µA 以上のシンク能力が必要です。デバイスを 有効にするには、$\overline{SHDN}$ を 2V 以上にプルする必要があります。デバイスが 有効になると、内部 FET が dVdT モードでオンになります。図 8-13 および図 8-14 に $\overline{SHDN}$ 制御の性能を示します。



V_{IN} = 24V $C_{(dVdT)}$ = 22nF R_{LOAD} = 24Ω

図 8-13. $\overline{SHDN}$ によるターンオン制御



V_{IN} = 24V $C_{(dVdT)}$ = 22nF R_{LOAD} = 24Ω

図 8-14. $\overline{SHDN}$ によるターンオフ制御

8.4 デバイスの機能モード

TPS1663x デバイスは、MODE ピンの構成に応じて、過負荷に対して異なる応答を示します。表 8-1 に、動作上の相違点を示します。

表 8-1. 異なる MODE 構成下におけるデバイスの動作上の相違点

MODE ピン構成	電力制限、過電流障害、サーマル シャットダウン動作
オープン	$t_{CL_PLIM(dly)}$ の最大期間に対するアクティブ電流制限。その後、ラッチはオフになります。$\overline{SHDN}$ または UVLO を Low から High に切り替えるか、IN の電源を再投入することで、ラッチがリセットされます。
GND へ短絡	$t_{CL_PLIM(dly)}$ の最大期間に対するアクティブ電流制限。$t_{(TSD_retry)}$の遅延後に自動再試行が実行されます。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

TPS1663x は 60V eFuse で、一般的にホットスワップや電源レール保護の用途に使用されます。このデバイスは 4.5V ～ 60V で動作し、プログラマブルな電流制限、過電圧保護、低電圧保護機能を備えています。このデバイスは突入電流の制御に役立ち、PLC、通信無線機器、産業用プリンタなどのシステムに出力電力制限を提供します。このデバイスは、システム レールの複数の障害に対して堅牢な保護機能も備えています。

「詳細設計手順」セクションを参照して、デバイスの部品値を選択できます。さらに、スプレッドシート設計ツールである「TPS1663 設計カリキュレータ」を Web 製品フォルダで入手できます。

9.2 代表的なアプリケーション

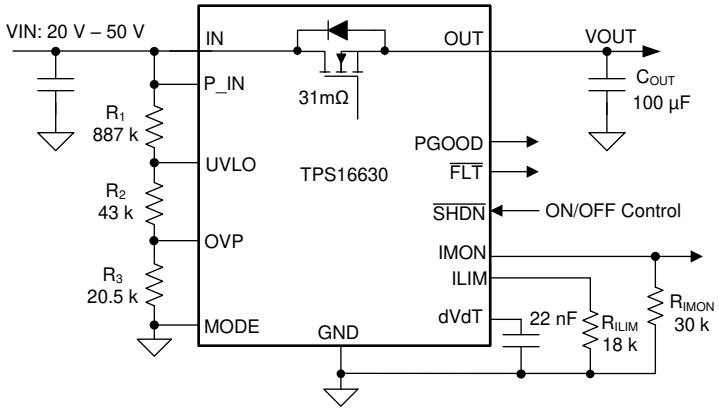


図 9-1. 通信無線機向け 20V ～ 50V、1A eFuse 保護回路

9.2.1 設計要件

TPS16630 の設計要件を、表 9-1 に示します。

表 9-1. 設計要件

設計パラメータ		数値の例
$V_{(IN)}$	入力電圧範囲	20V–50V
$V_{(UV)}$	低電圧誤動作防止の設定点	18V
$V_{(OV)}$	過電圧遮断設定値	55V
$I_{(LIM)}$	過負荷電流制限	1A
C_{OUT}	出力コンデンサ	100µF
$I_{(INRUSH)}$	突入電流制限	300mA

9.2.2 詳細な設計手順

9.2.2.1 電流制限スレッショルド $R_{(ILIM)}$ の選択のプログラミング

ILIM ピンの $R_{(ILIM)}$ 抵抗により、過負荷電流制限が設定されます。過負荷電流制限は、式 10 を使用して設定できます。

Copyright © 2026 Texas Instruments Incorporated

$$R_{(ILIM)} = \frac{18}{I_{OL}} = 18k\Omega \quad (10)$$

ここで、

- I_{LIM} = 1A

直近の標準的な 1% 抵抗値を選択します。$R_{(ILIM)}$ = 18kΩ

9.2.2.2 低電圧誤動作防止および過電圧設定点

低電圧誤動作防止 (UVLO) と過電圧のトリップ ポイントは、デバイスの IN、UVLO、OVP および GND ピン間に接続された R_1、R_2 と R_3 の外部電圧分割回路網を使用して調整できます。低電圧および過電圧を設定するために必要な値は、式 11 と式 12 で計算します。

$$V_{(OVPR)} = \frac{R_3}{R_1 + R_2 + R_3} \times V_{(OV)} \quad (11)$$

$$V_{(UVLOR)} = \frac{R_2 + R_3}{R_1 + R_2 + R_3} \times V_{(UV)} \quad (12)$$

電源から引き出される入力電流を最小限に抑えるには、次のことを行います。

$$\left[I_{(R123)} = \frac{V_{(IN)}}{R_1 + R_2 + R_3}\right] \quad (13)$$

R_1、R_2、R_3 に、より高い抵抗値を使用することを推奨します。

ただし、抵抗列に接続される外付けアクティブ部品によるリーク電流のために、これらの計算に誤差が生じる可能性があります。したがって、抵抗列の電流 $I(R_{123})$ は、UVLO ピンと OVP ピンのリーク電流の 20 倍以上になるように選択する必要があります。

デバイスの電気的仕様から、$V_{(OVPR)}$ = 1.2V、$V_{(UVLOR)}$ = 1.2V となります。設計要件から、$V_{(OV)}$ は 55V、$V_{(UV)}$ は 18V です。式を解くには、まず R_3 = 20.5kΩ の値を選択し、式 11 を使用して (R_1 + R_2) = 930kΩ を計算します。式 12 と (R_1 + R_2) の値を使用して R_2 = 43kΩ を求め、最終的に R_1 = 887kΩ を求めます。

直近の標準的な 1% 抵抗値を選択します。R_1= 887kΩ、R_2= 43kΩ、R_3 = 20.5kΩ。

9.2.2.3 出力電圧ランプ時間の設定 (t_{dVdT})

式 1 と式 2 を使用して、300mA の突入電流を実現するために必要な $C_{(dVdT)}$ を計算します。$C_{(dVdT)}$ = 22nF。図 9-2 および図 9-3 に、50V ホット プラグイン状況での突入電流制限性能を示します。

9.2.2.3.1 サポート コンポーネントの選択 R_{PGOOD} および $C_{(IN)}$

R_{PGOOD} は、オープンドレイン出力のプルアップとして機能します。このピンによる電流シンクは 10mA を超えないようにする必要があります (「絶対最大定格」表を参照)。R_{PGOOD} の標準抵抗値として、10kΩ ～ 100kΩ の範囲を推奨しています。図 9-5 および図 9-7 に、システムのパワーアップ性能とパワーダウン性能をそれぞれ示します。C_{IN} は、入力のノイズを抑制するためのローカル バイパス コンデンサです。$C_{(IN)}$ として、最低 0.1µF を推奨しています。

Copyright © 2026 Texas Instruments Incorporated

9.2.3 アプリケーション曲線

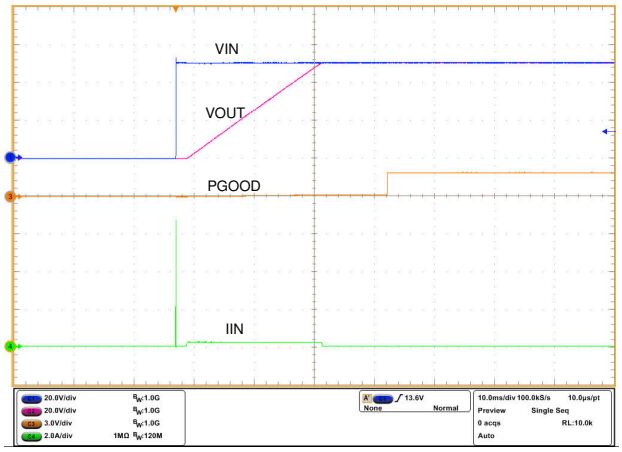


図 9-2. 50V 電源、無負荷でのホットプラグ接続

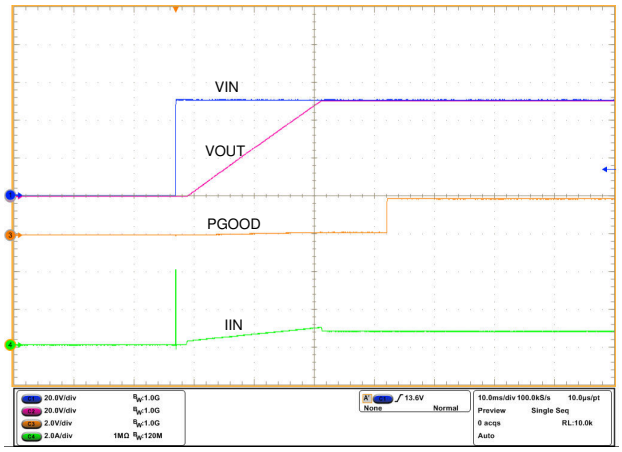


図 9-3. 50V 電源、60Ω 負荷でのホットプラグ接続

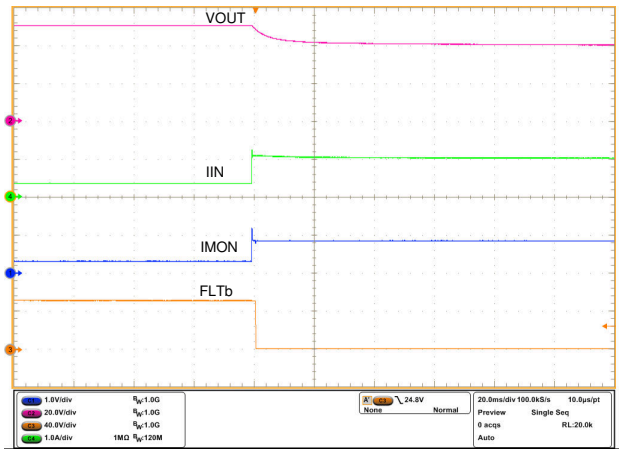


図 9-4. 140Ω ～ 40Ω の負荷ステップ時の過負荷性能

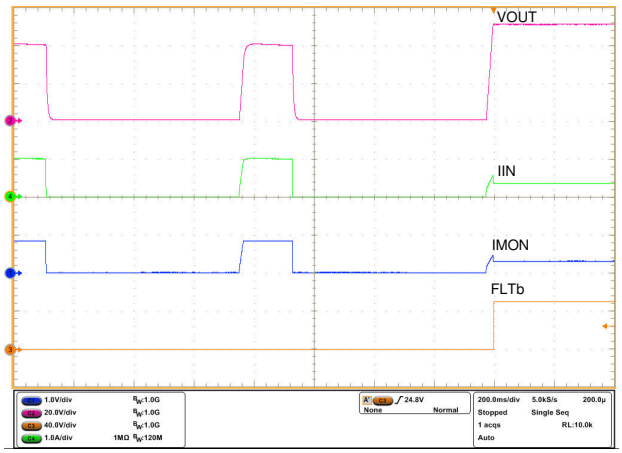


図 9-5. 40Ω ～ 140Ω の負荷ステップで過負荷を解消

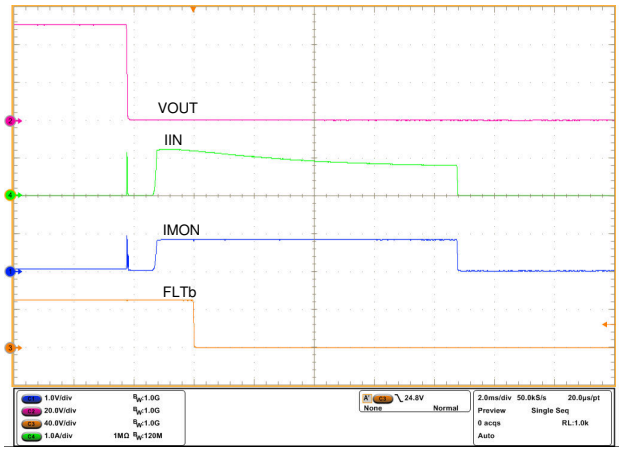


図 9-6. 50V 入力電源での出力ホット短絡性能

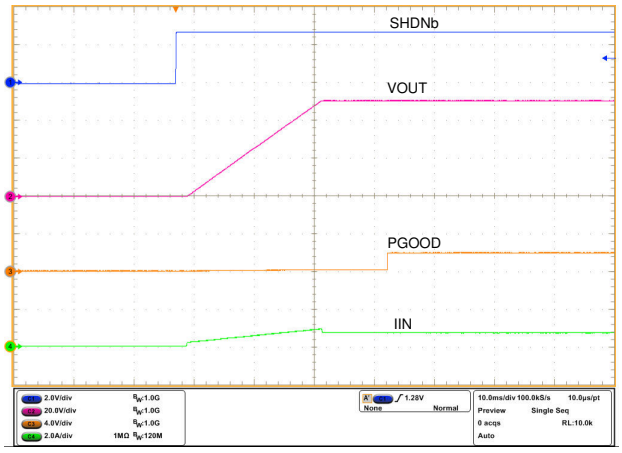


図 9-7. $\overline{\text{SHDN}}$ 制御を使用してオン

Copyright © 2026 Texas Instruments Incorporated

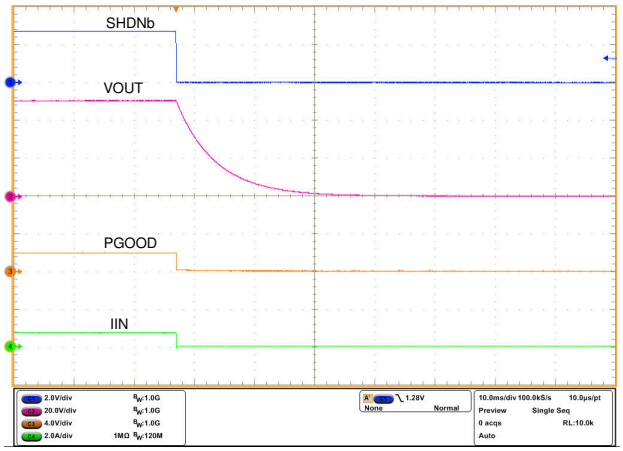


図 9-8. $\overline{\text{SHDN}}$ 制御を使用してオフ

9.3 システム例

9.3.1 シンプルな 24V 電源パス保護

TPS1663x を使用すると、図 9-9 の回路図に示すように、最小 3 つの外付け部品を用いて、シンプルな 24V 電源パス保護を実現できます。必要な外付け部品は、電流制限値を設定するための $R_{(ILIM)}$ 抵抗、および $C_{(IN)}$ と $C_{(OUT)}$のコンデンサです。

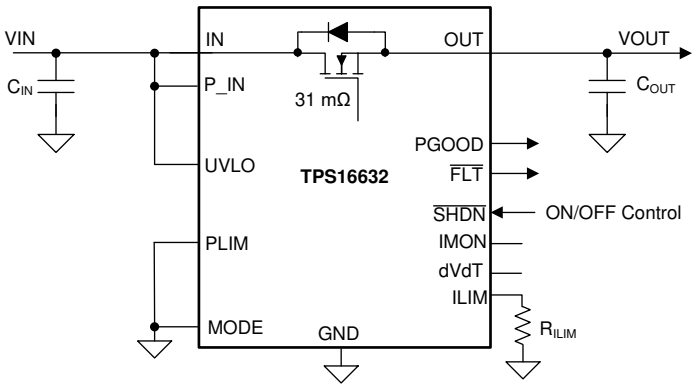


図 9-9. シンプルな電源パス保護用に構成された TPS16630

この構成では、以下の保護機能を使用できます。

- 39V (最大値) の過電圧クランプ出力
- 24V/500µs の出力電圧スルーレートを設定した突入電流制御
- 自動再試行による高精度の電流制限

9.4 電源に関する推奨事項

TPS1663x eFuse は、4.5V ≤ V_{IN} ≤ 60V の電源電圧範囲向けに設計されています。入力電源がデバイスから数インチ以上離れて配置される場合は、0.1µF より大きな容量の入力用セラミック バイパス コンデンサを使用することを推奨します。過電流および短絡状態での電圧低下を防止するため、電源の定格は設定された電流制限値よりも高く設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

9.4.1 過渡保護

デバイスが電流フローに割り込むタイミングで、短絡および過負荷電流による制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何らかの策を講じない場合は、こうした過渡現象によって、デバイスの絶対最大定格を超える可能性があります。

過渡現象に対処する一般的な方法は、以下のとおりです。

- デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑える
- PCB には、大きい GND プレーンを使用する
- 出力と GND の間にショットキー ダイオードを配置して、負のスパイクを吸収する
- 低値のセラミック コンデンサ (約 0.1µF までの $C_{(IN)}$) を使用して、エネルギーを吸収し、過渡現象を減衰させる。

入力容量の近似値は、式 14 を使用して推定できます。

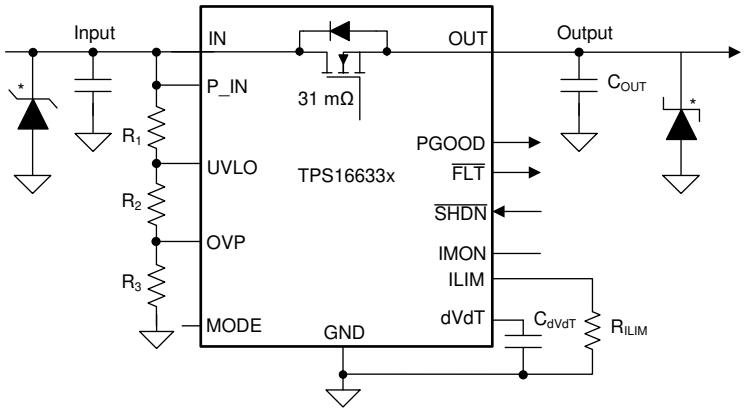
$$V_{spike(Absolute)} = V_{IN} + I_{(LOAD)} \times \sqrt{\frac{L_{(IN)}}{C_{(IN)}}} \quad (14)$$

ここで、

- $V_{(IN)}$ は公称電源電圧
- $I_{(LOAD)}$ は負荷電流
- $L_{(IN)}$ はソースから見た実効インダクタンスに等しい値
- $C_{(IN)}$ は入力に存在する容量

一部のアプリケーションでは、過渡状態においてデバイスの絶対最大定格を超えないように、過渡電圧サプレッサ (TVS) を追加する必要があります。これらの過渡は、電源ラインで正および負のサージテスト中に発生する可能性があります。このようなアプリケーションでは、少なくとも 1µF の入力コンデンサを配置することを推奨します。

オプションの保護部品 (セラミック コンデンサ、TVS、ショットキー ダイオード) を使用した回路実装例を、「図 9-10」に示します。



* 過渡の抑制に必要なオプション部品

図 9-10. オプションの保護部品を使用した TPS1663x の回路実装

9.5 レイアウト

9.5.1 レイアウトのガイドライン

- すべてのアプリケーションで、IN 端子と GND の間に 0.1 µF 以上の値のセラミック デカップリング コンデンサを使うことが推奨されます。
- 大電流を流すパワー パス接続はできる限り短くし、全負荷電流の 2 倍以上が流れるようにサイズを調整する必要があります。典型的な PCB レイアウト例については、図 9-12 と図 9-11 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

- TPS1663x ファミリのすべてのサポート部品 $R_{(ILIM)}$、$R_{(PLIM)}$、$C_{(dVdT)}$、$R_{(IMON)}$、UVLO、OVP 用の抵抗器は、それぞれの接続ピンの近くに配置してください。部品のもう一方の端を、最短のパターン長で GND に接続します。
- 電流制限および電力制限の精度に及ぼす寄生効果を低減するため、$R_{(ILIM)}$、$R_{(PLIM)}$ コンポーネントからデバイスへの配線は、可能な限り短くする必要があります。これらのトレースは基板上のスイッチング信号と結合しないでください。
- TVS、スナバ、コンデンサ、ダイオードなどの保護デバイスは、物理的に保護対象のデバイスの近くに配置し、短いパターンで配線してインダクタンスを低減します。たとえば、誘導性負荷のスイッチングによる負の過渡事象に対処するために、TI は保護ショットキー ダイオードを推奨します。このダイオードは、物理的に OUT および GND ピンの近くに配置する必要があります。
- 熱に関する考慮事項：適切に取り付けると、PowerPAD パッケージは優れた冷却能力を発揮します。定格電力で動作するには、PowerPAD をデバイスの直下にある基板の GND プレーンに直接半田付けする必要があります。回路基板の底面などの他の面を利用することで、高電流用途における放熱効果を高めることができます。

Copyright © 2026 Texas Instruments Incorporated

9.5.2 レイアウト例

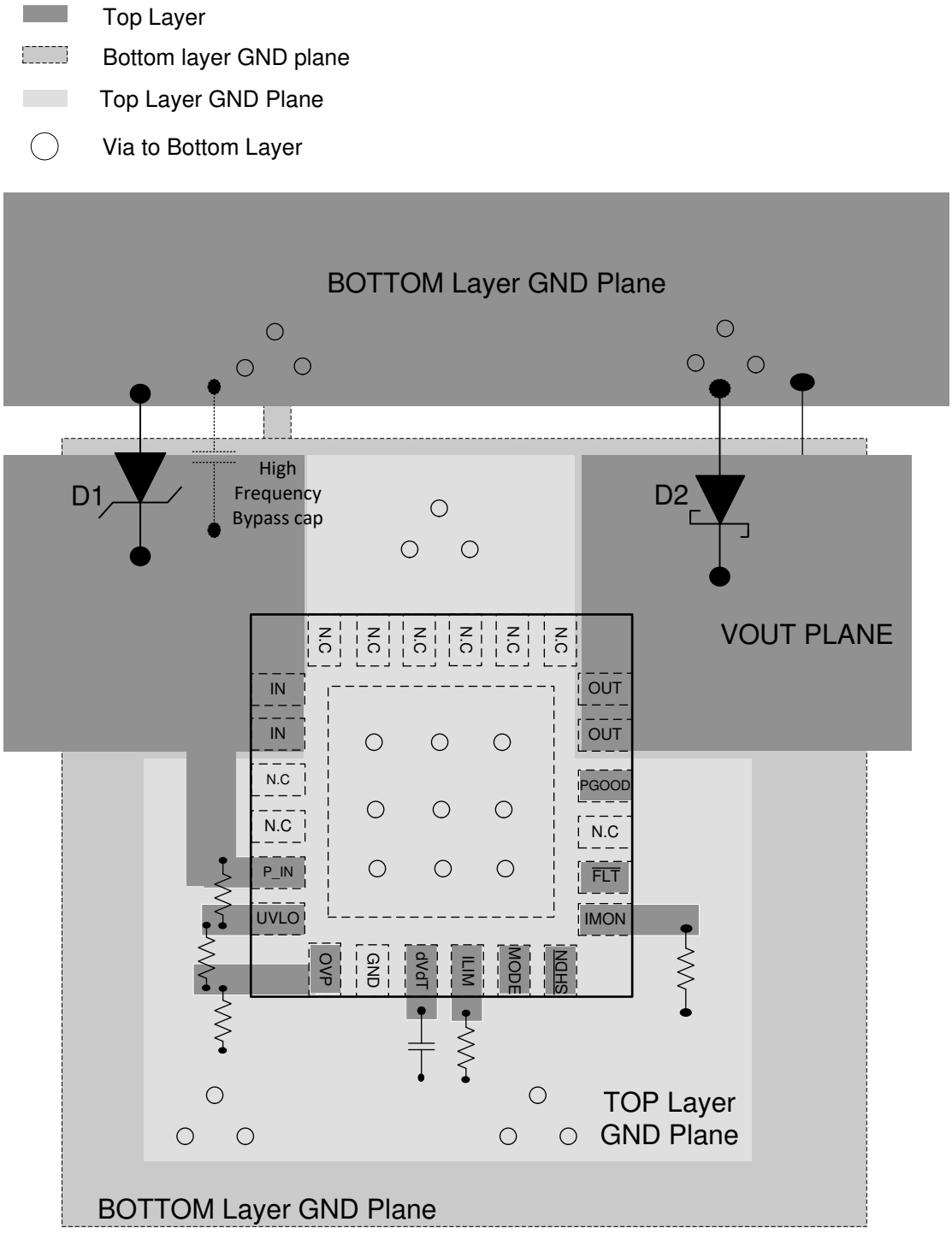


図 9-11. 2 層 PCB の QFN パッケージを使用した PCB レイアウト例

Copyright © 2026 Texas Instruments Incorporated

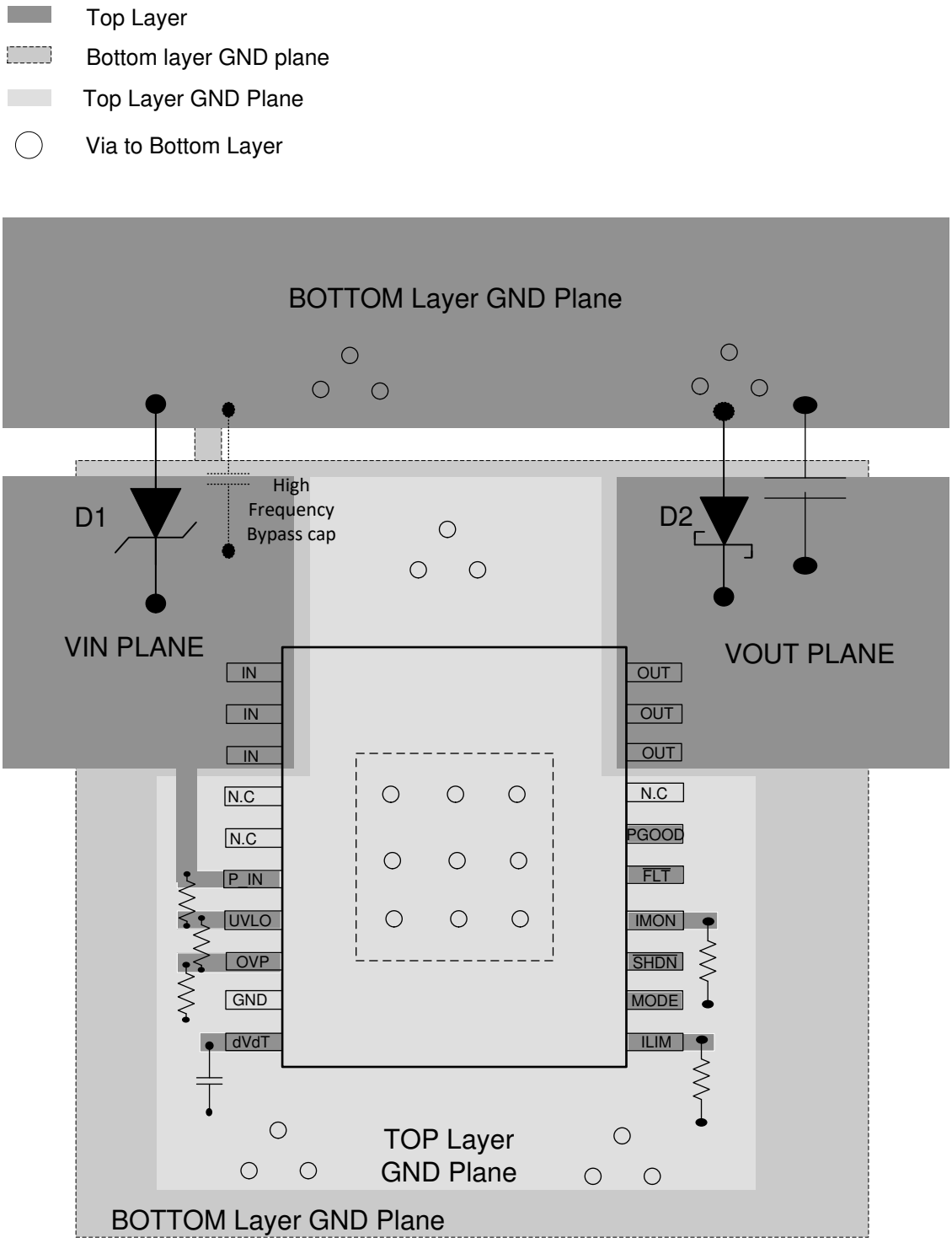


図 9-12. 2 層 PCB の HTSSOP パッケージを使用した代表的な PCB レイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

- TPS1663 デザイン カリキュレータ

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (February 2023) to Revision G (April 2026)	Page
• TPS16637 デバイスを追加	1
• TPS16637 デバイスを追加	4
• TPS16637 デバイスを追加	5

Changes from Revision E (March 2020) to Revision F (February 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「特長」セクションに機能安全対応の箇条書き項目を追加	1

Copyright © 2026 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS16630PWPR	Active	Production	HTSSOP (PWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS16630
TPS16630PWPR.A	Active	Production	HTSSOP (PWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS16630
TPS16630PWPT	Active	Production	HTSSOP (PWP) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS16630
TPS16630PWPT.A	Active	Production	HTSSOP (PWP) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS16630
TPS16630RGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPS 16630
TPS16630RGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPS 16630
TPS16630RGERG4	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPS 16630
TPS16630RGERG4.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPS 16630
TPS16630RGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPS 16630
TPS16630RGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPS 16630
TPS16632RGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPS 16632
TPS16632RGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPS 16632
TPS16632RGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPS 16632
TPS16632RGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPS 16632
TPS16637PWPR	Active	Production	HTSSOP (PWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS16637
TPS16637PWPR.A	Active	Production	HTSSOP (PWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS16637
TPS16637RGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPS 16637
TPS16637RGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TPS 16637

(1) **Status:** For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

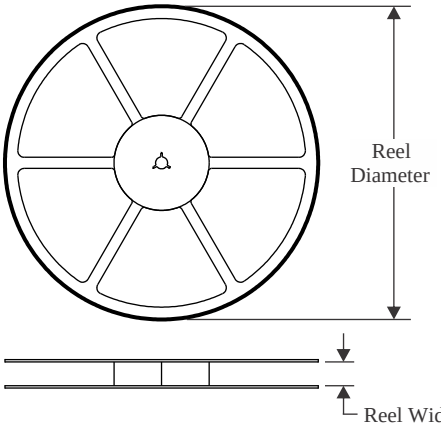
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

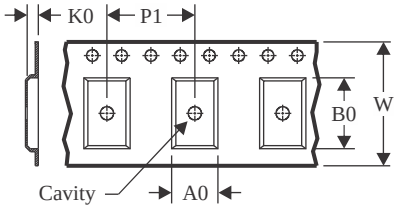
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

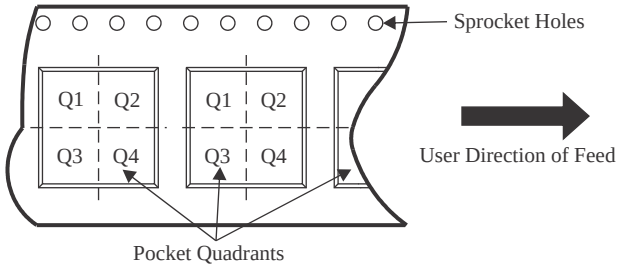


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

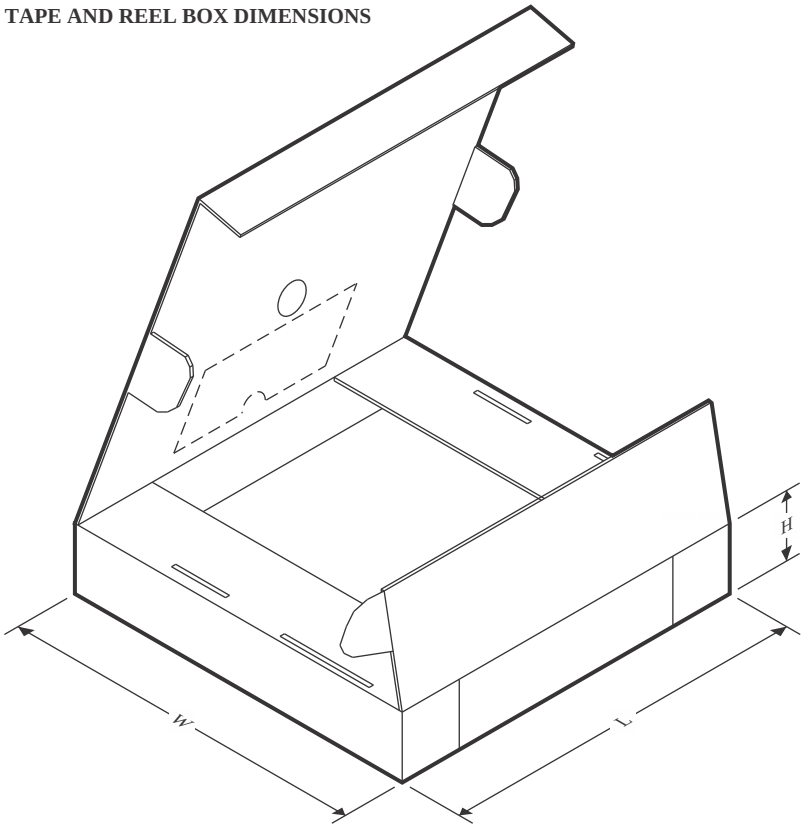
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS16630PWPR	HTSSOP	PWP	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
TPS16630PWPT	HTSSOP	PWP	20	250	180.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
TPS16630RGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS16630RGERG4	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS16630RGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS16632RGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS16632RGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS16637PWPR	HTSSOP	PWP	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
TPS16637RGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



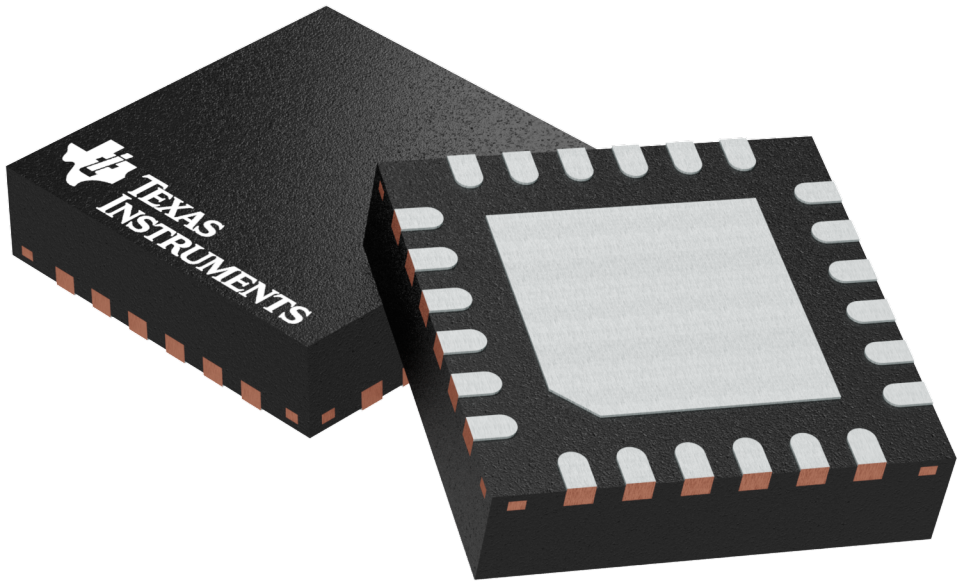
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS16630PWPR	HTSSOP	PWP	20	2000	353.0	353.0	32.0
TPS16630PWPT	HTSSOP	PWP	20	250	213.0	191.0	35.0
TPS16630RGER	VQFN	RGE	24	3000	360.0	360.0	36.0
TPS16630RGERG4	VQFN	RGE	24	3000	367.0	367.0	35.0
TPS16630RGET	VQFN	RGE	24	250	210.0	185.0	35.0
TPS16632RGER	VQFN	RGE	24	3000	360.0	360.0	36.0
TPS16632RGET	VQFN	RGE	24	250	210.0	185.0	35.0
TPS16637PWPR	HTSSOP	PWP	20	2000	353.0	353.0	32.0
TPS16637RGER	VQFN	RGE	24	3000	360.0	360.0	36.0

GENERIC PACKAGE VIEW

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

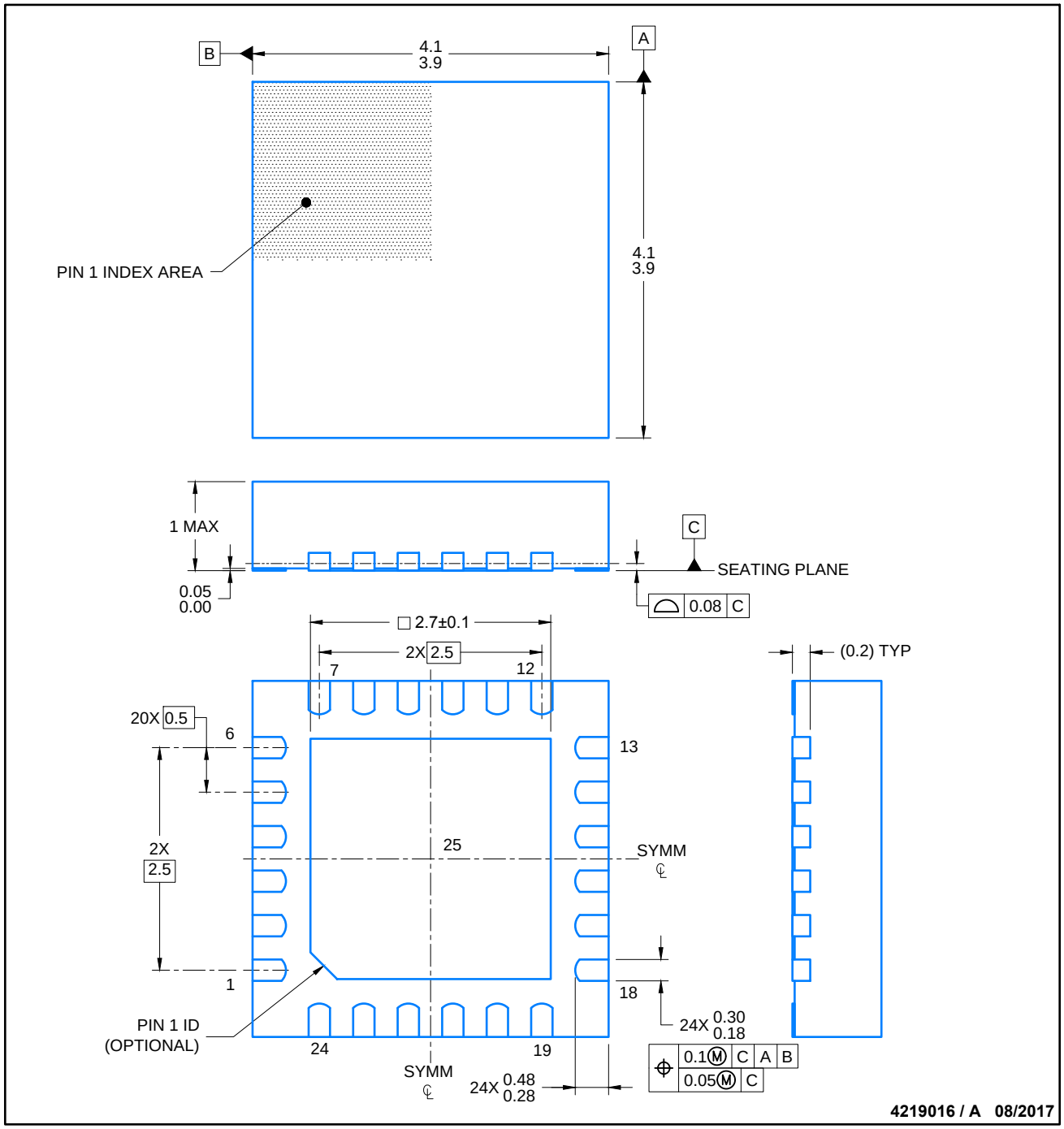
4204104/H

PACKAGE OUTLINE

RGE0024H

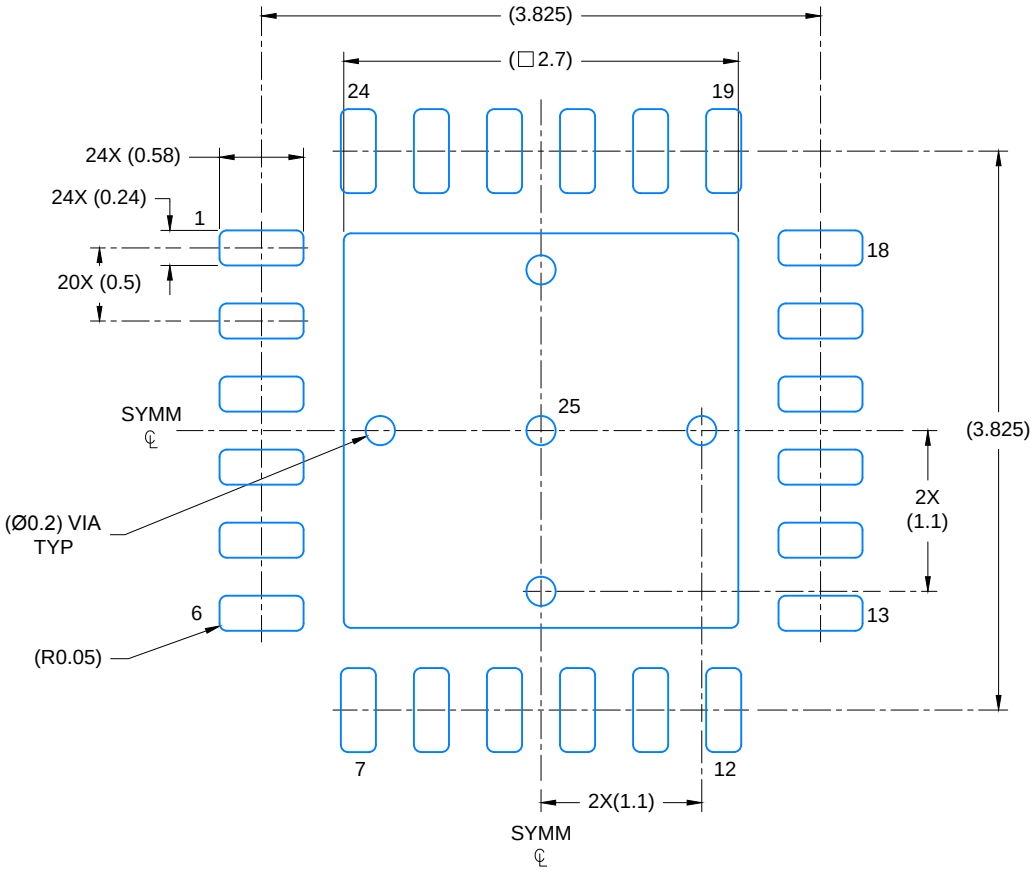
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



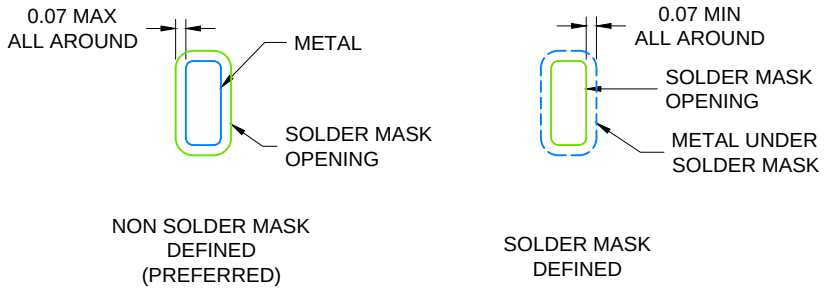
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE

SCALE: 20X

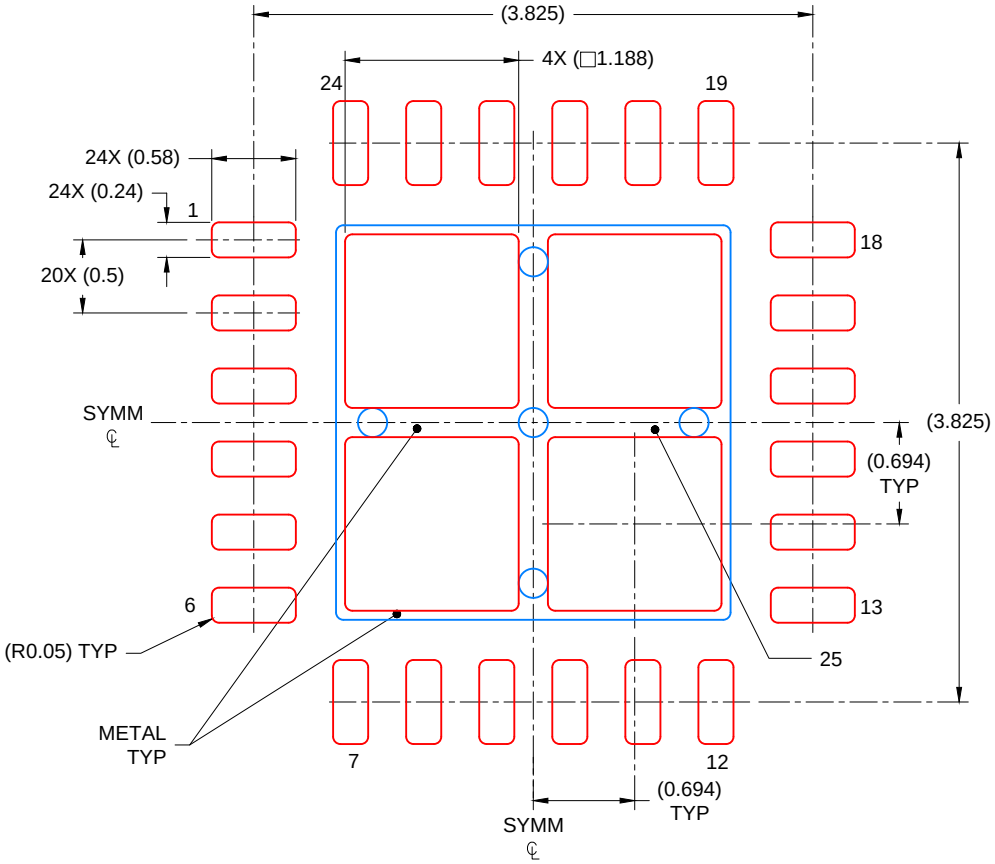


SOLDER MASK DETAILS

4219016 / A 08/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 20X

4219016 / A 08/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

GENERIC PACKAGE VIEW

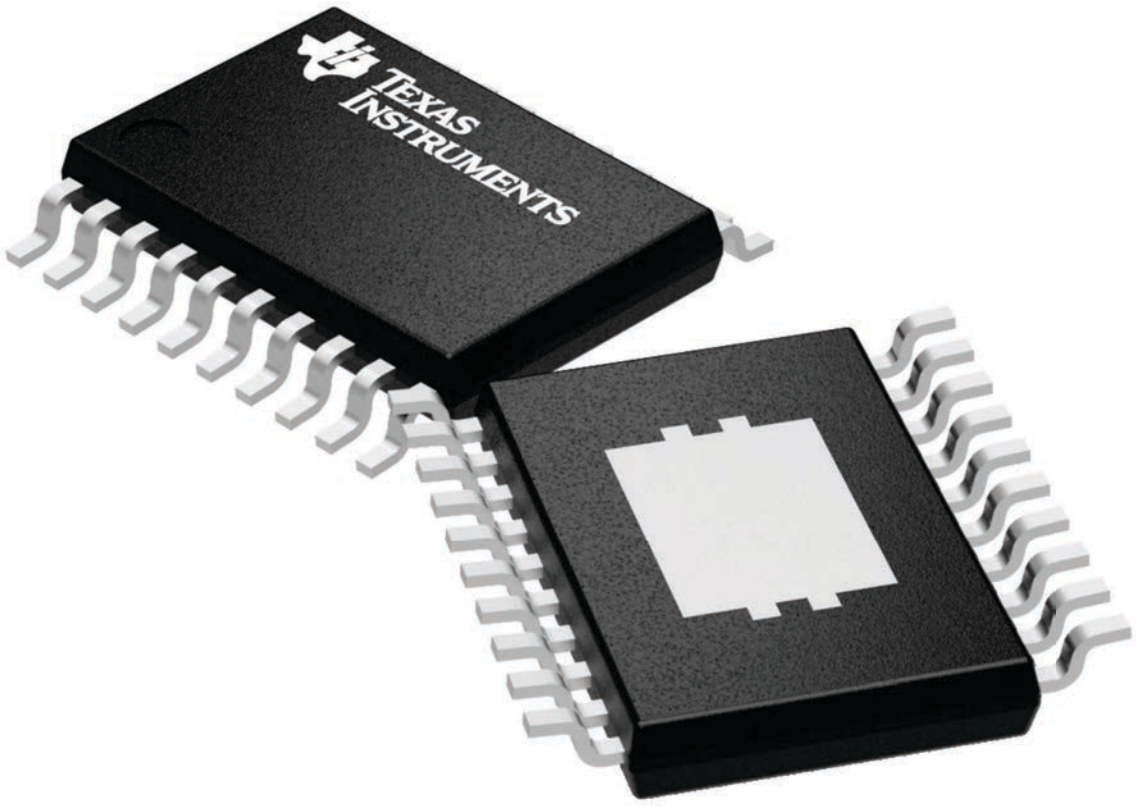
PWP 20

HTSSOP - 1.2 mm max height

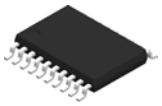
6.5 x 4.4, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224669/A

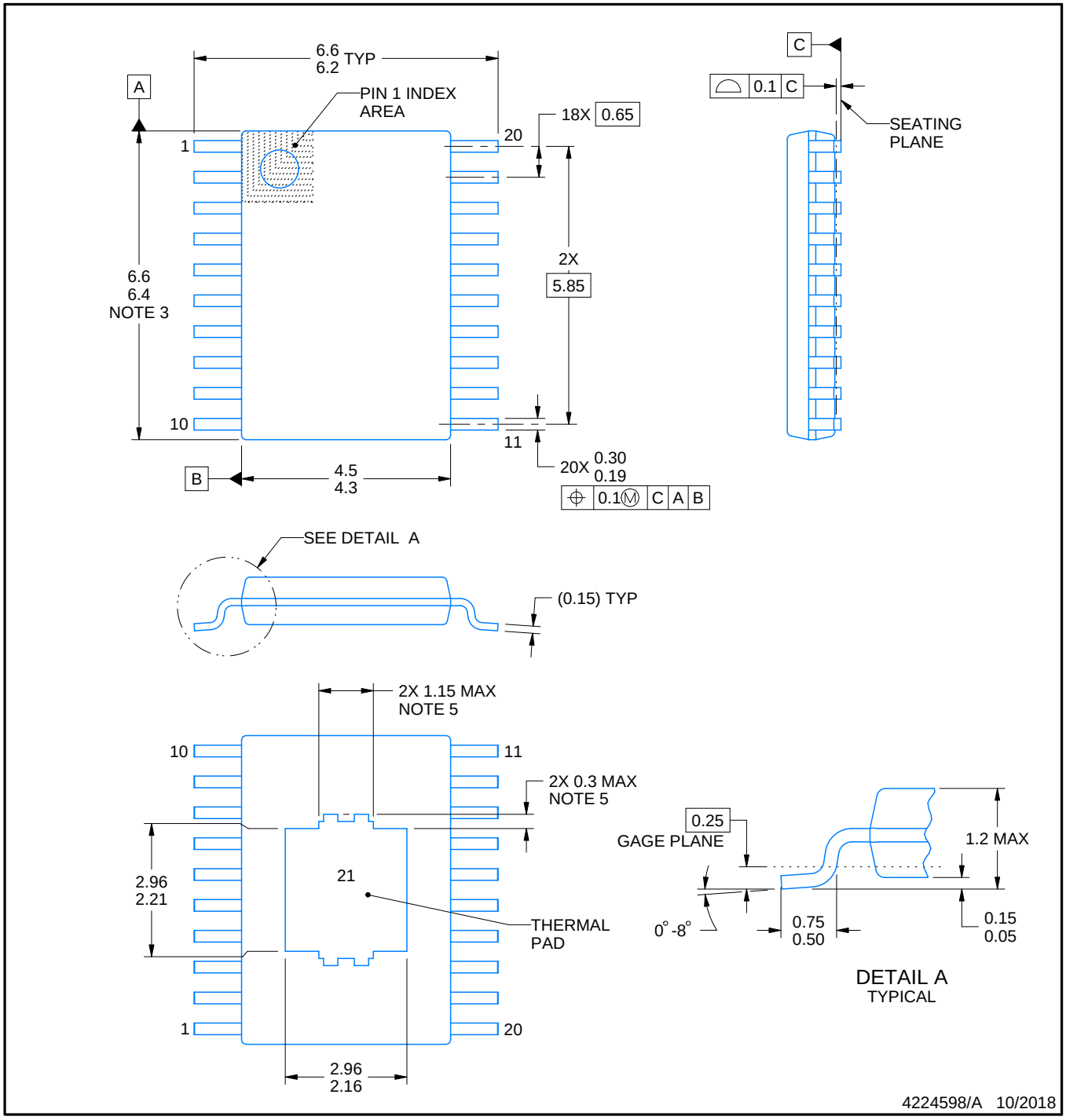


PACKAGE OUTLINE

PWP0020T

PowerPAD™ TSSOP - 1.2 mm max height

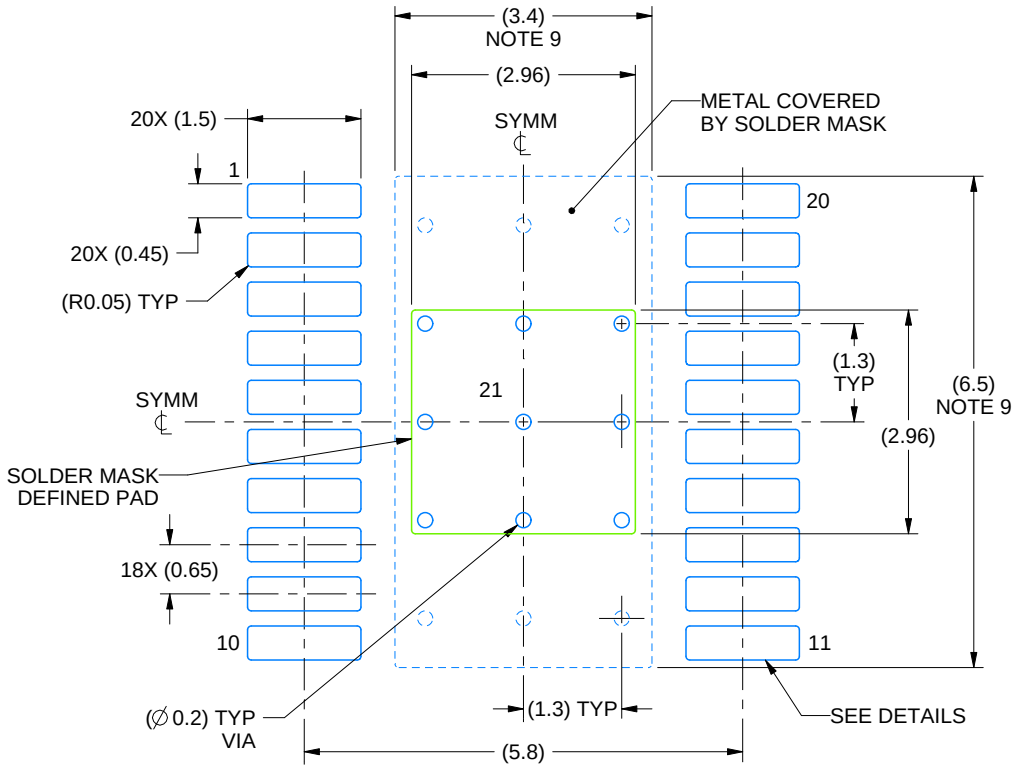
SMALL OUTLINE PACKAGE



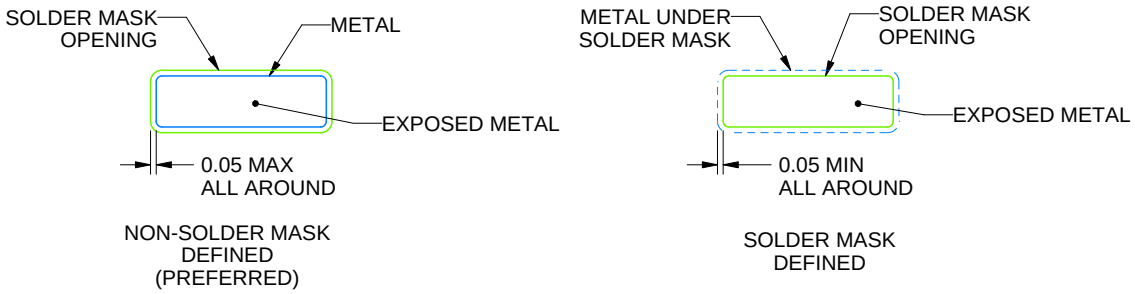
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

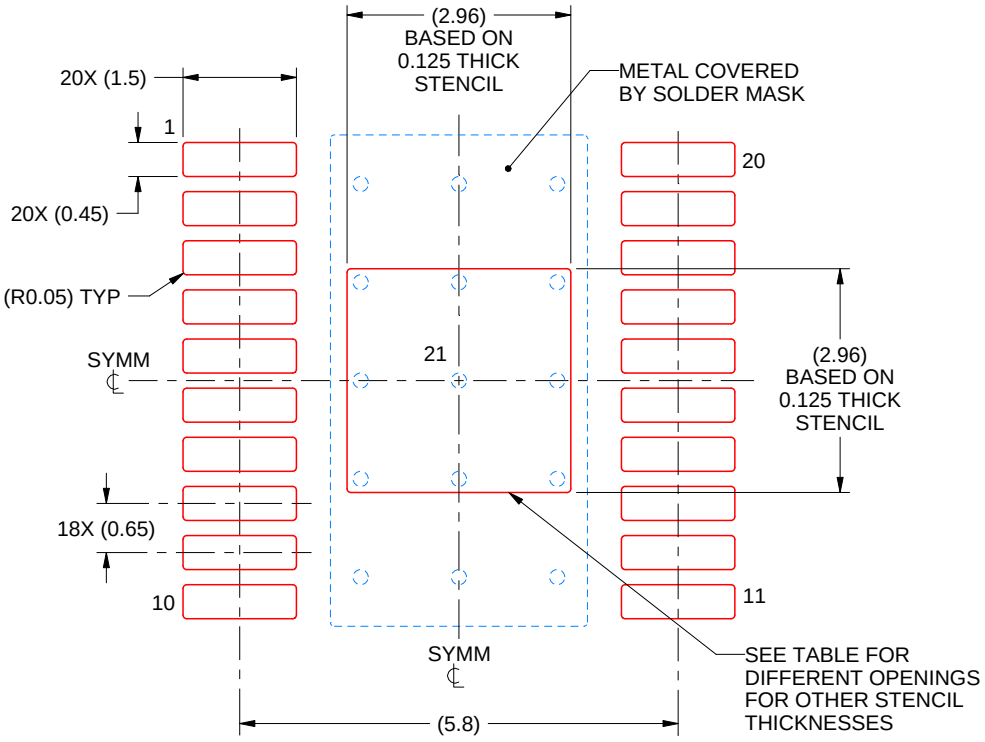


SOLDER MASK DETAILS

4224598/A 10/2018

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.31 X 3.31
0.125	2.96 X 2.96 (SHOWN)
0.15	2.70 X 2.70
0.175	2.50 X 2.50

4224598/A 10/2018

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月