

TPS1685x、9V ~ 80V、3.5mΩ、20A、スタッカブル内蔵型ホットスワップ (eFuse)、高精度で高速な電流モニタ搭載

1 特長

- 動作入力電圧範囲: 9V ~ 80V
 - 絶対最大電圧 92V
 - 出力側で最大 -5V の負電圧に対応
- 低いオン抵抗の FET を内蔵: $R_{ON} = 3.5m\Omega$ (標準値)
- アクティブ HIGH のイネーブル入力、低電圧誤動作防止 (UVLO) を設定可能
- 調整可能な過電圧保護機能
- 複数の eFuse の並列接続をサポートし、デバイス状態の同期と電流共有を行います
- 突入電流からの保護のために出力スルーレート制御 (dVdt) を調整可能
- 高精度な負荷電流監視機能
 - 最大電流の 50 ~ 100% にわたって誤差 3% 未満です
 - 1MHz の帯域幅
- 堅牢な過電流保護機能
 - サーキットブレーカ応答
 - 可変スレッシュホールド: 2A ~ 20A
 - 過電流保護の精度: $\pm 3\%$
 - 可変の過渡過電流タイマ (ITIMER) によりピーク電流をサポート
- 短絡イベントに対する高速トリップ応答
- アナログ ダイ温度監視出力 (TEMP) による過熱保護 (OTP)
 - FET SOA: 0.7W/√s
- FET の健全性監視および報告機能
- フォルト表示ピン (FLT)
- パワー グッド表示ピン (PGOOD)
- 小さい占有面積: QFN 6mm × 5mm
 - 60V 対応の IPC9592B クリアランス

2 アプリケーション

- 入力ホットスワップおよびホットプラグ
- サーバーおよび高性能コンピューティング
- ネットワーク インターフェイス カード
- グラフィックスおよびハードウェア アクセラレータ カード

- データ センターのスイッチおよびルーター
- 火災警報制御パネル

3 説明

TPS1685x は統合型大電流回路保護およびパワー マネージメント デバイスです。このデバイスは、非常に少数の外付け部品で複数の保護モードを提供し、過負荷、短絡、および過剰な突入電流に対して堅牢な保護を行います。特定の突入電流要件を持つアプリケーションでは、単一の外付けコンデンサにより出力スルーレートを設定できます。ユーザーは、システムのニーズに応じて、出力電流制限レベルを設定できます。ユーザーが調整可能な過電流ブランキング タイマを使用すると、システムは eFuse をトリップせずに、負荷電流の過渡ピークに対応できます。高速で高精度の検出を行う内蔵のアナログ負荷電流モニタにより、予知保全と高度な動的プラットフォーム電力管理 (Intel® PSYS、PROCHOT# など) が容易になり、サーバーおよびデータセンターの性能を最適化します。

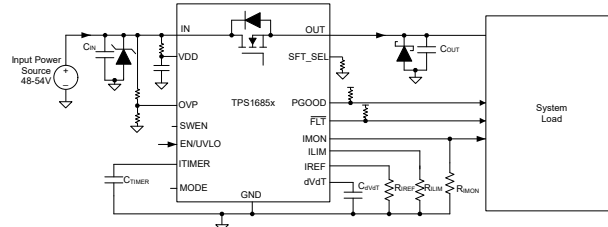
高電力システムで総電流容量を増やすには、複数の TPS1685x デバイスを並列に接続します。すべてのデバイスが動作状態をアクティブに同期し、スタートアップ時や定常状態で電流を共有することで、一部のデバイスに過大なストレスがかかることを防ぎます。このようなストレスは、並列チェーンの早期または部分的なシャットダウンを引き起こす可能性があります。

これらのデバイスは、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の接合部温度範囲での動作について特性評価されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TPS16850VMAR	VMA (LQFN, 23)	6.00mm × 5.00mm
TPS16851VMAR		
TPS16850AVMAR		
TPS16851AVMAR		

- 供給されているすべてのパッケージについては、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



目次

1 特長.....	1	7.3 機能説明.....	20
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	36
3 説明.....	1	8 アプリケーションと実装.....	37
4 デバイス比較表.....	3	8.1 使用上の注意.....	37
5 ピン構成および機能.....	4	8.2 代表的なアプリケーション: データ センター サーバ ーにおける 54V パワー パス保護.....	40
6 仕様.....	6	8.3 電源に関する推奨事項.....	46
6.1 絶対最大定格.....	6	8.4 レイアウト.....	48
6.2 ESD 定格.....	6	9 デバイスおよびドキュメントのサポート.....	50
6.3 推奨動作条件.....	7	9.1 ドキュメントのサポート.....	50
6.4 熱に関する情報.....	7	9.2 ドキュメントの更新通知を受け取る方法.....	50
6.5 電気的特性.....	8	9.3 サポート・リソース.....	50
6.6 ロジック・インターフェイス.....	12	9.4 商標.....	50
6.7 タイミング要件.....	12	9.5 静電気放電に関する注意事項.....	50
6.8 スイッチング特性.....	13	9.6 用語集.....	50
6.9 代表的特性.....	14	10 改訂履歴.....	50
7 詳細説明.....	18	11 メカニカル、パッケージ、および注文情報.....	51
7.1 概要.....	18		
7.2 機能ブロック図.....	19		

4 デバイス比較表

部品番号	フォルト動作	固定高速トリップ スレッショルド (FFT)
TPS16850	自動再試行	73A
TPS16851	ラッチオフ	73A
TPS16850A	自動再試行	83A
TPS16851A	ラッチオフ	83A

5 ピン構成および機能

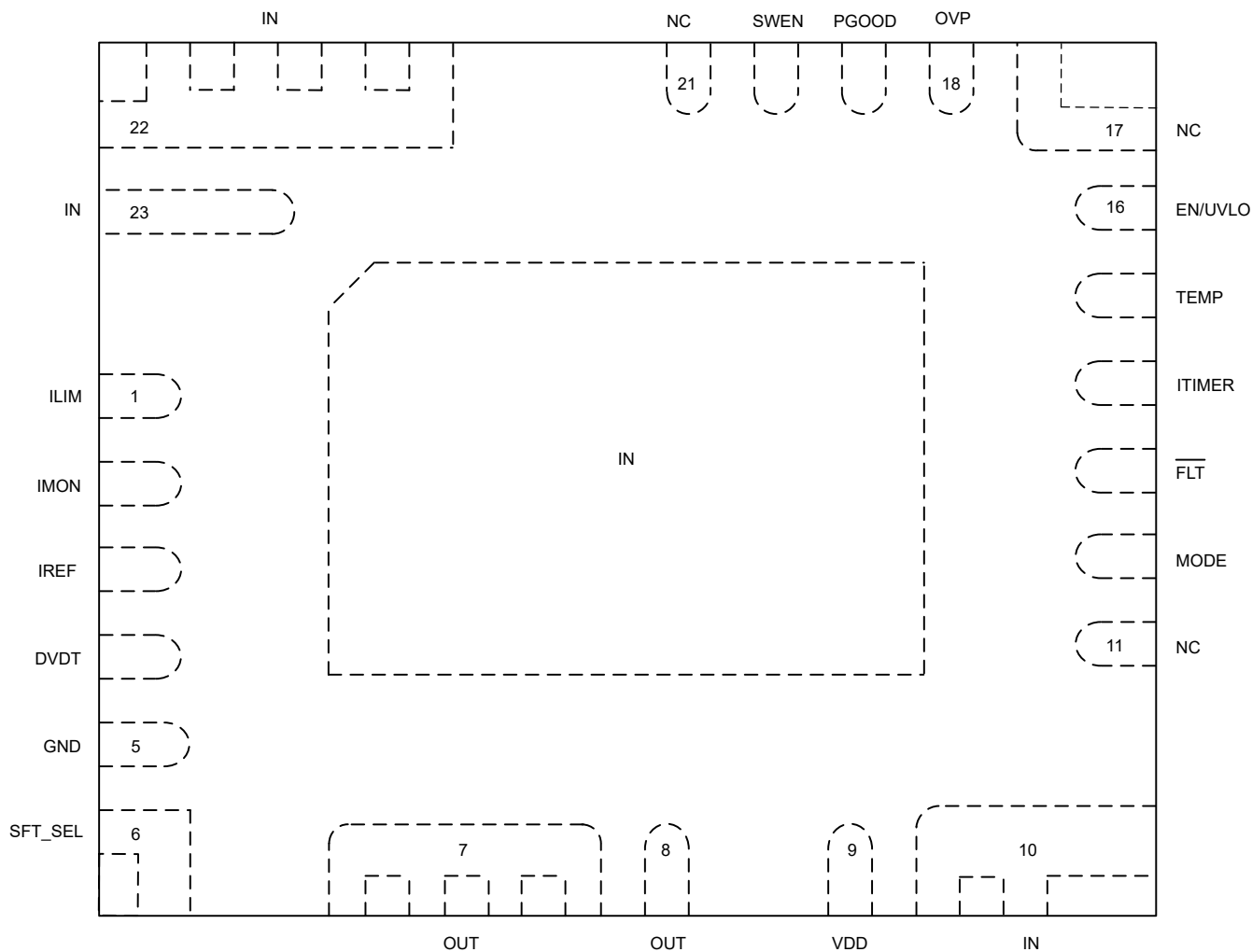


図 5-1. TPS1685x VMA パッケージ、QFN 23 ピン (上面図)

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
ILIM	1	I/O	このピンと GND との間に外付け抵抗を接続することで、定常状態時のアクティブ電流共有スレッシュホールドが設定されます。このピンは、定常状態時の個別の eFuse 電流モニタ出力としても機能します。フローティングのままにしないでください。
IMON	2	I/O	このピンと GND の間に外付け抵抗を接続することで、定常状態時の過電流 / 保護スレッシュホールドと高速トリップ スレッシュホールドが設定されます。このピンは、定常状態中の高速かつ高精度のアナログ出力負荷電流監視信号としても機能します。フローティングのままにしないでください。
IREF	3	I/O	このピンは、過電流、短絡保護とアクティブ電流共有ブロックに適したリファレンス電圧を設定します。リファレンス電圧は、このピンの内部電流源と抵抗を使用して生成することも、外部電圧源から駆動することもできます。フローティングのままにしないでください。
dVdT	4	I/O	このピンを使用して、スタートアップ時の出力スルー レートを構成します。このピンをオープンのままにすると、短時間で起動できます。コンデンサをグラウンドと接続することで、スルーレートを低速にし、突入電流を管理します。
GND	5	G	デバイス グラウンド リファレンス ピン。システム グラウンドに接続。

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
SFT_SEL	6	I/O	このピンは、定常状態時のスケーラブルな高速トリップ スレッシュホールド通信器を選択します。このピンと GND の間に抵抗を接続して、高速トリップ スレッシュホールド通信器を選択します。 SFT_SEL ピンをフローティングのままにすることは推奨しません。
OUT	7、8	P	電力出力。適切な放熱のため、出力電源プレーンに均一に半田付けする必要があります。
VDD	9	P	コントローラ電源入力ピン。システム過渡の影響を受けない、フィルタリングされ、安定した電源で内部制御回路に電力を供給することを目的としています。このピンを直列抵抗を介して VIN に接続し、デカップリング コンデンサを GND に追加します。
IN	10、22、23	P	電源入力。適切な放熱のため、入力電源プレーンに均一に半田付けする必要があります。
NC	11、17、21	—	このピンに何も接続しないでください。
モード	12	I	このピンは、スタンドアロン/1 次動作モードまたは 2 次動作モード用にデバイスを構成するために使用されます。このピンを GND に接続すると、デバイスを 1 次側 eFuse/コントローラに対する 2 次デバイスとして構成できます。スタンドアロン/1 次動作モードの場合は、このピンをフローティングのままにします。
FLT	13	O	これは、オープンドレインのアクティブ low ピンで、 low にプルされることで故障を示します。抵抗を使用して、このピンを外部電源電圧にプルアップします。
ITIMER	14	I/O	このピンと GND との間のコンデンサにより、デバイスの過電流応答が動作する前に、定常状態動作中に出力電流が過電流スレッシュホールド (ただし、高速トリップ スレッシュホールドより低い) を一時的に超えることができる過電流ブランキング間隔が設定されます。
TEMP	15	I/O	接合部温度のアナログ電圧出力。複数のデバイスの TEMP 出力を並列構成で接続することで、並列チェーンのピーク温度を表示できます。
EN/UVLO	16	I	アクティブ High イネーブル入力。入力電源から抵抗分割器を接続して、低電圧スレッシュホールドを設定します。フローティングのままにしないでください。
OVP	18	I	このピンを使用して過電圧設定点を設定できます。 VIN とこのピンとの間に抵抗デバイダを接続します。フローティングのままにしないでください。
PGOOD	19	O	これはオープンドレインのアクティブ high パワー グッド ピンで、デバイスが定常状態のときに high にアサートされます。このピンには、内部電源電圧への弱いプルアップがあります。
SWEN	20	I/O	これは、パワー スイッチのオン / オフ ステータスを示すオープンドレイン信号です。このピンにより、並列チェーン内の複数のデバイスを簡単にアクティブに同期できます。このピンには、内部電源電圧への弱いプルアップがあります。
IN	PowerPAD™	P	電源入力。適切な放熱のため、入力電源プレーンに均一に半田付けする必要があります。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ	ピン	最小値	最大値	単位
V_{INMAX} , V_{DDMAX}	最大入力および電源電圧 ($-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$)	IN, VDD	-0.3 90	V
$V_{INMAX, 25}$, $V_{DDMAX, 25}$	最大入力および電源電圧 ($25^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$)	IN, VDD	-0.3 92	V
dV_{IN}/dT	入力電源ホットプラグ時のスルーレート	IN	500	V/ μs
V_{OUTMAX}	最大出力電圧	OUT	-5 ⁽²⁾ Min(92V, $V_{IN} + 0.3$)	
$V_{IN} \sim V_{OUT}$	IN と OUT の最大差	IN, OUT	-0.3 90	V
$V_{IILIMMAX}$	ILIM ピンの最大電圧	ILIM	-0.3 6	V
$V_{IMONMAX}$	IMON ピンの最大電圧	IMON	-0.3 6	V
V_{SFT_SELMAX}	SFT_SEL ピンの最大電圧	SFT_SEL	-0.3 6	V
V_{OVP}	OVP ピンの最大電圧	OVP	-0.3 6	V
V_{ITIMER}	ITIMER ピンの最大電圧	ITIMER	-0.3 6	V
$V_{IREFMAX}$	IREF ピンの最大電圧	IREF	-0.3 6	V
$V_{DVDTMAX}$	DVDT ピンの最大電圧	DVDT	-0.3 6	V
$V_{MODEMAX}$	MODE ピンの最大電圧	モード	-0.3 6	V
$V_{SWENMAX}$	SWEN ピンの最大電圧	SWEN	-0.3 6	V
$I_{SWENMAX}$	SWEN ピンの最大シンク	SWEN	10	mA
V_{ENMAX}	EN/UVLO ピンの最大電圧	EN/UVLO	-0.3 6	V
V_{FLTMAX}	FLT ピンの最大電圧	FLT	-0.3 6	V
I_{FLTMAX}	FLT ピンの最大シンク電流	FLT	10	mA
$V_{PGOODMAX}$	PGOOD ピンの最大電圧	PGOOD	-0.3 6	V
$I_{PGOODMAX}$	PGOOD ピンの最大シンク電流	PGOOD	10	mA
V_{TEMP}	TEMP ピンの最大電圧	TEMP	-0.3 6	V
I_{MAX}	最大連続スイッチ電流	IN から OUT	内部的に制限	A
T_{JMAX}	接合部温度		内部的に制限	$^{\circ}\text{C}$

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) FET オフで負の過渡状態。

6.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	V
		デバイス帯電モデル (CDM)、JEDEC 規格 JESD22-C101 準拠、すべてのピン ⁽²⁾	
		± 1500	
		± 500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		ピン	最小値	最大値	単位
V_{IN}	入力電圧範囲	IN	9	80	V
V_{DD}	電源電圧範囲	VDD	9	80	V
V_{OUT}	出力電圧範囲	OUT		V_{IN}	V
$V_{EN/UVLO}$	イネーブル ピン電圧範囲	EN/ UVLO		5	V
dVdT	dVdT ピン コンデンサ電圧定格	dVdT		4	V
V_{PGOOD}	PGOOD ピンのプルアップ電圧範囲	PGOOD		5	V
V_{FLT}	FLT ピンのプルアップ電圧範囲	FLT		5	V
V_{SWEN}	SWEN ピンのプルアップ電圧範囲	SWEN		5	V
V_{TEMP}	TEMP ピンの電圧定格	TEMP		5	V
V_{IREF}	IREF ピンの電圧範囲	IREF	0.3	1.2	V
V_{ILIM}	ILIM ピンの電圧範囲	ILIM		0.4	V
V_{IMON}	IMON ピンの電圧範囲	IMON		1.2	V
C_{IN}	IN ピン上のコンデンサ	IN	10		nF
C_{OUT}	OUT ピン上のコンデンサ	OUT	10		μF
d V_{IN}/dT	入力ホットプラグ時の IN ピンのスルーレート	IN		100	V/μs
	定常状態時のホット短絡保護による FET ターンオフ後の IN ピンのスルー レート	IN		500	V/μs
I_{MAX}	RMS スイッチ電流 $T_J \leq 125^{\circ}\text{C}$	IN から OUT		20	A
I_{MAX} , パルス	持続時間 $\leq 10\text{ms}$, $T_A \leq 70^{\circ}\text{C}$ のピーク出力電流	IN から OUT		27	A
T_J	接合部温度		-40	125	$^{\circ}\text{C}$

6.4 熱に関する情報

熱評価基準 ^{(1) (2)}		TPS1685x	単位
		LQFN	
		ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	22.1	$^{\circ}\text{C/W}$
Ψ_{JT}	接合部から上面への特性パラメータ	1.1	$^{\circ}\text{C/W}$
Ψ_{JB}	接合部から基板への特性パラメータ	9.4	$^{\circ}\text{C/W}$

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。
(2) 3 x 4.5 インチ PCB (2s2p) に JESD51-7 として実装したデバイスで実施されたシミュレーションに基づきます。

6.5 電気的特性

–40°C ≤ T_J ≤ +125°C, V_{IN} = V_{DD} = 50V, OUT = 開, R_{ILIM} = 931Ω, R_{IMON} = 2.55kΩ, V_{IREF} = 1V, FLT = 3.3V への 33kΩ プルアップ, PGOOD = 3.3V への 33kΩ プルアップ, C_{OUT} = 10μF, C_{IN} = 10nF, dVdT = 開, ITIMER = Open, V_{EN/UVLO} = 2V, TEMP = オープン, MODE = オープン。(全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電源 (VDD)						
V _{IN}	入力電圧範囲		9		80	V
V _{DD}	入力電圧範囲		V _{IN}		80	V
I _{QON(VDD)}	V _{DD} ON 状態静止電流	V _{DD} > V _{UVPR} , V _{EN} ≥ V _{UVLOR} , V _{OVF} < V _{OVPF}		0.6	4	mA
V _{UVPR}	V _{DD} 低電圧保護スレッショルド立ち上がり	V _{DD} 立ち上がり		8.5	8.9	V
V _{UVPF}	V _{DD} 低電圧保護スレッショルド立ち下がり	V _{DD} 立ち下がり	6.7	7.05		V
V _{UVPHYS}	UVP ヒステリシス VDD			1.5		V
入力電源 (IN)						
V _{UVPR(VIN)}	VIN 低電圧保護スレッショルド	V _{IN} 立ち上がり		8.45	9	V
V _{UVPF(VIN)}	VIN 低電圧保護スレッショルド	V _{IN} 立ち下がり	6.5	7.05		V
I _{QON(VIN)}	V _{IN} ON 状態静止電流	V _{EN} ≥ V _{UVLOR}		1.69		mA
I _{QOFF(VIN)}	V _{IN} OFF 状態電流	V _{SDR} < V _{EN} < V _{UVLO}		47		μA
I _{SD(VIN)}	V _{IN} シャットダウン電流	V _{EN} < V _{SDF}		46		μA
I _{LKG(VOUT)}	VOUT のリーク電流	V _{EN} < V _{UVLO} , SWEN = L, VOUT = 0V		20		μA
I _{LKG(VOUT)}	VOUT のリーク電流	V _{EN} > V _{UVLO} , SWEN = L, VOUT = 0V		220		μA
イネーブル / 低電圧誤動作防止 (EN/UVLO)						
V _{UVLO(R)}	オンにするための EN/UVLO ピン電圧スレッショルド、立ち上がり	EN/UVLO 立ち上がり	1.18	1.21	1.23	V
V _{UVLO(F)}	オフにして QOD を作動させるための EN/UVLO ピン電圧スレッショルド、立ち下がり (プライマリ デバイス)	EN/UVLO 立ち下がり	1	1.12	1.14	V
V _{UVLOF}	オフにして QOD を作動させるための EN/UVLO ピン電圧スレッショルド、立ち下がり (セカンダリ デバイス)	EN/UVLO 立ち下がり		1		V
V _{UVLOHYS}	UVLO ヒステリシス			89		mV
V _{SDF}	シャットダウン スレッショルド	EN/UVLO 立ち下がり	0.4	0.42		V
V _{SDR}	シャットダウン スレッショルド	EN/UVLO 立ち上がり		0.5	0.55	V
I _{ENLKG}	EN/UVLO ピンのリーク電流		-100		100	nA
過電圧保護 (IN)						
V _{OVPR} (R)	過電圧保護スレッショルド (立ち上がり)	OVP ピンの立ち上がり	1.11	1.17	1.20	V
V _{OVPR} (F)	過電圧保護スレッショルド (立ち下がり)	OVP ピンの立ち下がり	1.08	1.12	1.15	V
V _{OVPHYS}	過電圧保護スレッショルド (ヒステリシス)			57		mV
I _{OVPLKG}	OVP ピンのリーク電流	V _{OVPR} = 1.2V	-100		100	nA
V _{OVPR(IN)}	内部過電圧保護スレッショルド (立ち上がり)	V _{IN} 立ち上がり	84	90.8	95	V
V _{OVPR} (IN)	内部過電圧保護スレッショルド (立ち下がり)	V _{IN} 立ち下がり	77	84.5	90	V
オン抵抗 (IN - OUT)						
R _{ON}	オン状態抵抗	I _{OUT} = 12A, T _J = 25°C		3.5	5.55	mΩ

6.5 電気的特性 (続き)

−40°C ≤ T_J ≤ +125°C、VIN = V_{DD} = 50V、OUT = 開、R_{ILIM} = 931Ω、R_{IMON} = 2.55kΩ、V_{IREF} = 1V、FLT = 3.3V への 33kΩ プルアップ、PGOOD = 3.3V への 33kΩ プルアップ、C_{OUT} = 10μF、C_{IN} = 10nF、dVdT = 開、ITIMER = Open、V_{EN/UVLO} = 2V、TEMP = オープン、MODE = オープン。(全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _{ON}	オン状態抵抗	I _{OUT} = 12A、T _J = −40°C ~ 125°C			6.1	mΩ
電流制限基準 (IREF)						
V _{IREF}	IREF ピンの推奨電圧範囲		0.3		1.2	V
I _{IREF}	IREF ピン内部ソース電流	V _{IREF} = 1 V	24.2	25	25.8	μA
電流制限 (ILIM)						
G _{ILIM(LIN)}	電流モニタ ゲイン (ILIM:IOUT) 対 IOUT。	デバイスが定常状態 (PG アサート)、I _{OUT} = 12A	17	18	20.6	μA/A
I _{start-up peak}	起動時のピーク電流 (I _{peak})	VOUT > VFB、GHI はデアサートされます。VIN ≤ 60V		0.5		A
V _{FB}	フォールドバック電圧			2		V
出力電流モニタと過電流保護 (IMON)						
G _{IMON}	電流モニタ ゲイン (IMON:IOUT)	デバイスが定常状態 (PG アサート)、12A ≤ I _{OUT} ≤ 20A の場合	17.7	18.18	18.49	μA/A
G _{IMON}	電流モニタ ゲイン (IMON:IOUT)	デバイスが定常状態 (PG アサート)、I _{OUT} = 4A	17.4	18.31	19.1	μA/A
I _{OCF}	IOUT 電流制限トリップ (回路ブレーカ) スレッシュホルド	R _{IMON} = 2.55kΩ、V _{IREF} = 1V	21.2	21.7	22.3	A
電流故障タイマ (ITIMER)						
I _{ITMR}	ITIMER ピンの内部放電電流	I _{OUT} > I _{OCF} 、ITIMER ↓	1.77	2.2	2.6	μA
R _{ITMR}	ITIMER ピンの内部プルアップ抵抗		5	12.3	23	kΩ
V _{INT}	ITIMER ピンの内部プルアップ電圧	I _{OUT} < I _{OCF}	4.4	5	5.6	V
ΔV _{ITMR}	ITIMER 放電電圧	I _{OUT} > I _{TRIP} 、ITIMER ↓	1.28	1.5	1.8	V
ΔV _{ITMR} /I _{ITMR}	ITIMER 放電電圧と放電電流の比率	I _{OUT} > I _{TRIP} 、ITIMER ↓	0.49	0.72	0.97	V/μA
短絡保護						
I _{FFT}	定常状態における固定高速トリップ スレッシュホルド (プライマリ) (TPS1685xA のみ)	PG を High にアサート (MODE = Open)		83		A
I _{FFT}	定常状態における固定高速トリップ スレッシュホルド (プライマリ) (TPS1685x)	PG を High にアサート (MODE = Open)		73		A
I _{FFT}	定常状態における固定高速トリップ スレッシュホルド (プライマリ) (TPS1685xA のみ)	PG を High にアサート (MODE = 開)、T _J = 25°C ~ 125°C	65			A
I _{FFT}	定常状態における固定高速トリップ スレッシュホルド (プライマリ) (TPS1685x)	PG を High にアサート (MODE = 開)、T _J = 25°C ~ 125°C	55			A
I _{FFT}	定常状態における固定高速トリップ スレッシュホルド (セカンダリ) (TPS1685A0 のみ)	PG を High にアサート (MODE = GND)		105		A
I _{FFT}	定常状態における固定高速トリップ スレッシュホルド (セカンダリ) (TPS1685x)	PG を High にアサート (MODE = GND)		95		A
I _{SFT}	スケーラブルな高速トリップ電流	R _{SFT_SEL} < 80kΩ、PG を High にアサート (MODE = オープン)		38.3		A
I _{SFT}	スケーラブルな高速トリップ電流	120kΩ < R _{SFT_SEL} < 170kΩ、PG を High にアサート (MODE = オープン)		2.5 × I _{OCF}		A
I _{SFT}	スケーラブルな高速トリップ電流	120kΩ < R _{SFT_SEL} < 170kΩ、PG を High にアサート (MODE = GND)		2.8 × I _{OCF}		A

6.5 電気的特性 (続き)

−40°C ≤ T_J ≤ +125°C、V_{IN} = V_{DD} = 50V、OUT = 開、R_{ILIM} = 931Ω、R_{IMON} = 2.55kΩ、V_{IREF} = 1V、 $\overline{\text{FLT}}$ = 3.3V への 33kΩ プルアップ、PGOOD = 3.3V への 33kΩ プルアップ、C_{OUT} = 10μF、C_{IN} = 10nF、dVdT = 開、ITIMER = Open、V_{EN/UVLO} = 2V、TEMP = オープン、MODE = オープン。(全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{SFT}	スケーラブルな高速トリップ電流	230kΩ< R _{SFT_SEL} < 255kΩ、PG を High にアサート (MODE = オープン)	2 × I _{OCF}			A
I _{SFT}	スケーラブルな高速トリップ電流	230kΩ < R _{SFT_SEL} < 255kΩ、PG を High にアサート (MODE = GND)	2.26 × I _{OCF}			A
I _{SFT}	スケーラブルな高速トリップ電流	345kΩ < R _{SFT_SEL} 、PG を High にアサート (MODE = オープン)	1.5 × I _{OCF}			A
I _{SFT}	スケーラブルな高速トリップ電流	345kΩ < R _{SFT_SEL} 、PG を High にアサート (MODE = GND)	1.71 × I _{OCF}			A
I _{SFT(SAT)}	スケーラブルな高速トリップ電流 (突入電流)	電源投入時、PGOOD は Low	2 つの I _S タートアップピーク			A
アクティブ電流共有						
R _{ON(ACS)}	アクティブ電流共有時の R _{ON}	V _{ILIM} > 1.1 × (1/3) × V _{IREF}	4.38 6.9			mΩ
G _{IMON(ACS)}	アクティブ電流制限時の IMON:IOUT 比	PG を High にアサート、V _{ILIM} > 1.1 × V _{IREF}	17.24	18.49	19.84	μA/A
CL _{REF(ACS)}	アクティブ電流共有トリガ スレッシュホールドと定常状態回路ブレーカ スレッシュホールドの比	PG は High にアサート	36.67			%
突入電流保護 (DVDT)						
I _{DVDT}	dVdt ピン充電電流 (プライマリ / スタンドアロン モード)	MODE = オープン	1.5	2.0	3	μA
G _{DVDT}	dVdt ゲイン	0.4 V < V _{dVdt} < 2.4 V	22	25	28	V/V
I _{DVDTLKG}	dVdt ピンのリーク電流 (2 次モード)	MODE = GND	-100		100	nA
R _{DVDT}	dVdt ピンから GND への放電抵抗		500			Ω
GHI						
V _{GS(GHI)} 立ち上がり	GHI/PG がアサートされている時の G-S スレッシュホールド		7			V
R _{ON(GHI)}	GHI/PG がアサートされている時の Ron		3.8			mΩ
クイック出力放電 (QOD)						
I _{QOD}	クイック出力放電ブルダウン電流	V _{SD(R)} < V _{EN} < V _{UVLO} 、−40 < T _J < 125 °C	17	22		mA
温度センサ出力 (TEMP)						
G _{TMP}	温度センサ ゲイン	V _{IN} = 51V	2.6	2.73	3.1	mV/°C
V _{TMP}	TEMP ピン出力電圧	T _J = 25 °C、V _{IN} = 51 V	670	678	690	mV
I _{TMPSRC}	TEMP ピン ソース電流	V _{IN} = 51V	110	119	133	μA
I _{TMPSNK}	TEMP ピン シンク電流	V _{IN} = 51V	8	10	14	μA
過熱保護 (OTP)						
TSD	絶対サーマル シャットダウン立ち上がりスレッシュホールド	T _J 立ち上がり、V _{IN} = 51V	150			°C
TSD _{HYS}	絶対サーマル シャットダウン ヒステリシス	T _J 立ち下がり、V _{IN} = 51V	13			°C
FET 正常性モニタ						
V _{DSFLT}	FET D-S 故障スレッシュホールド	SWEN = L、V _{IN} = 51V	0.5			V
V _{DSOK}	FET D-S 故障回復スレッシュホールド	SWEN = L、V _{IN} = 51V	0.64			V

6.5 電気的特性 (続き)

−40°C ≤ T_J ≤ +125°C、VIN = V_{DD} = 50V、OUT = 開、R_{ILIM} = 931Ω、R_{IMON} = 2.55kΩ、V_{IREF} = 1V、 $\overline{\text{FLT}}$ = 3.3V への 33kΩ プルアップ、PGOOD = 3.3V への 33kΩ プルアップ、C_{OUT} = 10μF、C_{IN} = 10nF、dVdT = 開、ITIMER = Open、V_{EN/UVLO} = 2V、TEMP = オープン、MODE = オープン。(全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
シングル ポイント障害 (IMON、IREF、ITIMER)						
I _{OC_BKP}	バックアップ過電流保護スレッシュホールド	IMON はグラウンドへ短絡		38.3		A

6.6 ロジック・インターフェイス

−40°C ≤ T_J ≤ +125°C、V_{IN} = V_{DD} = 45V ~ 60V、OUT = オープン、R_{ILIM} = 931Ω、R_{IMON} = 2.55kΩ、V_{IREF} = 1V、 $\overline{\text{FLT}}$ = 3.3V への 33kΩ プルアップ、PGOOD = 3.3V への 33kΩ プルアップ、C_{OUT} = 10μF、C_{IN} = 10nF、dVdT = Open、ITIMER = オープン、V_{EN/UVLO} = 2V、TEMP = オープン、MODE = オープン。(全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
SWEN						
R _{SWEN}	SWEN ピン プルダウン抵抗	SWEN が Low にデアサート		6.8		Ω
フォルト通知 (FLT)						
R _{FLT}	FLT ピン プルダウン抵抗	$\overline{\text{FLT}}$ を Low にアサート		6.6		Ω
I _{FLTBLKG}	FLT ピンのリーク電流	FLT が High にデアサート	-0.1		0.1	μA
パワー グッド表示 (PG)						
R _{PG}	PG ピン プルダウン抵抗	PG が Low にデアサート		6.9		Ω
I _{PGKG}	PG ピンのリーク電流	PG は High にアサート	-1.5		1.5	μA

6.7 タイミング要件

−40°C ≤ T_J ≤ +125°C、V_{IN} = V_{DD} = 45V ~ 60V、OUT = オープン、R_{ILIM} = 931Ω、R_{IMON} = 2.55kΩ、V_{IREF} = 1V、 $\overline{\text{FLT}}$ = 3.3V への 33kΩ プルアップ、PGOOD = 3.3V への 33kΩ プルアップ、C_{OUT} = 10μF、C_{IN} = 10nF、dVdT = Open、ITIMER = オープン、V_{EN/UVLO} = 2V、TEMP = オープン、MODE = オープン。(全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{OVP}	過電圧保護応答時間	V _{OVP} > V _{OVR} V から SWEN ↓		1.5		μs
t _{Insdy}	挿入遅延	V _{EN/UVLO} > V _{UVLO(R)} から SWEN ↑		16		ms
t _{FFT}	固定高速トリップ応答時間ハード短絡	V _{DS} > V _{DSCOMP} ~ SWEN ↓		214		ns
t _{SFT}	スケーラブルな高速トリップ応答時間	I _{OUT} > 3 × I _{OC} ~ I _{OUT} ↓		600		ns
t _{ITIMER}	過電流ブランキング間隔	I _{OUT} = 1.5 × I _{OC} 、C _{ITIMER} = Open		0		ms
t _{ITIMER}	過電流ブランキング間隔	I _{OUT} = 1.5 × I _{OC} 、C _{ITIMER} = 4.7nF		3		ms
t _{RST}	自動再試行間隔	自動再試行バリエーション、1 次 モード (MODE = オープン)		680		ms
t _{REC}	フォルト復帰時間	2 次モード (MODE = GND)、SWEN ↓ ~ SWEN ↑		8.9		μs
t _{EN(DG)}	EN/UVLO デグリッチ時間			12		μs
t _{SWEN(TO)}	高速回復を無効にするための SWEN Low 間隔			35		μs
t _{SU_TMR}	起動タイムアウト間隔	SWEN ↑ から FLT ↓		6.6		s
t _{Discharge}	QOD 放電時間 (V _{OUT} の 90% から 10%)	V _{SD} < V _{EN/UVLO} < V _{UVLO} 、 C _{OUT} = 0.5mF、V _{IN} = 51V。		872		ms
t _{QOD}	QOD イネーブル タイマ	V _{SD} < V _{EN/UVLO} < V _{UVLO}		16		μs

6.8 スイッチング特性

出力電圧の立ち上がりスルーレートは内部で制御され、動作電圧範囲全体にわたって一定に保たれるため、負荷条件がターンオン時間に影響することはありません。立ち上がりスルーレートは、 dV/dt ピンとグラウンドの間に容量を追加することで調整できます。 C_{dVdt} が大きくなると、スルーレート (SR) が低下します。詳細については、「スルー レートおよび突入電流制御 (dV/dt)」セクションを参照してください。ただし、ターンオフ遅延時間と立ち下がり時間は負荷容量 (C_{OUT}) および負荷抵抗 (R_L) の RC 時定数に依存します。スイッチング特性は、電源が定常状態で利用可能で、デバイスがイネーブルになる前に負荷電圧が完全に放電されているパワーアップシーケンスに対してのみ有効です。標準値は $T_J = 25^\circ\text{C}$ 時に測定 (特に記述のない限り)。 $V_{IN} = 51\text{V}$ 、 $R_{OUT} = 2000\Omega$ 、 $C_{OUT} = 1\text{mF}$

パラメータ		$C_{dVdt} = 22\text{nF}$	$C_{dVdt} = \text{open}$	単位
SR_{ON}	出力立ち上がりスルー レート	87	80	V/s
$t_{D,ON}$	ターン オン遅延	16.8	18	ms
t_R	立ち上がり時間	478	525.6	ms
t_{ON}	ターンオン時間	494.8	543.6	ms
$t_{D,OFF}$	ターンオフ遅延 (EN ↓ から SWEN ↓)	1	1	μs
t_F	立ち下がり時間	R_{OUT} と C_{OUT} に依存します		μs

6.9 代表的特性

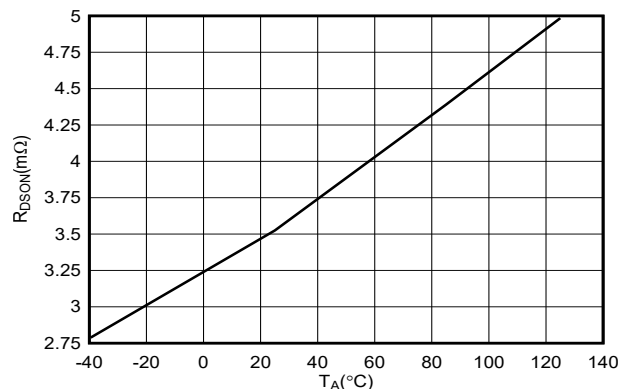


図 6-1. オン抵抗と温度との関係

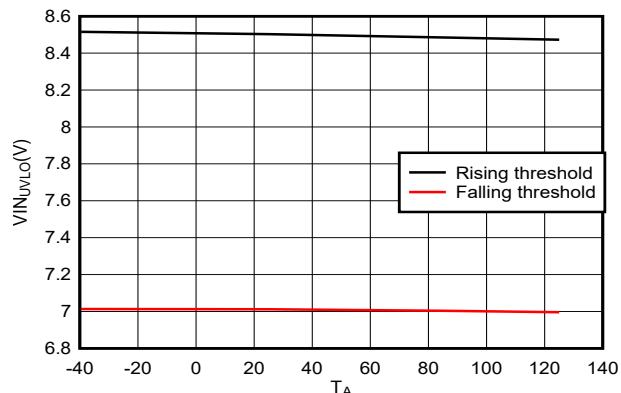


図 6-2. VIN の低電圧スレッシュホールドと温度との関係

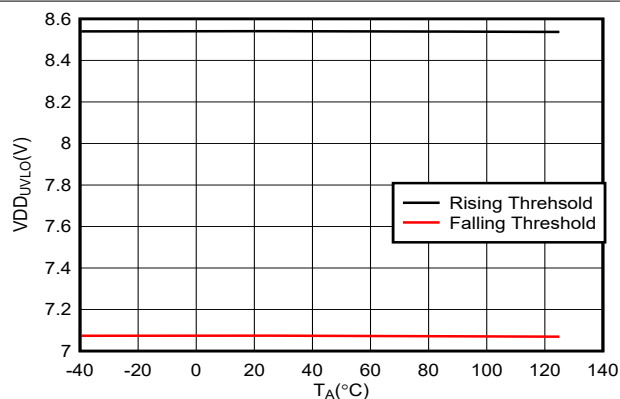


図 6-3. VDD の低電圧スレッシュホールドと温度との関係

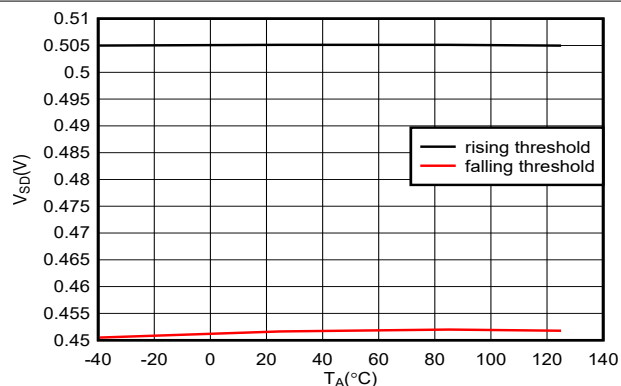


図 6-4. EN ベースのシャットダウン (VSD) スレッシュホールドと温度との関係

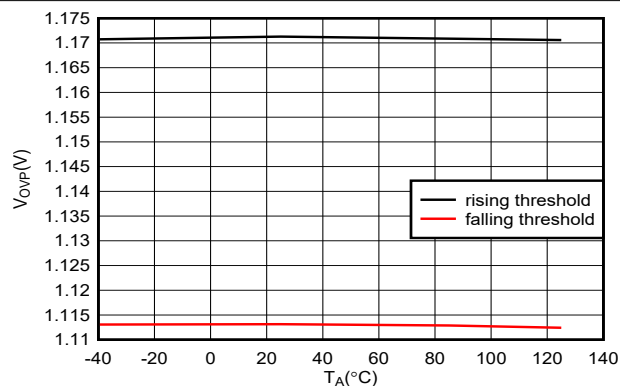


図 6-5. 過電圧ピン (OVP) スレッシュホールドと温度との関係

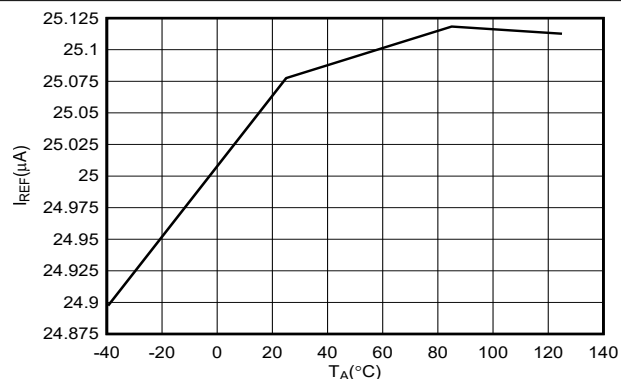


図 6-6. IREF 充電電流と温度との関係

6.9 代表的特性 (続き)

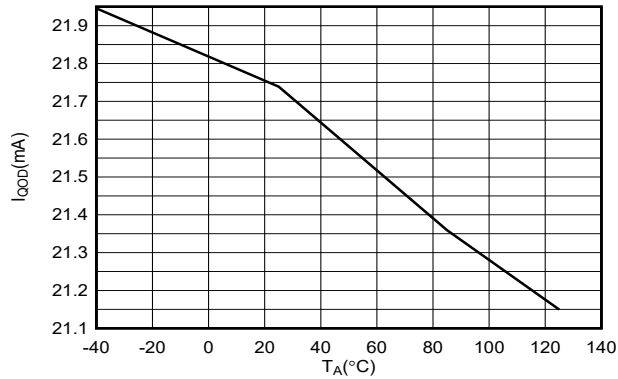


図 6-7. QOD の放電電流と温度との関係

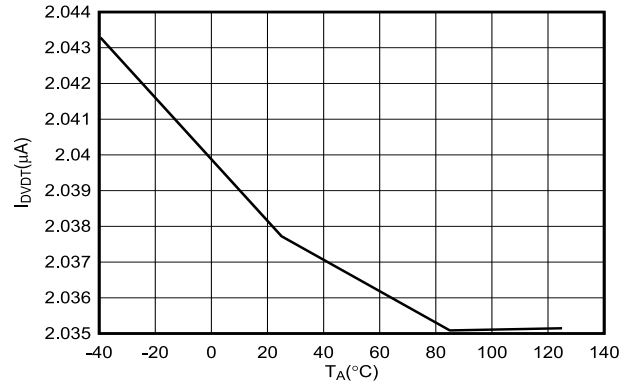


図 6-8. DVDT 電流と温度との関係

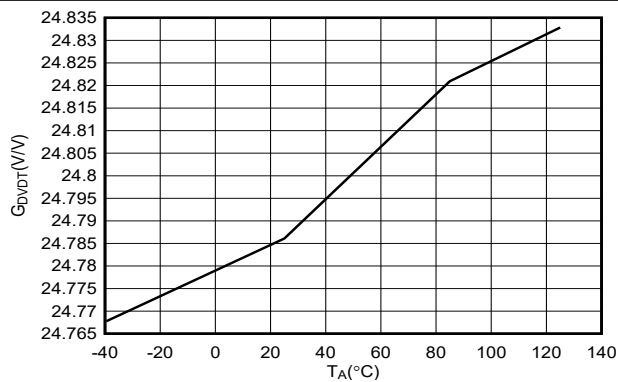


図 6-9. DVDT ゲインと温度との関係

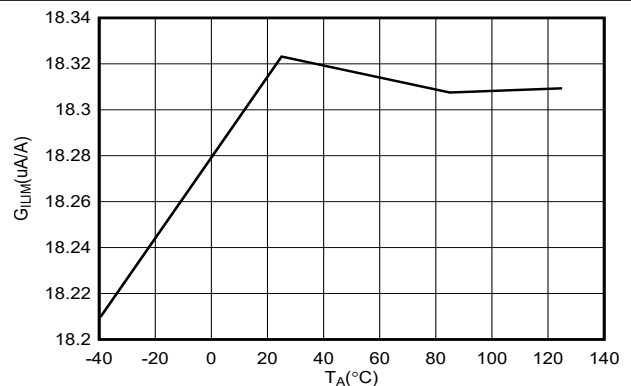


図 6-10. ILIM ゲインと温度との関係

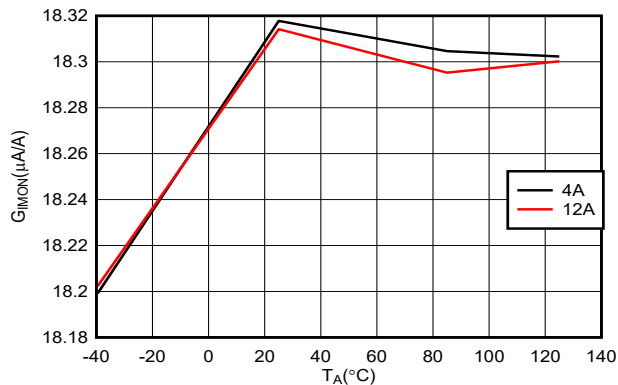


図 6-11. IMON ゲインと温度との関係

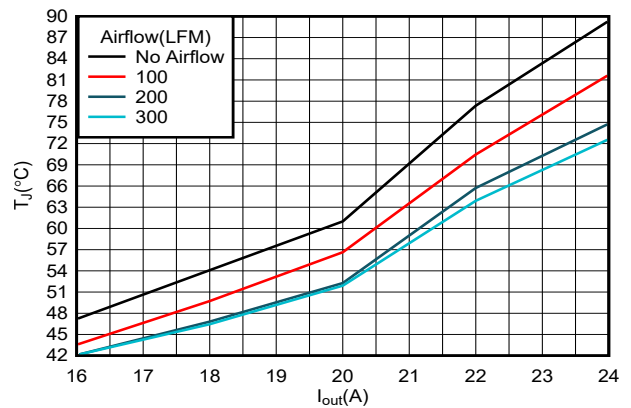


図 6-12. 接合部温度と負荷電流との関係 ($T_A = 25^\circ\text{C}$ 、エアフローあり/なし)

6.9 代表的特性 (続き)

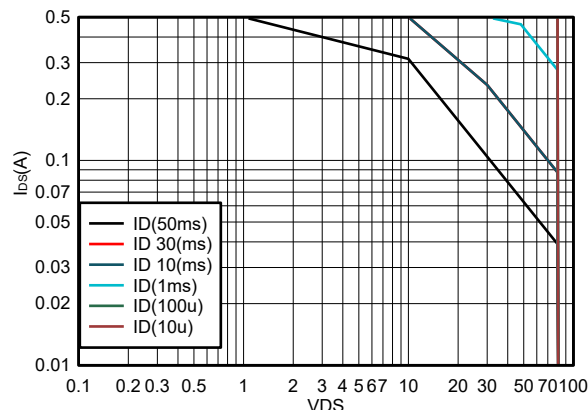


図 6-13. 起動時の許容動作領域 (AOA)

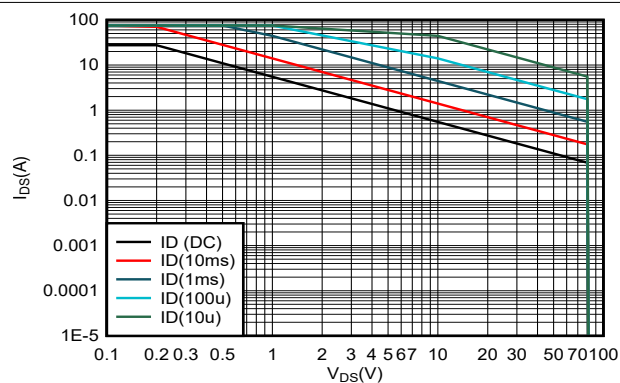
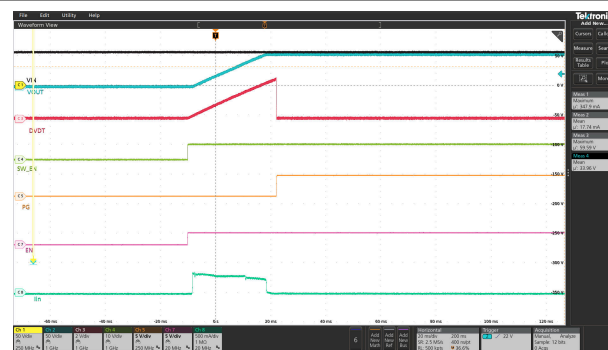


図 6-14. 定常状態の許容動作領域 (AOA)



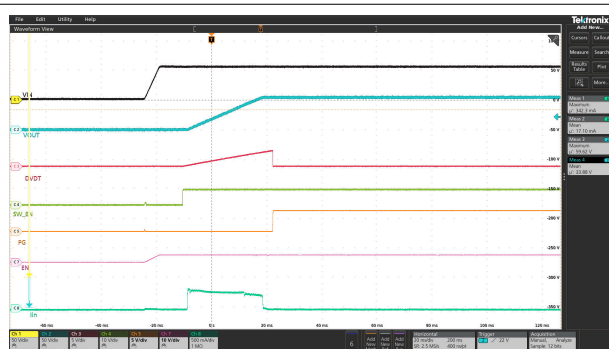
入力電源が上昇しました最後にランブアップしました

図 6-15. EN が抵抗経由で VIN に接続されている状態で入力電源を使用した起動シーケンシング



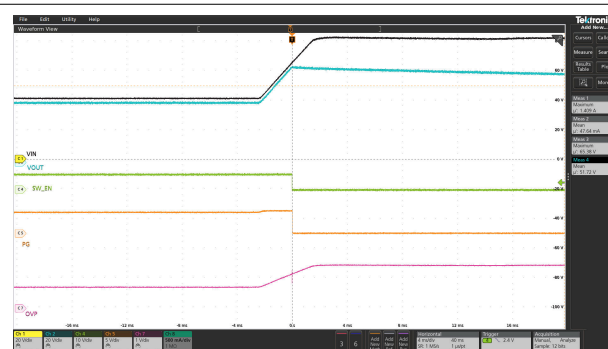
入力電源を定常状態に保持し、EN/UVLO ピンを high に切り替え

図 6-16. EN/UVLO ピンによる電源オン



$C_{OUT} = 144\mu F$, $C_{dVdt} = 22nF$

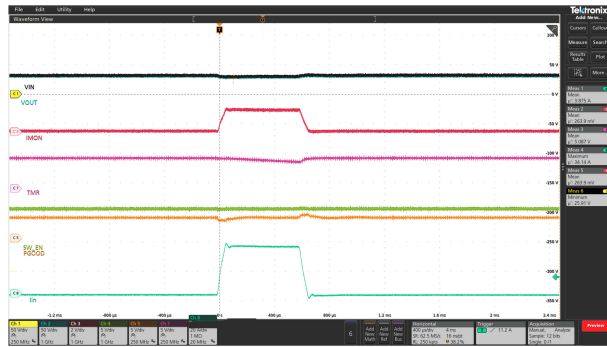
図 6-17. 容量性負荷による突入電流制御



入力電源が 65V を上回るまで上昇しました

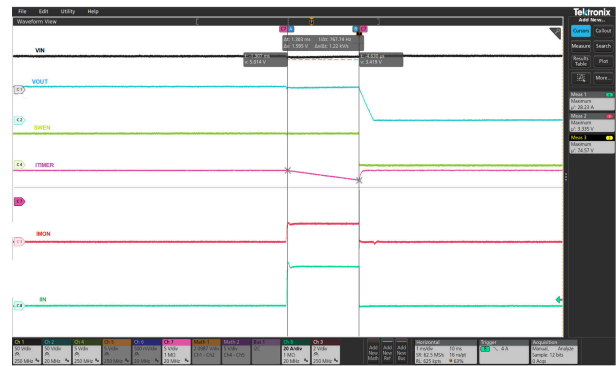
図 6-18. OVP スレッシュホールド = 65V での入力過電圧保護応答

6.9 代表的特性 (続き)



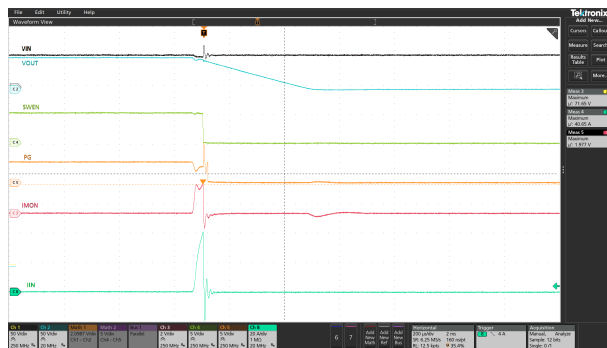
$I_{OCP} = 22A$, $t_{TIMER} = 1.4ms$, I_{OUT} は、 I_{OCP} スレッショルドを超えてサーキットブレイカ応答をトリガすることなく発生します

図 6-19. 過渡過電流ブランキング タイマが満了するまでのピーク電流サポート



$I_{OCP} = 50A$, $t_{TIMER} = 1.4ms$, I_{OUT} はサーキットブレイカ応答をトリガするため、 I_{OCP} スレッショルドを維持し続けます

図 6-20. 過電流保護応答 (サーキットブレイカ)



$I_{OCP} = 22A$ 、定常状態の GND への出力ハード短絡。 I_{OUT} が $2 \times I_{OCP}$ を上回ると、高速トリップ応答がトリガされます

図 6-21. 短絡保護応答



SWEN で出力を GND にハード短絡した状態で本デバイスをオンにします。デバイスはフォールドバックで電流を制限します。

図 6-22. 短絡時の電源立ち上げ

7 詳細説明

7.1 概要

TPS1685x は、負荷電圧と負荷電流を管理するために使用されるパワー スイッチ内蔵 eFuse です。デバイスは、VDD と IN バスを監視して、動作を開始します。V_{DD} および V_{IN} がそれぞれの低電圧保護 (UVP) スレッショルドを超えた場合、デバイスは挿入遅延タイム期間を待機して、起動前に電源が安定するようにします。次に、デバイスは EN/UVLO ピンをサンプリングします。このピンが High レベルになると、内部 MOSFET が導通し始め、電流が IN から OUT に流れます。EN/UVLO が Low に保持されると、内部 MOSFET がオフになります。

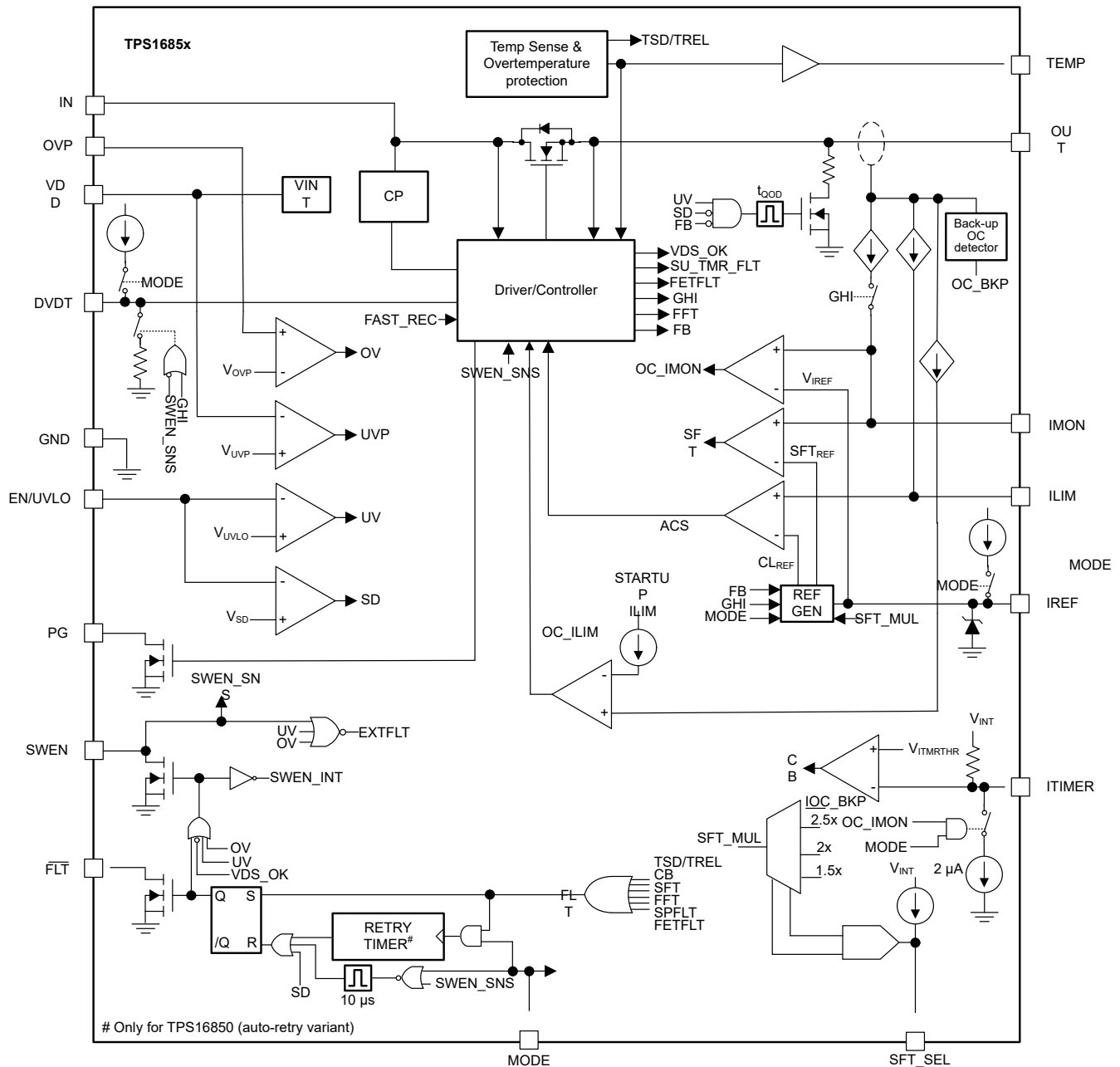
起動シーケンスが成功した後、TPS1685x デバイスは負荷電流と入力電圧をアクティブに監視し、内部 FET を制御して、ユーザーが調整可能な過電流スレッショルド制限 I_{LIM} を超過しておらず、IN ピンの過電圧スパイクがカットオフされていることを検証します。これにより、有害なレベルの電圧や電流からシステムを安全な状態に保つことができます。同時に、ユーザーが調整可能な過電流ブランキング タイマを使用すると、システムは eFuse をトリップせずに、負荷電流の過渡ピークに対応できます。同様に、電源ラインの電圧過渡は、不要なトリップを防止するためにインテリジェントにマスクされます。これにより、過渡耐性のある実際の故障に対する堅牢な保護方法が維持されるため、システムの稼働時間を最大限に延ばすことができます。

このデバイスには高精度で高帯域幅のアナログ負荷電流モニタが内蔵されているため、システムは定常状態と過渡時に負荷電流を正確に監視できます。これにより、高度な動的プラットフォーム パワー マネージメント手法を容易に実装でき、安全性や信頼性を損なうことなく、システムの電力使用率とスループットを最大化できます。

より大きな負荷電流に対応する必要があるシステムでは、複数の TPS1685x eFuse を並列に接続します。すべてのデバイスがスタートアップ時と定常状態で電流を共有することで、一部のデバイスに他のデバイスより過大なストレスがかかることを防ぎます。このようなストレスは、並列チェーンの早期または部分的なシャットダウンを引き起こす可能性があります。このデバイスは動作状態を同期し、適切な起動、シャットダウン、故障への応答を実現します。

デバイスには推奨動作条件の下でデバイスの安全性と信頼性を確保するため、保護回路が内蔵されています。サーマルシャットダウン メカニズムを使用して常に内部 FET が保護されています。この機能により、接合部温度 (T_j) が過熱しすぎると FET がオフになります。

7.2 機能ブロック図



7.3 機能説明

TPS1685x eFuse は、小型で機能豊富な電力管理デバイスであり、システム故障発生時の検出、保護、および表示報告を行います。

7.3.1 低電圧保護

TPS1685x は、印加された電圧が低くなりすぎてシステムまたはデバイスが正常に動作できない場合に備えて、VDD および VIN に低電圧誤動作防止を実装しています。低電圧誤動作防止には、VDD に対して内部的に V_{UVP} 、 V_{IN} に対して V_{UVPIN} というデフォルトのロックアウト スレッショルドがあります。また、EN/UVLO ピンに UVLO コンパレータを搭載しているため、外部から低電圧保護スレッショルドをユーザー定義の値に調整することもできます。下図および式は、抵抗分圧回路を使用して、所定の電源電圧に対する UVLO 設定点を設定する方法を示しています。

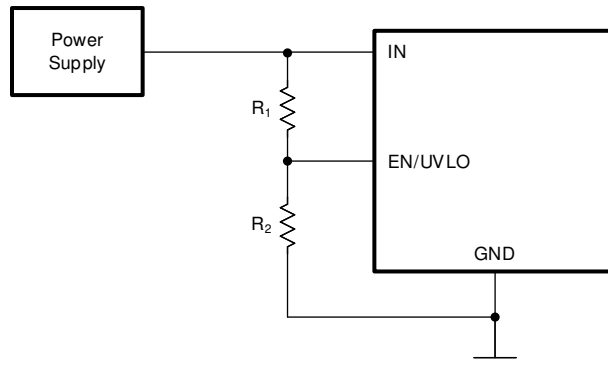


図 7-1. 可変低電圧保護

$$V_{IN(UV)} = V_{UVLO(R)} \frac{R_1 + R_2}{R_2} \quad (1)$$

EN/UVLO ピンには 2 レベルのスレッショルドが実装されています。

1. $V_{EN} > V_{UVLO(R)}$: デバイスは完全にオンです。
2. $V_{SD(F)} < V_{EN} < V_{UVLO(F)}$: 一部の重要なバイアスとデジタル回路を除き、FET とほとんどのコントローラ回路がオフになります。EN/UVLO ピンをこの状態に t_{QOD} を超える時間保持すると、出力放電機能が起動します。
3. $V_{EN} < V_{SD(F)}$: 部品内部のすべてのアクティブ回路はオフになり、回路はデジタル状態の記憶を保持しません。この回路はラッチされたフォルトもリセットされます。この状態では、デバイスの静止時消費電流は最小限に抑えられます。

7.3.2 挿入遅延

TPS1685x は、デバイスがオンにしようとする前に、電源が安定したことを確認するため、スタートアップ時に挿入遅延を実装しています。これは、カードがバックプレーンにしっかりと接触していないときにデバイスが電源投入しようとした場合、または起動時に電源のリンギングまたは発振が発生した場合に、システムで予期しない動作が発生するのを防ぐためです。

デバイスは最初に、VDD 電源が UVP スレッショルドを上回り、すべての内部バイアス電圧が安定するまで待機します。その後、EN/UVLO ピンの状態に関係なく、 $T_{Insdlly}$ の追加遅延の間、デバイスはオフに維持されます。

7.3.3 過電圧保護

TPS1685x は過電圧ロックアウト機能を実装しており、入力過電圧状態から負荷を保護します。過電圧設定点を外部で設定するには、OVP ピンに抵抗デバイダを接続します。

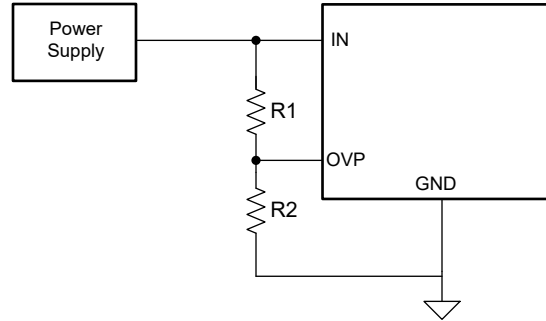


図 7-2. 調整可能な過電圧保護機能

$$V_{IN(OVP)} = V_{OVP(R)} \frac{R1 + R2}{R2} \quad (2)$$

V_{IN} がこの値を超えると、デバイスがオフになり、負荷を過電圧から保護します。

このデバイスは、IN ピンの $V_{OVPR(IN)}$ における固定の内部 OV 保護機能も備えています。

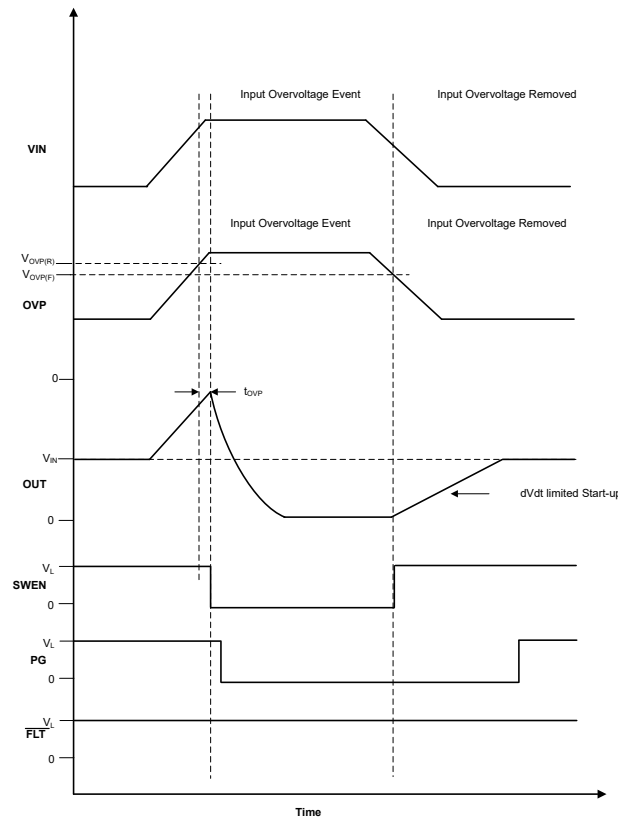


図 7-3. 入力過電圧保護応答

7.3.4 突入電流、過電流、および短絡保護

TPS1685x には、過電流に対する 4 つのレベルの保護が組み込まれています。

1. 突入電流制御のための調整可能なスルー レート (dVdt)
2. 起動時の過電流保護のための固定電流制限 ($I_{start-up}$)
3. 定常状態での過電流保護のための、調整可能なスレッシュホールド (I_{OCP}) とブランキング タイム (t_{TIMER}) を備えた回路ブレーカ

7.3.4.1 スルー レート (dVdt) および突入電流制御

ホットプラグ イベント時や大きな出力容量の充電中に、大きな突入電流が発生する可能性があります。突入電流を適切に管理しないと、突入電流により入力コネクタが損傷し、システム電源が低下する可能性があります。この動作により、システム内の他の場所で予期しない再起動が発生する可能性があります。ターンオン時の突入電流は、負荷容量と立ち上がりスルーレートに正比例します。式 3 を使用して、与えられた負荷容量 (C_{LOAD}) について突入電流 (I_{INRUSH}) を制限するのに必要なスルーレート (SR) を計算できます：

$$SR(V/ms) = \frac{I_{INRUSH}(A)}{C_{LOAD}(mF)} \quad (3)$$

DVDT ピンにコンデンサを追加することで、立ち上がりスルーレートを制御し、ターンオン時の突入電流を低減できます。DVDT ピンによるスルーレート制御は、デバイスを通る立ち上がり電流が $I_{start-up peak}$ より小さい場合に限り有効です。本デバイスは、起動時の電流を $I_{start-up peak}$ を超えないように制限します。式 4 を使用して、特定のスルーレートを生成するために必要な C_{DVDT} 容量を計算します。

$$C_{DVDT}(nF) = \frac{48}{SR(V/ms)} \quad (4)$$

最も速い出力スルーレートを実現するには、dVdt ピンをオープンのままにします。

注

1. TI では最小 dvdt 抵抗 22nf を推奨します。
2. 高い入力スルー レートと高い入力パワー パスのインダクタンスの組み合わせにより、起動時に発振が発生する場合があります。これは、次の 1 つまたは複数の手順を使用して軽減できます。
 - a. 入力インダクタンスを小さくする。
 - b. VIN ピンの容量を増やす。
 - c. dVdt ピンの容量を増やして、スルー レートを下げたり、スタートアップ時間を長くしたりします。

7.3.4.1.1 スタートアップタイムアウト

スタートアップが完了しない場合、つまり、SWEN がアサートされた後、特定のタイムアウト間隔 (t_{SU_TMR}) 内に FET が完全にオンにならない場合、デバイスは故障として登録します。 $\overline{FLT}$ は Low にアサートされ、デバイスはデバイス設定に応じてラッチオフまたは自動リトライモードに移行します。

7.3.4.2 定常状態の過電流保護 (サーキット ブレーカ)

TPS1685x は、定常状態時の出力過電流状態に応答して、ユーザーが調整可能な過渡故障ブランキング間隔の後に回路ブレーカ動作を実行します。この動作により、デバイスは短いユーザー定義間隔でより高いピーク電流をサポートできるだけでなく、持続的な出力障害が発生した場合にも堅牢な保護が提供されます。

このデバイスは出力負荷電流を継続的に検出し、負荷電流に比例するアナログ電流出力 (I_{IMON}) を IMON ピンに提供します。これにより、式 5 に従って IMON ピン抵抗 (R_{IMON}) の両端に比例電圧 (V_{IMON}) が生成されます。

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \quad (5)$$

ここで、 G_{IMON} は電流モニタ ゲインです (I_{IMON} : I_{OUT})

この電圧を基準となる IREF ピンの電圧と比較することで、過電流状態が検出されます。リファレンス電圧 (V_{IREF}) を制御する方法は二つあり、それに応じて過電流保護スレッショルド (I_{OCP}) を設定します。

- スタンドアロンまたは 1 次動作モードでは、内部電流源が外部の IREF ピン抵抗 (R_{IREF}) と相互作用して、リファレンス電圧を生成します。式 6 に示すように、低インピーダンス リファレンス電圧から IREF ピンを駆動することも可能です。

$$V_{IREF} = I_{IREF} \times R_{IREF} \quad (6)$$

- 1 次側と 2 次側の並列構成では、1 次側 eFuse またはコントローラが IREF ピンの電圧を駆動して、チェーン内のすべての 2 次側デバイスに外部リファレンス (V_{IREF}) を供給します。

定常状態 (I_{OCP}) 時の過電流保護スレッシュホールドは、式 7 を使用して計算できます。

$$I_{OCP} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \quad (7)$$

過電流状態とは、負荷電流がユーザー設定可能な過電流制限スレッシュホールド (I_{OCP}) を超えている一方で、短絡スレッシュホールド (I_{SFT}) 未満にとどまっている状態を指します。過電流状態を検出すると、デバイスは内部プルダウン電流を使用して、ITIMER ピンに接続されたコンデンサの放電を開始します。ITIMER コンデンサが ΔV_{ITIMER} によって放電される前に、負荷電流が電流制限スレッシュホールドを下回ると、ITIMER は内部で V_{INT} までプルアップされ、サーキットブレーカ動作は開始されません。この動作により、短い過負荷過渡パルスが回路をトリップせずにデバイスを通過できるようになります。過電流状態が続く場合、ITIMER コンデンサは放電を継続し、コンデンサが ΔV_{ITIMER} によって低下すると、サーキットブレーカの動作により FET が直ちにオフになります。同時に、ITIMER コンデンサは再度 V_{INT} まで充電されるため、次の過電流イベントの前にデフォルト状態になります。このアクションにより、すべての過電流イベントに対して、完全なブランキングタイマ間隔が提供されていることを確認します。式 8 を使用して、目的の過電流スレッシュホールドに対する R_{IMON} 値を計算します。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP}} \quad (8)$$

過渡を許容する時間は、ITIMER ピンとグランドの間の適切なコンデンサ値を使用して調整できます。過渡過電流ブランキング期間は、式 9 を使用して計算します。

$$t_{ITIMER}(ms) = \frac{C_{ITIMER}(nF) \times \Delta V_{ITIMER}(V)}{I_{ITIMER}(\mu A)} \quad (9)$$

注

- ITIMER ピンをオープンのままにすると、本デバイスが最小限の遅延で回路を切断できるようになります。ただし、これにより、サーキットブレーカの応答がノイズの影響を非常に受けやすくなり、負荷過渡時に誤トリップが発生する可能性があります。
- ITIMER ピンをグランドに短絡すると、過電流応答遅延は最小になります (ITIMER ピンの開放状態と同様) が、静止電流は増加します。ただし、推奨動作モードではありません。
- ITIMER 容量値を増やすと、過電流ブランキング期間が延長されます。ただし、次の過電流イベントが発生する前に、ITIMER コンデンサが V_{INT} まで再充電するのに必要な時間も延長されます。もし次の過電流イベントが ITIMER コンデンサの充電が完全に完了する前に発生した場合、ITIMER スレッシュホールドまでの放電時間が短くなるため、意図したよりも短いブランキング間隔となります。

図 7-4 に、TPS1685x eFuse の過電流応答を示します。回路ブレーカの故障により部品がシャットダウンした後、部品はラッチ オフ状態を維持するか (TPS16851 バリエーション)、または固定遅延後に自動的に再起動します (TPS16850 バリエーション)。

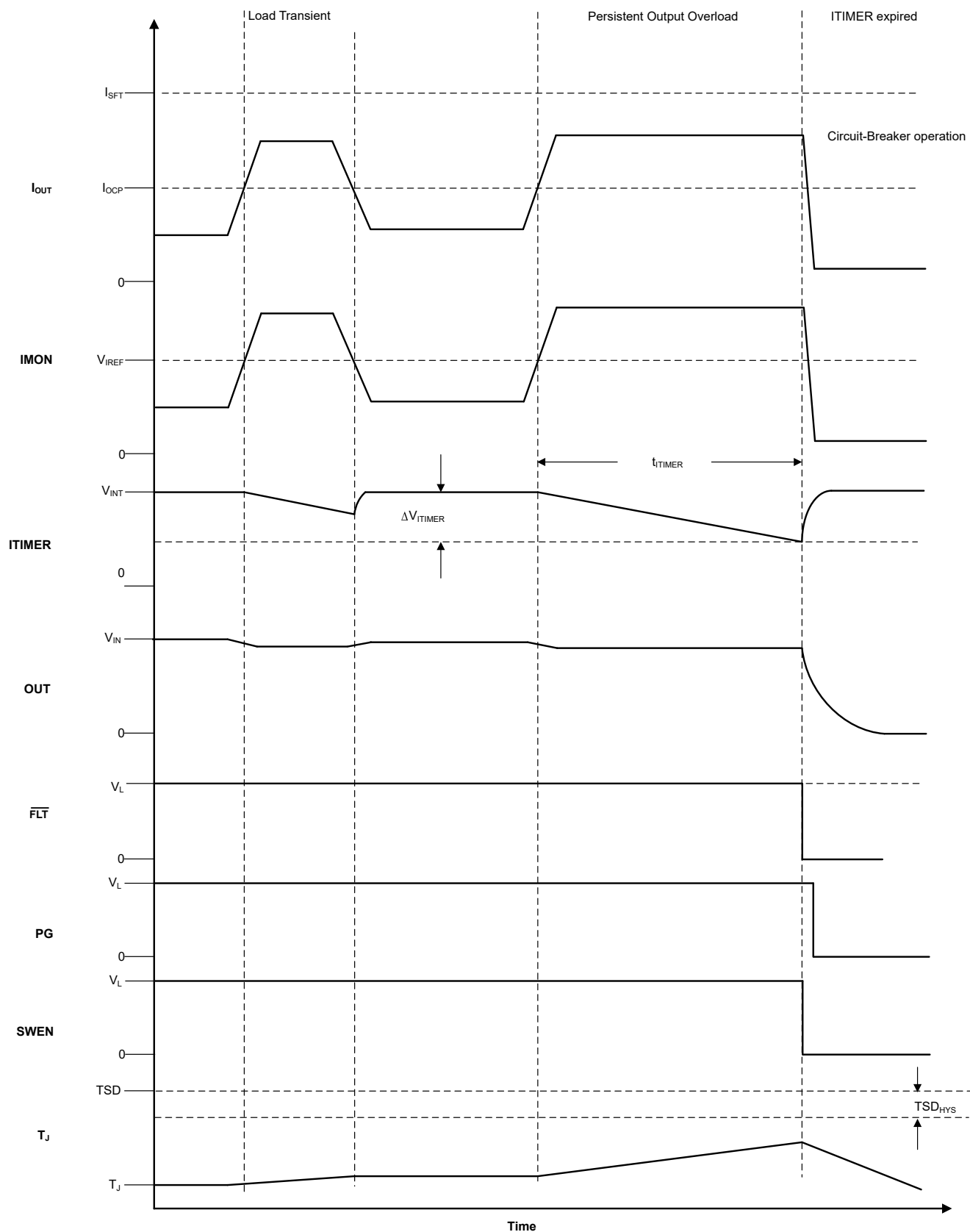


図 7-4. 定常状態の過電流 (回路ブレーカ) 応答

7.3.4.3 起動時のアクティブ電流制限

TPS1685x は、起動時に出力過電流状態にตอบสนองし、電流をアクティブに制限します。起動電流制限は、内部で $I_{start-up}$ に固定されています。

起動時に負荷電流が $I_{Start-up}$ を超えると、デバイスは $I_{Start-up}$ の負荷電流をレギュレートおよび保持しようとします。

電流レギュレーション中、出力電圧降下により FET 全体のデバイス消費電力が増加します。デバイスの内部温度 (T_J) がサーマル シャットダウン スレッショルド (TSD) を超えると、FET がオフになります。TSD の故障により部品がシャットダウンした後、デバイスはラッチ オフ状態を維持するか (TPS16851 バリエント)、または固定遅延後に自動的に再起動します (TPS16850 バリエント)。過熱に対するデバイスの応答の詳細については、「[過熱保護](#)」のセクションを参照してください。

注

アクティブ電流制限ブロックは、起動時に出力電圧 (V_{OUT}) に基づくフォールドバック機構を採用します。 V_{OUT} がフォールドバック スレッショルド (V_{FB}) を下回ると、電流制限スレッショルドはさらに低下します。

7.3.4.4 短絡保護

出力短絡発生中は、本デバイスを通る電流が非常に急速に増加します。出力短絡が検出されると、内部高速トリップ コンパレータは高速保護シーケンスをトリガし、電流がそれ以上蓄積して損傷や過剰な入力電源ドループが発生するのを防止します。高速トリップ コンパレータは、定常状態時にスケラブルなスレッショルド (I_{SFT}) を採用します。SFT_SEL ピンの抵抗で I_{SFT} を選択します。これにより、ユーザーはすべてのシステムに適しているとは限らない高い固定スレッショルドを使用する代わりに、システム定格に従って高速トリップ スレッショルドを調整できるようになります。電流が高速トリップ スレッショルドを超えると、TPS1685x は t_{SFT} 以内に FET をオフにします。また、このデバイスは、より高い固定高速トリップ スレッショルド (I_{FFT}) を採用して、定常状態時 (リニア領域の FET) のハード短絡に対する高速保護を実現します。電流が I_{FFT} を超えると、FET は t_{FFT} 内で完全にオフになります。

表 7-1. SFT_SEL ピンの抵抗に基づくデバイスの機能モード

I_{SFT_SEL}	SFT_SEL ピン	MODE ピン
I_{OC_BKP}	$R_{SFT_SEL} < 80k\Omega$	オープン
I_{OC_BKP}	$R_{SFT_SEL} < 80k\Omega$	Gnd
$2.5 \times I_{OCP}$	$120k\Omega < R_{SFT_SEL} < 170k\Omega$	オープン
$2.8 \times I_{OCP}$	$120k\Omega < R_{SFT_SEL} < 170k\Omega$	Gnd
$2 \times I_{OCP}$	$230k\Omega < R_{SFT_SEL} < 255k\Omega$	オープン
$2.26 \times I_{OCP}$	$230k\Omega < R_{SFT_SEL} < 255k\Omega$	Gnd
$1.5 \times I_{OCP}$	$345k\Omega < R_{SFT_SEL}$	オープン
$1.71 \times I_{OCP}$	$345k\Omega < R_{SFT_SEL}$	Gnd

図 7-5 に、TPS1685x eFuse の短絡応答を示します。

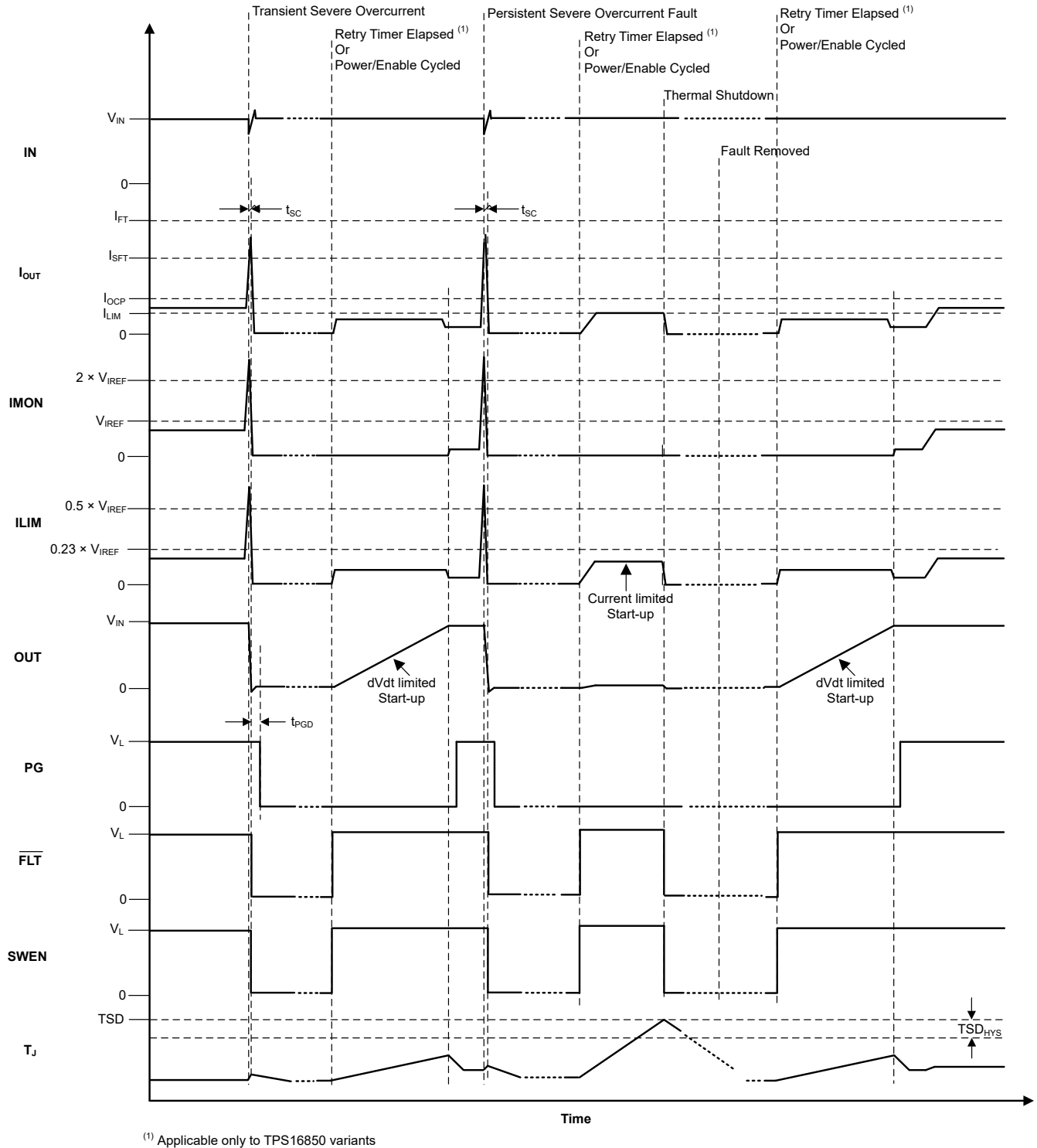


図 7-5. 短絡応答

7.3.5 アナログ負荷電流モニタ (IMON)

TPS1685x では、FET を流れる電流に比例したアナログ電流を IMON ピンに供給することで、システムが出力負荷電流を正確に監視できるようになります。電流出力の利点は、隣接するパターンからの電圧降下やノイズの結合による大きな誤差を発生させずに、信号を基板全体に配線できることです。この電流出力により、複数の TPS1685x の IMON ピンを

互いに接続して、並列構成で合計電流を得ることもできます。IMON 信号を監視ポイントに配置した抵抗に流し、その抵抗で生じる電圧降下によって電圧信号に変換します。ユーザーは、 R_{IMON} の全体で電圧 (V_{IMON}) を検出し、式 10 を使用して出力負荷電流の測定値を取得できます。

$$I_{OUT} = \frac{V_{IMON}}{G_{IMON} \times R_{IMON}} \quad (10)$$

TPS1685x IMON 回路は、基板レイアウトやその他のシステム動作条件に関係なく、負荷や温度の条件にわたって高帯域と高精度を実現するように設計されています。この設計では、IMON 信号を Intel PSYS または PROCHOT# などの高度な動的プラットフォーム パワー マネジメント手法に使用して、安全性や信頼性を犠牲にすることなく、システムの消費電力とプラットフォームのスループットを最大化できます。

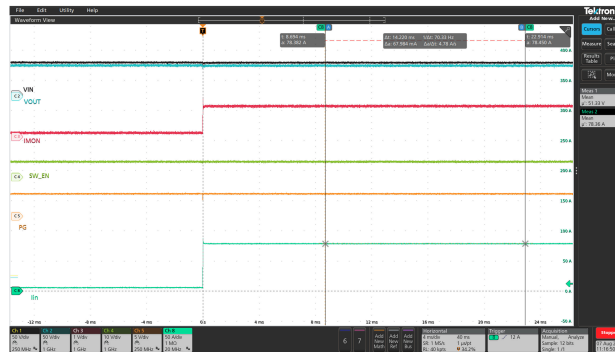


図 7-6. アナログ負荷電流モニタ応答

注

1. IMON ピンは、定常状態時にのみ負荷電流監視情報を提供します。突入電流時、IMON ピンはゼロ負荷電流を報告します。
2. ILIM ピンは個別のデバイス負荷電流を常に報告するため、各デバイスのアナログ負荷電流モニタとしても使用できます。
3. 過電流保護および短絡保護の動作タイミングに影響を与えないよう、IMON ピンと ILIM ピンの寄生容量を最小限に抑えてください。

7.3.6 モード選択 (MODE)

このピンを使用して、TPS1685x を、セカンダリ デバイスとして構成された他の TPS1685x eFuse とともにチェーン内のプライマリ デバイスとして構成します。この機能により、TPS1685x の一部のピン機能を変更し、1 次側および 2 次側の並列接続を支援できます。

このピンは、電源投入時にサンプリングされます。ピンを未接続のままにすると、そのピンはプライマリまたはスタンドアロン デバイスとして構成されます。このピンを GND に接続すると、そのピンはセカンダリ デバイスとして構成されます。

2 次モードでは、以下の機能がディセーブルされ、デバイスはこの機能を実現するためにプライマリ デバイスに依存します。

1. IREF 内部電流源
2. DVDT 内部電流源
3. サーキット ブレーカの応答の定常状態での過電流検出
4. 定常状態に達した後の PG デアサート (プルダウン)
5. フォルト後のラッチオフ

セカンダリ モードでは、次の機能が引き続き作動します。

1. 過熱保護

2. スタートアップ時の電流制限
3. 突入時や、定常状態時のアクティブ電流共有
4. 定常状態のアナログ電流モニタ (IMON)
5. IMON に基づく定常状態の過電流検出これは、ITIMER ピンを内部で Low にプルすることで示されますが、ITIMER 有効期限時にサーキット ブレーカ動作はトリガされません。むしろ、このピンはプライマリ デバイスに依存して専用の ITIMER を開始し、ITIMER の期限が切れた後に SWEN を Low にしてチェーン全体の回路ブレーカ動作をトリガします。ただし、1 次側デバイスが長時間にわたってサーキット ブレーカ操作の開始に失敗した場合のバックアップとして 2 次側デバイスは内部過電流タイマを使用します。詳細については、[シングル ポイント障害の軽減](#)セクションを参照してください。
6. 各デバイスには、デバイスを保護するために、個別のスケーラブルかつ固定の高速トリップ スレッショルドが内蔵されています。個別の短絡保護スレッショルドは、2 次モードではより高い値に設定されています。これにより、1 次側デバイスがシステム全体でさらに降下させることができます。
7. セカンダリ デバイスでは個別 OVP を最大値に設定し、プライマリがシステム全体に対してさらに個別 OVP を低下させられるようにします。
8. 個別のデバイス フォルト検出に基づく FLT アサート (サーキット ブレーカを除く)。
9. デバイスが定常状態に達した後の突入電流時の PG デアサート制御、およびアサート制御。ただし、定常状態であれば、障害発生時に 2 次側デバイスが PG のアサート解除を制御しなくなります。
10. 内部イベントに基づく SWEN のアサートまたはデアサート、および SWEN ピンのステータスに基づく FET のオン/オフ制御。

2 次モードでは、短絡および高速トリップ時のデバイス動作も変更されます。詳細については、「[短絡保護](#)」セクションを参照してください。

7.3.7 並列デバイス同期 (SWEN)

SWEN ピンは、FET をオンにする必要がある場合に high に駆動される信号です。SWEN ピンを low (内部または外部) に駆動すると、このピンは、ドライバ回路に FET をオフにするよう信号が送信されます。このピンは制御およびハンドシェイク信号の両方として機能し、複数のデバイスを並列構成で使用して FET のオン/オフ遷移を同期することができます。

表 7-2. SWEN のまとめ

デバイスの状態	FET ドライバステータス	SWEN
定常状態	ON	H
突入電流	ON	H
過熱シャットダウン	OFF	L
自動再試行タイマが動作しています	OFF	L
低電圧 (EN/UVLO)	OFF	L
低電圧 (VDD UVP)	OFF	L
低電圧 (VIN UVP)	OFF	L
挿入遅延	OFF	L
過電圧誤動作防止 (VIN OVP)	OFF	L
過渡過電流	ON	H
回路ブレーカ (持続的な過電流後に ITIMER 満了)	OFF	L
高速トリップ	OFF	L
フォルト応答のモノラル ショット実行 (MODE = GND)	OFF	L
フォルト応答のモノラル ショットの期限切れ (MODE = GND)	ON	H
IMON ピン オープン (定常状態)	OFF	L
IMON ピン短絡 (定常状態)	OFF	L

表 7-2. SWEN のまとめ (続)

デバイスの状態	FET ドライバ ステータス	SWEN
FET 正常性故障	OFF	L

注

1. SWEN ピンはオープンドレインのピンですが、内部的に弱く V_{INT} にプルアップされています。
2. SWEN は、外部電源にプルアップすることもできます。TI は eFuse の入力から生成されたシステム スタンプバイレールの使用を推奨します。

プライマリとセカンダリの並列構成では、SWEN ピンをプライマリ デバイスで使用して、セカンダリ デバイスのオン/ オフ遷移を制御します。同時に、このピンは、セカンダリデバイスが何らかの故障やその他の条件をプライマリデバイスに通知し、そのためにピンがオンになれない場合でも伝達できるようにします。詳細については、「[フォルト応答および表示 \(FLT\)](#)」を参照してください。

これらのデバイスは、ステート マシンの同期を維持するために SWEN レベルの遷移とハンドシェイクのタイミングに依存します。これにより、すべてのデバイスが同期および同じ方法でオン/ オフできます (DVDT 制御や電流制限によるスタートアップなど)。SWEN 制御およびハンドシェイク ロジックにはフェイルセーフ機構も備わっており、プライマリ デバイスが故障時に制御を取れない場合でも、チェーン全体が安全にオフになることを確認できます。

注

TI は、同期タイミングの問題を回避するため、SWEN ピンの寄生負荷を最小限に抑えることを推奨します。

7.3.8 複数の eFuse をスタックして無制限のスケーラビリティを実現

単一の TPS1685x で対応するよりも高電流を必要とするシステムでは、複数の TPS1685x または TPS1689x デバイスを並列に接続して、システム全体の電流を供給できます。従来型の eFuse は、パス抵抗のミスマッチ (個別デバイスの $R_{DS(on)}$ の部品間のバラツキや、PCB の寄生パターン抵抗を含む) により、定常状態時に電流を均等に共有できません。この事実は、システムの複数の問題につながる可能性があります。

1. 一部のデバイスには、他のデバイスよりも常に大きな電流が流れます。この電流の不均衡により、該当するデバイスの故障が早まるとともに、システム全体の動作寿命が短くなる可能性があります。
2. この結果、基板、デバイス、トレース、ビアにサーマル ホットスポットが形成され、大電流が流れ、PCB の信頼性の問題につながります。また、この問題により、熱モデル化と基板の熱管理は設計者にとって非常に困難になります。
3. より大きな電流を伝送するデバイスは、システムの合計負荷電流が全体のサーキット ブレーカ スレッショルドよりも低くなっている間に、より早く個別のサーキット ブレーカ スレッショルドに達する可能性があります。この動作により、通常動作中に eFuse の誤ったトリップが発生する可能性があります。その結果、並列接続全体の電流供給能力が低下します。並列 eFuse チェーンの電流定格は、個別の eFuse の電流定格の合計と比較してディレーティングする必要があります。このディレーティング係数は、パス抵抗のミスマッチ、並列接続されるデバイスの数、個別の eFuse サーキット ブレーカの精度の関数です。

ディレーティングの必要性は、システム設計に悪影響を及ぼします。設計者は、以下のいずれかのトレードオフを決定しなければなりません。

1. システムの動作負荷電流が eFuse チェーンのディレーティング電流スレッショルドを下回るように制限します。このトレードオフにより、プラットフォームの能力は、電源装置 (PSU) がサポート可能な水準よりも低くなります。
2. 全体のサーキット ブレーカ スレッショルドを高くして、必要なシステム負荷電流がトリップせずに通過できるようにします。その結果、回路ブレーカ全体の精度低下を考慮し、故障発生時により大きな電流を供給できるよう、電源装置 (PSU) を余裕のある容量で設計する必要があります。

いずれの場合も、システムの電源使用率が低下するため、システムのスループットが最適ではないか、設置コストと運用コストが増加するか、またはその両方が発生します。

TPS1685x は、これらの問題に対処するために独自の技術を採用しており、必要に応じて多数の eFuse を並列接続することで、方法の無制限の拡張性を実現します。これは、大きな電流共有や精度の低下を伴わずに組み込まれています。

この方式を正しく動作させるため、各デバイスを次のように接続します。

- すべてのデバイスの SWEN ピンを互いに接続します。
- すべてのデバイスの IMON ピンを互いに接続します。結合した IMON ピンの R_{IMON} 抵抗の値は、式 11 を使用して計算します。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \quad (11)$$

- 式 12 に基づいて個別の eFuse の R_{ILIM} を選択します。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \quad (12)$$

ここで、N は並列チェーン内のデバイス数です。

注

アクティブ電流共有方式は、定常状態にある間に任意の eFuse を流れる電流が、式 13 に基づいて R_{ILIM} で設定された個別の電流共有スレッショルドを超えると、アクティブになります。

$$R_{ILIM} = \frac{1.1 \times V_{IREF}}{3 \times G_{ILIM} \times I_{LIM(ACS)}} \quad (13)$$

システムの合計電流がシステムの過電流 (サーキット ブレーカ) スレッショルド ($I_{OCP(TOTAL)}$) を上回ると、アクティブ電流共有方式は解除されます。

注

TPS1689x コントローラと複数の TPS1685x デバイスを並列接続する場合、正常な起動を確実にするため、TPS1689x の DEVICE_CONFIG レジスタ (E4h) のビット [15] をセットし、内部 PG 遅延を 35ms に設定することを推奨します。

7.3.8.1 起動中の電流バランスの維持

TPS1685x は、起動時に独自の電流バランシング機構を実装しており、並列に接続された複数の TPS1685x デバイスが突入電流を共有し、すべてのデバイスに熱ストレスを分散できるようにします。この機能は、すべてのデバイスで正常な起動を完了し、一部の eFuse が早期にサーマル シャットダウンに至るシナリオを回避するのに役立ちます。これにより、並列チェーンの突入電流能力が実質的に向上します。向上した突入電流性能により、高電流プラットフォームでも、突入時間やシステム信頼性を損なうことなく、非常に大きな負荷容量をサポートできるようになります。

7.3.9 アナログ接合部温度モニタ (TEMP)

このデバイスを使用すると、システムはダイの温度に比例するアナログ電圧を TEMP ピンに供給することで、接合部温度 (T_J) を正確に監視できます。この電圧を、ホスト コントローラまたはデジタル テレメトリ機能を備えた eFuse の ADC 入力に接続します。マルチデバイスの並列構成では、すべてのデバイスの TEMP 出力を互いに接続します。この構成では、チェーン内で最も高温のデバイスの温度が TEMP 信号により報告されます。

7.3.10 過熱保護

TPS1685x は、安全に動作するために、内部 FET が過熱した場合にデバイス自体を保護する、内部サーマル シャットダウン メカニズムを採用しています。TPS16851 は熱的過負荷を検出すると、デバイスはシャットダウンし、デバイスの電源

をオフにして再サイクルするか再度イネーブルにするまで、ラッチオフ状態を維持します。TPS16850 が熱的過負荷を検出すると、デバイスは、温度が十分に下がるまでオフに維持されます。その後、デバイスは t_{RST} の追加の遅延時間オフのまま維持され、その後デバイスがイネーブルのままなら、デバイスは自動的にオンを試みます。

表 7-3. 過熱保護のまとめ

デバイス	TSD 開始	TSD 終了
TPS16851 (ラッチオフ)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ VDD が 0V にサイクルされ、 $V_{UVP(R)}$ を上回る、 または EN/UVLO が $V_{SD(F)}$ より低くトリグルされる
TPS16850 (自動再試行)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ t_{RST} タイマが満了する、VDD が 0V にサイクルされ、 $V_{UVP(R)}$ を上回る、または EN/UVLO が $V_{SD(F)}$ より低くトリグルされる

7.3.11 フォルト応答および表示 ($\overline{FLT}$)

表 7-4 は、各種故障条件に対するデバイスの応答をまとめたものです。

表 7-4. 故障のまとめ

イベントまたは状態	デバイスの応答	内部でラッチされた故障	FLT ピンのステータス	DELAY
定常状態	なし	該当なし	H	
突入電流	なし	該当なし	H	
過熱	シャットダウン	Y	L	
低電圧 (EN/UVLO)	シャットダウン	N	H	
低電圧 (VDD UVP)	シャットダウン	N	H	
低電圧 (VIN UVP)	シャットダウン	N	H	
過電圧 (VIN OVP)	シャットダウン	N	H	
過渡過電流	なし	N	H	
持続的な過電流 (定常状態)	回路ブレーカ	Y	L	t_{TIMER}
持続的な過電流 (起動時)	電流制限	N	L	
短絡 (プライマリ モード)	高速トリップ	Y	L	t_{FT}
短絡 (セカンダリ モード)	高速トリップ後の電流制限付き起動	N	H	
ILIM ピン オープン (定常状態)	アクティブ電流共有ループは常にアクティブです	N	H	
ILIM ピン短絡 (定常状態)	アクティブ電流共有ループが無効	N	H	
IMON ピン オープン (定常状態)	シャットダウン	Y	L	
IMON ピン短絡 (定常状態)	シャットダウン ($I_{OUT} > I_{OC_BKP}$ の場合)	Y	L	50 μ s
IREF ピン オープン (定常状態)	シャットダウン ($I_{OUT} > I_{OC_BKP}$ の場合)	Y	L	t_{TIMER}
IREF ピン短絡 (定常状態)	シャットダウン	Y	L	

表 7-4. 故障のまとめ (続き)

イベントまたは状態	デバイスの応答	内部でラッチされた故障	FLT ピンのステータス	DELAY
ITIMER ピンが強制的に高電圧に移行	シャットダウン ($I_{OUT} > I_{OCP}$ または $I_{OUT} > I_{OC_BKP}$ の場合)	Y	L	t_{SPFAIL_TMR}
起動タイムアウト	シャットダウン	Y	L	t_{SU_TMR}
FET 正常性故障 (G-S)	シャットダウン	Y	L	10 μ s
FET 正常性故障 (G-D)	シャットダウン	Y	L	
FET 正常性故障 (D-S)	シャットダウン	N	L	t_{SU_TMR}
外部故障 (デバイスが UV でも OV でもないときに SWEN が外部で Low にプルされる)	シャットダウン	Y	L	

FLT はオープンドレインのピンであり、外部電源にプルアップする必要があります。

故障後のデバイスの応答は、動作モードによって異なります。

1. スタンドアロンまたはプライマリ動作モード (MODE = オープン) の間、デバイスはフォルトをラッチし、デバイスの選択に従って、自動再試行またはラッチオフ応答に従います。デバイスが再度オンになると、通常の DVDT 制限付き起動シーケンスに従います。
2. セカンダリ モード動作中 (MODE = GND) にデバイスが何らかのフォルトを検出すると、そのデバイスは SWEN ピンを一時的に Low にして、プライマリ デバイスへイベントを通知します。その後は、プライマリがフォルト応答の制御を引き継ぎます。ただし、プライマリ デバイスが故障を登録できない場合、セカンダリ デバイスにはフェイルセーフ機構が備わっており、チェーン全体をオフにし、ラッチオフ状態に移行します。その後、デバイスは VDD の電源を $V_{UVP(F)}$ 未満にして入れ直すか、EN/UVLO ピンを $V_{SD(F)}$ 未満してサイクルさせることによってのみ、再度オンにできます。

内部でラッチされた故障の場合、部品の電源を入れ直すか、EN/UVLO ピンの電圧を $V_{SD(F)}$ 未満に引き下げることで故障がクリアされ、ピンはデアサートされます。この操作により、 t_{RST} タイマもクリアされます (自動再試行バリエーションのみ)。この状況では、EN/UVLO を UVLO スレッシュホールドよりもわずかに低くしても、デバイスに影響はありません。これは、ラッチオフおよび自動再試行の両方のバリエーションに当てはまります。

7.3.12 パワー グッド表示 (PG)

パワー グッド表示は、デバイスが定常状態で最大電力を供給可能な場合に、high にアサートされるアクティブ high 出力です。

表 7-5. PG 表示のまとめ

イベントまたは状態	FET ステータス	PG ピン ステータス	PG 遅延
低電圧 ($V_{EN} < V_{UVLO}$)	OFF	L	t_{PGD}
$V_{IN} < V_{UVP}$	OFF	L	
$V_{DD} < V_{UVP}$	OFF	L	
過電圧 ($V_{IN} > V_{OVP}$)	OFF	L	t_{PGD}
定常状態	ON	H	t_{PGA}
突入電流	ON	L	t_{PGA}
過渡過電流	ON	H	該当なし
回路ブレーカ (持続的な過電流後に ITIMER 満了)	OFF	L (MODE = H) H (MODE = L)	t_{PGD} 該当なし

表 7-5. PG 表示のまとめ (続き)

イベントまたは状態	FET ステータス	PG ピン ステータス	PG 遅延
高速トリップ	OFF	L (MODE = H) H (MODE = L)	t_{PGD} 該当なし
過熱	シャットダウン	L (MODE = H) H (MODE = L)	t_{PGD} 該当なし

パワーアップ後、PG は初期状態で **Low** にプルされます。デバイスは突入シーケンスを開始し、ゲートドライバ回路が内部のチャージ ポンプからゲート容量の充電を開始します。FET ゲート電圧が最大オーバードライブに達し、突入シーケンスが完了し、デバイスが最大出力を供給できることを示すと、グリッチ除去時間 (t_{PGA} : 1.2mS) の後、PG ピンが **HIGH** にアサートされます。

通常動作中のいずれかの時点で FET がオフになると、PG はアサート解除されます。PG のデアサート時のグリッチ除去時間は t_{PGD} です。

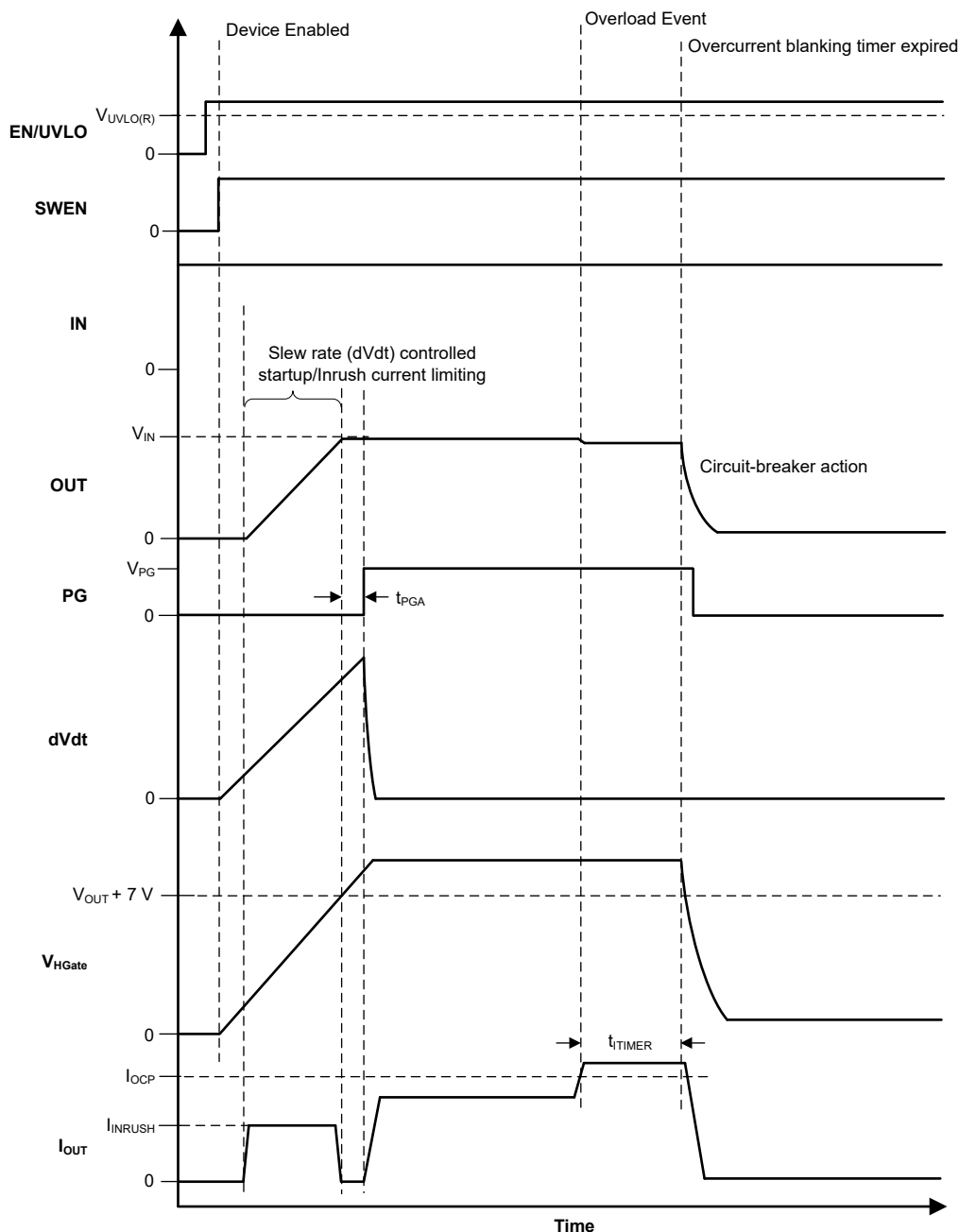


図 7-7. TPS1685x PG タイミング図

PG はオープンドレインのピンであり、外部電源にプルアップする必要があります。

デバイスに電源が供給されていない場合、PG ピンは Low のままであることが期待されています。しかし、この状態では、このピンを 0V まで完全に引き下げるためのアクティブ プルダウンはありません。PG ピンが、デバイスの電源が入っていない場合でも存在する独立した電源にプルアップされている場合、プルアップ電源電圧と抵抗によって決まるピンのシンク電流に応じて、このピンにわずかな電圧が生じることがあります。シンク電流を最小化して、この状態で関連する外部回路によってロジック HIGH として検出されないよう、このピン電圧を十分に低く維持します。

デバイスがセカンダリ モード (MODE = GND) で、他の TPS1685x デバイスをプライマリ デバイスとして並列接続で使用する場合、セカンダリ デバイスは起動時の PG アサート制御します。デバイスが定常状態に達すると、セカンダリ デバイスは PG のディアサート制御しなくなります。詳細については、[モデル選択 \(MODE\)](#)を参照してください。

7.3.13 出力放電

デバイスには出力放電機能が内蔵されており、GND への内部定電流 (I_{QOD}) を使用して OUT ピンのコンデンサを放電します。出力放電機能は、EN/UVLO が最小期間 (t_{QOD}) にわたって Low ($V_{SD(F)} < V_{EN} < V_{UVLO(F)}$) に保持されているときにアクティブになります。出力放電機能により、大きな出力コンデンサに残っている残留電荷をすばやく除去し、バスが長時間にわたって特定の未定義電圧にとどまることを防止します。出力放電は、 $V_{OUT} < V_{FB}$ のとき、またはデバイスが故障を検出すると解除されます。

出力放電機能により、デバイス内部で過剰な電力消費が発生し、接合部温度 (T_J) が上昇する可能性があります。接合部温度 (T_J) が TSD を超えると、出力放電は無効になり、部品の長期的な劣化を防ぎます。

注

TI は、プライマリおよびセカンダリの並列構成では、EN/UVLO 電圧をセカンダリデバイスの $V_{UVLO(F)}$ スレッシュホルドよりも低く保持して、チェーン内のすべてのデバイスの出力放電をアクティブにすることを推奨します。

7.3.14 FET の正常性監視

TPS1685x は、パワー パス FET の故障を示す特定の条件を検出して報告できます。検出または報告されない場合、これらの状態は、負荷に正しく電力を供給しないか、必要なレベルの保護を提供しないかにより、システム性能を低下させる可能性があります。FET 故障が検出されると、TPS1685x はゲートを Low に引き下げることにより内部 FET のオフを試み、FLT ピンをアサートします。

- **D-S 短絡:** D-S 短絡は、基板アセンブリの欠陥または内部 FET 故障のいずれかにより、ソースから負荷まで、制御されない一定の電力供給経路を形成する可能性があります。この状態は、FET がオンになる前に $V_{IN-OUT} < V_{DSFLT}$ かどうかをチェックすることで、起動時に検出されます。もしそうであれば、デバイスは内部出力放電を作動させ、出力の放電を試みます。特定の許容期間内に V_{OUT} が V_{FB} を下回るまで放電されないデバイスは FLT ピンをアサートします。
- **G-D 短絡:** TPS1685x は、内部制御ロジックが FET をオフ状態に保持しようとしても、ゲート電圧が V_{IN} に近いかどうかを常にチェックすることで、この種の FET 故障を常に検出します。
- **G-S 短絡:** TPS1685x は、ゲートドライバがオンになった後、FET G-S 電圧が特定のタイムアウト期間 (t_{SU_TMR}) 内に必要なオーバードライブ電圧に達しないかどうかをチェックすることで、起動時にこの種の FET 故障を検出します。定常状態では、コントローラ ロジックがゲートドライバに FET をオフにするように信号を送信する前に G-S 電圧が Low になると、このアクションは故障としてラッチされます。

7.3.15 シングル ポイント障害の軽減

TPS1685x は、あらゆる状況で過電流と短絡に対する保護を提供するため、IMON、IREF、ITIMER ピンへの適切な部品接続とバイアスを使用します。安全対策の追加として、本デバイスは以下のメカニズムを使用して、これらのピンのいずれかがシステム内で正しく接続されなかった場合やフィールド内で関連部品に障害が発生した場合、デバイスが何らかの過電流保護を提供していることを確認します。

7.3.15.1 IMON ピンのシングル ポイント障害

- **IMON ピン オープン:** この場合、IMON ピン電圧が内部的に高電圧にプルアップされ、スレッシュホルド (V_{IREF}) を超えてしまうため、デバイスに大きな電流が流れていない場合でも、部品が回路ブレーカ動作を実行してしまいます。
- **IMON ピンが直接または非常に低い抵抗を介して GND に短絡されている:** この場合、IMON ピンの電圧は低電圧に保持され、デバイスに大きな電流が流れる場合でもスレッシュホルド (V_{IREF}) を超えることは許可されず、プライマリ過電流保護メカニズムは無効になります。このデバイスは、バックアップとして何らかの保護を提供するために、内部の過電流検出メカニズムに依存しています。デバイスがバックアップ電流センス スレッシュホルド (I_{OC_BKP}) を超えたことを検出し、同時に IMON ピンのプライマリ過電流検出が失敗した場合、ピンはシングル ポイント障害検出がトリガされ、故障がラッチされます。FET はオフになり、FLT ピンがアサートされます。

7.3.15.2 IREF ピンのシングル ポイント障害

- **IREF ピンがオープンまたは強制的に高電圧に設定:** この場合、IREF ピン (V_{IREF}) は、推奨される I_{OC} または I_{LIM} の計算に従って目標値よりも高い電圧に内部または外部でプルアップされ、デバイスに大電流が流れている場合でも

プライマリ サークット ブレーカ、アクティブ電流制限、短絡保護がトリガされないようにしています。このデバイスは、内部過電流検出メカニズムに依存して、何らかの保護をバックアップとして実現します。デバイスが、バックアップ過電流スレッショルドを超えていることを検出した一方で IMON ピンのプライマリ過電流または短絡検出に失敗した場合、シングル ポイント障害検出がトリガされ、故障がラッチされます。FET はオフになり、FLT ピンがアサートされます。

- **IREF ピンは GND へ短絡:**この場合、 V_{IREF} スレッショルドが 0V に設定されるため、デバイスに大きな電流が流れない場合でも、部品はアクティブ電流制限またはサーキット ブレーカ動作を実行します。

7.3.15.3 ITIMER ピンのシングル ポイント障害

- **ITIMER ピンの開放または GND への短絡:**この場合、ITIMER ピンはすでに $V_{ITIMERTHR}$ を下回って放電されているため、過電流イベント後即座に過電流ブランキングタイマが満了し、遅延なしにサーキット ブレーカ動作がトリガされていることを示します。
- **ITIMER ピンが強制的に $V_{ITIMERTHR}$ よりも高い電圧になります:**この場合、ITIMER ピンは $V_{ITIMERTHR}$ を下回るまで放電できないため、過電流ブランキング タイマの期限切れを示すことができないため、サーキット ブレーカ メカニズムは無効になります。このデバイスは、バックアップとして何らかの保護を提供するために、バックアップの過電流タイマメカニズムに依存しています。デバイスが IMON ピンとバックアップ過電流検出回路のどちらかで過電流イベントを検出すると、デバイスは内部バックアップ時間に入り、タイマが経過すると ($t_{SPFLTMR}$: 51mS)、故障がラッチされます。FET はオフになり、FLT ピンがアサートされます。

7.4 デバイスの機能モード

デバイスの機能は、動作モードによって異なります。表 7-6 と表 7-7 は、デバイスの機能モードをまとめたものです。

表 7-6. EN/UVLO ピンに基づくデバイスの機能モード

ピン: EN/UVLO	デバイスの状態	出力放電
$> V_{UVLO(R)}$	完全にオン	無効
$> V_{SD(F)}$ 、 $< V_{UVLO(F)}$ ($< t_{QOD}$)	FET オフ	無効
$> V_{SD(F)}$ 、 $< V_{UVLO(F)}$ ($> t_{QOD}$)	FET オフ	有効
$< V_{SD(F)}$	シャットダウン	無効

表 7-7. MODE ピンに基づくデバイスの機能モード

ピン: モード	DEVICE CONFIGURATION
オープン	プライマリまたはスタンドアロン
GND	セカンダリ

表 7-8. SFT_SEL ピンの抵抗に基づくデバイスの機能モード

I_{SFT_SEL}	SFT_SEL ピン	MODE ピン
I_{OC_BKP}	$R_{SFT_SEL} < 80k\Omega$	オープン
I_{OC_BKP}	$R_{SFT_SEL} < 80k\Omega$	GND
$2.5 \times I_{OCP}$	$120k\Omega < R_{SFT_SEL} < 170k\Omega$	オープン
$2.8 \times I_{OCP}$	$120k\Omega < R_{SFT_SEL} < 170k\Omega$	GND
$2 \times I_{OCP}$	$230k\Omega < R_{SFT_SEL} < 255k\Omega$	オープン
$2.26 \times I_{OCP}$	$230k\Omega < R_{SFT_SEL} < 255k\Omega$	GND
$1.5 \times I_{OCP}$	$345k\Omega < R_{SFT_SEL}$	オープン
$1.71 \times I_{OCP}$	$345k\Omega < R_{SFT_SEL}$	GND

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様には含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPS1685x は、一般に電源レールの保護用途に使用される高電圧および大電流 **eFuse** です。このデバイスは 9V ~ 80V で動作し、入力過電圧保護と、可変低電圧保護を備えています。このデバイスは、突入電流を制御する機能を搭載しており、過電流や短絡の各状況に対する保護を提供します。このデバイスは、サーバーのマザーボード、アドオンカード、グラフィックスカード、アクセラレータカード、エンタープライズスイッチ、ルータなど、さまざまなシステムで使用できます。以降のセクションで説明する設計手順を使用すると、アプリケーションの要件に基づいてサポート部品の値を選択できます。さらに、スプレッドシート設計ツールである [TPS1685x 設計カリキュレータ](#) を Web 製品フォルダで入手できます。

8.1.1 シングル デバイス、スタンドアロン動作

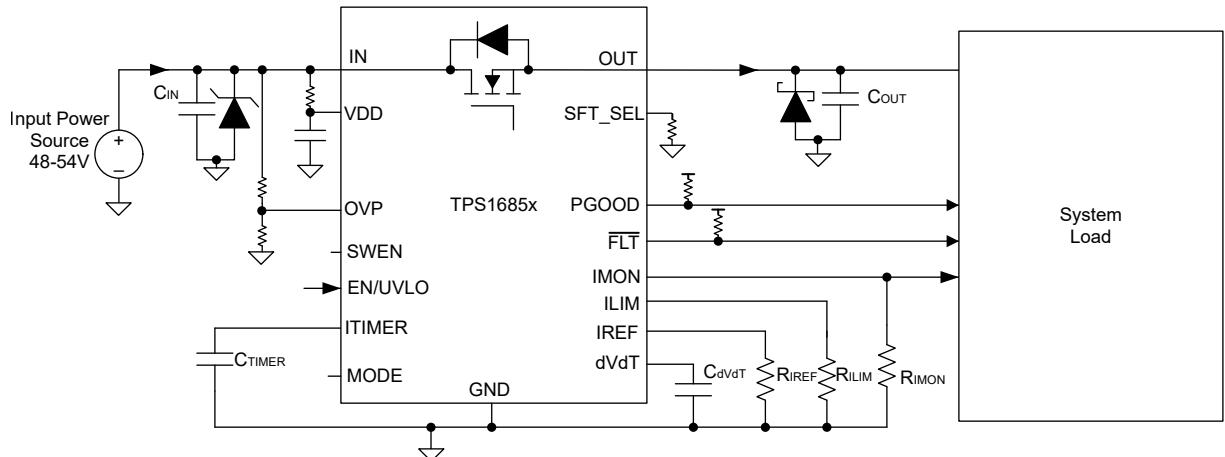


図 8-1. シングル デバイス、スタンドアロン動作

注

スタンドアロン動作用に構成するには、MODE ピンをオープンのままにします。

その他のバリエーション:

1. IREF ピンは、外部リファレンス電圧ソースから駆動できます。
2. ホスト マイコン制御システムでは、EN/UVLO を GPIO ピンに接続して、デバイスを制御できます。ADC を使用して IMON ピンの電圧を監視します。ホスト MCU は、DAC を使用して IREF を駆動し、電流制限スレッショルドを動的に変更できます。
3. ILIM ピンと IMON ピンを GND に接続し、IREF ピンを開放することで、調整可能な過電流保護機能および高速トリップ保護機能を使用せず、このデバイスを単純な大電流ロードスイッチとして使用できます。この状況でも、突入電流保護、固定高速トリップ、内部固定過電流保護が引き続きアクティブになります。

8.1.2 複数デバイス、並列接続

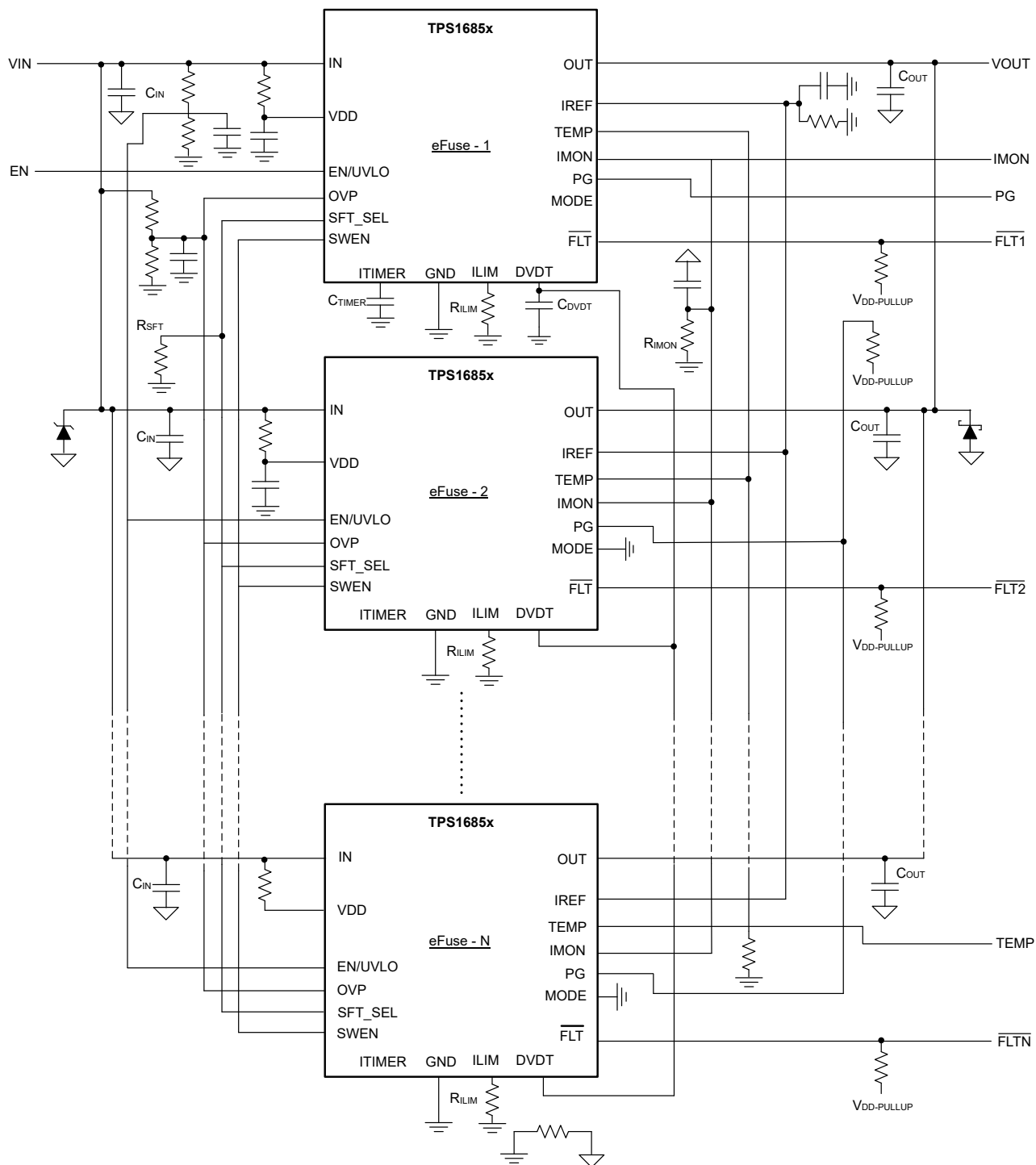


図 8-2. 大電流能力を実現するために並列接続されたデバイス

この構成では、1 つの TPS1685x デバイスがプライマリ デバイスとして動作し、チェーン内のセカンダリ デバイスとして設計されている他の TPS1685x デバイスを制御します。この構成は、次のようにプライマリ デバイスを接続することで実現されます。

1. VDD は、R-C フィルタを介して IN に接続します。

2. MODE ピンはオープンのままにします。
3. ITIMER は、コンデンサを介して GND に接続します。
4. DVDT は、コンデンサを介して GND に接続します。
5. IREF は抵抗を介して GND に接続します。
6. IMON は抵抗を介して GND に接続します。
7. ILIM は抵抗を介して GND に接続します。
8. SWEN は 3.3V から 5V のスタンバイレールにプルアップされます。このレールには、eFuse とは独立して電源を投入する必要があります。

セカンダリ デバイスは、次の方法で接続します。

1. VDD は、R-C フィルタを介して IN に接続します。
2. MODE ピンは GND に接続します。
3. ITIMER ピンはオープンのままにします。
4. ILIM は抵抗を介して GND に接続します。

すべてのデバイスの以下のピンは互いに接続する必要があります。

1. IN
2. OUT
3. EN/UVLO
4. OVP
5. DVDT
6. SWEN
7. PG
8. IMON
9. IREF

この構成では、すべてのデバイスが同時に電源投入され、有効になります。

パワーアップ: パワーアップまたはイネーブル後、すべてのデバイスは最初は、内部ブロックが正しくバイアスされ初期化されるまで、SWEN を low に保持します。その後、各デバイスは専用 SWEN をリリースします。すべてのデバイスが SWEN をリリースすると、結合された SWEN が high になり、各デバイスはそれぞれの FET を同時にオンにする準備ができます。

突入電流: 突入時は、DVDT ピンが一つの DVDT コンデンサに接続されているため、すべてのデバイスが同じスレー ト (SR) で出力をオンにします。以下の式 14 と式 15 に基づいて一般的な DVDT コンデンサ (C_{DVDT}) を選択します。

$$SR(V/ms) = \frac{I_{INRUSH}(A)}{C_{LOAD}(mF)} \quad (14)$$

$$C_{DVDT}(nF) = \frac{48}{SR(V/ms)} \quad (15)$$

この状態で、内部のバランス回路により、スタートアップ時に負荷電流がすべてのデバイスで共有されることを検証します。この動作により、一部のデバイスが他のデバイスよりも高速にオンになる状況や、他のデバイスより大きな熱ストレスが発生する状況を防止できます。これにより、並列チェーンの早期または部分的なシャットダウン、またはデバイスの SOA 損傷が発生する可能性があります。この電流バランス方式により、並列接続されたデバイスの数に応じてチェーンの突入電流能力が確保され、起動時に大きな出力コンデンサや高負荷でも正常に立ち上がることが確認できます。

すべてのデバイスが、スタートアップ中はそれぞれの PG 信号を Low に保持します。出力が完全に上昇して定常状態に達すると、各デバイスは専用 PG プルダウンをリリースします。すべてのデバイスの DVDT ピンは互いに接続されているため、すべてのデバイスの内部ゲート high 検出が同期されます。デバイス間に何らかのスレッシュホールドまたはタイミングの不一致がある場合、PG は交互にアサートされます。ただし、すべてのデバイスの PG ピンは互いに接続されているため、

結合された PG 信号は、すべてのデバイスが PG プルダウンをリリースした後でのみ High になります。この信号がダウンストリーム負荷に送信され、電力を引き出せるようになります。

定常状態: 定常状態では、すべてのデバイスはアクティブ電流共有メカニズムを使用して、等しく電流を共有します。アクティブ電流共有メカニズムにより、個別のデバイスの $R_{DS(on)}$ をアクティブにレギュレートし、並列チェーン内のすべてのデバイスに電流を均等に分配します。

定常状態での過電流: 並列チェーンのサーキット ブレーカのスレッシュホールドは、個々のデバイスを流れる電流ではなく、システム全体の電流に基づいています。これはすべてのデバイスの IMON ピンを互いに接続することで行います。同様に、すべてのデバイスの IREF ピンは互いに接続され、単一の R_{IREF} (または外部 V_{IREF} ソース) を使用して、すべてのデバイスで過電流保護ブロックの共通基準電圧を生成します。この操作により、デバイス間の過電流スレッシュホールドの全体的なミスマッチに対する I_{IREF} と R_{IREF} 許容の変動を最小限に抑えることができます。この場合、次の式 16 のように組み合わせた R_{IMON} を選択します。

$$R_{IMON} = \frac{I_{IREF} \times R_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \quad (16)$$

各 eFuse の R_{ILIM} 値は、次の式 17 に基づいて選択します。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \quad (17)$$

ここで、 N は並列チェーン内のデバイス数です。

その他のバリエーション:

IREF ピンは、外部高精度電圧リファレンスから駆動できます (V_{IREF})。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \quad (18)$$

過電流イベントが発生すると、すべてのデバイスの過電流検出が同時にトリガされます。これにより、各デバイスの過電流ブランキング タイマ (ITIMER) がトリガされます。ただし、プライマリ デバイスのみ ITIMER 期限切れイベントをトリガとして使用し、すべてのデバイスの SWEN を Low にします。このようにしてチェーン全体で同サーキットブレーカ動作が開始されます。このメカニズムにより、デバイス間の電流分配、過電流スレッシュホールド、ITIMER 間隔の不一致が原因で、完全な並列チェーンのサーキット ブレーカ スレッシュホールドや過電流ブランキング期間の精度が低下しないことを検証します。

ただし、セカンダリ デバイスではバックアップ過電流タイマも開始されており、プライマリ デバイスが特定の間隔内にそうした動作に失敗した場合に、チェーン全体のシャットダウンをトリガすることがあります。

重度の過電流 (短絡): 定常状態動作時に出力に重大な故障が発生した場合 (たとえば、低インピーダンスのパスで出力がグランドに短絡した場合)、電流は急速に大きな値に上昇し、各デバイスの高速トリップ応答をトリガします。これらのデバイスは、高速トリップ保護のために二つのスレッシュホールドを使用します。ユーザーが調整可能なスレッシュホールド I_{SFT} と、固定スレッシュホールド I_{FFT} のみです。高速トリップの後、デバイスの電源を切って再投入するか、再イネーブルにするか、自動再試行タイマが満了するまで (自動再試行バリエーションのみ)、デバイスはラッチオフ故障条件に移行します。

8.2 代表的なアプリケーション: データ センター サーバーにおける 54V パワー パス保護

この設計例では、公差 $\pm 10\%$ の 54V システム動作電圧を想定しています。最大定常状態負荷電流は 80A です。負荷電流が 85A を超える場合、eFuse 回路は最大 3ms 間隔で過渡過負荷電流を許容する必要があります。それよりも長く持続的な過負荷が続く場合、eFuse 回路は回路を切断してからラッチオフする必要があります。eFuse 回路は、1mF のバルク容量を充電する必要があります。図 8-3 は設計例にアプリケーション回路図を表示しています。

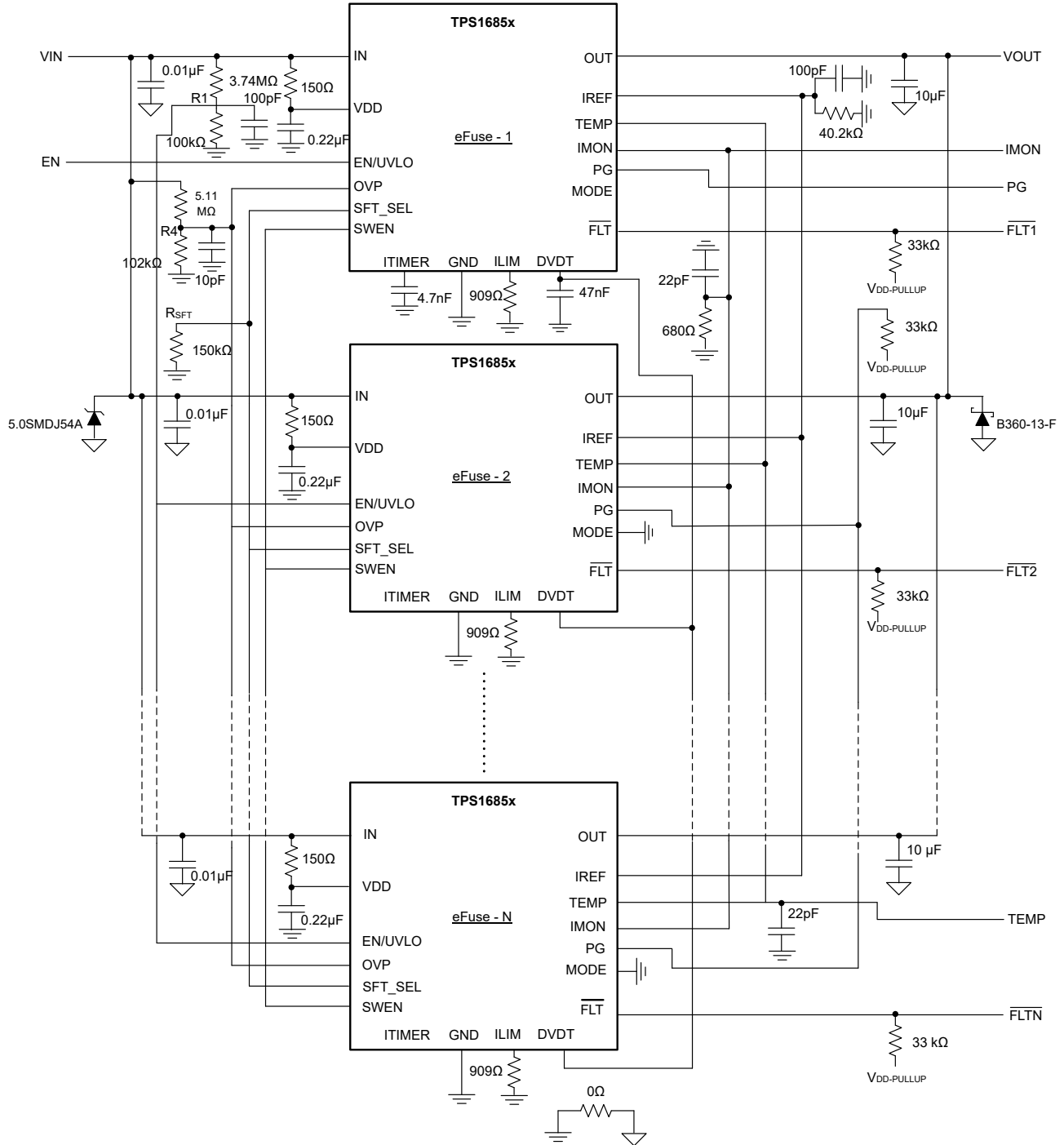


図 8-3. 54V、4.3kW パワー パス保護回路のアプリケーション回路図

8.2.1 設計要件

このアプリケーション例の設計パラメータを、表 8-1 に示します。

表 8-1. 設計パラメータ

パラメータ	値
入力電圧範囲 (V_{IN})	48.6V～59.4V
最大 DC 負荷電流、($I_{OUT(max)}$)	80A
最大出力キャパシタンス (C_{LOAD})	1mF
最大周囲温度	55°C
過渡過負荷ブランキング タイマ	3ms
出力電圧スルーレート	2.2V/ms
出力における「ホット短絡」に耐える必要があるか？	あり
「パワーアップ時の短絡」状態に耐える必要はあるか？	あり
基盤はホットプラグまたはパワー サイクルに対応しているか？	あり
負荷電流監視は必要か？	あり
故障応答	ラッチオフ

8.2.2 詳細な設計手順

- C_{DVDT} コンデンサの選択によって、出力スルー レートとスタート アップ時間を制御します

スルー レートの必要な値を設定するため、DVDT ピンと GND の間にコンデンサ (C_{DVDT}) を追加します。式 19 を使用して、 C_{DVDT} の値を推定します。

$$C_{DVDT}(nF) = \frac{50}{V_{IN}(V)/T_{SS}(ms)} \quad (19)$$

スルーレートを 1V/ms にするには、上の式に基づいて C_{DVDT} を 50nF と算出します。近傍には標準値の 47nF を保持してください。

- R_{IREF} 抵抗を選択して、過電流保護のリファレンス電圧を設定します。

R_{IREF} の値の計算には、式 20 を使用します。

$$V_{IREF} = I_{IREF} \times R_{IREF} \quad (20)$$

この設計例では、 V_{IREF} を 1V に設定しています。 $I_{IREF} = 25\mu A$ (標準値) の場合、目標 R_{IREF} は 40k Ω と計算されます。 R_{IREF} に最も近い標準値は 40.2k Ω で、許容誤差は 0.1%、電力定格は 100mW です。ノイズ耐性を向上させるため、IREF ピンから GND に 100pF のセラミック コンデンサを配置します。

注

過電流検出回路の正常な動作を確認するために、 V_{IREF} を推奨電圧範囲内に維持します。

定常状態時における過電流 (回路ブレーカ) および高速トリップのスレッシュホールドを設定するための R_{IMON} 抵抗を選択する

TPS1685x eFuse は、定常状態における出力過電流状態に対し、ユーザーが調整可能な過渡フォルトのブランキング間隔の後に、出力をオフにすることで応答します。この eFuse は、合計システム電流 (I_{OUT}) 連続的に検出し、IMON ピンに

比例したアナログ電流出力 (I_{IMON}) を生成します。これにより、負荷電流に応答して $IMON$ ピン抵抗 (R_{IMON}) の両端に電圧 (V_{IMON}) が生成されます。これは、式 21 と定義されます。

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \quad (21)$$

G_{IMON} は電流モニタ ゲイン ($I_{IMON}: I_{OUT}$) で、標準値は $18.2\mu A/A$ です。過電流状態は、 V_{IMON} をスレッショルドとして V_{IREF} と比較することで検出されます。定常状態における回路ブレーカのスレッショルド (I_{OCP}) は、式 22 を使用して計算できます。

$$I_{OCP} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \quad (22)$$

この設計例では、 I_{OCP} は $10A$ と見なされ、 R_{IMON} は G_{IMON} を $18.2\mu A/A$ 、 V_{IREF} を $1V$ に設定して $5.5k\Omega$ と計算します。 R_{IMON} の最も近い値は $5.6k\Omega$ で、許容誤差 0.1% 、電力定格は $100mW$ です。ノイズを低減するため、 $IMON$ ピンと GND の間に $22pF$ のセラミックコンデンサを配置します。

- C_{ITIMER} コンデンサを選択して、過電流ブランキング タイマを設定します

回路ブレーカのスレッショルドを超える負荷過渡を許容する時間を調整するには、プライマリ デバイスまたはスタンドアロン デバイスの $ITIMER$ ピンとグラウンドの間に、適切な容量のコンデンサを接続します。過渡過電流ブランキング期間は、式 23 を使用して計算できます。

$$t_{ITIMER}(ms) = \frac{C_{ITIMER}(nF) \times \Delta V_{ITIMER}(V)}{I_{ITIMER}(\mu A)} \quad (23)$$

ここで、 t_{ITIMER} は過渡過電流ブランキング タイマ、 C_{ITIMER} はデバイスの $ITIMER$ ピンと GND の間に接続されたコンデンサです。 $I_{ITIMER} = 2\mu A$ (標準値) および $\Delta V_{ITIMER} = 1.55V$ (標準値)。この設計ではデバイスの C_{ITIMER} として、公差 10% 、DC 電圧定格 $25V$ の $4.7nF$ コンデンサを使用しました。

- 低電圧誤動作防止スレッショルドを設定するための抵抗を選択する

低電圧誤動作防止 ($UVLO$) スレッショルドは、過電圧保護セクションに記載されているように、デバイスの IN 、 $EN/UVLO$ 、 GND の各ピン間に接続された R_1 と R_2 の外部電圧分割回路網を使用して調整します。 $UVLO$ スレッショルドを設定するために必要な抵抗値は、式 24 を使用して計算します。

$$V_{IN(UV)} = V_{UVLO(R)} \frac{R_1 + R_2}{R_2} \quad (24)$$

TI は、電源から引き込まれた入力電流を最小限に抑えるため、 R_1 および R_2 に高い抵抗値を使用することを推奨します。デバイスの電氣的仕様から、 $UVLO$ 立ち上がりスレッショルド $V_{UVLO(R)} = 1.2V$ となります。設計要件から、 $V_{INUVLO} = 46V$ です。最初に $R_1 = 3.74M\Omega$ の値を選択し、式 24 を使用して $R_2 = 100k\Omega$ を計算します。直近の標準的な 1% 抵抗値を使用: $R_1 = 3.74M\Omega$ および $R_2 = 100k\Omega$ 。ノイズを低減するため、 $EN/UVLO$ ピンと GND の間に $100pF$ のセラミックコンデンサを配置します。

- 過電圧誤動作防止スレッショルドを設定するための抵抗を選択する

過電圧誤動作防止 ($OVLO$) スレッショルドは、過電圧保護 セクションに記載されているように、デバイスの IN 、 $OVLO$ 、 GND の各ピン間に接続された R_3 と R_4 の外部電圧分割回路網を使用して調整します。以下の式を使用して、 $OVLO$ スレッショルド設定に必要な抵抗値を計算します。

$$V_{IN(OV)} = V_{OVLO(R)} \frac{R_3 + R_4}{R_4} \quad (25)$$

TI は、電源から引き込まれた入力電流を最小限に抑えるため、 R_3 および R_4 に高い抵抗値を使用することを推奨します。デバイスの電氣的仕様から、 $OVLO$ 立ち上がりスレッショルド $V_{OVLO(R)} = 1.17V$ となります。設計要件から、

$V_{\text{INOVLO}} = 60\text{V}$ です。最初に $R_1 = 5.11\text{M}\Omega$ の値を選択し、式 24 を使用して $R_3 = 101\text{k}\Omega$ を計算します。直近の標準的な 1% 抵抗値を使用: $R_3 = 5.11\text{M}\Omega$ および $R_4 = 102\text{k}\Omega$ 。ノイズを低減するため、OVLO ピンと GND の間に 10pF のセラミック コンデンサを配置します。

- VIN と VDD の間の R-C フィルタを選択する

VDD ピンは、システム過渡の影響を受けない、フィルタリングされ、安定した電源で eFuse の内部制御回路に電力を供給することを目的としています。このため、入力電源 (IN ピン) から VDD ピンに $R (150\Omega) - C (0.22\mu\text{F})$ フィルタを使用してください。これは、電源ノイズをフィルタリングして、出力での短絡などの重大な故障が発生した場合にコントローラ電源を維持するのに役立ちます。並列チェーンでは、この R-C フィルタを各デバイスに採用する必要があります。

- FLT ピンのプルアップ抵抗と電源を選択します。

FLT はオープンドレイン出力です。これらのロジック信号を使用する場合は、 $33\text{k}\Omega$ のプルアップ抵抗を介して、適切な電源レール電圧にプルアップします。

- 入力側の TVS ダイオードと出力側のショットキー ダイオードの選択

デバイスが瞬間的に大量の電流を遮断する短絡および過負荷電流による制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。これらの電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力と直列のインダクタンスの値に依存します。適切な手順を講じない場合、これらの過渡現象はデバイスの絶対最大定格を超え、最終的には電氣的オーバーストレス (EOS) による損傷につながる可能性があります。この問題に対処する一般的な方法は、以下のとおりです。

1. デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
2. PCB には、大きい GND プレーンを使用します。
3. 入力側の正の過渡スパイクをクランプするために、過渡電圧サプレッサ (TVS) ダイオードを追加します。
4. 出力の両極間にショットキー ダイオードを配置して、負のスパイクを吸収します。

IN ピンの絶対最大定格 (90V) を下回るように入力側の正の過渡電圧を効果的にクランプするための適切な TVS ダイオードの選択および並列する TVS ダイオードの数の詳細については、ホットスワップ回路における TVS クランピングおよびホットスワップおよび ORing アプリケーションにおける TVS ダイオードの選択、TVS ダイオード推奨ツールを参照してください。これらの TVS ダイオードは、ホット プラグ イベント時の IN ピンでの過渡電圧を制限するのにも役立ちます。この設計例では、一つの SMDJ54A を使用しています。

注

eFuse の安全な動作のために、 $I_{\text{pp}} (10/1000\mu\text{s}) (\text{V})$ で選択された TVS ダイオードの最大クランプ電圧 V_C 仕様は、電力入力 (IN) ピンの絶対最大定格よりも低くなければなりません。

ショットキー ダイオードの選択に基づいて、次の基準を決定します。

- 選択したダイオードの非反復ピーク順方向サージ電流 (I_{FSM}) は、高速トリップ スレッショルドよりも大きくなければなりません ($2 \times I_{\text{OCP(TOTAL)}}$)。単一のショットキー ダイオードが必要な I_{FSM} 定格を満たすことができない場合は、二つ以上のショットキー ダイオードを並列に使用する必要があります。式 26 は、並列に接続する必要があるショットキー ダイオード (N_{Schottky}) の数を計算します。

$$N_{\text{Schottky}} > \frac{2 \times I_{\text{OCP(TOTAL)}}}{I_{\text{FSM}}} \quad (26)$$

- I_{FSM} に近い順方向電圧降下 (V_F) は、できるだけ小さくする必要があります。OUT ピンの負の過渡電圧を、OUT ピンの絶対最大定格 (-5V) 以内にクランプします。
- DC ブロック電圧 (V_{RM}) は、最大入力動作電圧より高くなければなりません。
- リーク電流 (I_R) は、できるだけ小さくする必要があります。

この設計例では 1B360-13F を使用します。

- C_{IN} および C_{OUT} を選択

TI は、入力と出力の電圧を安定させるため、セラミック バイパス コンデンサを追加することを推奨します。ホットプラグ イベント時の電流スパイクを最小限に抑えるため、 C_{IN} の値を小さく保ちます。各デバイスについて、 $0.01\mu F$ の C_{IN} が 妥当な目標値です。 C_{OUT} はホットプラグ中に充電されないため、各デバイスの OUT ピンには $10\mu F$ などのより大きな 値を使用します。

8.2.3 アプリケーション曲線

以下のすべての波形は、4 個の TPS1685 eFuses を並列に接続した評価セットアップ時にキャプチャしたものです。すべてのプルアップ電源は、個別のスタンバイレールから求められます。

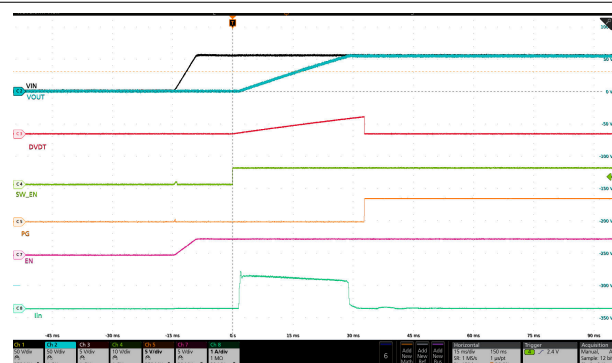


図 8-4. V_{IN} 上昇範囲 : 0V ~ 54V



図 8-5. EN/UVLO によるスタートアップ

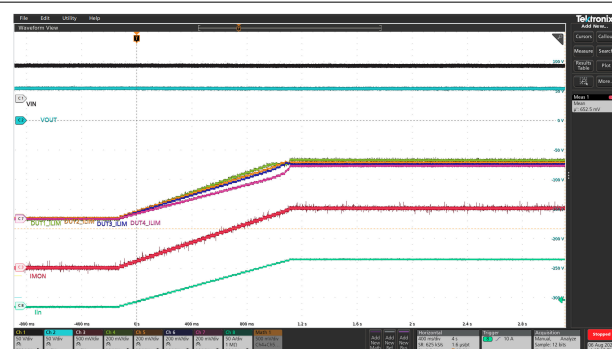


図 8-6. アクティブ電流共有

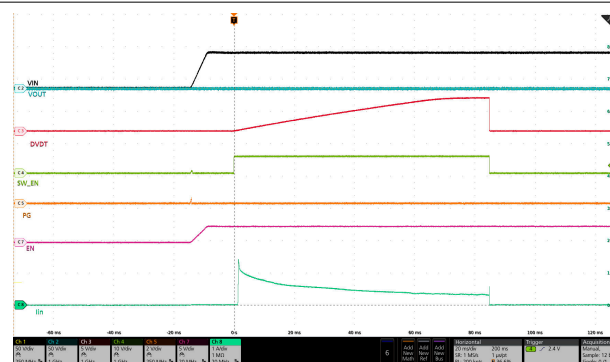


図 8-7. パワーアップ時の短絡 : $V_{IN} = 54V$ 、EN/UVLO が 0V から 3V に昇圧

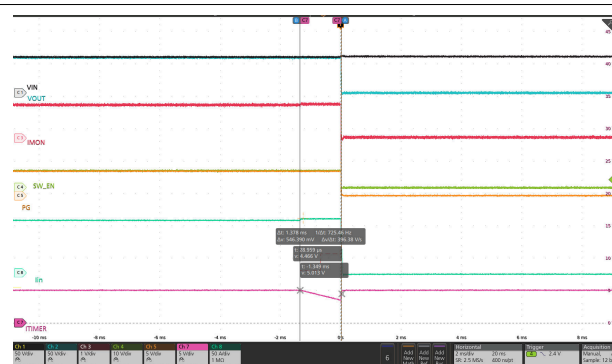


図 8-8. サーキットブレーカ応答

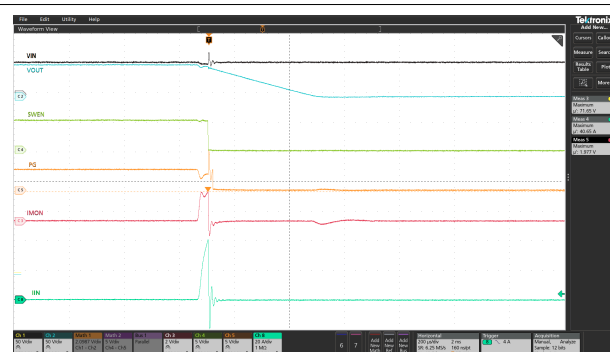


図 8-9. 出力ホット短絡応答

8.3 電源に関する推奨事項

TPS1685x デバイスは、IN と VDD ピンで 9V ~ 80V での範囲の電源電圧用に設計されています。TI は、ホットプラグイベント時の高スルーレートの結合を回避するため、各デバイスの IN ピンに 0.01μF の最小容量を並列チェーンで使用することを推奨します。TPS1685x デバイスは、さまざまな条件下で最大 500V/μs の入力電圧スルーレートに対応します。IN ピンで最大 100V/μs のホットプラグ スルーレートを使用する場合、10μF の出力コンデンサ (C_{OUT}) を使用して、

約 10V の出力電圧ジャンプを観測できます。ダウストリーム DC/DC UVLO の立ち上がりスレッショルド レベルを 10V 以上に設定することを推奨します。

TI は、電源ノイズをフィルタして、短絡などの重大な障害が発生したときにコントローラ電源を保持するために、各デバイスの入力電源から VDD ピンに R-C フィルタを並列チェーンで使用することも推奨します。

8.3.1 過渡保護と他の設計上の検討事項

デバイスが電流フローに割り込むタイミングで、短絡または回路ブレーカ イベントによる制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何等かの策を講じない場合は、上記の過渡現象によって、デバイスの絶対最大定格を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
- PCB には、大きい GND プレーンを使用します。
- 負のスパイクを吸収するために、OUT ピン接地からショットキー ダイオードを接続します。
- デバイスのすぐ近くの OUT ピンに 10μF 以上の低 ESR コンデンサを接続します。
- 入力過渡の立ち上がり時間を減衰させるため、デバイスのすぐ近くの IN ピンに $C_{IN} = 0.01\mu F$ 以上のセラミック コンデンサを接続します。誘導性リンギング時の正の電圧変動に耐えるため、コンデンサの電圧定格は入力電源電圧の少なくとも 2 倍である必要があります。

式 27 を用いて、入力容量のおおよその値を推定します。

$$V_{SPIKE(Absolute)} = V_{IN} + I_{LOAD} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (27)$$

ここで、

- V_{IN} は公称電源電圧
- I_{LOAD} は負荷電流
- L_{IN} はソースから見た実効インダクタンスに等しい値
- C_{IN} は入力に存在する容量
- 一部のアプリケーションでは、過渡状態においてデバイスの絶対最大定格を超えないように、過渡電圧サプレッサ (TVS) の追加が必要になる場合があります。場合によっては、過渡の最大振幅がデバイスの絶対最大定格を下回った場合でも、TVS は過度のエネルギー ダンプを吸収し、IC の入力電源ピンに非常に高速な過渡電圧が生じて内部制御回路に結合し、デバイスが予期しない動作を引き起こすのを防ぐのに役立ちます。
- このピンを抵抗デバイダを介して入力に接続する場合、EN/UVLO ピンと GND との間に、小さなデカップリング コンデンサを接続します。これにより、電源ラインの過渡によって発生する eFuse の誤トリップを防止できます。
- EN/UVLO が High で SWEN が Low のとき、出力インピーダンスに応じて小さな電圧が出力に蓄積されることがあります。出力端子間にオプションのブリーダ抵抗 (例えば 10kΩ) を接続することで、この残留電圧を最小限に抑えます。

図 8-10 に、オプションの保護部品を使用した回路実装を示します。

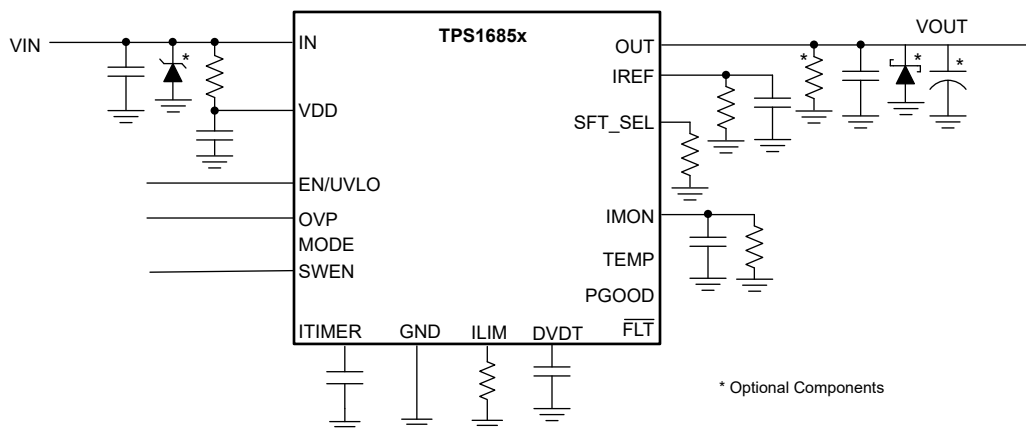


図 8-10. オプションの保護部品を使用した回路実装

8.3.2 出力短絡測定

再現可能で同様の短絡テスト結果を得るということは困難です。結果のばらつきの原因には、次のようなものがあります。

- ソース バイパス
- 入力リード線
- 回路レイアウト
- 部品選定
- 出力短絡方法
- 短絡の相対位置
- 計測

実際の短絡は、微視的に接点が跳ねたりアーク放電が発生したりするため、ある程度のランダム性を伴います。現実的な結果を得るために、設定と方法が使用されていることを確認します。セットアップ条件はそれぞれ異なるため、このデータシートに示す波形とまったく同じ波形が得られるとは限りません。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- すべての用途に対して、TI は $0.1\mu\text{F}$ 以上のセラミック デカップリング コンデンサを、IN 端子と GND 端子の間に使用することを推奨します。
- すべての用途に対して、TI は $10\mu\text{F}$ 以上のセラミック デカップリング コンデンサを、OUT 端子と GND 端子の間に使用することを推奨します。
- デカップリング コンデンサのピーク配置は、デバイスの IN および GND 端子に最も近くに配置します。バイパス コンデンサ接続部、IC の IN 端子、および GND 端子によって形成されるループ面積を最小限に抑えるよう注意してください。PCB レイアウト例については、以下の図を参照してください。
- 大電流を流すパワー パス接続はできる限り短くし、全負荷電流の 2 倍以上が流れるようにサイズを調整する必要があります。
- GND 端子は、IC の端子で PCB グランド プレーンに接続する必要があります。PCB の接地は、基板上的銅プレーンまたはアイランドである必要があります。
- IN および OUT ピンを使用して放熱を行います。サーマル ビアでできるだけ多くの銅の面積に接続します。
- 次のサポート部品を接続ピンの近くに配置します。
 - R_{ILIM}
 - R_{IMON}
 - C_{IMON}
 - R_{IREF}
 - C_{IREF}
 - C_{dVdT}

- C_{ITIMER}
- C_{IN}
- C_{OUT}
- C_{VDD}
- EN/UVLO ピンと OVP ピンの抵抗
- 部品のもう一方の端を、最短のパターン長でデバイスの GND ピンに接続します。 C_{IN} 、 C_{OUT} 、 C_{VDD} 、 R_{IREF} 、 C_{IREF} 、 R_{ILIM} 、 R_{IMON} 、 C_{IMON} 、 C_{ITIMER} 、 C_{dVdt} 部品の配線は、電流制限、過電流ブランキングおよびソフトスタートタイミングに対する寄生効果を低減するために、できるだけ短くする必要があります。これらのトレースは基板上的のスイッチング信号と結合しないください。
- IMON、ILIM、IREF、ITIMER ピンはデバイスの過電流保護動作を直接制御するため、これらのノードの PCB 配線はノイズの多い (スイッチング) 信号から遠ざける必要があります。
- TI は、同期の問題を回避するため、SWEN ピンの寄生負荷を最小限に抑えることを推奨します。
- TVS、スナバ、コンデンサ、ダイオードなどの保護部品は、保護対象のデバイスのできるだけ近くに配置します。インダクタンスを低減するために、これらの保護デバイスは短いパターンで配線します。たとえば、誘導性負荷のスイッチングによる負の過渡事象に対処するために、TI は保護ショットキー ダイオードを推奨します。このダイオードは、このダイオードは、物理的に OUT ピンの近くに配置する必要があります。

8.4.2 レイアウト例

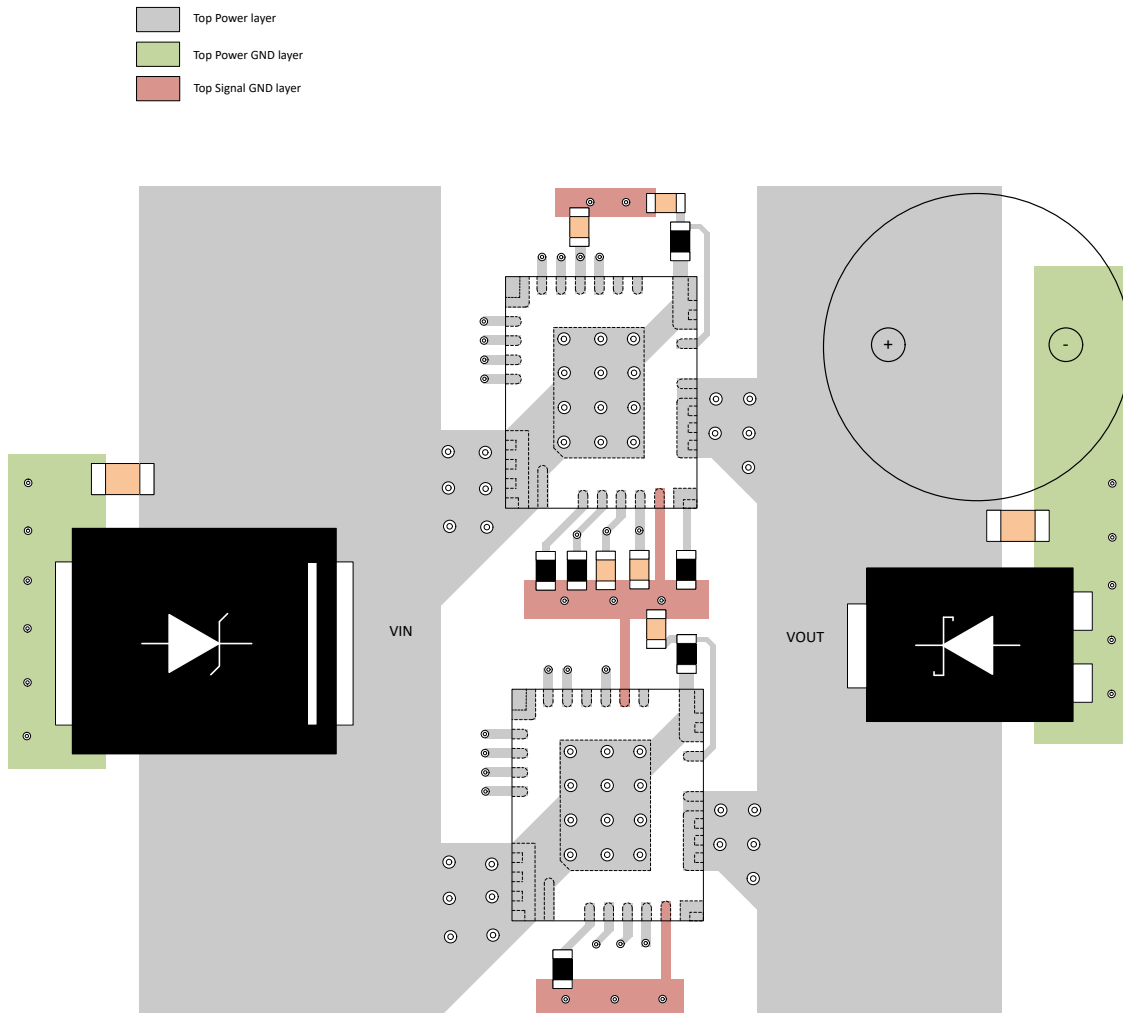


図 8-11. TPS1685x 2 並列デバイスのレイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[TPS1685EVM eFuse 評価ボード](#)』
- テキサス・インスツルメンツ、『[TPS1685x 設計カリキュレータ](#)』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Intel® is a registered trademark of Intel.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (August 2025) to Revision D (July 2026)	Page
• 概略回路図に SFT_SEL プルダウン接続を追加.....	1
• SFT_SEL をフローティングのままにする方法に関する情報を追加.....	4
• 「絶対最大定格」表に「入力電源ホットプラグ時のスルーレート」の仕様を追加.....	6
• 「推奨動作条件」表に「dVin/dt」の仕様を追加.....	7
• 「電気的特性」表の「短絡保護」セクションの RSFT_SEL の値を変更.....	8
• 「電気的特性」表の「スケーラブルな高速トリップ電流 (突入電流)」を「2」から「2 つの 1 スタートアップピーク」に変更..	8
• 「電気的特性」表の「クイック出力放電プルダウン電流」の最大制限値を削除.....	8
• 起動時の許容動作領域 (AOA) プロットに、Y 軸タイトル「I _{DS} (A)」を追加.....	14

• 「デバイスの機能モード」表の SFT_SEL ピンの抵抗に基づいて RSFT_SEL の値を変更.....	25
• 無制限の拡張性を実現する複数 eFuse のスタッキングに注記を追加.....	29
• 「デバイスの機能モード」表の SFT_SEL ピンの抵抗に基づいて RSFT_SEL の値を変更.....	36
• シングルデバイス、スタンドアロン動作の SFT_SEL 接続を更新.....	37
• 大電流能力を実現するために並列に接続されたデバイスの SFT_SEL 接続を更新.....	38
• 54V、4.3kW 電源経路保護回路の SFT_SEL 接続を更新.....	40
• 電源に関する推奨事項を更新.....	46
• セクション タイトルを「過渡保護」から「過渡保護およびその他の設計上の考慮事項」に更新.....	47
• オプションの保護部品を使用した回路実装で、SFT_SEL 接続を更新.....	47

Changes from Revision B (May 2025) to Revision C (August 2025)	Page
• 「電気的特性」セクションで R_{ITMR} の最小値を 7 Ω から 5 Ω に変更.....	8
• 「電気的特性」セクションで I_{TIMER} の最大比を 0.78 から 0.97 に変更.....	8
• 「電気的特性」セクションで $G_{IMON(ACS)}$ の最小値を 18.02 $\mu A/A$ から 17.24 $\mu A/A$ に変更.....	8
• 「電気的特性」セクションで $G_{IMON(ACS)}$ の最大値を 18.71 $\mu A/A$ から 19.84 $\mu A/A$ に変更.....	8
• 「電気的特性」セクションで、 $R_{ON(GHI)}$ の代表値を 3.6 m Ω から 3.8 m Ω に更新.....	8
• タイミング要件セクションの T_{FFT} テストにおいて、テスト条件を「 $V_{DS} > V_{DSCOMP}$ から $I_{OUT} \downarrow$ 」から「 $V_{DS} > V_{DSCOMP}$ から $SWEN \downarrow$ 」に変更.....	12
• 「電気的特性」セクションで、QOD イネーブル時間の標準値 (typ) を 6ms から 16 μs に変更.....	12
• $C_{dvd} = 68nF$ の標準データを $C_{dvd} = Open$ に変更.....	13
• 起動 AOA グラフから DC ラベルを削除して修正.....	14

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS16850AVMAR	Active	Production	LQFN-CLIP (VMA) 23	2500 LARGE T&R	ROHS Exempt	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16850A
TPS16850VMAR	Active	Production	LQFN-CLIP (VMA) 23	2500 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS16850
TPS16850VMAR.A	Active	Production	LQFN-CLIP (VMA) 23	2500 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS16850
TPS16850VMAR.B	Active	Production	LQFN-CLIP (VMA) 23	2500 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS16850
TPS16851AVMAR	Active	Production	LQFN-CLIP (VMA) 23	2500 LARGE T&R	ROHS Exempt	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T16851A
TPS16851VMAR	Active	Production	LQFN-CLIP (VMA) 23	2500 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS16851

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

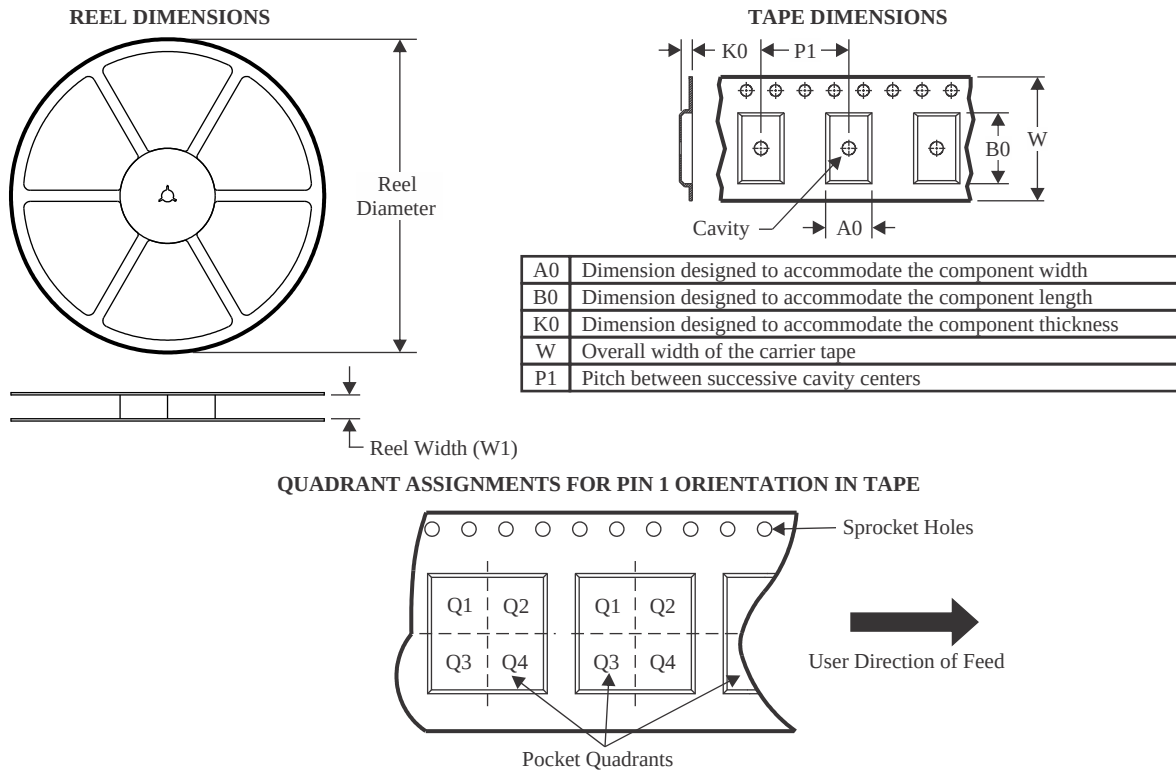
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

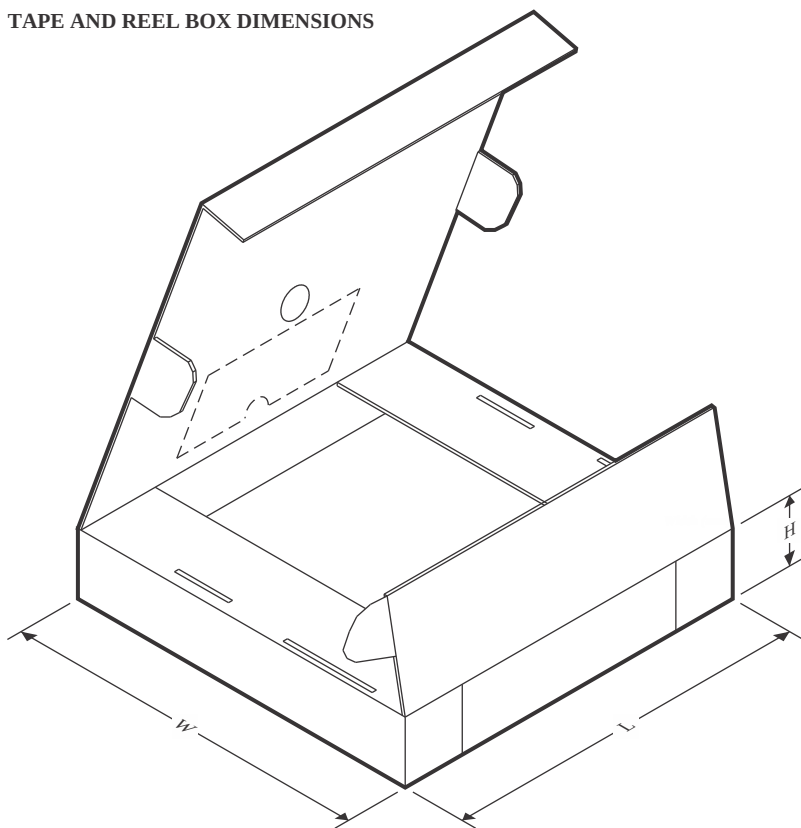
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS16850AVMAR	LQFN-CLIP	VMA	23	2500	330.0	16.4	6.3	5.3	1.75	8.0	16.0	Q1
TPS16850VMAR	LQFN-CLIP	VMA	23	2500	330.0	16.4	6.3	5.3	1.75	8.0	16.0	Q1
TPS16851AVMAR	LQFN-CLIP	VMA	23	2500	330.0	16.4	6.3	5.3	1.75	8.0	16.0	Q1
TPS16851VMAR	LQFN-CLIP	VMA	23	2500	330.0	16.4	6.3	5.3	1.75	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



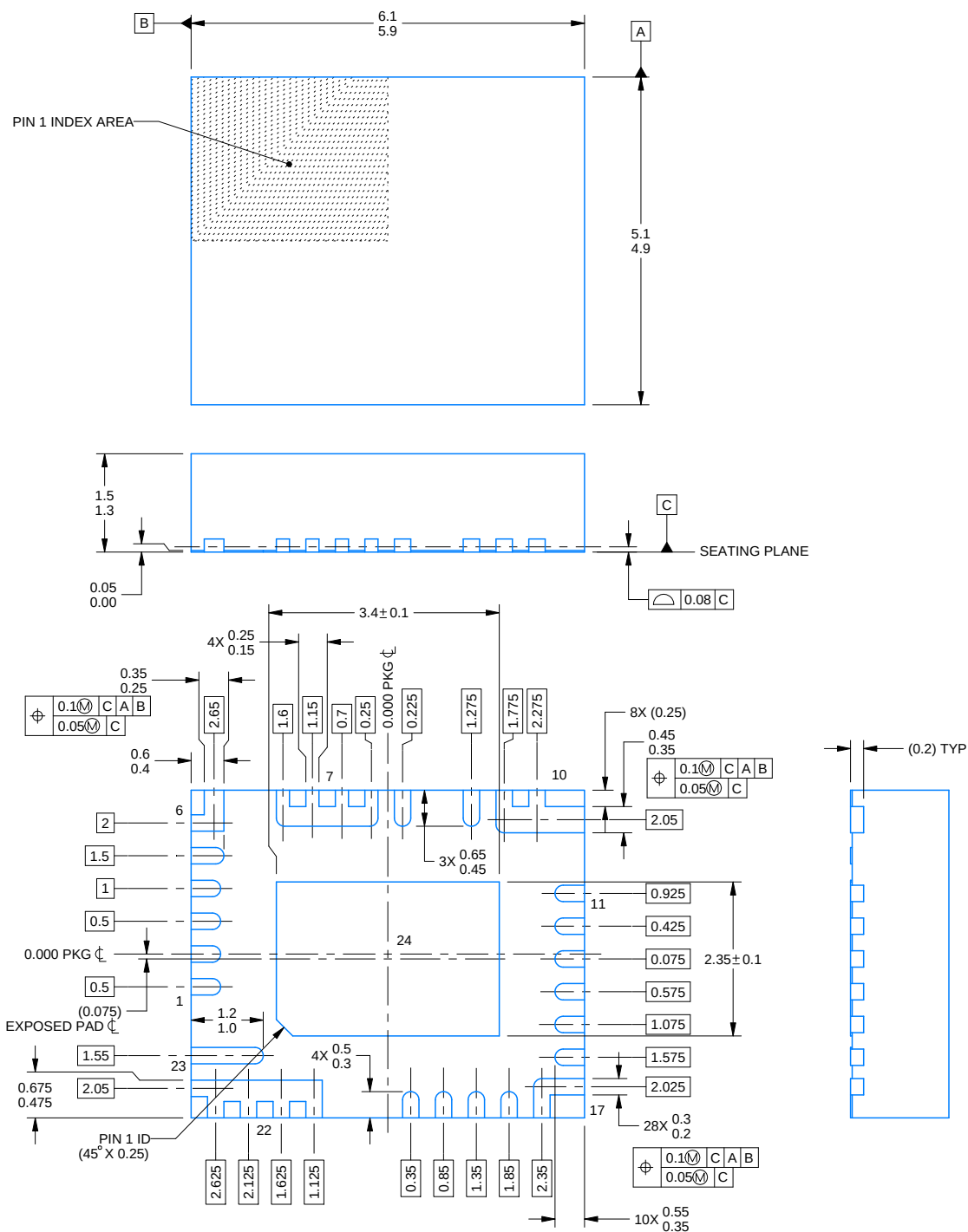
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS16850AVMAR	LQFN-CLIP	VMA	23	2500	367.0	367.0	38.0
TPS16850VMAR	LQFN-CLIP	VMA	23	2500	367.0	367.0	38.0
TPS16851AVMAR	LQFN-CLIP	VMA	23	2500	367.0	367.0	38.0
TPS16851VMAR	LQFN-CLIP	VMA	23	2500	367.0	367.0	38.0



LQFN-CLIP - 1.5 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4230225/A 11/2023

NOTES:

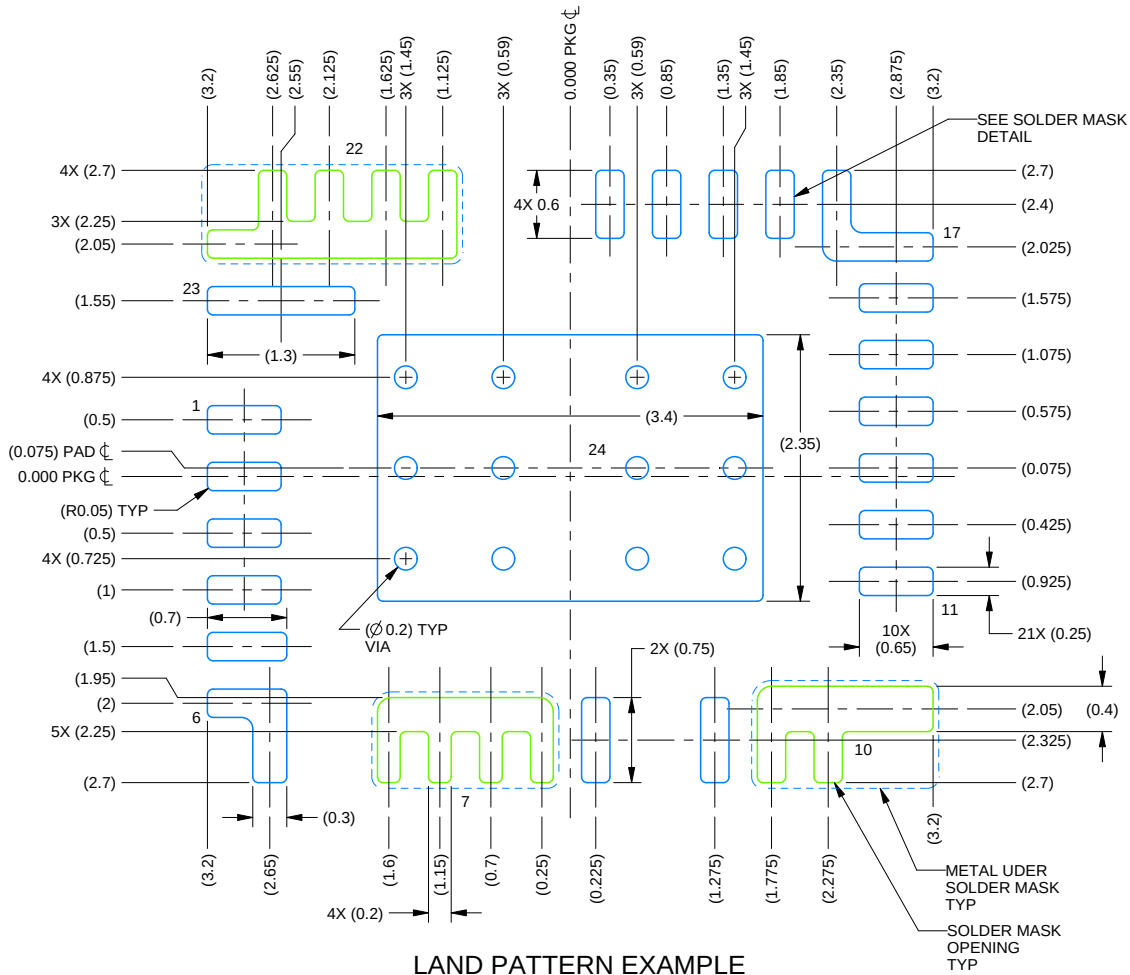
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

VMA0023A

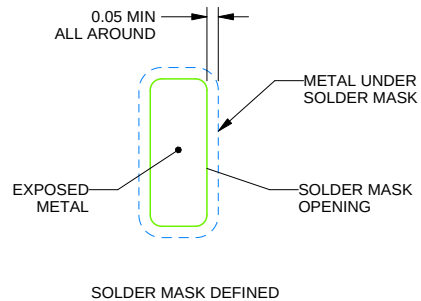
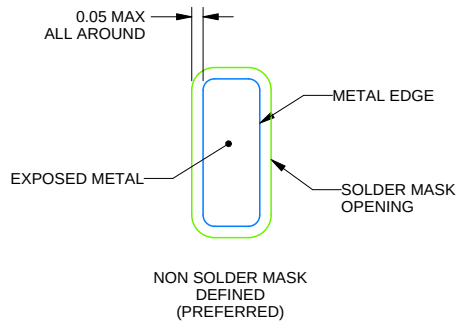
LQFN-CLIP - 1.5 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

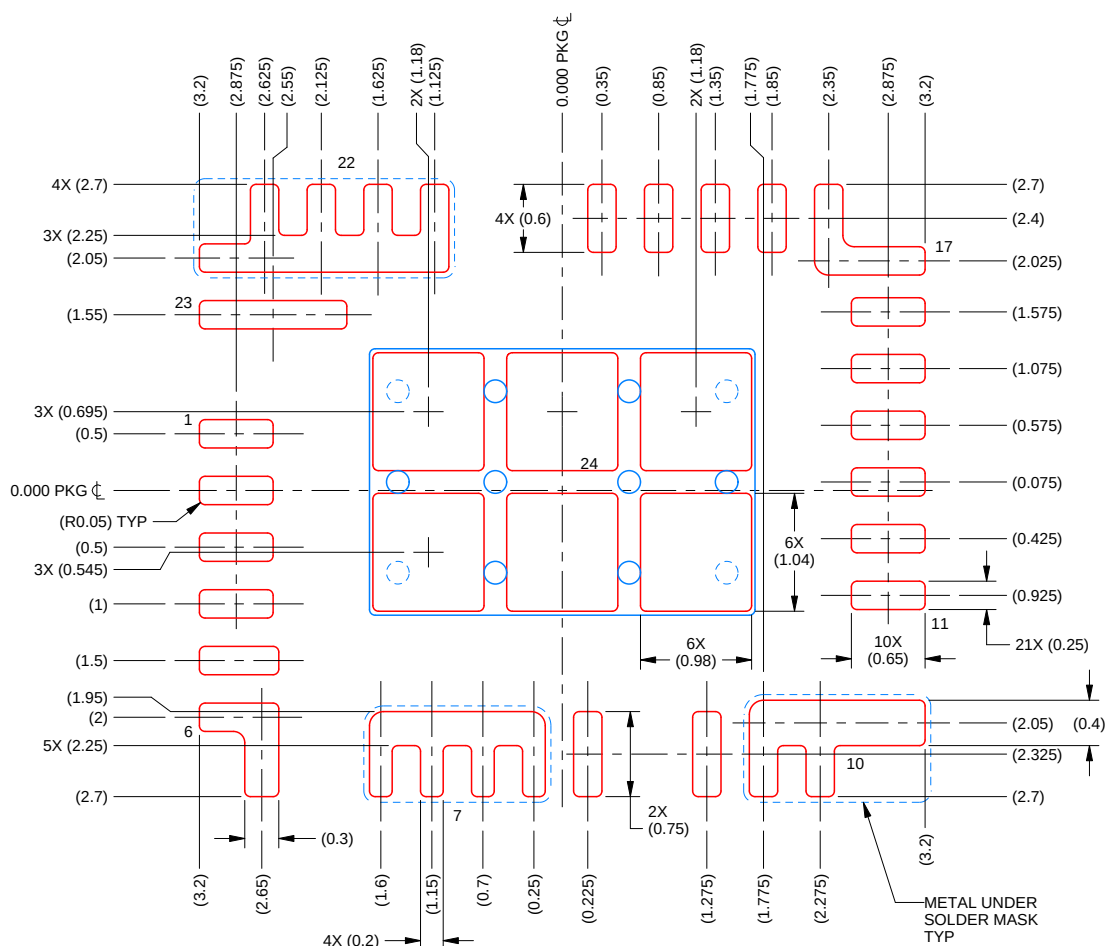
NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

VMA0023A

LQFN-CLIP - 1.5 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE

BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 28
76% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4230225/A 11/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月