TPS1686x、9V ～ 80V、16mΩ、10A 内蔵型ホットスワップ (eFuse)、高精度で高速な電流モニタ搭載

1 特長

- 動作入力電圧範囲:9V ～ 80V
  - 絶対最大電圧 92V
  - 出力側で最大 -5V の負電圧に対応
- 低いオン抵抗の FET を内蔵:R_{ON} = 16mΩ (標準値)
- アクティブ HIGH のイネーブル入力、低電圧誤動作防止 (UVLO) を設定可能
- 調整可能な過電圧保護機能
- 突入電流からの保護のために出力スルーレート制御 (dVdt) を調整可能
- 高精度な負荷電流監視機能
  - 50% を超える電流で 3% 未満の誤差
  - 1MHz の帯域幅
- 堅牢な過電流保護機能
  - サーキットブレーカ応答
  - 可変スレッショルド:1A ～ 10A
  - 過電流保護の精度:±3% (標準値)
  - 可変の過渡過電流タイマ (ITIMER) によりピーク電流をサポート
- 短絡イベントに対する高速トリップ応答
- アナログ ダイ温度監視出力 (TEMP) による過熱保護 (OTP)
  - FET SOA:0.8W√s
- FET の健全性監視および報告機能
- フォルト表示ピン ($\overline{FLT}$)
- パワー グッド表示ピン (PGOOD)
- UL 2367 認定 (予定)
- IEC 62368-1 CB 認証 (予定)
- 小さい占有面積:QFN 6mm × 5mm
  - 60V 対応の IPC9592B クリアランス

2 アプリケーション

- サーバーにファンがロードされます
- 入力ホットスワップおよびホットプラグ
- サーバーおよび高性能コンピューティング
- ネットワーク インターフェイス カード
- グラフィックスおよびハードウェア アクセラレータ カード
- データ センターのスイッチおよびルーター
- 火災警報制御パネル

3 説明

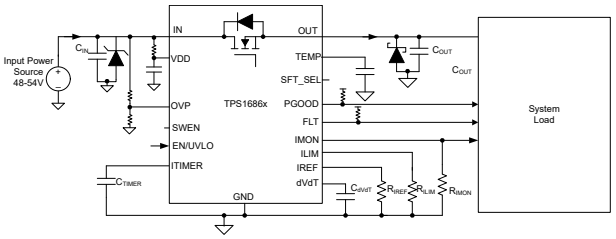
TPS1686x は統合型大電流回路保護およびパワー マネージメント デバイスです。このデバイスは、非常に少数の外付け部品で複数の保護モードを提供し、過負荷、短絡、および過剰な突入電流に対して堅牢な保護を行います。特定の突入電流要件を持つアプリケーションでは、単一の外付けコンデンサにより出力スルー レートを設定できます。出力電流制限レベルは、システムの必要に応じてユーザーが設定できます。ユーザーが調整可能な過電流ブランキング タイマを使用すると、システムは eFuse をトリップせずに、負荷電流の過渡ピークに対応できます。高速で高精度の検出を行う内蔵のアナログ負荷電流モニタにより、予知保全と高度な動的プラットフォーム電力管理 (Intel PSYS、PROCHOT など) が容易になり、サーバーおよびデータセンターの性能を最適化します。

これらのデバイスは、-40℃～+125℃の接合部温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS16860NLMR	NLM (VQFN、23)	6.00mm × 5.00mm
TPS16861NLMR		

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....3
5 ピン構成および機能.....4
6 仕様.....6
6.1 絶対最大定格.....6
6.2 ESD 定格.....6
6.3 推奨動作条件.....7
6.4 熱に関する情報.....7
6.5 電気的特性.....7
6.6 ロジック・インターフェイス.....10
6.7 タイミング要件.....10
6.8 スイッチング特性.....12
6.9 代表的特性.....13
7 詳細説明.....18
7.1 概要.....18
7.2 機能ブロック図.....19
7.3 機能説明.....20
7.4 デバイスの機能モード.....33
8 アプリケーションと実装.....34
8.1 アプリケーション情報.....34
8.2 代表的なアプリケーション：データセンター サーバーの 54V ファン負荷保護.....35
8.3 電源に関する推奨事項.....41
8.4 レイアウト.....42
9 デバイスおよびドキュメントのサポート.....44
9.1 サード・パーティ製品に関する免責事項.....44
9.2 ドキュメントのサポート.....44
9.3 ドキュメントの更新通知を受け取る方法.....44
9.4 サポート・リソース.....44
9.5 商標.....44
9.6 静電気放電に関する注意事項.....44
9.7 用語集.....44
10 改訂履歴.....44
11 メカニカル、パッケージ、および注文情報.....45

Copyright © 2025 Texas Instruments Incorporated

4 デバイス比較表

部品番号	フォルト動作
TPS16860	自動再試行
TPS16861	ラッチオフ

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

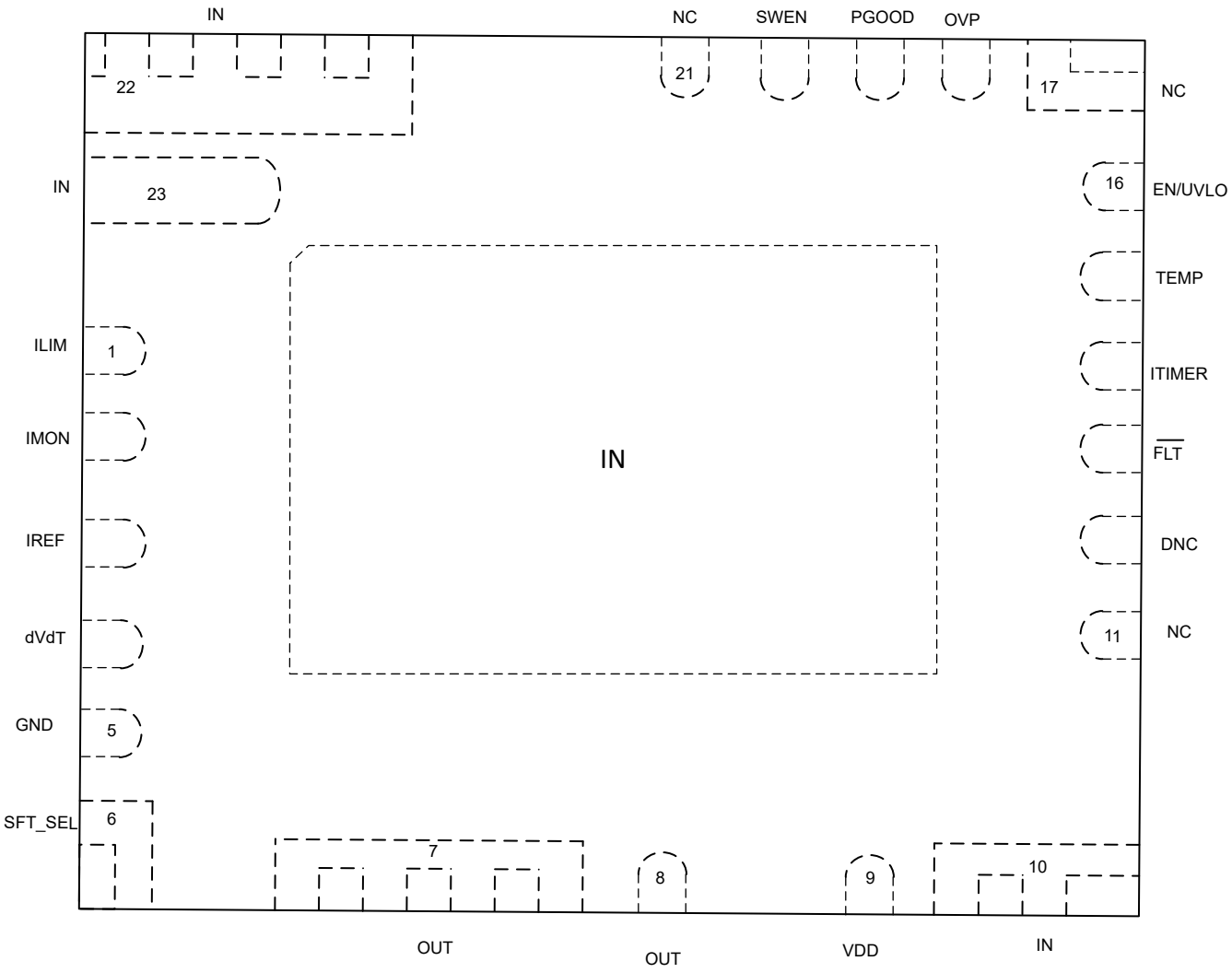


図 5-1. NLM パッケージ、23 ピン VQFN (上面図)

表 5-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
ILIM	1	I/O	出力は、負荷電流に比例する電流を出力します。このピンと GND との間に外付け抵抗を接続して、負荷電流を監視します。
IMON	2	I/O	このピンと GND の間に外付け抵抗を接続することで、定常状態時の過電流 / 保護スレッショルドと高速トリップ スレッショルドが設定されます。このピンは、定常状態中の高速かつ高精度のアナログ出力負荷電流監視信号としても機能します。*フローティングのままにしないでください。*
IREF	3	I/O	過電流、短絡保護とアクティブ電流共有ブロックに適したリファレンス電圧このピンの内部電流源と抵抗を使用して生成することも、外部電圧源から駆動することもできます。*フローティングのままにしないでください。*
dVdT	4	I/O	起動時出力スルー レート制御ピン。このピンをオープンのままにすると、短時間で起動できます。コンデンサをグランドと接続することで、スルーレートを低速にし、突入電流を管理します。
GND	5	G	デバイス グランド リファレンス ピン。システム グランドに接続。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
名称	番号		
SFT_SEL	6	I/O	定常状態時のスケーラブルな高速トリップ スレッショルド逓倍器を選択します。このピンと GND の間に抵抗を接続して、SFT 逓倍器を選択します。
OUT	7、8	P	電力出力。適切な放熱のため、出力電源プレーンに均一に半田付けする必要があります。
VDD	9	P	コントローラ電源入力ピン。システム過渡の影響を受けない、フィルタリングされ、安定した電源で内部制御回路に電力を供給することを目的としています。このピンを直列抵抗を介して VIN に接続し、デカップリング コンデンサを GND に追加します。
IN	10、22、23	P	電源入力.適切な放熱のため、入力電源プレーンに均一に半田付けする必要があります。
NC	11、17、21	-	このピンに何も接続しないでください。
DNC	12	I	このピンに強制的に電圧を印加しないでください。フローティングのまま、または接地とすることができます。
$\overline{FLT}$	13	O	オープン ドレイン アクティブ low フォルト出力。抵抗を使用して、このピンを外部電源電圧 (≤ 5V) にプルアップします。
ITIMER	14	I/O	このピンと GND との間のコンデンサにより、デバイスの過電流応答が動作する前に、定常状態動作中に出力電流が過電流スレッショルド (ただし、高速トリップ スレッショルドより低い) を一時的に超えることができる過電流ブランキング間隔が設定されます。
TEMP	15	I/O	接合部温度のアナログ電圧出力。デバイスの内部温度に比例する電圧
EN/UVLO	16	I	アクティブ High イネーブル入力。入力電源から抵抗分割器を接続して、低電圧スレッショルドを設定します。フローティングのままにしないでください。
OVP	18	I	過電圧の設定ポイントを設定します。VIN とこのピンとの間に抵抗デバイダを接続します。フローティングのままにしないでください。
PGOOD	19	O	オープンドレインのアクティブ high パワーグッド出力。このピンには、内部電源電圧への弱いプルアップがあります。
SWEN	20	I/O	パワー スイッチのオン / オフ ステータスを示すオープン ドレイン信号。このピンには、内部電源電圧への弱いプルアップがあります。
IN	PowerPad™	P	電源入力.適切な放熱のため、入力電源プレーンに均一に半田付けする必要があります。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

パラメータ		ピン	最小値	最大値	単位
V_{INMAX}、V_{DDMAX}	最大入力および電源電圧 (–40℃ ≤ T_J ≤ 125℃)	IN、VDD	-0.3	90	V
$V_{INMAX,25}$、$V_{DDMAX,25}$	最大入力および電源電圧 (25℃ ≤ T_J ≤ 125℃)	IN、VDD	-0.3	92	V
V_{OUTMAX}	最大出力電圧	OUT	-5(2)	Min(92V、VIN + 0.3)	
V_{IN} ～ V_{OUT}	IN と OUT の最大差	IN、OUT	-0.3	90	V
$V_{ILIMMAX}$	ILIM ピンの最大電圧	ILIM	-0.3	6	V
$V_{IMONMAX}$	IMON ピンの最大電圧	IMON	-0.3	6	V
V_{SFT_SELMAX}	SFT_SEL ピンの最大電圧	SFT_SEL	-0.3	6	V
V_{OVP}	OVP ピンの最大電圧	OVP	-0.3	6	V
V_{ITIMER}	ITIMER ピンの最大電圧	ITIMER	-0.3	6	V
$V_{IREFMAX}$	IREF ピンの最大電圧	IREF	-0.3	6	V
$V_{DVDTMAX}$	DVDT ピンの最大電圧	DVDT	-0.3	6	V
$V_{SWENMAX}$	SWEN ピンの最大電圧	SWEN	-0.3	6	V
$I_{SWENMAX}$	SWEN ピンの最大シンク	SWEN		10	mA
V_{ENMAX}	EN/UVLO ピンの最大電圧	EN/UVLO	-0.3	6	V
$V_{FLTBMAX}$	$\overline{FLT}$ ピンの最大電圧	$\overline{FLT}$	-0.3	6	V
$I_{FLTBMAX}$	$\overline{FLT}$ ピンの最大シンク電流	$\overline{FLT}$		10	mA
$V_{PGOODMAX}$	PGOOD ピンの最大電圧	PGOOD	-0.3	6	V
$I_{PGOODMAX}$	PGOOD ピンの最大シンク電流	PGOOD		10	mA
V_{TEMP}	TEMP ピンの最大電圧	TEMP	-0.3	6	V
I_{MAX}	最大連続スイッチ電流	IN から OUT	内部的に制限		A
T_{JMAX}	接合部温度		内部的に制限		℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) FET オフで負の過渡状態。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±1500	V
		デバイス帯電モデル (CDM)、JEDEC 規格 JESD22-C101 準拠、すべてのピン(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2025 Texas Instruments Incorporated

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		ピン	最小値	最大値	単位
V_{IN}	入力電圧範囲	IN	9	80	V
V_{DD}	電源電圧範囲	VDD	9	80	V
V_{OUT}	出力電圧範囲	OUT		V_{IN}	V
$V_{EN/UVLO}$	イネーブル ピン電圧範囲	EN/ UVLO		5	V
V_{dVdT}	dVdT ピン コンデンサ電圧定格	dVdT		4	V
V_{PGOOD}	PGOOD ピンのプルアップ電圧範囲	PGOOD		5	V
$V_{SMBA/FLTb}$	SMBA/$\overline{FLT}$ ピンのプルアップ電圧範囲	SMBA/ $\overline{FLT}$		5	V
V_{SWEN}	SWEN ピンのプルアップ電圧範囲	SWEN		5	V
V_{TEMP}	TEMP/EECLK/GPIO1 ピンの電圧定格	TEMP/ EECLK/ GPIO1		5	V
V_{IREF}	IREF ピンの電圧範囲	IREF	0.3	1.2	V
V_{ILIM}	ILIM ピンの電圧範囲	ILIM		0.4	V
V_{IMON}	IMON ピンの電圧範囲	IMON		1.2	V
C_{IN}	IN ピン上のコンデンサ	IN	10		nF
C_{OUT}	OUT ピン上のコンデンサ	OUT	10		µF
dV_{IN}/dt	IN ピンのスルー レート	IN		500	V/µs
I_{MAX}	連続スイッチ電流	IN から OUT		10	A
$I_{MAX、パルス}$	持続時間 ≤10 ms、T_A ≤ 70 °C のピーク出力電流	IN から OUT		13	A
T_J	接合部温度		-40	125	°C

6.4 熱に関する情報

熱評価基準(1) (2)		TPS1686X	単位
		LQFN	
		ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	20.64	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	2.71	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	12.13	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) 3 x 4.5 インチ PCB (2s2p) に JESD51-7 として実装したデバイスで実施されたシミュレーションに基づく

6.5 電気的特性

–40°C ≤ T_J ≤ +125°C、VIN = V_{DD} = 51V、OUT = オープン、R_{IMON} = 5.55kΩ、V_{IREF} = 1V、$\overline{FLT}$ = 33kΩ プルアップ ～ 3.3V、PGOOD = 33kΩ プルアップ ～ 3.3V、C_{OUT} = 10µF、C_{IN} = 10nF、dVdT = オープン、ITIMER = オープン。、$V_{EN/UVLO}$ = 2V、TEMP =オープン。 (全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電源 (VDD)						
V_{IN}	入力電圧範囲		9		80	V
V_{DD}	入力電圧範囲		V_{IN}		80	V

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

–40°C ≤ T_J ≤ +125°C、VIN = V_{DD} = 51V、OUT = オープン、R_{IMON} = 5.55kΩ、V_{IREF} = 1V、$\overline{FLT}$ = 33kΩ プルアップ ～ 3.3V、PGOOD = 33kΩ プルアップ ～ 3.3V、C_{OUT} = 10µF、C_{IN} = 10nF、dVdT = オープン、ITIMER = オープン。、$V_{EN/UVLO}$ = 2V、TEMP =オープン。 (全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{QON(VDD)}$	V_{DD} ON 状態静止電流	V_{DD} > V_{UVPR}、V_{EN} ≥ V_{UVLOR}、V_{OVP} < V_{OVPF}		0.47	4	mA
$I_{QOFF(VDD)}$	V_{DD} OFF 状態電流	V_{SDR} < V_{EN} < V_{UVLO}			410	µA
$I_{SD(VDD)}$	V_{DD} シャットダウン電流	V_{EN} < V_{SDF}			360	µA
V_{UVPR}	V_{DD} 低電圧保護スレッショルド立ち上がり	V_{DD} 立ち上がり		8.5	8.9	V
V_{UVPF}	V_{DD} 低電圧保護スレッショルド立ち下がり	V_{DD} 立ち下がり	6.7	7.05		V
V_{UVPHYS}	UVP ヒステリシス VDD			1400		mV
入力電源 (IN)						
$V_{UVPR(VIN)}$	VIN 低電圧保護スレッショルド	V_{IN} 立ち上がり		8.45	9	V
$V_{UVPF(VIN)}$	VIN 低電圧保護スレッショルド	V_{IN} 立ち下がり	6.5	7.05		V
$I_{QON(VIN)}$	V_{IN} ON 状態静止電流	V_{EN} ≥ V_{UVLOR}		1.34		mA
$I_{QOFF(VIN)}$	V_{IN} OFF 状態電流	V_{SDR} < V_{EN} < V_{UVLO}		47		µA
$I_{SD(VIN)}$	V_{IN} シャットダウン電流	V_{EN} < V_{SDF}		46		µA
イネーブル / 低電圧誤動作防止 (EN/UVLO)						
V_{UVLOR}	オンにするための EN/UVLO ピン電圧スレッショルド、立ち上がり	EN/UVLO 立ち上がり	1.18	1.2	1.23	V
V_{UVLOF}	オフにして QOD を作動させるための EN/UVLO ピン電圧スレッショルド、立ち下がり	EN/UVLO 立ち下がり	1	1.12	1.14	V
$V_{UVLOHYS}$	UVLO ヒステリシス			90		mV
V_{SDF}	シャットダウン スレッショルド	EN/UVLO 立ち下がり	0.4	0.44		V
V_{SDR}	シャットダウン スレッショルド	EN/UVLO 立ち上がり		0.51	0.55	V
I_{ENLKG}	EN/UVLO ピンのリーク電流				0.1	µA
過電圧保護 (IN)						
V_{OVPR}	過電圧保護スレッショルド (立ち上がり)	OVP ピンの立ち上がり	1.11	1.17	1.2	V
V_{OVPF}	過電圧保護スレッショルド (立ち下がり)	OVP ピンの立ち下がり	1.08	1.12	1.15	V
V_{OVPHYS}	過電圧保護スレッショルド (ヒステリシス)			56		mV
I_{OVPLKG}	OVP ピンのリーク電流	V_{OVP} = 1.2V	-0.16		0.16	µA
$V_{OVPR(IN)}$	内部過電圧保護スレッショルド (立ち上がり)	VIN 立ち上がり	84	90.55	95	V
$V_{OVPF(IN)}$	内部過電圧保護スレッショルド (立ち下上がり)	VIN 立ち下がり	80	84.2	90	V
オン抵抗 (IN - OUT)						
R_{ON}	オン状態抵抗	I_{OUT} = 3A、T_A = 25℃		15.7		mΩ
R_{ON}	オン状態抵抗	I_{OUT} = 3A、-40 < T_A < 125℃			26.5	mΩ
電流制限基準 (IREF)						
V_{IREF}	IREF ピンの推奨電圧範囲		0.3		1.2	V
I_{IREF}	IREF ピン内部ソース電流	V_{IREF} = 1 V	24.2	25	25.8	µA
電流制限 (ILIM)						
$G_{ILIM(LIN)}$	電流モニタ ゲイン (ILIM:IOUT) 対 IOUT。	デバイスが定常状態 (PG アサート)、I_{OUT} = 7A	18.49	18.9	19.37	uA/A
$I_{start-up\ peak}$	起動時のピーク電流	V_{OUT}> V_{FB}、GHI をアサート解除。 VIN ≤60V		400		mA

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

–40°C ≤ T_J ≤ +125°C、VIN = V_{DD} = 51V、OUT = オープン、R_{IMON} = 5.55kΩ、V_{IREF} = 1V、$\overline{FLT}$ = 33kΩ プルアップ ～ 3.3V、PGOOD = 33kΩ プルアップ ～ 3.3V、C_{OUT} = 10µF、C_{IN} = 10nF、dVdT = オープン、ITIMER = オープン。、$V_{EN/UVLO}$ = 2V、TEMP =オープン。 (全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{FB}	フォールドバック電圧			2		V
出力電流モニタと過電流保護 (IMON)						
G_{IMON}	電流モニタ ゲイン (IMON:IOUT)	デバイスが定常状態 (PG アサート)、I_{OUT} = 7A	17.9	18.18	18.51	µA/A
G_{IMON}	電流モニタ ゲイン (IMON:IOUT)	デバイスが定常状態 (PG アサート)、I_{OUT} = 4A		18.2		µA/A
I_{OCP}	IOUT 電流制限トリップ (回路ブレーカ) スレッショルド	R_{IMON} = 5.5kΩ、V_{IREF} = 1V	9.9	10.18	10.4	A
電流故障タイマ (ITIMER)						
I_{ITMR}	ITIMER ピンの内部放電電流	I_{OUT} > I_{TRIP}、ITIMER ↓	1.75	2.1	2.7	µA
R_{ITMR}	ITIMER ピンの内部プルアップ抵抗		5	13	23	kΩ
V_{ITMR}	ITIMER ピンの内部プルアップ電圧	I_{OUT} < I_{TRIP}	4.4	5.1	5.6	V
ΔV_{ITMR}	ITIMER 放電電圧	I_{OUT} > I_{TRIP}、ITIMER ↓	1.28	1.55	1.8	V
ΔV_{ITMR}/ I_{ITMR}	ITIMER 放電電圧と放電電流の比率		0.49	0.72	0.97	V/µA
短絡保護						
I_{FFT}	定常状態における固定高速トリップ スレッショルド	PG は High にアサート	24	44.1		A
I_{SFT}	スケーラブルな高速トリップ電流	R_{SFT_SEL} < 95kΩ、PG を High にアサート		I_{OC_BKP}		A
I_{SFT}	スケーラブルな高速トリップ電流	105kΩ < R_{SFT_SEL} < 195kΩ、PG を High にアサート		2.5 × I_{OCP}		A
I_{SFT}	スケーラブルな高速トリップ電流	205kΩ < R_{SFT_SEL} < 295kΩ、PG を High にアサート		2 × I_{OCP}		A
I_{SFT}	スケーラブルな高速トリップ電流	305kΩ < R_{SFT_SEL}、PG を High にアサート		1.5 × I_{OCP}		A
$I_{SFT(SAT)}$	スケーラブルな高速トリップ電流 (突入電流)	電源投入時、PGOOD は Low		2 × Istart-up ピーク		A
突入電流保護 (DVDT)						
I_{DVDT}	dVdt ピンの充電電流		1.5	2	3	µA
G_{DVDT}	dVdt ゲイン	0.4 V < V_{dVdt} < 2.4 V	22	25	28	V/V
R_{DVDT}	dVdt ピンから GND への放電抵抗			500		Ω
温度バランシング						
GHI						
$V_{GS(GHI)}$ 立ち上がり	GHI/PG がアサートされている時の G-S スレッショルド			7		V
$R_{ON(GHI)}$	GHI/PG がアサートされている時の Ron			18.6		mΩ
クイック出力放電 (QOD)						
I_{QOD}	クイック出力放電プルダウン電流	$V_{SD(R)}$ < V_{EN} < V_{UVLO}、0°C < Tj < 125°C、VIN = 51V	17	22	27	mA
温度センサ出力 (TEMP)						
G_{TMP}	温度センサ ゲイン	VIN = 51V		2.76		mV/°C
V_{TMP}	TEMP ピン出力電圧	T_J = 25°C、VIN = 51V	670	678	690	mV
I_{TMPSRC}	TEMP ピン ソース電流	VIN = 51V	93	119	144	µA

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

–40°C ≤ T_J ≤ +125°C、VIN = V_{DD} = 51V、OUT = オープン、R_{IMON} = 5.55kΩ、V_{IREF} = 1V、$\overline{FLT}$ = 33kΩ プルアップ ～ 3.3V、PGOOD = 33kΩ プルアップ ～ 3.3V、C_{OUT} = 10µF、C_{IN} = 10nF、dVdT = オープン、ITIMER = オープン。、$V_{EN/UVLO}$ = 2V、TEMP =オープン。 (全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{TMPSNK}	TEMP ピン シンク電流	VIN = 51V	7	10.1	13	µA
過熱保護 (OTP)						
TSD	絶対サーマル シャットダウン立ち上がりスレッショルド	T_J 立ち上がり、VIN = 51 V		150		°C
TSD_{HYS}	絶対サーマル シャットダウン ヒステリシス	T_J 立ち下がり、VIN = 51 V		13		°C
FET 正常性モニタ						
V_{DSFLT}	FET D-S 故障スレッショルド	SWEN = L、VIN = 51 V		0.5		V
V_{DSOK}	FET D-S 故障回復スレッショルド	SWEN = L、VIN = 51 V		0.65		V
シングル ポイント障害 (ILIM、IMON、IREF、ITIMER)						
I_{OC_BKP}	バックアップ過電流保護スレッショルド	IMON はグランドへ短絡		18		A

6.6 ロジック・インターフェイス

–40°C ≤ T_J ≤ +125°C、VIN = V_{DD} = 45V ～ 60V、OUT = オープン、R_{IMON} = 2.55kΩ、V_{IREF} = 1V、$\overline{FLT}$ = 33kΩ プルアップ ～ 3.3V、PGOOD = 33kΩ プルアップ ～ 3.3V、C_{OUT} = 10µF、C_{IN} = 10nF、dVdT = オープン、ITIMER = オープン。、$V_{EN/UVLO}$ = 2V、TEMP =オープン。 (全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
SWEN						
R_{SWEN}	SWEN ピン プルダウン抵抗	SWEN が Low にデアサート		6.2		Ω
$I_{SWENLKG}$	SWEN ピンのリーク電流	SWEN が high にアサート、5.5V にプルアップ			2	µA
故障表示 (FLTB)						
R_{FLTB}	FLTB ピン プルダウン抵抗	FLTB が Low にアサート		6.1		Ω
$I_{FLTBLKG}$	FLTB ピンのリーク電流	FLTB が High にデアサート、33kΩ で 3.3V にプルアップ			0.1	µA
パワー グッド表示 (PG)						
R_{PG}	PG ピン プルダウン抵抗	PG が Low にデアサート		6.3		Ω
I_{PGKG}	PG ピンのリーク電流	PG を High にアサート、33kΩ 経由で 3.3V にプルアップ			1.5	µA

6.7 タイミング要件

–40°C ≤ T_J ≤ +125°C、VIN = V_{DD} = 45V ～ 60V、OUT = オープン、R_{IMON} = 2.55kΩ、V_{IREF} = 1V、$\overline{FLT}$ = 33kΩ プルアップ ～ 3.3V、PGOOD = 33kΩ プルアップ ～ 3.3V、C_{OUT} = 10µF、C_{IN} = 10nF、dVdT = オープン、ITIMER = オープン。、$V_{EN/UVLO}$ = 2V、TEMP =オープン。 (全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{OVP}	過電圧保護応答時間	V_{OVP} > V_{OVPR} V から SWEN ↓		3		us
t_{Insdly}	挿入遅延	$V_{EN/UVLO}$ > $V_{UVLO(R)}$ から SWEN ↑		18		ms
t_{FFT}	固定高速トリップ応答時間ハード短絡	V_{DS} > V_{DSCOMP} ～ SWEN ↓		200		ns
t_{SFT}	スケーラブルな高速トリップ応答時間	I_{OUT} > 3 × I_{TRIP} ～ IOUT ↓		418		ns

Copyright © 2025 Texas Instruments Incorporated

6.7 タイミング要件 (続き)

–40°C ≤ T_J ≤ +125°C、VIN = V_{DD} = 45V ～ 60V、OUT = オープン、R_{IMON} = 2.55kΩ、V_{IREF} = 1V、$\overline{FLT}$ = 33kΩ プルアップ ～ 3.3V、PGOOD = 33kΩ プルアップ ～ 3.3V、C_{OUT} = 10µF、C_{IN} = 10nF、dVdT = オープン、ITIMER = オープン。、$V_{EN/UVLO}$ = 2V、TEMP =オープン。 (全電圧は GND 基準です、(特に記述のない限り))

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{ITIMER}	過電流ブランキング間隔	I_{OUT} = 1.5 × I_{TRIP}、C_{ITIMER} = オープン		0		ms
t_{ITIMER}	過電流ブランキング間隔	I_{OUT} = 1.5 × I_{TRIP}、C_{ITIMER} = 4.7nF		2.75		ms
t_{RST}	自動再試行間隔	自動再試行バリアント		841		ms
$t_{EN(DG)}$	EN/UVLO デグリッチ時間			10		us
t_{SU_TMR}	起動タイムアウト間隔	SWEN↑ から FLT↓		6.9		s
$t_{Discharge}$	QOD 放電時間 (V_{OUT} の 90% から 10%)	V_{SD} < $V_{EN/UVLO}$ < V_{UVLO}、C_{OUT} = 0.5 mF、V_{IN} = 51 V。		920		ms
t_{QOD}	QOD イネーブル タイマ	V_{SD} < $V_{EN/UVLO}$ < V_{UVLO}		16		µs

Copyright © 2025 Texas Instruments Incorporated

6.8 スイッチング特性

出力の立ち上がりスルー レートは内部的に制御され、動作電圧範囲の全体にわたって一定であるため、ターンオン タイミングが負荷条件の影響を受けないようにしています。立ち上がりスルー レートは、dVdt ピンとグランドの間に容量を追加することで調整できます。C_{dVdt} が大きくなると、立ち上がりスルー レート (SR) が低下します。詳細については、「スルー レートおよび突入電流制御 (dVdt)」セクションを参照してください。ただし、ターンオフ遅延時間と立ち下がり時間は負荷容量 (C_{OUT}) および負荷抵抗 (R_L) の RC 時定数に依存します。スイッチング特性は、電源が定常状態で利用可能で、デバイスがイネーブルになる前に負荷電圧が完全に放電されているパワーアップ シーケンスに対してのみ有効です。標準値は T_J = 25℃ 時に測定 (特に記述のない限り)。V_{IN} = 51V、R_{OUT} = 2000Ω、C_{OUT} = 1mF

パラメータ		C_{dvdt} = オープン	C_{dVdt} = 22nF	C_{dVdt} = 68nF	単位
SR_{ON}	出力立ち上がりスルー レート	0.180	0.163	0.155	V/ms
$t_{D,ON}$	ターン オン遅延	22.6	24	24.27	ms
t_R	立ち上がり時間	227.3	245.6	146.15	ms
t_{ON}	ターンオン時間	249.6	269	270.5	ms

Copyright © 2025 Texas Instruments Incorporated

6.9 代表的特性

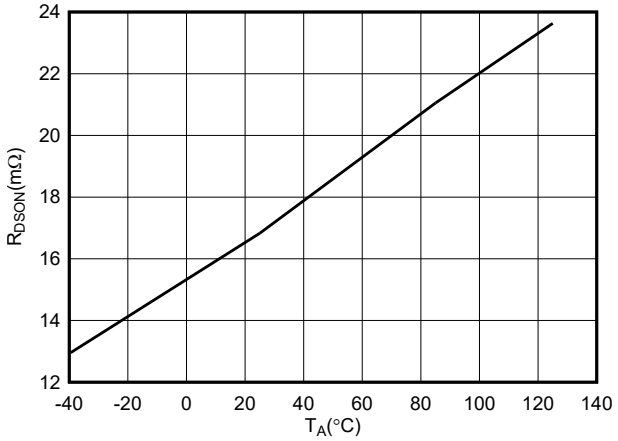


図 6-1. オン抵抗と温度との関係

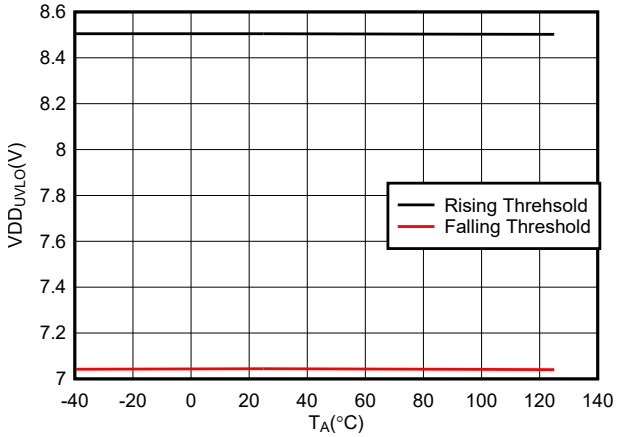


図 6-2. VDD の低電圧スレッショルドと温度との関係

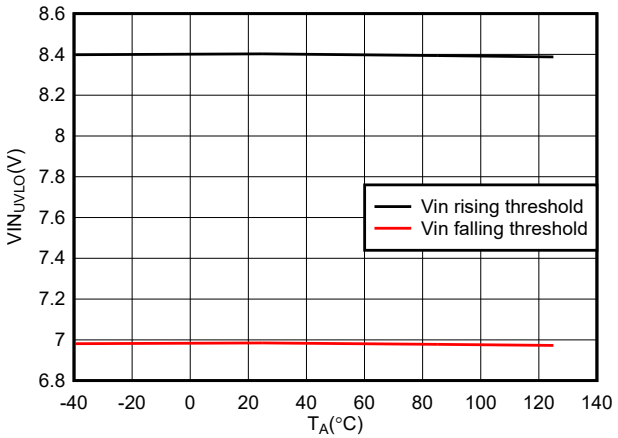


図 6-3. VIN の低電圧スレッショルドと温度との関係

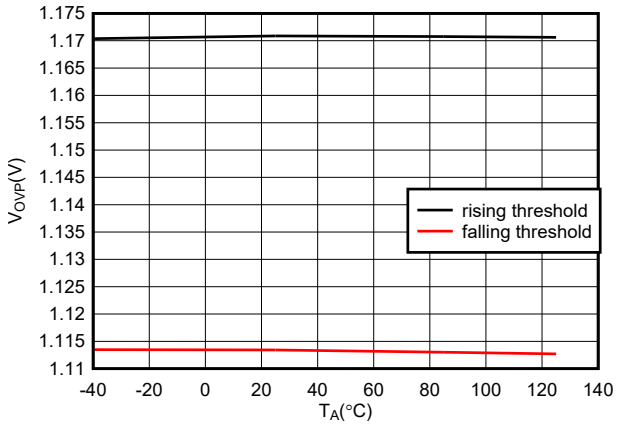


図 6-4. 過電圧保護スレッショルドと温度との関係

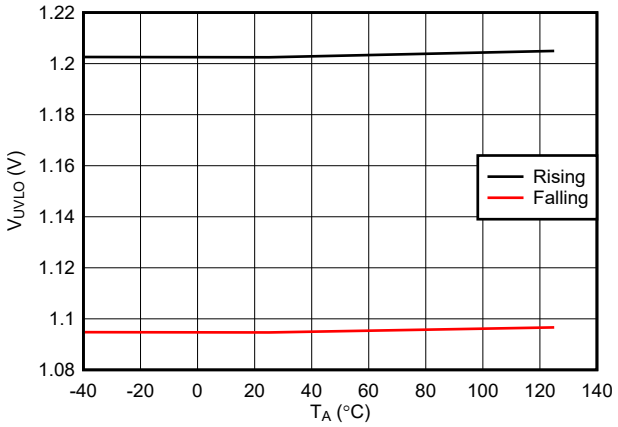


図 6-5. EN ベースのシャットダウン (VSD) スレッショルドと温度との関係

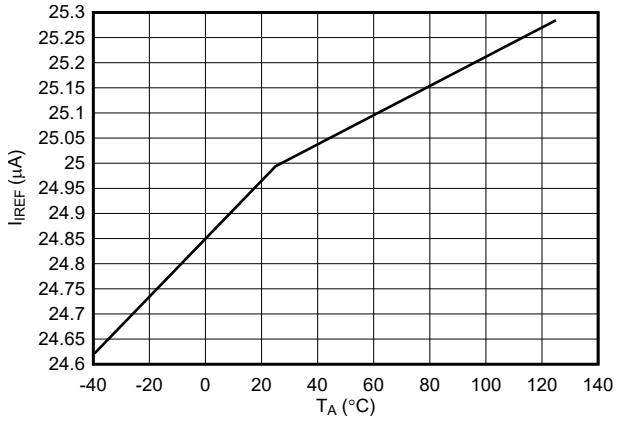


図 6-6. 温度範囲にわたる IREF 充電電流

6.9 代表的特性 (続き)

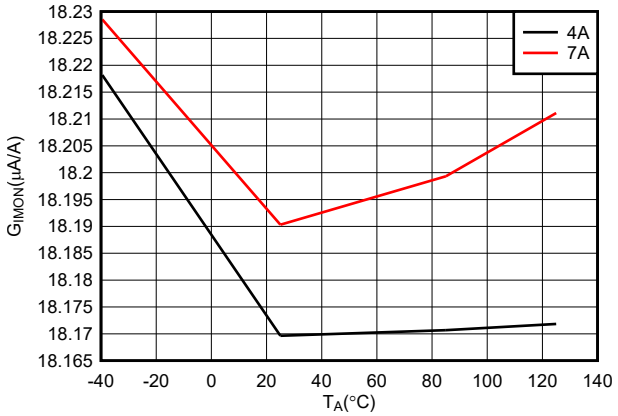


図 6-7. IMON ゲインと温度との関係

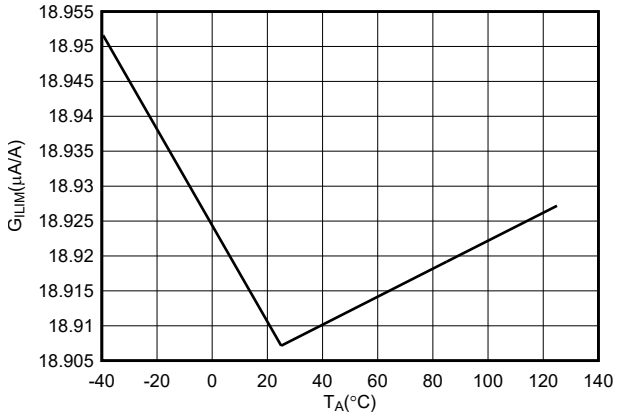


図 6-8. ILIM ゲインと温度との関係

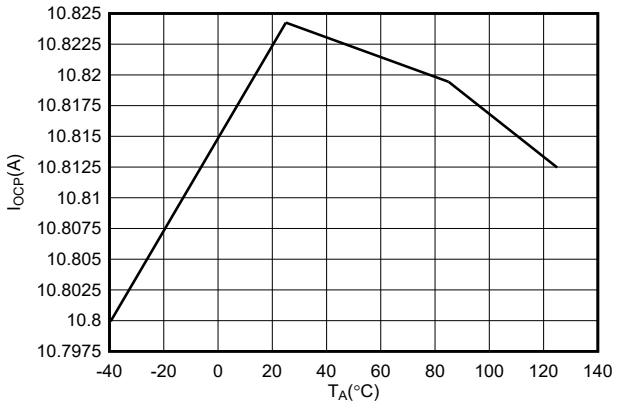


図 6-9. 定常状態の過電流保護スレッショルドと温度との関係

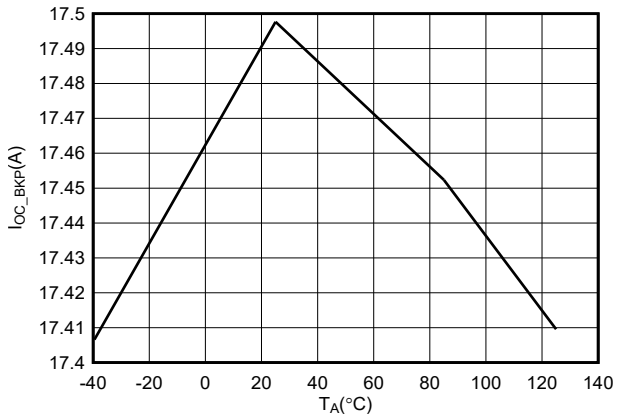


図 6-10. バックアップ時の過電流保護スレッショルドと温度との関係

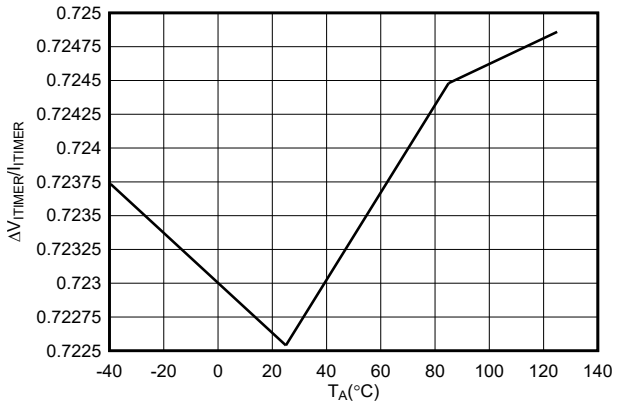


図 6-11. ITIMER ピン放電差動電圧と ITIMER ピン電流に対する比 (ΔV_{ITMR} / I_{ITMR}) と温度との関係

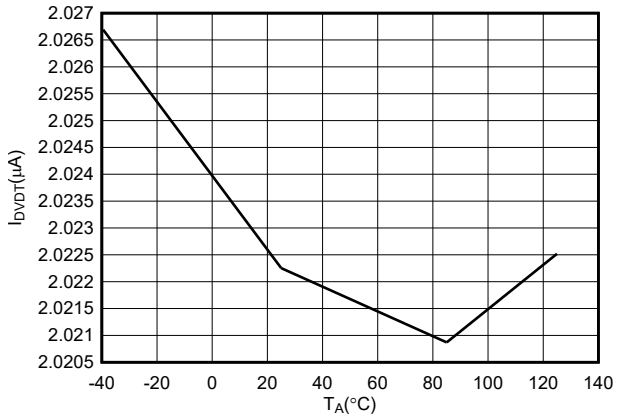


図 6-12. DVDT 充電電流と温度との関係

Copyright © 2025 Texas Instruments Incorporated

6.9 代表的特性 (続き)

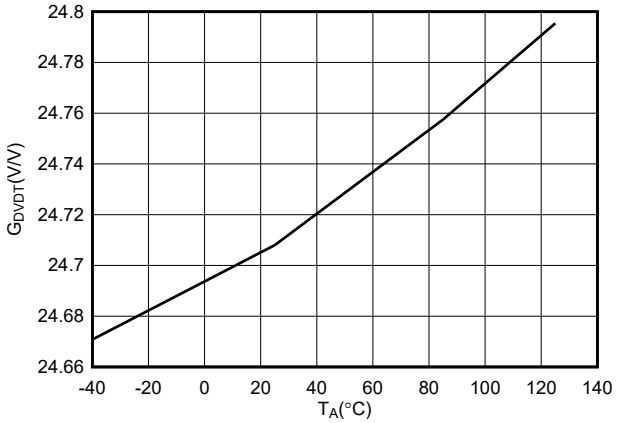


図 6-13. DVDT ゲインと温度との関係

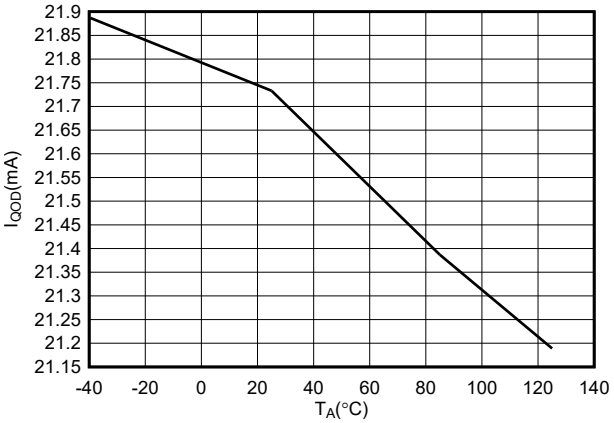


図 6-14. QOD の放電電流と温度との関係

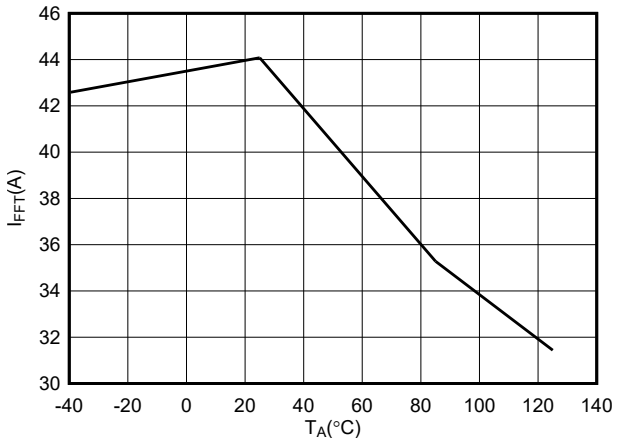


図 6-15. 固定高速トリップ (FFT) スレッショルドと温度との関係

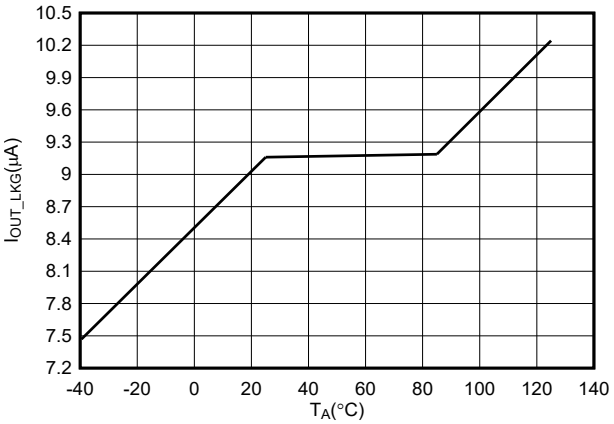


図 6-16. EN = Low かつ VIN > VIN_{UVLO} の場合の出力リーケージと温度との関係

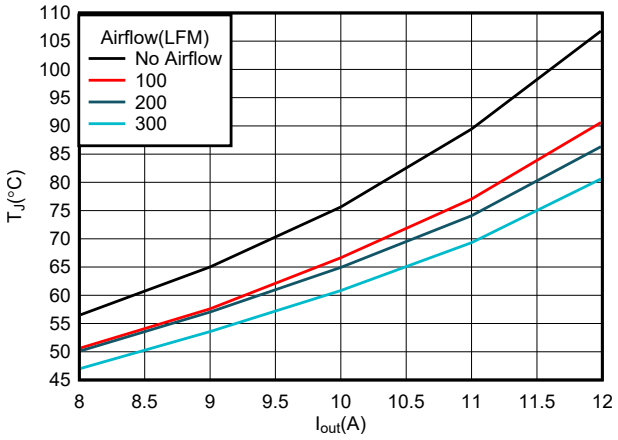


図 6-17. 接合部温度と負荷電流 (T_A = 25°C、エアフローあり/なし)

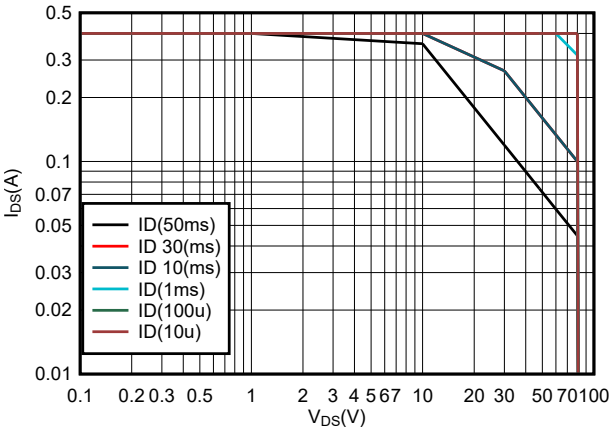


図 6-18. 起動時の許容動作領域 (AOA)

Copyright © 2025 Texas Instruments Incorporated

6.9 代表的特性 (続き)

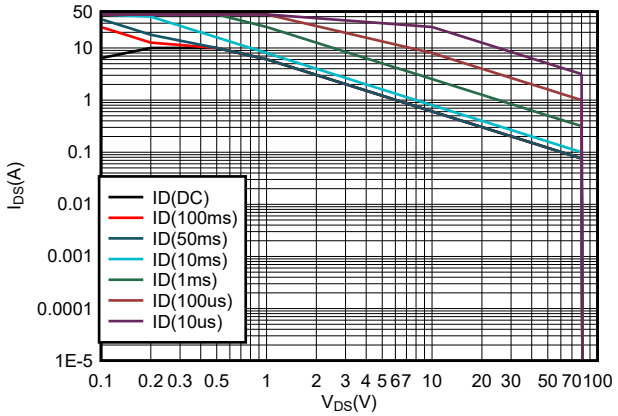
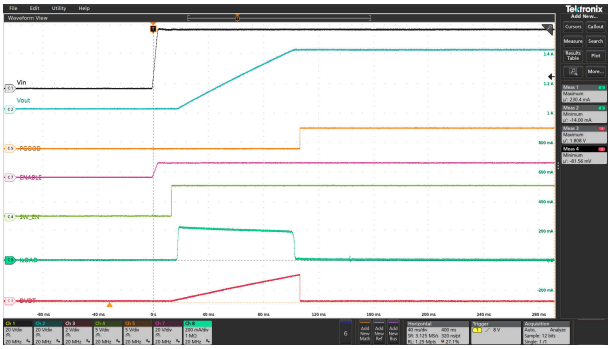
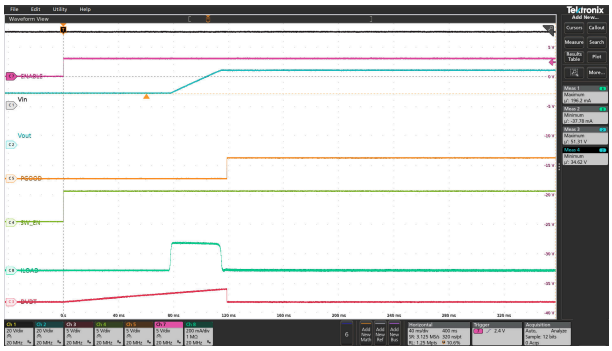


図 6-19. 定常状態の許容動作領域 (AOA)



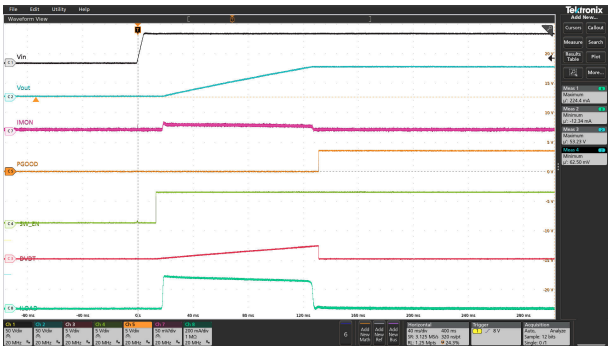
入力電源は、適切な抵抗分圧器で EN を High にプルし、C_{DVDT} = 100nF、C_{OUT} = 470µF を最大 40V まで上昇

図 6-20. EN が抵抗経由で VIN に接続されている状態で入力電源を使用した起動シーケンシング



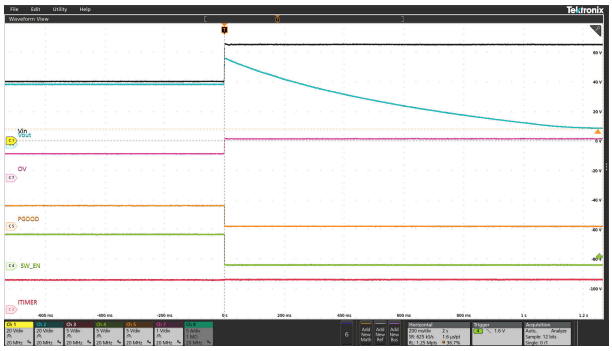
入力電源を 54V で定常状態に保持し、EN/UVLO ピンを high に切り替え。C_{DVDT} = 100nF、C_{OUT} = 470µF

図 6-21. EN/UVLO ピンによる電源オン



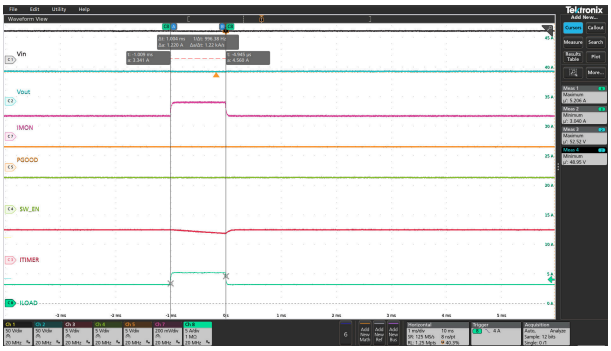
入力電源:51V、C_{OUT} = 470µF、C_{dVdt} = 100nF

図 6-22. 容量性負荷による突入電流制御



入力電源が OVP しきい値の 58V から 66V を超えて上昇します。

図 6-23. 入力過電圧保護応答

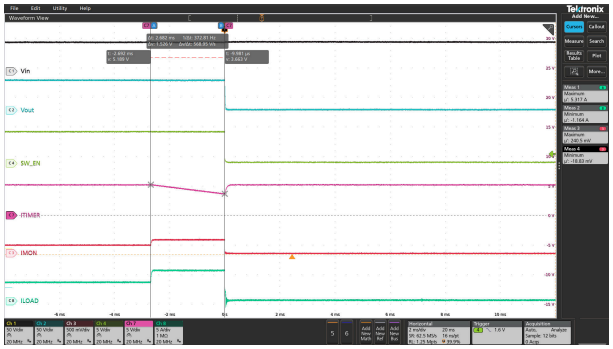


I_{OCP} = 5A、t_{ITIMER} = 2.6ms、I_{OUT} は、I_{OCP} スレッショルドを超える 1ms の短い期間パルスを発生し、これは回路遮断器の応答をトリガーしない T_{ITIMER} よりも短い期間です。

図 6-24. 過渡過電流ブランキングを使用したピーク電流サポート

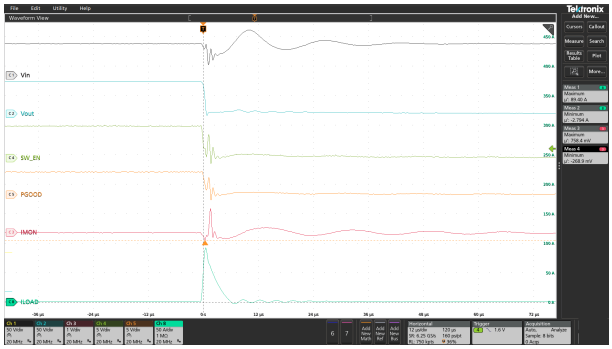
Copyright © 2025 Texas Instruments Incorporated

6.9 代表的特性 (続き)



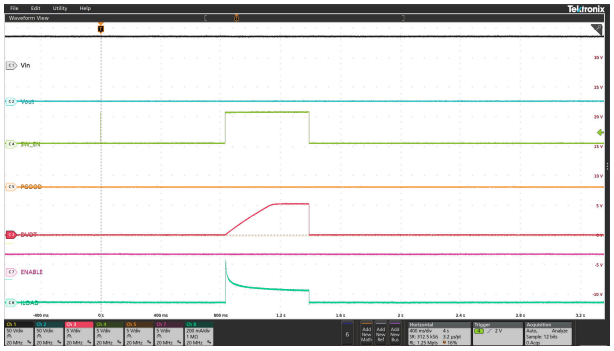
I_{OCP} = 5A、t_{ITIMER} = 2.6ms、I_{OUT} はサーキット ブレーカ応答をトリガするため、I_{OCP} スレッショルドを維持し続けます

図 6-25. 過電流保護応 答 (サーキット ブレーカ)



定常状態の GND への出力ハード短絡。I_{OUT} が 2 × I_{OCP} を上回ると、高速トリップ応答がトリガされます

図 6-26. 短絡保護応答



出力を GND にハード短絡した状態で本デバイスをオンにします。デバイスはフォールドバックで電流を制限します。

図 6-27. 短絡時の電源立ち上げ

7 詳細説明

7.1 概要

TPS1686x は、負荷電圧と負荷電流を管理するために使用されるパワー スイッチ内蔵 eFuse です。デバイスは、VDD と IN バスを監視して、動作を開始します。V_{DD} および V_{IN} がそれぞれの低電圧保護 (UVP) スレッショルドを超えた場合、デバイスは挿入遅延タイマ期間を待機して、起動前に電源が安定するようにします。次に、デバイスは EN/UVLO ピンをサンプリングします。このピンが High レベルになると、内部 MOSFET が導通し始め、電流が IN から OUT に流れます。EN/UVLO が Low に保持されると、内部 MOSFET がオフになります。

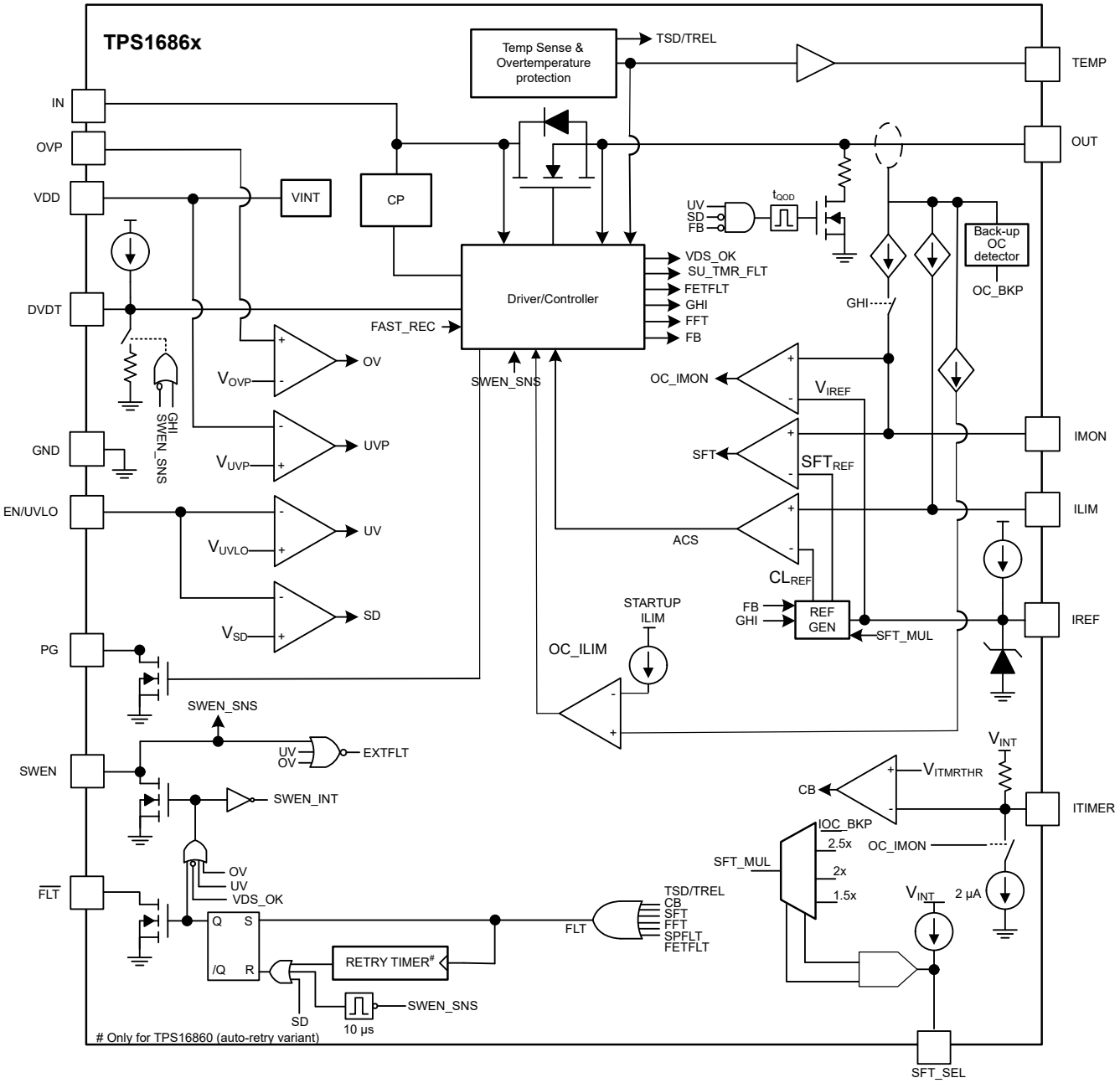
起動シーケンスが成功した後、TPS1686x デバイスは負荷電流と入力電圧をアクティブに監視し、内部 FET を制御して、ユーザーが調整可能な過電流スレッショルド制限 I_{OCP} を超過しておらず、V_{IN} の過電圧スパイクがカットオフされていることを確認します。これにより、有害なレベルの電圧や電流からシステムを安全な状態に保つことができます。同時に、ユーザーが調整可能な過電流ブランキング タイマを使用すると、システムは eFuse をトリップせずに、負荷電流の過渡ピークに対応できます。同様に、電源ラインの電圧過渡は、不要なトリップを防止するためにインテリジェントにマスクされます。これにより、過渡耐性のある実際の故障に対する堅牢な保護設計が維持されるため、システムの稼働時間を最大限に延ばすことができます。

このデバイスには高精度で高帯域幅のアナログ負荷電流モニタが内蔵されているため、システムは定常状態と過渡時に負荷電流を正確に監視できます。これにより、高度な動的プラットフォーム パワー マネージメント手法を容易に実装でき、安全性や信頼性を損なうことなく、システムの電力使用率とスループットを最大化できます。

デバイスには推奨動作条件の下でデバイスの安全性と信頼性を確保するため、保護回路が内蔵されています。サーマル シャットダウン メカニズムを使用して常に内部 FET が保護されています。この機能により、接合部温度 (Tj) が過熱しすぎると FET がオフになります。

Copyright © 2025 Texas Instruments Incorporated

7.2 機能ブロック図


TPS1686x
Temp Sense & Overtemperature protection
TSD/TREL
TEMP
IN
OVP
VDD
VINT
CP
OUT
DVDT
Driver/Controller
VDS_OK
SU_TMR_FLT
FETFLT
GHI
FFT
FB
FAST_REC
SWEN_SNS
UV
SD
FB
tQOD
Back-up OC detector
OC_BKP
GHI
VOVP
OV
VUVP
UVP
GND
EN/UVLO
VUVLO
UV
VSD
SD
OC_IMON
VIREF
SFT
SFTREF
IMON
ILIM
ACS
CLREF
STARTUP ILIM
FB
GHI
REF GEN
SFT_MUL
IREF
PG
OC_ILIM
SWEN_SNS
SWEN
UV
OV
EXTFLT
SWEN_INT
VINT
VITMRTHR
CB
ITIMER
IOC_BKP
2.5x
2x
1.5x
OC_IMON
SFT_MUL
VINT
2 µA
FLT
OV
UV
VDS_OK
Q
S
/Q
R
RETRY TIMER#
SD
SWEN_SNS
10 µs
TSD/TREL
CB
SFT
FFT
SPFLT
FETFLT
FLT
Only for TPS16860 (auto-retry variant)
SFT_SEL

7.3 機能説明

TPS1686x eFuse は、小型で機能豊富高な電力管理デバイスであり、システム故障発生時の検出、保護、および表示報告を行います。

7.3.1 低電圧保護

TPS1686x は、印加された電圧が低くなりすぎてシステムまたはデバイスが正常に動作できない場合に備えて、VDD および VIN に低電圧誤動作防止を実装しています。低電圧誤動作防止には、VDD に対して内部的に V_{UVP} 、V_{IN} に対して V_{UVPIN} というデフォルトのロックアウト スレッショルドがあります。また、EN/UVLO ピンに UVLO コンパレータを搭載しているため、外部から低電圧保護スレッショルドをユーザー定義の値に調整することもできます。下記の図および式に、抵抗デバイダを使用して、特定の電源電圧に対して UVLO 設定ポイントを設定する方法を示します。

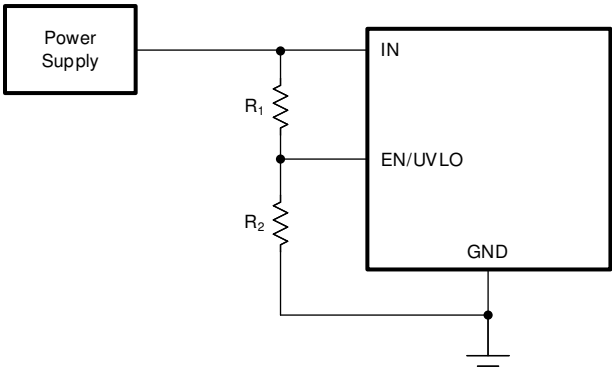


図 7-1. 可変低電圧保護

$$V_{IN(UV)} = V_{UVLO(R)}\frac{R_1 + R_2}{R_2} \quad (1)$$

EN/UVLO ピンには 2 レベルのスレッショルドが実装されています。

1. $V_{EN} > V_{UVLO(R)}$: デバイスは完全にオンです。
2. $V_{SD(F)} < V_{EN} < V_{UVLO(F)}$: 一部の重要なバイアスとデジタル回路を除き、FET とほとんどのコントローラ回路がオフになります。EN/UVLO ピンをこの状態に t_{QOD} を超える時間保持すると、出力放電機能が起動します。
3. $V_{EN} < V_{SD(F)}$: 部品内のすべてのアクティブ回路がオフになり、デバイスはデジタル状態メモリを保持しません。この回路はラッチされたフォルトもリセットされます。この状態では、デバイスの静止時消費電流は最小限に抑えられます。

7.3.2 挿入遅延

TPS1686x は、デバイスがオンにしようとする前に、電源が安定したことを確認するため、スタートアップ時に挿入遅延を実装しています。これは、カードがバックプレーンにしっかりと接触していないときにデバイスが電源投入しようとした場合、または起動時に電源のリンギングや発振が発生した場合に、システムで予期しない動作が発生するのを防ぐためです。

デバイスは最初に、VDD 電源が UVP スレッショルドを上回り、すべての内部バイアス電圧が安定するまで待機します。その後、EN/UVLO ピンの状態に関係なく、T_{Insdly} の追加遅延の間、デバイスはオフに維持されます。

7.3.3 過電圧保護

TPS1686x は過電圧ロックアウト機能を実装しており、入力過電圧状態から負荷を保護します。過電圧設定ポイントを外部で設定するには、OVP ピンに抵抗デバイダを接続する必要があります。このデバイスは、IN ピンの $V_{OVPR(IN)}$ V における固定の内部 OV 保護機能も備えています。

Copyright © 2025 Texas Instruments Incorporated

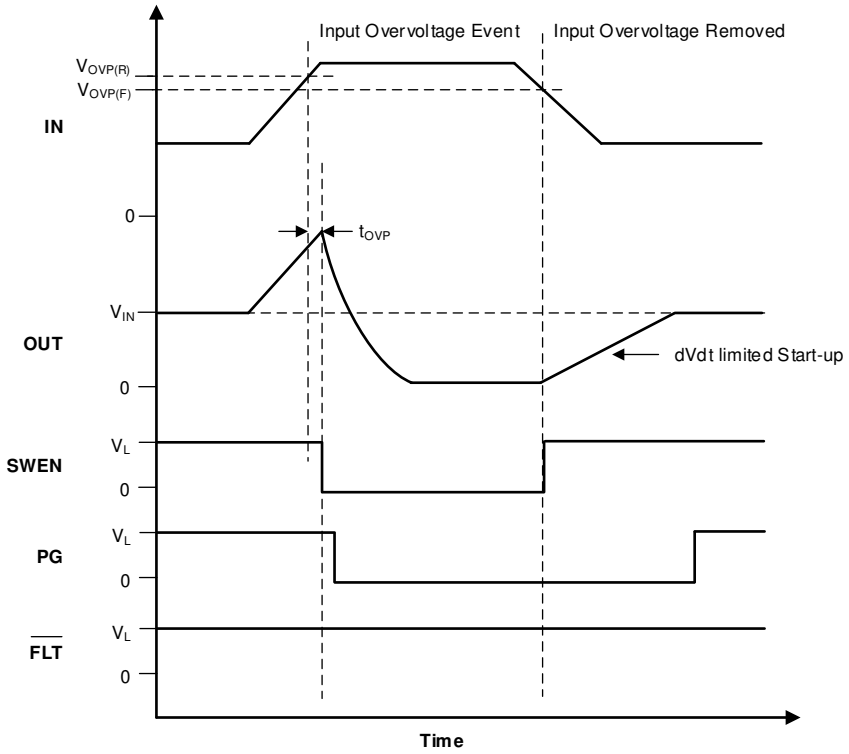


図 7-2. 入力過電圧保護応答

7.3.4 突入電流、過電流、および短絡保護

TPS1686x には、過電流に対する 4 つのレベルの保護が組み込まれています。

1. 突入電流制御のための調整可能なスルー レート (dVdt)。
2. 固定電流制限 (スルー レート電流が大きすぎる場合に、起動時の過電流保護のための $I_{START-UP}$)。
3. 過熱から保護するために、スタートアップ時の電流のフォールドバックが開始されます。
4. 定常状態での過電流保護のための、調整可能なスレッショルド (I_{OCP}) とブランキング タイマ (t_{ITIMER}) を備えた回路ブレーカ。
5. 深刻な短絡から迅速に保護するための調整可能なスレッショルド (I_{SFT} = SFT_MUL × I_{OCP})、および定常状態では固定スレッショルド (I_{FFT}) を備えた、深刻な過電流故障に対する高速トリップ応答。SFT の乗数 (SFT_MUL) は、SFT_SEL ピンの抵抗によって選択されます。

7.3.4.1 スルー レート (dVdt) および突入電流制御

ホットプラグ イベント時や大きな出力容量の充電中に、大きな突入電流が発生する可能性があります。突入電流を適切に管理しないと、突入電流により入力コネクタが損傷し、システム電源が低下する可能性があります。この動作により、システム内の他の場所で予期しない再起動が発生する可能性があります。ターンオン時の突入電流は、負荷容量と立ち上がりスルーレートに正比例します。式 2 を使用して、与えられた負荷容量 (C_{LOAD}) について突入電流 (I_{INRUSH}) を制限するのに必要なスルーレート (SR) を計算できます。

$$SR(V/ms) = \frac{I_{INRUSH}(A)}{C_{LOAD}(mF)} \quad (2)$$

DVDT ピンにコンデンサを追加することで、立ち上がりスルーレートを制御し、ターンオン時の突入電流を低減できます。特定のスルー レートを生成するために必要な CdVdt 容量は、式 3 を使用して計算できます。

$$C_{DVDT}(nF) = \frac{50}{SR(V/ms)} \quad (3)$$

Copyright © 2025 Texas Instruments Incorporated

dVdt ピンをオープンのままにし、最も高速な出力スルーレートを実現できます。

注

1. 高い入力スルー レートと高い入力パワー パスのインダクタンスの組み合わせにより、起動時に発振が発生する場合があります。これは、次の 1 つまたは複数の手順を使用して軽減できます。
   a. 入力インダクタンスを小さくする。
   b. VIN ピンの容量を増やす。
   c. dVdt ピンの容量を増やして、スルー レートを下げたり、スタートアップ時間を長くしたりします。

7.3.4.1.1 スタートアップ タイムアウト

スタートアップが完了しない場合、つまり、SWEN がアサートされた後、特定のタイムアウト間隔 (t_{SU_TMR}) 内に FET が完全にオンにならない場合、デバイスはそれを故障として登録します。$\overline{FLT}$ は Low にアサートされ、デバイスはデバイス設定に応じてラッチオフまたは自動リトライモードに移行します。

7.3.4.2 定常状態の過電流保護 (サーキット ブレーカ)

TPS1686x は、定常状態時の出力過電流状態に応答して、ユーザーが調整可能な過渡故障ブランキング間隔の後に回路ブレーカ動作を実行します。この動作により、デバイスは短いユーザー定義間隔でより高いピーク電流をサポートできるだけでなく、持続的な出力障害が発生した場合にも堅牢な保護が提供されます。

このデバイスは出力負荷電流を継続的に検出し、負荷電流に比例するアナログ電流出力 (I_{IMON}) を IMON ピンに提供します。これにより、式 4 に従って IMON ピン抵抗 (R_{IMON}) の両端に比例電圧 (V_{IMON}) が生成されます。

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \quad (4)$$

ここで、G_{IMON} は電流モニタ ゲインです (I_{IMON}: I_{OUT})

この電圧を基準となる IREF ピンの電圧と比較することで、過電流状態が検出されます。リファレンス電圧 (V_{IREF}) は 2 つの方法で制御でき、それに応じて過電流保護スレッショルド (I_{OCP}) を設定します。

- 内部電流源が外部の IREF ピン抵抗 (R_{IREF}) と相互作用して、基準電圧を生成します。式 5 に示すように、低インピーダンス リファレンス電圧から IREF ピンを駆動することも可能です。

$$V_{IREF} = I_{IREF} \times R_{IREF} \quad (5)$$

定常状態 (I_{OCP}) 時の過電流保護スレッショルドは、式 6 を使用して計算できます。

$$I_{OCP} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \quad (6)$$

過電流状態、つまり負荷電流がプログラムされた電流制限スレッショルド (I_{OCP}) を上回るが、短絡スレッショルド (I_{SFT}) を下回る状態が検出されると、デバイスは内部プルダウン電流を使用して ITIMER ピン コンデンサの放電を開始します。ITIMER コンデンサが ΔV_{ITIMER} によって放電される前に、負荷電流が電流制限スレッショルドを下回ると、ITIMER は内部で電圧を V_{INT} までプルアップされ、サーキット ブレーカ動作は開始されません。この動作により、短い過負荷過渡パルスが回路をトリップせずにデバイスを通過できるようになります。過電流状態が続く場合、ITIMER コンデンサは放電を継続し、コンデンサが ΔV_{ITIMER} によって低下すると、サーキットブレーカの動作により FET が直ちにオフになります。同時に、ITIMER コンデンサは再度 V_{INT} まで充電されるため、次の過電流イベントの前にデフォルト状態になります。このアクションれにより、すべての過電流イベントに対して、完全なブランキング タイマ間隔が提供されていることを確認します。式 7 を使用して、目的の過電流スレッショルドに対する R_{IMON} 値を計算できます。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP}} \quad (7)$$

Copyright © 2025 Texas Instruments Incorporated

過渡を許容する時間は、ITIMER ピンとグランドの間の適切なコンデンサ値を使用して調整できます。過渡過電流ブランキング期間は、式 8 を使用して計算できます。

$$t_{ITIMER}(ms) = \frac{C_{ITIMER}(nF) \times \Delta V_{ITIMER}(V)}{I_{ITIMER}(\mu A)} \quad (8)$$

注

1. ITIMER ピンをオープンのままにすると、本デバイスが最小限の遅延で回路を切断できるようになります。ただし、これにより、サーキット ブレーカの応答がノイズの影響を非常に受けやすくなり、負荷過渡時に誤トリップが発生する可能性があります。
2. ITIMER ピンをグランドに短絡すると、過電流応答遅延は最小になります (ITIMER ピンの開放状態と同様)が、静止電流は増加します。ただし、推奨動作モードではありません。
3. ITIMER コンデンサの値を増やすと、過電流ブランキング期間が延長されます。ただし、この値は、次の過電流イベント前に、ITIMER コンデンサが V_{INT} まで再充電するのに必要な時間も延長されます。ITIMER コンデンサが完全に再充電される前に次の過電流イベントが発生した場合、VITIMER スレッショルドまで放電するのに要する時間が短いため、意図したよりも短いブランキング間隔が得られます。

図 7-3 に、TPS1686x eFuse の過電流応答を示します。回路ブレーカの故障により部品がシャットダウンした後、デバイスはラッチ オフ状態を維持するか (TPS16860 バリアント)、または固定遅延後に自動的に再起動します (TPS16861 バリアント)。

Copyright © 2025 Texas Instruments Incorporated

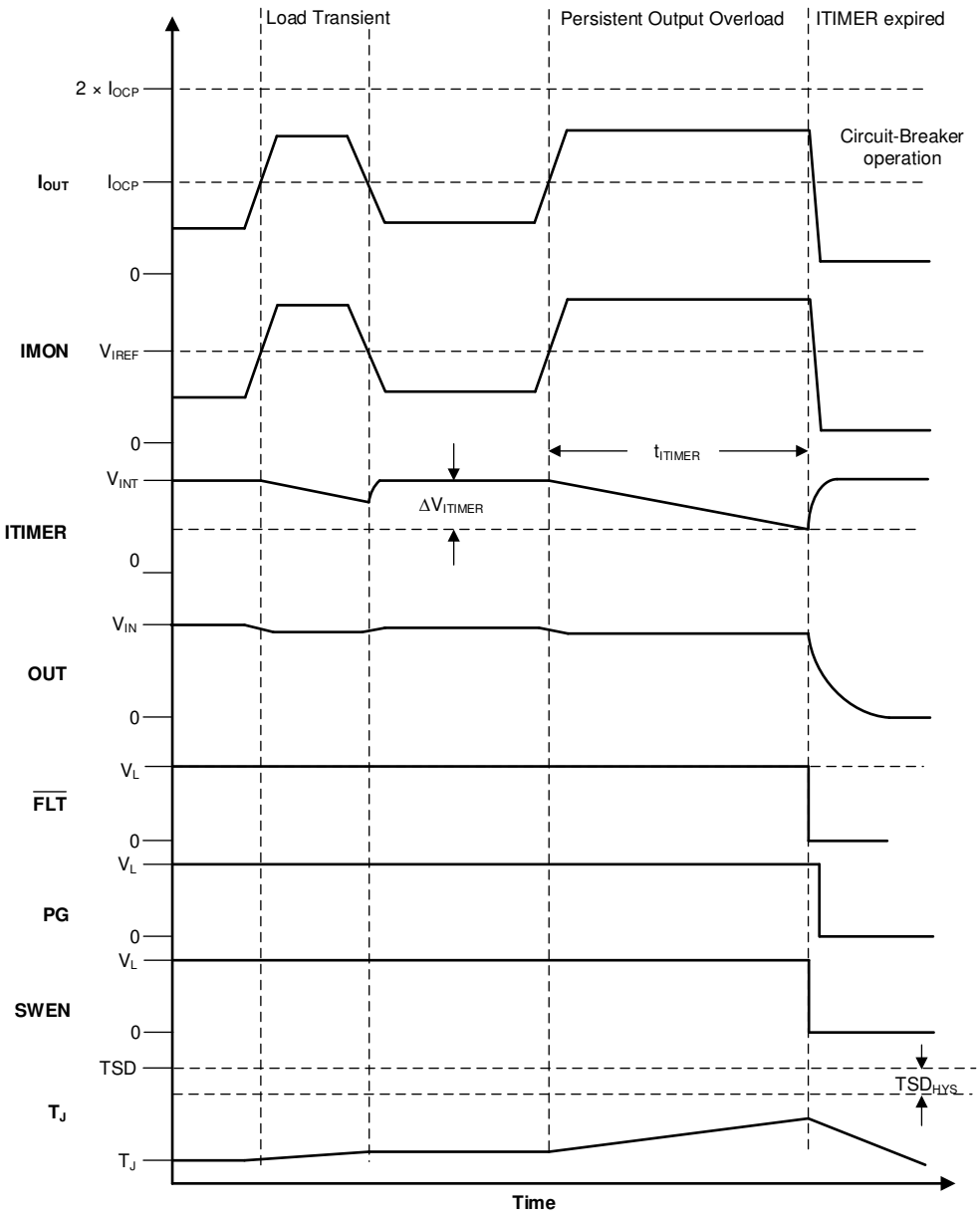


図 7-3. 定常状態の過電流 (回路ブレーカ) 応答

7.3.4.3 起動時のアクティブ電流制限

TPS1686x は、起動時に出力過電流状態に応答し、電流をアクティブに制限します。起動電流制限は、内部で $I_{start-up}$ に固定されています。

電流レギュレーション中、出力電圧降下により FET 全体のデバイス消費電力が増加します。デバイスの内部温度 (T_J) がサーマル シャットダウン スレッショルド (TSD) を超えると、FET がオフになります。TSD の故障により部品がシャットダウンした後、デバイスはラッチ オフ状態を維持するか (TPS16861 バリアント)、または固定遅延後に自動的に再起動します (TPS16860 バリアント)。過熱に対するデバイスの応答の詳細については、*「過熱保護」*のセクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

注

アクティブ電流制限ブロックは、起動時に出力電圧 (V_{OUT}) に基づくフォールドバック機構を採用します。V_{OUT} がフォールドバック スレッショルド (V_{FB}) を下回ると、電流制限スレッショルドはさらに低下します。

7.3.4.4 短絡保護

出力短絡発生中は、本デバイスを流れる電流が非常に急速に増加します。出力短絡が検出されると、内部高速トリップ コンパレータは高速保護シーケンスをトリガし、電流がそれ以上蓄積して損傷や過剰な入力電源ドループが発生するのを防止します。高速トリップ コンパレータは、定常状態時にスケーラブルなスレッショルド (I_{SFT}) を採用します。I_{SFT} は SFT_SEL ピンの抵抗によって選択できます。これにより、ユーザーはすべてのシステムに適しているとは限らない高い固定スレッショルドを使用する代わりに、システム定格に従って高速トリップ スレッショルドを調整できるようになります。電流が高速トリップ スレッショルドを超えると、TPS1686x は t_{SFT} 以内に FET をオフにします。また、このデバイスは、より高い固定高速トリップ スレッショルド (I_{FFT}) を採用して、定常状態時 (リニア領域の FET) のハード短絡に対する高速保護を実現します。電流が I_{FFT} を超えると、FET は t_{FFT} 内で完全にオフになります。

表 7-1. SFT_SEL ピンの抵抗に基づくデバイスの機能モード

I_{SFT_SEL}	SFT_SEL ピン
I_{OC_BKP}	R_{SFT_SEL} <95kΩ
2.5 x I_{OCP}	105kΩ < R_{SFT_SEL} < 195kΩ
2 xI_{OCP}	205kΩ < R_{SFT_SEL} < 295kΩ
1.5 xI_{OCP}	305kΩ < R_{SFT_SEL}

7.3.5 アナログ負荷電流モニタ (IMON)

TPS1686x では、FET を流れる電流に比例したアナログ電流を IMON ピンに供給することで、システムが出力負荷電流を正確に監視できるようになります。電流出力の利点は、隣接するパターンからの電圧降下やノイズの結合による大きな誤差を発生させずに、信号を基板全体に配線できることです。IMON 信号は、監視ポイントで抵抗を介して電圧を降下させることで電圧に変換できます。ユーザーは、R_{IMON} の全体で電圧 (V_{IMON}) を検出し、式 9 を使用して出力負荷電流の測定値を取得できます。

$$I_{OUT} = \frac{V_{IMON}}{G_{IMON} \times R_{IMON}} \quad (9)$$

TPS1686x IMON 回路は、基板レイアウトやその他のシステム動作条件に関係なく、負荷や温度の条件にわたって高帯域と高精度を実現するように設計されています。この設計では、IMON 信号を Intel PSYS または PROCHOT# などの高度な動的プラットフォーム パワー マネジメント手法に使用して、安全性や信頼性を犠牲にすることなく、システムの消費電力とプラットフォームのスループットを最大化できます。

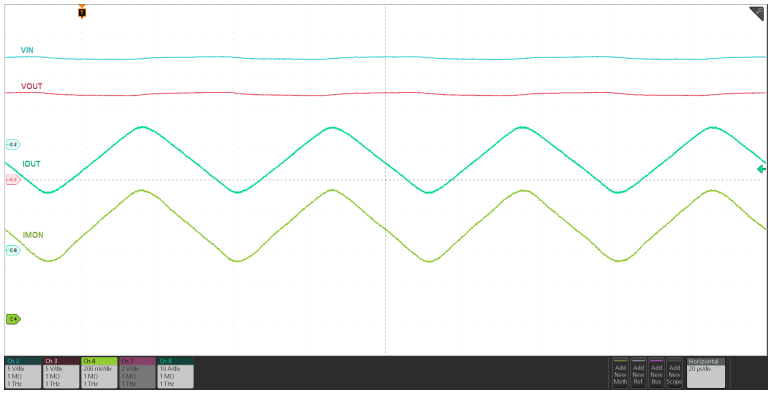


図 7-4. アナログ負荷電流モニタ応答

注

1. IMON ピンは、定常状態時にのみ負荷電流監視情報を提供します。突入電流時、IMON ピンはゼロ負荷電流を報告します。
2. ILIM ピンはデバイス負荷電流を常に報告するため、デバイスのアナログ負荷電流モニタとしても使用できます。
3. 過電流および短絡保護タイミングへの影響を避けるため、IMON と ILIM の寄生容量を最小限に抑えるように注意する必要があります。

7.3.6 スイッチ イネーブル ピン (SWEN)

SWEN ピンは、FET をオンにする必要がある場合に high に駆動される信号です。SWEN ピンを low (内部または外部) に駆動すると、このピンは、ドライバ回路に FET をオフにするよう信号が送信されます。

表 7-2. SWEN のまとめ

デバイスの状態	FET ドライバ ステータス	SWEN
定常状態	オン	H
突入電流	オン	H
過熱シャットダウン	OFF	L
自動再試行タイマが動作しています	OFF	L
低電圧 (EN/UVLO)	OFF	L
低電圧 (VDD UVP)	OFF	L
低電圧 (VIN UVP)	OFF	L
挿入遅延	OFF	L
過電圧誤動作防止 (VIN OVP)	OFF	L
過渡過電流	オン	H
回路ブレーカ (持続的な過電流後に ITIMER 満了)	OFF	L
高速トリップ	OFF	L
フォルト応答のモノラル ショット実行	OFF	L
フォルト応答のモノラル ショットの期限切れ	オン	H
ILM ピン オープン (起動時)	OFF	L
ILM ピン短絡 (起動時)	OFF	L
ILM ピン オープン (定常状態)	OFF	L
ILM ピン短絡 (定常状態)	OFF	L
FET 正常性故障	OFF	L

注

1. SWEN は弱い内部プルアップを備えていますが、必要があれば、抵抗を使用して eFuse の入力から生成された外部安定電源にプルアップできます。

Copyright © 2025 Texas Instruments Incorporated

7.3.7 アナログ接合部温度モニタ (TEMP)

このデバイスを使用すると、システムはダイの温度に比例するアナログ電圧を TEMP ピンに供給することで、接合部温度 (T_J) を正確に監視できます。この電圧は、 デジタル遠隔測定 (テレメトリ) 機能を使用して、ホスト コントローラまたは eFuse の ADC 入力に接続できます。マルチデバイス並列構成では、すべてのデバイスの TEMP 出力を相互接続できます。この構成では、チェーン内で最も高温のデバイスの温度が TEMP 信号により報告されます。

7.3.8 過熱保護

TPS1686x は、安全に動作するために、内部 FET が過熱した場合にデバイスを保護する、内部サーマル シャットダウン メカニズムを採用しています。TPS16860 は熱的過負荷を検出すると、デバイスはシャットダウンし、デバイスの電源をオフにして再サイクルするか再度イネーブルにするまで、ラッチオフ状態を維持します。TPS16861 が熱的過負荷を検出すると、デバイスは、温度が十分に下がるまでオフに維持されます。その後、デバイスは t_{RST} の追加の遅延時間オフのまま維持され、その後デバイスがイネーブルのままなら、デバイスは自動的にオンを試みます。

表 7-3. 過熱保護のまとめ

デバイス	TSD 開始	TSD 終了
TPS16861 (ラッチオフ)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ VDD が 0V にサイクルされ、$V_{UVP(R)}$ を上回る、または EN/UVLO が $V_{SD(F)}$ より低くトグルされる
TPS16860 (自動再試行)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ t_{RST} タイマが満了する、VDD が 0V にサイクルされ、$V_{UVP(R)}$ を上回る、または EN/UVLO が $V_{SD(F)}$ より低くトグルされる

7.3.9 フォルト応答および表示 (FLT)

表 7-4 は、各種故障条件に対するデバイスの応答をまとめたものです。

表 7-4. 故障のまとめ

イベントまたは状態	デバイスの応答	内部でラッチされた故障	FLT ピンのステータス	DELAY
定常状態	なし	該当なし	H	
突入電流	なし	該当なし	H	
過熱	シャットダウン	Y	L	
低電圧 (EN/UVLO)	シャットダウン	N	H	
低電圧 (VDD UVP)	シャットダウン	N	H	
低電圧 (VIN UVP)	シャットダウン	N	H	
過電圧 (VIN OVP)	シャットダウン	N	H	
過渡過電流	なし	N	H	
持続的な過電流 (定常状態)	回路ブレーカ	Y	L	t_{ITIMER}
持続的な過電流 (起動時)	電流制限	N	L	
短絡	高速トリップ	Y	L	t_{FT}
IMON ピン オープン (定常状態)	シャットダウン	Y	L	
IMON ピン短絡 (定常状態)	シャットダウン (I_{OUT} > I_{OC_BKP} の場合)	Y	L	50µs
IREF ピン オープン (起動時)	シャットダウン (I_{OUT} > I_{OC_BKP} の場合)	Y?	L?	
IREF ピン オープン (定常状態)	シャットダウン (I_{OUT} > I_{OC_BKP} の場合)	Y	L	t_{ITIMER}
IREF ピン短絡 (定常状態)	シャットダウン	Y	L	
IREF ピン短絡 (起動時)	シャットダウン	Y	L	
ITIMER ピンが強制的に高電圧に移行	シャットダウン (I_{OUT} > I_{OCP} または I_{OUT} > I_{OC_BKP} の場合)	Y	L	t_{SPFAIL_TMR}
起動タイムアウト	シャットダウン	Y	L	t_{SU_TMR}
FET 正常性故障 (G-S)	シャットダウン	Y	L	10µs
FET 正常性故障 (G-D)	シャットダウン	Y	L	
FET 正常性故障 (D-S)	シャットダウン	N	L	t_{SU_TMR}
外部故障 (デバイスが UV でも OV でもないときに SWEN が外部で Low にプルされる)	シャットダウン	Y	L	

FLT はオープンドレインのピンであり、外部電源にプルアップする必要があります。

内部でラッチされた故障の場合、部品の電源を入れ直すか、EN/UVLO ピンの電圧を $V_{SD(F)}$ 未満に引き下げることで故障がクリアされ、ピンはデアサートされます。この操作により、t_{RST} タイマもクリアされます (自動再試行バリアントのみ)。こ

Copyright © 2025 Texas Instruments Incorporated

の状況では、EN/UVLO を UVLO スレッショルドよりもわずかに低くしても、デバイスに影響はありません。これは、ラッチオフおよび自動再試行の両方のバリアントに当てはまります。

7.3.10 パワー グッド表示 (PG)

パワー グッド表示は、デバイスが定常状態で最大電力を供給可能な場合に、high にアサートされるアクティブ high 出力です。

表 7-5. PG 表示のまとめ

イベントまたは状態	FET ステータス	PG ピン ステータス	PG 遅延
低電圧 (V_{EN} < V_{UVLO})	OFF	L	t_{PGD}
V_{IN} < V_{UVP}	OFF	L	
V_{DD} < V_{UVP}	OFF	L	
過電圧 (V_{IN} > V_{OVP})	OFF	L	t_{PGD}
定常状態	オン	H	t_{PGA}
突入電流	オン	L	t_{PGA}
過渡過電流	オン	H	該当なし
回路ブレーカ (持続的な過電流後に ITIMER 満了)	OFF	L	t_{PGD} 該当なし
高速トリップ	OFF	L	t_{PGD} 該当なし
ILM pin open	OFF	L	t_{ITIMER} + t_{PGD} 該当なし
ILM ピンの短絡	OFF	L	t_{PGD} 該当なし
過熱	シャットダウン	L	t_{PGD} 該当なし

パワーアップ後、PG は初期状態で Low に引き下げられます。デバイスは突入シーケンスを開始し、ゲート ドライバ回路が内部のチャージ ポンプからゲート容量の充電を開始します。FET ゲート電圧が最大オーバードライブに達し、突入シーケンスが完了し、デバイスが最大出力を供給できることを示すと、グリッチ除去時間 (t_{PGA}) の後、PG ピンが HIGH にアサートされます。

通常動作中のいずれかの時点で FET がオフになると、PG はアサート解除されます。PG のデアサート時のグリッチ除去時間は t_{PGD} です。

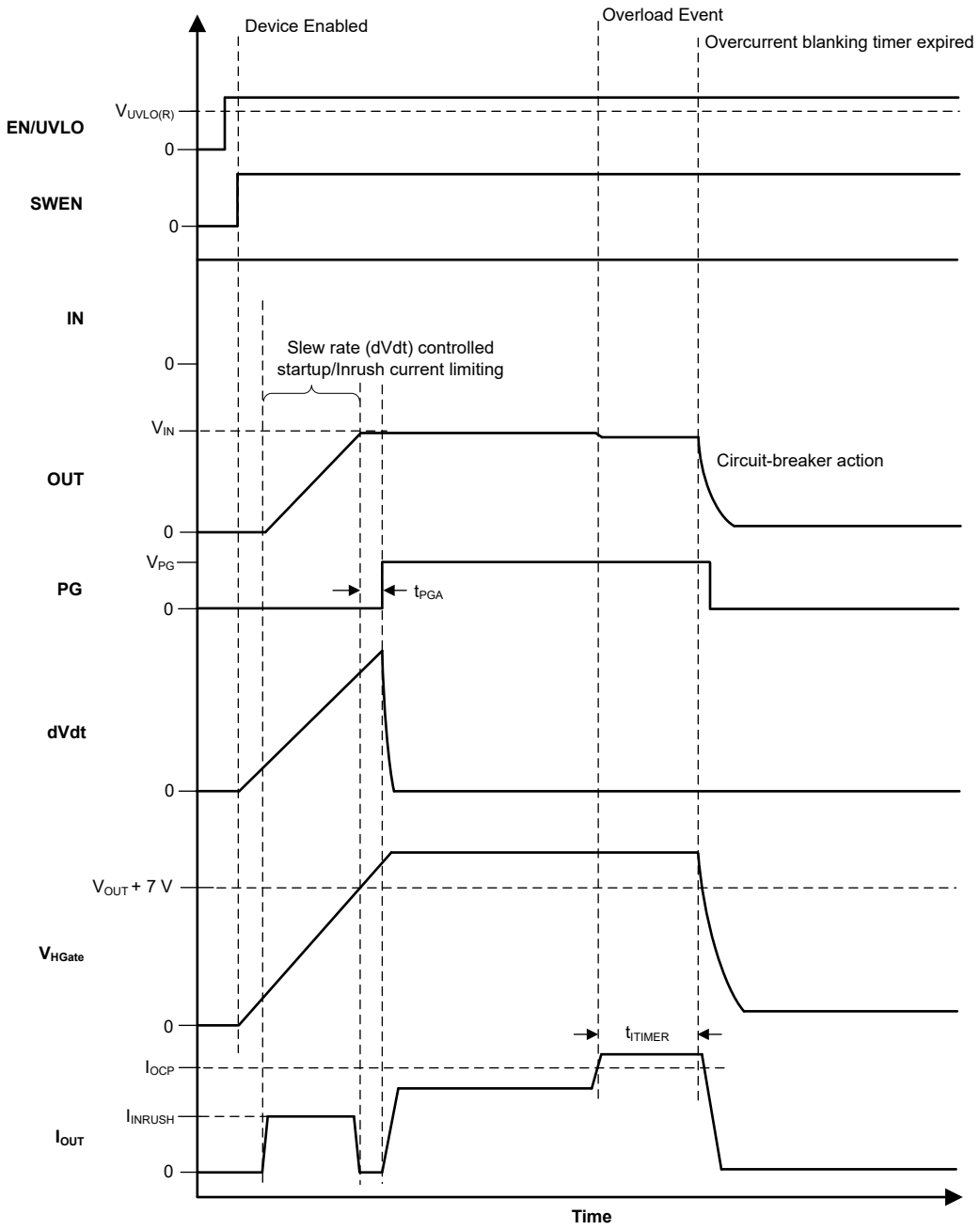


図 7-5. TPS1686x PG タイミング図

PG はオープン ドレインのピンであり、外部電源にプルアップする必要があります。

デバイスに電源が供給されていない場合、PG ピンは Low のままであることが期待されています。しかし、この状態では、このピンを 0V まで完全に引き下げるためのアクティブ プルダウンはありません。PG ピンが、デバイスの電源が入っていない場合でも存在する独立した電源にプルアップされている場合、プルアップ電源電圧と抵抗によって決まるピンのシンク電流に応じて、このピンにわずかな電圧が生じることがあります。シンク電流を最小化して、この状態で関連する外部回路によってロジック HIGH として検出されないよう、このピン電圧を十分に低く維持します。

7.3.11 出力放電

デバイスには出力放電機能が内蔵されており、GND への内部定電流 (I_{QOD}) を使用して OUT ピンのコンデンサを放電します。出力放電機能は、EN/UVLO が最小期間 (t_{QOD}) にわたって Low ($V_{SD(F)} < V_{EN} < V_{UVLO(F)}$) に保持されている

Copyright © 2025 Texas Instruments Incorporated

ときにアクティブになります。出力放電機能により、大きな出力コンデンサに残っている残留電荷をすばやく除去し、バスが長時間にわたって特定の未定義電圧にとどまることを防止します。出力放電は、V_{OUT} < V_{FB} のとき、またはデバイスがフォルトを検出すると解除されます。

出力放電機能により、デバイス内部で過剰な電力消費が発生し、接合部温度 (T_J) が上昇する可能性があります。接合部温度 (T_J) が TSD を超えると、出力放電は無効になり、部品の長期的な劣化を防ぎます。

7.3.12 FET の正常性監視

TPS1686x は、パワー パス FET の故障を示す特定の条件を検出して報告できます。検出または報告されない場合、これらの状態は、負荷に正しく電力を供給しないか、必要なレベルの保護を提供しないかのいずれかにより、システム性能を低下させる可能性があります。FET 故障が検出されると、TPS1686x はゲートを Low に引き下げることにより内部 FET のオフを試み、$\overline{FLT}$ ピンをアサートします。

- **D-S 短絡:** D-S 短絡は、基板アセンブリの欠陥または内部 FET 故障のいずれかにより、ソースから負荷まで、制御されない一定の電力供給経路を形成する可能性があります。この状態は、FET がオンになる前に V_{IN-OUT} < V_{DSFLT} かどうかをチェックすることで、起動時に検出されます。もしそうであれば、デバイスは内部出力放電を作動させ、出力の放電を試みます。特定の許容期間内に V_{OUT} が V_{FB} を下回るまで放電されないデバイスは $\overline{FLT}$ ピンをアサートします。
- **G-D 短絡:** TPS1686x は、内部制御ロジックが FET をオフ状態に保持しようとしていても、ゲート電圧が V_{IN} に近いかどうかを常にチェックすることで、この種の FET 故障を常に検出します。
- **G-S 短絡:** TPS1686x は、ゲートドライバがオンになった後、FET G-S 電圧が特定のタイムアウト期間 (t_{SU_TMR}) 内に必要なオーバードライブ電圧に達しないかどうかをチェックすることで、起動時にこの種の FET 故障を検出します。定常状態では、コントローラ ロジックがゲートドライバに FET をオフにするように信号を送信する前に G-S 電圧が Low になると、G-S ショート障害としてラッチされます。

7.3.13 シングル ポイント障害の軽減

TPS1686x は、あらゆる状況で過電流と短絡に対する保護を提供するため、IMON、ILIM、IREF、ITIMER ピンへの適切な部品接続とバイアスを使用します。安全対策の追加として、本デバイスは以下のメカニズムを使用して、これらのピンのいずれかがシステム内で正しく接続されなかった場合やフィールド内で関連部品に障害が発生した場合、デバイスが何らかの過電流保護を提供していることを確認します。

7.3.13.1 IMON ピンのシングル ポイント障害

- **IMON ピン オープン:** この場合、IMON ピン電圧が内部的に高電圧にプルアップされ、スレッショルド (V_{IREF}) を超えてしまうため、デバイスに大きな電流が流れていない場合でも、部品が回路ブレーカ動作を実行してしまいます。
- **IMON ピンが直接または非常に低い抵抗を介して GND に短絡されている:** この場合、IMON ピンの電圧は低電圧に保持され、デバイスに大きな電流が流れる場合でもスレッショルド (V_{IREF}) を超えることは許可されず、プライマリ過電流保護メカニズムは無効になります。このデバイスは、バックアップとして何らかの保護を提供するために、内部の過電流検出メカニズムに依存しています。デバイスがバックアップ電流センス スレッショルド (I_{OC_BKP}) を超えたことを検出し、同時に IMON ピンのプライマリ過電流検出が失敗した場合、ピンはシングル ポイント障害検出がトリガされ、故障がラッチされます。FET はオフになり、$\overline{FLT}$ ピンがアサートされます。

7.3.13.2 IREF ピンのシングル ポイント障害

- **IREF ピンがオープンまたは強制的に高電圧に設定:** この場合、IREF ピン (V_{IREF}) は、推奨される I_{OCP} または I_{LIM} の計算に従って目標値よりも高い電圧に内部または外部でプルアップされ、デバイスに大電流が流れている場合でもプライマリ サーキット ブレーカ、アクティブ電流制限、短絡保護がトリガされないようにしています。このデバイスは、内部過電流検出メカニズムに依存して、何らかの保護をバックアップとして実現します。デバイスが、バックアップ過電流スレッショルドを超えていることを検出したが、同時に ILIM または IMON ピンのプライマリ過電流または短絡検出に失敗する場合、このデバイスはシングル ポイント障害検出がトリガされ、故障がラッチされます。FET はオフになり、$\overline{FLT}$ ピンがアサートされます。
- **IREF ピンは GND へ短絡:** この場合、V_{IREF} スレッショルドが 0V に設定されるため、デバイスに大きな電流が流れない場合でも、部品はアクティブ電流制限またはサーキット ブレーカ動作を実行します。

Copyright © 2025 Texas Instruments Incorporated

7.3.13.3 ITIMER ピンのシングル ポイント障害

- **ITIMER ピンの開放または GND への短絡:** この場合、ITIMER ピンはすでに $V_{ITIMERTHR}$ を下回って放電されているため、過電流イベント後即座に過電流ブランキングタイマが満了し、遅延なしにサーキット ブレーカ動作がトリガされていることを示します。
- **ITIMER ピンが強制的に $V_{ITIMERTHR}$ よりも高い電圧になります:** この場合、ITIMER ピンは $V_{ITIMERTHR}$ を下回るまで放電できないため、過電流ブランキング タイマの期限切れを示すことができないため、サーキット ブレーカ メカニズムは無効になります。このデバイスは、バックアップとして何らかの保護を提供するために、バックアップの過電流タイマ メカニズムに依存しています。デバイスが IMON ピンとバックアップ過電流検出回路のどちらかで過電流イベントを検出すると、デバイスは内部バックアップ時間に入り、タイマが経過すると ($t_{SPFLTMR}$)、デバイスはフォルトをラッチします。FET はオフになり、$\overline{FLT}$ ピンがアサートされます。

Copyright © 2025 Texas Instruments Incorporated

7.4 デバイスの機能モード

デバイスの機能は、動作モードによって異なります。表 7-6 と 表 7-7 は、デバイスの機能モードをまとめたものです。

表 7-6. EN/UVLO ピンに基づくデバイスの機能モード

ピン:EN/UVLO	デバイスの状態	出力放電
> $V_{UVLO(R)}$	完全にオン	ディセーブル
> $V_{SD(F)}$、< $V_{UVLO(F)}$ (< t_{QOD})	FET オフ	ディセーブル
> $V_{SD(F)}$、< $V_{UVLO(F)}$ (> t_{QOD})	FET オフ	有効
< $V_{SD(F)}$	シャットダウン	ディセーブル

表 7-7. SFT_SEL ピンの抵抗に基づくデバイスの機能モード

I_{SFT_SEL}	SFT_SEL ピン
I_{OC_BKP}	R_{SFT_SEL}< 95kΩ
2.5 x I_{OCP}	105kΩ < R_{SFT_SEL}< 195kΩ
2 x I_{OCP}	205kΩ < R_{SFT_SEL}< 295kΩ
1.5 x I_{OCP}	305kΩ < R_{SFT_SEL}

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TPS1686x は、一般に電源レールの保護用途に使用される高電圧および大電流 eFuse です。このデバイスは 9V ～ 80V で動作し、入力過電圧保護と、可変低電圧保護を備えています。このデバイスは、突入電流を制御する機能を搭載しており、過電流や短絡の各状況に対する保護を提供します。このデバイスは、サーバーのマザーボード、アドオン カード、グラフィックス カード、アクセラレータ カード、エンタープライズ スイッチ、ルータなど、さまざまなシステムで使用できます。以降のセクションで説明する設計手順を使用すると、アプリケーションの要件に基づいてサポート部品の値を選択できます。さらに、スプレッドシート設計ツールである TPS1686x 設計カリキュレータを Web 製品フォルダで入手できます。

8.1.1 シングル デバイス、スタンドアロン動作

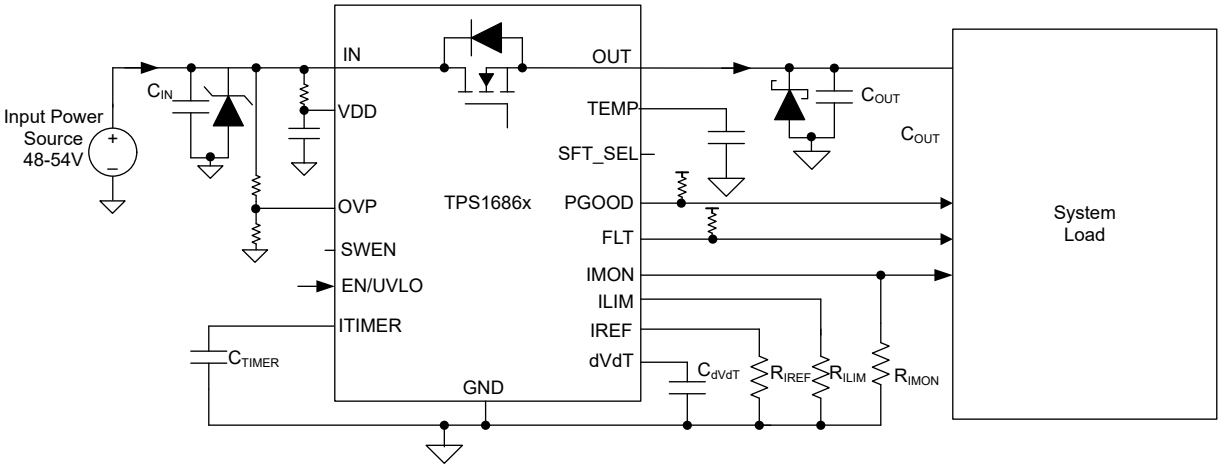


図 8-1. シングル デバイス、スタンドアロン動作

その他のバリエーション:

1. IREF ピンは、外部リファレンス電圧ソースから駆動できます。
2. ホスト MCU 制御システムでは、EN/UVLO を GPIO ピンに接続して、デバイスを制御できます。IMON ピンの電圧は、ADC を使用して監視できます。ホスト MCU は、DAC を使用して IREF を駆動し、電流制限スレッショルドを動的に変更できます。
3. このデバイスは、ILIM ピンと IMON ピンを GND に接続して IREF ピンをオープンのままにすることで、調整可能な過電流保護または高速トリップ保護なしのシンプルな大電流ロード スイッチとして使用できます。この状況でも、突入電流保護、固定高速トリップ、内部固定過電流保護が引き続きアクティブになります。

Copyright © 2025 Texas Instruments Incorporated

8.2 代表的なアプリケーション：データセンター サーバーの 54V ファン負荷保護

8.2.1 アプリケーション

この設計例では、ファン負荷を駆動するために、公差 ±10% の 54V システム動作電圧を想定しています。最大定常状態負荷電流は 9A です。負荷電流が 10A を超える場合、eFuse 回路は最大 3ms 間隔で過渡過負荷電流を許容する必要があります。それよりも長く持続的な過負荷が続く場合、eFuse 回路は回路を切断してからラッチオフする必要があります。図 8-2 は設計例にアプリケーション回路図を表示しています。

テキサス インスツルメンツでは、TPS1686 の PG ピンをコントローラからの PWM 信号で短絡し、この構成をファンの PWM 信号ピンに接続することを推奨します。これにより、PG が high になった後にファン負荷が電流を消費することを確認できます。このセットアップにより、TPS1686 はバルク コンデンサ負荷のみを充電することで、熱ストレスを低減して正常に開始し、起動中にファンによって負荷がかかっていないことを確認できます。

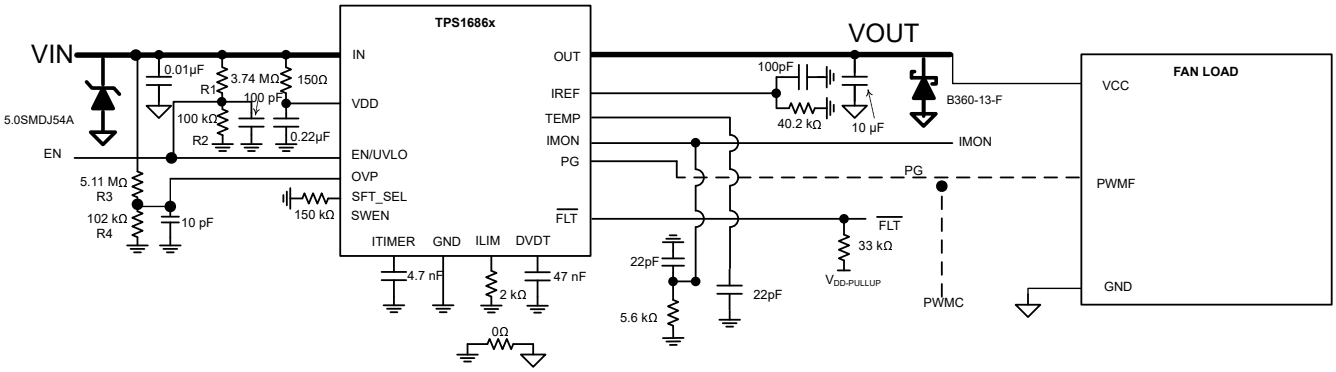


図 8-2. 54V ファン負荷保護回路のアプリケーション回路図

8.2.2 設計要件

このアプリケーション例の設計パラメータを、表 8-1 に示します。

表 8-1. 設計パラメータ

パラメータ	値
入力電圧範囲 (V_{IN})	48.5V～59.5V
最大 DC 負荷電流、($I_{OUT(max)}$)	9A
最大出力キャパシタンス (C_{LOAD})	100µF
PG がアサートされるまで、すべての負荷はオフになっていますか？	あり
最大周囲温度	55°C
過渡過負荷ブランキング タイマ	3ms
出力電圧スルーレート	1V/ms
出力における「ホット短絡」に耐える必要があるか？	あり
「パワーアップ時の短絡」状態に耐える必要はあるか？	あり
故障応答	ラッチオフ

8.2.3 詳細な設計手順

- **C_{DVDT} コンデンサの選択によって、出力スルー レートとスタート アップ時間を制御します**

  スルー レートの必要な値を設定するため、DVDT ピンと GND の間にコンデンサ (C_{DVDT}) を追加する必要があります。C_{DVDT} の値の計算には、式 10 を使用します。

$$C_{DVDT}(nF) = \frac{50}{V_{IN}(V)/T_{ss}(ms)} \quad (10)$$

  スルー レートを 1V/ms にするには、上の式に基づいて C_{DVDT} を 50nF と算出します。近傍には標準値の 47nF を保持してください。

- **R_{IREF} 抵抗を選択して、過電流保護のリファレンス電圧を設定します。**

  。R_{IREF} の値の計算には、式 11 を使用します。

$$V_{IREF} = I_{IREF} \times R_{IREF} \quad (11)$$

  この設計例では、V_{IREF} を 1V に設定しています。I_{IREF} = 25µA (標準値) の場合、目標 R_{IREF} は 40kΩ と計算されます。R_{IREF} に最も近い標準値は 40.2kΩ で、許容誤差は 0.1%、電力定格は 100mW です。ノイズ耐性を向上させるため、IREF ピンから GND に 100pF のセラミック コンデンサを配置します。

注

過電流検出回路の正常な動作を確認するために、V_{IREF} を推奨電圧範囲内に維持します。

定常状態時における過電流 (回路ブレーカ) および高速トリップのスレッショルドを設定するための R_{IMON} 抵抗を選択する

TPS1686x eFuse は、定常状態における出力過電流状態に対し、ユーザーが調整可能な過渡フォルトのブランキング間隔の後に、出力をオフにすることで応答します。この eFuse は、合計システム電流 (I_{OUT}) 連続的に検出し、IMON ピンに比例したアナログ電流出力 (I_{IMON}) を生成します。これにより、負荷電流に応答して IMON ピン抵抗 (R_{IMON}) の両端に電圧 (V_{IMON}) が生成されます。これは、式 12 と定義されます。

Copyright © 2025 Texas Instruments Incorporated

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \quad (12)$$

G_{IMON} は電流モニタ ゲイン (I_{IMON}: I_{OUT}) で、その標準値は 18.2µA/A です。過電流状態は、V_{IMON} をスレッショルドとして V_{IREF} と比較することで検出されます。定常状態における回路ブレーカのスレッショルド (I_{OCP}) は、式 13 を使用して計算できます。

$$I_{OCP} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \quad (13)$$

この設計例では、I_{OCP} は 10A と見なされ、R_{IMON} は G_{IMON} を 18.2µA/A、V_{IREF} を 1V に設定して 5.5KΩ と計算できます。R_{IMON} の最も近い値は 5.6kΩ で、許容誤差 0.1%、電力定格は 100mW です。ノイズを低減するため、IMON ピンと GND の間に 22pF のセラミック コンデンサを配置します。

- **C_{ITIMER} コンデンサを選択して、過電流ブランキング タイマを設定します**

サーキット ブレーカ スレッショルドを超える負荷過渡を許容する時間を調整するには、適切なコンデンサを ITIMER ピンに 1 次側またはスタンドアロン デバイスのグランドに接続する必要があります。過渡過電流ブランキング期間は、式 14 を使用して計算できます。

$$t_{ITIMER}(ms) = \frac{C_{ITIMER}(nF) \times \Delta V_{ITIMER}(V)}{I_{ITIMER}(\mu A)} \quad (14)$$

ここで、t_{ITIMER} は過渡過電流ブランキング タイマ、C_{ITIMER} はデバイスの ITIMER ピンと GND の間に接続されたコンデンサです。I_{ITIMER} = 2µA (標準値) および ΔV_{ITIMER} = 1.55V (標準値)。この設計ではデバイスの C_{ITIMER} として、公差 10%、DC 電圧定格 25V の 4.7nF コンデンサを使用しました。

- **低電圧誤動作防止スレッショルドを設定するための抵抗を選択する**

  低電圧誤動作防止 (UVLO) スレッショルドは、過電圧保護セクションに記載されているように、デバイスの IN、EN/UVLO、GND の各ピン間に接続された R_1 と R_2 の外部電圧分割回路網を使用して調整します。UVLO スレッショルドを設定するために必要な抵抗値は、式 15 を使用して計算します。

$$V_{IN(UV)} = V_{UVLO(R)} \frac{R_1 + R_2}{R_2} \quad (15)$$

  TI は、電源から引き込まれた入力電流を最小限に抑えるため、R_1 および R_2 に高い抵抗値を使用することを推奨します。デバイスの電気的仕様から、UVLO 立ち上がりスレッショルド $V_{UVLO(R)}$ = 1.2V となります。設計要件から、V_{INUVLO} = 46V です。最初に R_1 = 3.74MΩ の値を選択し、式 15 を使用して R_2 = 100kΩ を計算します。直近の標準的な 1% 抵抗値を使用：R_1= 3.74MΩ および R_2= 100kΩ。ノイズを低減するため、EN/UVLO ピンと GND の間に 100pF のセラミック コンデンサを配置します。
- **過電圧誤動作防止スレッショルドを設定するための抵抗を選択する**

  過電圧誤動作防止 (OVLO) スレッショルドは、過電圧保護 セクションに記載されているように、デバイスの IN、OVLO、GND の各ピン間に接続された R_3 と R_4 の外部電圧分割回路網を使用して調整します。OVLO スレッショルドの設定に必要な抵抗値は、以下の式を使用して計算します。

$$V_{IN(OV)} = V_{OVLO(R)} \frac{R_3 + R_4}{R_4} \quad (16)$$

  TI は、電源から引き込まれた入力電流を最小限に抑えるため、R_3 および R_4 に高い抵抗値を使用することを推奨します。デバイスの電気的仕様から、OVLO 立ち上がりスレッショルド $V_{OVLO(R)}$ = 1.17V となります。設計要件から、V_{INOVLO} = 60V です。最初に R_1 = 5.11MΩ の値を選択し、式 15 を使用して R_3 = 101kΩ を計算します。直近の標準的な 1% 抵抗値を使用：R_3= 5.11MΩ および R_4= 102kΩ。ノイズを低減するため、OVLO ピンと GND の間に 10pF のセラミック コンデンサを配置します。

Copyright © 2025 Texas Instruments Incorporated

- **VIN と VDD の間の R-C フィルタを選択する**

  VDD ピンは、システム過渡の影響を受けない、フィルタリングされ、安定した電源で eFuse の内部制御回路に電力を供給することを目的としています。このため、入力電源 (IN ピン) から VDD ピンに R (150Ω) – C (0.22µF) フィルタを使用してください。これは、電源ノイズをフィルタリングして、出力での短絡などの重大な故障が発生した場合にコントローラ電源を維持するのに役立ちます。並列チェーンでは、この R-C フィルタを各デバイスに採用する必要があります。

- **$\overline{\text{FLT}}$ ピンのプルアップ抵抗と電源を選択します。**

  $\overline{\text{FLT}}$ はオープンドレイン出力です。これらのロジック信号を使用する場合、信号を 33kΩ プルアップ抵抗によって適切な電源レール電圧にプルアップする必要があります。

- **入力側の TVS ダイオードと出力側のショットキー ダイオードの選択**

  デバイスが瞬間的に大量の電流を遮断する短絡および過負荷電流による制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。これらの電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力と直列のインダクタンスの値に依存します。適切な手順を講じない場合、これらの過渡現象はデバイスの絶対最大定格を超え、最終的には電気的オーバーストレス (EOS) による損傷につながる可能性があります。この問題に対処する一般的な方法は、以下のとおりです。

  1. デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
  2. PCB には、大きい GND プレーンを使用します。
  3. 入力側の正の過渡スパイクをクランプするために、過渡電圧サプレッサ (TVS) ダイオードを追加します。
  4. 出力の両極間にショットキー ダイオードを配置して、負のスパイクを吸収します。

  IN ピンの絶対最大定格 (90V) を下回るように入力側の正の過渡電圧を効果的にクランプするための適切な TVS ダイオードの選択および並列する TVS ダイオードの数の詳細については、「*ホットスワップ回路における TVS クランピング*」および「*ホットスワップおよび ORing アプリケーションにおける TVS ダイオードの選択*」、「TVS ダイオード推奨ツール」を参照してください。これらの TVS ダイオードは、ホット プラグ イベント時の IN ピンでの過渡電圧を制限するのにも役立ちます。この設計例では、SMDJ54A を 1 個に使用しています。

  注

  eFuse の安全な動作のために、I_{pp} (10/1000µs) (V) で選択された TVS ダイオードの最大クランプ電圧 V_C 仕様は、電力入力 (IN) ピンの絶対最大定格よりも低くなければなりません。

  ショットキー ダイオードは、以下の基準に基づいて選択する必要があります。

  – 選択したダイオードの非反復ピーク順方向サージ電流 (I_{FSM}) は、高速トリップ スレッショルドよりも大きくなければなりません (2 × $I_{OCP(TOTAL)}$)。単一のショットキー ダイオードが必要な I_{FSM} 定格を満たすことができない場合は、2 つ以上のショットキー ダイオードを並列に使用する必要があります。式 17 は、並列に接続する必要があるショットキー ダイオード ($N_{Schottky}$) の数を計算します。

  $$N_{Schottky} > \frac{2 \times I_{OCP(TOTAL)}}{I_{FSM}} \quad (17)$$

  – I_{FSM} に近い順方向電圧降下 (V_F) は、できるだけ小さくする必要があります。OUT ピンでの負の過渡電圧は、OUT ピンの絶対最大定格 (-5V) 内にクランプされる必要があります。
  – DC ブロック電圧 (V_{RM}) は、最大入力動作電圧より高くなければなりません。
  – リーク電流 (I_R) は、できるだけ小さくする必要があります。

  この設計例では、B360-13-F を 1 個に使用しています。

- **C_{IN} および C_{OUT} を選択**

  TI は、入力と出力の電圧を安定させるため、セラミック バイパス コンデンサを追加することを推奨します。ホットプラグ イベント時の電流スパイクを最小限に抑えるため、C_{IN} の値を小さく保つ必要があります。各デバイスについて、

Copyright © 2025 Texas Instruments Incorporated

0.01µF の C_{IN} が妥当な目標値です。C_{OUT} はホットプラグ中に充電されないため、各デバイスの OUT ピンには 10µF などのより大きな値を使用できます。

Copyright © 2025 Texas Instruments Incorporated

8.2.4 アプリケーション特性の波形

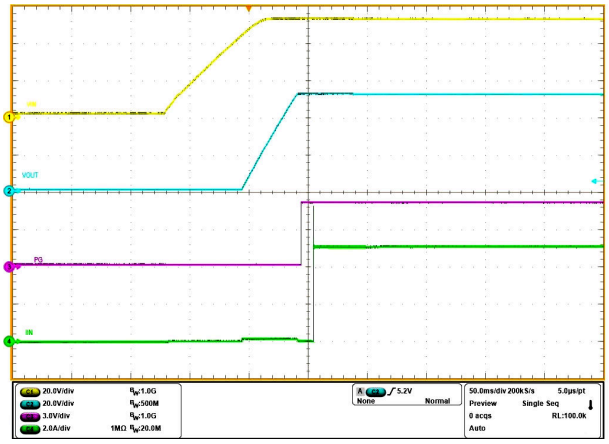


図 8-3. 電源は 0V から 54V スタートアップに上昇

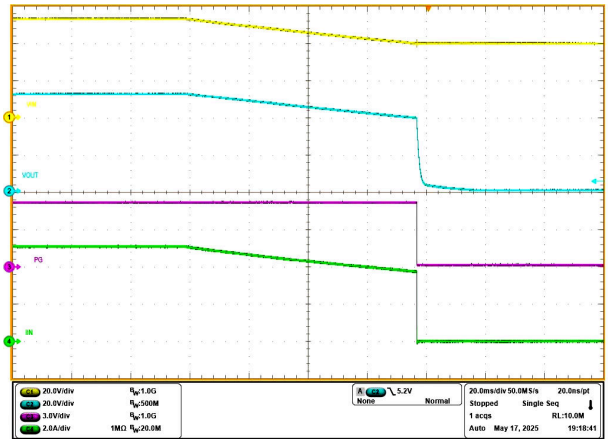


図 8-4. 電源オフ - UVLO

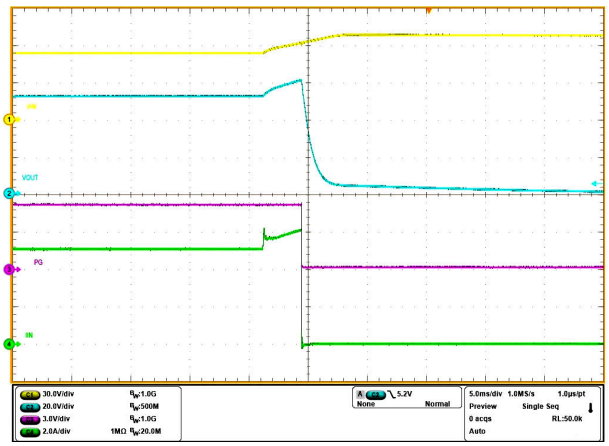


図 8-5. 電源は 54V を超えて上昇 - OVLO

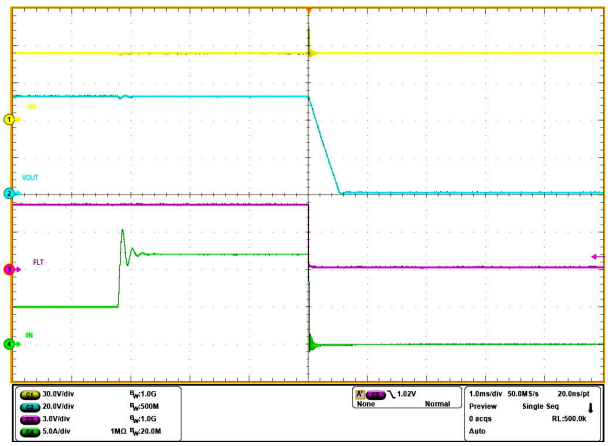


図 8-6. 負荷電流が 10A を上回る - 過電流サーキットブレーカ応答

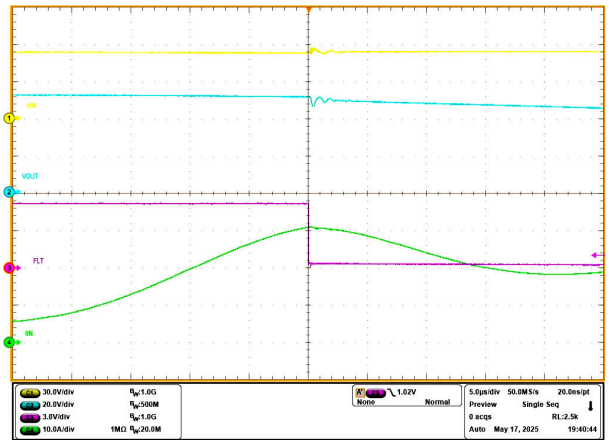


図 8-7. 出力ホット短絡応答

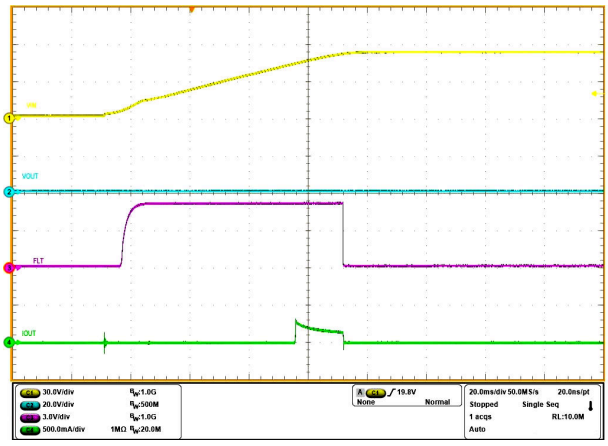


図 8-8. パワーアップ時の短絡

Copyright © 2025 Texas Instruments Incorporated

8.3 電源に関する推奨事項

TPS1686x デバイスは、IN と VDD ピンで 9V ～ 80V での範囲の電源電圧用に設計されています。TI は、ホットプラグイベント時の高スルーレートの結合を回避するため、各デバイスの IN ピンに 0.01µF の最小容量を使用することを推奨します。TI は、電源ノイズをフィルタして、短絡などの重大な障害が発生したときにコントローラ電源を保持するために、各デバイスの入力電源から VDD ピンに R-C フィルタを並列チェーンで使用することも推奨します。

8.3.1 過渡保護

デバイスが電流フローに割り込むタイミングで、短絡または回路ブレーカ イベントによる制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何等かの策を講じない場合は、上記の過渡現象によって、デバイスの絶対最大定格を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
- PCB には、大きい GND プレーンを使用します。
- 負のスパイクを吸収するために、OUT ピン接地からショットキー ダイオードを接続します。
- デバイスのすぐ近くの OUT ピンに 10µF 以上の低 ESR コンデンサを接続します。
- 入力過渡の立ち上がり時間を減衰させるため、デバイスのすぐ近くの IN ピンに C_{IN} = 0.01µF 以上のセラミック コンデンサを接続します。誘導性リンギング時の正の電圧変動に耐えるため、コンデンサの電圧定格は入力電源電圧の少なくとも 2 倍である必要があります。

入力容量の近似値は、式 18 を使用して推定できます。

$$V_{SPIKE(Absolute)} = V_{IN} + I_{LOAD} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (18)$$

ここで、

V_{IN} は公称電源電圧です。

I_{LOAD} は負荷電流です。

L_{IN} はソースから見た実効インダクタンスに等しい値です。

C_{IN} は入力に存在する容量です。

- 一部のアプリケーションでは、過渡状態においてデバイスの絶対最大定格を超えないように、過渡電圧サプレッサ (TVS) の追加が必要になる場合があります。場合によっては、過渡の最大振幅がデバイスの絶対最大定格を下回った場合でも、TVS は過度のエネルギー ダンプを吸収し、IC の入力電源ピンに非常に高速な過渡電圧が生じて内部制御回路に結合し、デバイスが予期しない動作を引き起こすのを防ぐのに役立ちます。

オプションの保護部品を使用した回路実装例を、図 8-9 に示します。

Copyright © 2025 Texas Instruments Incorporated

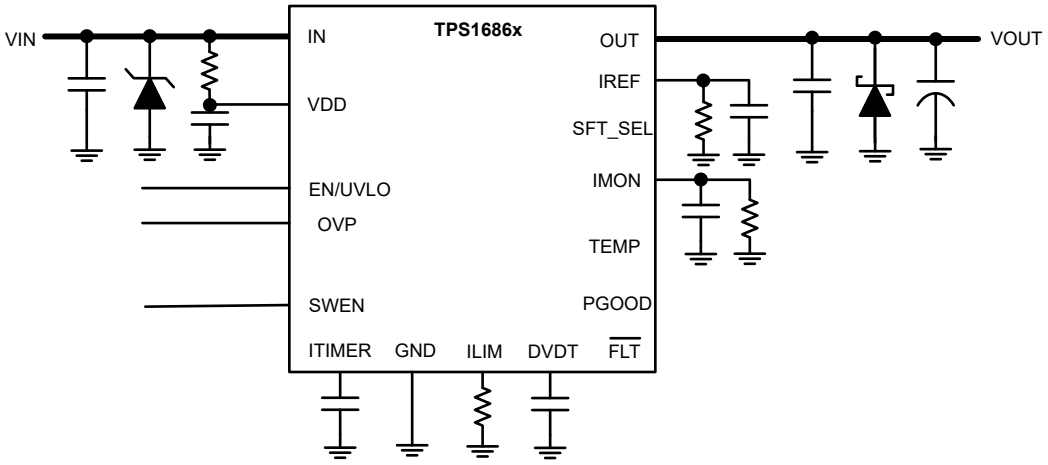


図 8-9. オプションの保護部品を使用した回路実装

8.3.2 出力短絡測定

再現可能で同様の短絡テスト結果を得るということは困難です。結果のばらつきの原因には、次のようなものがあります。

- ソース バイパス
- 入力リード線
- 回路レイアウト
- 部品選定
- 出力短絡方法
- 短絡の相対位置
- 計測

実際の短絡は、デバイスが微視的に跳ね返ったり弧を描いたりするため、ある程度のランダム性を示します。現実的な結果を得るために、設定と方法が使用されていることを確認します。すべての設定は異なっているため、このデータシートの波形とまったく同じような波形が見られることを期待しないでください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- すべての用途に対して、TI は 0.01µF 以上のセラミック デカップリング コンデンサを、IN 端子と GND 端子の間に使用することを推奨します。
- すべての用途に対して、TI は 10µF 以上のセラミック デカップリング コンデンサを、OUT 端子と GND 端子の間に使用することを推奨します。
- デカップリング コンデンサの最適な配置は、デバイスの IN および GND 端子に最も近くに配置します。バイパス コンデンサ接続、IN 端子、および IC の GND 端子によって形成されるループ領域を最小限に抑えるように注意する必要があります。PCB レイアウト例については、以下の図を参照してください。
- 大電流を流すパワー パス接続はできる限り短くし、全負荷電流の 2 倍以上が流れるようにサイズを調整する必要があります。
- GND 端子は、IC の端子で PCB グランド プレーンに接続する必要があります。PCB の接地は、基板上の銅プレーンまたはアイランドである必要があります。
- IN および OUT ピンを使用して放熱を行います。サーマル ビアでできるだけ多くの銅の面積に接続します。
- 次のサポート部品を接続ピンの近くに配置します。
  - R_{ILIM}
  - R_{IMON}
  - C_{IMON}
  - C_{IREF}
  - C_{dVdT}
  - C_{ITIMER}

Copyright © 2025 Texas Instruments Incorporated

  - C_{IN}
  - C_{OUT}
  - C_{VDD}
  - EN/UVLO ピン用の抵抗
- 部品のもう一方の端を、最短のパターン長でデバイスの GND ピンに接続します。C_{IN}、C_{OUT}、C_{VDD}、R_{IREF}、C_{IREF}、R_{ILIM}、R_{IMON}、C_{IMON}、C_{ITIMER}、C_{dVdt} 部品の配線は、電流制限、過電流ブランキングおよびソフトスタート タイミングに対する寄生効果を低減するために、できるだけ短くする必要があります。これらのトレースは基板上のスイッチング信号と結合しないでください。
- IMON、IREF、ITIMER ピンはデバイスの過電流保護動作を直接制御するため、これらのノードの PCB 配線はノイズの多い (スイッチング) 信号から遠ざける必要があります。
- TVS、スナバ、コンデンサ、ダイオードなどの保護デバイスは、保護デバイスが物理的に保護対象のデバイスの近くに配置する必要があります。インダクタンスを減らすため、これらの保護デバイスは短いパターンで配線する必要があります。たとえば、誘導性負荷のスイッチングによる負の過渡事象に対処するために、TI は保護ショットキー ダイオードを推奨します。このダイオードは、このダイオードは、物理的に OUT ピンの近くに配置する必要があります。

8.4.2 レイアウト例

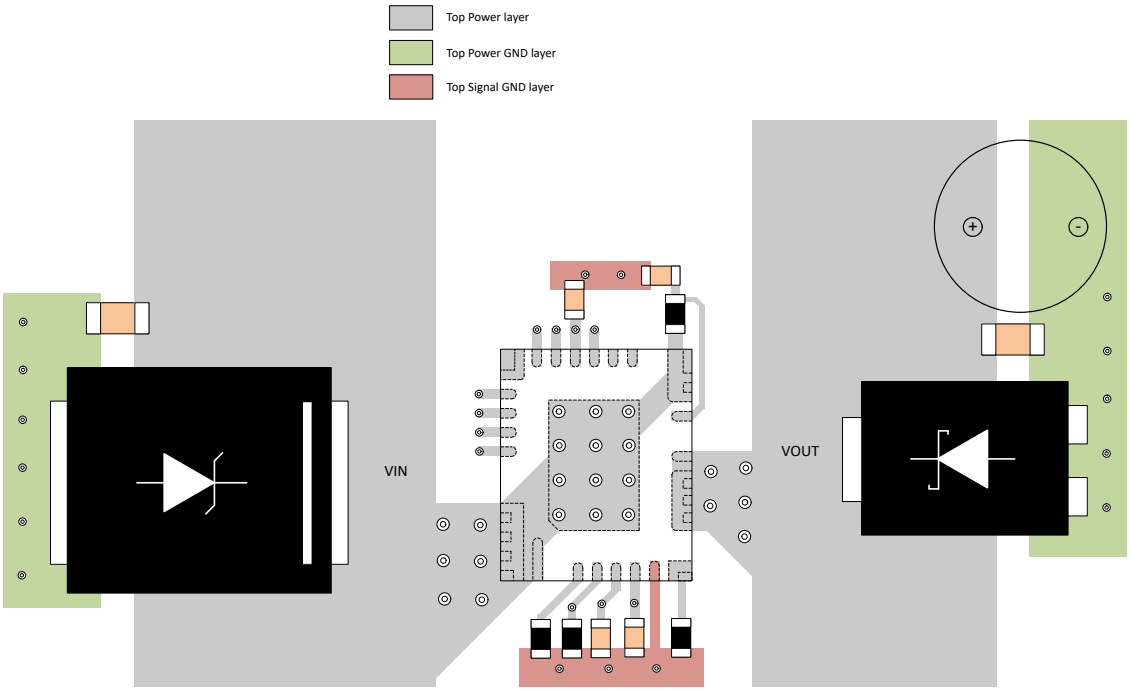


図 8-10. TPS1686x デバイスのレイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『TPS1686EVM eFuse 評価ボード』
- テキサス インスツルメンツ、『TPS1686x 設計カリキュレータ』

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

PowerPad™ is a trademark of Texas Instruments.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (July 2025) to Revision A (November 2025)	Page
• ステータスを「事前情報」から「量産データ」に変更	1

Copyright © 2025 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS16860NLMR	Active	Production	VQFN (NLM) | 23	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS16860
TPS16861NLMR	Active	Production	VQFN (NLM) | 23	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS16861

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

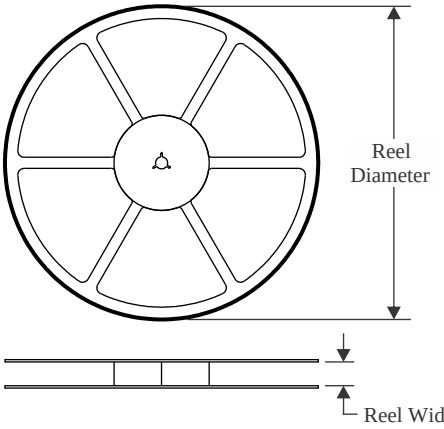
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

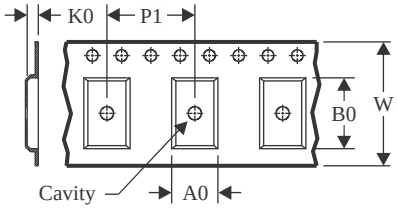
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

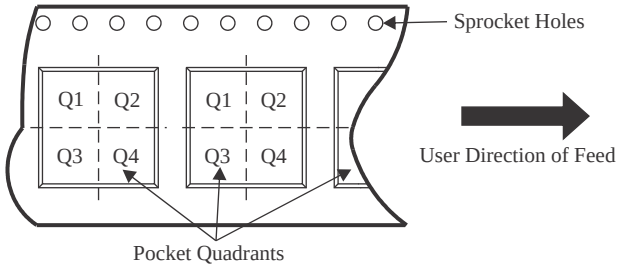


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

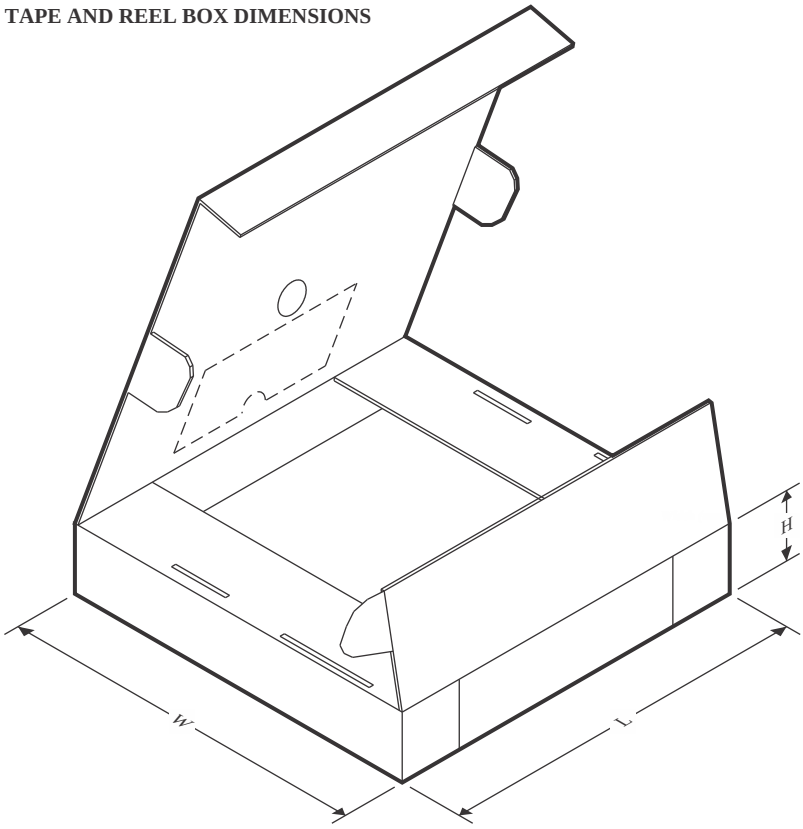
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS16860NLMR	VQFN	NLM	23	3000	330.0	12.4	6.3	5.3	1.2	8.0	12.0	Q1
TPS16861NLMR	VQFN	NLM	23	3000	330.0	12.4	6.3	5.3	1.2	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

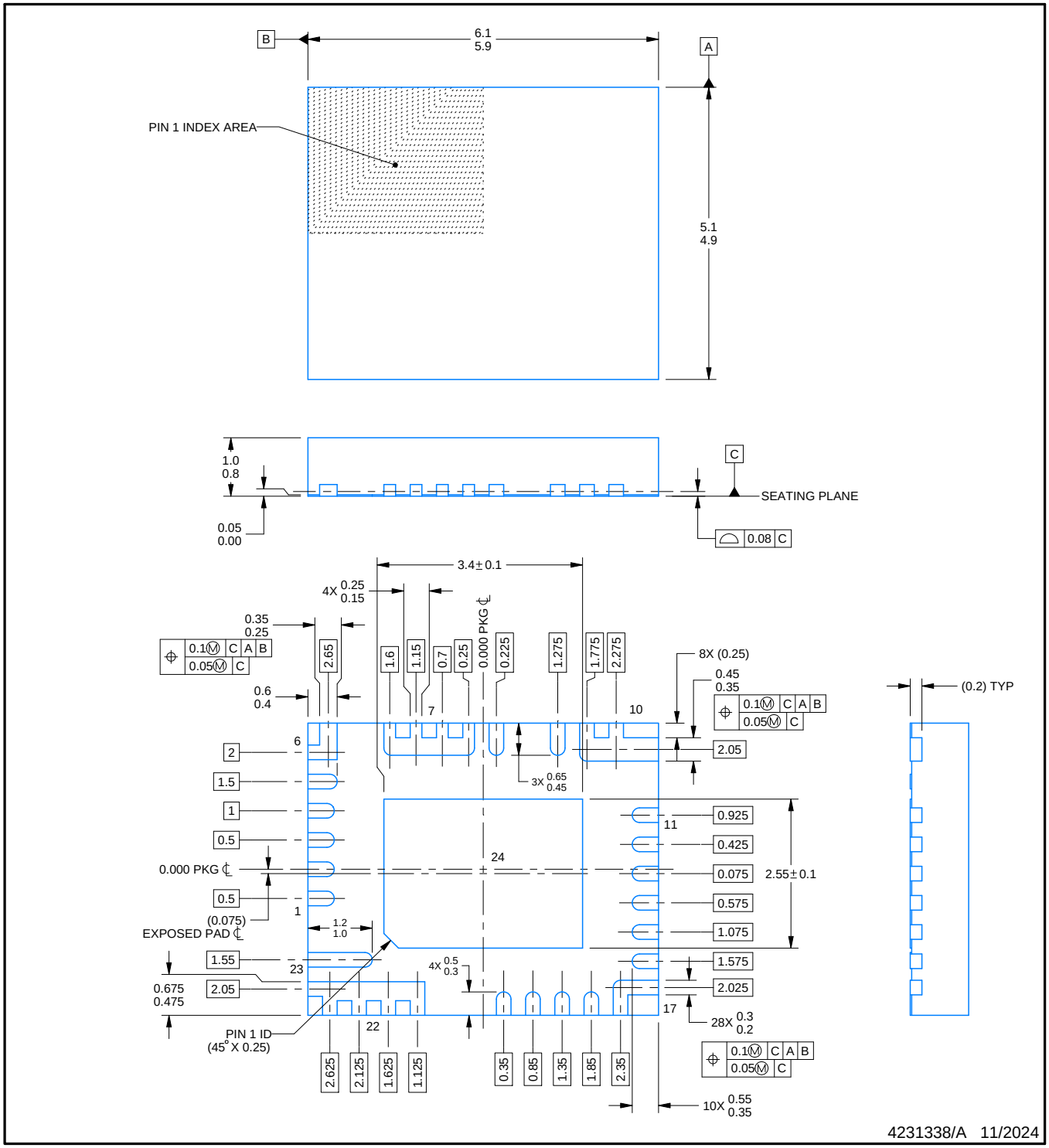
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS16860NLMR	VQFN	NLM	23	3000	367.0	367.0	38.0
TPS16861NLMR	VQFN	NLM	23	3000	367.0	367.0	38.0

NLM0023A

PACKAGE OUTLINE

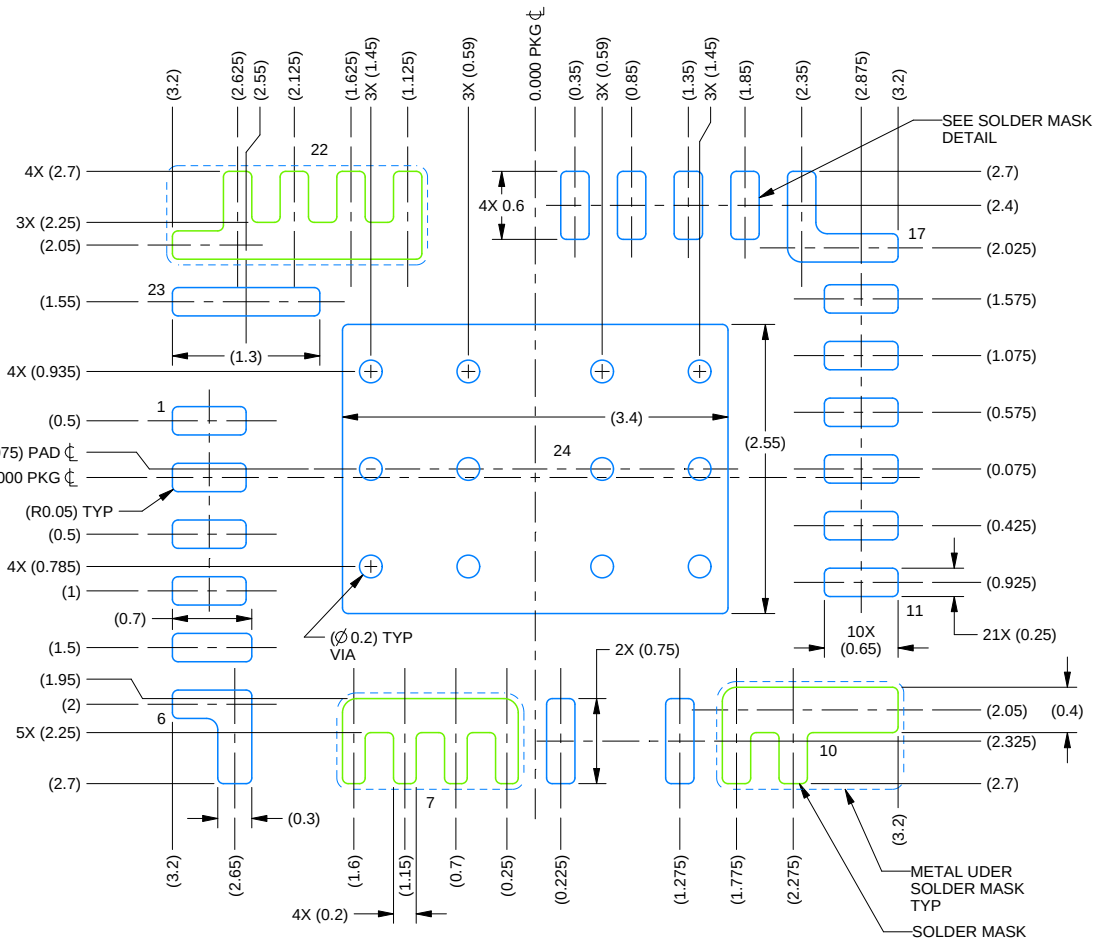
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

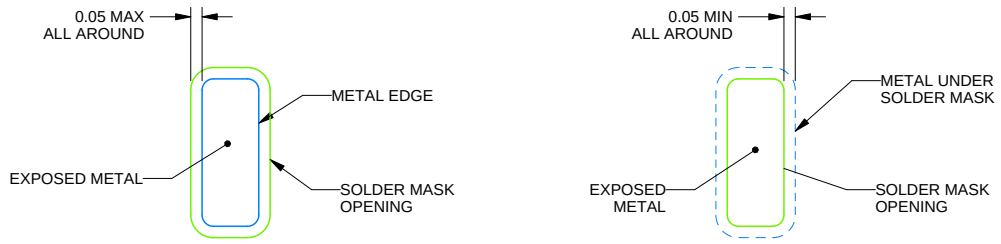
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 15X



NON SOLDER MASK DEFINED (PREFERRED)

SOLDER MASK DEFINED

SOLDER MASK DETAILS

NOTES: (continued)

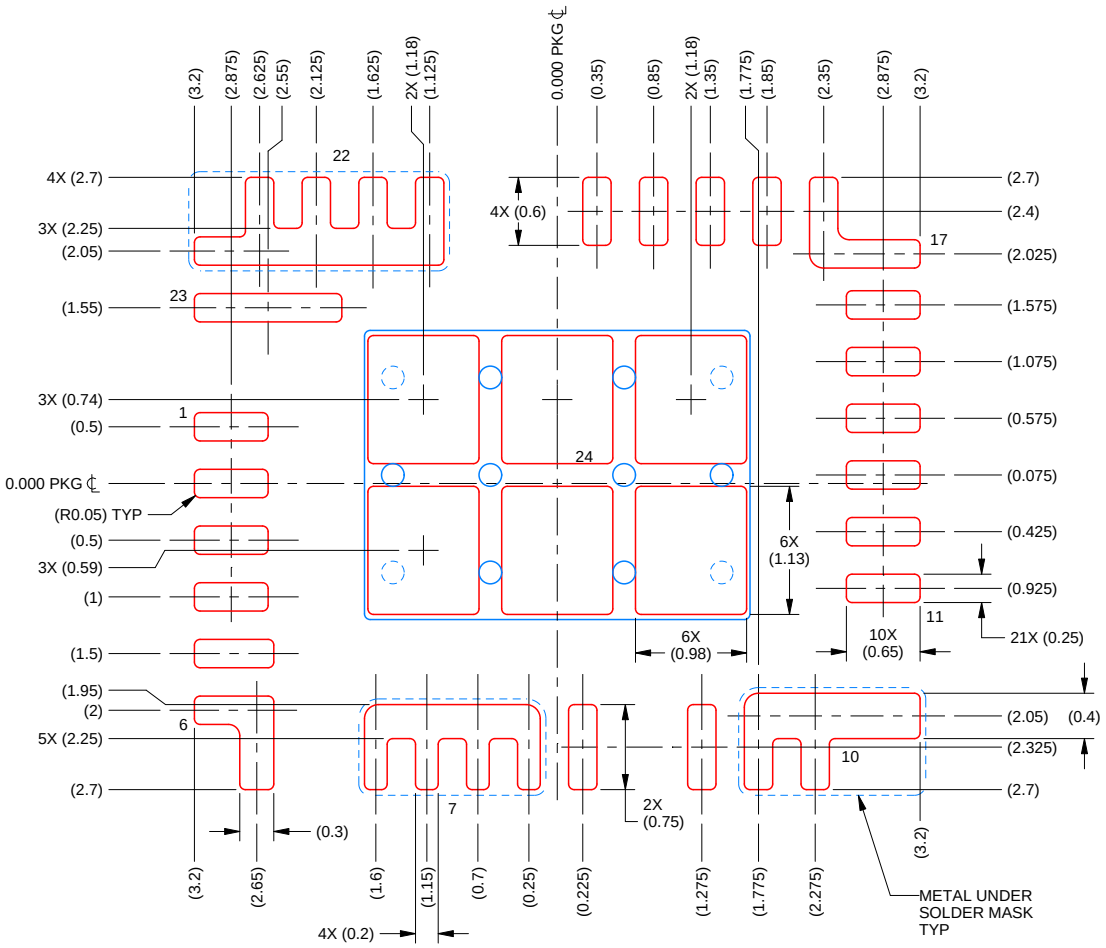
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

NLM0023A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 28
76% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4231338/A 11/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月