

TPS1H000-Q1 車載 40V、1Ω、シングルチャネルスマートハイサイドスイッチ

1 特長

- 車載アプリケーション認定済み
- 以下の結果で AEC-Q100 認定済み:
 - デバイス温度グレード 1: 動作時周囲温度範囲 -40°C ~ 125°C
 - デバイス HBM ESD 分類レベル H2
 - デバイス CDM ESD 分類レベル C4B
- シングルチャネル 1000mΩ スマートハイサイドスイッチ
- 広い動作電圧範囲: 3.4V ~ 40V
- 小さいスタンバイ電流: <500nA
- 外付け抵抗で電流制限を調整可能
 - 150mA 以上のとき ±15%
 - 300mA 以上のとき ±10%
- 電流制限後の動作を設定可能
 - ホールドモード
 - ラッチオフモード、遅延時間を設定可能
 - 自動再試行モード
- MCU なしのスタンドアロン動作をサポート
- 保護機能:
 - GND への短絡および過負荷
 - サーマルシャットダウンおよびサーマルスリング
 - 誘導性負荷の負電圧クランプ
 - GND 消失およびバッテリー消失
- 診断機能:
 - 過負荷および GND への短絡の検出
 - オンまたはオフ状態での開放負荷およびバッテリーへの短絡の検出
 - サーマルシャットダウンおよびサーマルスリング

2 アプリケーション

- シングルチャネル LED ドライバ
- シングルチャネル ハイサイドリレードライバ
- 車体 / 照明
- 先進運転支援システム (ADAS) センサ
- 一般的な抵抗性、誘導性、容量性負荷

3 説明

TPS1H000-Q1 デバイスは、完全に保護されたシングルチャネル ハイサイド パワー スイッチで、1000mΩ の NMOS パワー FET を内蔵しています。

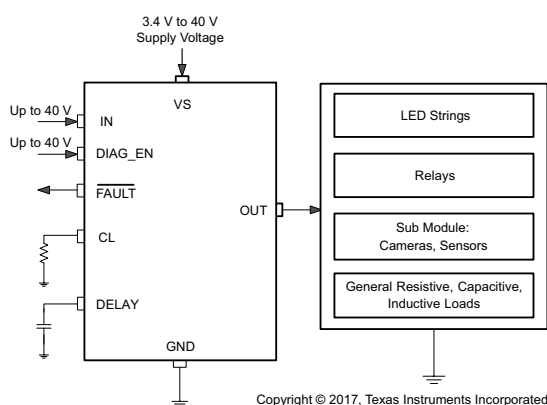
電流制限を調整可能なため、突入電流や過負荷電流を制限し、システムの信頼性を向上できます。電流制限の精度が高いため、過負荷保護が強化され、前段の電源設計が簡単になります。電流制限以外の特徴も可変であるため、機能、コスト、熱放散について柔軟な設計が可能です。

このデバイスは完全な診断機能をサポートし、状態をデジタル出力します。開放負荷検出は、オンとオフの両方の状態で利用可能です。このデバイスは、MCU ありでも、なしでも動作できます。スタンドアロンモードにより、絶縁システムでもデバイスを使用できます。

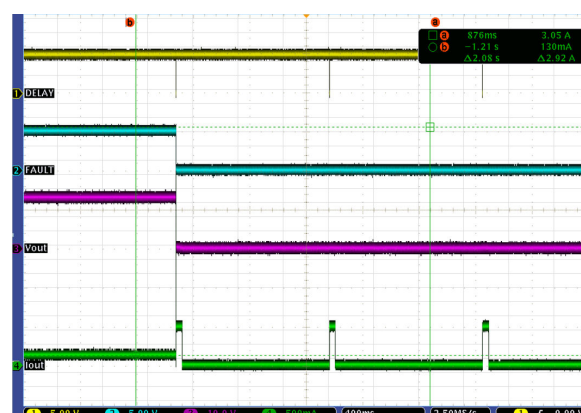
パッケージ情報

部品番号	パッケージ (1)	パッケージサイズ (2)
TPS1H000-Q1	DGN (HVSSOP、8)	3.00mm × 4.90mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なブロック図



自動再試行モードでの電流制限保護



目次

1 特長	1	6.3 機能説明	11
2 アプリケーション	1	6.4 デバイスの機能モード	20
3 説明	1	7 アプリケーションと実装	22
4 ピン構成および機能	3	7.1 使用上の注意	22
5 仕様	4	7.2 代表的なアプリケーション	22
5.1 絶対最大定格.....	4	7.3 電源に関する推奨事項	23
5.2 ESD 定格.....	4	7.4 レイアウト	23
5.3 推奨動作条件.....	4	8 デバイスおよびドキュメントのサポート	25
5.4 熱に関する情報.....	5	8.1 ドキュメントの更新通知を受け取る方法	25
5.5 電気的特性.....	5	8.2 サポート・リソース	25
5.6 スイッチング特性.....	6	8.3 商標	25
5.7 代表的特性.....	8	8.4 静電気放電に関する注意事項	25
6 詳細説明	10	8.5 用語集	25
6.1 概要.....	10	9 改訂履歴	25
6.2 機能ブロック図.....	10	10 メカニカル、パッケージ、および注文情報	25

4 ピン構成および機能

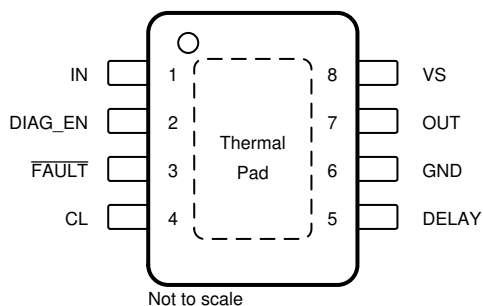


図 4-1. DGN PowerPAD™ パッケージ、露出サーマルパッド付き 8 ピン HVSSOP (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
CL	4	O	調整可能な電流制限。外部電流制限を使用しない場合は、デバイスの GND に接続します。
DELAY	5	I/O	電流制限時の機能構成、内部プルアップ。
DIAG_EN	2	I	診断機能を有効にします。
FAULT	3	O	オープンドレインの診断ステータス出力。未使用時はフローティングのままにします。
GND	6	—	グラウンド ピン。
IN	1	I	出力アクティブ化用の入力制御、内部プルダウン。
OUT	7	O	出力。ハイサイド スイッチのソース、負荷に接続。
VS	8	I	電源。ハイサイド スイッチのドレイン。
サーマル パッド	—	—	サーマル パッド。デバイス GND に接続するか、フローティングのままにします。

(1) I = 入力、O = 出力、I/O = 双方向

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
VS ピンの電源電圧	$t < 400\text{ms}$	—	42	V
逆極性電圧 ⁽³⁾	$t < 1 \text{ 分}$	-36	—	V
GND ピンの電流	$t < 2 \text{ 分}$	-100	250	mA
IN および DIAG_EN ピンの電圧		-0.3	42	V
IN および DIAG_EN ピンの電流		-10	—	mA
DELAY ピンの電圧		-0.3	7	V
DELAY ピンの電流		-60	—	mA
FAULT ピンの電圧		-0.3	7	V
FAULT ピンの電流		-30	10	mA
CL ピンの電圧		-0.3	7	V
CL ピンの電流		—	6	mA
OUT ピンの電圧		—	42	V
誘導性負荷のスイッチオフ時のエネルギー消費 (シングル パルス) ⁽⁴⁾		—	40	mJ
動作時接合部温度		-40	150	°C
保管温度、 T_{stg}		-65	150	°C

- (1) 「絶対最大定格」外での動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件において、本デバイスが正しく動作することを保証するものではありません。「絶対最大定格」の範囲内であっても、「推奨動作条件」の範囲外で使用するとデバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値はグラウンドを基準としています。
- (3) 逆極性条件: $V_{\text{IN}} = 0\text{V}$ 、逆電流 $< I_{\text{R}(2)}$ 、GND ピンに $1\text{k}\Omega$ 抵抗をダイオードと並列に接続。
- (4) テスト条件: $V_{\text{VS}} = 13.5\text{V}$ 、 $L = 300\text{mH}$ 、 $T_{\text{J}} = 150^\circ\text{C}$ 。FR4 2s2p 基板、銅箔厚 $70\mu\text{m} \times 2$ 層、 $35\mu\text{m} \times 2$ 層。600mm² のサーマル パッド銅領域。

5.2 ESD 定格

		値	単位
$V_{\text{(ESD)}}$ 静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	± 2000	V
	VS、OUT、GND を除くすべてのピン	± 3000	
	VS、OUT、GND ピン	± 750	
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	± 750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{S}	動作電圧	4		40	V
	IN および DIAG_EN ピンの電圧	0		40	V
	FAULT ピンの電圧	0		5	V
$I_{\text{o,nom}}$	公称 DC 負荷電流	0		1	A
T_{J}	動作時接合部温度	-40		150	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS1H000-Q1	単位
		DGN (HVSSOP)	
		8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	49.7	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	74.0	°C/W
R _{θJB}	接合部から基板への熱抵抗	21.4	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	3.8	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	21.5	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	7.7	°C/W

(1) 従来および新しい熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』を参照してください。

5.5 電気的特性

動作時周囲温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
動作電圧						
V _{VS(nom)}	公称動作電圧	4		40	V	
V _{VS(uvr)}	低電圧再起動	V _{VS} 立ち上がり	3.5	3.7	4	V
V _{VS(uvf)}	低電圧シャットダウン	V _{VS} 立ち下がり	3	3.2	3.4	V
V _(uv,hys)	低電圧シャットダウン、ヒステリシス		0.5		V	
動作電流						
I _(op)	公称動作電流	V _{VS} = 13.5V、V _{IN} = 5V、V _{DIAG_EN} = 0V、I _{OUT} = 0.1A、I _{CL} = 0.5A		5	mA	
I _(off)	スタンバイ電流	V _{VS} = 13.5V、V _{IN} = V _{DIAG_EN} = V _{CL} = V _{OUT} = 0V、T _J = 25°C		0.5	μA	
		V _{VS} = 13.5V、V _{IN} = V _{DIAG_EN} = V _{CL} = V _{OUT} = 0、T _J = 125°C		3		
I _(off,diag)	診断機能有効時のスタンバイ電流	V _{VS} = 13.5V、V _{IN} = 0V、V _{DIAG_EN} = 5V		3	mA	
t _(off,deg)	スタンバイ モード デグリッチ時間 ⁽¹⁾	IN が High から Low になり、デグリッチ時間が t _(off,deg) 以上の場合、デバイスはスタンバイ モードに入ります。	12.5		ms	
I _{kg(out)}	オフ状態での出力リーク電流	V _{VS} = 13.5V、V _{IN} = V _{DIAG_EN} = V _{OUT} = 0V		3	μA	
電力段						
r _{DS(on)}	オン状態抵抗	V _{VS} ≥ 3.5V、T _J = 25°C	1000		mΩ	
		V _{VS} ≥ 3.5V、T _J = 150°C	2000			
I _{CL(int)}	内部電流制限	CL ピンから GND への接続	1	1.8	A	
I _{CL(TSD)}	サーマル シャットダウン時の電流制限値のパーセンテージ		60%			
V _{DS(clamp)}	内部的にクランプされたドレイン ソース間電圧		45	65	V	
出力ダイオードの特性						
V _F	ドレイン ソース間ダイオード電圧	I _N = 0、I _{OUT} = -0.15A	0.3	0.7	1	V
I _{R(1)}	バッテリーへの短絡状態における、ソースからドレインへの連続的な逆電流 ⁽¹⁾	t < 60s、V _{IN} = 0V、T _J = 25°C			1	A
I _{R(2)}	逆極性状態における、ソースからドレインへの連続的な逆電流 ⁽¹⁾	t < 60s、V _{IN} = 0V、T _J = 25°C。GND ピンに 1kΩ 抵抗をダイオードと並列に接続。			1	A
ロジック入力 (IN、DIAG_EN)						
V _{IH}	ロジック High レベル電圧		2		V	
V _{IL}	ロジック Low レベル電圧			0.8	V	
R _{pd,in}	ロジック ピンのプルダウン抵抗	IN、V _{IN} = 5V	150	400	kΩ	
		DIAG_EN、V _{VS} = V _{DIAG_EN} = 5V	350	850		
診断						
I _{kg(loss,GND)}	グランド喪失時の出力リーク電流			100	μA	
t _{d(ol,on)}	オン状態での開放負荷デグリッチ時間	V _{IN} = 5V、V _{DIAG_EN} = 5V。I _{OUT} < I _(ol,on) の状態が t _{d(ol,on)} 以上継続すると、開放負荷を検出。	200	300	450	μs

5.5 電気的特性 (続き)

動作時周囲温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$I_{(ol,on)}$	オン状態での開放負荷検出スレッシュホールド $V_{IN} = 5V, V_{DIAG_EN} = 5V, I_{OUT} < I_{(ol,on)}$ の状態が $t_{d(ol,on)}$ 以上継続すると、開放負荷を検出。	1	5	8	mA
$V_{(ol,off)}$	オフ状態での開放負荷検出スレッシュホールド $V_{IN} = 0V, V_{DIAG_EN} = 5V, V_{VS} - V_{OUT} < V_{(ol,off)}$ の状態が $t_{d(ol,off)}$ 以上継続すると、開放負荷を検出。	1.4		2.6	V
$t_{d(ol,off)}$	オフ状態での開放負荷デグリッチ時間 $V_{IN} = 0V, V_{DIAG_EN} = 5V, V_{VS} - V_{OUT} < V_{(ol,off)}$ の状態が $t_{d(ol,off)}$ 以上継続すると、開放負荷を検出。	200	300	450	μs
$I_{(ol,off)}$	オフ状態の出力シンク電流 $V_{IN} = 0V, V_{DIAG_EN} = 5V, V_{VS} = V_{OUT} = 13.5V$	-70			μA
V_{FAULT}	FAULT low 出力電圧 $I_{FAULT} = 2mA$			0.2	V
t_{FAULT}	FAULT 信号ホールド時間 ⁽¹⁾		8.5		ms
$T_{(SD)}$	サーマル シャットダウンのスレッシュホールド ⁽¹⁾		175		$^{\circ}C$
$T_{(SD,rst)}$	サーマル シャットダウン ステータスのリセット ⁽¹⁾		155		$^{\circ}C$
$T_{(sw)}$	サーマル スイング シャットダウンのスレッシュホールド ⁽¹⁾		60		$^{\circ}C$
$T_{(hys)}$	サーマル シャットダウンおよびサーマル スイングをリセットするためのヒステリシス ⁽¹⁾		10		$^{\circ}C$
電流制限および遅延構成					
$K_{(CL)}$	電流制限の電流比 ⁽¹⁾		600		
$V_{CL(th)}$	電流制限内部スレッシュホールド電圧 ⁽¹⁾		0.8		V
$dK_{(CL)}/K_{(CL)}$	外部電流制限精度 ⁽²⁾ $(I_{OUT} - I_{CL} \times K_{(CL)}) \times 100 / (I_{CL} \times K_{(CL)})$	$I_{limit} \geq 0.05A, V_{VS} - V_{OUT} \geq 2.5V$ $I_{limit} \geq 0.15A, V_{VS} - V_{OUT} \geq 2.5V$ $I_{limit} \geq 0.3A, I_{limit} < 1A, V_{VS} - V_{OUT} \geq 2.5V$	-20% -15% -10%	20% 15% 10%	
$I_{dl(chg)}$	ラッチオフ モードでの Delay ピンの充電電流 ⁽¹⁾		4.5		μA
$V_{dl(th)}$	自動再試行モードでのプルアップ スレッシュホールド	2.7			V
$V_{dl(ref)}$	ラッチオフ モードでの内部リファレンス電圧		1.45		V
t_{dl1}	内部固定遅延時間 ⁽¹⁾	300	400	500	μs
t_{dl2}	DELAY ピンの外付けコンデンサで調整可能な遅延時間 ⁽¹⁾	最大値である 3.3 μF コンデンサを接続。		1000	ms
$t_{CL(deg)}$	電流制限時のデグリッチ時間 ⁽¹⁾	IN が Low から High に移行、 $V_{DIAG_EN} = 5V$ 。IN の立ち上がりエッジから FAULT 異常検出力までのデグリッチ時間。 IN が High を維持、 $V_{DIAG_EN} = 5V$ 。CL 開始ポイントから FAULT 検出力までのデグリッチ時間。	300 80	500 180	μs
$t_{hic(on)}$	自動再試行モードでのオン時間 ⁽¹⁾	35	40	45	ms
$t_{hic(off)}$	自動再試行モードでのオフ時間 ⁽¹⁾	0.8	1	1.2	s

(1) 設計により規定された値であり、生産時の試験対象ではありません

(2) 外部電流制限の精度は、電流制限設定の 1.5 倍を超える過負荷状態にのみ適用されます

5.6 スイッチング特性

パラメータ	テスト条件	最小値	公称値	最大値	単位
$t_{d(on)}$	ターンオン遅延時間、IN の立ち上がりエッジから V_{OUT} が 10% に達するまでの時間 $V_{VS} = 13.5V, V_{DIAG_EN} = 5V, I_{OUT} = 0.1A$	20	50	90	μs
$t_{d(off)}$	ターンオフ遅延時間、IN の立ち下がりエッジから V_{OUT} が 90% に達するまでの時間 $V_{VS} = 13.5V, V_{DIAG_EN} = 5V, I_{OUT} = 0.1A$	20	50	90	μs
$dV/dt_{(on)}$	オン時のスルーレート、 V_{OUT} が 10% から 90% に変化する区間 $V_{VS} = 13.5V, V_{DIAG_EN} = 5V, I_{OUT} = 0.1A$	0.1		0.6	V/ μs
$dV/dt_{(off)}$	オフ時のスルーレート、 V_{OUT} が 90% から 10% に変化する区間 $V_{VS} = 13.5V, V_{DIAG_EN} = 5V, I_{OUT} = 0.1A$	0.3		0.9	V/ μs

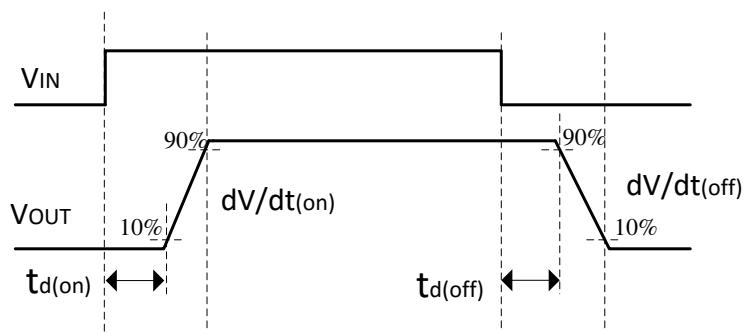


図 5-1. 出力遅延特性

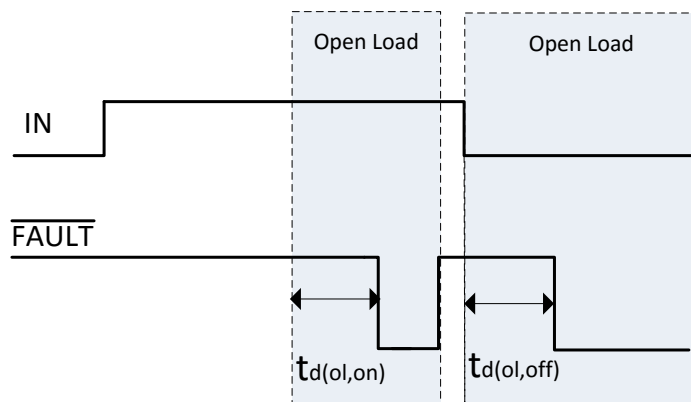


図 5-2. 開放負荷ブランキング タイミング特性

5.7 代表的特性

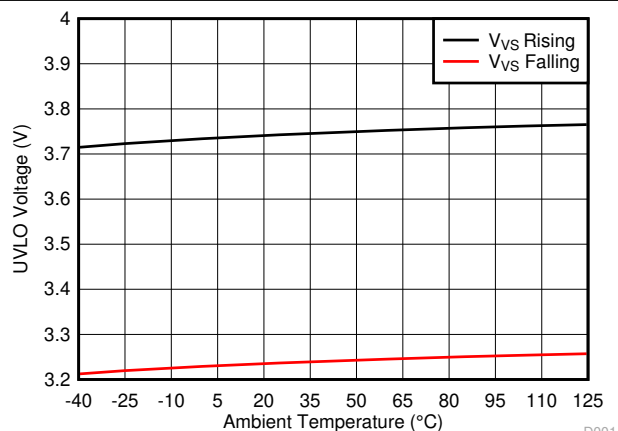


図 5-3. UVLO 電圧スレッシュホールド

D001

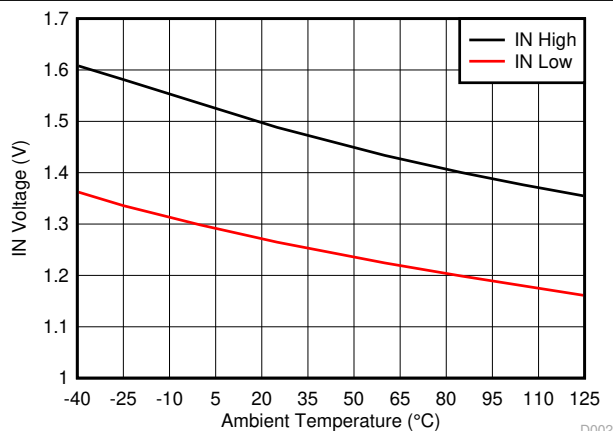


図 5-4. IN 電圧スレッシュホールド

D002

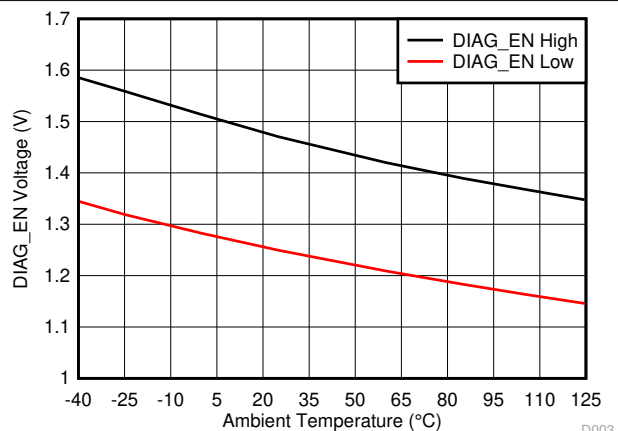


図 5-5. DIAG_EN 電圧スレッシュホールド

D003

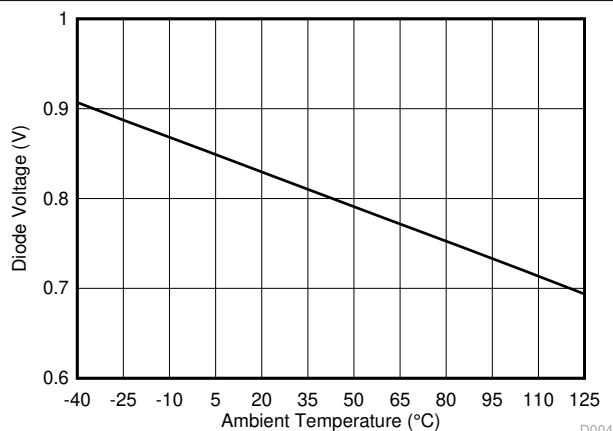


図 5-6. ボディ ダイオード順方向電圧

D004

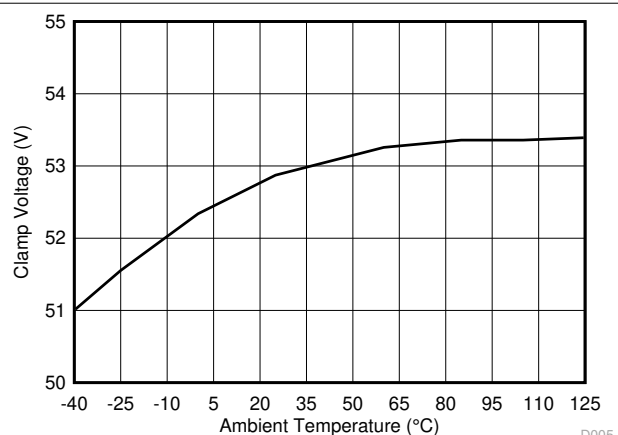


図 5-7. ドレイン-ソース間クランプ電圧

D005

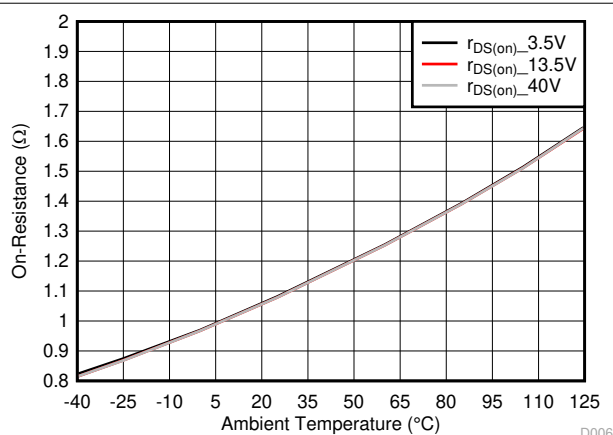


図 5-8. FET オン抵抗

D006

5.7 代表的特性 (続き)

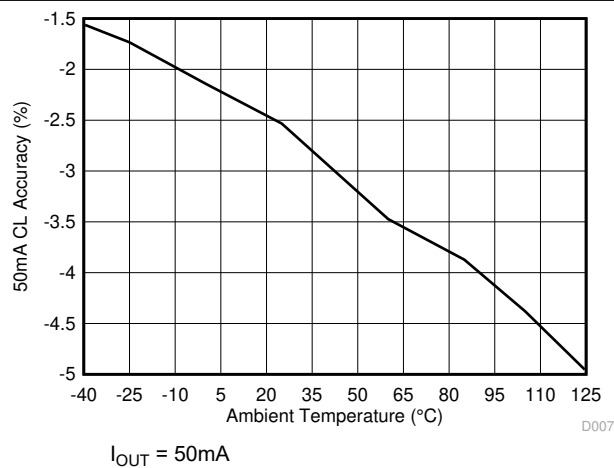


図 5-9. 50mA における電流制限精度

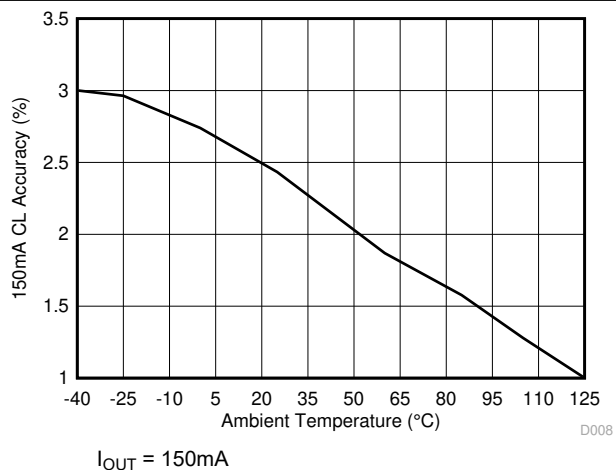


図 5-10. 150mA における電流制限精度

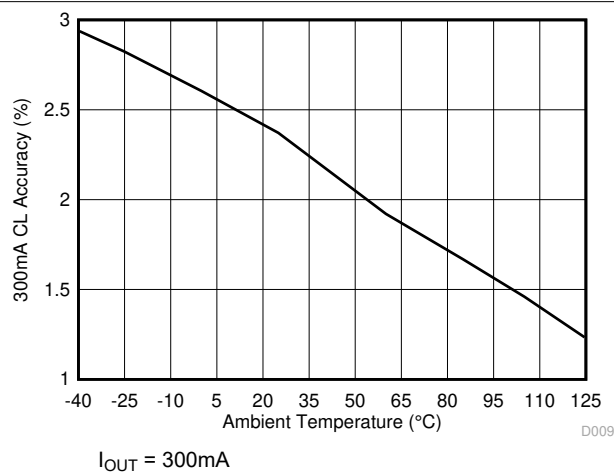


図 5-11. 300mA における電流制限精度

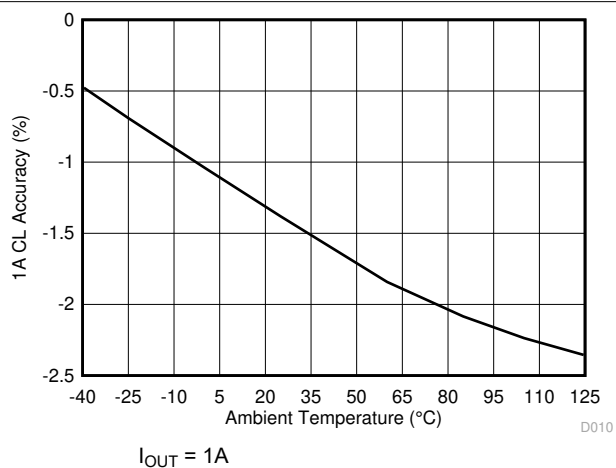


図 5-12. 1A における電流制限精度

6 詳細説明

6.1 概要

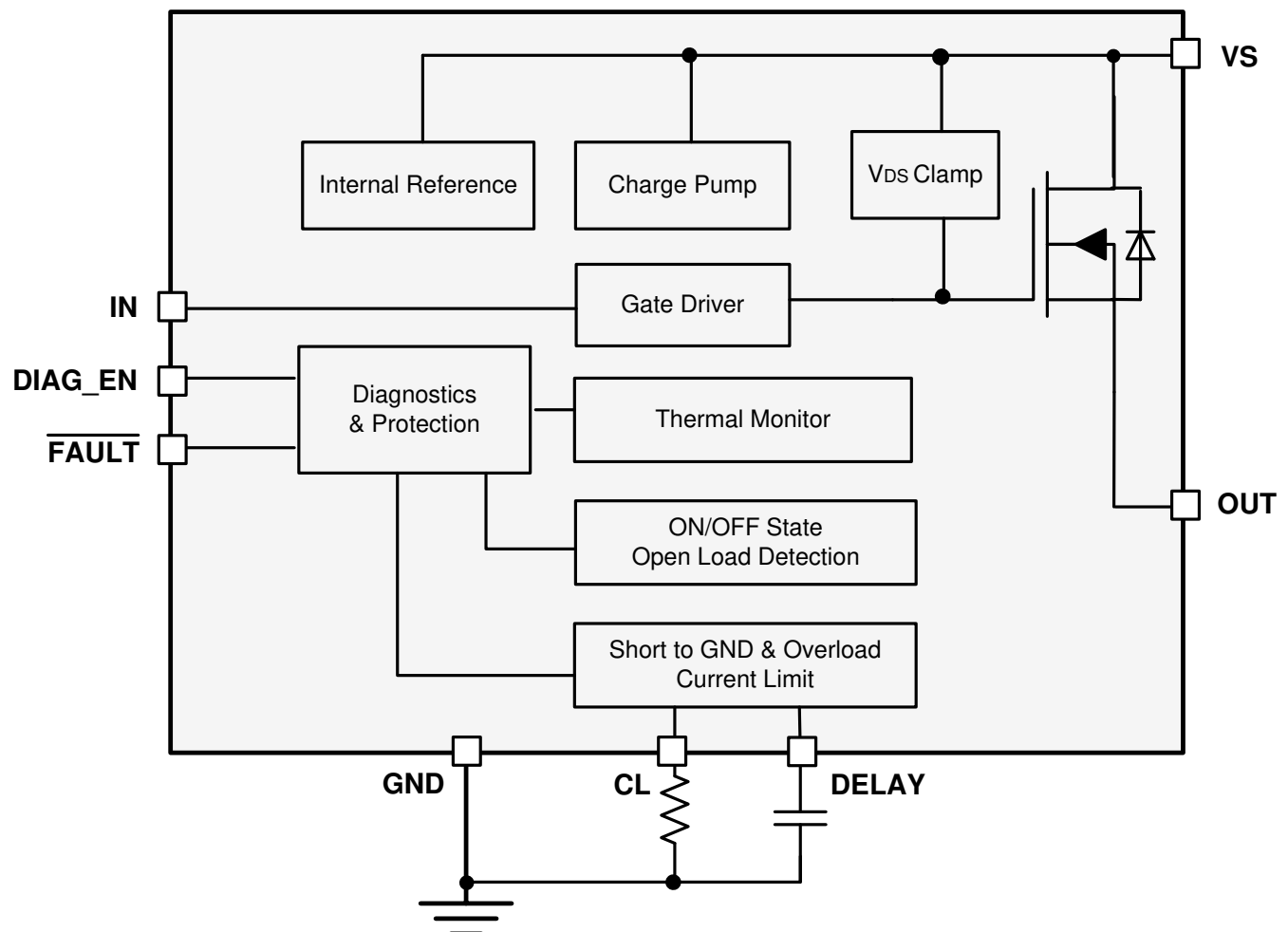
TPS1H000-Q1 デバイスは、内部チャージポンプとシングルチャネル NMOS パワー FET を備えたスマートハイサイドスイッチです。可変の電流制限機能により、システム全体の信頼性が大幅に向上します。包括的な診断機能により、インテリジェントな負荷制御が可能です。

外部の高精度な電流制限機能により、アプリケーションごとに電流制限値を設定できます。過電流が発生した場合、デバイスは突入電流を効果的にクランプすることで、システムの信頼性を向上させます。TPS1H000-Q1 デバイスを使用することで、PCB トレースとコネクタのサイズ、および前段の電力段のキャパシティを低減できるため、システムコストの削減にもつながります。TPS1H000-Q1 デバイスには、電流制限発生時に使用できるモードが 3 つあります。DELAY ピンの構成により、出力を 3 つのモード (電流の一定保持、即時ラッチオフ、自動再試行) のいずれかに設定できます。電流制限時の動作を設定可能にすることで、機能、コスト、熱放散を考慮した柔軟な設計が可能となります。

TPS1H000-Q1 デバイスは包括的な診断機能をサポートし、ステータスをデジタル出力します。高精度で低いスレッショルドの開放負荷検出により、リアルタイムのオン状態監視が可能です。TPS1H000-Q1 デバイスは MCU を使用しない動作 (スタンドアロンモード) にも対応しているため、システムは全機能をローカルに実装できます。

TPS1H000-Q1 デバイスは、LED、リレー、サブモジュールなど、幅広い種類の抵抗性、誘導性、容量性負荷に対応するスマートハイサイドスイッチです。

6.2 機能ブロック図



6.3 機能説明

6.3.1 電流制限

高精度の電流制限により、設計の信頼性が高くなります。**GND** への短絡や電源投入時の状態において、負荷および電源が過負荷になるのを防ぎます。電流制限機能は、**PCB** のパターンやコネクタのサイズ、さらには前段の電源ステージの容量を小さくできるため、システムコストの削減にもつながります。

電流制限スレッシュホールドに達すると、直ちに閉ループが起動します。出力電流は設定値にクランプされ、障害が通知されます。このデバイスは、パワー **FET** の消費電力が高いために発熱します。

このデバイスには **2** つの電流制限スレッシュホールドがあります。

- 内部電流制限 – 内部電流制限は、 $I_{CL(int)}$ に固定されています。大きな過渡電流が発生する用途では、**CL** ピンをデバイスの **GND** に直接接続します。
- 外部調整可能な電流制限 – 外部抵抗を使用して、電流制限スレッシュホールドを設定します。式 1 を使用して R_{CL} を計算します。 $V_{CL(th)}$ は、内部バンドギャップ電圧です。 K_{CL} は、出力電流と電流制限設定値の比です。 K_{CL} は、温度と電源電圧に関係なく一定です。外部調整可能な電流制限により、用途に応じて電流制限値を柔軟に設定できます。

$$R_{CL} = \frac{V_{CL(th)} \times K_{CL}}{I_{OUT}} \quad (1)$$

注意: デバイスの **GND** と基板の **GND** の間にレベルシフトが生じるような **GND** ネットワークを使用する場合は、**CL** ピンを必ずデバイスの **GND** に接続する必要があります。

GND へのハード短絡状態 (**IN** ピンが有効のときに突然 **GND** への短絡が発生する場合) に対する保護を強化するために、このデバイスは高速トリップ保護を実装しています。これにより、電流制限の閉ループがセットアップされる前に出力をオフにします。高速トリップ応答時間は、通常 **1μs** 未満です。この高速応答により、デバイスはより優れた突入電流抑制性能を実現できます。

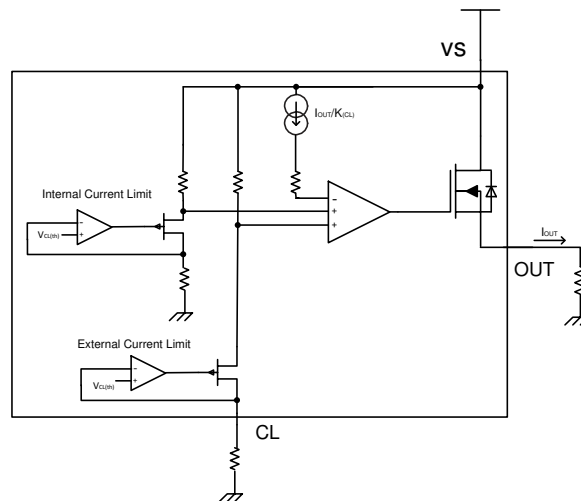


図 6-1. 電流制限

6.3.2 DELAY ピン構成

電流制限が発生した場合、TPS1H000-Q1 デバイスは **3** 種類の出力動作をサポートします。

表 6-1. 電流制限の構成

モード	遅延構成	出力電流の動作	FAULT 回復
ホールド	GND に直接接続	電流制限に達すると、出力電流は設定電流に保持されます。 $T_J > T_{(SD)}$ になると、デバイスはサーマル シャットダウン モードに入ります。	IN が t_{FAULT} より長い時間 Low になった場合、または IN が High のときに電流制限が解除された場合、 $\overline{FAULT}$ はクリアされます。
ラッチオフ	コンデンサを介して GND に接続	電流制限に達すると、出力電流は設定電流に保持されますが、プリセットされた DELAY の時間 ($t_{dl1} + t_{dl2}$) 経過後にラッチオフします。 t_{dl1} はデフォルトの遅延時間で、 t_{dl2} はコンデンサによって設定可能な遅延時間です。 電流制限が解除されたかにかかわらず、出力はラッチオフ状態を維持します。出力は、IN が切り替わったときにのみ復帰します。	IN が t_{FAULT} より長い時間 Low になると、 $\overline{FAULT}$ はクリアされます。
自動再試行	外部プルアップ	電流制限に達すると、出力電流は設定電流に保持されますが、周期的に $t_{hic(on)}$ の間オンになり、 $t_{hic(off)}$ の間オフになります。	IN が t_{FAULT} より長い時間 Low になる場合、または $t_{hic(on)}$ の間電流制限が解除されると、 $\overline{FAULT}$ はクリアされます。

6.3.2.1 ホールド モード

ホールド モードは、DELAY ピンが GND に直接接続されているときに有効になります。電流制限に達すると、出力電流は設定電流に保持されます。 $T_J > T_{(SD)}$ になると、デバイスはサーマル シャットダウン モードに入ります。

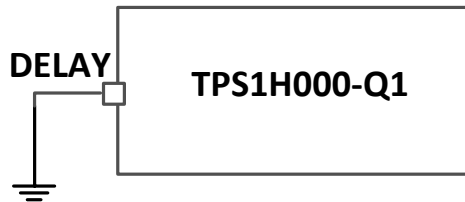


図 6-2. ホールド モードの接続

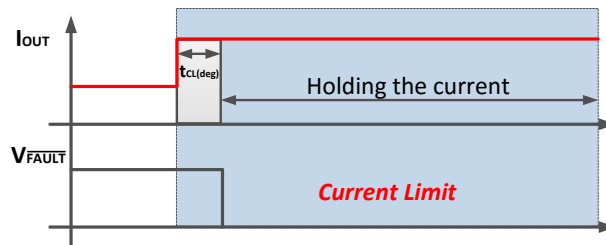


図 6-3. ホールド モードの例

6.3.2.2 ラッチオフ モード

ラッチオフ モードは、DELAY ピンがコンデンサを介して GND に接続されているときに有効となります。電流制限に達すると、出力電流は設定電流に保持されますが、プリセットされた DELAY の時間 ($t_{dl1} + t_{dl2}$) 経過後にラッチオフします。 t_{dl1} はデフォルトの遅延時間で、 t_{dl2} はコンデンサによって決まる設定可能な遅延時間です。電流制限が解除されたかにかかわらず、出力はラッチオフ状態を維持します。出力は、IN が切り替わったときにのみ復帰します。

t_{dl2} の計算には、式 2 を使用します。 $I_{dl(chg)}$ はラッチオフ モード時のデバイスの充電電流、 $V_{dl(ref)}$ はラッチオフ モード時の内部リファレンス電圧、 t_{dl2} はユーザー設定の遅延時間、 C_{DELAY} は DELAY ピンに接続されたコンデンサです。

$$C_{DELAY} = \frac{I_{dl(chg)} \times t_{dl2}}{V_{dl(ref)}} \quad (2)$$

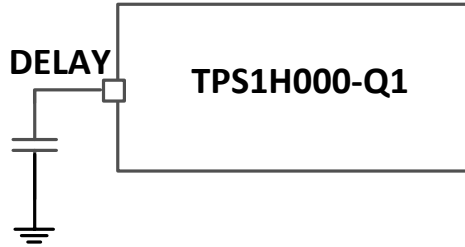


図 6-4. ラッチオフ モードの接続

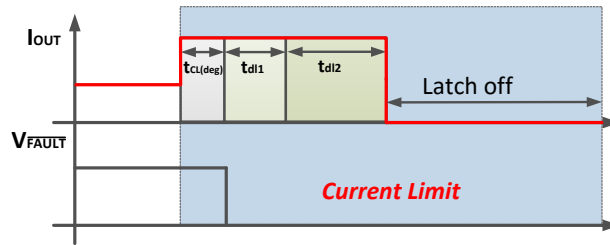


図 6-5. ラッチオフ モードの例

6.3.2.3 自動再試行モード

自動再試行モードは、DELAY ピンが外部でプルアップされると有効になります。プルアップ電圧は、 $V_{dl(th)}$ よりも高くする必要があります。電流制限に達すると、出力電流は設定電流に保持されますが、周期的に $t_{hic(on)}$ の間オンになり、 $t_{hic(off)}$ の間オフになります。

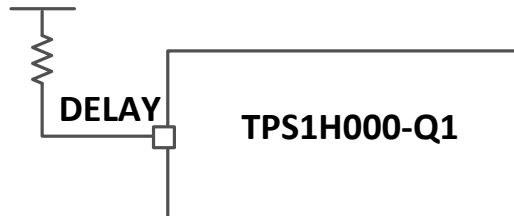


図 6-6. 自動再試行モードの接続

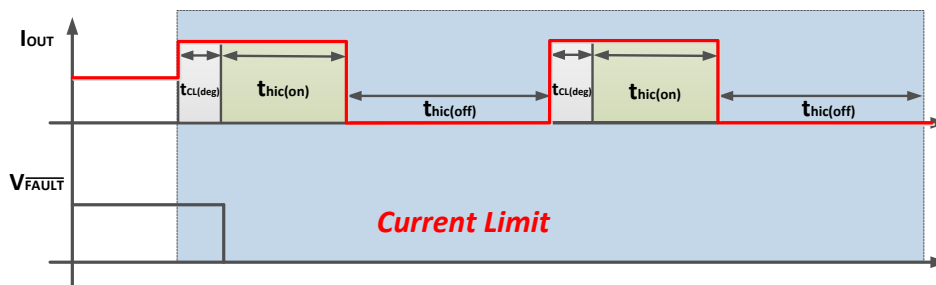


図 6-7. 自動再試行モードの例

6.3.3 スタンドアロン動作

一般的なアプリケーションでは、TPS1H000-Q1 デバイスはマイコンで制御されます。本デバイスはスタンドアロン動作もサポートしています。IN と DIAG_EN の最大 DC 定格は 40V で、VS ピンに直接接続できます。自動再試行モードでは、DELAY ピンは 100kΩ 抵抗を介して VS ピンに接続することもできます。

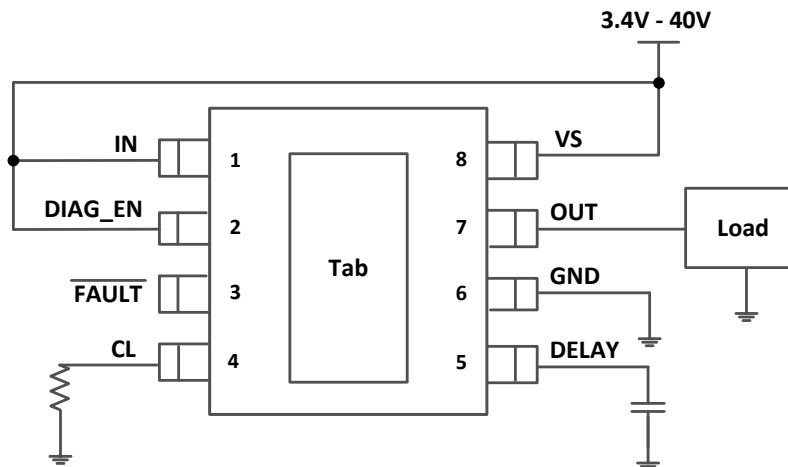


図 6-8. ラッチオフ モードでのスタンドアロン動作

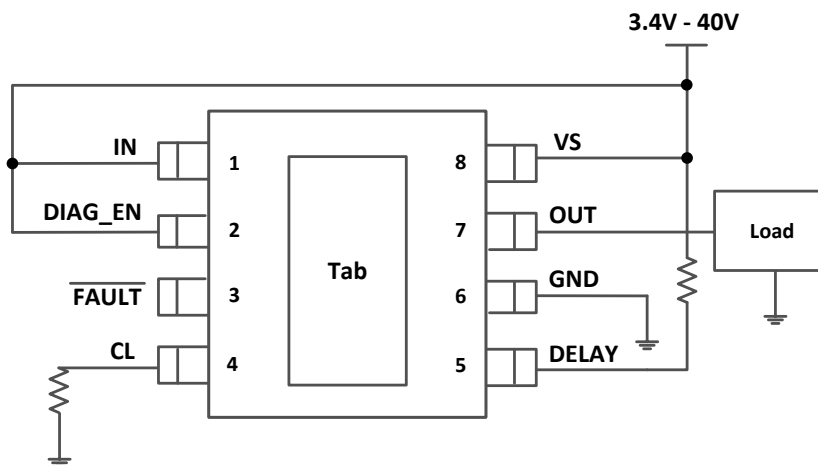


図 6-9. 自動再試行モードでのスタンドアロン動作

6.3.4 故障の真理値表

DIAG_EN ピンは診断機能をイネーブルまたはディスエーブルします。複数のデバイスを使用する際に、マイコン内の ADC リソースが制限されている場合、マイコンは GPIO を使用して DIAG_EN を High に設定し、ある 1 台のデバイスの診断機能をイネーブルにできます。また、DIAG_EN を Low に設定することで他のデバイスの診断機能をディスエーブルにできます。また、DIAG_EN と IN を Low に設定することで、デバイスは消費電力を最小限に抑えることができます。

表 6-2 は、DIAG_EN ピンがイネーブル時に適用されます。表 6-3 は、DIAG_EN ピンがディスエーブル時に適用されます。

表 6-2. 故障の真理値表

条件	IN	OUT	条件	FAULT	FAULT 回復
正常	L	L	—	H	—
	H	H	—	H	
過負荷または GND への短絡	H	L	電流制限がトリガされた	L	表 6-1 を参照してください。
開放負荷またはバッテリーへの短絡	H	H	$I_{OUT} < I_{(ol,on)}$	L	IN が t_{FAULT} より長い時間 Low になると、 $\overline{FAULT}$ はクリアされます。または、開放負荷が解消されると $\overline{FAULT}$ はクリアされます。
	L ⁽¹⁾	H	$V_{VS} - V_{OUT} < V_{(ol,off)}$	L	IN がトグルすると $\overline{FAULT}$ はクリアされます。または、開放負荷が解消されると $\overline{FAULT}$ はクリアされます。
サーマル シャットダウン	H	—	サーマル シャットダウンがトリガされた	L	IN が t_{FAULT} より長い時間 Low になると、 $\overline{FAULT}$ はクリアされます。または、サーマル シャットダウンが終了すると $\overline{FAULT}$ はクリアされます。
サーマル スイング	H	—	サーマル スイングがトリガされた	L	IN が t_{FAULT} より長い時間 Low になると、 $\overline{FAULT}$ はクリアされます。または、サーマル スイングが終了すると $\overline{FAULT}$ はクリアされます。

(1) 開放負荷検出には、外部プルアップが必要です。

表 6-3. DIAG_EN ディスエーブル時の状態

DIAG_EN	IN	保護および診断
Low	ON	診断無効、保護はすべて有効
	OFF	診断無効、保護なし

6.3.5 全診断機能

6.3.5.1 GND 短絡および過負荷保護

出力がオンのとき、GND 短絡または過負荷状態により過電流が発生します。過電流によって内部または外部の電流制限スレッシュホールドのいずれかがトリガされた場合、 $\overline{FAULT}$ ピン = Low として故障状態が通知されます。

6.3.5.2 オープン負荷の検出

6.3.5.2.1 出力オン

出力がオンのとき、出力に流れる電流が $I_{OUT} < I_{(ol,on)}$ である場合、デバイスは開放負荷故障と認識します。出力オンでの開放負荷検出には、外部回路は不要です。

6.3.5.2.2 出力オフ

出力がオフの状態では負荷が接続されている場合、出力は GND にプルダウンされます。しかし、開放負荷が発生した場合、出力電圧は電源電圧に近くなり ($V_{VS} - V_{OUT} < V_{(ol,off)}$)、デバイスは開放負荷故障と認識します。

内部ロジック制御経路や外部の湿気、腐食などの影響により、出力には常にリーク電流 $I_{(ol,off)}$ が流れています。そのため、開放負荷検出時のリーク電流をオフセットするために、外部プルアップ抵抗の使用を推奨しています。推奨プルアップ抵抗は 15kΩ です。

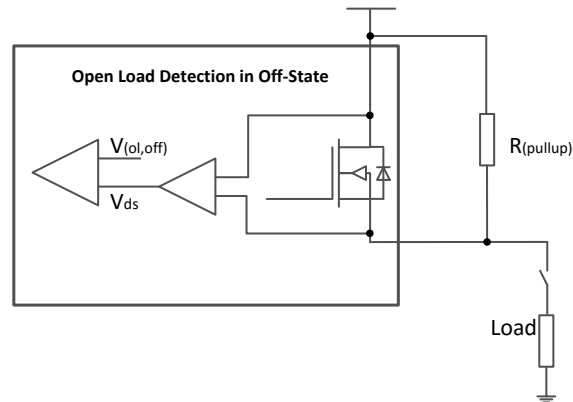


図 6-10. 出力オフ時の開放負荷検出

6.3.5.3 バッテリへの短絡の検出

バッテリーへの短絡に対する検出メカニズムおよび動作は、オン状態とオフ状態の両方で、開放負荷検出と同じです。

6.3.5.4 サーマルフォルト検出

過酷な電力ストレスの発生時にデバイスを保護するため、このデバイスには、絶対温度保護 (サーマル シャットダウン) と動的温度保護 (サーマル スリング) という 2 種類のサーマルフォルト検出機能が実装されています。

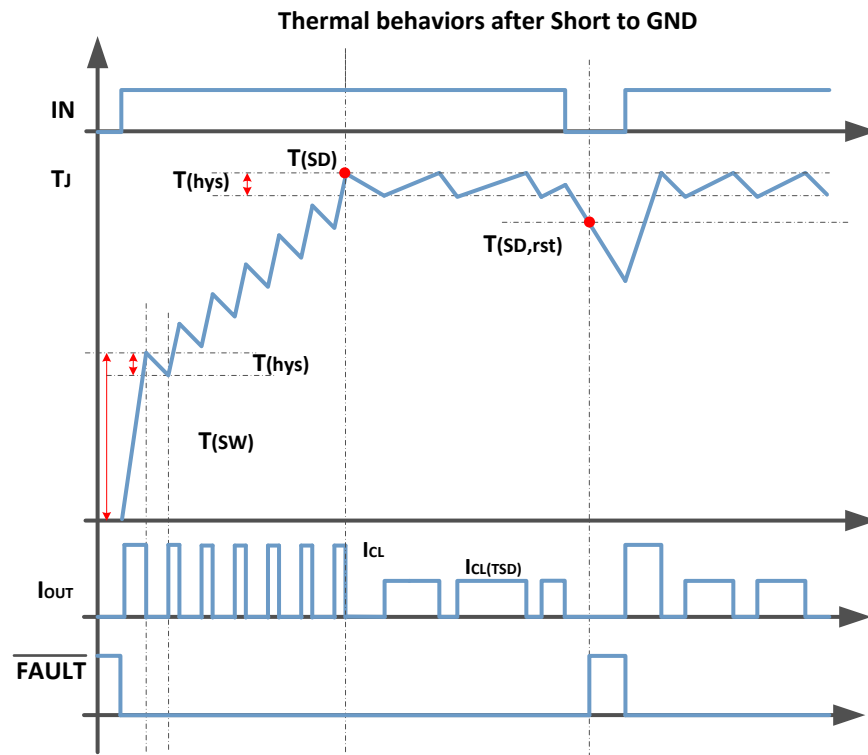


図 6-11. サーマル動作図

6.3.5.4.1 サーマル シャットダウン

サーマル シャットダウンは、絶対温度 $T_J > T_{SD}$ のときに、アクティブになります。サーマル シャットダウンが発生すると、出力はオフになります。

6.3.5.4.2 サーマル スイング

サーマル スイングは、パワー FET の温度が急激に上昇している時、すなわち 式 3 を満たす場合に作動し、出力がオフになります。

$$\Delta T = T_{(FET)} - T_{(Logic)} > T_{(sw)} \quad (3)$$

出力は自動的に復帰し、次の式を満たす場合に故障信号はクリアされます。

$$\Delta T = T_{(FET)} - T_{(Logic)} < T_{(sw)} - T_{(hys)} \quad (4)$$

サーマル スイング機能により、繰り返し急激な温度変動にさらされる状況下におけるデバイスの信頼性が向上します。

6.3.5.4.3 異常検出出力の保持

PWM 調光を使用する場合、PWM の立ち下がりエッジによって $\overline{FAULT}$ は容易にクリアされます。故障状態が常時継続されていても、 $\overline{FAULT}$ は連続して出力されません。この予期しない異常検出出力動作を回避するため、デバイスは異常検出出力の保持時間機能を備えています。図 6-12 に、PWM 調光時の典型的な問題を示します。GND への短絡がまだ継続しているにもかかわらず、 $\overline{FAULT}$ が予期せずクリアされます。異常検出出力の保持機能を備える TPS1H000-Q1 デバイスは、図 6-13 に示すような正しい動作が可能です。

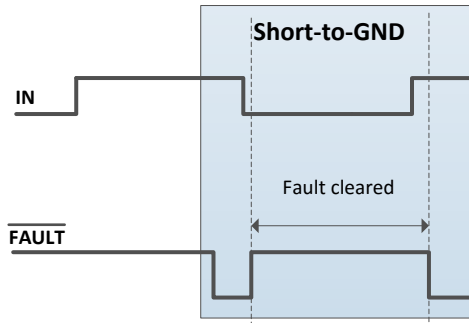


図 6-12. 異常検出出力の保持機能なし

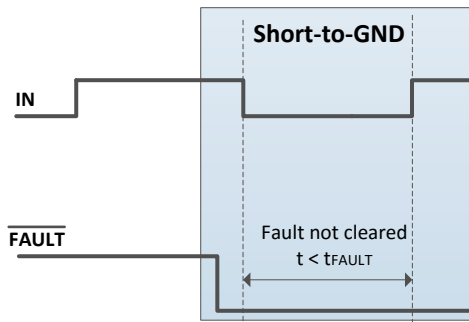


図 6-13. 異常検出出力の保持機能あり

6.3.6 全保護機能

6.3.6.1 UVLO 保護

デバイスは電源電圧 V_{VS} を監視することで、 V_{VS} が低すぎるときに予期しない動作が発生することを防ぎます。 V_{VS} が $V_{VS(uvfl)}$ を下回ると、デバイスはシャットダウンします。 V_{VS} が $V_{VS(uvr)}$ まで上昇すると、デバイスはオンになります。

6.3.6.2 誘導性負荷スイッチ オフ時のクランプ

誘導性負荷をオフに切り替えると、誘導性リアクタンスによって負の出力電圧を引き寄せる傾向があります。過度の負電圧があると、パワー FET が機能しなくなる可能性があります。パワー FET を保護するために、ドレインとソースの間の内部クランプとして $V_{DS(clamp)}$ が実装されています。

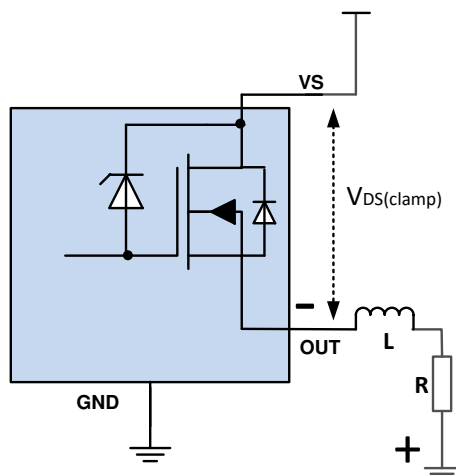


図 6-14. ドレイン-ソース間クランプ構造

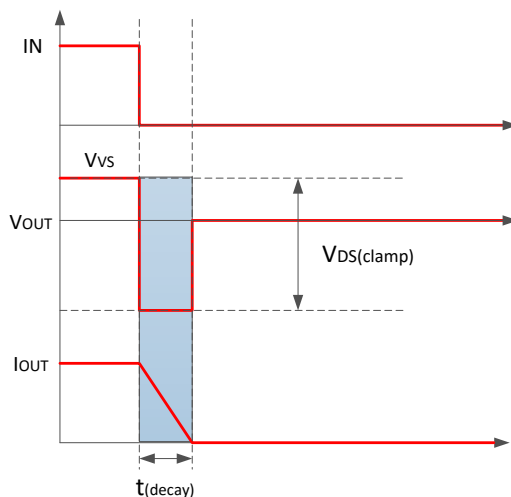


図 6-15. 誘導性負荷のスイッチングオフ図

6.3.6.3 GND 喪失保護

GND が失われた場合、IN ピンが High か Low に関係なく、出力はシャットダウンされます。このデバイスは、「デバイス GND の喪失」と「モジュール GND の喪失」という 2 種類の喪失状態に対して保護機能を提供します。

6.3.6.4 電源喪失保護

電源が喪失すると、IN ピンが High か Low に関係なく、出力はシャットダウンされます。抵抗性負荷または容量性負荷の場合は、電源喪失によるリスクはありません。しかし、帯電した誘導性負荷の場合、インダクタンス電流を維持するために、すべての論理制御ピンから電流が流れ出します。この状況においてシステムを保護するため、TI では外付けのフリーホイール ダイオードによる保護を推奨しています。

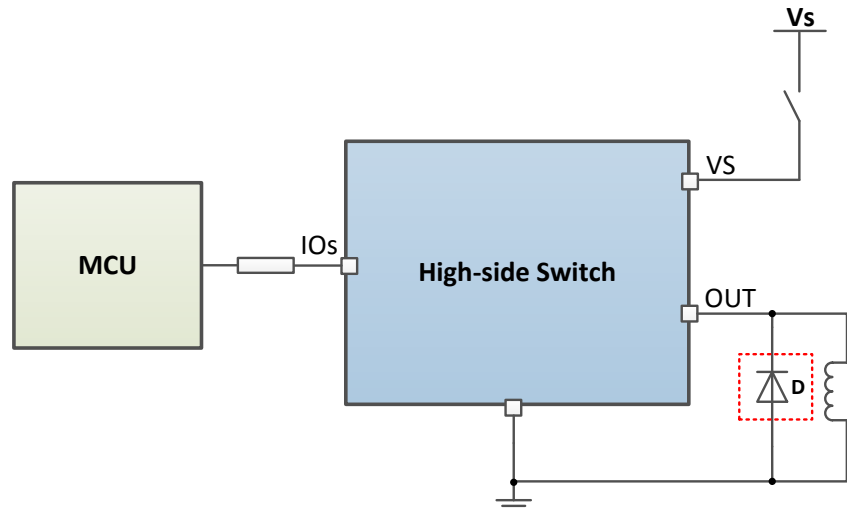


図 6-16. 電源喪失の保護

6.3.6.5 逆電流保護

逆電流は、電源への短絡および逆極性という 2 つの状況で発生します。

- 電源への短絡が発生した場合、ボディ ダイオードを介した逆電流のみが流れます。 $I_{R(1)}$ は、逆電流の制限を指定します。
- 逆極性状態では、ボディ ダイオードとデバイスの GND ピンを流れる逆電流が発生します。 $I_{R(2)}$ は、逆電流の制限を指定します。

デバイスを保護するために、TI では 2 種類の外部回路を推奨しています。

- ブロッキング ダイオードの追加 (方法 1)。逆極性時にデバイスと負荷の両方が保護されます。
- GND ネットワークの追加 (方法 2)。このデバイスの GND を流れる逆電流をブロックします。FET を流れる逆電流は負荷自体によって制限されます。TI は、GND ネットワークとしてダイオードと並列に抵抗を接続することを推奨しています。1k Ω 抵抗と 100mA を超えるダイオードを並列に接続する構成を推奨します。GND ネットワークにある逆電流保護用ダイオードの順方向電圧は、いかなる状況でも 0.6V 未満である必要があります。加えて、I/O ピンには最小 4.7k の抵抗を設けることが推奨されます。

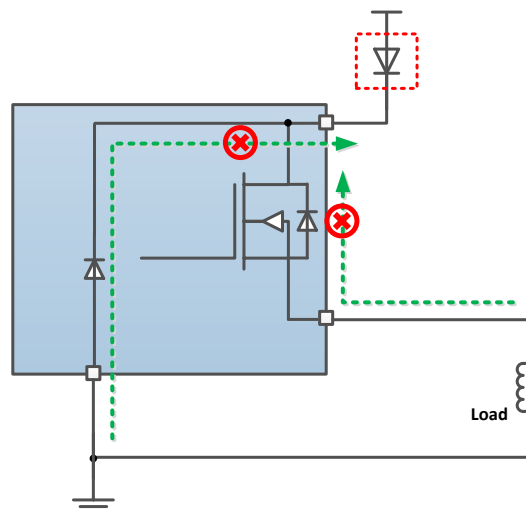


図 6-17. 逆電流の外部保護、方法 1

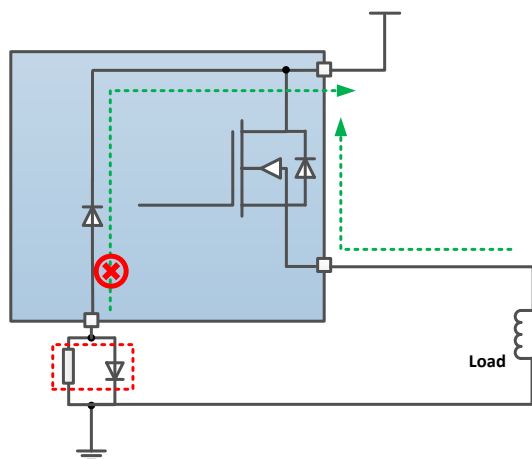


図 6-18. 逆電流の外部保護、方法 2

6.3.6.6 MCU I/O 保護

TI はマイコンを保護するために直列抵抗の使用を推奨しています。たとえば 3.3V のマイコンを使用する場合は 4.7k Ω 、5V の場合は 10k Ω を推奨します。

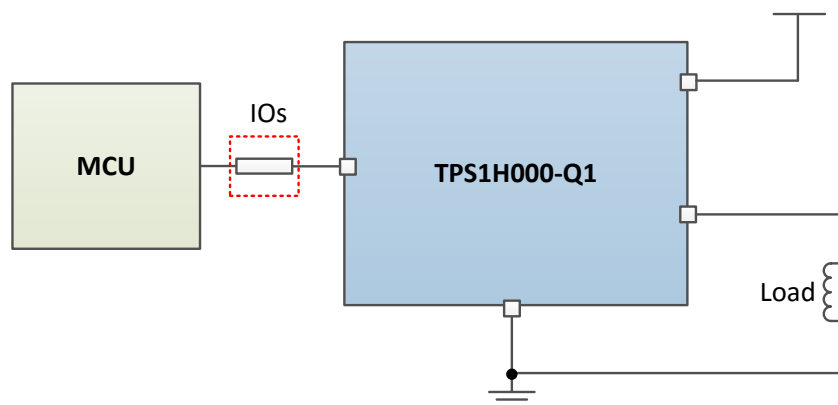


図 6-19. MCU I/O 外部保護

6.4 デバイスの機能モード

6.4.1 作業モード

このデバイスには、通常モード、スタンバイ モード、診断機能付きスタンバイ モードの 3 つの動作モードがあります (図 6-20 参照)。

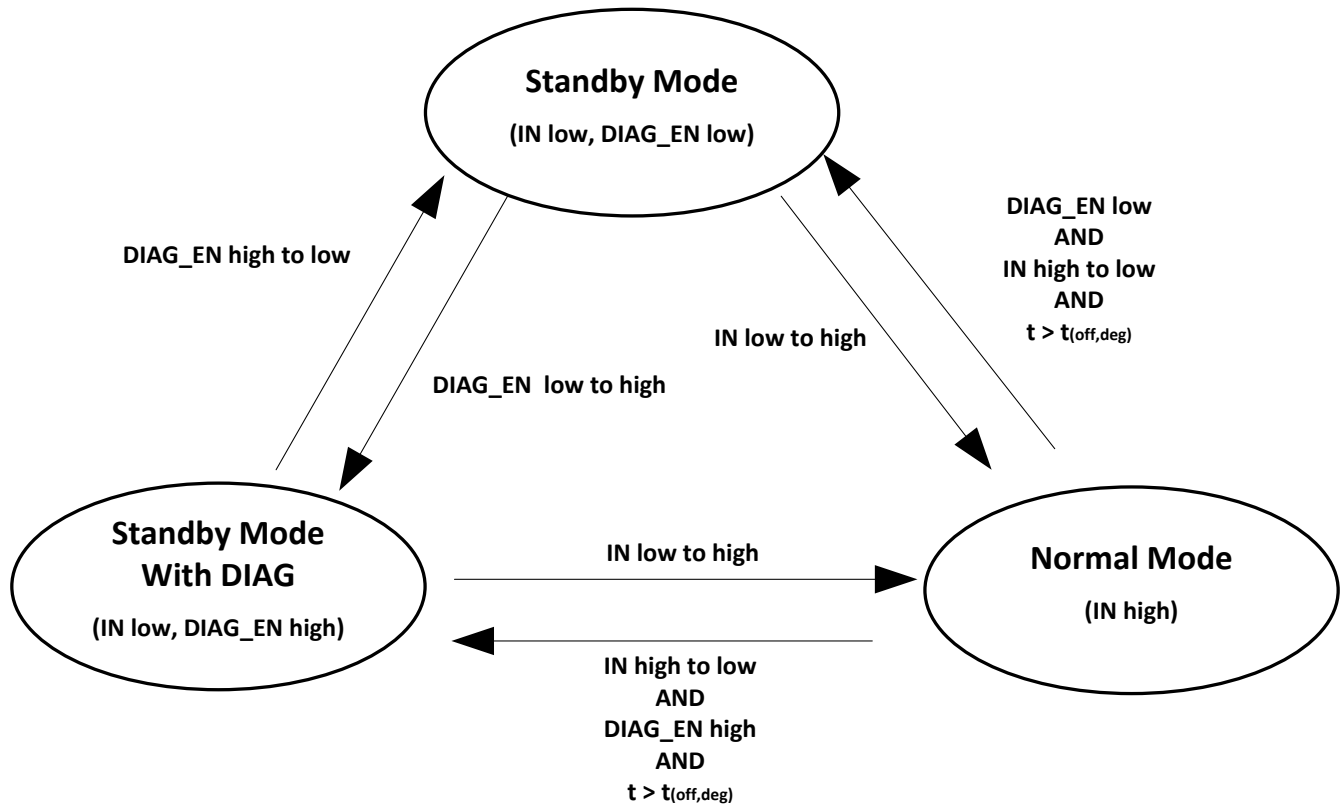


図 6-20. 作業モード

6.4.1.1 通常モード

IN ピンが High のとき、デバイスは通常モードに移行します。

6.4.1.2 スタンバイ モード

IN が Low で DIAG_EN が Low のとき、デバイスは超低消費電力のスタンバイ モードに移行します。

6.4.1.3 診断機能付きスタンバイ モード

IN が Low で DIAG_EN が High のとき、デバイスは診断機能付きスタンバイ モードに移行します。IN が Low の状態でも、本デバイスは開放負荷およびバッテリーへ短絡の検出をサポートしています。

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TPS1H000-Q1 デバイスは、内部チャージポンプとシングルチャネル NMOS パワー FET を備えたスマートハイサイドスイッチです。可変の電流制限機能により、システム全体の信頼性が大幅に向上します。包括的な診断機能により、インテリジェントな負荷制御が可能です。TPS1H000-Q1 デバイスは、LED、リレー、サブモジュールなど、幅広い種類の抵抗性、誘導性、容量性負荷に使用できます。

7.2 代表的なアプリケーション

図 7-1 に、外部回路パラメータの設計方法の例を示します。

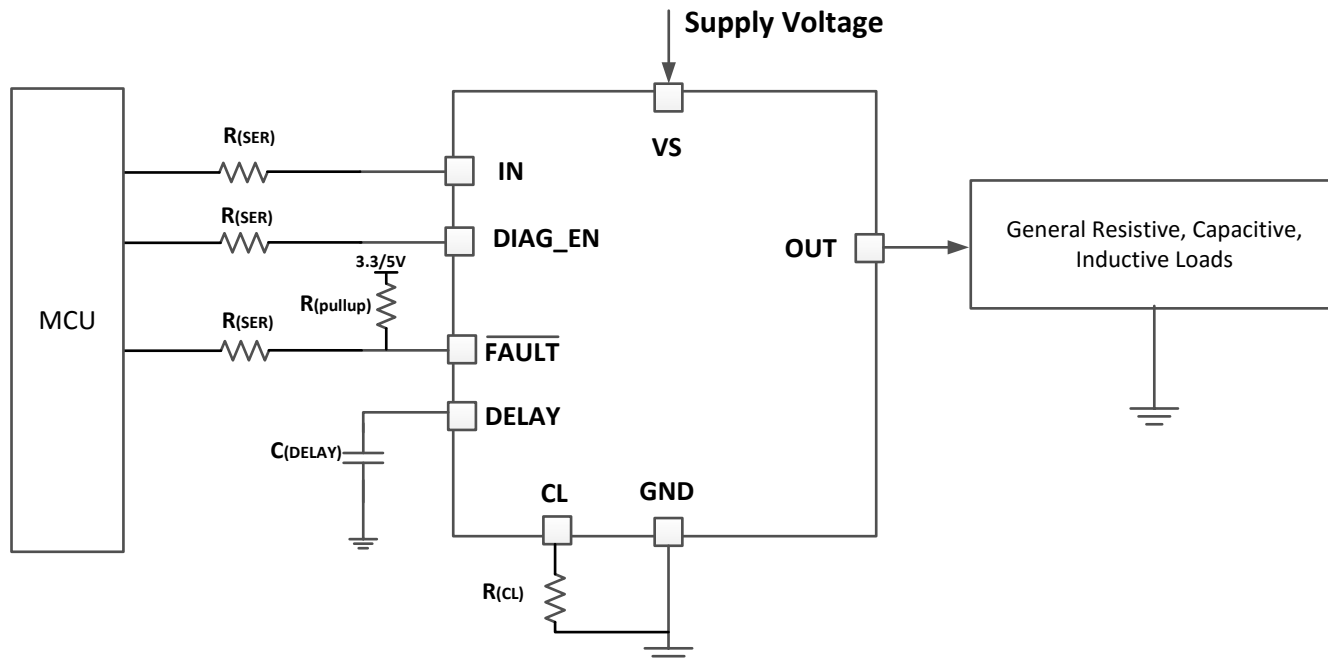


図 7-1. 代表的なアプリケーション回路

7.2.1 設計要件

- V_{VS} 範囲: 6 V ~ 18V
- 公称電流: 100mA
- 想定される電流制限値: 500mA
- 熱の影響を受けやすいシステムであるため、電流制限が発生すると、0.2 秒後に出力がラッチ オフします。この 0.2 秒は、容量性負荷の安全な起動を確認するための時間で、起動時に突入電流をクランプしますが、ラッチ オフは発生しません。
- 5V MCU による包括的な診断機能。オン状態の開放負荷検出、GND への短絡または過電流検出、サーマル シャットダウン検出を含みます。

7.2.2 詳細な設計手順

可変電流制限値を 500mA に設定するには、次の式に従って $R_{(CL)}$ を計算します。

$$R_{(CL)} = \frac{V_{CL(th)} \times K_{(CL)}}{I_{OUT}} = \frac{0.8 \times 600}{0.5} = 960\Omega \quad (5)$$

可変ラッチオフ遅延を 0.2 秒に設定するには、次の式に従って $C_{(DELAY)}$ を計算します。

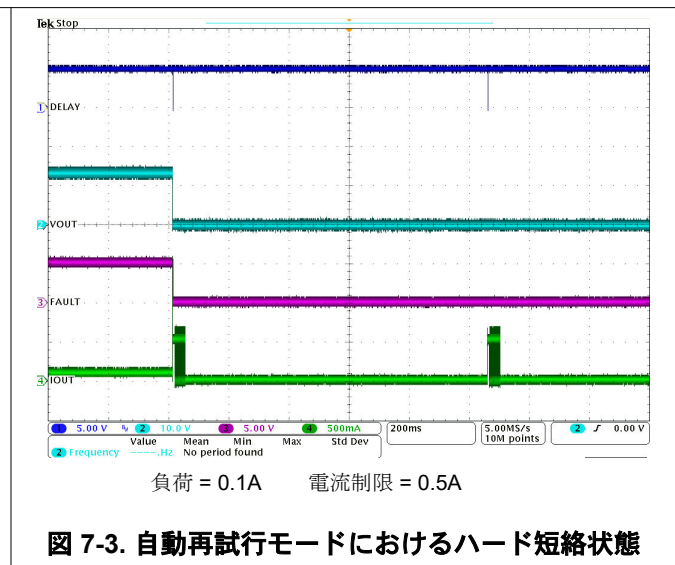
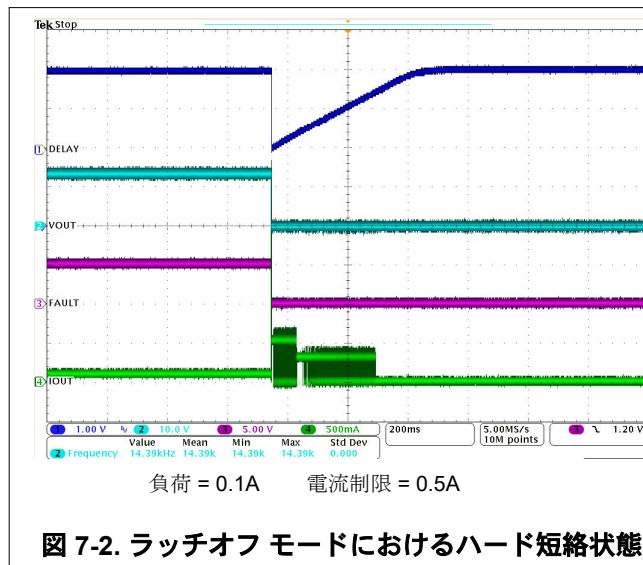
$$t_{dl} = t_{CL(deg)} + t_{dl1} + t_{dl2} = 0.2 \approx t_{dl2}$$

$$C_{DELAY} = \frac{I_{dl(chg)} \times t_{dl2}}{V_{dl(ref)}} = \frac{4.5 \times 0.2}{1.45} \times 10^{-6} = 0.62\mu F \quad (6)$$

TI では、5V MCU の場合は $R_{(SER)} = 10k\Omega$ 、プルアップ抵抗として $R_{(pullup)} = 10k\Omega$ を推奨しています。

7.2.3 アプリケーション曲線

以下の曲線は、ハード短絡条件でのテスト例です。負荷は 0.1A、電流制限値は 0.5A です。図 7-2 に、ラッチオフ モードの波形を示します。図 7-3 に、自動再試行モードの波形を示します。



7.3 電源に関する推奨事項

本デバイスは、12V と 24V の両方のアプリケーションで使用できます。通常の電源接続は、12V または 24V システムです。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

サーマル シャットダウンを防止するため、 T_J は 175°C 未満にする必要があります。出力電流が非常に高い場合は、消費電力が大きくなる可能性があります。ただし、PCB レイアウトは非常に重要です。適切な PCB 設計は、熱伝導を最適化することができ、これはデバイスの長期的な信頼性にとって絶対的に不可欠です。

- PCB 上の銅領域の面積を大きくすれば、基板の熱伝導率も大きくなります。パッケージから周囲への主要な熱伝導経路は、PCB 上の銅領域です。設計で、パッケージの反対側の PCB にヒートシンクが設けられていない場合は、銅領域を最大限大きくすることがきわめて重要です。
- 基板の熱伝導率を最適化するため、パッケージのサーマル パッドの直下に、できるだけ多くのサーマル ビアを追加します。

- すべてのサーマルビアは、はんだボイドの発生を防ぐため、基板の両側で、めっきして閉じるか、栓で塞いで覆っておく必要があります。信頼性および性能を確保するために、半田の被覆率は 85% 以上でなければなりません。

7.4.2 レイアウト例

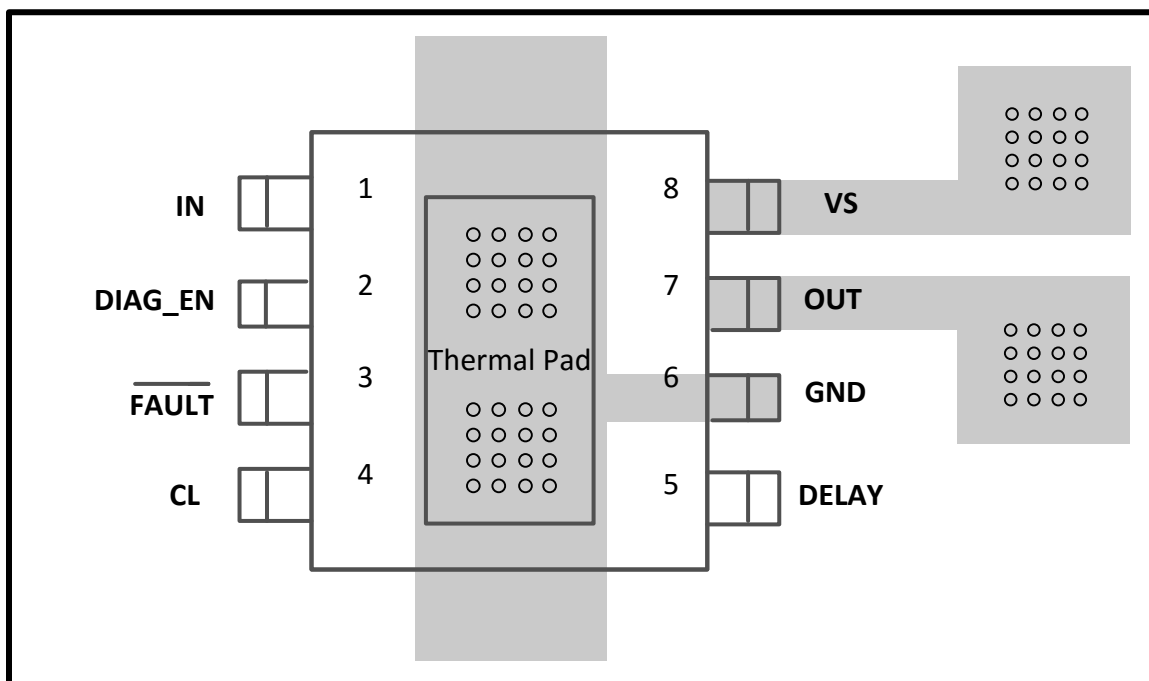


図 7-4. レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (December 2024) to Revision E (May 2026)	Page
• $R_{\theta JC(top)}$ を 50.2°C/W から 74.0°C/W に変更.....	5
• ψ_{JT} を 0.8°C/W から 3.8°C/W に変更.....	5
• $R_{\theta JC(bot)}$ を 7.1°C/W から 7.7°C/W に変更.....	5
• 露出パッドの寸法を更新し、最小制限を緩和.....	25

Changes from Revision C (June 2019) to Revision D (December 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「絶対最大定格」の表で、VS ピンと IN/DIAG_EN ピンの最大定格を 42V に更新.....	4

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS1H000AQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	17SX
TPS1H000AQDGNRQ1.A	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	17SX

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS1H000AQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS1H000AQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS1H000AQDGNRQ1	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS1H000AQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0

GENERIC PACKAGE VIEW

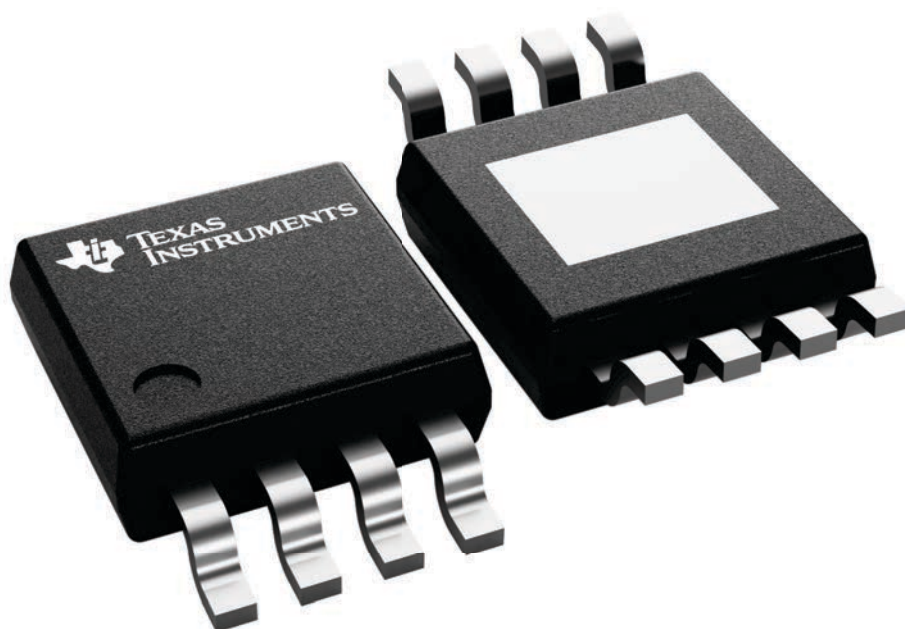
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

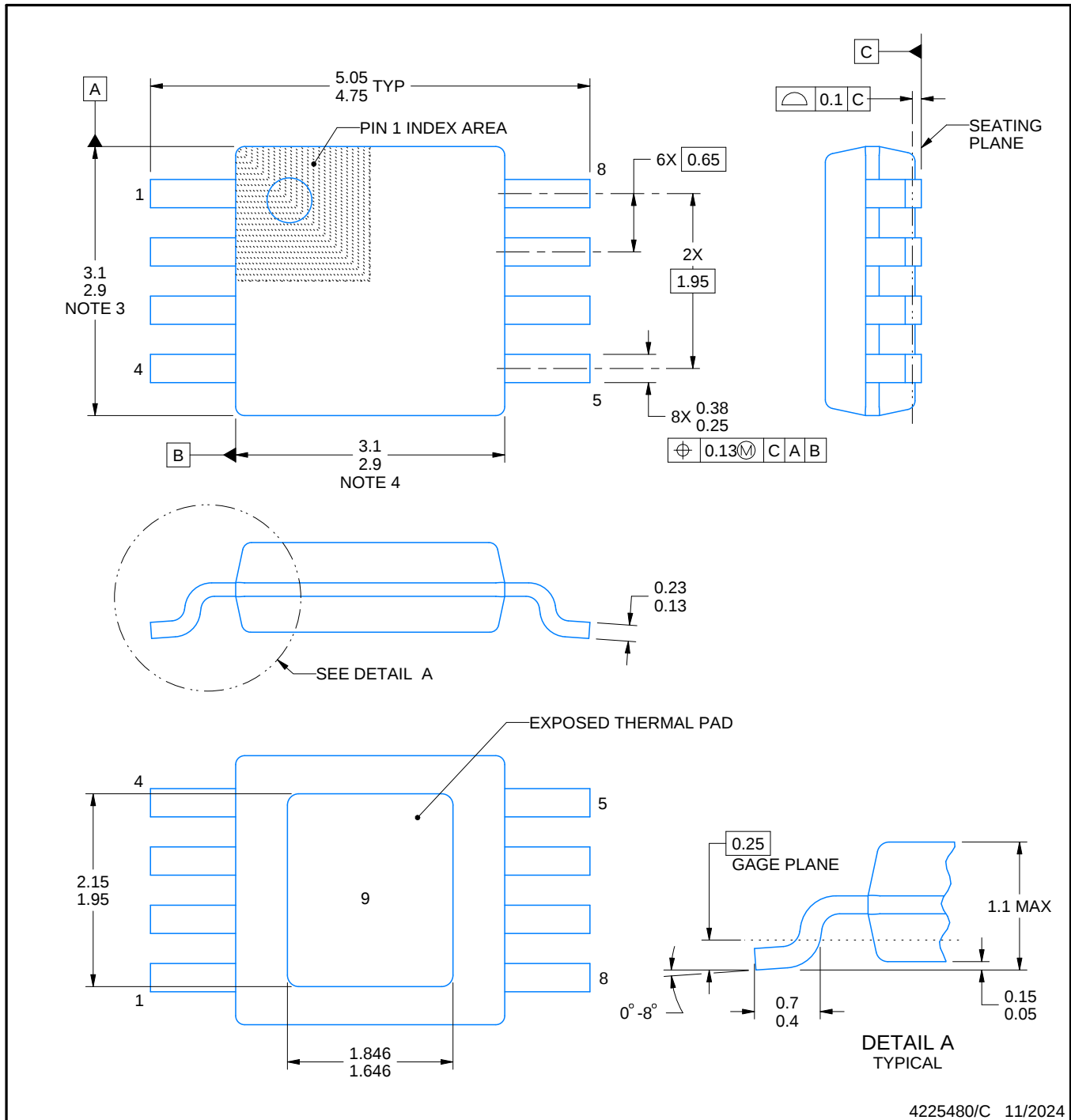
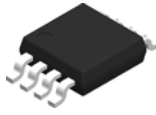
3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B



4225480/C 11/2024

NOTES:

PowerPAD is a trademark of Texas Instruments.

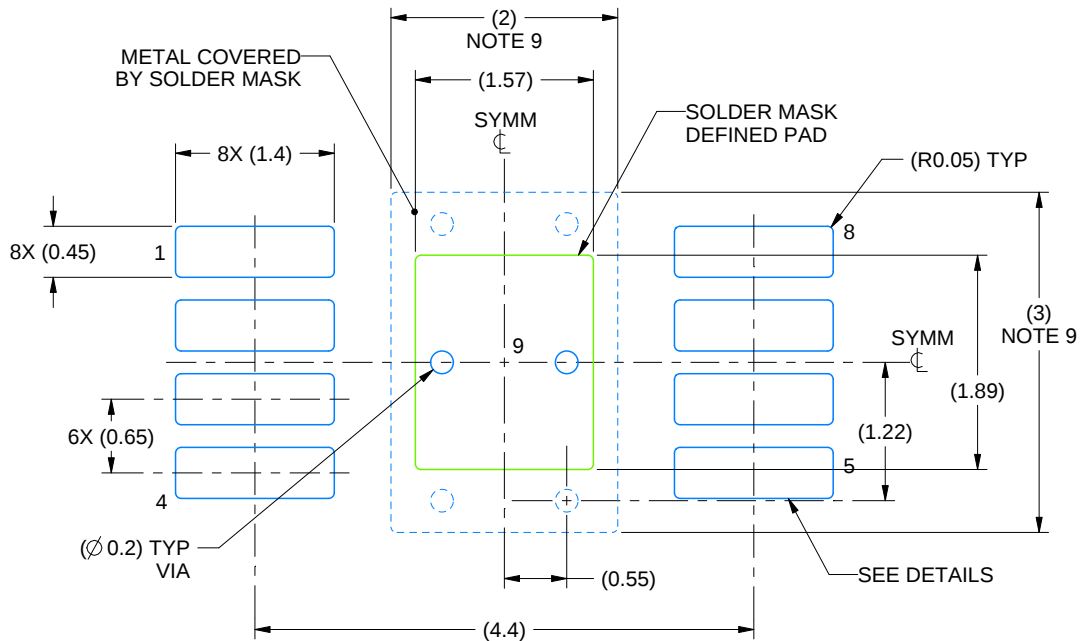
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

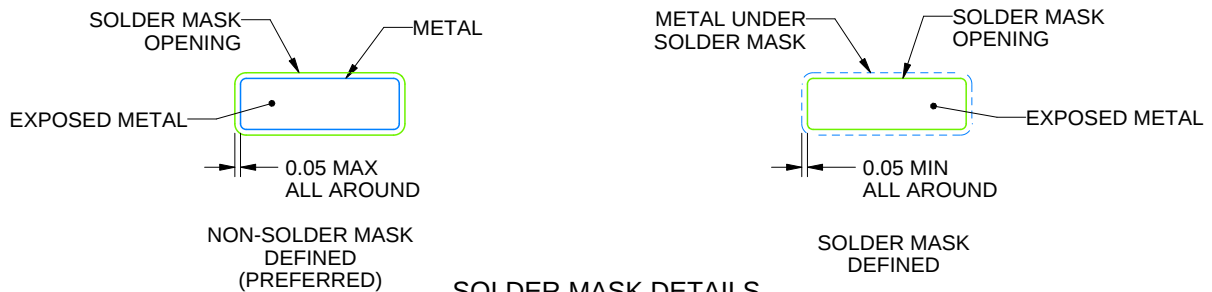
DGN0008G

PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4225480/C 11/2024

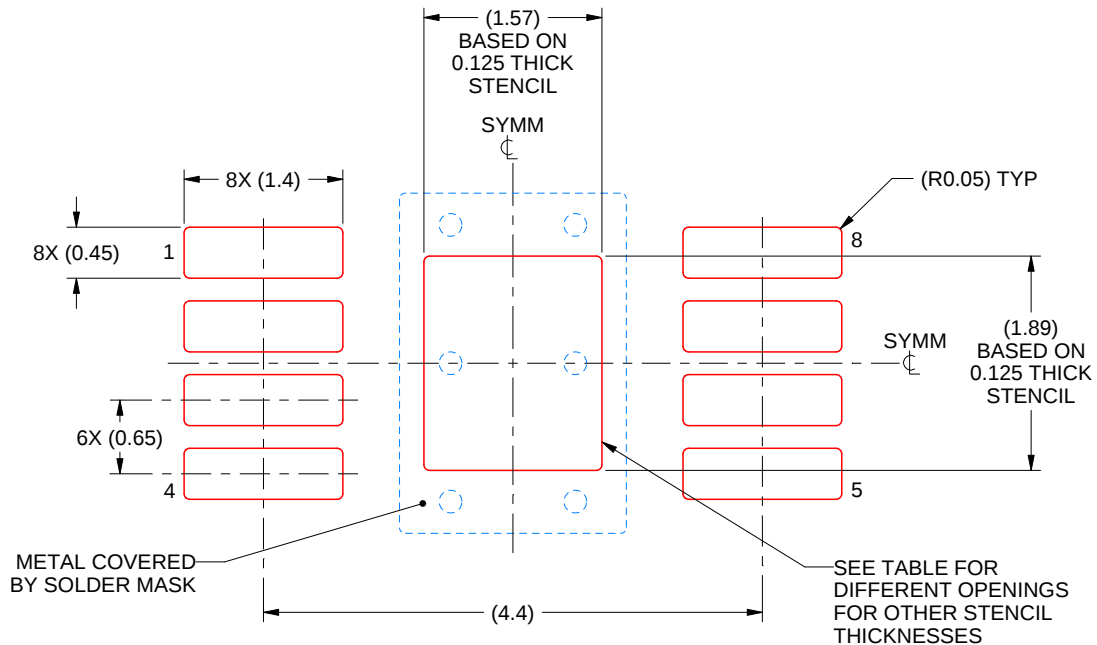
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

DGN0008G

PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE

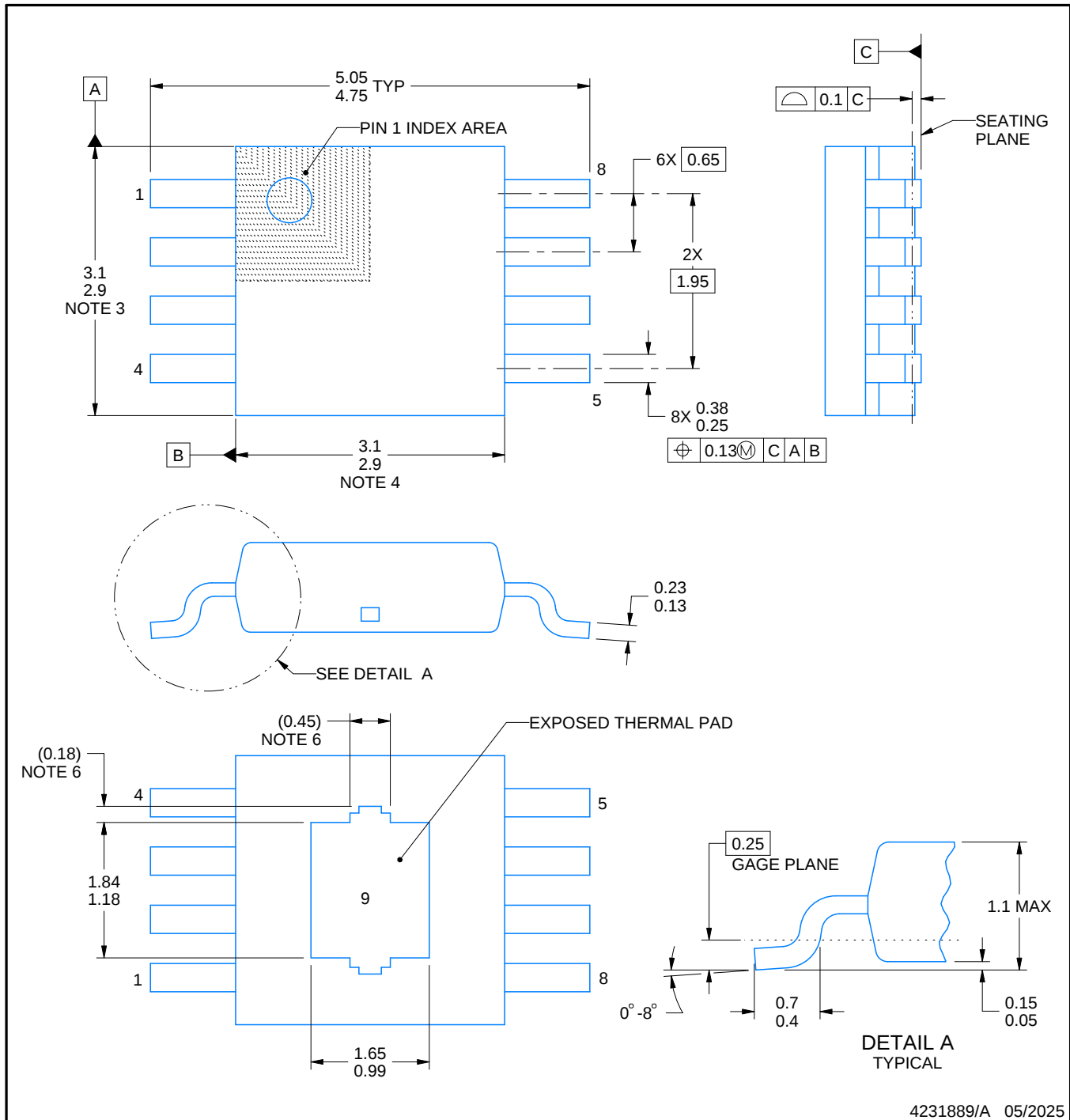
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

4225480/C 11/2024

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.



4231889/A 05/2025

NOTES:

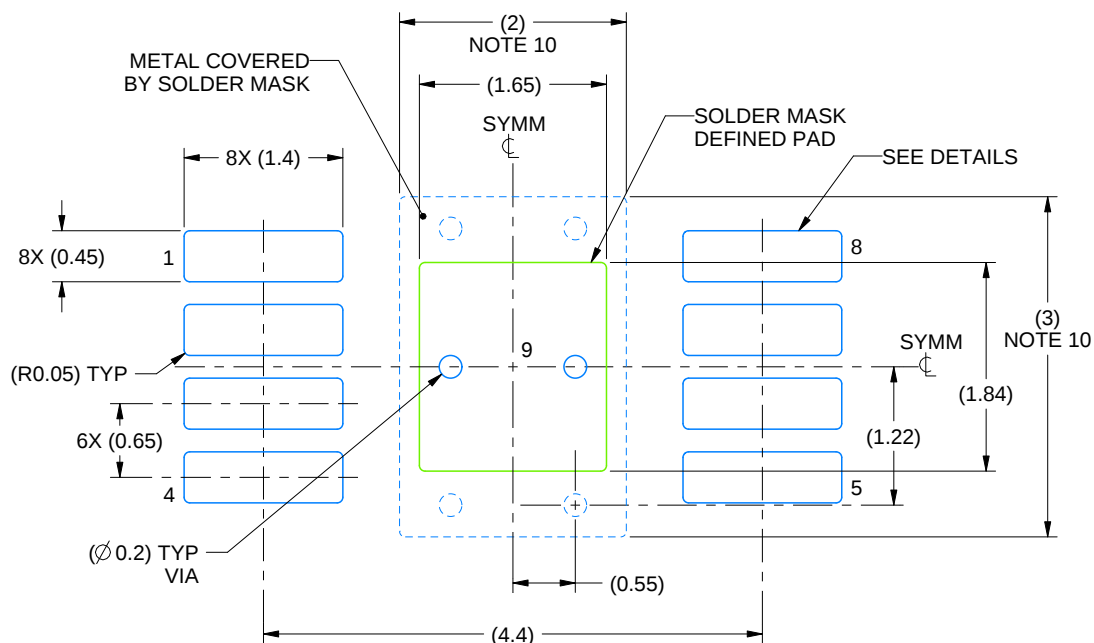
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.

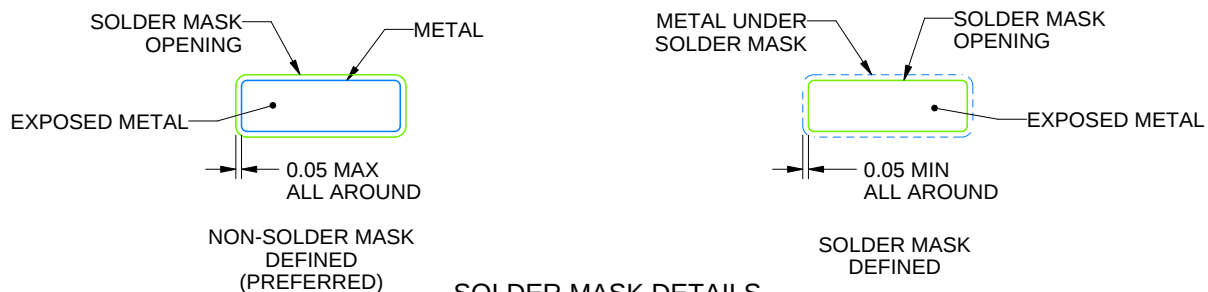
DGN0008K

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4231889/A 05/2025

NOTES: (continued)

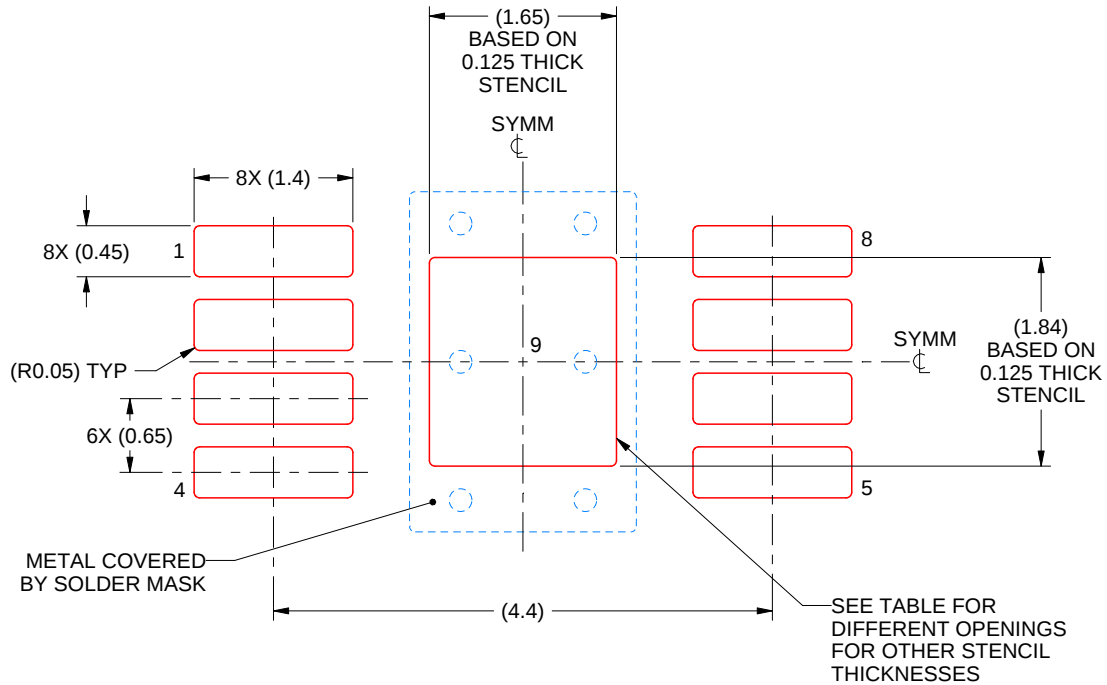
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008K

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 2.06
0.125	1.65 X 1.84 (SHOWN)
0.15	1.51 X 1.68
0.175	1.39 X 1.56

4231889/A 05/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月