

電流制限パワー・ディストリビューション・スイッチ

特長

- シングル・パワー・スイッチ・ファミリー
- 既存のTIスイッチ・ポートフォリオとピン単位で対応
- 定格電流：0.5A、1A、1.5A、2A
- 精度±20%の固定電流制限
- 高速過電流応答：2μs
- デグリッチ付き障害通知
- ディスエーブル時の出力放電
- 逆電流ブロック
- ソフト・スタート内蔵
- 周囲温度範囲：-40°C～85°C

アプリケーション

- USBポート/ハブ、ノートパソコン、デスクトップ
- 高精細デジタル・テレビ
- セットトップ・ボックス
- 短絡保護

標準アプリケーション

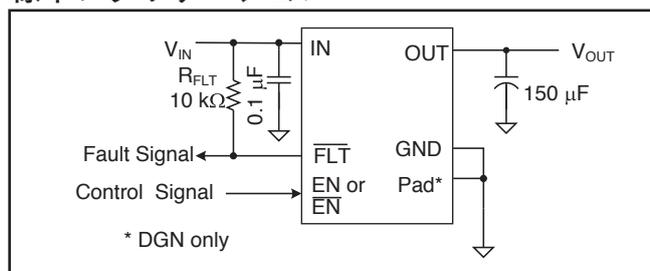
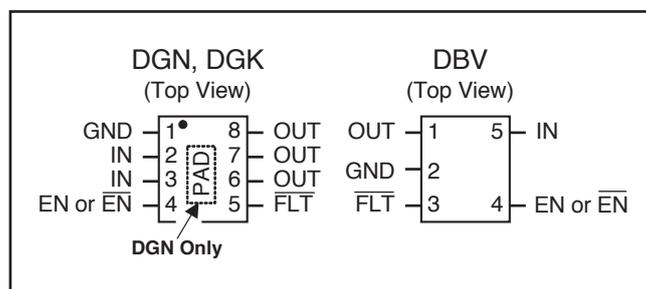


図 1. 標準的なアプリケーション

概要

TPS20xxCパワー・ディストリビューション・スイッチ・ファミリーは、大きな容量性負荷や短絡が発生する可能性のあるUSBなどのアプリケーション向けに設計されています。0.5A～2Aのアプリケーションに対して、固定の定電流制限スレッシュホールドを持つ複数のデバイスを用意しています。

TPS20xxCファミリーでは、出力負荷が電流制限スレッシュホールドを超えた場合に、定電流モードで動作することで、出力電流を安全なレベルに制限します。これにより、すべての条件下で障害時の電流が予測可能となります。過負荷応答時間が高速であるため、出力短絡時にレギュレーション電力を維持する際のメイン5V電源への負担が軽減されます。電源スイッチの立ち上がりおよび立ち下がり時間は、オン/オフ時の電流サージを最小限に抑えるよう制御されます。



最大動作電流	デバイス	状態		
		MSOP-8 (PowerPad™)	SOT23-5	MSOP-8
0.5	TPS2051C	-	アクティブ	-
1	TPS2065C	アクティブ	アクティブ	-
1.5	TPS2069C	アクティブ	-	-
2	TPS2000C / 1C	アクティブ	-	アクティブ

表 1. デバイス⁽¹⁾

(1) 詳細については、「デバイス情報」の表を参照してください。

PowerPadは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

デバイス情報⁽¹⁾

最大動作電流	出力放電	イネーブル	基本部品番号	パッケージ・デバイス/マーキング ⁽²⁾		
				MSOP-8 (DGN) PowerPAD™	SOT23-5 (DBV)	MSOP-8 (DGK)
0.5	Y	High	TPS2051C	–	VBYQ	–
1	Y	High	TPS2065C	VCAQ	VCAQ	–
1.5	Y	High	TPS2069C	VBUQ	–	–
2	Y	Low	TPS2000C	BCMS	–	PXFI
2	Y	High	TPS2001C	VBWQ	–	PXGI

- (1) 最新のパッケージ情報とご発注情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト(www.ti.comまたはwww.tij.co.jp)をご覧ください。
 (2) “-”は、デバイスがこのパッケージで供給されないことを示します。

絶対最大定格⁽¹⁾⁽²⁾

	VALUE		単位
	MIN	MAX	
Voltage range on IN, OUT, EN or \overline{EN} , FLT ⁽³⁾	-0.3	6	V
Voltage range from IN to OUT	-6	6	V
Maximum junction temperature, T _J	Internally Limited		
Electrostatic Discharge	HBM	2	kV
	CDM	500	V
	IEC 61000-4-2, Contact / Air ⁽⁴⁾	8	15

- (1) 絶対最大定格は、推奨接合部温度範囲にわたって適用されます。
 (2) 特に指定のない限り、電圧値はGNDを基準にしています。
 (3) 「入力および出力容量」を参照してください。
 (4) 図1に示すように入力および出力をバイパス(ただし入力コンデンサは22 μ F)した状態で、V_{OUT}に対してPCB上でサージを印加し、デバイスに障害は発生していません。

熱特性について

THERMAL METRIC ⁽¹⁾ (See DEVICE INFORMATION table.)		0.5 A or 1 A Rated	1.5 A or 2 A Rated	0.5 A or 1 A Rated	1.5 A or 2 A Rated	2 A Rated	単位
		DBV	DBV	DGN	DGN	DGK	
		5 PINS	5 PINS	8 PINS	8 PINS	8 PINS	
θ_{JA}	Junction-to-ambient thermal resistance	224.9	220.4	72.1	67.1	205.5	°C/W
θ_{Jctop}	Junction-to-case (top) thermal resistance	95.2	89.7	87.3	80.8	94.3	
θ_{JB}	Junction-to-board thermal resistance	51.4	46.9	42.2	37.2	126.9	
ψ_{JT}	Junction-to-top characterization parameter	6.6	5.2	7.3	5.6	24.7	
ψ_{JB}	Junction-to-board characterization parameter	50.3	46.2	42.0	36.9	125.2	
θ_{Jcbot}	Junction-to-case (bottom) thermal resistance	N/A	N/A	39.2	32.1	N/A	
$\theta_{JACustom}$	See the Power Dissipation and Junction Temperature section	139.3	134.9	66.5	61.3	110.3	

- (1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』(SPRA953)を参照してください。

推奨動作条件

		MIN	NOM	MAX	単位
V_{IN}	Input voltage, IN	4.5		5.5	V
V_{EN}	Input voltage, EN or \overline{EN}	0		5.5	V
I_{OUT}	Continuous output current, OUT	TPS2051C		0.5	A
		TPS2065C		1	
		TPS2069C		1.5	
		TPS2000C/01C		2	
T_J	Operating junction temperature	-40		125	°C
$I_{\overline{FLT}}$	Sink current into \overline{FLT}	0		5	mA

電気的特性： $T_J = T_A = 25^\circ\text{C}$ ⁽¹⁾

特に記述のない限り、 $V_{IN} = 5\text{V}$ 、 $V_{EN} = V_{IN}$ または $V_{\overline{EN}} = \text{GND}$ 、 $I_{OUT} = 0\text{A}$ 。

各製番の定格電流については、「デバイス情報」の表を参照してください。より広い動作範囲に対するパラメータは、2番目の電気的特性表に示されています。

パラメータ	テスト条件 ⁽¹⁾	MIN	TYP	MAX	単位		
POWER SWITCH							
$R_{DS(ON)}$	Input – output resistance	0.5 A rated output, 25°C	DBV	97	110	mΩ	
		0.5 A rated output, $-40^\circ\text{C} \leq (T_J, T_A) \leq 85^\circ\text{C}$	DBV	96	130	mΩ	
		1 A rated output, 25°C	DBV	96	110	mΩ	
			DGN	86	100		
		1 A rated output, $-40^\circ\text{C} \leq (T_J, T_A) \leq 85^\circ\text{C}$	DBV	96	130	mΩ	
			DGN	86	120		
		1.5 A rated output, 25°C	DGN	69	84	mΩ	
		1.5 A rated output, $-40^\circ\text{C} \leq (T_J, T_A) \leq 85^\circ\text{C}$	DGN	69	98	mΩ	
2 A rated output, 25°C	DGN, DGK	72	84	mΩ			
2 A rated output, $-40^\circ\text{C} \leq (T_J, T_A) \leq 85^\circ\text{C}$	DGN, DGK	72	98	mΩ			
CURRENT LIMIT							
I_{OS} ⁽²⁾	Current-limit, 図7参照	0.5A rated output		0.67	0.85	1.01	A
		1 A rated output		1.3	1.55	1.8	
		1.5 A rated output		1.7	2.15	2.5	
		2 A rated output		2.35	2.9	3.4	
SUPPLY CURRENT							
I_{SD}	Supply current, switch disabled			0.01	1	μA	
		$-40^\circ\text{C} \leq (T_J, T_A) \leq 85^\circ\text{C}$, $V_{IN} = 5.5\text{V}$			2		
I_{SE}	Supply current, switch enabled			60	70	μA	
		$-40^\circ\text{C} \leq (T_J, T_A) \leq 85^\circ\text{C}$, $V_{IN} = 5.5\text{V}$			85		
I_{REV}	Reverse leakage current	$V_{OUT} = 5\text{V}$, $V_{IN} = 0\text{V}$, measure $I_{V_{OUT}}$		0.1	1	μA	
		$-40^\circ\text{C} \leq (T_J, T_A) \leq 85^\circ\text{C}$, $V_{OUT} = 5\text{V}$, $V_{IN} = 0\text{V}$, measure $I_{V_{OUT}}$			5		
OUTPUT DISCHARGE							
R_{PD}	Output pull-down resistance ⁽³⁾	$V_{IN} = V_{OUT} = 5\text{V}$, disabled		400	470	600	Ω

(1) パルスによる測定手法により、接合部温度を周囲温度にほぼ等しく保持しています。

(2) このパラメータの説明については、「電流制限」を参照してください。

(3) これらのパラメータは参考として示すものであり、TIの製品保証を目的としたTIの公開デバイス仕様に含まれるものではありません。

電気的特性：-40°C ≤ T_J ≤ 125°C

特に記述のない限り、4.5V ≤ V_{IN} ≤ 5.5V、V_{EN} = V_{IN}またはV_{EN} = GND、I_{OUT} = 0A、標準値は5Vおよび25°Cでの値です。各製番の定格電流については、「デバイス情報」の表を参照してください。

パラメータ		テスト条件 ⁽¹⁾		MIN	TYP	MAX	単位
POWER SWITCH							
R _{DS(ON)} Input – output resistance	0.5 A rated output	DBV			97	154	mΩ
	1 A rated output	DBV			96	154	mΩ
		DGN			86	140	
	1.5 A rated output	DGN			69	112	mΩ
2 A rated output	DGN, DGK			72	112	mΩ	
ENABLE INPUT (EN or $\overline{\text{EN}}$)							
Threshold	Input rising			1	1.45	2	V
Hysteresis				0.07	0.13	0.20	V
Leakage current	(V _{EN} or V $\overline{\text{EN}}$) = 0 V or 5.5 V			-1	0	1	μA
t _{ON} Turnon time	V _{IN} = 5 V, C _L = 1 μF, R _L = 100 Ω, EN ↑ or $\overline{\text{EN}}$ ↓. 図2、図4、図5参照						ms
	0.5A / 1A Rated			1	1.4	1.8	
	1.5A / 2A Rated			1.2	1.7	2.2	
t _{OFF} Turnoff time	V _{IN} = 5 V, C _L = 1 μF, R _L = 100 Ω, EN ↓ or $\overline{\text{EN}}$ ↑. 図2、図4、図5参照						ms
	0.5A and 1A Rated			1.3	1.65	2	
	1.5A / 2A Rated			1.7	2.1	2.5	
t _R Rise time, output	C _L = 1 μF, R _L = 100 Ω, V _{IN} = 5 V. 図3参照						ms
	0.5A / 1A Rated			0.4	0.55	0.7	
	1.5A / 2A Rated			0.5	0.7	1.0	
t _F Fall time, output	C _L = 1 μF, R _L = 100 Ω, V _{IN} = 5 V. 図3参照						ms
	0.5A / 1A Rated			0.25	0.35	0.45	
	1.5A / 2A Rated			0.3	0.43	0.55	
CURRENT LIMIT							
I _{OS} ⁽²⁾ Current-limit, 図8参照	0.5 A rated output			0.65	0.85	1.05	A
	1 A rated output			1.2	1.55	1.9	
	1.5 A rated output			1.6	2.15	2.7	
	2 A rated output			2.3	2.9	3.6	
t _{IOS} Short-circuit response time ⁽³⁾	V _{IN} = 5 V (図7参照), One-half full load → R _{SHORT} = 50 mΩ, Measure from application to when current falls below 120% of final value				2		μs
SUPPLY CURRENT							
I _{SD} Supply current, switch disabled				0.01	10		μA
I _{SE} Supply current, switch enabled				65	90		μA
I _{REV} Reverse leakage current	V _{OUT} = 5.5 V, V _{IN} = 0 V, Measure I _{VOUT}			0.2	20		μA
UNDERVOLTAGE LOCKOUT							
V _{UVLO} Rising threshold	V _{IN} ↑			3.5	3.75	4	V
Hysteresis ⁽³⁾	V _{IN} ↓				0.14		V

(1) パルスによる測定手法により、接合部温度を周囲温度にほぼ等しく保持しています。

(2) このパラメータの説明については、「電流制限」を参照してください。

(3) これらのパラメータは参考として示すものであり、TIの製品保証を目的としたTIの公開デバイス仕様に含まれるものではありません。

電気的特性：-40°C ≤ T_J ≤ 125°C

特に記述のない限り、4.5V ≤ V_{IN} ≤ 5.5V、V_{EN} = V_{IN}またはV_{EN} = GND、I_{OUT} = 0A、標準値は5Vおよび25°Cでの値です。各製番の定格電流については、「デバイス情報」の表を参照してください。

パラメータ	テスト条件 ⁽¹⁾	MIN	TYP	MAX	単位	
FLT						
Output low voltage, $\overline{\text{FLT}}$	I _{FLT} = 1 mA			0.2	V	
Off-state leakage	V _{FLT} = 5.5 V			1	μA	
t _{FLT}	$\overline{\text{FLT}}$ assertion/deassertion deglitch	6	9	12	ms	
OUTPUT DISCHARGE						
R _{PD}	Output pull-down resistance	V _{IN} = 4 V, V _{OUT} = 5.0 V, disabled	350	560	1200	Ω
		V _{IN} = 5 V, V _{OUT} = 5.0 V, disabled	300	470	800	
THERMAL SHUTDOWN						
Rising threshold (T _J)	In current limit	135			°C	
	Not in current limit	155				
Hysteresis ⁽⁴⁾			20			

(4) これらのパラメータは参考として示すものであり、TIの製品保証を目的としたTIの公開デバイス仕様に含まれるものではありません

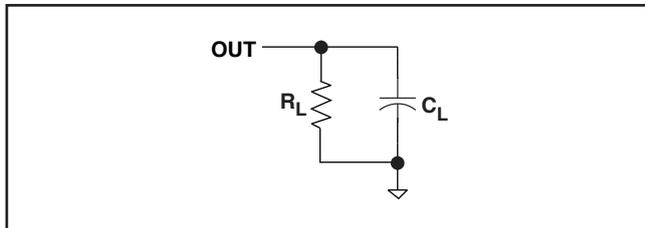


図 2. 出力立ち上がり/立ち下がり測定用負荷

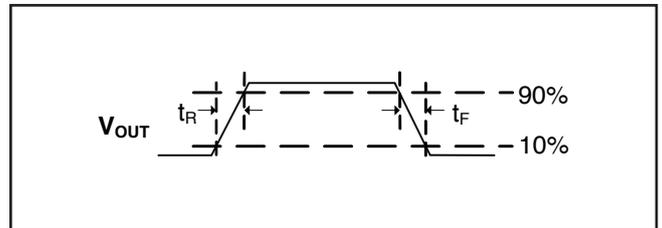


図 3. パワーオン/オフ・タイミング

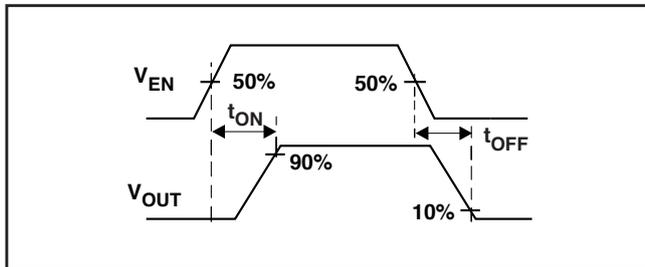


図 4. イネーブル・タイミング、アクティブ・ハイ・イネーブル

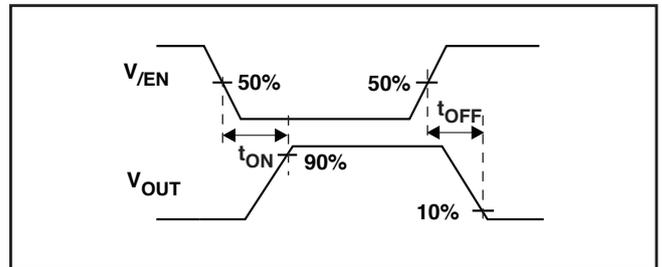


図 5. イネーブル・タイミング、アクティブ・ロー・イネーブル

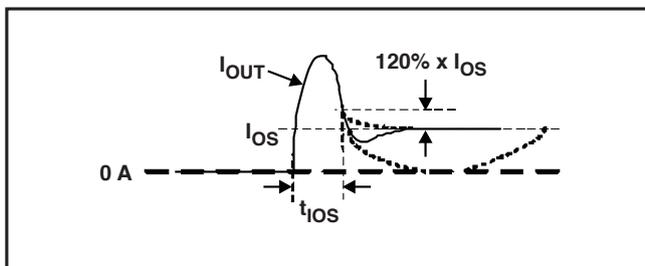


図 6. 出力短絡パラメータ

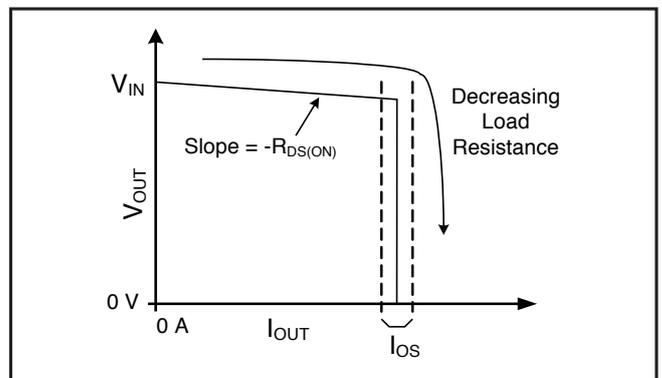
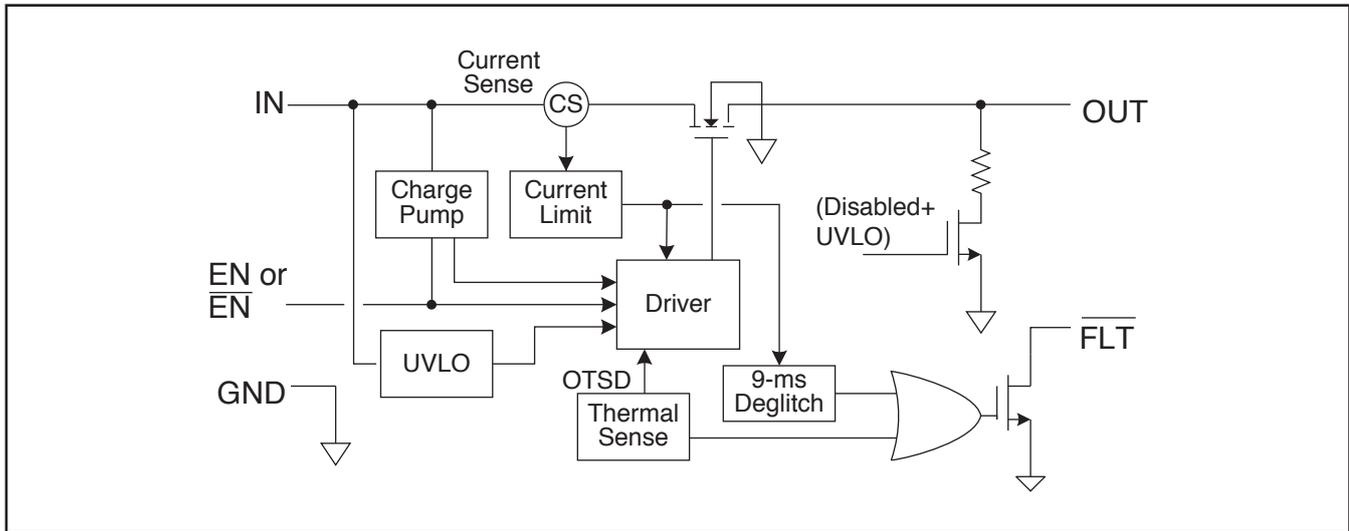


図 7. 電流制限を示す出力特性

機能ブロック図



製品情報

ピン機能

名前	ピン	説明
8ピン・パッケージ		
ENまたは \overline{EN}	4	イネーブル入力。EN = Highまたは \overline{EN} = Lowで電源スイッチがオン。
GND	1	グランド接続
IN	2, 3	入力電圧、および電源スイッチのドレイン。INとGNDの間に、0.1 μ F以上のセラミック・コンデンサをICに近づけて配置してください。
\overline{FLT}	5	アクティブ・ローのオープン・ドレイン出力。過電流または過熱状態でアサートされます。
OUT	6, 7, 8	電源スイッチ出力。負荷に接続します。
PowerPAD (DGNのみ)	PAD	内部でGNDに接続されています。最大の放熱特性を得るには、このパッドをGNDプレーンに接続します。パッドは、必要に応じてフローティングにもできます。詳細については、「消費電力および接合部温度」を参照してください。
5ピン・パッケージ		
ENまたは \overline{EN}	4	イネーブル入力。EN = Highまたは \overline{EN} = Lowで電源スイッチがオン。
GND	2	グランド接続
IN	5	入力電圧、および電源スイッチのドレイン。INとGNDの間に、0.1 μ F以上のセラミック・コンデンサをICに近づけて配置してください。
\overline{FLT}	3	アクティブ・ローのオープン・ドレイン出力。過電流または過熱状態でアサートされます。
OUT	1	電源スイッチ出力。負荷に接続します。

標準的特性

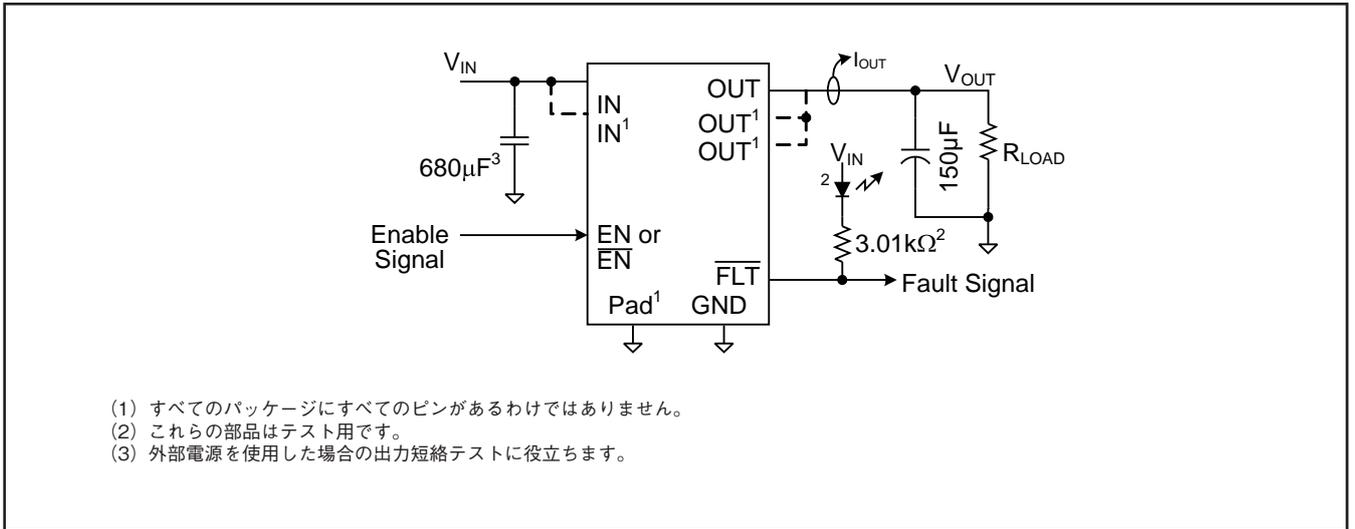


図 8. 「標準的特性」のシステム動作測定用回路

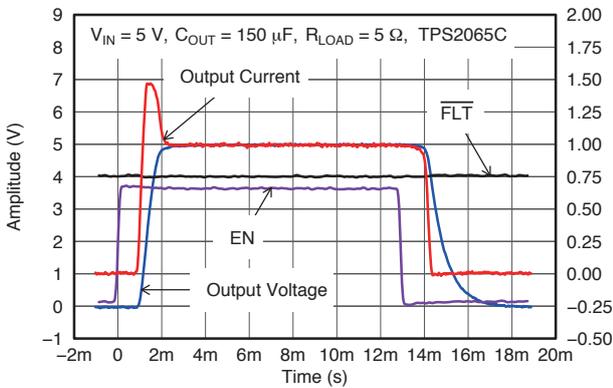


図 9. TPS2065C : 出力立ち上がり/立ち下がり、5Ω

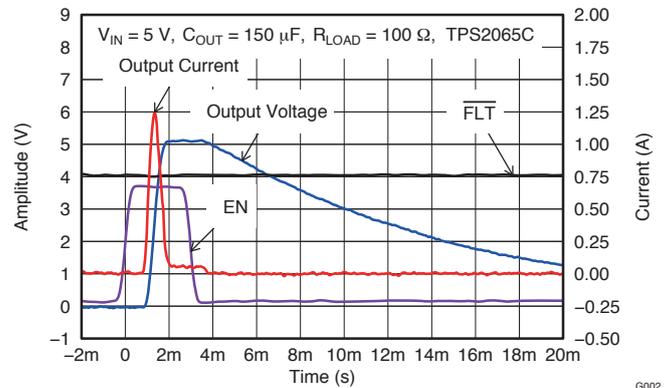


図 10. TPS2065C : 出力立ち上がり/立ち下がり、100Ω

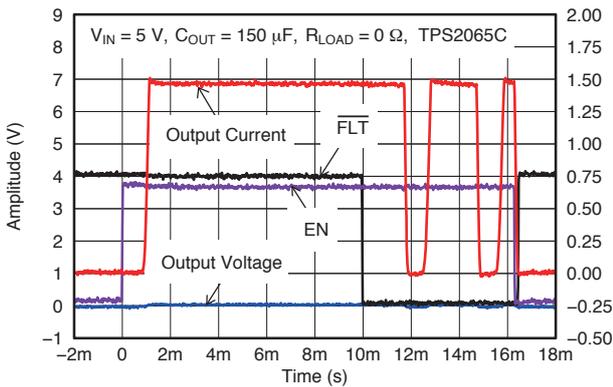


図 11. TPS2065C : 出力短絡状態でイネーブ

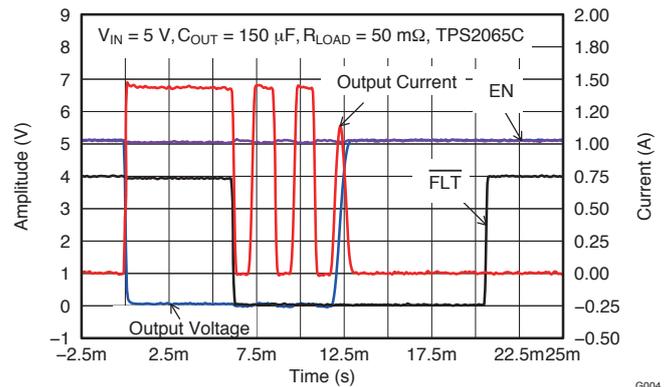


図 12. TPS2065C : パルス短絡印加

標準的特性

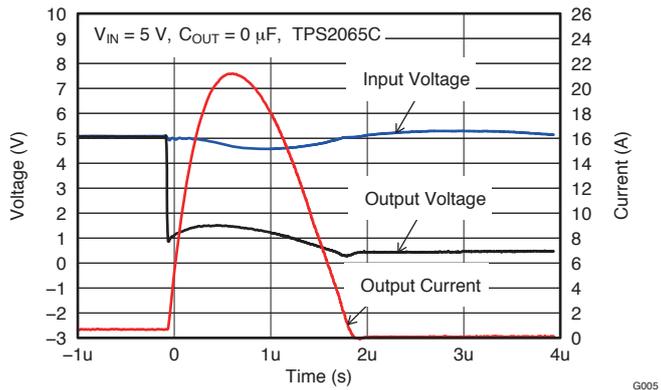


図 13. TPS2065C : 短絡印加

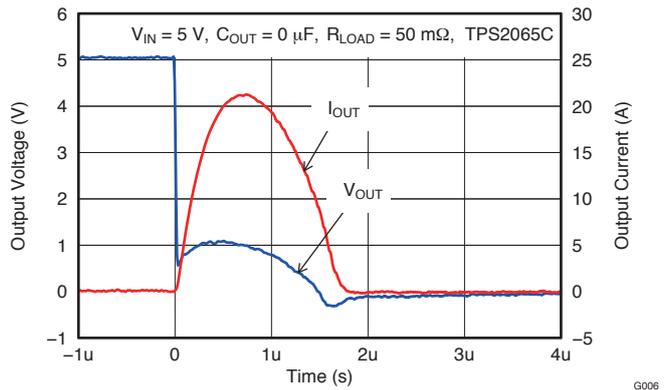


図 14. TPS2065C : 50mΩ短絡

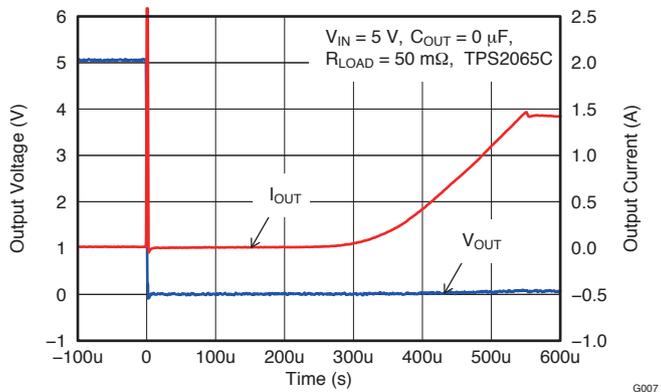


図 15. TPS2065C : 50mΩ短絡

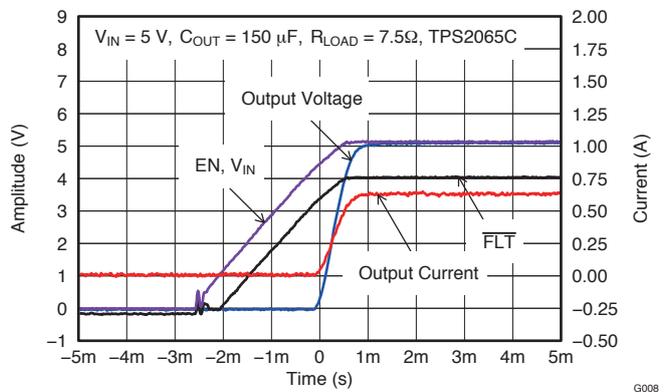


図 16. TPS2065C : パワーアップ - イネーブル時

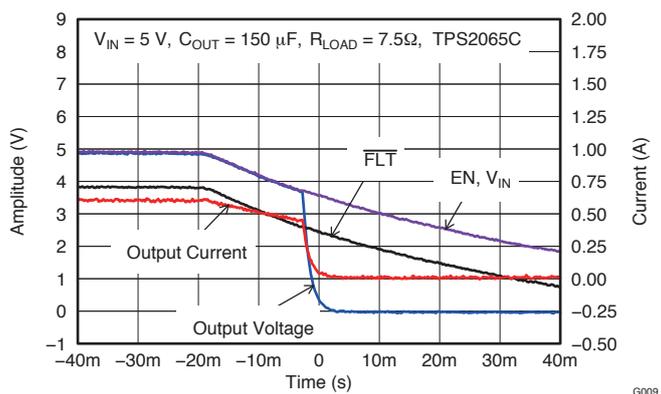


図 17. TPS2065C : パワーダウン - イネーブル時

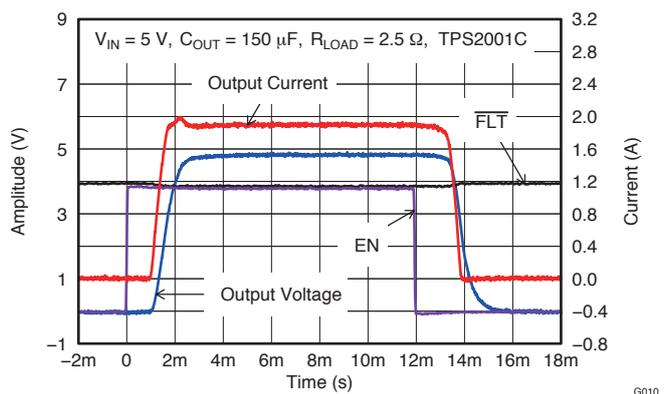


図 18. TPS2001C : 2.5Ωでのターンオン

標準的特性

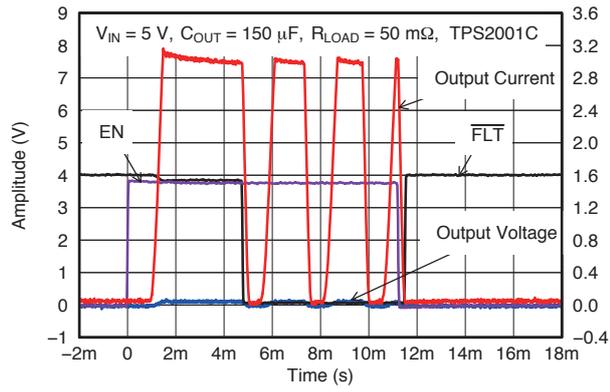


図 19. TPS2001C : 出力短絡状態でイネーブル

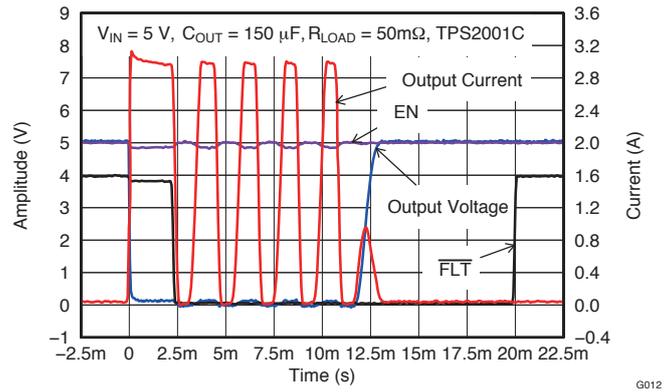


図 20. TPS2001C : パルス短絡印加

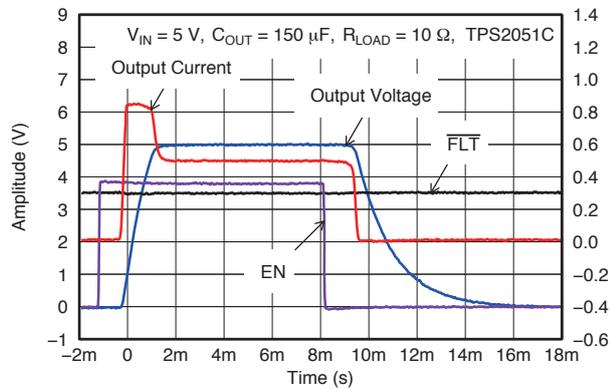


図 21. TPS2051C : 10Ωでのターンオン

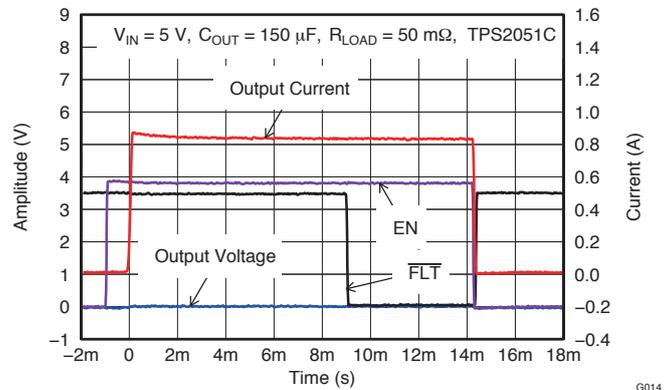


図 22. TPS2051C : 出力短絡状態でイネーブル

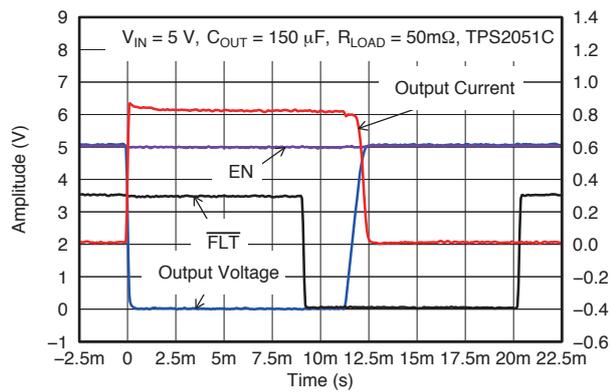


図 23. TPS2051C : パルス短絡印加

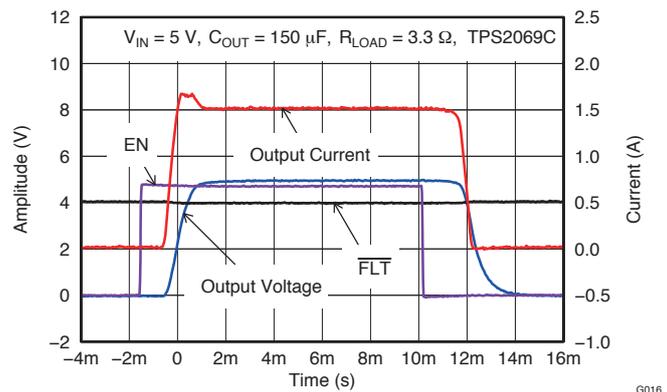


図 24. TPS2069CDGN : 10Ωでのターンオン

標準的特性

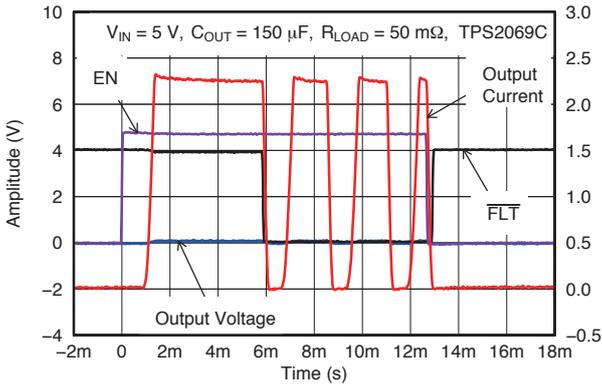


図 25. TPS2069CDGN : 出力短絡状態でイネーブル

G017

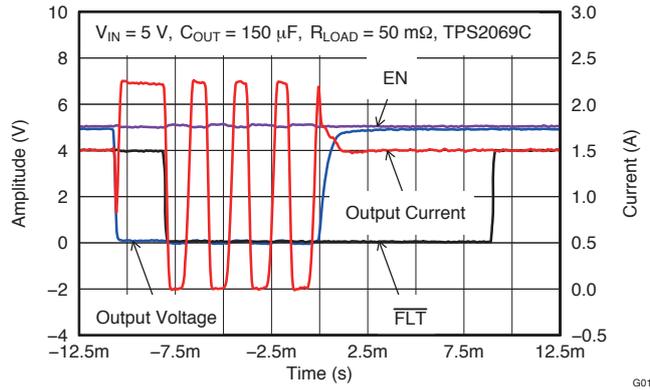


図 26. TPS2069CDGN : パルス短絡印加

G018

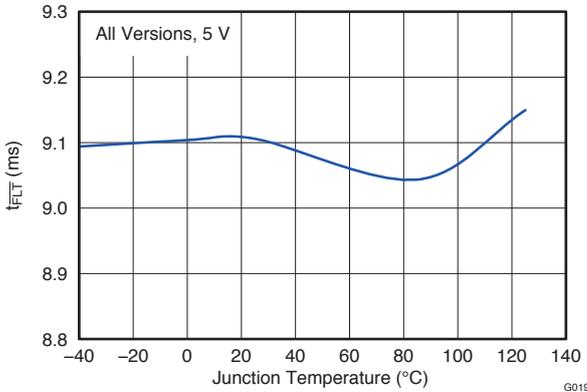


図 27. デグリッチ時間 (t_{FLT}) 対 温度

G019

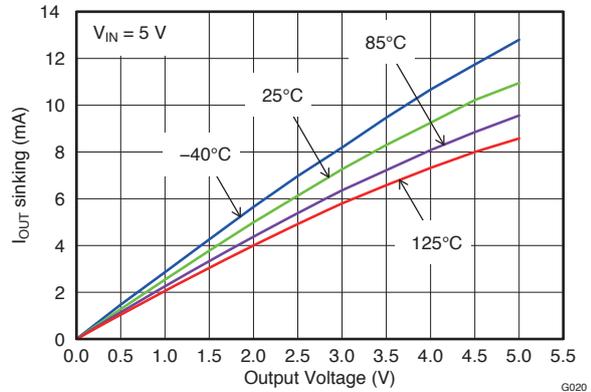


図 28. 出力放電電流 対 出力電圧

G020

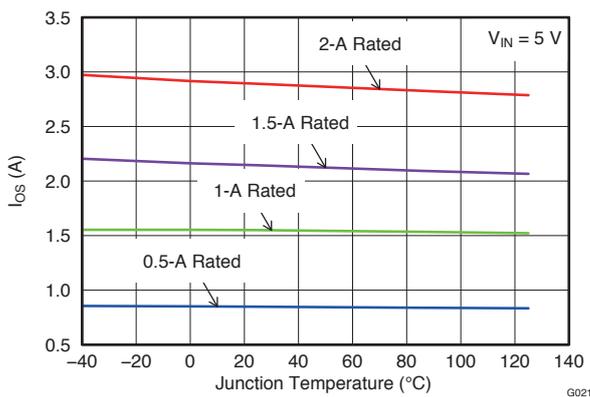


図 29. 短絡電流 (I_{OS}) 対 温度

G021

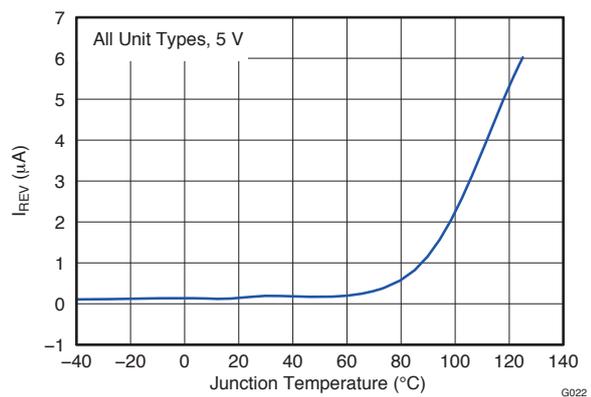


図 30. 逆方向リーク電流 (I_{REV}) 対 温度

G022

標準的特性

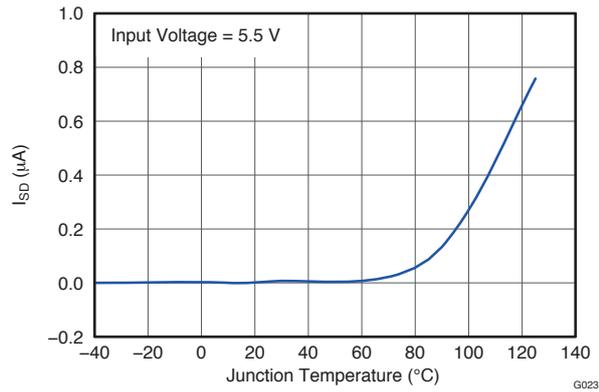


図 31. デイスエーブル時消費電流 (I_{SD}) 対 温度

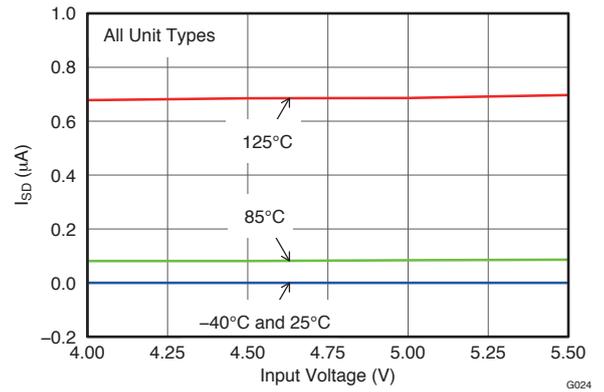


図 32. デイスエーブル時消費電流 (I_{SD}) 対 入力電圧

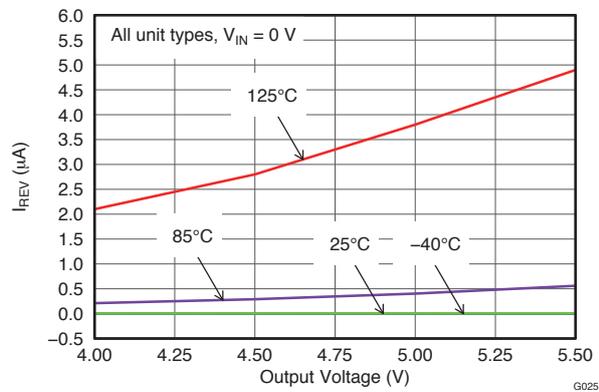


図 33. 逆方向リーク電流 (I_{REV}) 対 出力電圧

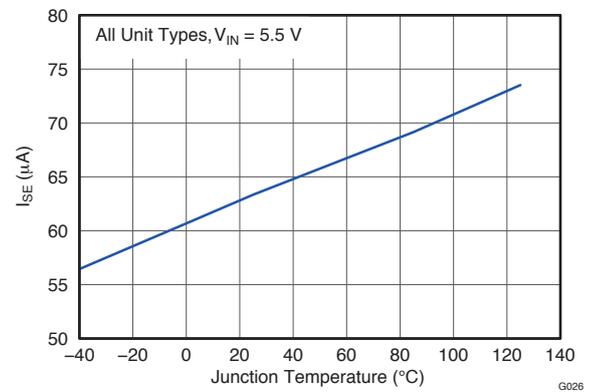


図 34. イネーブル時消費電流 (I_{SE}) 対 温度

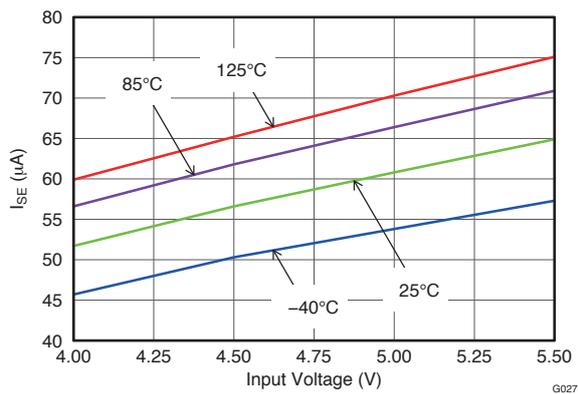


図 35. イネーブル時消費電流 (I_{SE}) 対 入力電圧

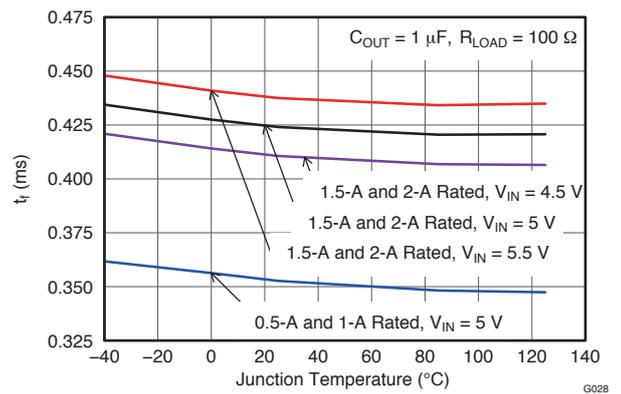


図 36. 出力立ち下がり時間 (t_F) 対 温度

標準的特性

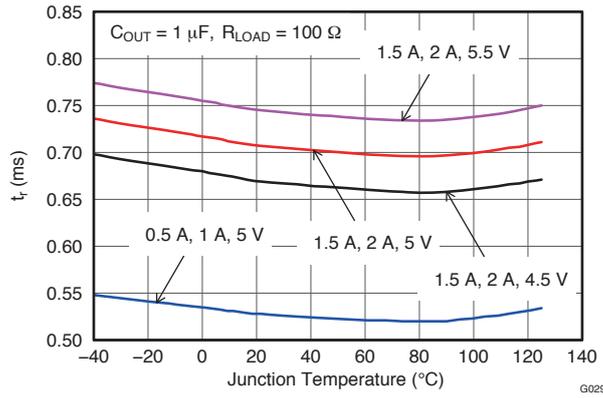


図 37. 出力立ち上がり時間(t_r) 対 温度

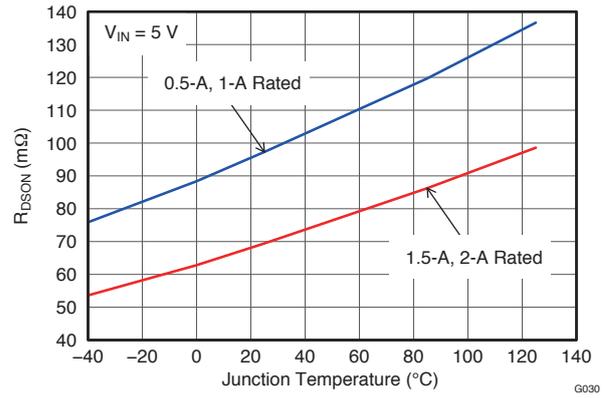


図 38. 入力-出力抵抗 ($R_{DS(ON)}$) 対 温度

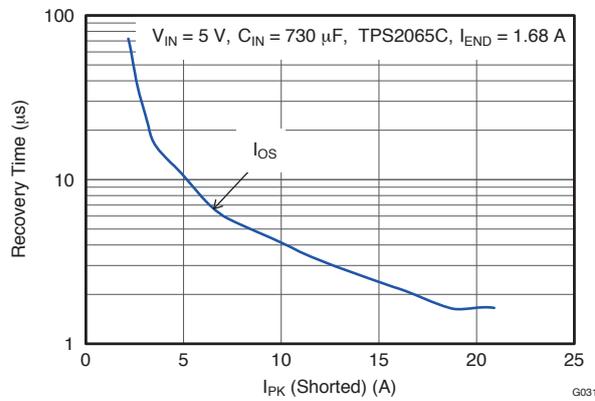


図 39. リカバリ時間 対 電流ピーク

詳細説明

TPS20xxCは、5V回路で0.5A～2Aの連続負荷電流を供給する、電流制限パワー・ディストリビューション・スイッチです。NチャネルMOSFETの使用により、低抵抗で、負荷に対する電圧レギュレーションを保持します。大きな容量性負荷や短絡が発生する可能性のあるアプリケーション向けに設計されています。イネーブル入力、ディスエーブル時の逆電流ブロック、出力放電プルダウン、過電流保護、過熱保護、デグリッチ付き障害通知などの機能を備えています。

UVLO

低電圧誤動作防止 (UVLO) 回路によって、入力電圧がUVLOターンオン・スレッショルドに達するまで、電源スイッチはディスエーブルになります。内蔵ヒステリシスにより、大きな電流サージからの入力電圧降下によってオン/オフが繰り返されることを防いでいます。TPS20xxCがUVLO状態のとき、 $\overline{\text{FLT}}$ はハイ・インピーダンスになります。

イネーブル

論理イネーブル入力 (EN、または $\overline{\text{EN}}$)は、電源スイッチと、チャージ・ポンプ、ドライバおよび他の回路へのバイアスを制御します。TPS20xxCがディスエーブルのとき、消費電流は1 μ A未満まで低下します。TPS20xxCをディスエーブルにすると、アクティブな $\overline{\text{FLT}}$ 通知がすぐにクリアされます。このイネーブル入力は、TTLとCMOSの両方の論理レベルと互換性があります。

ターンオン時間およびターンオフ時間 (t_{ON} 、 t_{OFF})は、遅延時間と立ち上がりまたは立ち下がり時間 (t_{R} 、 t_{F})から構成されます。遅延時間は内部で制御されます。立ち上がり時間は、TPS20xxCと外部負荷 (特に容量)の両方によって制御されます。立ち下がり時間は、TPS20xxC、負荷 (R、C)、および出力放電抵抗 (R_{PD})によって制御されます。出力負荷が抵抗のみで構成される場合は、立ち下がり時間がTPS20xxCによって設定されます。並列のRとCを含む出力負荷では、立ち下がり時間が (R × C) 時定数によって決定されます (TPS20xxCの t_{F} よりも長い場合)。

イネーブルはオープンにしないでください。デバイスに応じて、VINまたはGNDに接続できます。

内部チャージ・ポンプ

NチャネルMOSFETの駆動に必要な内部チャージ・ポンプおよびゲート駆動回路を内蔵しています。チャージ・ポンプは、ゲート・ドライバ回路に電源を供給し、MOSFETのゲート電圧をソースより高くするために必要な電圧を提供します。ドライバには、入力電源での大電流や電圧サージを制限し、内蔵ソフト・スタート機能を提供するために、出力電圧の立ち上がりおよび立ち下がり時間を制御する回路が内蔵されています。MOSFET電源スイッチにより、UVLOによってオフになった場合やディスエーブル時に、OUTからINへの電流をブロックします。

電流制限

TPS20xxCは、出力電流を電気的特性表に示される静的 I_{OS} レベルに制限することにより、過負荷に対して応答します。過負荷状態が検出されると、デバイスは定出力電流を維持し、出力電圧は ($I_{\text{OS}} \times R_{\text{LOAD}}$)によって決定されます。発生する可能性のある過負荷状態には2つの種類があります。

1つ目の過負荷状態は、次の場合に発生します。1) 入力電圧が最初に印加されたときに、イネーブルが真で、短絡が存在する場合 ($I_{\text{OUT}} > I_{\text{OS}}$ となる負荷)、または、2) 入力電圧が存在するときに、TPS20xxCが短絡状態でイネーブルとなった場合です。出力電圧は、グランド基準でゼロ電位付近に保持され、TPS20xxCは出力電流を I_{OS} まで上昇させます。TPS20xxCでは、過負荷状態が解消されるかデバイスが熱サイクルを開始するまで、電流を I_{OS} に制限します。これは図11に示されています。ここでは、デバイスが短絡状態でイネーブルになった後、過熱保護が作動して電流がオフ/オンのサイクルに入っています。

2つ目は、デバイスがイネーブルで完全にオンになっているときに、過負荷が発生した場合です。仕様 (電気的特性表)に規定された過負荷が印加されたとき、デバイスは過負荷状態に対して t_{IOS} 以内に応答します (図6および図7)。応答速度および波形は、過負荷レベル、入力回路、および印加速度によって異なります。電流制限応答は、単純に I_{OS} に安定する場合と、オフになった後、制御に従って I_{OS} に戻る場合があります。前のケースと同様に、TPS20xxCでは、過負荷状態が解消されるかデバイスが熱サイクルを開始するまで、電流を I_{OS} に制限します。これは、図12、図13、図14に示されています。

過負荷状態が長く続き、上記のいずれかによって過熱制限が働いた場合、TPS20xxCは熱サイクルを実行します。これは、比較的大きな消費電力 [($V_{\text{IN}} - V_{\text{OUT}}$) × I_{OS}]によって接合部温度が上昇するためです。電流制限中に接合部温度が135°C (最小)を超えると、デバイスはオフになります。その後、接合部温度が20°C低下すると、デバイスは再起動します。

TPS20xxCと同様なTIスイッチ製品では、一般に2種類の電流制限プロファイルが使用されます。多くの古い設計では、図40の“Current Limit with Peaking”と示されたプロットに近い出力I-V特性が得られます。この種類の制限は、電流制限コーナー (I_{OC})および短絡電流 (I_{OS})という2つのパラメータによって特性化できます。多くの場合、 I_{OC} は最大値として指定されます。TPS20xxCファミリーのデバイスでは、図40で“Flat Current Limit”と示された特性のように、電流制限に目立ったピークは現れません。そのため、電気的特性表には I_{OC} パラメータが含まれていません。

アプリケーション情報

入力および出力容量

入力および出力容量によってデバイスの性能が向上します。実際の容量は、特定のアプリケーションに対して最適化する必要があります。すべてのアプリケーションに対して、INとGNDの間に0.1 μ F以上のセラミック・バイパス・コンデンサを接続することを推奨します。このコンデンサは、局所的なノイズ・デカップリングのために、デバイスにできるだけ近づけて配置する必要があります。

TPS20xxCのようなすべての保護回路では、入力電圧のオーバーシュートや出力電圧のアンダーシュートが発生する可能性があります。

入力電圧オーバーシュートは、2つの効果のいずれかによって生じます。1つ目の要因は、IN端子がハイ・インピーダンス（ターンオン前）のときに、入力電源バスのインダクタンスおよび入力容量との組み合わせで、入力電圧が急に印加される場合です。理論的に、ピーク電圧は印加電圧の2倍となります。2つ目の要因は、TPS20xxCがオフになり、出力短絡電流が急激に減少する場合で、入力インダクタンスに蓄積されたエネルギーが入力電圧を高くドライブします。また、大きな負荷ステップが生じたり、TPS20xxCの出力が短絡されたときに、入力電圧が低下する場合もあります。入力インダクタンスの大きなアプリケーション（長いケーブルを通して評価ボードをベンチ電源に接続する場合など）では、電圧オーバーシュートによってデバイスの絶対最大電圧を超えないように、大きな入力容量を必要とする場合があります。TPS20xxCは、急激な出力短絡に対して高速の電流制限で応答することにより、障害の影響が入力バスにまで及ぶのを防ぎます。ただし、TPS20xxCの入力に隣接して1 μ F~22 μ Fのセラミック入力容量を接続することで、応答時間の高速化と、入力電源バスへの過渡電圧の制限に役立ちます。最大6.5Vの瞬時入力過渡電圧が許容されます。

出力電圧アンダーシュートは、短絡発生直後、TPS20xxCのOUT電流が急激に低下したときに、出力電源バスのインダクタンスによって生じます。このインダクタンスに蓄積されるエネルギーにより、OUT電圧は低下し、放電するにつれて負にまで低下する可能性があります。（ケーブルなどによる）出力インダクタンスの大きなアプリケーションでは、値の大きな出力コンデンサを使用することで、電圧アンダーシュートを制御できます。USB標準アプリケーションを実装する際には、120 μ Fの最小出力容量が必要です。一般には150 μ Fの電解コンデンサが使用され、これは電圧アンダーシュートの制御に十分な値です。ただし、アプリケーションで120 μ Fの容量を必要としないときに、出力を負に駆動する可能性がある場合には、出力に最小10 μ Fのセラミック容量を使用することを推奨します。電圧アンダーシュートは、10 μ sにわたって1.5V未満に制御する必要があります。

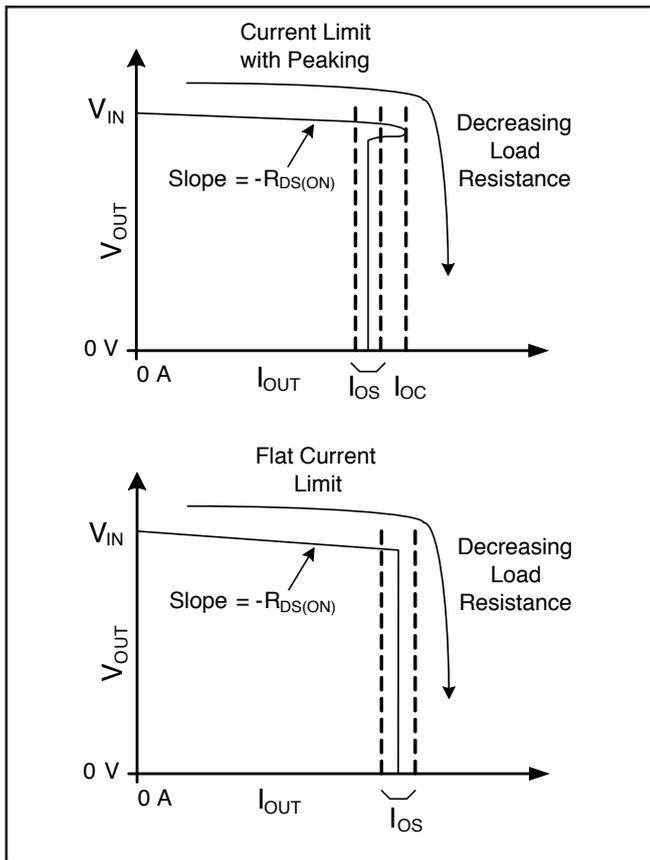


図 40. 電流制限プロファイル

FLT

過負荷または過熱状態中は、オープン・ドレイン出力FLTがアサート（アクティブ・ロー）されます。立ち上がりエッジと立ち下がりエッジの両方に9msのデグリッチ時間を設けることで、スタートアップ時および過渡事象中の誤検出を防止しています。電流制限状態がデグリッチ時間よりも短い場合は、終了時に内部タイマがクリアされます。デグリッチ・タイマは、複数の短い過負荷を積算して障害を宣言することはありません。これは、障害状態から抜け出す場合も同様です。入力電圧の過度のリップルおよび大きな出力容量が存在すると、TPS20xxCが電流制限範囲の内外に駆動されるため、I_{OS}近傍のFLT動作に影響を与える場合があります。

TPS20xxCが電流制限中で、過熱保護回路が作動した場合、FLTは直ちに真になります（図12を参照）、この状態から出る際にはデグリッチが適用されます（図14を参照）。FLTは、定電流制限の境界部分に達するとすぐにトリップします。TPS20xxCをディスエーブルにした場合、スイッチがオフになるとすぐにアクティブなFLTがクリアされます（図11を参照）。TPS20xxCがディスエーブルまたは低電圧誤動作防止（UVLO）状態のとき、FLTはハイ・インピーダンスになります。

出力放電

TPS20xxCがUVLOまたはディスエーブルになると、470 Ω (typ)の出力放電によって、OUTに蓄積された電荷とリーク電流が消費されます。プルダウン回路により、VINの低下に従ってバイアスが徐々に低下し、VINが0Vに近づくにつれて放電抵抗が上昇します。

消費電力および接合部温度

TPS20xxCの消費電力および予想される最大接合部温度を見積もることは、設計上の手法として推奨されます。パッケージの選択、他の電力消費デバイスからの距離、およびこれらの計算に基づくプリント基板(PCB)設計は、システム設計者の裁量で決まります。これらの要素は、最大接合部温度に直接影響を与えます。エアフローや最大周囲温度といった他の要素は、多くの場合、システム全体の考慮事項によって決まります。これらの計算には、隣接する熱源による影響や、エアフローの強化や制限による影響は含まれていないことに注意してください。

熱インピーダンスを低減し、接合部温度を実用上可能な限り低く保持するために、これらのデバイスの周囲に追加のPCB銅領域を設けることを推奨します。パッドを半田付けして接合部温度を低くすることで、TPS20xxCとシステムの両方の効率および信頼性が向上します。以下に示す例は、「熱特性について」の表に示した熱インピーダンス θ_{JA} Customの決定に使用されたものです。これらの例では、4層、1オンス銅のJEDEC High-k基板構造(2信号、2プレーン)を使用しています。

熱インピーダンスを低減するため、DGNパッケージのパッドは基板の銅フィル領域およびビアに半田付けすることを推奨しますが、それが望ましくないケースも考えられます。例えば、ICの下に配線領域がある場合などです。TPS20xxCは、パッドをGNDに接続しなくても適切に動作します。4層基板でパッドを半田付けしない場合の θ_{JA} は、0.5Aおよび1A定格のデバイスで約141°C/W、1.5Aおよび2A定格のデバイスで139°C/Wです。

これらの値を下の式(1)で使用して、最大接合部温度を決定できます。

電力損失が内部MOSFETの $I^2 \times R_{DS(ON)}$ によって生じ、 $R_{DS(ON)}$ は接合部温度の関数であるため、以下の手順は何度か繰り返して行う必要があります。最初の見積もりとしては、「標準的特性」から125°Cでの $R_{DS(ON)}$ を使用し、「熱特性について」の表から推奨基板構造に対する推奨パッケージ熱抵抗を使用します。

$$T_J = T_A + ((I_{OUT2} \times R_{DS(ON)}) \times \theta_{JA}) \quad (1)$$

ここで

I_{OUT} = 定格OUTピン電流 (A)

$R_{DS(ON)}$ = 仮定される T_J での電源スイッチのオン抵抗 (Ω)

T_A = 最大周囲温度 (°C)

T_J = 最大接合部温度 (°C)

θ_{JA} = 熱抵抗 (°C/W)

T_J の計算値が元の仮定から大きく離れている場合は、標準的特性プロットを使用して $R_{DS(ON)}$ の新しい値を見積もり、再度計算します。

結果の T_J が125°C以上となる場合は、より θ_{JA} の低いPCB構造やパッケージを試してください。

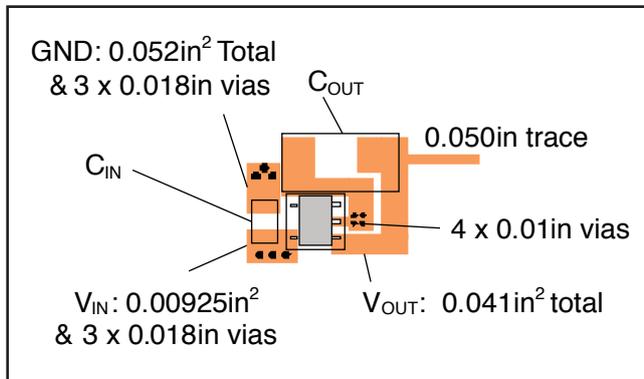


図 41. DBVパッケージのPCBレイアウト例

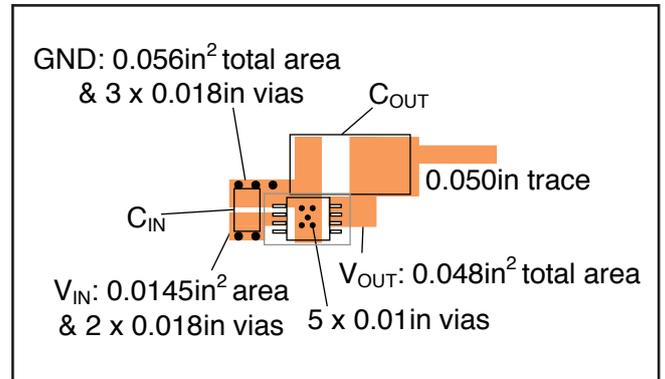


図 42. DGNパッケージのPCBレイアウト例

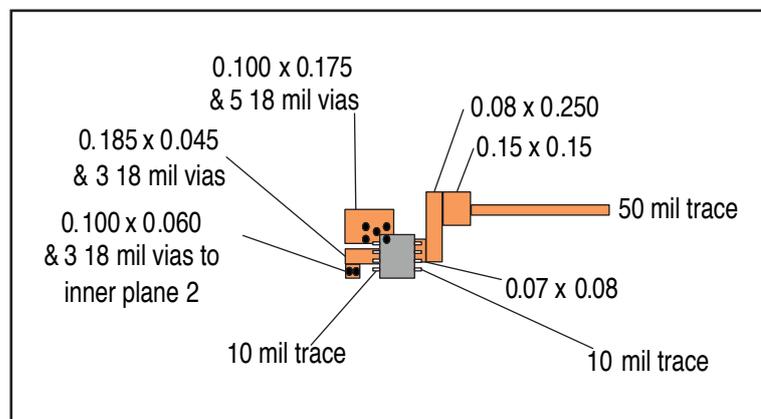


図 43. DGKパッケージのPCBレイアウト例

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TPS2000CDGK	ACTIVE	MSOP	DGK	8	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	
TPS2000CDGKR	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	
TPS2000CDGN	ACTIVE	MSOP-PowerPAD	DGN	8	80	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2000CDGNR	ACTIVE	MSOP-PowerPAD	DGN	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2001CDGK	ACTIVE	MSOP	DGK	8	80	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	
TPS2001CDGKR	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAUAG	Level-2-260C-1 YEAR	
TPS2001CDGN	ACTIVE	MSOP-PowerPAD	DGN	8	80	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2001CDGNR	ACTIVE	MSOP-PowerPAD	DGN	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2051CDBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2051CDBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2065CDBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2065CDBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2065CDGN	ACTIVE	MSOP-PowerPAD	DGN	8	80	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2065CDGNR	ACTIVE	MSOP-PowerPAD	DGN	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2069CDGN	ACTIVE	MSOP-PowerPAD	DGN	8	80	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2069CDGNR	ACTIVE	MSOP-PowerPAD	DGN	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBsolete: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

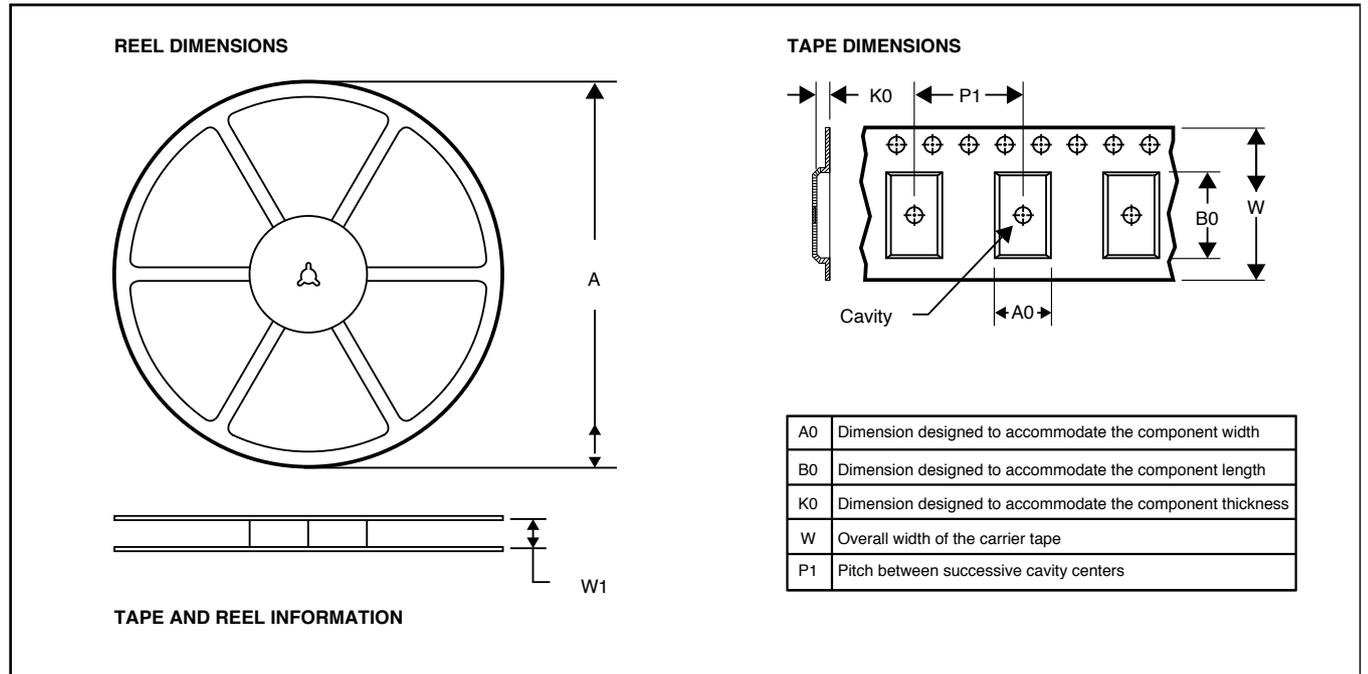
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行わないものとさせていただきます。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

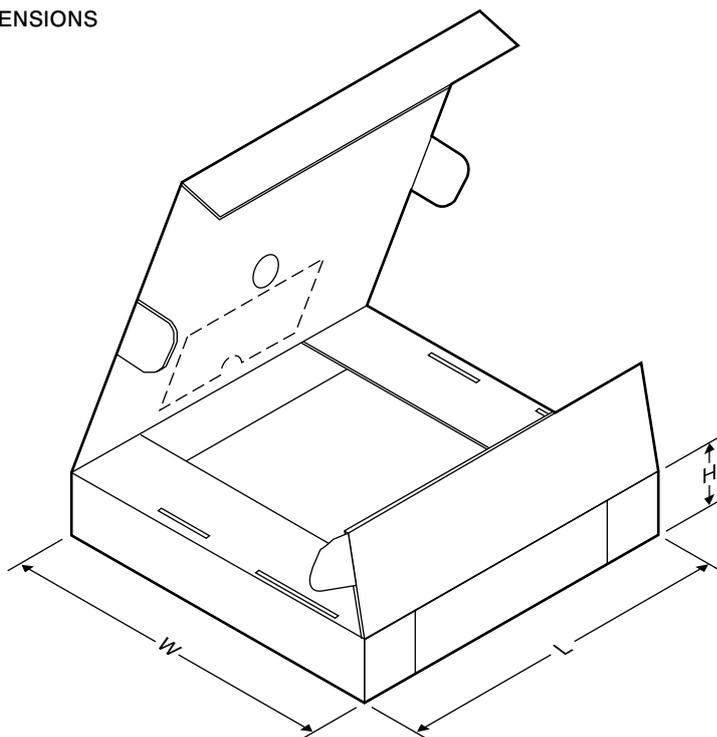


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2000CDGKR	MSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2000CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
TPS2000CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2001CDGKR	MSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2001CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
TPS2001CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2051CDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2065CDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2065CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
TPS2065CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2069CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2069CDGNR	MSOP-Power PAD	DGN	8	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1

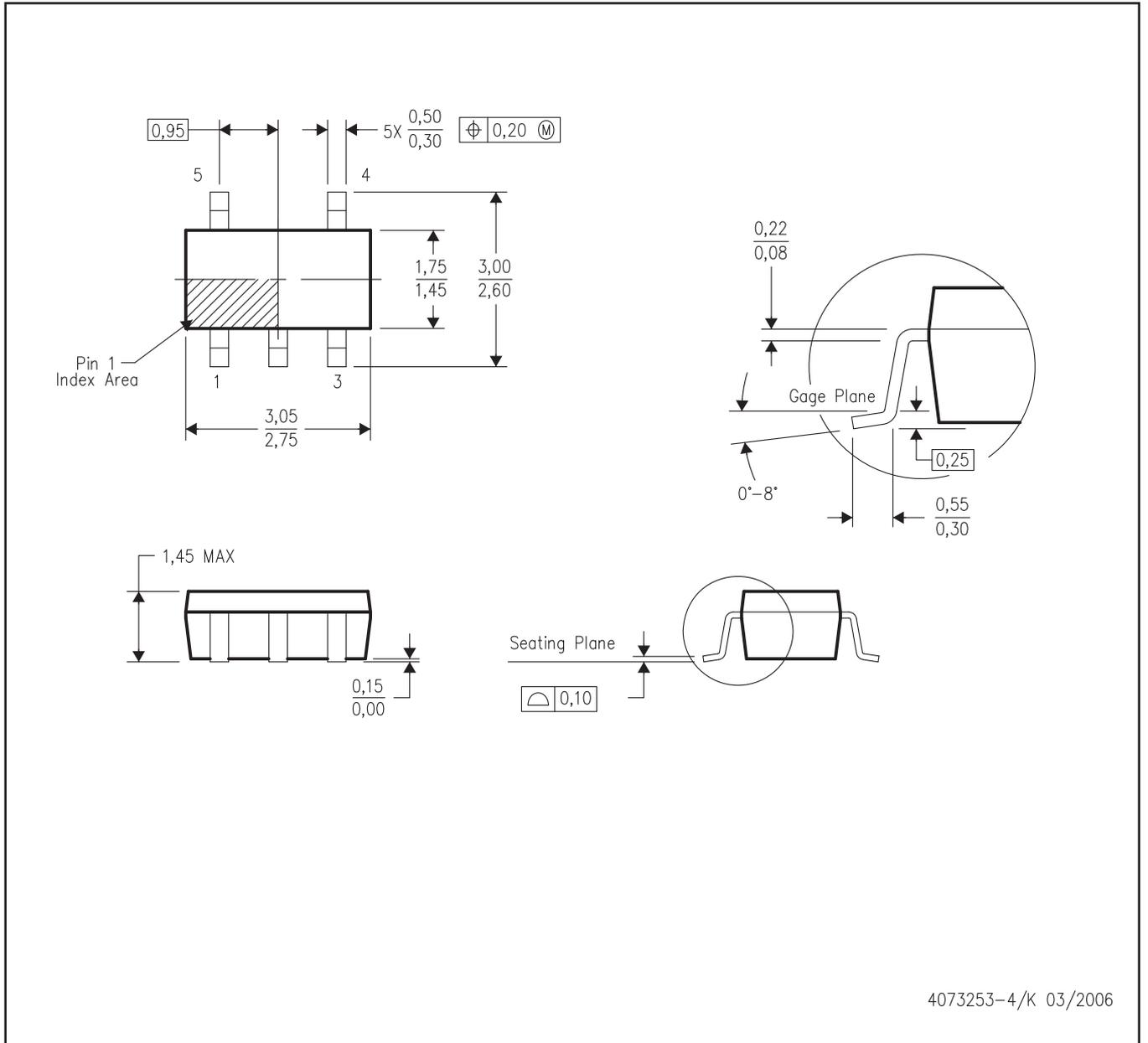
パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



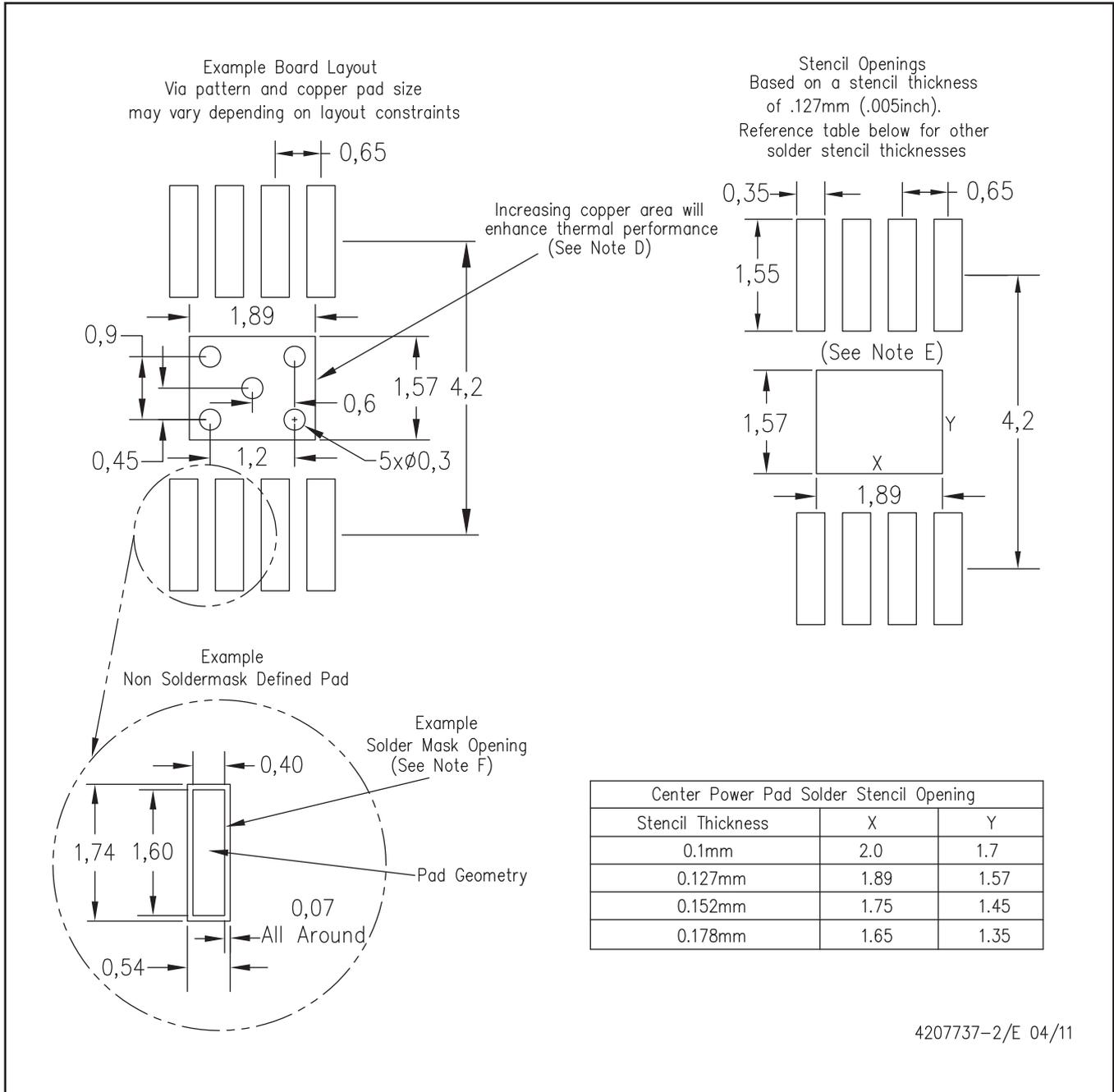
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2000CDGKR	MSOP	DGK	8	2500	366.0	364.0	50.0
TPS2000CDGNR	MSOP-PowerPAD	DGN	8	2500	370.0	355.0	55.0
TPS2000CDGNR	MSOP-PowerPAD	DGN	8	2500	360.0	162.0	98.0
TPS2001CDGKR	MSOP	DGK	8	2500	366.0	364.0	50.0
TPS2001CDGNR	MSOP-PowerPAD	DGN	8	2500	370.0	355.0	55.0
TPS2001CDGNR	MSOP-PowerPAD	DGN	8	2500	360.0	162.0	98.0
TPS2051CDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS2065CDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS2065CDGNR	MSOP-PowerPAD	DGN	8	2500	370.0	355.0	55.0
TPS2065CDGNR	MSOP-PowerPAD	DGN	8	2500	360.0	162.0	98.0
TPS2069CDGNR	MSOP-PowerPAD	DGN	8	2500	360.0	162.0	98.0
TPS2069CDGNR	MSOP-PowerPAD	DGN	8	2500	370.0	355.0	55.0



4073253-4/K 03/2006

- 注： A. 寸法はすべてミリメートルです。
 B. 本図は予告なく変更することがあります。
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。
 D. JEDEC MO-178 Variation AAに準拠。



注：A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。

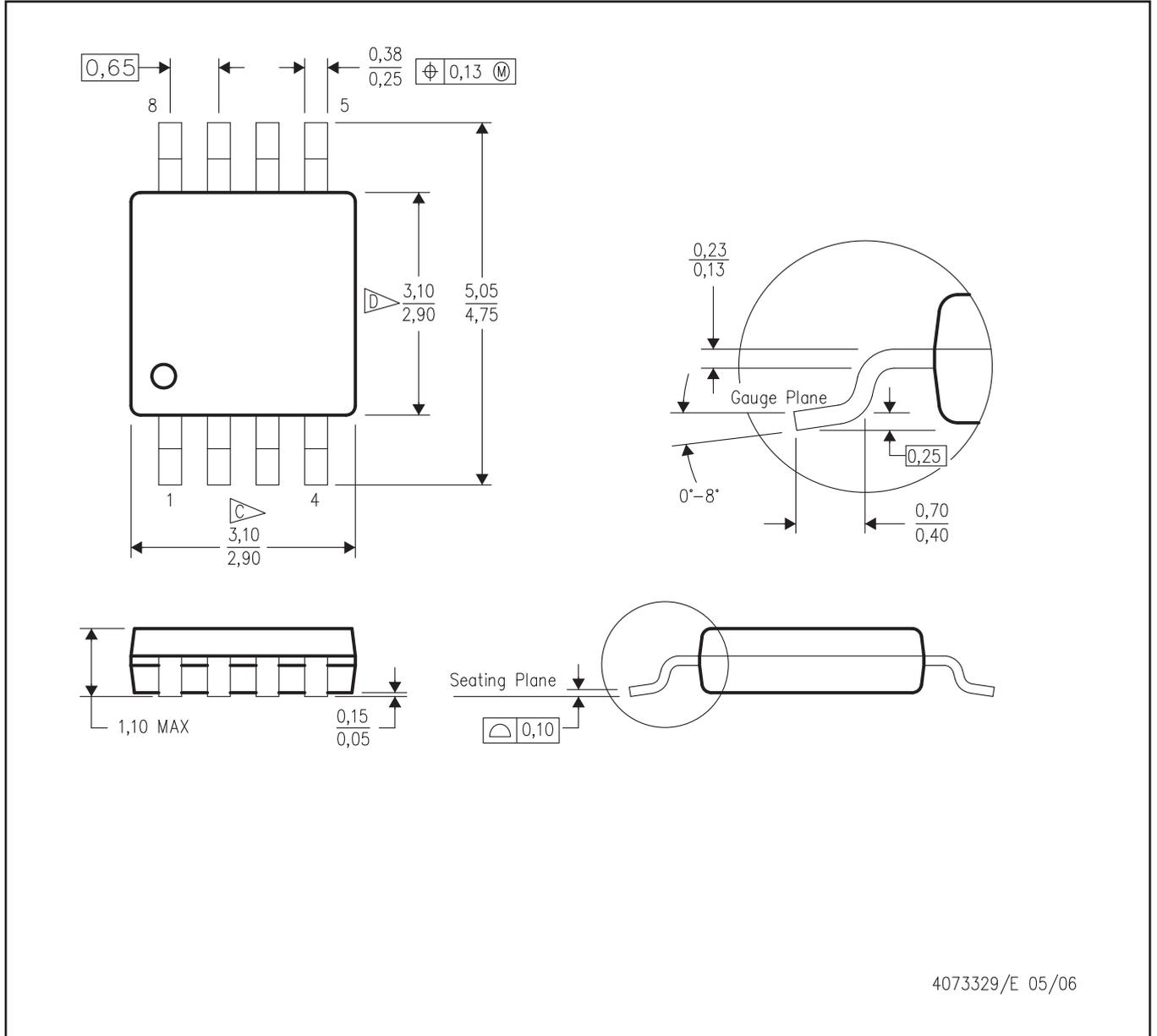
D. 代替設計には、IPC-7351規格を推奨します。

E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。

メカニカル・データ

DGK(S-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE



4073329/E 05/06

注：A. 寸法はすべてミリメートルです。

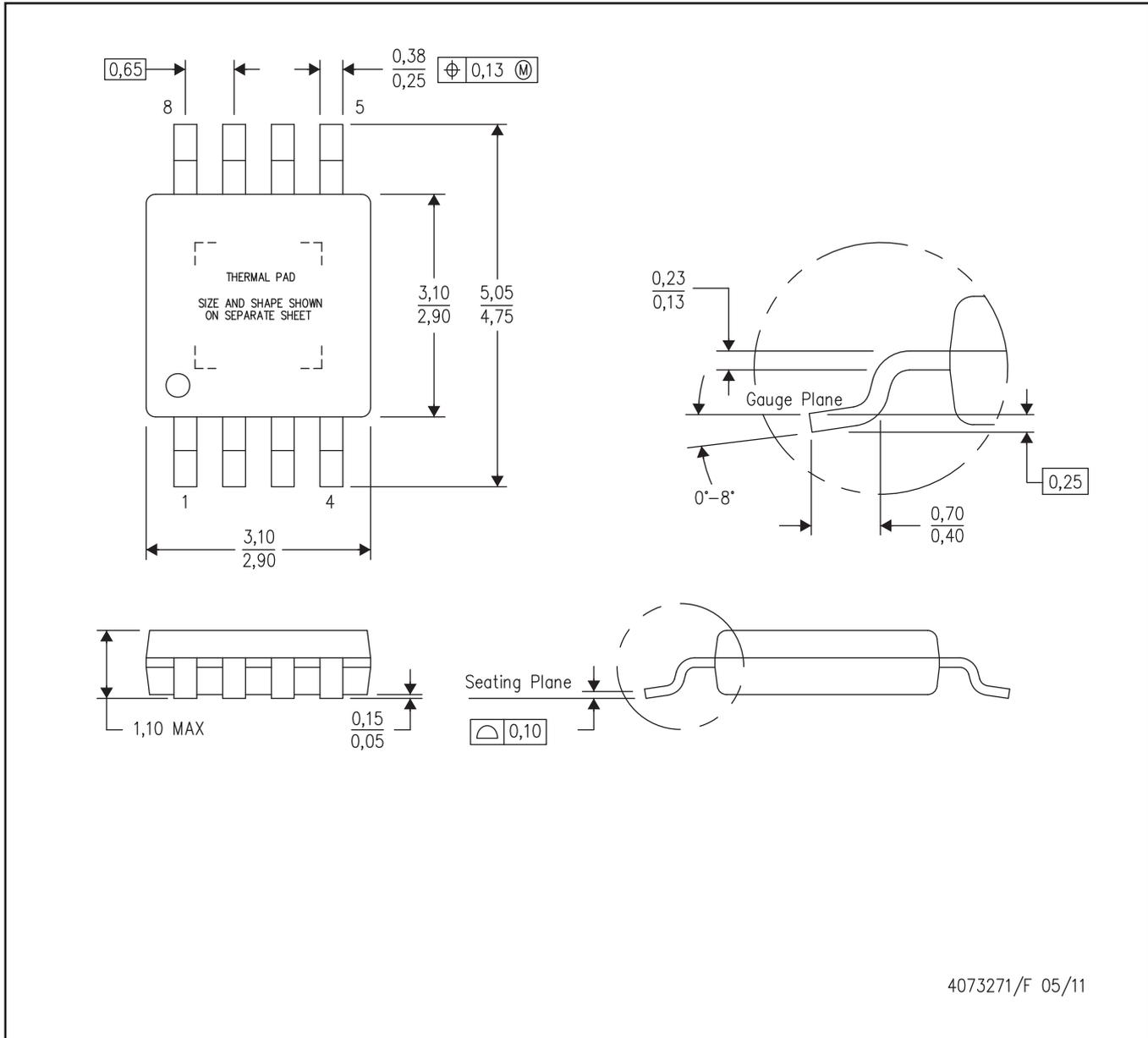
B. 本図は予告なく変更することがあります。

C. ボディ長には、モールド・フラッシュや突起、ゲート・バーは含みません。

モールド・フラッシュや突起、ゲート・バーは、片側で0.15を超えることはありません。

D. ボディ幅にはインターリード・フラッシュは含みません。インターリード・フラッシュは片側で0.5を超えることはありません。

E. JEDEC MO-187 variationAAに準拠



4073271/F 05/11

- 注：A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 本体寸法にはモールド・フラッシュや突起を含みません。
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. 露出サーマル・パッドの寸法および形状についての詳細は、データシート内のサーマルパッド・メカニカル・データを参照してください。
 F. JEDEC MO-187 バージョンAA-Tに適合しています。

サーマルパッド・メカニカル・データ

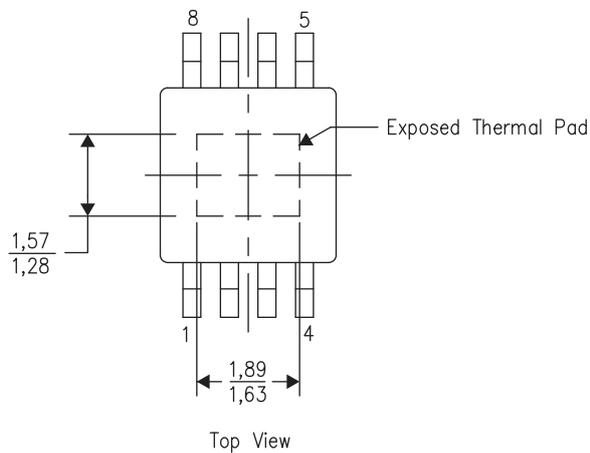
DGN(S-PDSO-G8)

熱的特性に関する資料

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) に直接半田付ける必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマルビアを使用して、サーマルパッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ www.ti.comで入手できます。

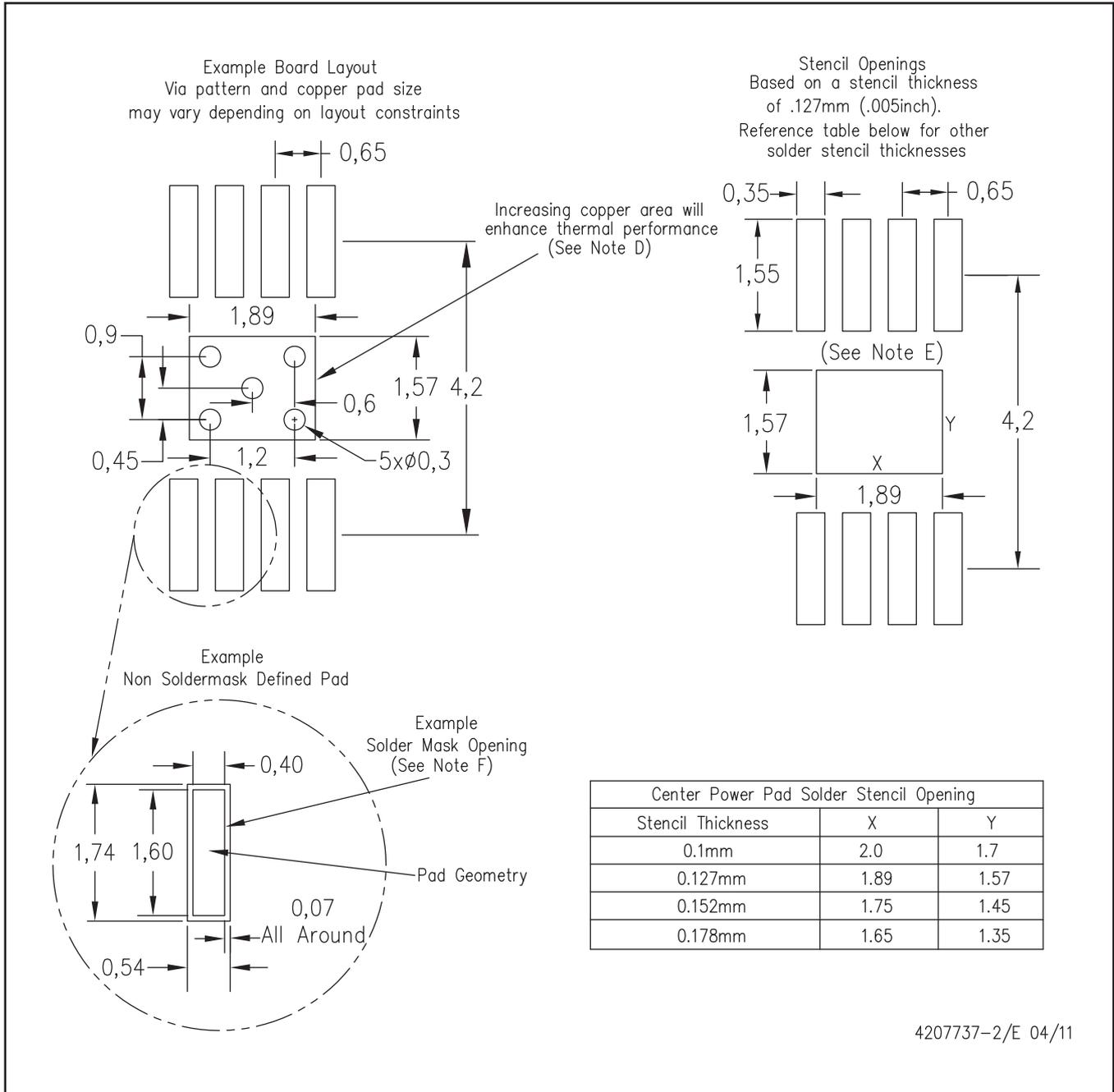
このパッケージの露出したサーマルパッドの寸法を次の図に示します。



注：全ての線寸法の単位はミリメートルです。

4206323-2/H 05/11

サーマルパッド寸法図



- 注：A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計には、IPC-7351規格を推奨します。
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート『Quad Flat-Pack Packages』(TI文献番号SCBA017、SLUA271) および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

サーマルパッド・メカニカル・データ

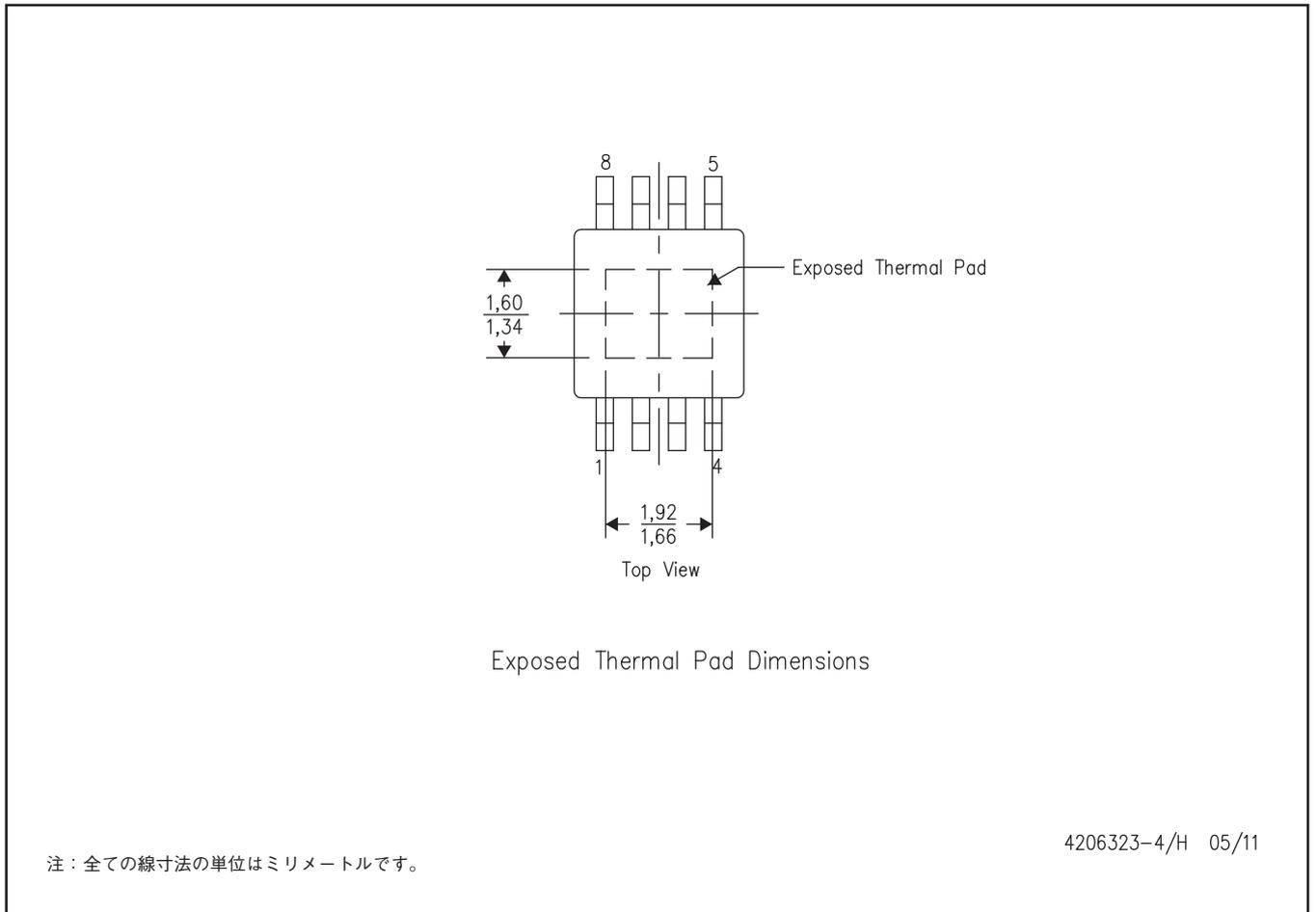
DGN(S-PDSO-G8)

熱的特性に関する資料

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマルビアを使用して、サーマルパッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ www.ti.comで入手できます。

このパッケージの露出したサーマルパッドの寸法を次の図に示します。



サーマルパッド寸法図

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上