TPS20xxC および TPS20xxC-2 電流制限パワー ディストリビューション スイッチ

1 特長

- シングル パワー スイッチ ファミリ
- 既存のテキサス・インスツルメンツのスイッチ ポートフォリオとのピン互換
- 定格電流：0.5A、1A、1.5A、2A
- 精度 ±20% の固定および定電流制限
- 高速過電流応答：2µs
- デグリッチ異常検出出力
- 出力放電機能がある部品 (TPS20xxC) と出力放電機能がない部品 (TPS20xxC-2) を提供
- 逆電流保護
- ソフト・スタート内蔵
- 周囲温度範囲：-40℃ ～ 85℃
- UL 認定済み：CB ファイル番号 E169910

2 アプリケーション

- USB ポートとハブ、ノート PC、デスクトップ
- 高精細デジタル テレビ
- セットトップ ボックス
- 短絡保護

3 説明

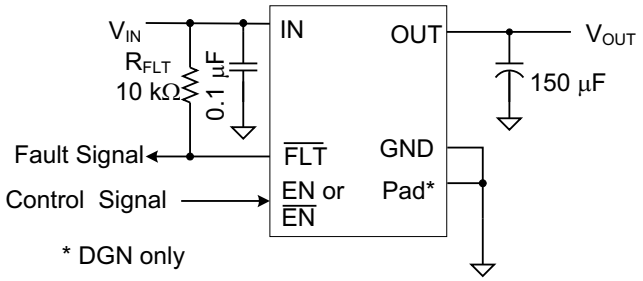
TPS20xxC および TPS20xxC-2 パワー ディストリビューション スイッチ ファミリは、大きな容量性負荷や短絡が発生しやすい USB などのアプリケーション向けに設計されています。このファミリは、0.5A～2A のアプリケーション向けに、固定電流制限スレッショルドを備えた複数のデバイスを提供します。

TPS20xxC および TPS20xxC-2 ファミリは、出力負荷が電流制限のスレッショルドを上回ったときに、定電流モードで動作することにより、出力電流を制限して安全なレベルに下げます。これにより、あらゆる条件下で故障時の電流が予測可能となります。高速な過負荷応答時間を達成していることから、5V 主電源にかかる負荷を軽減し、出力の短絡が発生したときに電力を安定化します。この電源スイッチの立ち上がりおよび立ち下がり時間は、オン / オフ時の電流サージを最小限に抑えるように制御されます。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
TPS20xxC、TPS20xxC-2	SOT-23 (5)	2.90mm × 1.60mm
	VSSOP (8)	3.00mm × 3.00mm
	MSOP-PowerPAD (8)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



Copyright © 2016, Texas Instruments Incorporated

代表的なアプリケーションの図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイス比較表 ... 3
5 ピン構成および機能 ... 3
6 仕様 ... 5
6.1 絶対最大定格 ... 5
6.2 ESD 定格 ... 5
6.3 推奨動作条件 ... 5
6.4 熱に関する情報：SOT-23 ... 6
6.5 熱に関する情報：MSOP-PowerPAD ... 6
6.6 電気的特性：T_J = T_A = 25°C ... 7
6.7 電気的特性：−40°C ≤ T_J ≤ 125°C ... 8
6.8 タイミング要件：T_J = T_A = 25°C ... 9
6.9 代表的特性 ... 11
7 詳細説明 ... 14
7.1 概要 ... 14
7.2 機能ブロック図 ... 14
7.3 機能説明 ... 14
7.4 デバイスの機能モード ... 16
8 アプリケーションと実装 ... 17
8.1 使用上の注意 ... 17
8.2 代表的なアプリケーション ... 17
9 電源に関する推奨事項 ... 21
10 レイアウト ... 22
10.1 レイアウトのガイドライン ... 22
10.2 レイアウト例 ... 22
10.3 許容損失と接合部温度 ... 22
11 デバイスおよびドキュメントのサポート ... 24
11.1 ドキュメントの更新通知を受け取る方法 ... 24
11.2 サポート・リソース ... 24
11.3 商標 ... 24
11.4 静電気放電に関する注意事項 ... 24
11.5 用語集 ... 24
12 改訂履歴 ... 25
13 メカニカル、パッケージ、および注文情報 ... 26

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

最大動作電流	出力放電	イネーブル	基本型番	パッケージ デバイスとマーキング (1)		
				MSOP-8 (DGN) PowerPAD™	SOT23-5 (DBV)	VSSOP-8 (DGK)
0.5	Y	Low	TPS2041C	—(2)	PYJI	—
0.5	Y	High	TPS2051C	—	VBYQ	—
1	Y	Low	TPS2061C	PXMI	PXLI	—
1	Y	High	TPS2065C	VCAQ	VCAQ	—
1	N	High	TPS2065C-2	PYRI	PYQI	—
1.5	Y	Low	TPS2068C	PXNI	—	—
1.5	Y	High	TPS2069C	VBUQ	PYKI	—
1.5	N	High	TPS2069C-2	PYSI	—	—
2	Y	Low	TPS2000C	BCMS	—	PXFI
2	Y	High	TPS2001C	VBWQ	—	PXGI

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録:パッケージ オプション」を参照するか、www.ti.com または www.tij.co.jp にある TI の Web サイトを参照してください。
(2) 「–」は、このパッケージではデバイスが利用できないことを示します。

5 ピン構成および機能

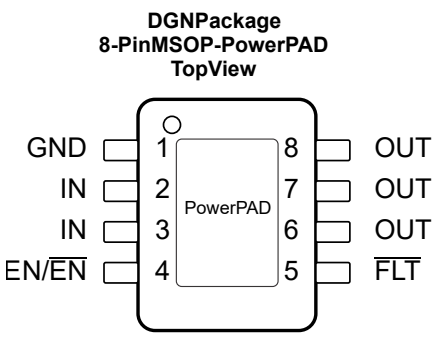


図 5-1. DGN パッケージ 8 ピン MSOP-PowerPAD 上面図

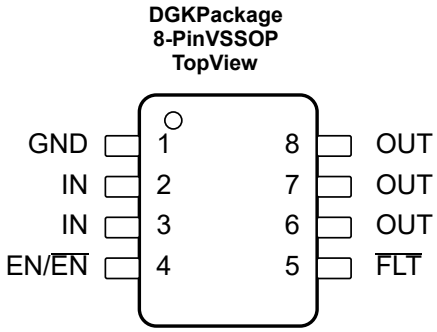


図 5-2. DGK パッケージ 8 ピン VSSOP 上面図

表 5-1. ピン機能-8 ピン

ピン		I/O	説明
名称	番号		
EN / EN	4	I	イネーブル入力。ロジック High にするとパワー スイッチがターンオンします。
FLT	5	O	アクティブ Low のオープン ドレイン出力。過電流または過熱条件時にアサートされます。
GND	1	—	グランド接続
IN	2、3	PWR	入力電圧とパワー スイッチ ドレイン。IN から GND への 0.1µF 以上のセラミック コンデンサを IC の近くに接続します
OUT	6、7、8	PWR	パワー スイッチ出力。負荷に接続します。
PowerPAD (DGN のみ)	PowerPAD	—	GND に内部接続します。最高の放熱性能を得るには、PAD をヒートシンクとして GND プレーンに接続します。必要に応じて、PAD をフローティングのままにすることもできます。「消費電力と接合部温度」をガイダンスとして参照してください。

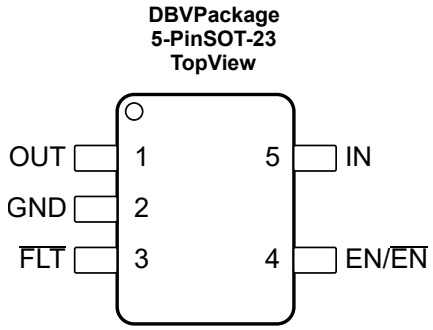


図 5-3. DBV パッケージ 5 ピン SOT-23 上面図

表 5-2. ピン機能-5 ピン

ピン		I/O	説明
名称	番号		
EN / $\overline{EN}$	4	I	イネーブル入力。ロジック High にするとパワー スイッチがターンオンします。
$\overline{FLT}$	3	O	アクティブ Low のオープン ドレイン出力。過電流または過熱条件時にアサートされます。
GND	2	—	グランド接続
IN	5	PWR	入力電圧とパワー スイッチ ドレイン。IN から GND への 0.1µF 以上のセラミック コンデンサを IC の近くに接続します
OUT	1	PWR	パワー スイッチ出力。負荷に接続します。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1) (2) (3)

	最小値	最大値	単位
IN、OUT、EN または $\overline{EN}$、$\overline{FLT}$ (4) の電圧	-0.3	6	V
IN から OUT までの電圧	-6	6	V
最大接合部温度、T_J	内部的に制限		
保管温度、T_{stg}	-60	150	°C

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示す値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 絶対最大定格は、推奨接合部温度の範囲全体に適用されます。
(3) 特に指定のない限り、すべての電圧値は GND を基準にしています。
(4) 「入力および出力容量」を参照してください。

6.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±500	
	IEC 61000-4-2 接触放電	±8000	
	IEC 61000-4-2 気中放電(3)	±15000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(3) 最初のページの「代表的なアプリケーションの図」に従って入力および出力バイパス (ただし、入力コンデンサは 22µF) を実装した PCB 上では、V_{OUT} が急上昇してもデバイスの故障は発生しませんでした。

6.3 推奨動作条件

			最小値	公称値	最大値	単位
V_{IN}	入力電圧、IN		4.5		5.5	V
V_{EN}	入力電圧 (EN または $\overline{EN}$)		0		5.5	V
V_{IH}	High レベル入力電圧 (EN または $\overline{EN}$)		2			V
V_{IL}	Low レベル入力電圧 (EN または $\overline{EN}$)				0.7	V
I_{OUT}	連続出力電流、OUT(1)	TPS2041C および TPS2051C			0.5	A
		TPS2061C、TPS2065C および TPS2065C-2			1	
		TPS2068C、TPS2069C および TPS2069C-2			1.5	
		TPS2000C、TPS2001C			2	
T_J	動作時接合部温度		-40		125	°C
$I_{\overline{FLT}}$	$\overline{FLT}$ へのシンク電流		0		5	mA

(1) 一部のパッケージや電流定格では、周囲温度 85°C でのディレーティングが必要となる場合があります。

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報：SOT-23

熱評価基準(1)		TPS20xxC、TPS20xxC-2		単位
		DBV (SOT-23)(2)	DBV (SOT-23)(3)	
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	224.9	220.4	℃/W
$R_{\theta JCtop}$	接合部からケース (上面) への熱抵抗	95.2	89.7	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	51.4	46.9	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	6.6	5.2	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	50.3	46.2	℃/W
$R_{\theta JCbot}$	接合部からケース (底面) への熱抵抗	—	—	℃/W
$R_{\theta JA}$ カスタム	「消費電力と接合部温度」を参照	139.3	134.9	℃/W

(1) 従来および最新の熱測定基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。
(2) 定格は 0.5A または 1A です。
(3) 定格は 1.5A または 2A です。

6.5 熱に関する情報：MSOP-PowerPAD

熱評価基準(1)		TPS20xxC、TPS20xxC-2			単位
		DGN (MSOP-PowerPAD)(2)	DGN (MSOP-PowerPAD)(3)	DGK (VSSOP)(4)	
		8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	72.1	67.1	205.5	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	87.3	80.8	94.3	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	42.2	37.2	126.9	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	7.3	5.6	24.7	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	42	36.9	125.2	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	39.2	32.1	—	℃/W
$R_{\theta JA}$ カスタム	「消費電力と接合部温度」を参照	66.5	61.3	110.3	℃/W

(1) 従来および最新の熱測定基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。
(2) 定格は 0.5A または 1A です。
(3) 定格は 1.5A または 2A です。
(4) 定格は 2A です。

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性：$T_J = T_A = 25°C$

特に記述のない限り以下のとおり：V_{IN} = 5V、$V_{EN} = V_{IN}$ または V_{EN} = GND、I_{OUT} = 0A。各部品番号の定格電流については、「デバイス比較表」を参照してください。より広い動作範囲にわたるパラメータについては、「電気的特性：-40°C ≤ T_J ≤ 125°C (1)」を参照してください。

パラメータ		テスト条件(1)		最小値	標準値	最大値	単位
パワー スイッチ							
$R_{DS(on)}$	入力 – 出力抵抗	0.5A 定格出力、25°C	DBV		97	110	mΩ
		0.5A 定格出力、–40°C ≤ (T_J、T_A) ≤ 85°C	DBV		96	130	mΩ
		1A 定格出力、25°C	DBV		96	110	mΩ
			DGN		86	100	
		1A 定格出力、–40°C ≤ (T_J、T_A) ≤ 85°C	DBV		96	130	mΩ
			DGN		86	120	
		1.5A 定格出力、25°C	DBV		76	91	mΩ
			DGN		69	84	mΩ
		1.5A 定格出力、–40°C ≤ (T_J、T_A) ≤ 85°C	DBV		76	106	mΩ
			DGN		69	98	mΩ
		2A 定格出力、25°C	DGN、DGK		72	84	mΩ
		2A 定格出力、–40°C ≤ (T_J、T_A) ≤ 85°C	DGN、DGK		72	98	mΩ
電流制限							
I_{OS} (3)	電流制限 (図 6-6 を参照)	0.5A 定格出力	TPS20xxC	0.67	0.85	1.01	A
		1A 定格出力	TPS20xxC	1.3	1.55	1.8	
			TPS20xxC-2	1.18	1.53	1.88	
		1.5A 定格出力	TPS20xxC	1.7	2.15	2.5	
			TPS20xxC-2	1.71	2.23	2.75	
		2A 定格出力	TPS20xxC	2.35	2.9	3.4	
電源電流							
I_{SD}	電源電流、スイッチ ディスエーブル	I_{OUT} = 0A			0.01	1	μA
		–40°C ≤ (T_J、T_A) ≤ 85°C、V_{IN} = 5.5V、I_{OUT} = 0A				2	
I_{SE}	電源電流、スイッチ イネーブル	I_{OUT} = 0A			60	70	μA
		–40°C ≤ (T_J、T_A) ≤ 85°C、V_{IN} = 5.5V、I_{OUT} = 0A				85	
I_{lkg}	リーク電流	V_{OUT} = 0V、V_{IN} = 5V、ディセーブル、I_{VIN} を測定します	TPS20xxC-2		0.05	1	μA
		–40°C ≤ (T_J、T_A) ≤ 85°C、V_{OUT} = 0V、V_{IN} = 5V、ディスエーブル、I_{VIN} を測定します				2	
I_{REV}	逆リーク電流	V_{OUT} = 5V、V_{IN} = 0V、I_{VOUT} を測定します			0.1	1	μA
		–40°C ≤ (T_J、T_A) ≤ 85°C、V_{OUT} = 5V、V_{IN} = 0V、I_{VOUT} を測定します				5	
出力放電							
R_{PD}	出力プルダウン抵抗(2)	$V_{IN} = V_{OUT}$ = 5V、ディスエーブル	TPS20xxC	400	470	600	Ω

(1) パルス テスト手法を使用することで、接合部温度を周囲温度とほぼ同じ状態に保つことができます
(2) これらのパラメータは参考用にのみ提供されており、テキサス インスツルメンツの製品保証において、テキサス インスツルメンツが発行するデバイス仕様の一部に含まれないものとします。
(3) このパラメータの説明については、「電流制限」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.7 電気的特性：−40°C ≤ T_J ≤ 125°C

特に記述のない限り、4.5V ≤ V_{IN} ≤ 5.5V、V_{EN} = V_{IN} または $V_{\overline{EN}}$ = GND、I_{OUT} = 0A とし、標準値は 5V および 25°C の測定値です。各部品番号の定格電流については、「デバイス比較表」を参照してください。

パラメータ		テスト条件(1)		最小値	標準値	最大値	単位
パワー スイッチ							
$R_{DS(ON)}$	入力 – 出力抵抗	0.5A 定格出力	DBV		97	154	mΩ
		1A 定格出力	DBV		96	154	mΩ
			DGN		86	140	
		1.5A 定格出力	DBV		76	121	mΩ
			DGN		69	112	mΩ
		2A 定格出力	DGN、DGK		72	112	mΩ
イネーブル入力 (EN または $\overline{EN}$)							
	スレッショルド	入力立ち上がり		1	1.45	2	V
	ヒステリシス			0.07	0.13	0.2	V
	リーク電流	(V_{EN} または $V_{\overline{EN}}$) = 0V または 5.5V		-1	0	1	µA
電流制限							
I_{OS} (3)	電流制限 (図 8-1 を参照)	0.5A 定格出力	TPS20xxC	0.65	0.85	1.05	A
		1A 定格出力	TPS20xxC	1.2	1.55	1.9	
			TPS20xxC-2	1.1	1.53	1.96	
		1.5A 定格出力	TPS20xxC	1.6	2.15	2.7	
			TPS20xxC-2	1.6	2.23	2.86	
		2A 定格出力	TPS20xxC	2.3	2.9	3.6	
t_{IOS}	短絡応答時間(2)	V_{IN} = 5V (図 6-6 を参照)、1/2 全負荷 → R_{SHORT} = 50mΩ、印加してから、電流が最終値の 120% を下回るまでの時間を測定します			2		µs
電源電流							
I_{SD}	電源電流、スイッチ ディスエーブル	I_{OUT} = 0A			0.01	10	µA
I_{SE}	電源電流、スイッチ イネーブル	I_{OUT} = 0A			65	90	µA
I_{lkg}	リーク電流	V_{OUT} = 0V、V_{IN} = 5V、ディセーブル、I_{VIN} を測定します	TPS20XXC-2		0.05		µA
I_{REV}	逆リーク電流	V_{OUT} = 5.5V、V_{IN} = 0V、I_{VOUT} を測定します			0.2	20	µA
低電圧誤動作防止							
V_{UVLO}	立ち上がりスレッショルド	V_{IN} ↑		3.5	3.75	4	V
	ヒステリシス (2)	V_{IN} ↓			0.14		V
$\overline{FLT}$							
	出力 Low 電圧、$\overline{FLT}$	$I_{\overline{FLT}}$ = 1mA				0.2	V
	オフ状態リーケージ	$V_{\overline{FLT}}$ = 5.5V				1	µA
t_{FLT}	$\overline{FLT}$ グリッチ除去	$\overline{FLT}$ アサートまたはデアサート グリッチ除去		6	9	12	ms
出力放電							
R_{PD}	出力プルダウン抵抗	V_{IN} = 4V、V_{OUT} = 5V、ディスエーブル	TPS20XXC	350	560	1200	Ω
		V_{IN} = 5V、V_{OUT} = 5V、ディスエーブル	TPS20XXC	300	470	800	
サーマル シャットダウン							
	立ち上がりスレッショルド (T_J)	電流制限動作中		135			°C
		電流制限外		155			
	ヒステリシス (2)				20		

(1) パルス テスト手法を使用することで、接合部温度を周囲温度とほぼ同じ状態に保つことができます
(2) これらのパラメータは参考用にのみ提供されており、テキサス インスツルメンツの製品保証において、テキサス インスツルメンツが発行するデバイス仕様の一部に含まれないものとします。
(3) このパラメータの説明については、「電流制限」を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.8 タイミング要件：$T_J = T_A = 25°C$

				最小値	公称値	最大値	単位
イネーブル入力 (EN または $\overline{EN}$)							
t_{ON}	ターンオン時間	V_{IN} = 5V、C_L = 1µF、R_L = 100Ω、EN ↑ または $\overline{EN}$ ↓。 図 6-1、図 6-3、図 6-4 を参照	0.5A および 1A 定格	1	1.4	1.8	ms
			1.5A および 2A 定格	1.2	1.7	2.2	
t_{OFF}	ターンオフ時間	V_{IN} = 5V、C_L = 1µF、R_L = 100Ω、EN ↓ または $\overline{EN}$ ↑。 図 6-1、図 6-3、図 6-4 を参照	0.5A および 1A 定格	1.3	1.65	2	ms
			1.5A および 2A 定格	1.7	2.1	2.5	
t_R	立ち上がり時間、出力	C_L = 1µF、R_L = 100Ω、V_{IN} = 5V。図 6-2 を参照	0.5A および 1A 定格	0.4	0.55	0.7	ms
			1.5A および 2A 定格	0.5	0.7	1	
t_F	立ち下がり時間、出力	C_L = 1µF、R_L = 100Ω、V_{IN} = 5V。図 6-2 を参照	0.5A および 1A 定格	0.25	0.35	0.45	ms
			1.5A および 2A 定格	0.3	0.43	0.55	

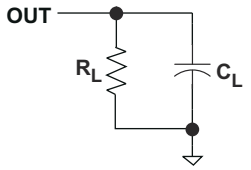


図 6-1. 出力立ち上がり / 立ち下がりテストの負荷

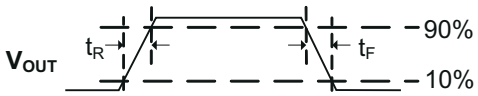


図 6-2. 電源オン / 電源オフのタイミング

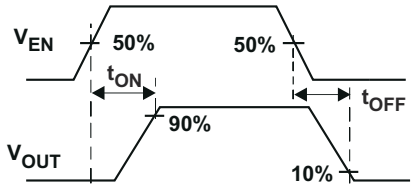


図 6-3. イネーブル タイミング、アクティブ High イネーブル

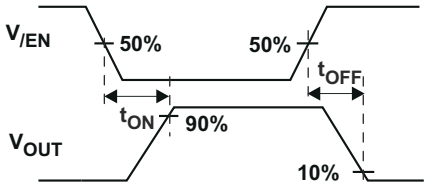


図 6-4. イネーブル タイミング、アクティブ Low イネーブル

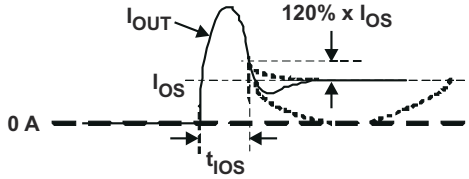


図 6-5. 出力短絡パラメータ

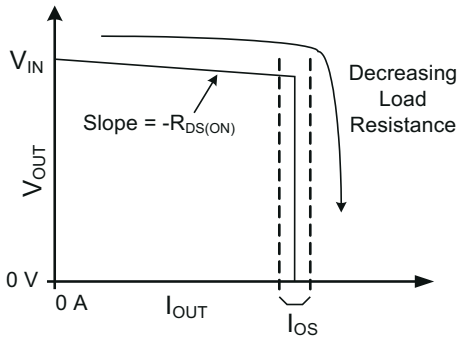


図 6-6. 電流制限を示す出力特性

Copyright © 2026 Texas Instruments Incorporated

6.9 代表的特性

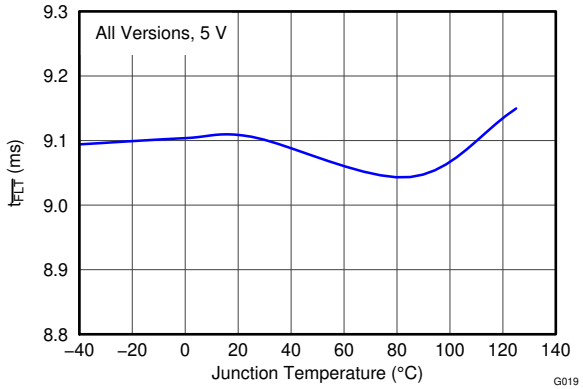


図 6-7. グリッチ除去期間 (T_{FLT}) と温度との関係

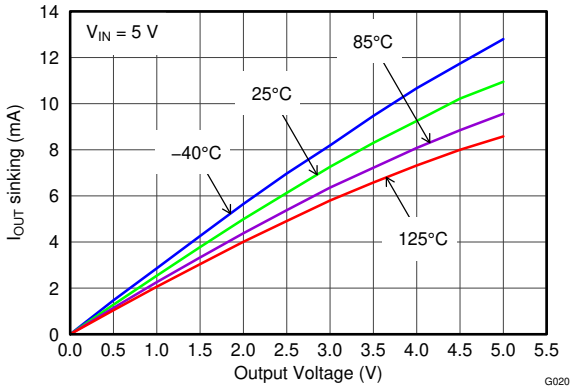


図 6-8. 出力放電電流と出力電圧との関係

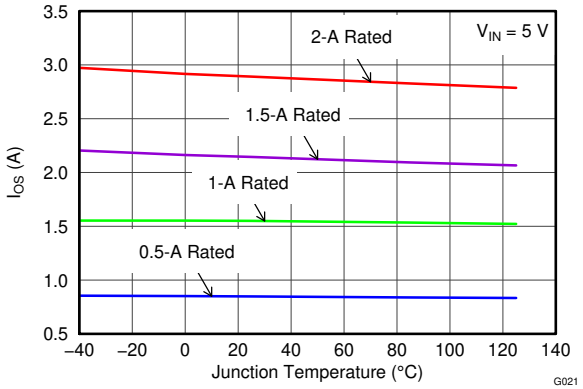


図 6-9. 短絡電流 (I_{OS}) と温度との関係

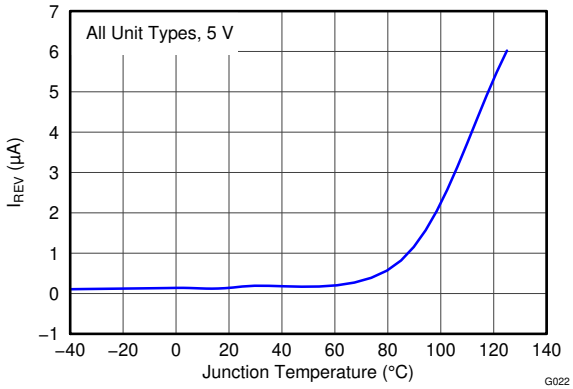


図 6-10. 逆リーク電流 (I_{REV}) と温度との関係

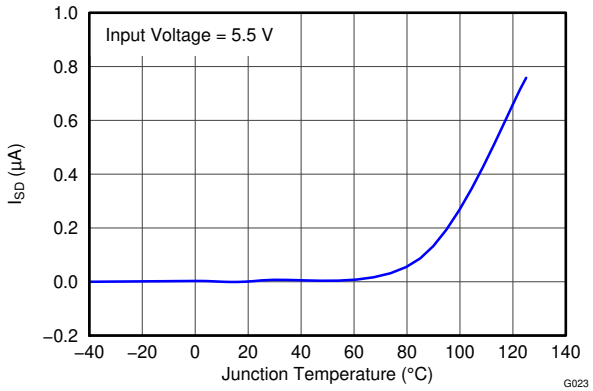


図 6-11. 無効になる消費電流 (I_{SD}) と温度との関係

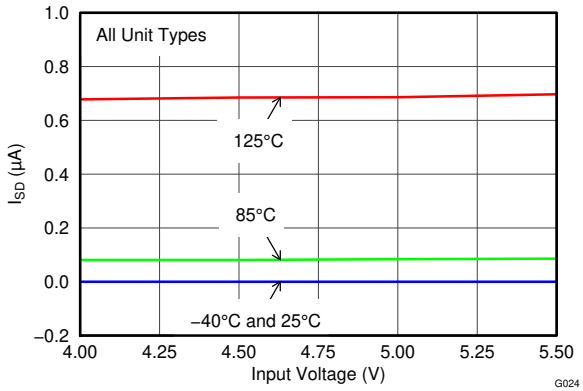


図 6-12. 無効になる消費電流 (I_{SD}) と入力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

6.9 代表的特性 (続き)

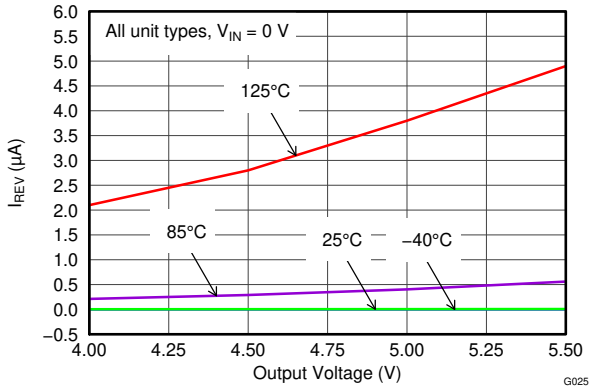


図 6-13. 逆リーク電流 (I_{REV}) と出力電圧との関係

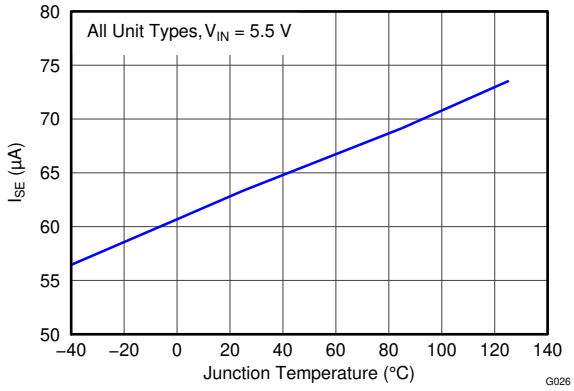


図 6-14. 無効になる電源電流 (I_{SE}) と温度との関係

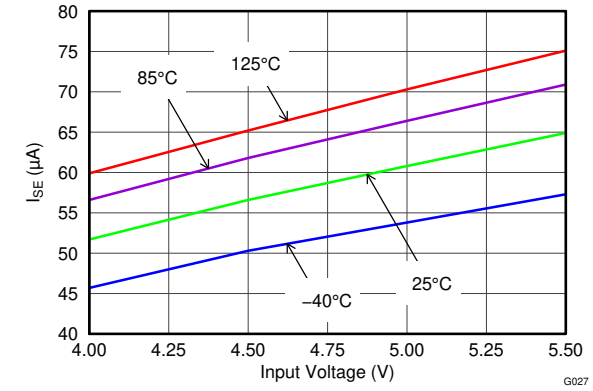


図 6-15. 有効になる消費電流 (I_{SE}) と入力電圧との関係

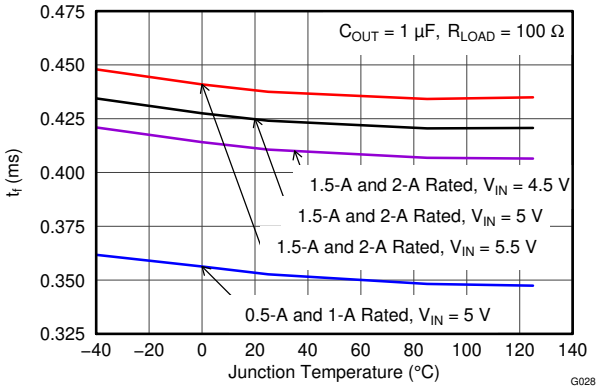


図 6-16. 出力立ち下がり時間 (T_F) と温度との関係

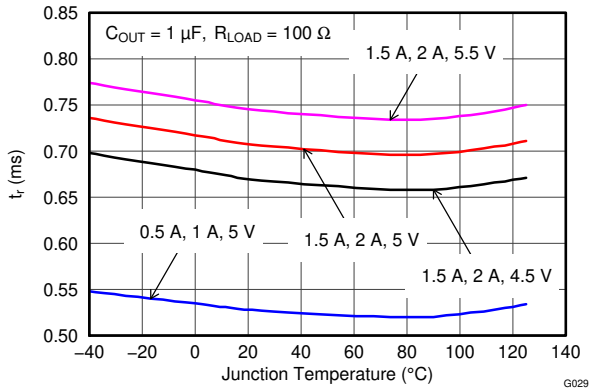


図 6-17. 出力立ち上がり時間 T(R)と温度との関係

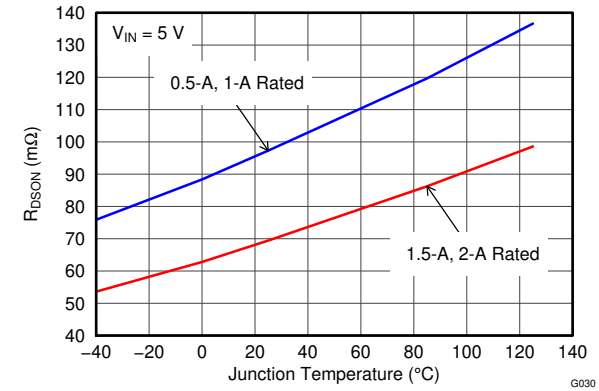


図 6-18. 入力-出力抵抗 ($R_{DS(on)}$) と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.9 代表的特性 (続き)

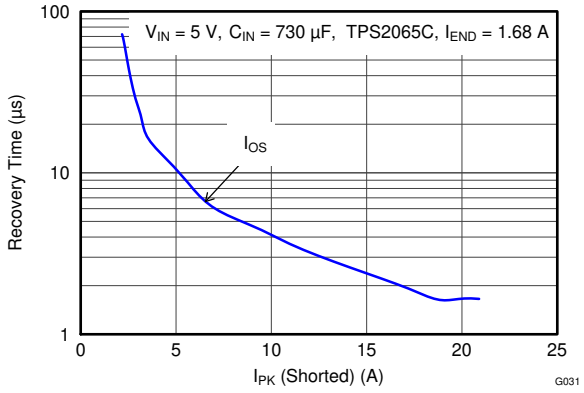


図 6-19. 回復と電流ピークとの関係

7 詳細説明

7.1 概要

TPS20xxC および TPS20xxC-2 は電流制限付きのパワー ディストリビューション スイッチで、5V の電源レール回路において 0.5A ～ 2A の連続負荷電流を供給します。これらの部品は N チャネル MOSFET を使用して低抵抗を実現し、負荷に対する電圧レギュレーションを維持します。これらのデバイスは、短絡や大きな容量性負荷が発生する可能性のあるアプリケーションを想定して設計されています。デバイスの機能として、イネーブル、ディスエーブル時の逆方向ブロック、出力放電プルダウン、過電流保護、過熱保護、デグリッチ異常検出出力があります。

7.2 機能ブロック図

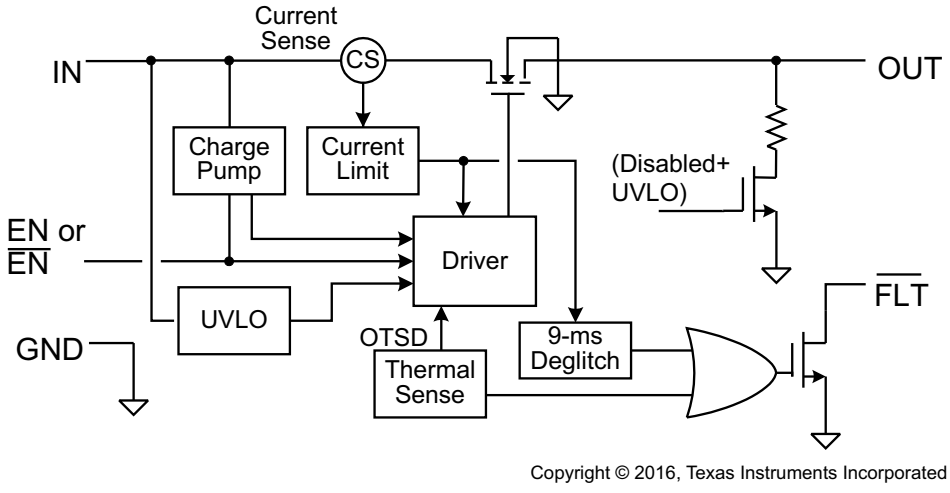


図 7-1. TPS20xxC のブロック図

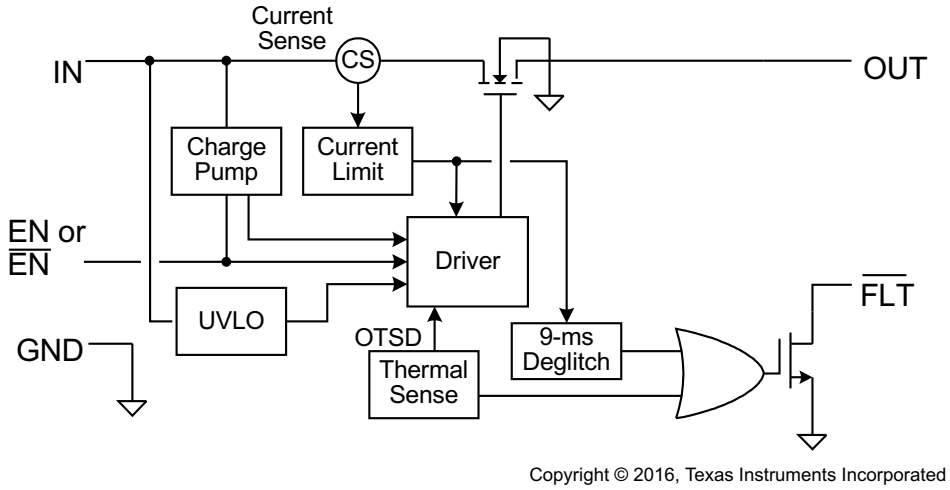


図 7-2. TPS20xxC-2 のブロック図

7.3 機能説明

7.3.1 低電圧誤動作防止

低電圧誤動作防止 (UVLO) 回路は、入力電圧が UVLO ターンオン スレッショルドに達するまで、パワー スイッチを無効化しています。ヒステリシスが組み込まれているため、大きな電流サージによる入力の電圧降下に起因する不要なオン / オフの繰り返しが防止されます。TPS20xxC および TPS20xxC-2 が UVLO のとき、$\overline{FLT}$ はハイ インピーダンスになります。

Copyright © 2026 Texas Instruments Incorporated

7.3.2 イネーブル

ロジック イネーブル入力 (EN または $\overline{EN}$) により、パワー スイッチ、チャージ ポンプのバイアス、ドライバ、その他の回路が制御されます。TPS20xxC および TPS20xxC-2 がディスエーブルになると、電源電流は 1µA 未満に低減されます。TPS20xxC および TPS20xxC-2 をディスエーブルにすると、アクティブな $\overline{FLT}$ 通知がただちにクリアされます。イネーブル入力は TTL と CMOS の両方のロジック レベルと互換性があります。

ターンオンおよびターンオフ時間 (t_{ON}、t_{OFF}) は、遅延時間と立ち上がりまたは立ち下がり時間 (t_R、t_F) で構成されます。遅延時間は内部で制御されます。立ち上がり時間は、TPS20xxC および TPS20xxC-2 と、外部負荷 (特に静電容量) の両方により制御されます。TPS20xxC の立ち下がり時間は、負荷 (R および C) と出力放電 (R_{PD}) により制御されます。TPS20xxC-2 には出力放電 (R_{PD}) がなく、立ち下がり時間は負荷 (R および C) によって制御されます。抵抗のみで構成される出力負荷の場合、TPS20xxC および TPS20xxC-2 で設定される立ち下がり時間が発生します。R 素子と C 素子を並列にした出力負荷の場合、TPS20xxC および TPS20xxC-2 の t_F よりも長い場合は、(R×C) 時定数で算出される立ち下がり時間が発生します。

イネーブルをオープンのままにしないでください。デバイスの種類によっては、VIN または GND に接続される可能性があります。

7.3.3 内蔵チャージ ポンプ

本デバイスは、N チャネル MOSFET を駆動するために必要なチャージ ポンプとゲート駆動回路を内蔵しています。チャージ ポンプは、ゲート駆動回路に電力を供給し、MOSFET のゲートをソースよりも高く引き上げるのに必要な電圧を生成します。このドライバは、入力電源の大電流および電圧サージを制限するために出力電圧の立ち上がりおよび立ち下がり時間を制御する回路と、ソフトスタート機能とを内蔵しています。MOSFET パワー スイッチは、UVLO によってオフになったとき、またはディスエーブルにしたときに、OUT から IN への電流を遮断します。

7.3.4 電流制限

TPS20xxC および TPS20xxC-2 は、出力電流を静的 I_{OS} レベルに制限することにより、過負荷に応答します (「電気的特性:T_J = T_A = 25°C」を参照)。過負荷状態が存在する場合、デバイスは出力電流を一定に保ち、(I_{OS} x R_{LOAD}) で算出される出力電圧になります。過負荷状態には、次の 2 つが考えられます。1 つ目の過負荷状態は、次のいずれかの場合に発生します。

1. 最初に入力電圧が印加され、イネーブルが有効で、短絡が存在する (I_{OUT} > I_{OS} を引き出す負荷)
2. 入力電圧が存在し、TPS20xxC および TPS20xxC-2 が短絡された状態でイネーブルになる。

出力電圧は、グランドに対してほぼゼロ電位に保持され、TPS20xxC および TPS20xxC-2 は出力電流を I_{OS} まで上昇させます。TPS20xxC および TPS20xxC-2 デバイスは、過負荷状態が解消されるか、デバイスがサーマル サイクルを開始するまで、電流を I_{OS} に制限します。図 8-4 に示すように、デバイスが短絡された状態でイネーブルになり、その後、過熱保護機能が作動すると、電流のオフとオンを繰り返します。

2 つ目の状態は、デバイスがイネーブルになり完全にオンになっている間に過負荷が発生する場合です。デバイスは、指定された過負荷が印加されると、t_{IOS} (図 6-5 および 図 6-6) 以内に過負荷状態に応答します (「電気的特性:–40°C ≤ T_J ≤ 125°C」を参照)。応答速度と形状は、過負荷レベル、入力回路、アプリケーションの速度によって異なります。電流制限の応答は、単純に I_{OS} にセトリングする場合と、オフにしてから制御された状態で I_{OS} に戻る場合があります。前の例と同様に、TPS20xxC および TPS20xxC-2 は、過負荷状態が解消されるか、デバイスがサーマル サイクルを開始するまで、電流を I_{OS} に制限します。図 8-5、図 8-6、および 図 8-7 に示すとおりです。

上記のいずれかのケースで、過熱制限機能が作動するほどの長い間、過負荷状態にあると、TPS20xxC および TPS20xxC-2 のサーマル サイクルが起動します。これは、比較的大きい消費電力 [(V_{IN} - V_{OUT}) × I_{OS}] により接合部温度が上昇するためです。電流制限中に接合部温度が 135℃ (最小値) を超えると、本デバイスはオフになります。接合部温度が 20℃ 下がるまで、本デバイスはオフ状態を維持し、その後再起動します。

TPS20xxC および TPS20xxC-2 に類似した TI のスイッチ製品では通常、2 種類の電流制限プロファイルが利用できます。多くの古い設計では、出力 I と V の特性は、図 7-3 で *ピークのある電流制限* とラベル付けされたプロットと同様です。このタイプの制限は、電流制限コーナー (I_{OC}) と短絡電流 (I_{OS}) の 2 つのパラメータで特徴付けることができます。

Copyright © 2026 Texas Instruments Incorporated

I_{OC} は多くの場合、最大値として指定されます。TPS20xxC および TPS20xxC-2 ファミリの部品は、電流制限に顕著なピークがなく、図 7-3 に示す「フラットな電流制限」の特性に対応しています。そのため、I_{OC} パラメータは「電気的特性：–40°C ≤ T_J ≤ 125°C」に記載されていません。

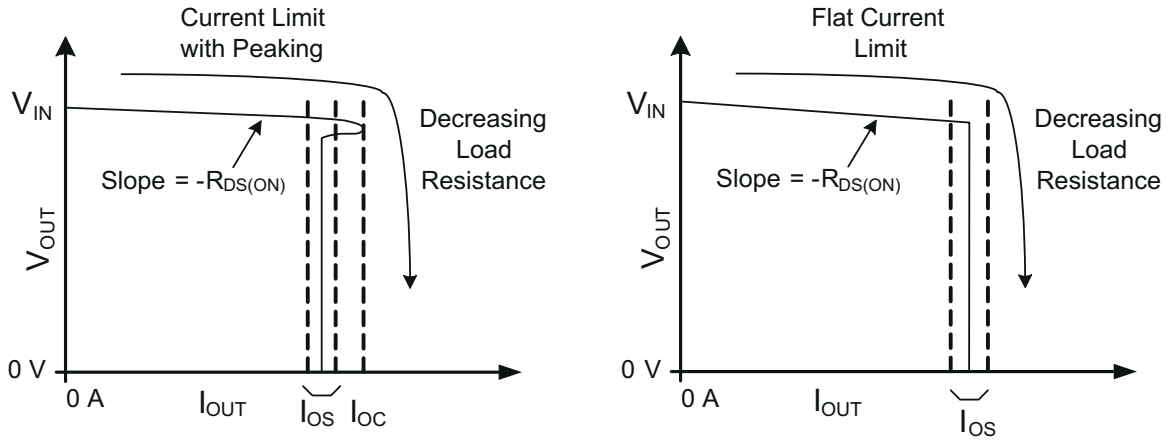


図 7-3. 電流制限プロファイル

7.3.5 FLT

過負荷または過熱条件の間、$\overline{FLT}$ オープン ドレイン出力はアサートされます (アクティブ Low)。立ち上がりエッジと立ち下がりエッジの両方に 9ms のグリッチ除去を設けることで、スタートアップ時や過渡時の誤通知を防止します。グリッチ除去期間よりも短い電流制限状態では、終了時に内部タイマをクリアします。グリッチ除去タイマは複数の短い過負荷を統合して故障を宣言することはありません。これは、故障が発生した状態から復帰する場合にも当てはまります。入力電圧に過度のリップルと大きな出力容量があると、リップルによって TPS20xxC / TPS20xxC-2 が電流制限に入ったり電流制限から外れたりするため、I_{OS} 周辺の $\overline{FLT}$ の動作に干渉する可能性があります。

TPS20xxC / TPS20xxC-2 が電流制限状態で、過熱回路がアクティブになると、$\overline{FLT}$ は即座に有効になります (図 8-5 を参照)。ただし、この状態から外れると、グリッチ除去されます (図 8-7 を参照)。$\overline{FLT}$ は、定電流制限のニーに入るとすぐにトリップされます。TPS20xxC および TPS20xxC-2 を無効化すると、スイッチがオフになるとすぐにアクティブな $\overline{FLT}$ をクリアします (図 8-4 を参照)。$\overline{FLT}$ は、TPS20xxC および TPS20xxC-2 が無効のとき、または低電圧誤動作防止 (UVLO) 状態のときハイ インピーダンスになります。

7.3.6 出力放電

TPS20xxC が UVLO またはディスエーブルのとき、470Ω (標準値) の出力放電は、OUT で蓄積された電荷およびリーク電流を放電します。V_{IN} が低下すると、プルダウン回路は徐々にバイアスを失い、V_{IN} が 0V に向かって低下すると放電抵抗が上昇します。TPS20xxC-2 にはこの機能がありません。デバイスが ULVO 状態またはディスエーブル状態のとき、出力は外部負荷によって制御されます。

7.4 デバイスの機能モード

その他の機能モードはありません。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPS20xxC および TPS20xxC-2 の電流制限機能付きパワー スイッチは、連続的な負荷電流が求められるアプリケーション向けに N チャネル MOSFET を使用しています。負荷電流が電流制限スレッショルドを上回ると、本デバイスは定電流モードに移行します。

8.2 代表的なアプリケーション

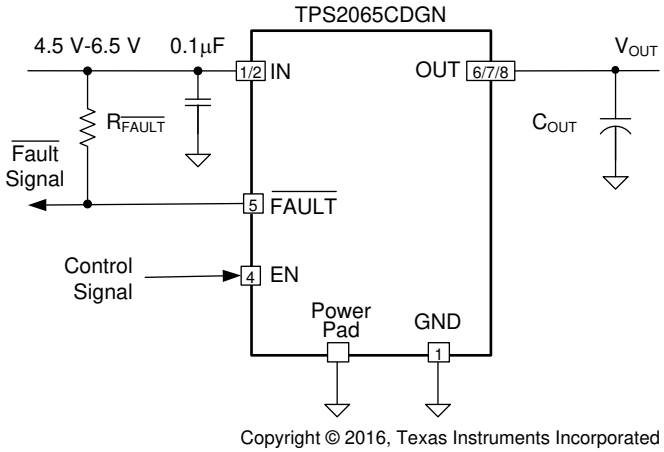


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

ここで説明する設計の例で使用している入力パラメータは、以下のとおりです。

1. TPS2065CDGN は、5V ～ ±0.5V の入力レールで動作します。
2. 通常動作電流とは、たとえば、USB 3.0 ポート用のポータブル機器が引き込む最大許容電流は 900mA であるため、通常動作電流は 900mA になります。通常動作時の誤トリガを防ぐため、パワー スイッチの最小電流制限は 900mA を超える値にする必要があります。TPS2065C デバイスの場合は、1A の連続出力電流のアプリケーションを対象としています。
3. 上流の電源が提供できる最大許容電流はどれくらいでしょうか。パワー スイッチの出力で過負荷が発生したとき、パワー スイッチが上流電力を保護できるようにするため、パワー スイッチの最大電流制限を下げる必要があります。TPS2065C デバイスの場合、最大 I_{OS} は 1.8A です。

8.2.2 詳細な設計手順

設計プロセスを開始するには、いくつかのパラメータを決定する必要があります。設計者は、以下を把握する必要があります。

1. 通常の入力動作電圧
2. 出力連続電流
3. 最大上流電源出力電流

Copyright © 2026 Texas Instruments Incorporated

8.2.2.1 入力および出力容量

入力および出力容量は本デバイスの性能を向上させます。特定のアプリケーションに対して実際の容量を最適化する必要があります。すべてのアプリケーションにおいて、TI では局所的なノイズ デカップリングのため、IN と GND の間に 0.1µF 以上のセラミック バイパス コンデンサを本デバイスにできる限り近づけて配置することを推奨しています。

TPS20xxC および TPS20xxC-2 などのすべての保護回路では、入力電圧オーバーシュートや出力電圧アンダーシュートが発生する可能性があります。

入力電圧オーバーシュートは、次の 2 つの要因によって発生する可能性があります。1 つ目の要因は、IN 端子がハイ インピーダンス (ターンオン前) のときに、入力電源バスのインダクタンスと入力容量が組み合わさって、入力電圧が急激に印加されることです。理論的には、ピーク電圧は印加された値の 2 倍です。2 つ目の要因は、TPS20xxC および TPS20xxC-2 がオフになり、入力インダクタンスに蓄積されたエネルギーによって入力電圧が高くなるときに、出力短絡電流が急激に減少することです。入力電圧低下は、過大な負荷ステップや、TPS20xxC および TPS20xxC-2 の出力が短絡したときに発生することもあります。入力インダクタンスが大きいアプリケーション (長いケーブルで評価ボードをベンチ電源に接続する場合など) では、大きな入力容量により、デバイスの絶対最大電圧を超えないように電圧オーバーシュートを低減する必要があります。ハード出力短絡に対する TPS20xxC および TPS20xxC-2 の高速な電流制限動作により、入力バスを故障から絶縁します。ただし、TPS20xxC および TPS20xxC-2 の入力に隣接して 1µF ～ 22µF の範囲でセラミック入力容量を使用すると、応答時間の短縮と、入力電源バスで見られる過渡の制限の両方に役立ちます。瞬時の入力過渡は 6.5V まで許容されます。

出力電圧のアンダーシュートは、短絡が発生し、TPS20xxC および TPS20xxC-2 の OUT 電流が急激に減少した直後の出力電源バスのインダクタンスによって発生します。インダクタンスに蓄積されたエネルギーによって OUT 電圧が降下し、放電する際に負の値になる可能性があります。出力インダクタンスが大きいアプリケーション (ケーブルなど) では、大容量の出力コンデンサを使用すると、電圧アンダーシュートを制御できるため、利点があります。USB 標準アプリケーションを実装する場合、120µF の最小出力容量が必要になります。通常は、150µF 電解コンデンサを使用します。これは、電圧アンダーシュートを制御するのに十分です。ただし、アプリケーションに 120µF の容量が必要なく、出力が負の値になる可能性がある場合、TI では出力に最低 10µF のセラミック容量を推奨しています。10µs の場合、電圧アンダーシュートは 1.5V 未満に制御する必要があります。

8.2.3 アプリケーション曲線

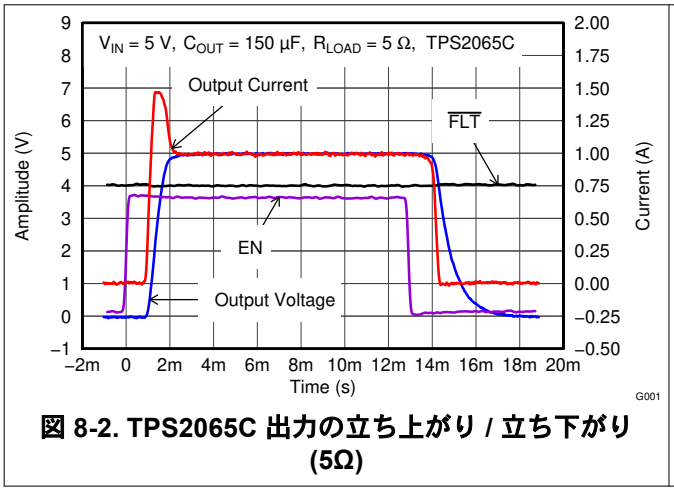


図 8-2. TPS2065C 出力の立ち上がり / 立ち下がり (5Ω)

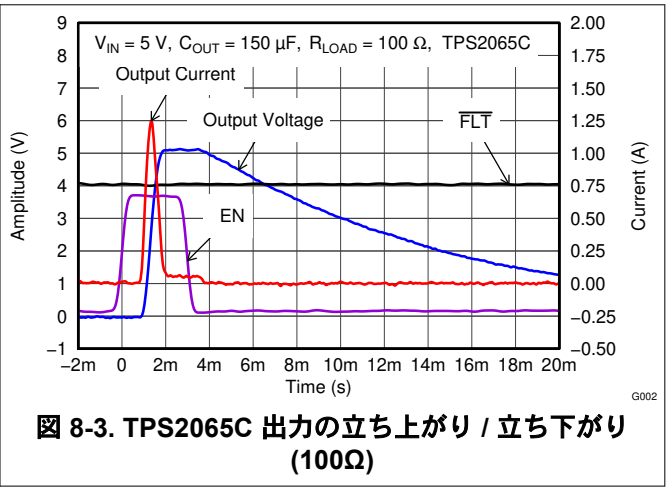


図 8-3. TPS2065C 出力の立ち上がり / 立ち下がり (100Ω)

Copyright © 2026 Texas Instruments Incorporated

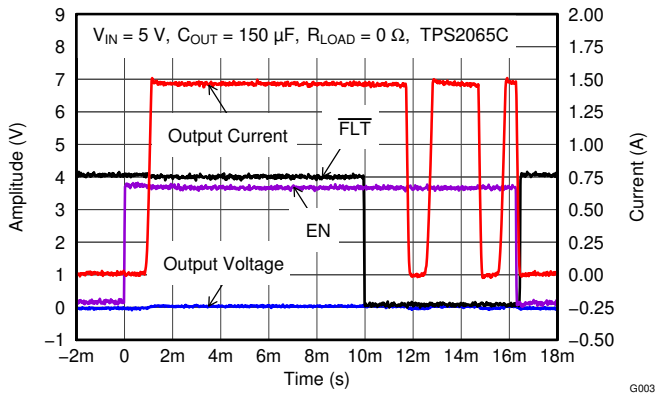


図 8-4. TPS2065C イネーブルから出力短絡

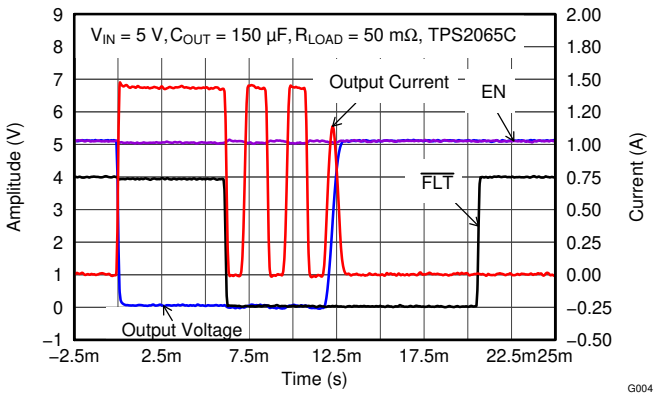


図 8-5. TPS2065C パルス短絡印加

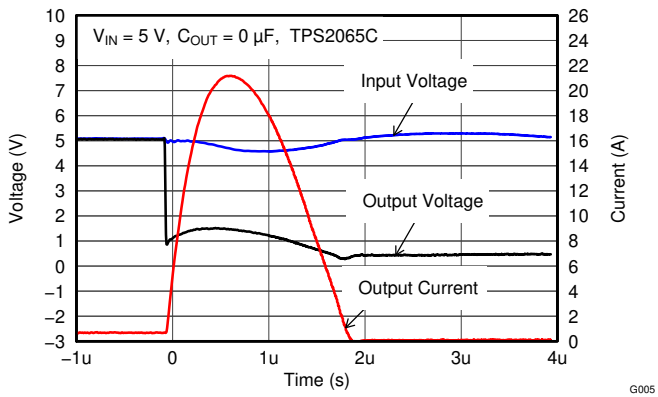


図 8-6. TPS2065C 短絡印加

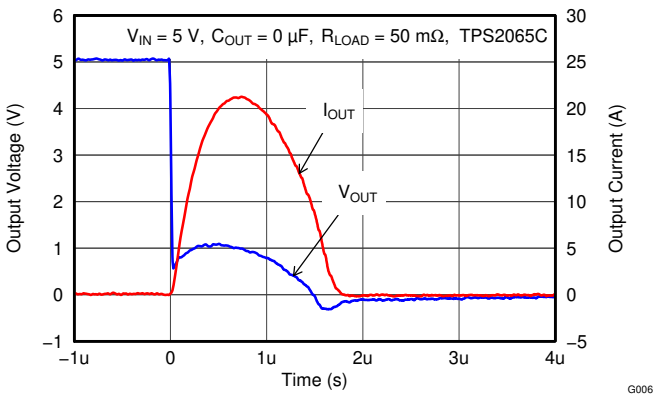


図 8-7. TPS2065C パルス 1.45A 負荷

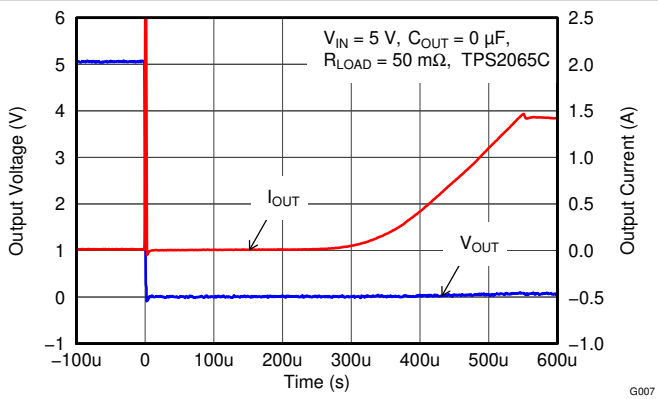


図 8-8. TPS2065C 50mΩ 短絡

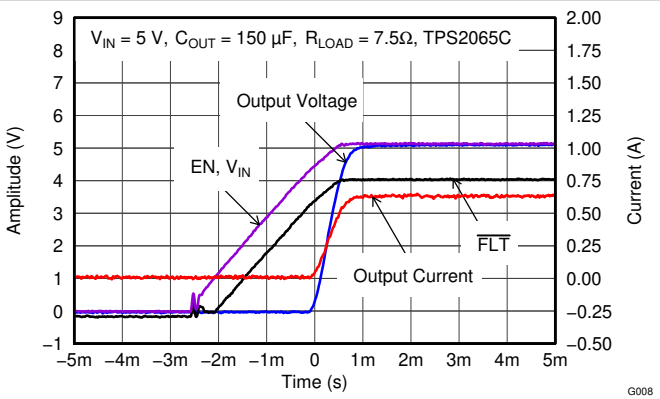


図 8-9. TPS2065C の電源投入 (イネーブル)

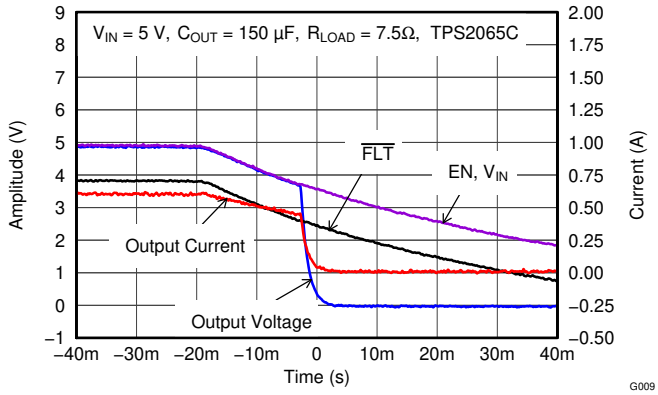


図 8-10. TPS2065C の電源オフ (イネーブル)

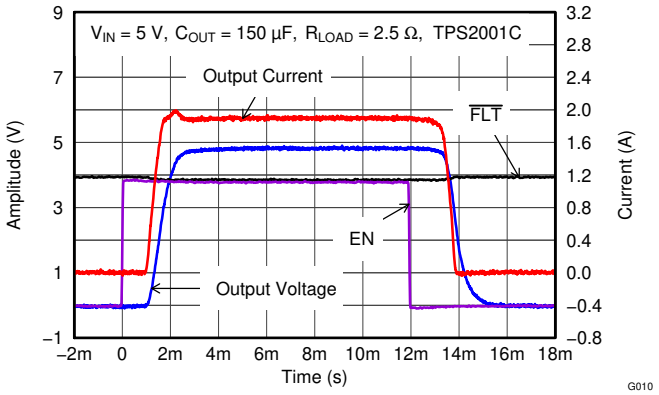


図 8-11. TPS2001C 2.5Ω 負荷時のターンオン

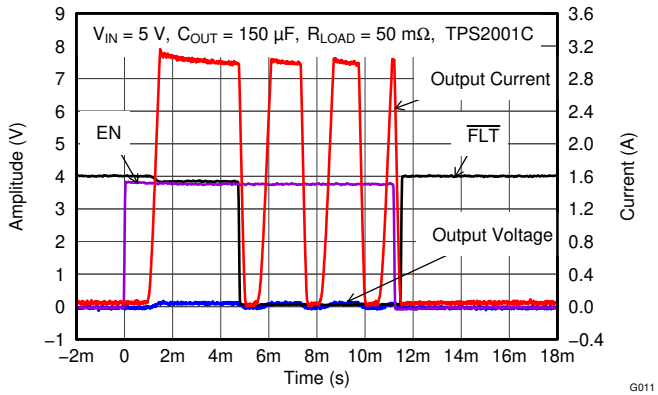


図 8-12. TPS2001C 短絡状態でのイネーブル

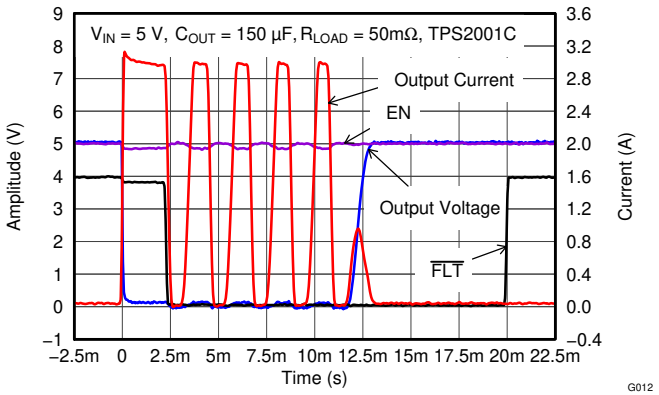


図 8-13. TPS2001C パルス出力短絡

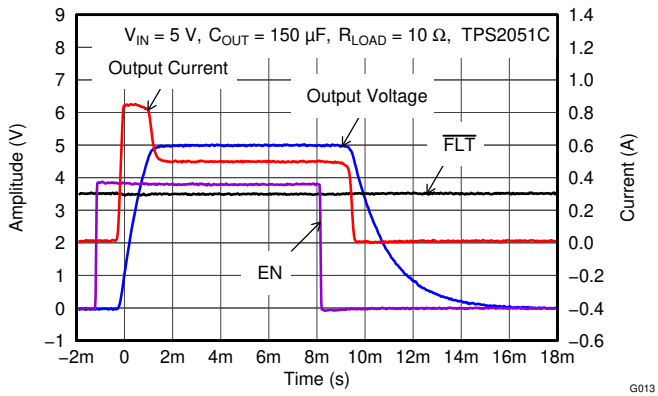


図 8-14. TPS2051C 10Ω 負荷時のターンオン

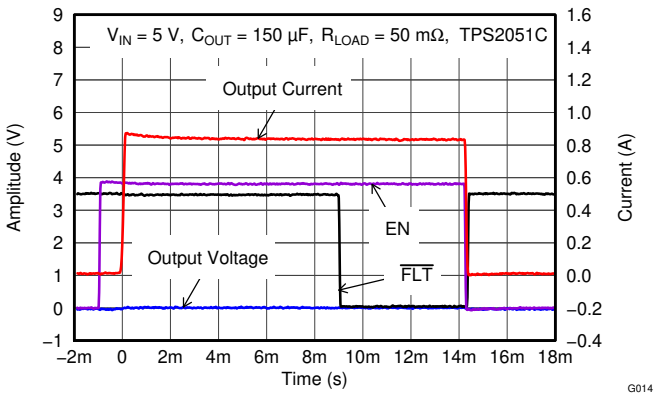


図 8-15. TPS2051C 短絡状態でのイネーブル

Copyright © 2026 Texas Instruments Incorporated

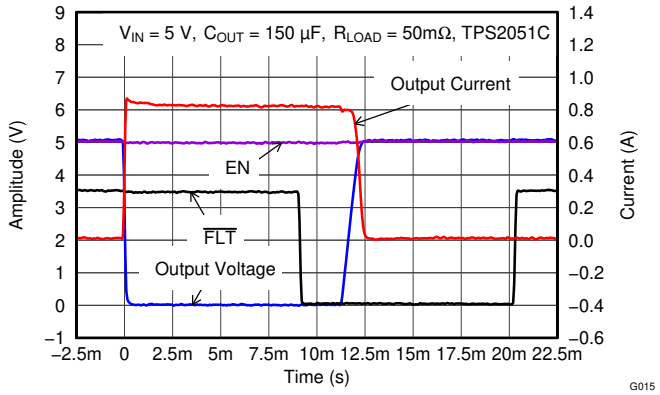


図 8-16. TPS2051C パルス出力短絡

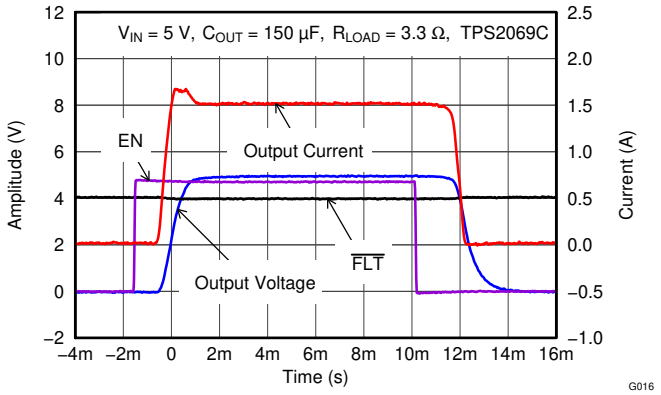


図 8-17. TPS2069C 3.3Ω 負荷時のターンオン

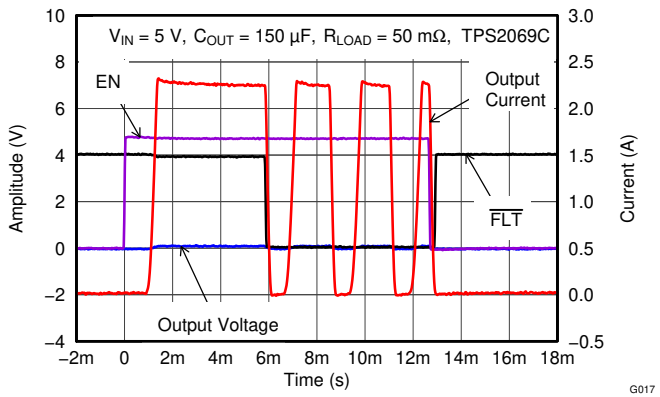


図 8-18. TPS2069C 短絡状態でのイネーブル

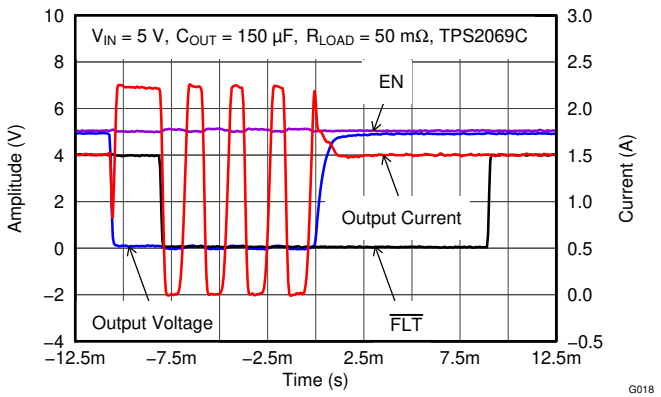


図 8-19. TPS2069C パルス出力短絡

9 電源に関する推奨事項

デバイスは、4.5V ～ 5.5V の入力電源電圧範囲で動作するよう設計されています。電源の電流供給能力は、パワー スイッチの最大電流制限値を上回る必要があります。

Copyright © 2026 Texas Instruments Incorporated

10 レイアウト

10.1 レイアウトのガイドライン

1. 100 nF のバイパス コンデンサを IN および GND ピンの近くに配置し、低インダクタンスのパターンを使って接続します。
2. 10 µF 以上の低 ESR セラミック コンデンサを OUT および GND ピンの近くに配置し、低インダクタンスのパターンを使って接続します。
3. PowerPAD は、幅広で短い銅パターンを使って、PCB のグランド プレーンに直接接続する必要があります。

10.2 レイアウト例

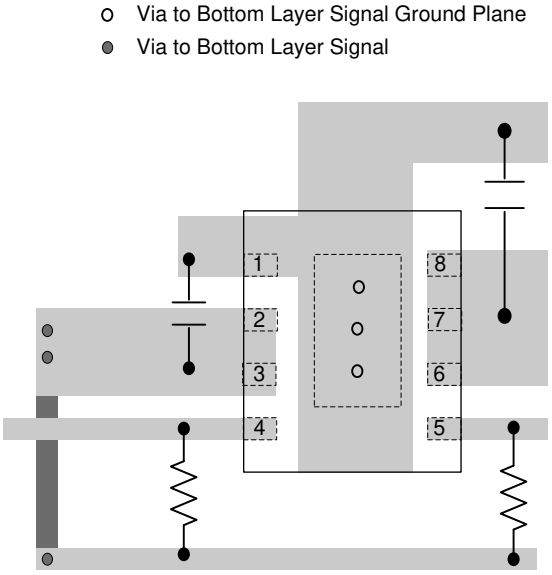


図 10-1. 推奨レイアウト

10.3 許容損失と接合部温度

TPS20xxC および TPS20xxC-2 の消費電力と予測される最大の接合部温度を見積もることは、望ましい設計手法です。システム設計者は、これらの計算結果に基づいて、パッケージの選択、他の電力消費デバイスとの距離設定、プリント基板 (PCB) 設計を制御できます。これらは、最大接合部温度に直接影響します。エアフローや最大周囲温度など他の要因は、多くの場合、システム要件によって決定されます。これらの計算には、隣接する熱源の影響や、気流の増減 (強制冷却や制限された気流) の影響は含まれていないことに注意が必要です。

これらのデバイスの周囲に追加の PCB 銅領域面積を設けて、熱インピーダンスを低減し、接合部温度を実用的な範囲で低く維持することを推奨します。パッドを半田付けすることで実現されるより低い接合部温度は、TPS20xxC と TPS20xxC-2 の両方の部品とシステムの効率性と信頼性を向上させます。以下の例は、θ_{JA} カスタム熱インピーダンスを決定する際に使用されたもので、「熱に関する情報：SOT-23」および「熱に関する情報：MSOP-PowerPAD」に記載されています。これらは、JEDEC high-k 基板構造 (2 信号層および 2 プレーン層) を使用した、銅厚 1 oz の 4 層 PCB の使用を前提として算出されています。

TI では、熱インピーダンスを低くするために DGN パッケージ パッドを回路基板上の銅箔ベタおよびビアに半田付けすることを推奨していますが、これが望ましくない場合があります。たとえば、IC の下に配線領域を確保したい場合があります。このような用途のために、PowerPAD (DGK) のないパッケージが用意されているデバイスもあります。パッドが半田付けされておらず、追加銅なしの DGN パッケージの θ_{JA} は、0.5A および 1A 定格の部品で約 141°C/W、1.5A および 2A 定格部品で 139°C/W です。図 10-4 に従って取り付けられた DGK パッケージの θ_{JA} は、110.3°C/W です。これらの値は、最大接合部温度を算出する際に 式 1 で使用されます。

Copyright © 2026 Texas Instruments Incorporated

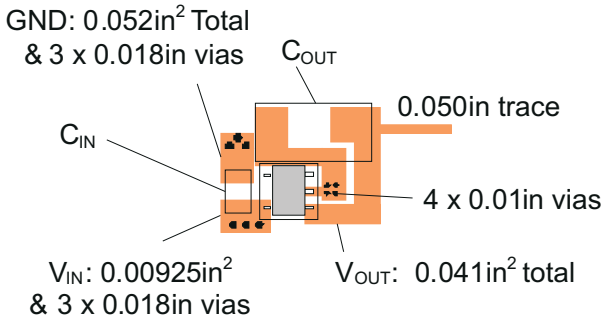


図 10-2. DBV パッケージの PCB レイアウト例

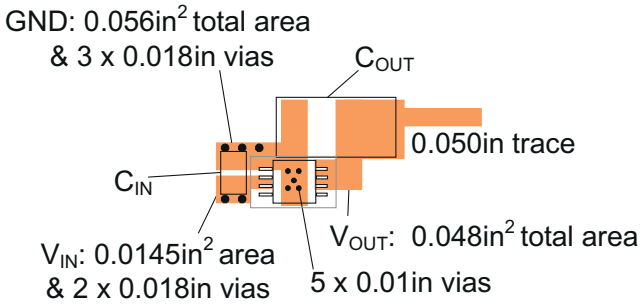


図 10-3. DGN パッケージの PCB レイアウト例

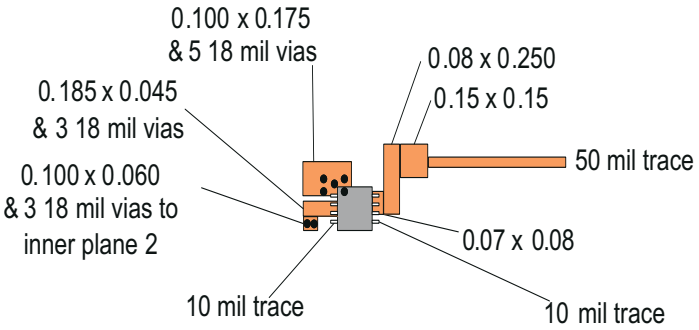


図 10-4. DGK パッケージの PCB レイアウト例

式 1 に示すように、電力損失は内部 MOSFET の $I^2 \times R_{DS(ON)}$ によって決まり、$R_{DS(ON)}$ は接合部温度の関数であるため、以下の手順を繰り返す必要があります。初期推定値として、「代表的特性」の 125°C 時の $R_{DS(ON)}$ と、「熱に関する情報：SOT-23」の表の推奨される基板構造に対するパッケージの熱抵抗を使用します。

Copyright © 2026 Texas Instruments Incorporated

$$T_J = T_A + ((I_{OUT}^2 \times R_{DS(ON)}) \times \theta_{JA}) \quad (1)$$

ここで、

- I_{OUT} = OUT ピンの定格電流 (A)
- $R_{DS(ON)}$ = 想定した T_J におけるパワー スイッチのオン抵抗 (Ω)
- T_A = 最大周囲温度 (°C)
- T_J = 最大接合部温度 (°C)
- θ_{JA} = 熱抵抗 (°C/W)

計算された T_J が元の仮定と大きく異なる場合は、代表的特性プロットを使用して新しい $R_{DS(ON)}$ の値を推定し、再計算します。

結果として得られた T_J が 125°C 以上である場合は、より低い θ_{JA} を持つ PCB 構造またはパッケージを検討してください。

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.3 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision H (April 2016) to Revision I (May 2026) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1

Changes from Revision G (July 2013) to Revision H (April 2016) **Page**

- 「ESD 定格」の表、「機能説明」セクション、デバイスの機能モード、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1
- 「デバイス」の表 (以前の表 1) を削除 3

Changes from Revision F (August 2012) to Revision G (July 2013) **Page**

- 以下の「特長」説明から「(表 1 を参照)」を削除 UL 認定済み：CB ファイル番号 E169910 1
- 以下のように変更：PXKI を PYKI に変更 (「製品情報」の表の SOT23-5 (DBV) 列 (TPS2069C)) 3
- 「」の注 2 「UL 認証取得および CB 認証認定完了」を削除 3

Changes from Revision E (April 2012) to Revision F (August 2012) **Page**

- デバイス TPS20xxC-2 を追加 1
- 「特長」を「TPS20XXC が無効化されたときに出力放電が行われる」から「出力放電機能がある部品 (TPS20xxC) と出力放電機能がない部品 (TPS20xxC-2) を提供」に変更 1
- 「製品情報」の表にデバイス TPS2041C、TPS2061C、TPS2065C-2、TPS2068C、TPS2069C-2 を追加 3
- TPS2069C-2 デバイスを追加 3
- 「製品情報」の表の SOT23-5 (DBV) 列 (TPS2069C) に PXKI を追加 3
- 「」にデバイス TPS2041C、TPS2061C、TPS2065C-2、TPS2068C、TPS2069C-2 を追加し、「製品プレビュー」を削除 3
- 「推奨動作条件」の表に注 1 を追加 5
- 「推奨動作条件」の表で、I_{OUT} に TPS2041C、TPS2061C、TPS2068C、TPS2065C-2、TPS2069C-2 デバイスを追加 5
- パワー スイッチ $R_{DS(on)}$ 1.5A 定格出力、25°C (mΩ) に DBV オプションを追加 7
- パワー スイッチ $R_{DS(on)}$ 1.5A 定格出力に DBV オプションを追加 7
- I_{SO} 電流制限を変更 7
- リーク電流を追加 7
- パワー スイッチ $R_{DS(on)}$ 1.5A 定格出力に DBV オプションを追加。 8
- I_{SO} 電流制限を変更 8
- リーク電流を追加 8
- 「イネーブル」セクションの 2 段落目を変更 15
- 「出力放電」セクションの段落の末尾に文を追加 16

Changes from Revision D (February 2012) to Revision E (April 2012) **Page**

- 「消費電力と接合部温度」セクションを変更。「...が推奨されますが」で始まる段落を置き換え 22

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision C (October 2011) to Revision D (February 2012) **Page**

- 特長に「UL 認定済み：CB ファイル番号 E169910」を追加 ... 1
- 表に注 2 (UL 認証取得および CB 認証完了) を追加。 ... 3
- 「ROC」の表に V_{IH} および V_{IL} 情報を追加 ... 5

Changes from Revision B (September 2011) to Revision C (October 2011) **Page**

- 以下のように変更：PXF1 から PXFI に、および PSG1 から PXGI に変更 (「製品情報」の表の「MOSP-8 (DGK)」列) ... 3
- TPS2000C (MSOP-8) のステータスを「プレビュー」から「アクティブ」に変更 (表 1) ... 3
- θJA カスタム 2A 定格の DGK の値を N/A から 110.3 に変更 ... 6
- 図 10-4 DGK パッケージの PCB レイアウト例を追加 ... 22

Changes from Revision A (July 2011) to Revision B (September 2011) **Page**

- データシート全体にわたって DGK パッケージ情報を追加 ... 3
- 図 8-8 のタイトルを以下のように変更「新しい図」から「TPS2065C 50Ω 短絡」へ ... 18

Changes from Revision * (June 2011) to Revision A (July 2011) **Page**

- TPS2051C、TPS2065C、TPS2069C デバイスのステータスを以下のように変更：「プレビュー」からアクティブ ... 3
- 5 ピン パッケージのピン配置番号を訂正 ... 3

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
905X0205100	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	VBYQ
TPS2000CDGK	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG | SN	Level-2-260C-1 YEAR	-40 to 125	PXFI
TPS2000CDGK.B	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXFI
TPS2000CDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXFI
TPS2000CDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXFI
TPS2000CDGN	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BCMS
TPS2000CDGN.A	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BCMS
TPS2000CDGN.B	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BCMS
TPS2000CDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	BCMS
TPS2000CDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BCMS
TPS2000CDGNR.B	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BCMS
TPS2001CDGK	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG | SN	Level-2-260C-1 YEAR	-40 to 125	PXGI
TPS2001CDGK.B	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXGI
TPS2001CDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXGI
TPS2001CDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PXGI
TPS2001CDGN	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	VBWQ
TPS2001CDGN.A	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBWQ
TPS2001CDGN.B	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBWQ
TPS2001CDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	VBWQ
TPS2001CDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBWQ
TPS2001CDGNR.B	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBWQ
TPS2041CDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	PYJI
TPS2041CDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PYJI
TPS2041CDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PYJI
TPS2041CDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYJI
TPS2041CDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYJI
TPS2041CDBVRG4.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYJI
TPS2041CDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYJI

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2041CDBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYJI
TPS2041CDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYJI
TPS2051CDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBYQ
TPS2051CDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBYQ
TPS2051CDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBYQ
TPS2051CDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBYQ
TPS2051CDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBYQ
TPS2051CDBVRG4.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	VBYQ
TPS2051CDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBYQ
TPS2051CDBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBYQ
TPS2051CDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBYQ
TPS2061CDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	PXLI
TPS2061CDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PXLI
TPS2061CDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PXLI
TPS2061CDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PXLI
TPS2061CDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PXLI
TPS2061CDBVRG4.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PXLI
TPS2061CDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PXLI
TPS2061CDBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PXLI
TPS2061CDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PXLI
TPS2061CDGN	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXMI
TPS2061CDGN.A	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXMI
TPS2061CDGN.B	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXMI
TPS2061CDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXMI
TPS2061CDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXMI
TPS2061CDGNR.B	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXMI
TPS2065CDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDBVR-2	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYQI
TPS2065CDBVR-2.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYQI
TPS2065CDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2065CDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDBVRG4.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDBVT-2	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYQI
TPS2065CDBVT-2.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYQI
TPS2065CDBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDGN	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDGN-2	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PYRI
TPS2065CDGN-2.A	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PYRI
TPS2065CDGN.A	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDGN.B	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDGNR-2	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PYRI
TPS2065CDGNR-2.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PYRI
TPS2065CDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2065CDGNR.B	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VCAQ
TPS2068CDGN	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXNI
TPS2068CDGN.A	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXNI
TPS2068CDGN.B	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXNI
TPS2068CDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXNI
TPS2068CDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXNI
TPS2068CDGNR.B	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PXNI
TPS2069CDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYKI
TPS2069CDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYKI
TPS2069CDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYKI
TPS2069CDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYKI
TPS2069CDBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYKI
TPS2069CDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYKI
TPS2069CDBVTG4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYKI

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2069CDBVTG4.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYKI
TPS2069CDBVTG4.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PYKI
TPS2069CDGN	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	VBUQ
TPS2069CDGN-2	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PYSI
TPS2069CDGN-2.A	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PYSI
TPS2069CDGN.A	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBUQ
TPS2069CDGN.B	Active	Production	HVSSOP (DGN) | 8	80 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBUQ
TPS2069CDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	VBUQ
TPS2069CDGNR-2	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PYSI
TPS2069CDGNR-2.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	PYSI
TPS2069CDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBUQ
TPS2069CDGNR.B	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	VBUQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

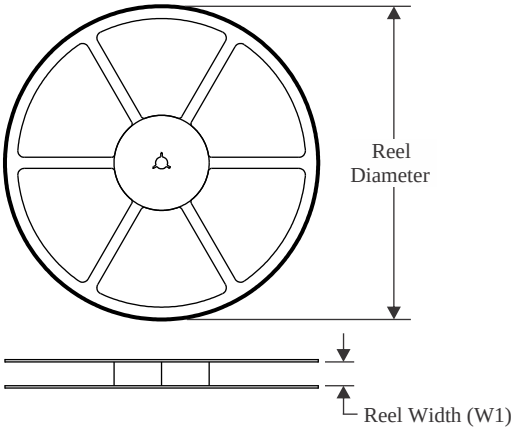
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

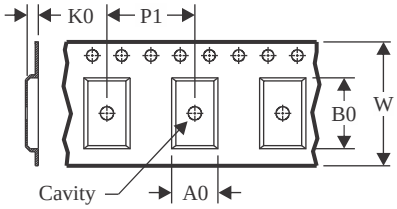
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

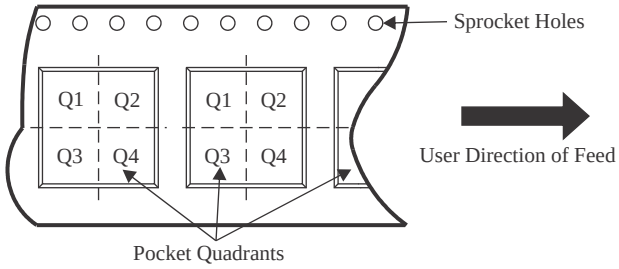


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

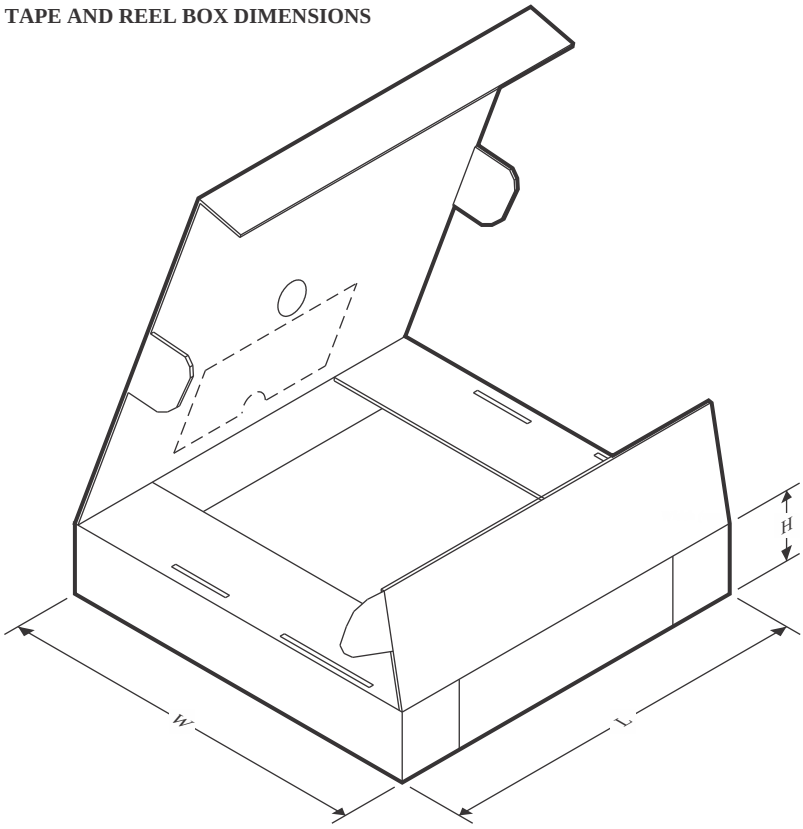


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2000CDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2000CDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2001CDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2001CDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
TPS2001CDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2041CDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2041CDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2041CDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2041CDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2041CDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2051CDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2051CDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2051CDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2051CDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2051CDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2061CDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2061CDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2061CDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2061CDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2061CDBVT	SOT-23	DBV	5	250	178.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
TPS2061CDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2061CDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2065CDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2065CDBVR-2	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2065CDBVR-2	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2065CDBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2065CDBVT	SOT-23	DBV	5	250	178.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
TPS2065CDBVT-2	SOT-23	DBV	5	250	178.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
TPS2065CDBVT-2	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2065CDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2065CDGNR-2	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2068CDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2069CDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2069CDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TPS2069CDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2069CDBVTG4	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2069CDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2069CDGNR-2	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

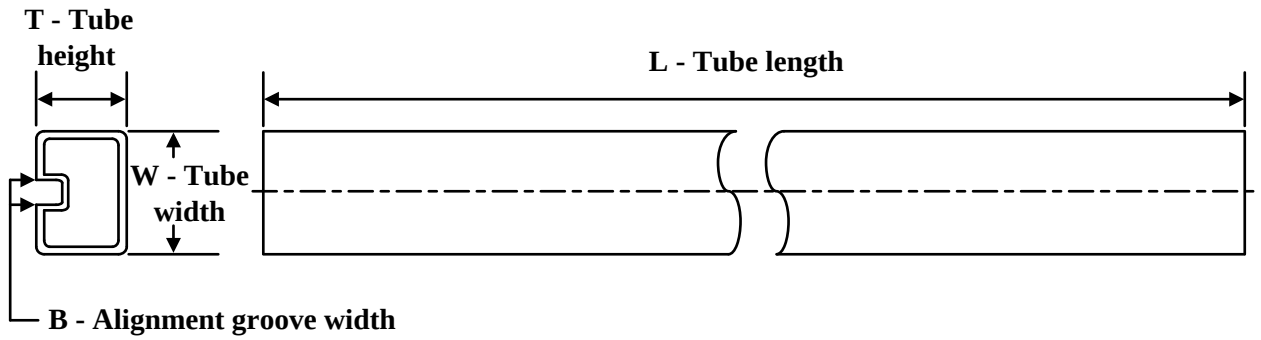


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2000CDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TPS2000CDGNR	HVSSOP	DGN	8	2500	360.0	162.0	98.0
TPS2001CDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TPS2001CDGNR	HVSSOP	DGN	8	2500	370.0	355.0	55.0
TPS2001CDGNR	HVSSOP	DGN	8	2500	360.0	162.0	98.0
TPS2041CDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS2041CDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2041CDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2041CDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2041CDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS2051CDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2051CDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2051CDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2051CDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2051CDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS2061CDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2061CDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2061CDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2061CDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2061CDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS2061CDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS2061CDGNR	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS2065CDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS2065CDBVR-2	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2065CDBVR-2	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2065CDBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS2065CDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS2065CDBVT-2	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS2065CDBVT-2	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS2065CDGNR	HVSSOP	DGN	8	2500	360.0	162.0	98.0
TPS2065CDGNR-2	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS2068CDGNR	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS2069CDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2069CDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS2069CDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS2069CDBVTG4	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS2069CDGNR	HVSSOP	DGN	8	2500	366.0	364.0	50.0
TPS2069CDGNR-2	HVSSOP	DGN	8	2500	366.0	364.0	50.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPS2000CDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
TPS2000CDGK.B	DGK	VSSOP	8	80	330	6.55	500	2.88
TPS2000CDGN	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2000CDGN	DGN	HVSSOP	8	80	322	6.55	1000	3.01
TPS2000CDGN.A	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2000CDGN.A	DGN	HVSSOP	8	80	322	6.55	1000	3.01
TPS2000CDGN.B	DGN	HVSSOP	8	80	322	6.55	1000	3.01
TPS2000CDGN.B	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2001CDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
TPS2001CDGK.B	DGK	VSSOP	8	80	330	6.55	500	2.88
TPS2001CDGN	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2001CDGN	DGN	HVSSOP	8	80	322	6.55	1000	3.01
TPS2001CDGN.A	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2001CDGN.A	DGN	HVSSOP	8	80	322	6.55	1000	3.01
TPS2001CDGN.B	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2001CDGN.B	DGN	HVSSOP	8	80	322	6.55	1000	3.01
TPS2061CDGN	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2061CDGN.A	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2061CDGN.B	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2065CDGN	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2065CDGN	DGN	HVSSOP	8	80	322	6.55	1000	3.01
TPS2065CDGN-2	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2065CDGN-2.A	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2065CDGN.A	DGN	HVSSOP	8	80	322	6.55	1000	3.01
TPS2065CDGN.A	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2065CDGN.B	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2065CDGN.B	DGN	HVSSOP	8	80	322	6.55	1000	3.01
TPS2068CDGN	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2068CDGN.A	DGN	HVSSOP	8	80	330	6.55	500	2.88

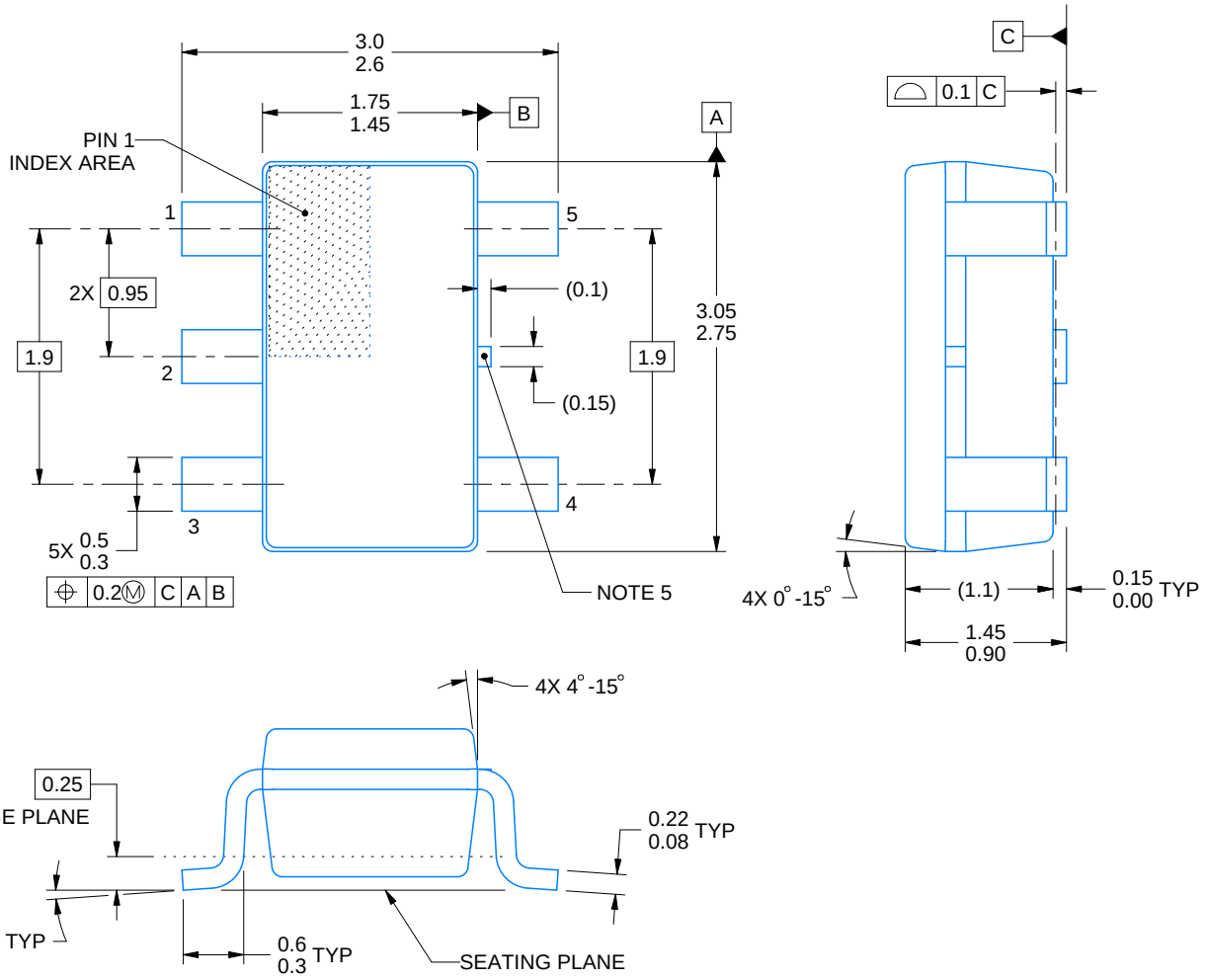
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPS2068CDGN.B	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2069CDGN	DGN	HVSSOP	8	80	322	6.55	1000	3.01
TPS2069CDGN	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2069CDGN-2	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2069CDGN-2.A	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2069CDGN.A	DGN	HVSSOP	8	80	322	6.55	1000	3.01
TPS2069CDGN.A	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2069CDGN.B	DGN	HVSSOP	8	80	330	6.55	500	2.88
TPS2069CDGN.B	DGN	HVSSOP	8	80	322	6.55	1000	3.01

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

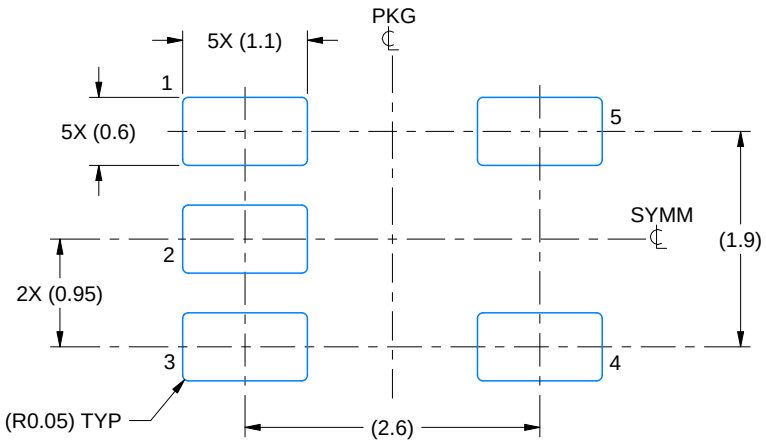
SMALL OUTLINE TRANSISTOR



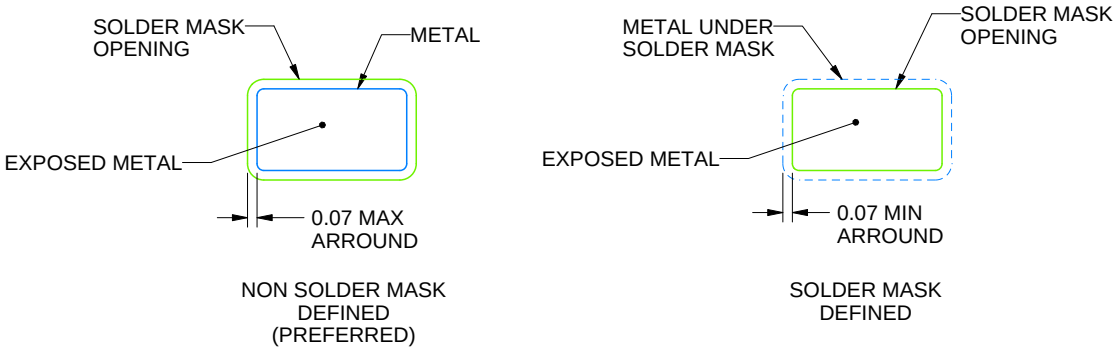
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

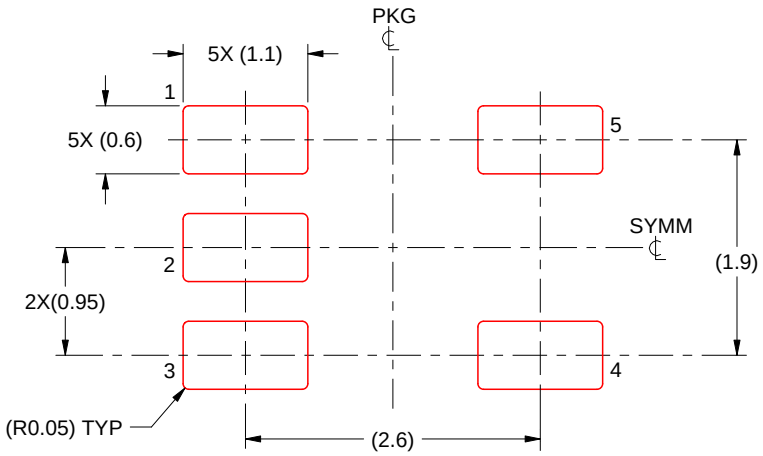


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

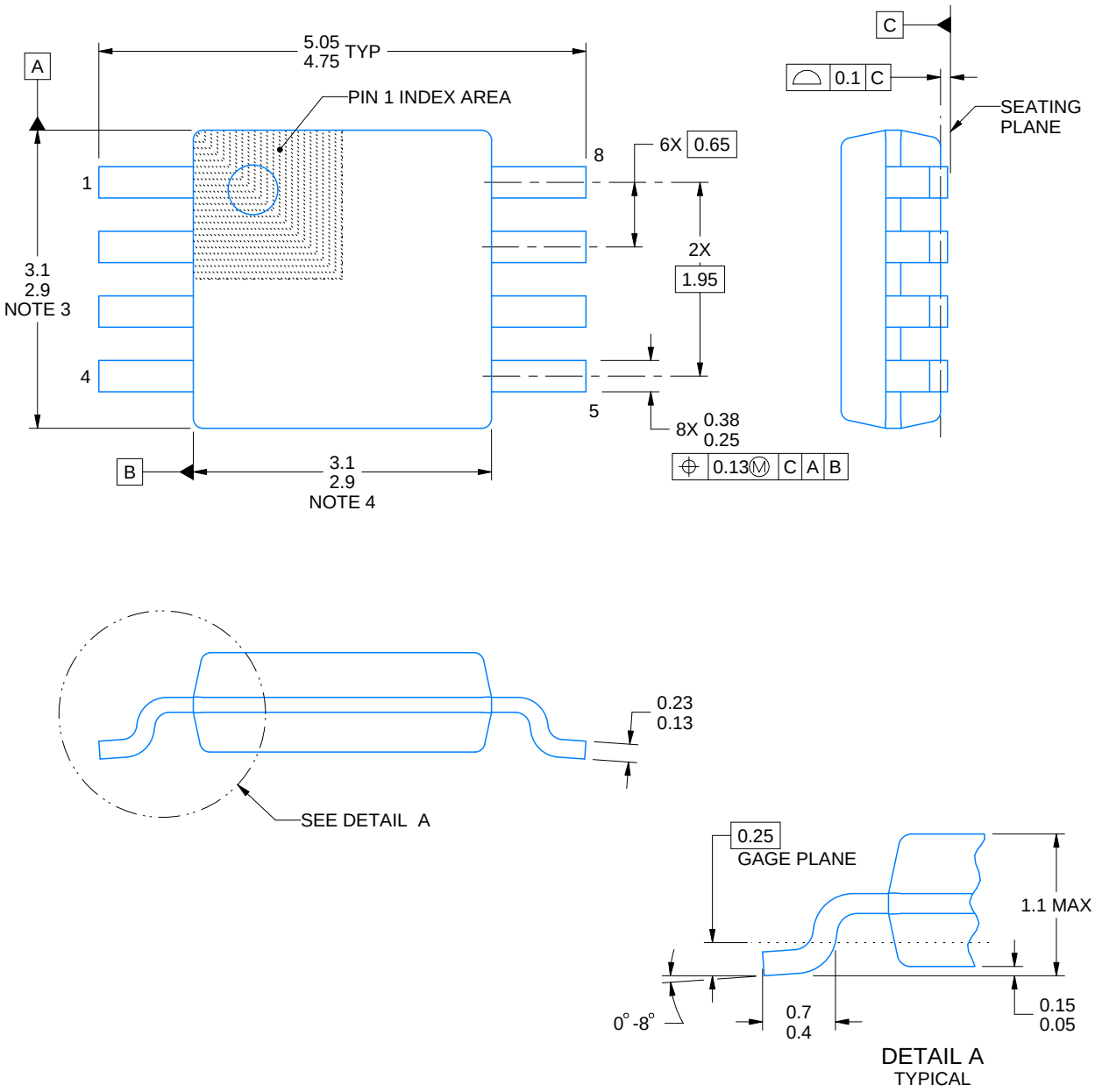
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

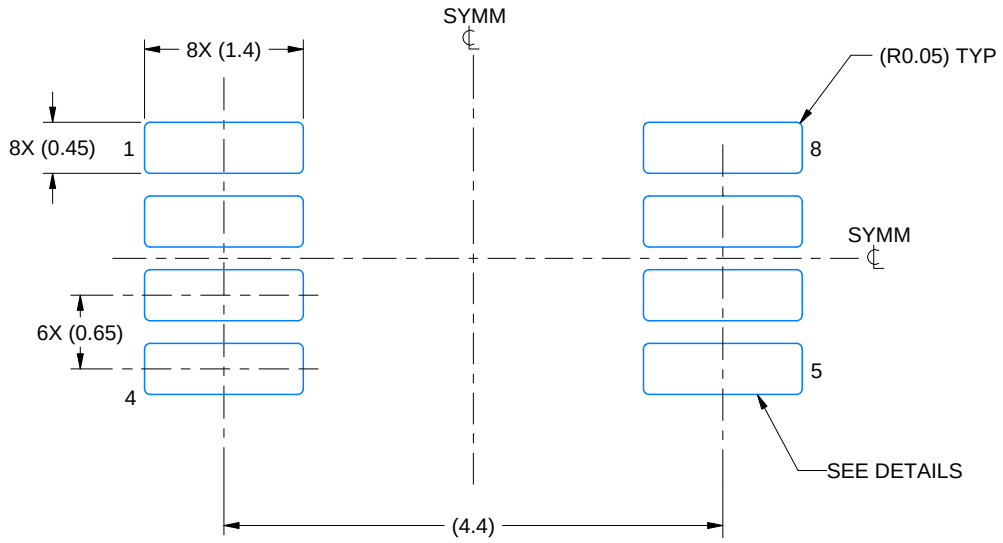
SMALL OUTLINE PACKAGE



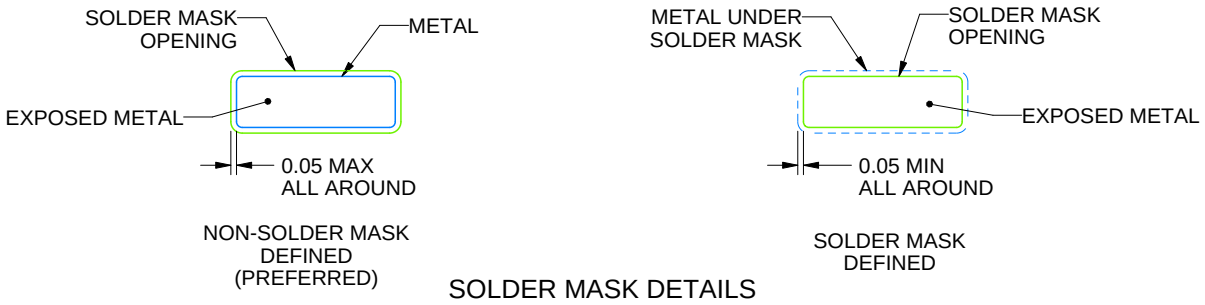
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

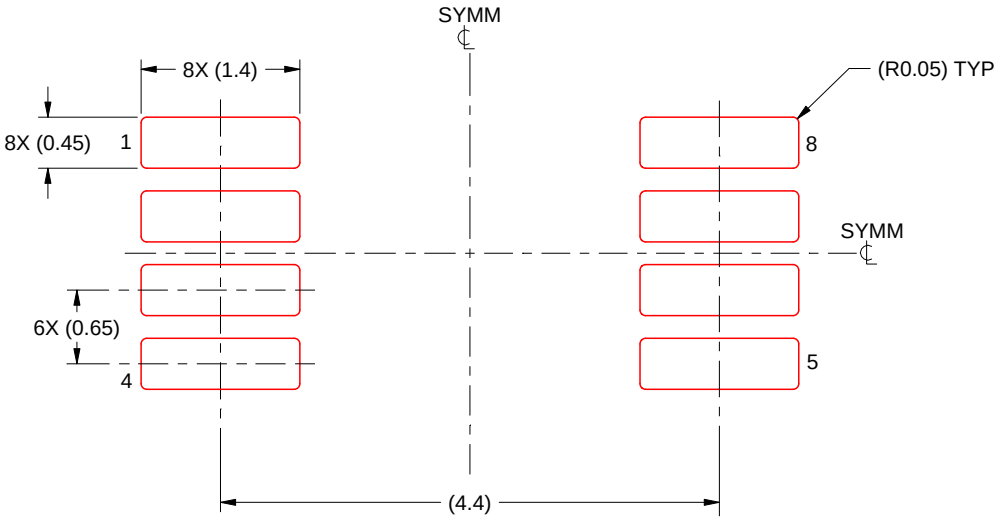


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

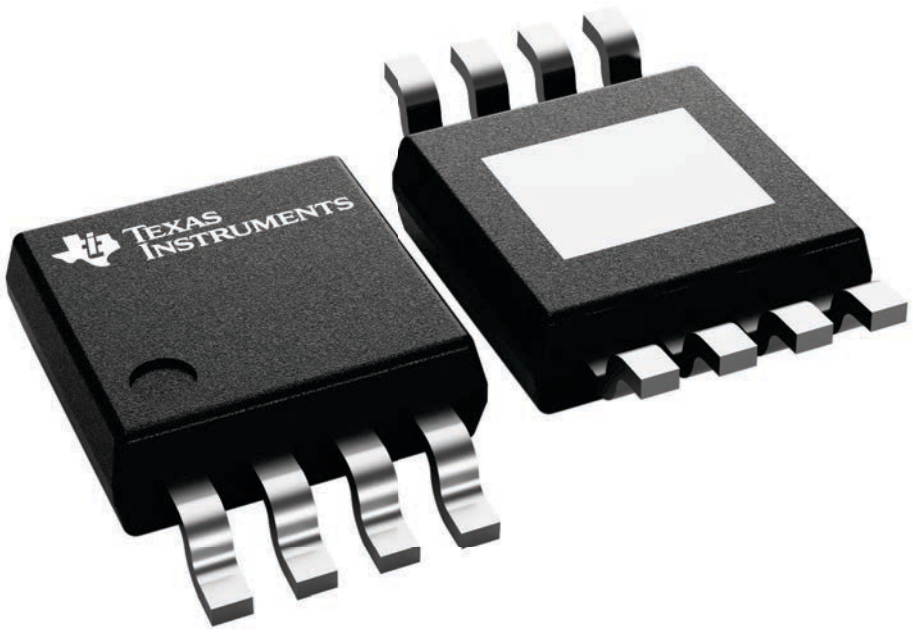
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

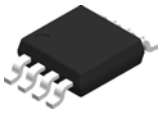
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B

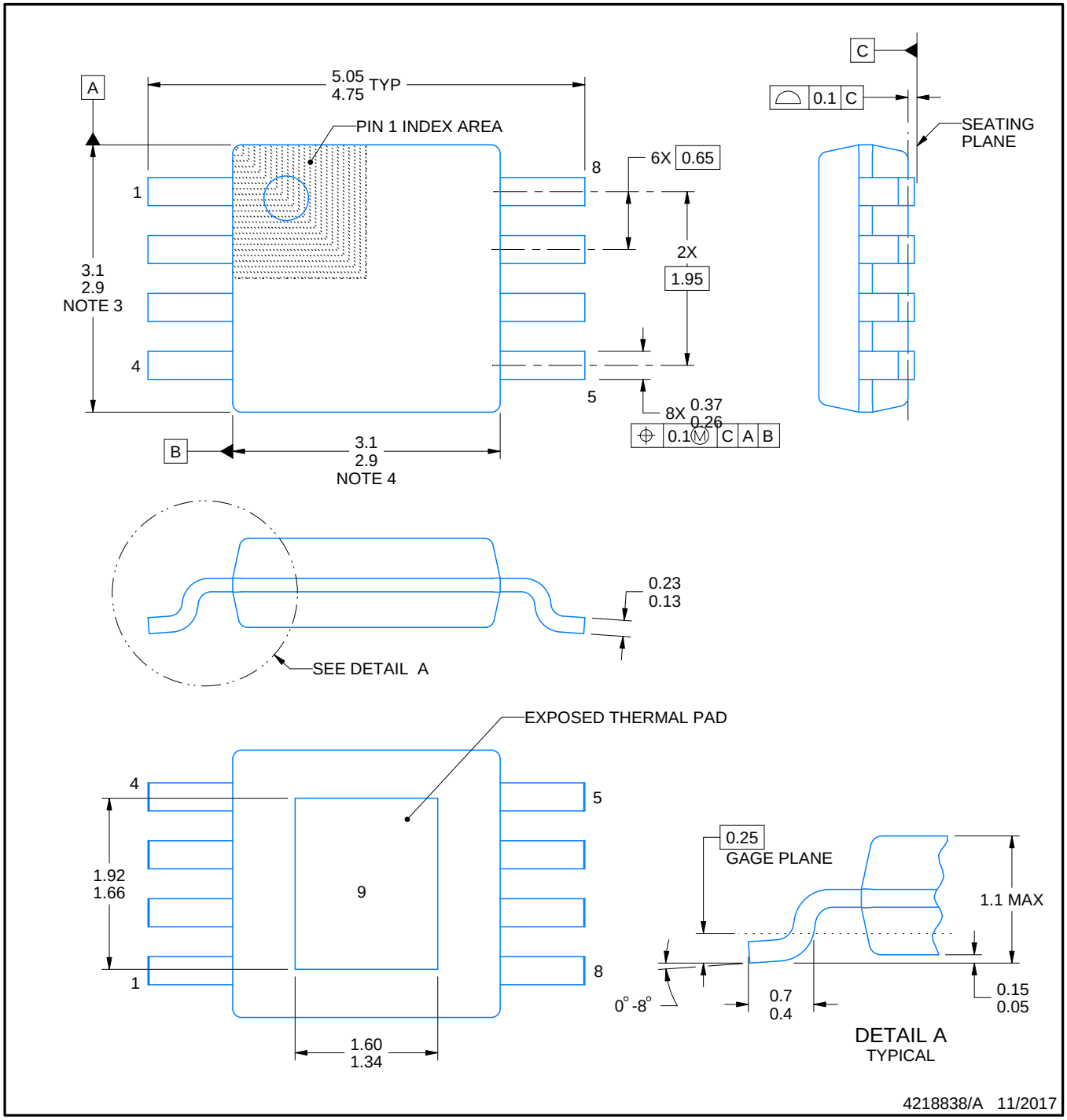
PACKAGE OUTLINE

DGN0008C



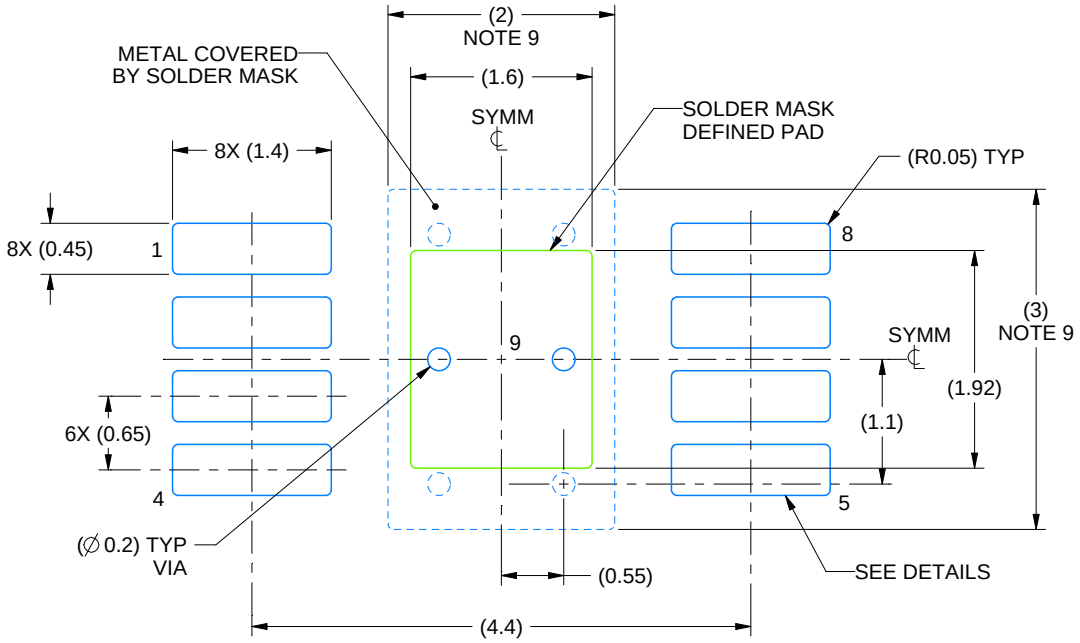
HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

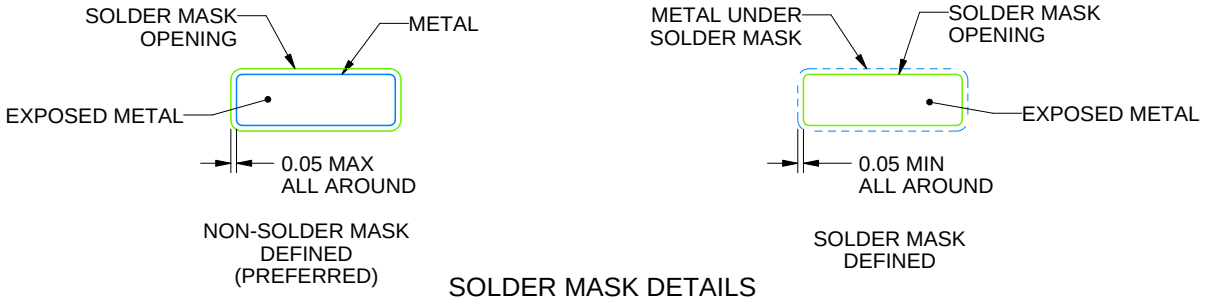


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

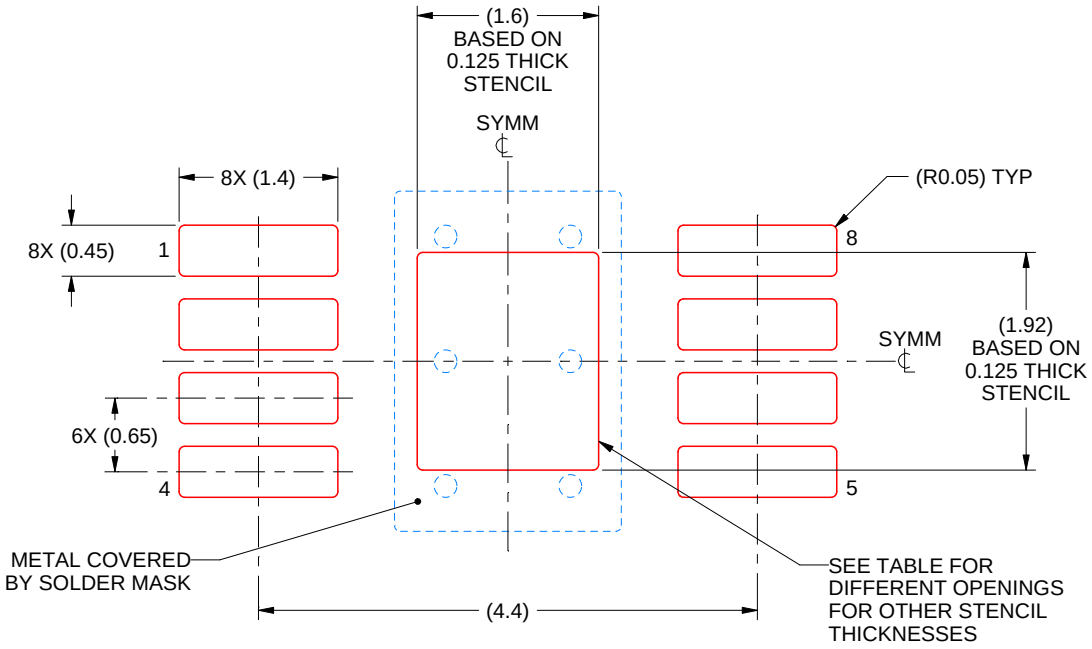


SOLDER MASK DETAILS

4218838/A 11/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.79 X 2.15
0.125	1.60 X 1.92 (SHOWN)
0.15	1.46 X 1.75
0.175	1.35 X 1.62

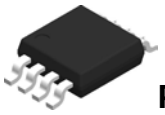
4218838/A 11/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

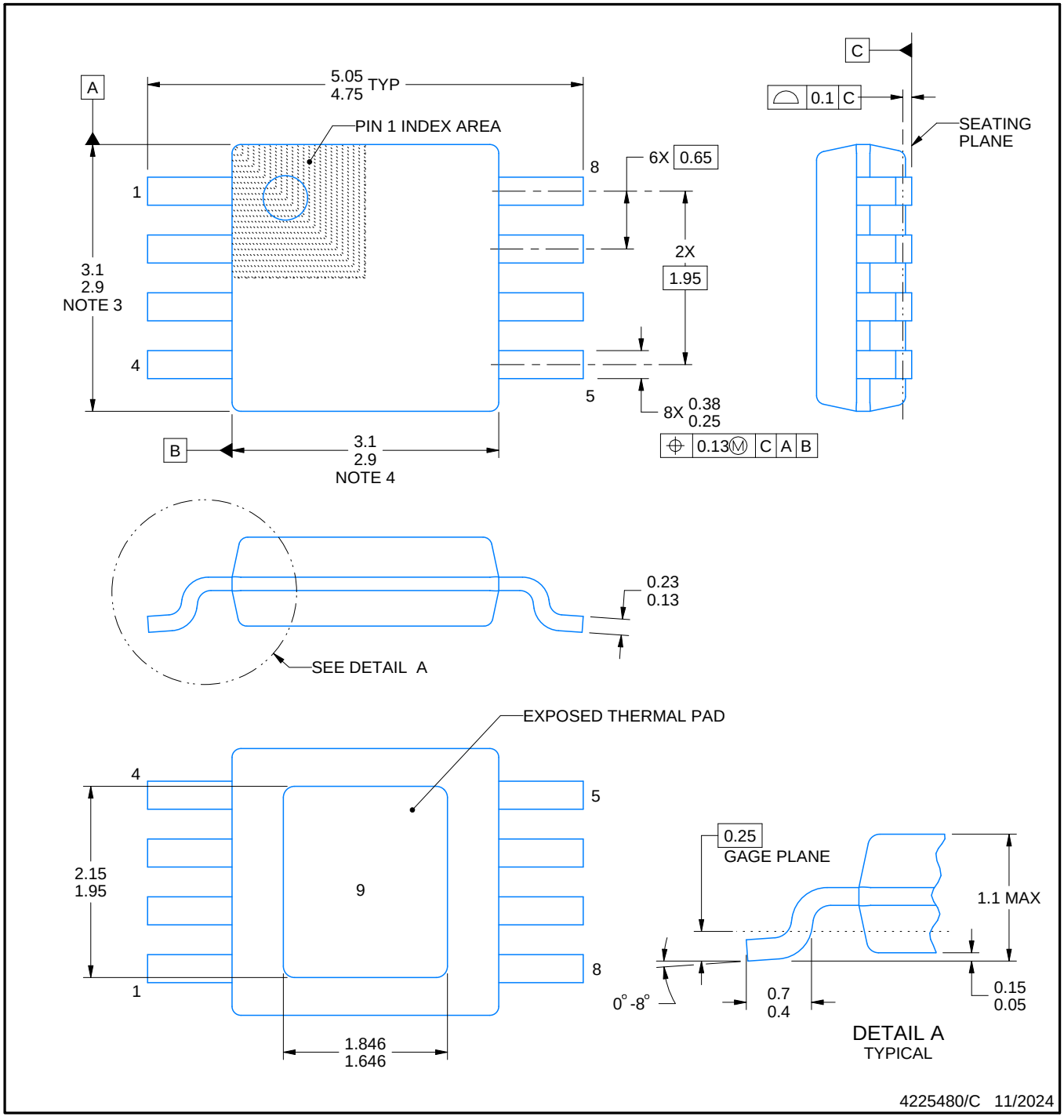
PACKAGE OUTLINE

DGN0008G



PowerPAD™ HVSSOP - 1.1 mm max height

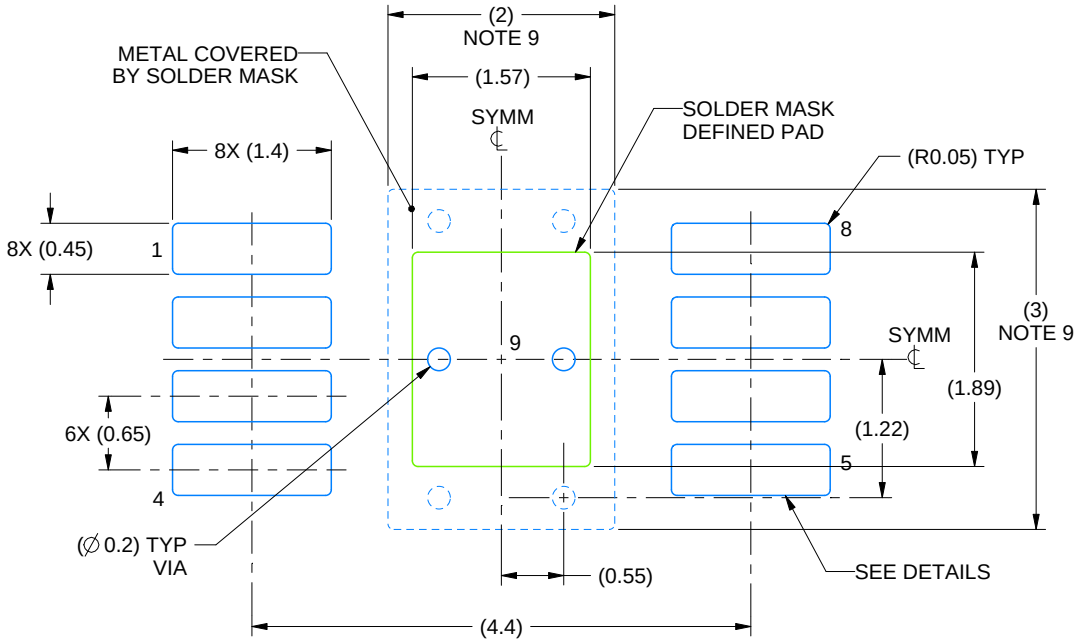
SMALL OUTLINE PACKAGE



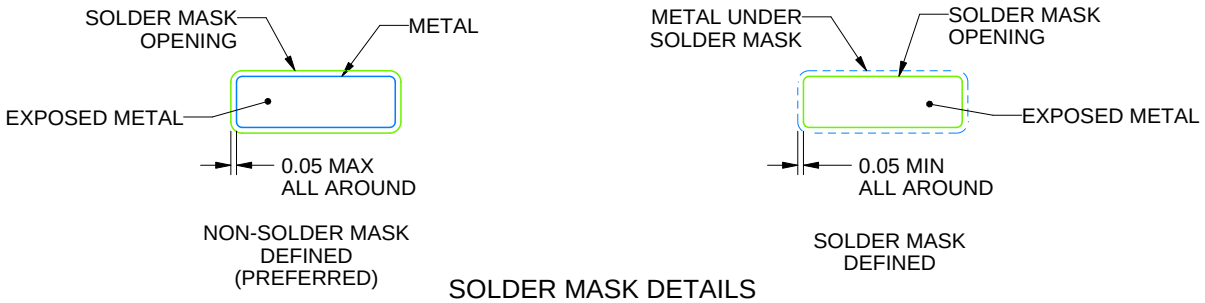
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

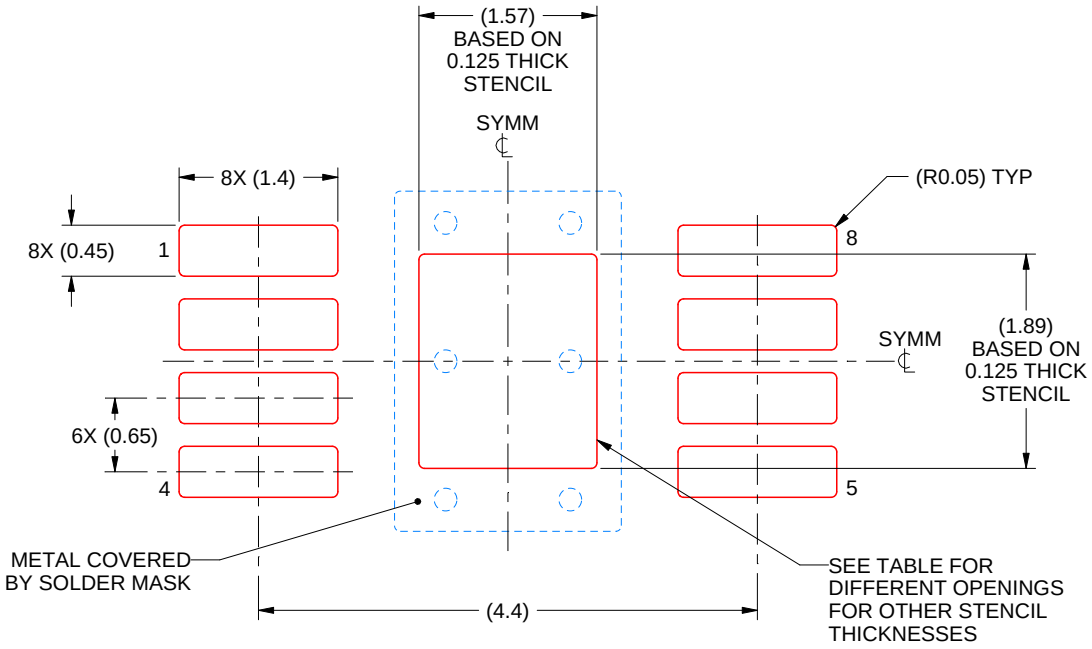


SOLDER MASK DETAILS

4225480/C 11/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

4225480/C 11/2024

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月