TPS22960 低入力電圧、ターンオン制御付きデュアル ロード スイッチ

1 特長

- 統合型デュアル ロード スイッチ
- 入力電圧範囲:1.62V～5.5V
- 低いオン抵抗
  - r_{ON} = 342mΩ (V_{IN} = 5.5V の場合)
  - r_{ON} = 435mΩ (V_{IN} = 3.3V の場合)
  - r_{ON} = 523mΩ (V_{IN} = 2.5V の場合)
  - r_{ON} = 737mΩ (V_{IN} = 1.8V の場合)
- 最大連続スイッチ電流:500mA
- 低い静止電流とシャットダウン電流
- 制御されたスイッチ出力立ち上がり時間:
  75µs または 660µs
- クイック出力放電トランジスタ内蔵
- JESD 22 準拠で ESD 性能を試験済み
  - 人体モデルで 2000V
    (A114-B、クラス II)
  - 1000V、デバイス帯電モデル (C101)
- 8 ピン SOT (DCN) パッケージ:3mm × 3mm
- 8 ピン UQFN (RSE) パッケージ:1.5mm × 1.5mm

2 アプリケーション

- GPS デバイス
- 携帯電話 /PDA
- MP3 プレーヤー
- デジタル カメラ

3 概要

TPS22960 は、ターンオン制御機能を搭載した、小型で低オン抵抗 (R_{ON}) のデュアル チャネル ロード スイッチです。このデバイスは、1.62V～5.5V の入力電圧範囲で動作できる P チャネル MOSFET を 2 個内蔵しています。各スイッチは、低電圧制御信号と直接インターフェイス可能なオン/オフ入力 (ON1 および ON2) により個別に制御されます。TPS22960 では、スイッチをオフにした際に出力を速やかに放電させるための 85Ω のオンチップ負荷抵抗が追加されています。

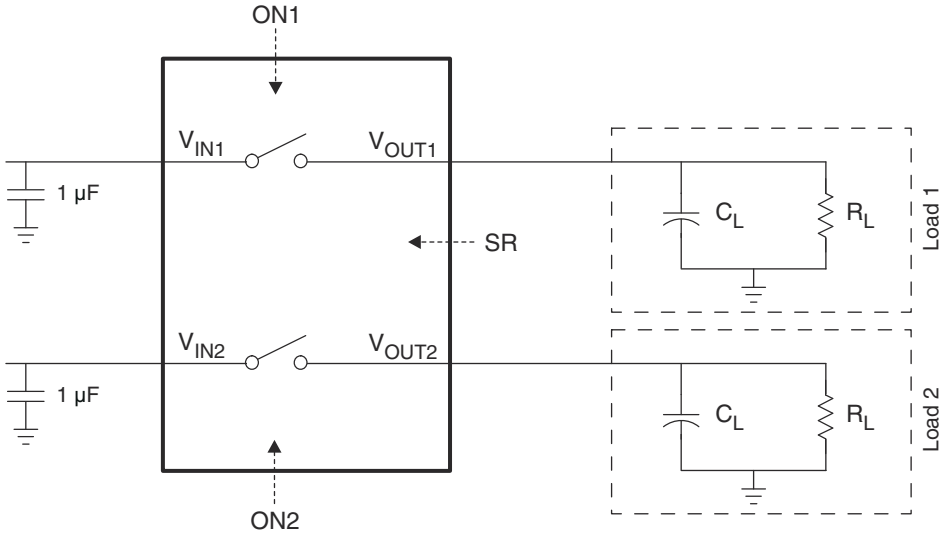
突入電流を避けるためにデバイスの立ち上がり時間 (スルーレート) は内部で制御され、SR ピンを使用して必要に応じて低速化できます。 3.3V で動作する TPS22960 は、SR ピンをグランドに接続した場合には 660µs、SR ピンを High に接続した場合には 75µs の立ち上がり時間になります。

TPS22960 は、省スペースの 8 ピン UQFN パッケージおよび 8 ピン SOT パッケージで供給されます。このデバイスは、–40℃～85℃の周囲温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS22960	DCN (SOT、8)	2.90mm × 1.63mm
	RSE (UQFN、8)	1.50mm × 1.50mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



簡略ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長.... 1
2 アプリケーション.... 1
3 概要.... 1
4 Pin Configuration and Functions.... 3
5 Specifications.... 4
5.1 Absolute Maximum Ratings.... 4
5.2 ESD Ratings.... 4
5.3 Recommended Operating Conditions.... 4
5.4 Thermal Information.... 4
5.5 Electrical Characteristics.... 5
5.6 Switching Characteristics.... 5
5.7 Typical DC Characteristics.... 6
5.8 Typical Switching Characteristics.... 7
6 Parameter Measurement Information.... 12
7 Detailed Description.... 13
7.1 Overview.... 13
7.2 Functional Block Diagram.... 13
7.3 Feature Description.... 14
7.4 Device Functional Modes.... 14
8 Application and Implementation.... 15
8.1 Application Information.... 15
8.2 Typical Application.... 15
8.3 Power Supply Recommendations.... 17
8.4 Layout.... 17
9 Device and Documentation Support.... 20
9.1 ドキュメントの更新通知を受け取る方法.... 20
9.2 サポート・リソース.... 20
9.3 Trademarks.... 20
9.4 静電気放電に関する注意事項.... 20
9.5 用語集.... 20
10 Revision History.... 20
11 Mechanical, Packaging, and Orderable Information.... 20

Copyright © 2024 Texas Instruments Incorporated

4 Pin Configuration and Functions

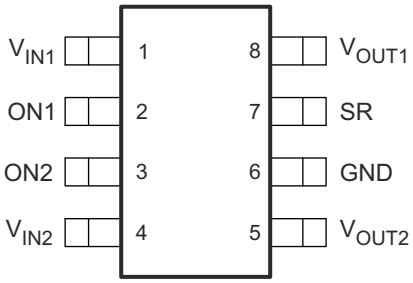


図 4-1. DCN Package, 8-pin SOT (Top View)

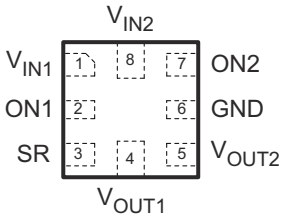


図 4-2. RSE Package, 8-pin UQFN (Top View)

表 4-1. Pin Functions

PIN			I/O	DESCRIPTION
NAME	SOT	UQFN		
V_{IN1}	1	1	I	Switch 1 input; bypass this input with a ceramic capacitor to GND.
ON1	2	2	I	Switch 1 control input, active high. Do not leave floating.
ON2	3	7	I	Switch 2 control input, active high. Do not leave floating.
V_{IN2}	4	8	I	Switch 2 input; bypass this input with a ceramic capacitor to GND.
V_{OUT2}	5	5	O	Switch 2 output.
GND	6	6	—	Ground.
SR	7	3	I	Slew rate control pin. SR = GND translates into a 75-µs rise time; SR = high translates into a 660-µs rise time.
V_{OUT1}	8	4	O	Switch 1 output.

5 Specifications

5.1 Absolute Maximum Ratings

(see [1])

		MIN	MAX	UNIT
V_{IN}	Input voltage	–0.3	6	V
V_{OUT}	Output voltage		V_{IN} + 0.3	V
V_{ON}	Input voltage	–0.3	6	V
I_{MAX}	Maximum continuous switch current		0.5	A
T_A	Operating free-air temperature	–40	85	°C
T_J	Maximum junction temperature		125	°C
T_{stg}	Storage temperature	–65	150	°C

(1) Stresses beyond those listed under absolute maximum ratings may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD Ratings

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001[1]	2000	V
		Charged-device model (CDM), per JEDEC specification JESD22-C101[2]	1000	

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
(2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

5.3 Recommended Operating Conditions

			MIN	MAX	UNIT
V_{IN}	Input voltage		1.62	5.5	V
V_{OUT}	Output voltage			V_{IN}	V
V_{IH}	High-level input voltage: ON1, ON2, SR	V_{INx} = 3.0 V to 5.5 V	1.5	5.5	V
		V_{INx} = 1.62 V to 3.0 V	1.4	5.5	
V_{IL}	Low-level input voltage: ON1, ON2, SR	V_{INx} = 3.0 V to 5.5 V		0.5	V
		V_{INx} = 1.62 V to 3.0 V		0.4	
C_{IN}	Input capacitor		1[1]		µF

(1) See セクション 8.1.

5.4 Thermal Information

THERMAL METRIC[1]		DCN (SOT) 8 PINS	RSE (UQFN) 8 PINS	UNIT
$R_{\theta JA}$	Junction-to-ambient thermal resistance	254	124	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	122	67	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	181	31.5	°C/W
ψ_{JT}	Junction-to-top characterization parameter	22	2.9	°C/W
ψ_{JB}	Junction-to-board characterization parameter	178	31.5	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	—	—	°C/W

(1) For more information about traditional and new thermal metrics, see *Semiconductor and IC Package Thermal Metrics* (SPRA953).

Copyright © 2024 Texas Instruments Incorporated

5.5 Electrical Characteristics

V_{IN} = 1.62 V to 5.5 V, T_A = –40°C to 85°C (unless otherwise noted)

PARAMETER		TEST CONDITIONS		T_A	MIN	TYP[1]	MAX	UNIT
I_{IN}	Quiescent current (each switch)	I_{OUTx} = 0, V_{INx} = V_{ON}	V_{INx} = 5.5 V	Full		0.64	2	µA
			V_{INx} = 3.3 V	Full		0.35	1.2	
			V_{INx} = 2.5 V	Full		0.24	0.8	
			V_{INx} = 1.8 V	Full		0.15	0.5	
$I_{IN(OFF)}$	OFF-state supply current (each switch)	V_{ON} = GND, V_{OUTx} = Open	V_{INx} = 5.5 V	Full		0.47	3.6	µA
			V_{INx} = 3.3 V	Full		0.25	1.8	
			V_{INx} = 2.5 V	Full		0.18	1.3	
			V_{INx} = 1.8 V	Full		0.11	1.2	
r_{ON}	ON-state resistance (each switch)	I_{OUT} = –200 mA	V_{INx} = 5.5 V	25°C		342	400	mΩ
				Full			465	
			V_{INx} = 3.3 V	25°C		435	500	
				Full			595	
			V_{INx} = 2.5 V	25°C		523	620	
				Full			720	
			V_{INx} = 1.8 V	25°C		737	1100	
				Full			1300	
			V_{INx} = 1.62 V	25°C		848	1300	
				Full			1500	
r_{PD}	Output pulldown resistance	V_{IN} = 3.3 V, V_{ON} = 0, I_{OUT} = 30 mA		25°C		85	120	Ω
I_{ON}	ON-state input leakage current	V_{ON} = 1.62 V to 5.5 V or GND		Full			0.25	µA

(1) Typical values are at T_A = 25°C.

5.6 Switching Characteristics

V_{IN} = 3.3 V, T_A = 25°C, RL_CHIP = 85 Ω (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP[1]	MAX	UNIT
t_{ON}	Turn-ON time	R_L = 33 Ω, C_L = 0.1 µF	SR = V_{IN}		635		µs
			SR = GND		67		
t_{OFF}	Turn-OFF time	R_L = 33 Ω, C_L = 0.1 µF	SR = V_{IN}		4.5		µs
			SR = GND		4.2		
t_r	V_{OUT} rise time	R_L = 33 Ω, C_L = 0.1 µF	SR = V_{IN}		660		µs
			SR = GND		75		
t_f	V_{OUT} fall time	R_L = 33 Ω, C_L = 0.1 µF	SR = V_{IN}		4.5		µs
			SR = GND		4.5		

(1) Typical values are at the specified V_{IN} = 3.3 V and T_A = 25°C.

5.7 Typical DC Characteristics

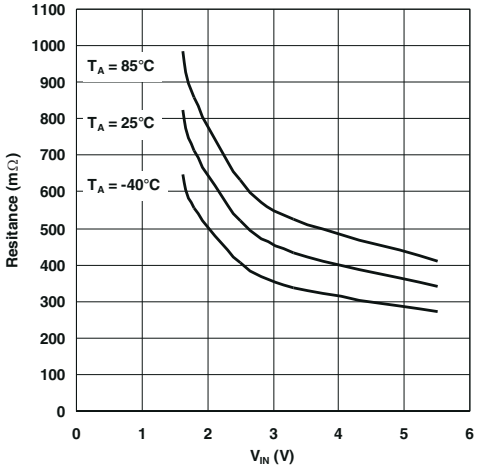


図 5-1. ON Resistance vs Input Voltage

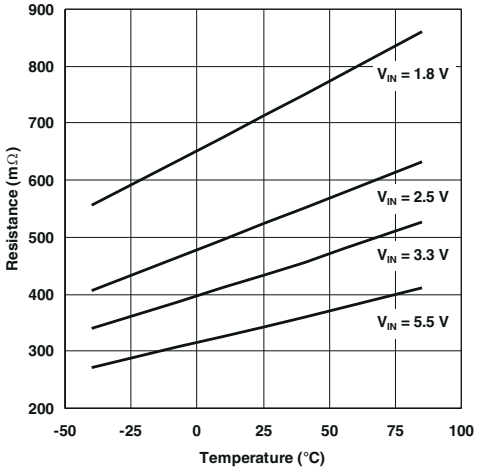


図 5-2. ON Resistance vs Temperature

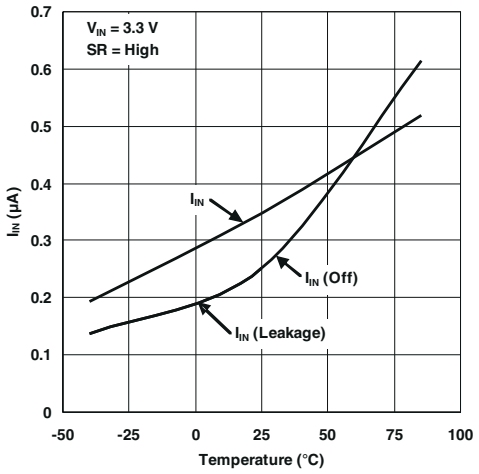


図 5-3. Quiescent Current vs Temperature

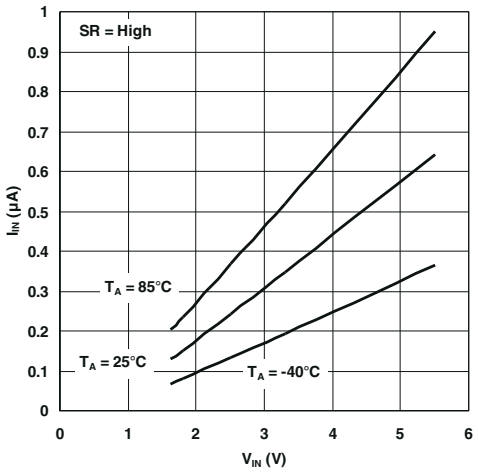


図 5-4. Quiescent Current vs Input Voltage

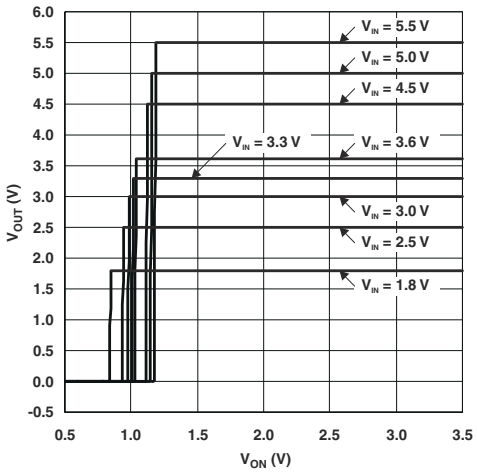


図 5-5. ON Threshold

Copyright © 2024 Texas Instruments Incorporated

5.8 Typical Switching Characteristics

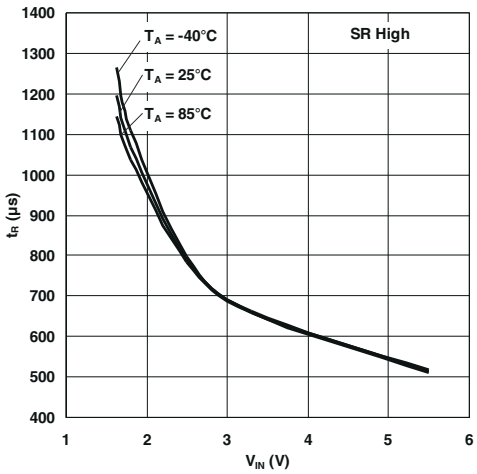


図 5-6. Rise Time vs Input Voltage

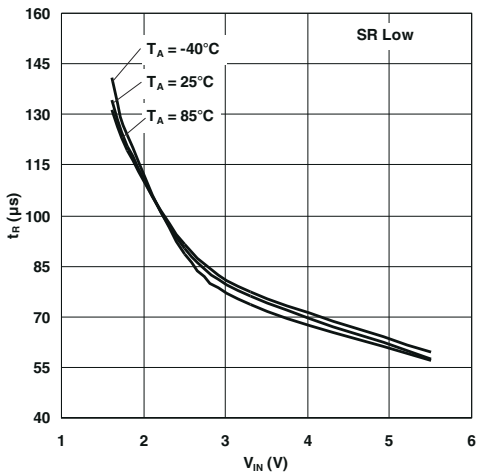


図 5-7. Rise Time vs Input Voltage

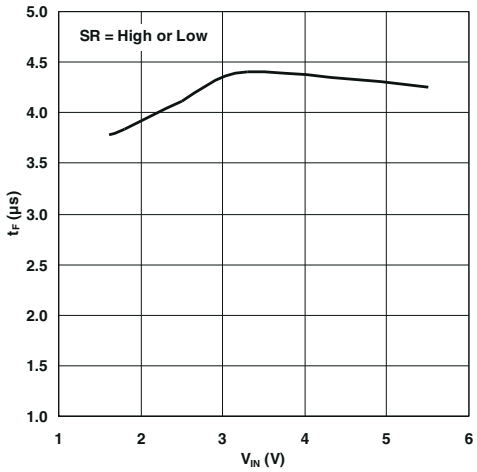


図 5-8. Fall Time vs Input Voltage

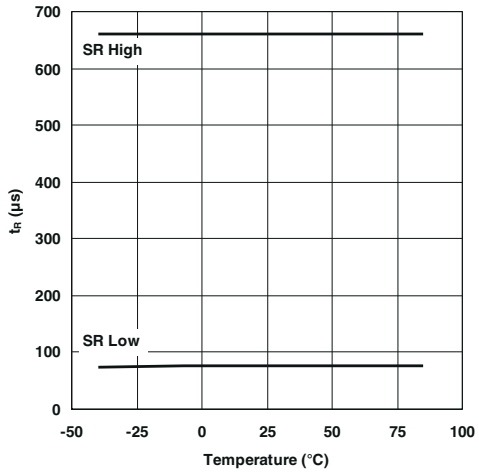


図 5-9. Rise Time vs Temperature

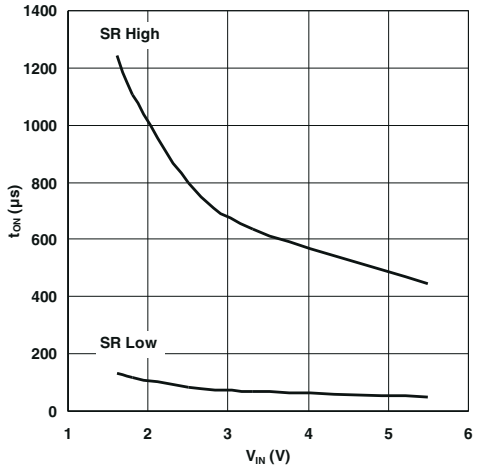


図 5-10. On Time vs Input Voltage

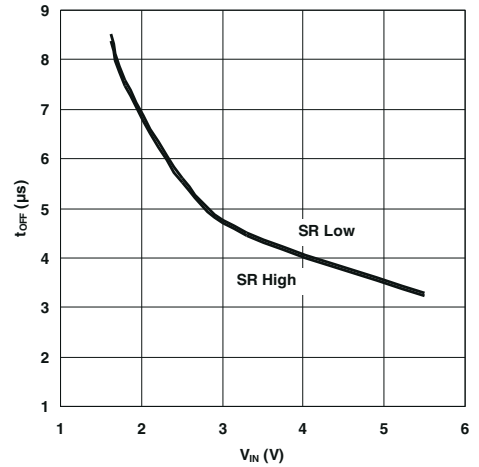


図 5-11. Off Time vs Input Voltage

5.8 Typical Switching Characteristics (continued)

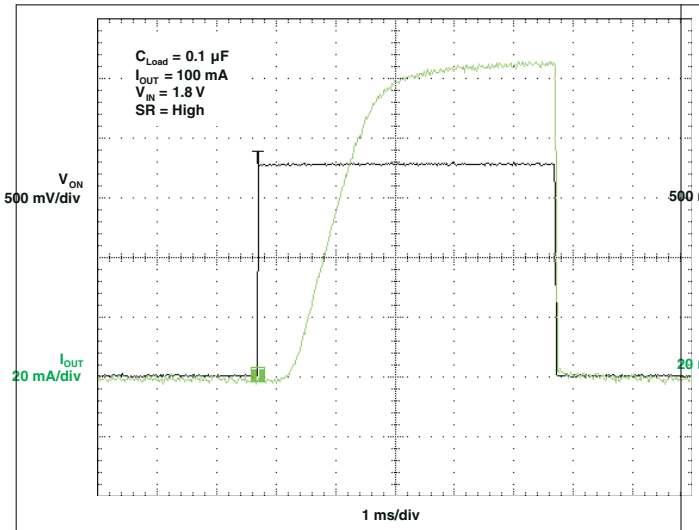


図 5-12. t_{ON} Response

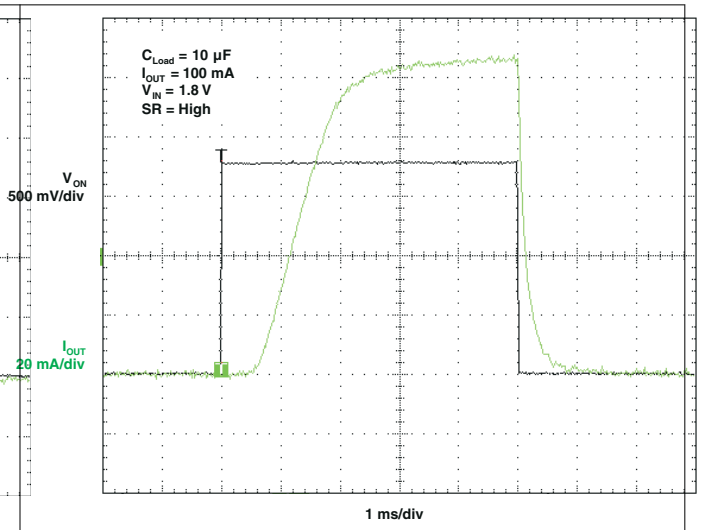


図 5-13. t_{ON} Response

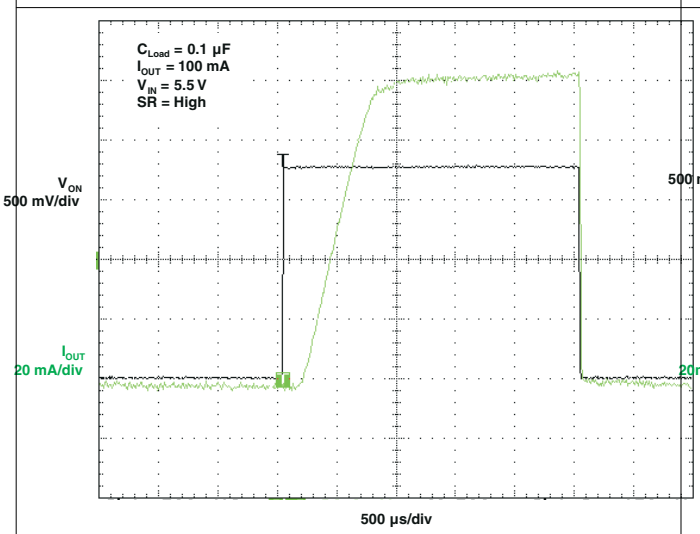


図 5-14. t_{ON} Response

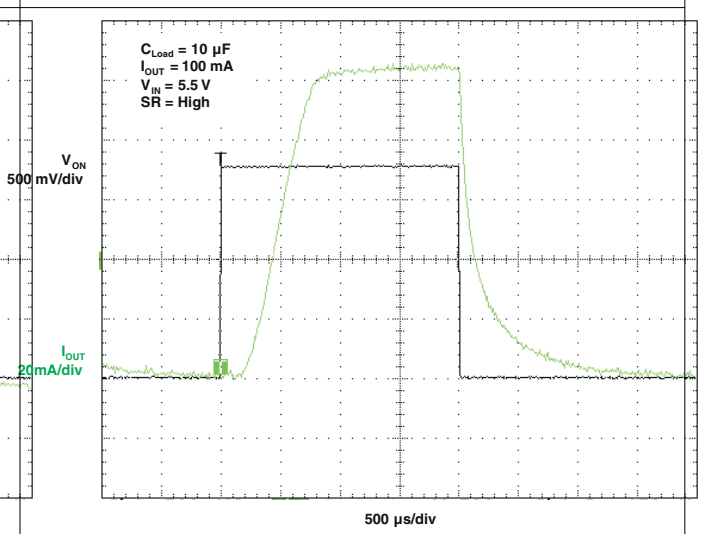


図 5-15. t_{ON} Response

Copyright © 2024 Texas Instruments Incorporated

5.8 Typical Switching Characteristics (continued)

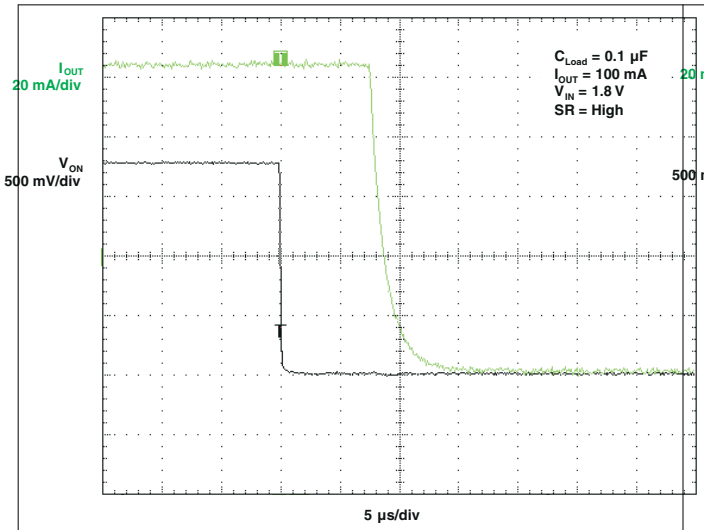


図 5-16. t_{OFF} Response

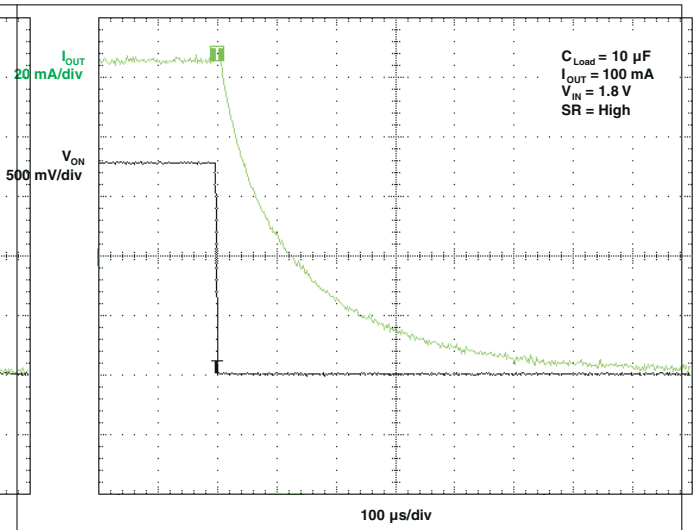


図 5-17. t_{OFF} Response

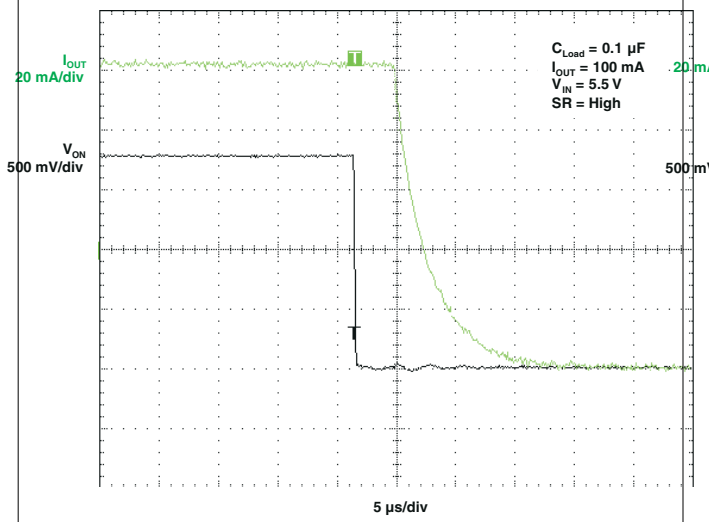


図 5-18. t_{OFF} Response

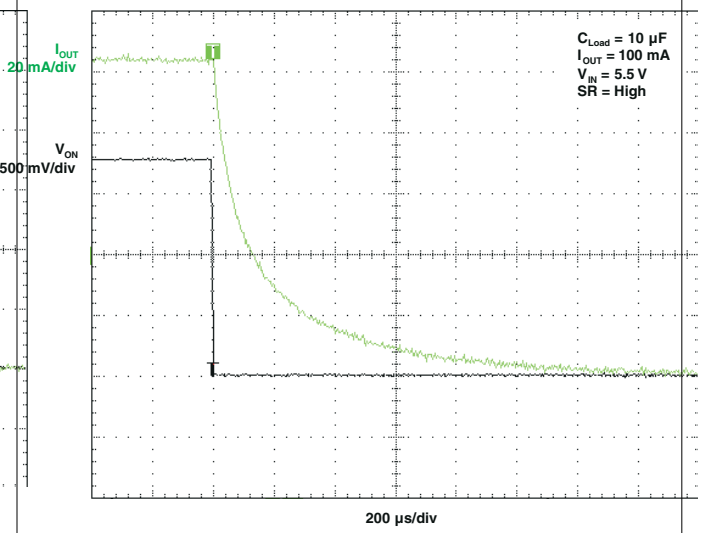


図 5-19. t_{OFF} Response

5.8 Typical Switching Characteristics (continued)

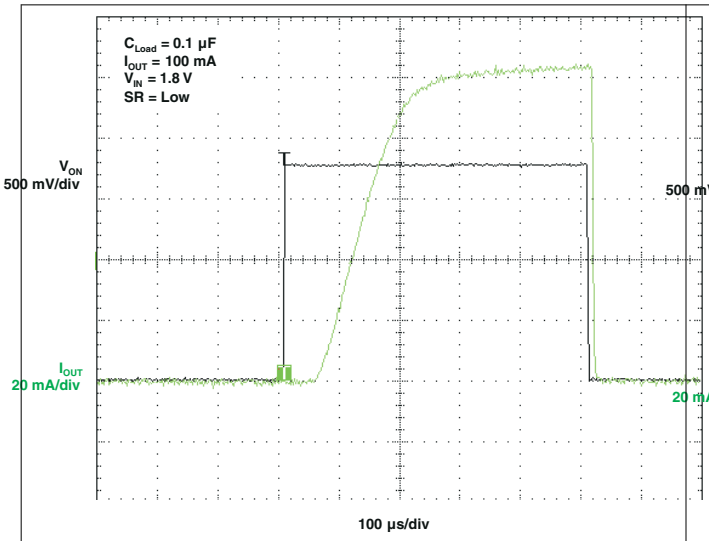


図 5-20. t_{ON} Response

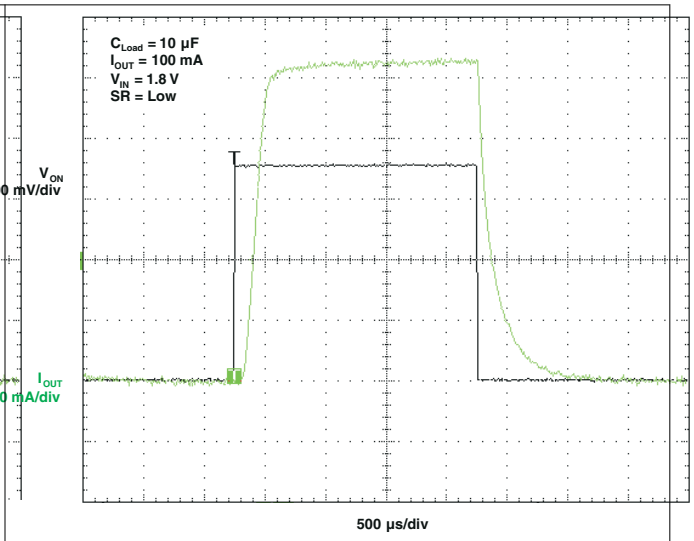


図 5-21. t_{ON} Response

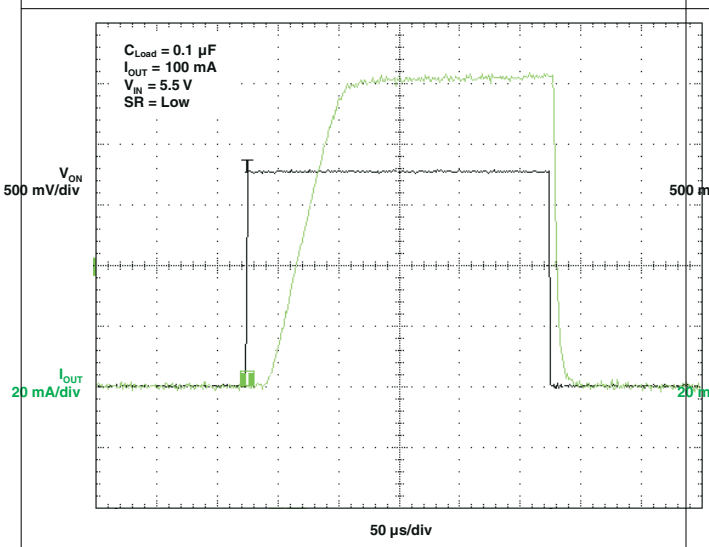


図 5-22. t_{ON} Response

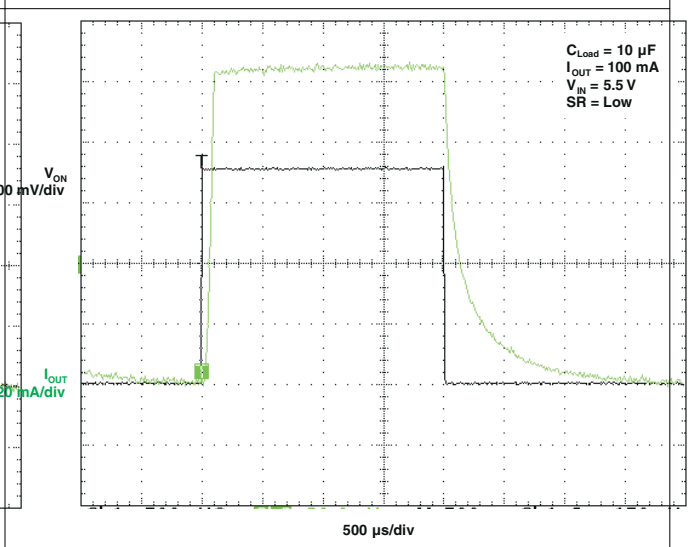


図 5-23. t_{ON} Response

Copyright © 2024 Texas Instruments Incorporated

5.8 Typical Switching Characteristics (continued)

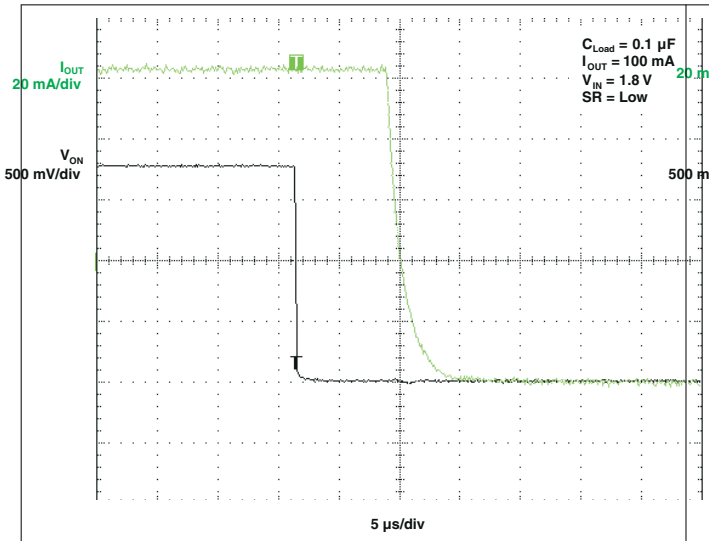


図 5-24. t_{OFF} Response

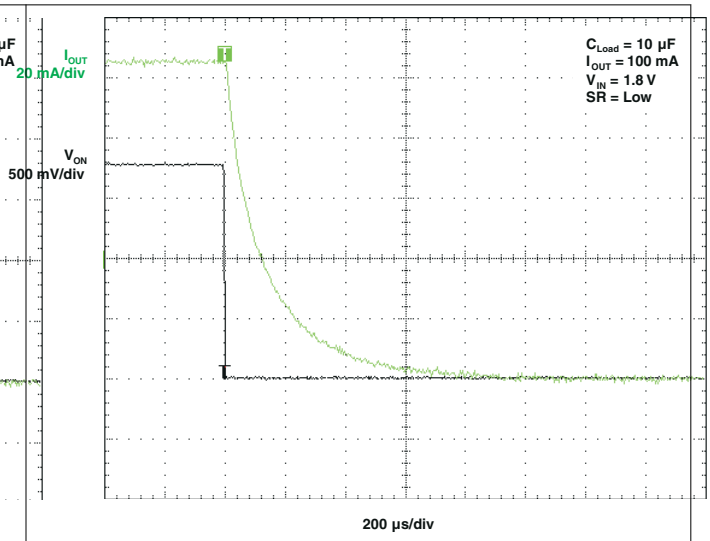


図 5-25. t_{OFF} Response

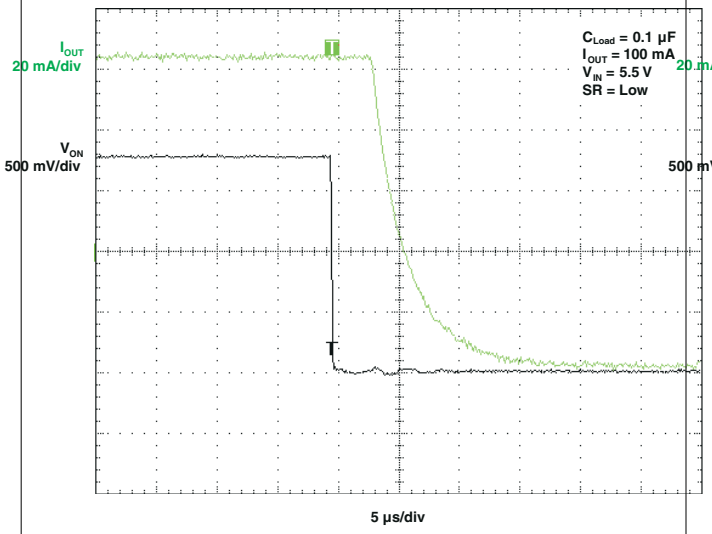


図 5-26. t_{OFF} Response

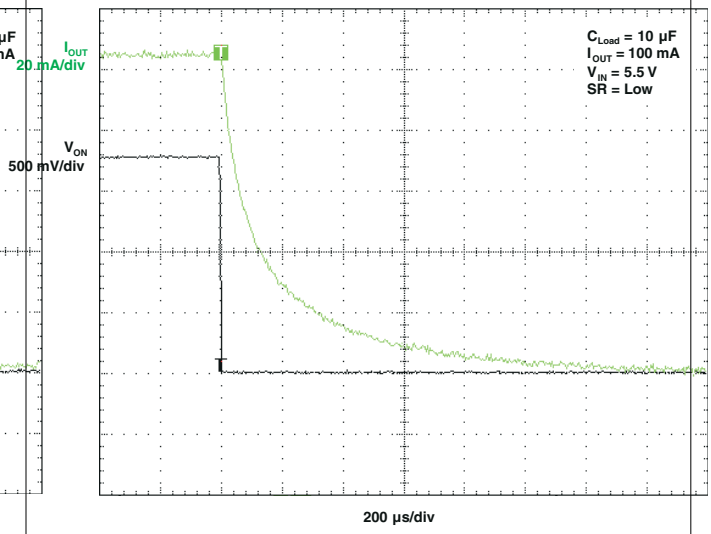
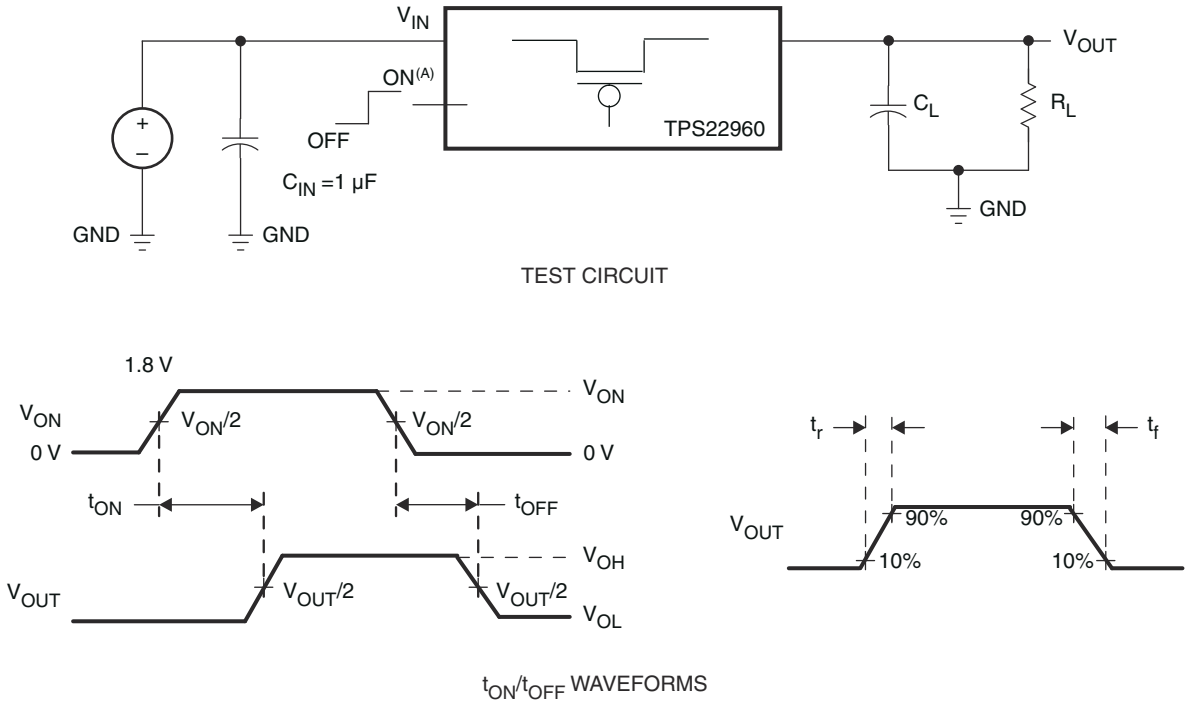


図 5-27. t_{OFF} Response

6 Parameter Measurement Information



A. t_{rise} and t_{fall} of the control signal is 100ns.

図 6-1. Test Circuit and t_{ON}/t_{OFF} Waveforms

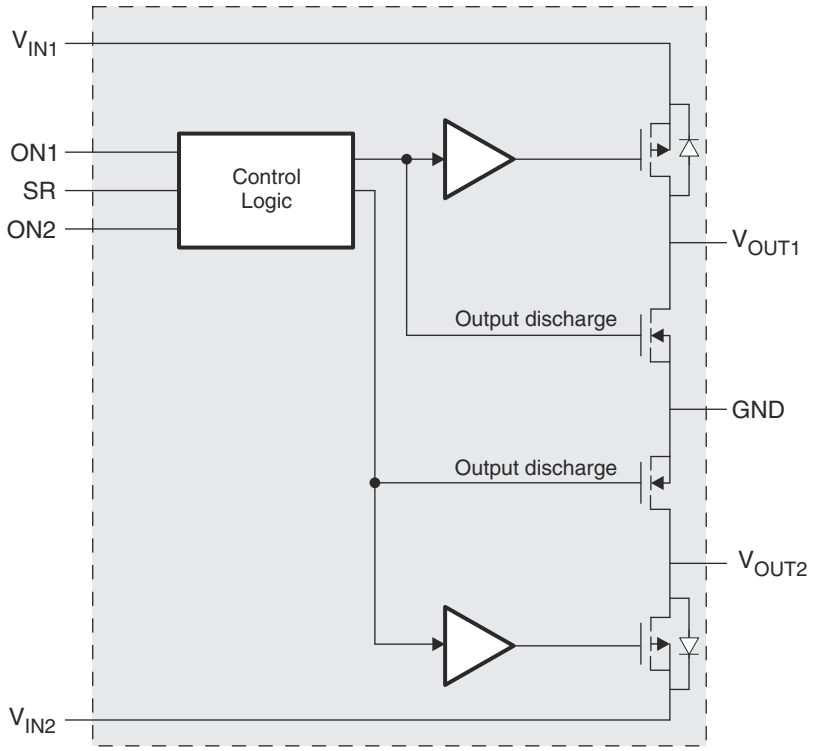
Copyright © 2024 Texas Instruments Incorporated

7 Detailed Description

7.1 Overview

The TPS22960 is a dual-channel load switch. The two channels can be independently controlled using the ONx pins. Each channel has an 85-Ω quick discharge resistance from V_{OUTX} to GND when disabled. A single control pin (SR) is used to set the slew rate for both channels..

7.2 Functional Block Diagram



7.3 Feature Description

This section will discuss the features of the TPS22960 which have been summarized in 表 7-1.

表 7-1. Feature Summary

DEVICE	r_{ON} AT 3.3 V (TYP)	SLEW RATE AT 3.3 V (TYP)	QUICK OUTPUT DISCHARGE(1)	MAX OUTPUT CURRENT	ENABLE
TPS22960	435 mΩ	75 µs with SR = low 660 µs with SR = high	Yes	500 mA	Active High

(1) This feature discharges the output of the switch to ground through an 85-Ω resistor, preventing the output from floating.

7.3.1 Output Slew Rate (SR) Control

The slew rate (rise time) of the device is internally controlled in order to avoid inrush current, and it can be slowed down if needed using the SR pin. At 3.3 V, TPS22960 features a 75-µs rise time with the SR pin tied to ground, and a 660-µs rise time with the SR pin tied high. Both channels will have the same slew rate set by the SR pin.

7.3.2 Quick Output Discharge (QOD)

Each channel of the TPS22960 includes an independent QOD feature. When the channel is disabled, a discharge resistor is connected between VOUTx and GND. This resistor has a typical value of 85 Ω and prevents the output from floating while the switch is disabled.

7.4 Device Functional Modes

表 7-2. Configurable Logic Function Table

ONx	V_{INx} TO V_{OUTx}	V_{OUTx} TO GND
L	OFF	ON
H	ON	OFF

Copyright © 2024 Texas Instruments Incorporated

8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information

8.1.1 ON/OFF Control

The ON pin controls the state of the switch. Activating ON continuously holds the switch in the on state, as long as there is no fault. ON is active HI and has a low threshold, making it capable of interfacing with low voltage signals. The ON pin is compatible with standard GPIO logic threshold. It can be used with any microcontroller with 1.2-V, 1.8-V, 2.5-V, or 3.3-V GPIOs.

8.1.2 Input Capacitor

To limit voltage drop or voltage transients, sufficient capacitance needs to be placed on the input side of the load switch (from V_{IN} to GND). In most cases, a 1-µF ceramic capacitor, C_{IN}, placed close to the pins is usually sufficient. However, when switching heavy capacitive loads, higher values of C_{IN} may be needed to prevent the system supply voltage from dropping.

8.1.3 Output Capacitor

The integral body diode in the PMOS switch will allow reverse current flow if V_{OUT} exceeds V_{IN}. A C_L greater than C_{IN} can cause V_{OUT} to exceed V_{IN} if the system supply is removed. In the case where the system supply could be removed and reverse current is a concern, a C_{IN} greater than C_L is recommended.

8.2 Typical Application

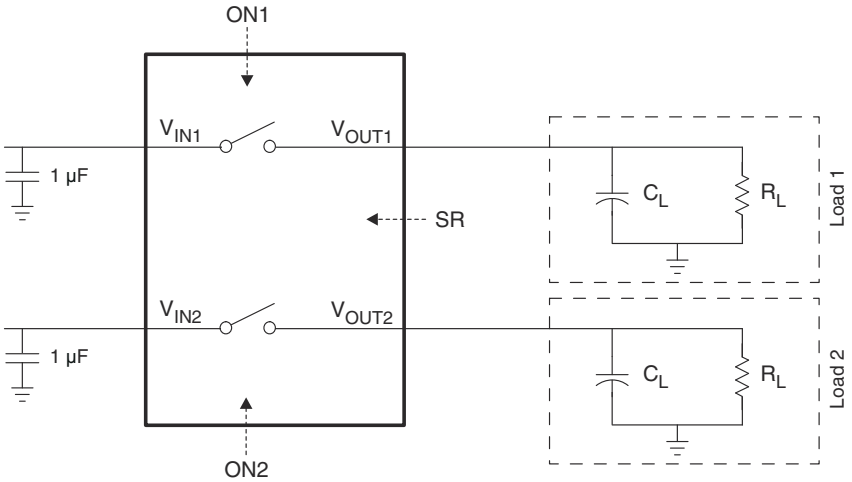


図 8-1. Typical Application Schematic

8.2.1 Design Requirements

For this design example, use input parameters in 表 8-1.

表 8-1. Design Parameters

PARAMETER	EXAMPLE VALUE
V_{IN}	3.3 V
C_L	22 µF
Maximum acceptable inrush current	200 mA

8.2.2 Detailed Design Procedure

8.2.2.1 Inrush Current

When the switch is enabled, the output capacitors must be charged up from 0 V to the set value (in this example, 3.3 V). This charge arrives in the form of inrush current. Inrush current can be calculated using the following equation:

$$\text{Inrush Current} = C \times dV / dt \tag{1}$$

Where:

C = output capacitance

dV = output voltage

dt = rise time

The TPS22960 offers selectable rise time control for V_{OUT}. This feature allows the user to control the inrush current during turnon. 式 1 can be used to find the required rise time to limit the inrush current to the design requirements

$$200\ \text{mA} = 22\ \mu\text{F} \times (3.3\ \text{V} \times 80\%) / dt \tag{2}$$

dt = 290 µs (4)

To ensure an inrush current of less than 200 mA, SR must be set high for a rise time greater than 290 µs. The following application curves show the different inrush for each SR setting in this design example.

8.2.3 Application Curves

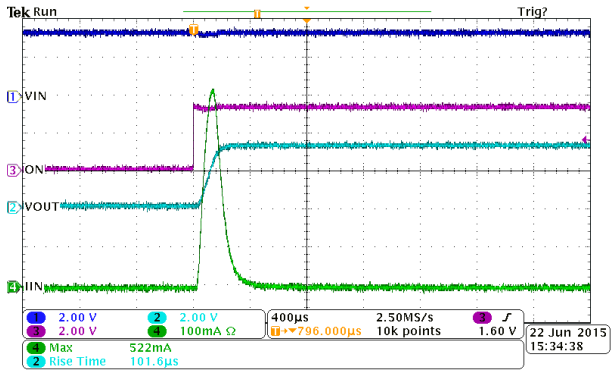


図 8-2. Inrush Current with SR = Low

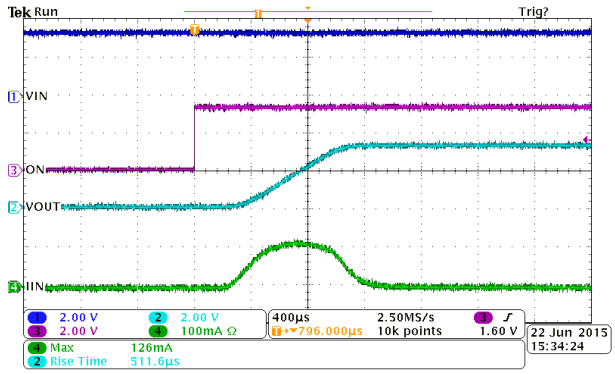


図 8-3. Inrush Current with SR = High

Copyright © 2024 Texas Instruments Incorporated

8.3 Power Supply Recommendations

The device is designed to operate from an input voltage range of 1.62 V to 5.5 V. The power supply should be well-regulated and placed as close to the device terminals as possible. It must be able to withstand all transient and load current steps. In most situations, using an input capacitance of 1 µF is sufficient to prevent the supply voltage from dipping when the switch is turned on. In cases where the power supply is slow to respond to a large transient current or large load current step, additional bulk capacitance may be required on the input

The requirements for larger input capacitance can be mitigated by selecting the slower slew rate +SR=high. This will cause the load switch to turn on more slowly and limit the inrush current.

8.4 Layout

8.4.1 Layout Guidelines

For best performance, all traces should be as short as possible. To be most effective, the input and output capacitors should be placed close to the device to minimize the effects that parasitic trace inductances may have on normal and short-circuit operation. Using wide traces for VI_N, V_{OUT}, and GND will help minimize the parasitic electrical effects along with minimizing the case to ambient thermal impedance.

8.4.2 Layout Example

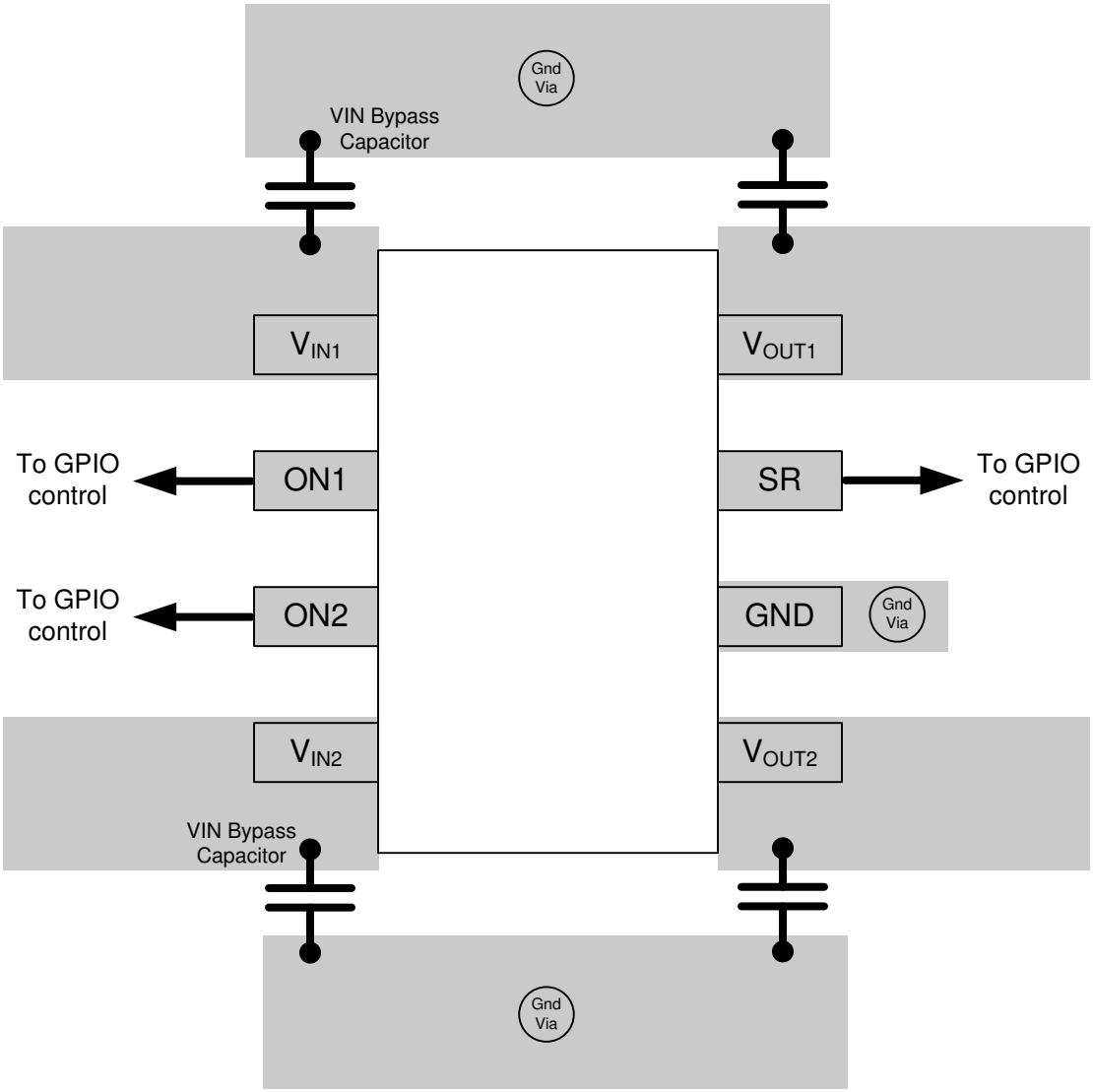


図 8-4. DCN Package Layout

Copyright © 2024 Texas Instruments Incorporated

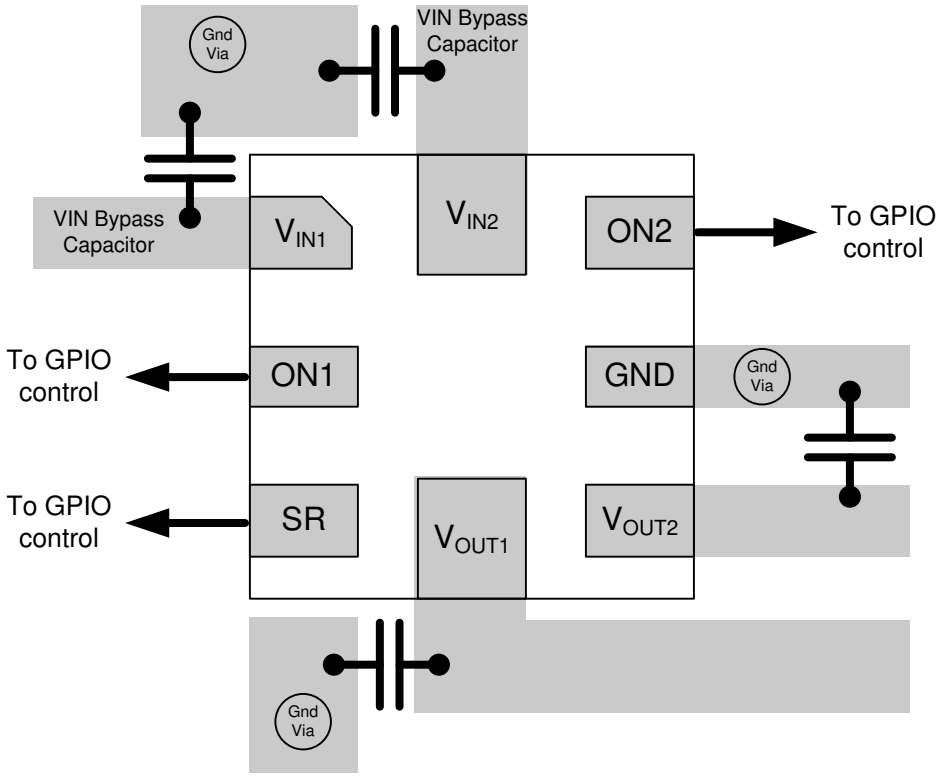


図 8-5. RSE Package Layout

9 Device and Documentation Support

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (February 2016) to Revision E (April 2024) — **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- Changed maximum $I_{IN(OFF)}$ at VIN=1.8V from 0.9µA : to 1.2µA in the *Electrical Characteristics* section 4

Changes from Revision C (July 2015) to Revision D (February 2016) — **Page**

- *セクション 8.1* を変更 1

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS22960DCNR	Active	Production	SOT-23 (DCN) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(NFRO, NFRR)
TPS22960DCNR.A	Active	Production	SOT-23 (DCN) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(NFRO, NFRR)
TPS22960DCNR.B	Active	Production	SOT-23 (DCN) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(NFRO, NFRR)
TPS22960DCNRG4	Active	Production	SOT-23 (DCN) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFRR
TPS22960DCNRG4.A	Active	Production	SOT-23 (DCN) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFRR
TPS22960DCNRG4.B	Active	Production	SOT-23 (DCN) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	NFRR
TPS22960RSER	Active	Production	UQFN (RSE) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	72
TPS22960RSER.A	Active	Production	UQFN (RSE) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	72
TPS22960RSER.B	Active	Production	UQFN (RSE) | 8	3000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	72
TPS22960RSET	Active	Production	UQFN (RSE) | 8	250 | SMALL T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	72
TPS22960RSET.A	Active	Production	UQFN (RSE) | 8	250 | SMALL T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	72
TPS22960RSET.B	Active	Production	UQFN (RSE) | 8	250 | SMALL T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	72

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

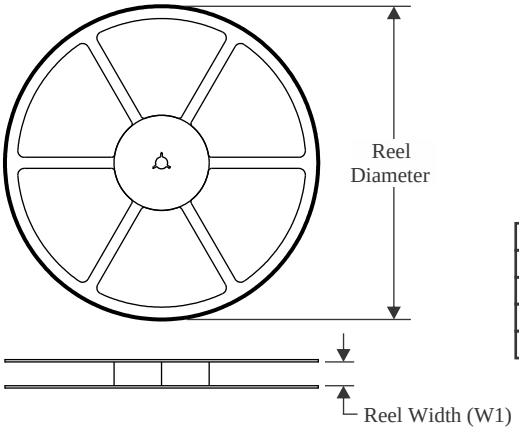
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

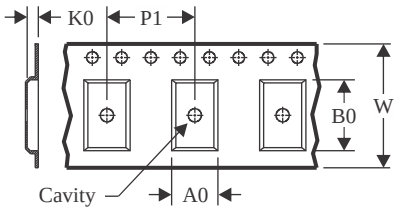
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

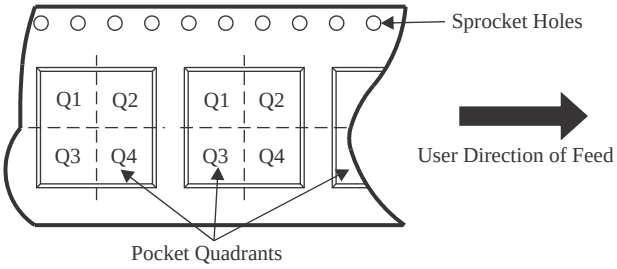


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

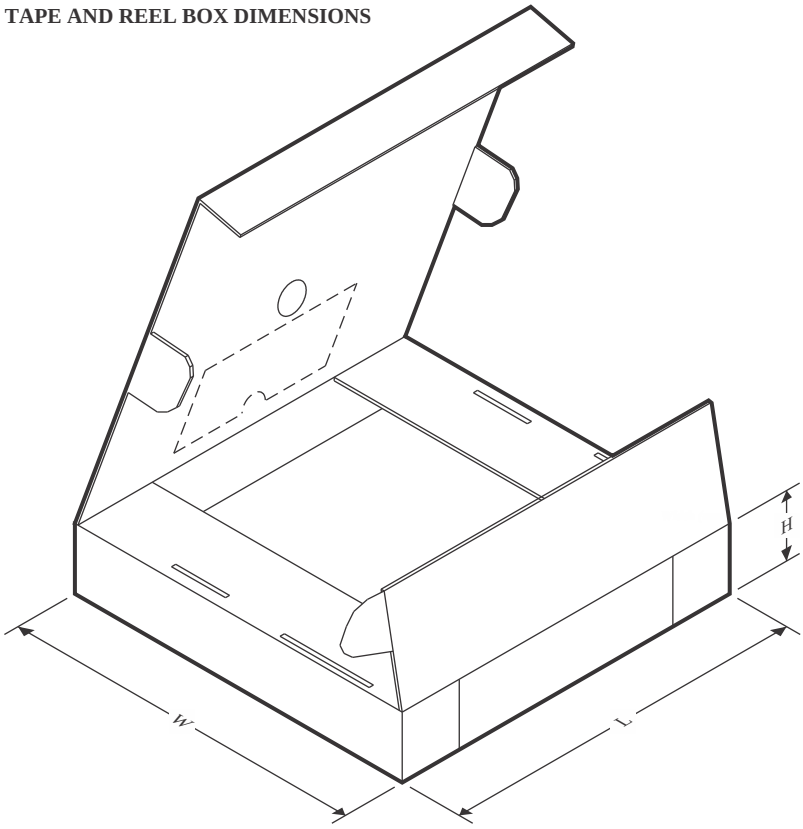
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS22960DCNR	SOT-23	DCN	8	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS22960DCNRG4	SOT-23	DCN	8	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
TPS22960RSER	UQFN	RSE	8	3000	180.0	8.4	1.7	1.7	0.7	4.0	8.0	Q2
TPS22960RSET	UQFN	RSE	8	250	180.0	8.4	1.6	1.6	0.66	4.0	8.0	Q2

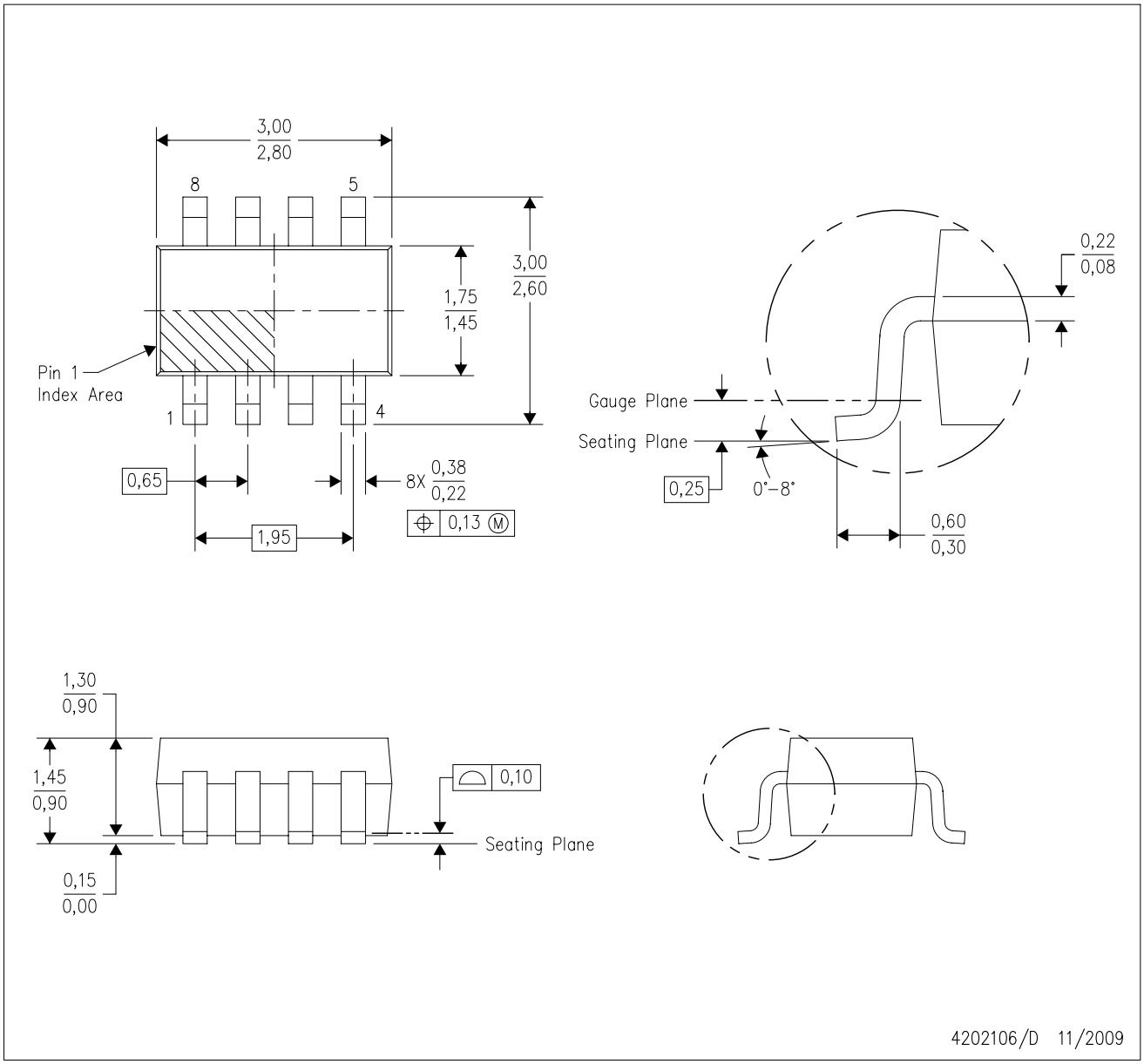
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

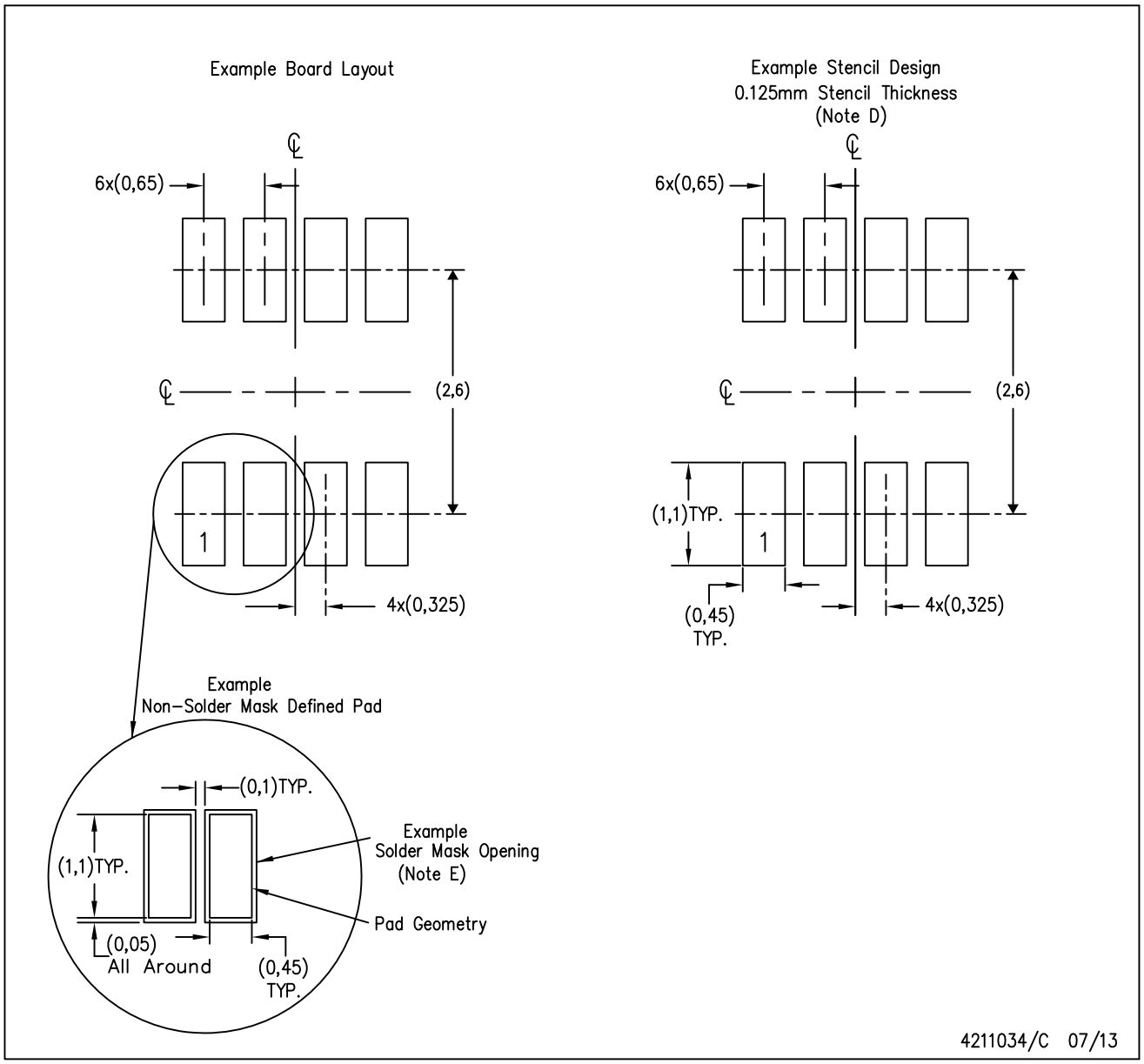
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS22960DCNR	SOT-23	DCN	8	3000	203.0	203.0	35.0
TPS22960DCNRG4	SOT-23	DCN	8	3000	183.0	183.0	20.0
TPS22960RSER	UQFN	RSE	8	3000	183.0	183.0	20.0
TPS22960RSET	UQFN	RSE	8	250	183.0	183.0	20.0

DCN (R–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE (DIE DOWN)

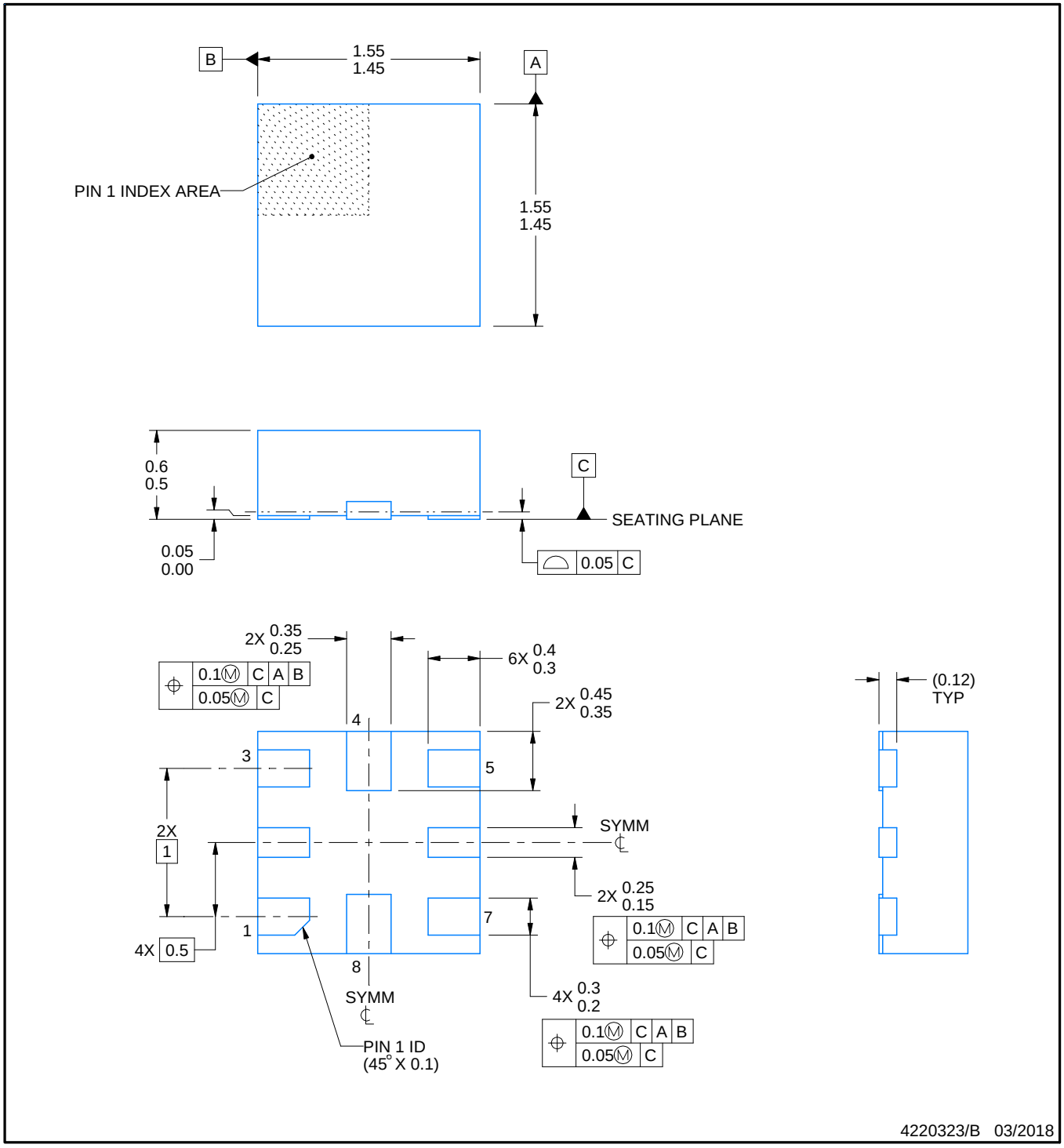


NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Package outline exclusive of metal burr & dambar protrusion/intrusion.
D. Package outline inclusive of solder plating.
E. A visual index feature must be located within the Pin 1 index area.
F. Falls within JEDEC MO–178 Variation BA.
G. Body dimensions do not include flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.

DCN (R-PDSO-G8) PLASTIC SMALL-OUTLINE PACKAGE (DIE DOWN)

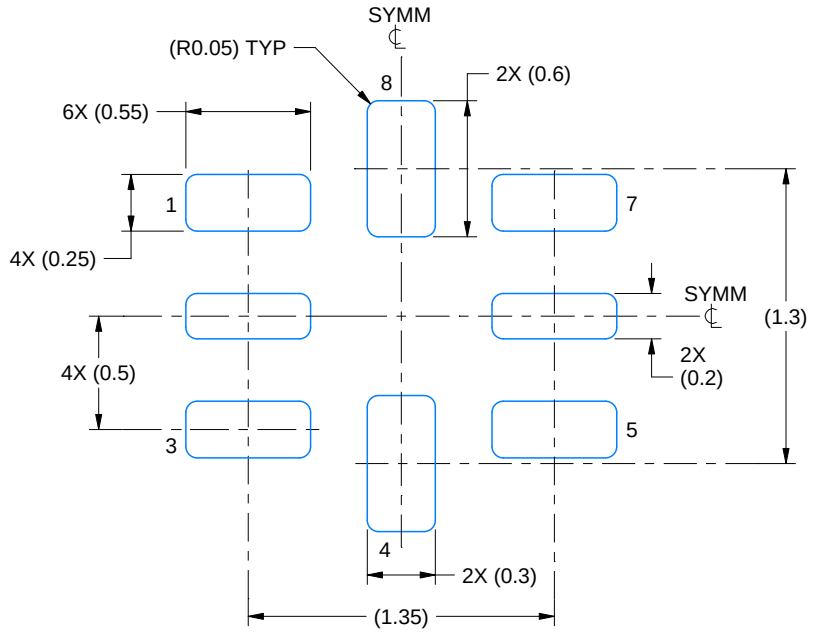


NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC-7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

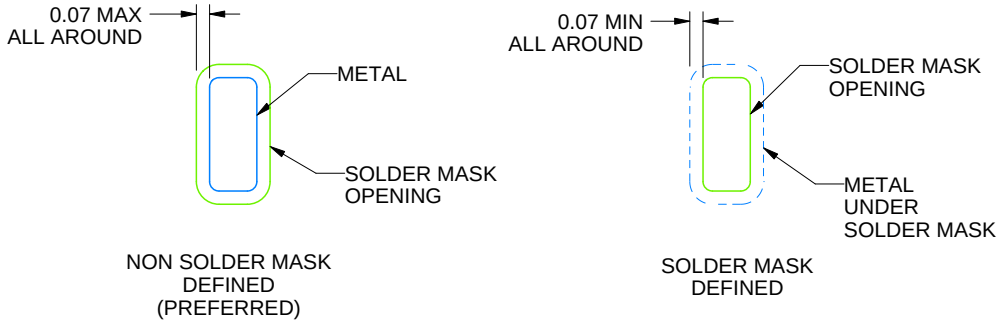


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE:30X

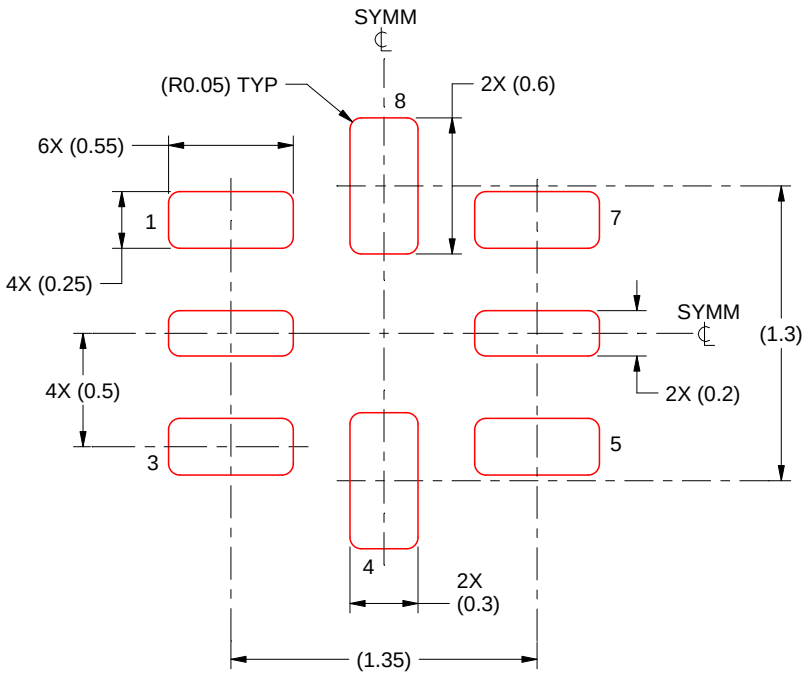


SOLDER MASK DETAILS
NOT TO SCALE

4220323/B 03/2018

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICKNESS
SCALE: 30X

4220323/B 03/2018

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月