

TPS23861 IEEE 802.3at クワッドポート Power-over-Ethernet PSE コントローラ

1 特長

- IEEE 802.3at クワッドポート PSE コントローラ
 - 自動検出、分類
 - 自動オンおよび接続解除
 - 効率的な 255mΩ センス抵抗
- ピン配置により 2 層 PCB が可能
- ケルビン電流検出
- 4 ポイント検出
- 自動モード (出荷時設定)
 - 外部端子の設定不要
 - 初期 I²C 通信不要
- 半自動モード (I²C コマンドで設定)
 - 継続的な識別と分類
 - IEEE 400ms T_{PON} 仕様に適合
 - 高速ポートシャットダウン入力
 - システムリファレンスコード <http://www.ti.com/product/TPS23861/toolssoftware> との併用で最適に動作
- I²C による制御およびモニタリング (オプション)
- 温度範囲: -40°C ~ 125°C
- TSSOP 28 パッケージ 9.8mm x 6.6mm

2 アプリケーション

- イーサネットスイッチおよびルータ
- 監視用 NVR および DVR
- レジデンシャルゲートウェイ
- PoE パススルーシステム
- ワイヤレスバックホール

3 説明

TPS23861 は使いやすくフレキシブルな、IEEE802.3at 準拠 PSE ソリューションです。出荷時の状態では、外部制御を必要とせずに 4 つの 802.3at ポートを自動的に管理します。

TPS23861 は、有効なシグネチャを持つ電力受電側 (PD) を自動検出し、分類に従い必要な電力を判定して電力を供給します。タイプ 2 の PD では、2 イベント分類がサポートされています。TPS23861 は DC 接続解除に対応しており、外付け FET 構成により、サイズ、効率、ソリューションコストの要件のバランスが取れた設計が可能です。

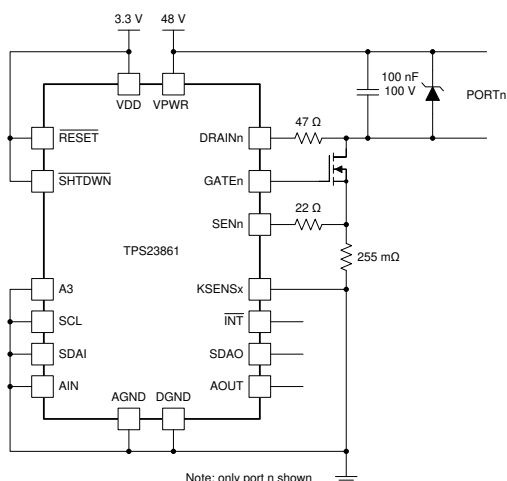
独自のピン配置により、I²C ピンと電源ピンの論理的なグループ化および、上下の明確な区分が図られており、2 層 PCB 設計が可能になります。これにより、クラス最高水準の放熱性能、ケルビン精度、低い製造コストが実現しています。

自動動作に加え、TPS23861 は、高精度な監視とインテリジェントなパワー マネージメントを行うために、I²C 制御による半自動モードにも対応しています。半自動モードと自動モードのどちらにおいても、400ms の T_{PON} 仕様への準拠が確保されます。

製品情報⁽¹⁾

部品番号	パッケージ	本体サイズ
TPS23861	TSSOP (28)	9.80mm x 6.60mm

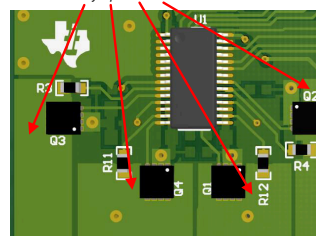
- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図

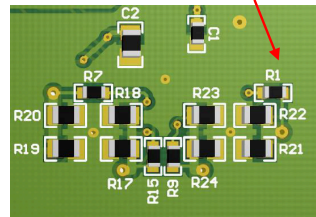
TOP CONDUCTORS

FETs Uniformly Spread Over Surface



BOTTOM GND PLANE

Continuous, Robust Backside GND Plane



目次

1 特長	1	6.5 レジスタ マップ – I ² C アドレス指定可能.....	46
2 アプリケーション	1	7 アプリケーションと実装	90
3 説明	1	7.1 PoE の概要.....	90
4 ピン構成および機能	3	7.2 使用上の注意.....	90
5 仕様	5	7.3 代表的なアプリケーション.....	92
5.1 絶対最大定格.....	5	7.4 システム例.....	98
5.2 ESD 定格.....	5	7.5 電源に関する推奨事項.....	101
5.3 推奨動作条件.....	5	7.6 レイアウト.....	102
5.4 熱に関する情報.....	6	8 デバイスおよびドキュメントのサポート	104
5.5 電気的特性.....	6	8.1 ドキュメントのサポート.....	104
5.6 タイミング要件.....	10	8.2 ドキュメントの更新通知を受け取る方法.....	104
5.7 スイッチング特性.....	12	8.3 サポート・リソース.....	104
5.8 代表的特性.....	16	8.4 商標.....	104
6 詳細説明	20	8.5 静電気放電に関する注意事項.....	104
6.1 概要.....	20	8.6 用語集.....	104
6.2 機能ブロック図.....	24	9 Revision History	104
6.3 機能説明.....	24	10 メカニカル、パッケージ、および注文情報	105
6.4 デバイスの機能モード.....	40		

4 ピン構成および機能

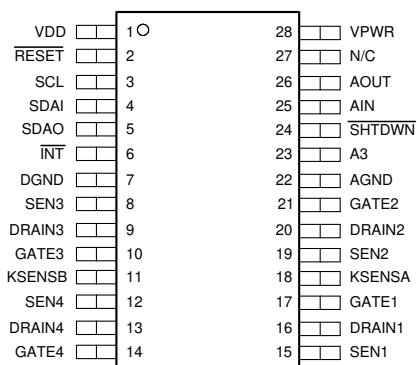


図 4-1. PW パッケージ 28 ピン TSSOP 上面図

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
A3	23	I	I ² C A3 アドレスライン。VDD への内部プルアップ。
AGND	22	P	アナログ グランド。
AIN	25	I	I ² C アドレス プログラミング入力ライン。このピンは内部で VDD にプルアップされています。
AOUT	26	O	I ² C アドレス プログラミングライン。この出力はオープンドレインです。
DGND	7	P	デジタル グランド。
DRAIN3	9	I	ポート 1 ~ 4 出力電圧モニタ。47Ω の抵抗を介して出力ポートに接続します。
DRAIN4	13	I	
DRAIN1	16	I	
DRAIN2	20	I	
GATE3	10	O	ポート 1 ~ 4 のゲートドライブ出力。
GATE4	14	O	
GATE1	17	O	
GATE2	21	O	
INT	6	O	割り込み。割り込みレジスタのビットがアサートされると、このピンは Low にアサートされます。このピンは、I ² C トランザクション間で更新されます。この出力はオープンドレインです。
KSENSA	18	I	SEN1 および SEN2 のケルビン ポイント接続。
KSNSB	11	I	SEN3 および SEN4 のケルビン ポイント接続。
N/C	27	x	規制上の電圧間隔への適合を実現するために使用されます。このピンはオープンのままにしてください。
RESET	2	I	リセット。Low にアサートすると、デバイスはリセットされます。このピンは内部で VDD にプルアップされています。
SCL	3	I	I ² C バス用シリアル クロック入力。
SDAI	4	I	I ² C バス用シリアル データ入力。このピンは、非絶縁型システムまたは双方向 I ² C アイソレータを搭載したシステムの SDAO に接続できます。
SDAO	5	O	I ² C バス用のシリアル データ出力。このピンは、非絶縁型システムまたは双方向 I ² C アイソレータを搭載したシステムの SDAI に接続できます。この出力はオープンドレインです。
SEN3	8	I	ポート 1 ~ 4 の電流センス入力。22Ω 抵抗を介して電流センス抵抗に接続します。
SEN4	12	I	
SEN1	15	I	
SEN2	19	I	
SHTDWN	24	I	低優先度ポートをシャットダウンします。

表 4-1. ピンの機能 (続き)

ピン		I/O	説明
名称	番号		
VDD	1	P	デジタル 3.3V 電源。0.1 μ F のコンデンサを使用して、VDD を DGND にバイパスします。
VPWR	28	P	アナログ 48V 電源。0.1 μ F のコンデンサを使用して、VPWR を AGND にバイパスします。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内、電圧は DGND と AGND を接続した点を基準とする (特に記載のない限り) ⁽¹⁾

		最小値	最大値	単位
入力電圧	VPWR	-0.3	70	V
入力電圧	VDD	-0.3	4	V
電圧	AGND	-0.3	0.3	V
電圧	SDAI、SDAO ⁽³⁾ 、SCL、AIN、AOUT、SHTDWN、RESET、INT ⁻ 、A3 ⁽³⁾	-0.3	4	V
出力電圧	GATE1-4 ⁽²⁾⁽⁴⁾	-0.3	13	V
入力電圧	SEN1-4 ⁽⁶⁾ 、KSENSA、KSENSB	-0.3	3	V
電圧	DRAIN1-4 ⁽³⁾⁽⁵⁾	-0.3	70	V
電圧	N/C ピン	0	70	V
シンク電流	INT ⁻ 、SDAO		20	mA
リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間			260	°C
保管温度範囲、T _{stg}		-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用了場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) これらは内部で駆動するピンであるため、外部から電圧を印加することは想定していません。
- (3) 外部電圧源に直接接続しないでください。
- (4) ドレインとゲートが短絡した場合、連鎖的損傷を防止するために、GATE ピンが内部で恒久的に切り離されることがあります。他の 3 つのポートは動作を継続します。
- (5) 最大 80V までの短い過渡電圧 (μs の範囲) が許容されます。
- (6) SEN1 ~ SEN4 は、MOSFET が短絡した場合のフォルト伝搬を防止するために、15V の過渡電圧に耐える設計です。

5.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±500	V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度で、電圧は DGND を基準とする (特に記載のない限り)

		最小値	公称値	最大値	単位
V _{VDD}		3.0	3.3	3.6	V
V _{VPWR}		44	48	57	V
	DRAIN1-4 の電圧スルー レート			1	V/μs
T _J	動作時接合部温度	-40		125	°C
T _A	自由空気での動作温度	-40		85	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS23861	単位
		PW (TSSOP)	
		28 ピン	
R _{θJA}	接合部から周囲への熱抵抗	70.9	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	16.2	°C/W
R _{θJB}	接合部から基板への熱抵抗	28.2	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.6	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	27.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

−40 ≤ T_J ≤ +125°C、V_{VDD} = 3.3V、V_{VPWR} = 48V、V_{DGND} = V_{AGND}。DGND、KSENSA、KSENSB は AGND に接続し、すべての出力は無負荷とします。PoEPn = 0。正の電流はピンに流れ込む方向とします。R_S = 0.255Ω、KSENSA (SEN1 または SEN2) または KSENSB (SEN3 または SEN4) に接続、R_{SENS} = 22Ω、R_{DRAIN} = 47Ω。代表値は 25°C での値です。特に記載のない限り、すべての電圧は AGND を基準にしており、動作レジスタにはデフォルト値を設定します。

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電源 VPWR						
I _{VPWR}	VPWR 消費電流	V _{VPWR} = 57V	3.5	7		mA
V _{UVLOPW_F}	VPWR UVLO 立ち下がりスレッシュヨ ルド	内部発振器が動作を停止	14.5		17.5	V
V _{PUV_F}	VPWR 低電圧立ち下がりスレッシュヨ ルド	ポートのアサート解除用の V _{P_{UV}}	25	26.5	28	V
V _{UVLOPW_R}	VPWR UVLO 立ち上がりスレッシュヨ ルド		15.5		18.5	V
入力電源 VDD						
I _{VDD}	VDD 消費電流		5	6		mA
V _{UVDD_F}	VDD UVLO 立ち下がりスレッシュヨ ルド	ポートをオフにする場合	2	2.2	2.4	V
V _{UVDD_R}	VDD UVLO 立ち上がりスレッシュヨ ルド		2.4	2.6	2.8	V
V _{UVDD_HYS}	ヒステリシス VDD UVLO ⁽¹⁾		0.4			V
検出						
I _{DET}	検出電流	最初の検出点、 V _{VPWR} − V _{DRAINn} = 0V	145	160	190	μA
		2 番目の検出ポイント、 V _{VPWR} − V _{DRAINn} = 0V	235	270	300	μA
		大電流検出ポイント、 V _{VPWR} − V _{DRAINn} = 0V	490	540	585	μA
ΔI _{DET}	2 回目 - 1 回目の検出電流	V _{VPWR} − V _{DRAINn} = 0V の場合	98	110	118	μA
V _{detect}	オープン回路検出電圧	V _{VPWR} − V _{DRAINn}	17.5	19	22	V
R _{REJ_LOW}	抵抗除去 low 範囲		0.85		15	kΩ
R _{REJ_HI}	除去抵抗高範囲		33		50	kΩ
R _{ACCEPT}	許容抵抗範囲		19	25	26.5	kΩ
R _{SHORT}	短絡ポート スレッシュヨ ルド				350	Ω
R _{OPEN}	オープン ポート スレッシュヨ ルド		55			kΩ
分類						
V _{CLASS}	分類電圧	V _{VPWR} − V _{DRAINn} 、V _{SENn} ≥ 0mV、 I _{port} ≥ 180μA、	15.5	18.5	20.5	V

5.5 電気的特性 (続き)

$-40 \leq T_J \leq +125^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 、 $V_{PWR} = 48\text{V}$ 、 $V_{DGND} = V_{AGND}$ 。DGND、KSENSA、KSENSB は AGND に接続し、すべての出力は無負荷とします。PoEPn = 0。正の電流はピンに流れ込む方向とします。 $R_S = 0.255\Omega$ 、KSENSA (SEN1 または SEN2) または KSENSB (SEN3 または SEN4) に接続、 $R_{SENS} = 22\Omega$ 、 $R_{DRAIN} = 47\Omega$ 。代表値は 25°C での値です。特に記載のない限り、すべての電圧は AGND を基準にしており、動作レジスタにはデフォルト値を設定します。

パラメータ	テスト条件	最小値	標準値	最大値	単位
I_{CLASS_Lim} 分類電流制限	$V_{PWR} - V_{DRAINn} = 0\text{V}$		70	90	mA
I_{CLASS_TH} 分類スレッショルド電流	クラス 0-1	5		8	mA
	クラス 1-2	13		16	mA
	クラス 2-3	21		25	mA
	クラス 3-4	31		35	mA
	クラス 4 - 過電流保護	45		51	mA
V_{MARK} マーク電圧	$4\text{mA} \geq I_{port} \geq 180\mu\text{A}$ 、 $V_{PWR} - V_{DRAINn}$	7		10	V
I_{MARK_Lim} マーク シンク電流制限	$V_{PWR} - V_{DRAINn} = 0\text{V}$	10	70	90	mA
GATE					
V_{GOH} ゲート駆動電圧	V_{GATEn} 、 $I_{GATE} = -1\mu\text{A}$	10		12.5	V
I_{GO-} パワー オンリセット、シャットダウン検出、またはチャネル ターンオフ コマンドによるゲート シンク電流	$V_{GATEn} = 5\text{V}$	80	100		mA
$I_{GO\ short-}$ ポート短絡時のゲート シンク電流	$V_{GATEn} = 5\text{V}$ 、 $V_{SENn} \geq V_{SHORT}$ (または $2x$ モードの場合は $V_{SHORT2x}$)	80	100	150	mA
I_{GO+} ピーク ソース電流	$V_{GATEn} = 0\text{V}$ 、 $I_{GATE} = 0$	39	50	63	μA
	$I_{GATE} = 1$	18	25	34	μA
ドレイン入力					
V_{PGT} パワー グッド スレッショルド	V_{DRAINn} で測定	1.0	2.13	3	V
V_{SHT} 短絡 FET スレッショルド	V_{DRAINn} で測定	4	6	8	V
R_{DRAIN} DRAINn と VPWR の間の抵抗	検出中またはチャネルがオンである間を除く任意の動作モード (デバイスのリセット状態を含む)	80	100	190	k Ω
I_{DRAIN} DRAINn ピンのバイアス電流	$V_{DRAINn} = 48\text{V}$ 、ポートオフ (検出なし)			1	μA
	$V_{PWR} - V_{DRAINn} = 30\text{V}$ 、ポート オン		75	100	μA
A/D コンバータ					
T_{CONV} 変換時間、A/D #1 から 4	全範囲、各ポート電流	0.65	0.8	1	ms
$A_{DCBW}^{(1)}$ ADC 積分帯域幅 (-3db) ⁽¹⁾			320		Hz
T_{INT_CUR} 積分 (平均化) 時間、電流	各ポート、ポートのオン電流	80	100	125	ms
T_{INT_DET} 積分 (平均化) 時間、検出 ⁽¹⁾	MAINS ビット=0			20	ms
パワード ポートの電圧変換のスケールファクタと精度	$V_{PWR} - V_{DRAINn} = 57\text{V}$ 、 $0^\circ\text{C} \sim 125^\circ\text{C}$	15175	15565	15955	カウント
	$V_{PWR} - V_{DRAINn} = 44\text{V}$ 、 $0^\circ\text{C} \sim 125^\circ\text{C}$	11713	12015	12316	カウント
	$V_{PWR} - V_{DRAINn} = 57\text{V}$ 、 $-40^\circ\text{C} \sim 125^\circ\text{C}$	15020	15565	16110	カウント
	$V_{PWR} - V_{DRAINn} = 44\text{V}$ 、 $-40^\circ\text{C} \sim 125^\circ\text{C}$	11594	12015	12436	カウント
パワード ポートの電流変換のスケールファクタと精度	ポート電流 = 770mA の場合	12300	12616	12932	カウント
	ポート電流 = 7.5mA の場合	90	123	156	カウント

5.5 電気的特性 (続き)

$-40 \leq T_J \leq +125^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 、 $V_{PWR} = 48\text{V}$ 、 $V_{DGND} = V_{AGND}$ 。DGND、KSENSA、KSENSB は AGND に接続し、すべての出力は無負荷とします。PoEPn = 0。正の電流はピンに流れ込む方向とします。 $R_S = 0.255\Omega$ 、KSENSA (SEN1 または SEN2) または KSENSB (SEN3 または SEN4) に接続、 $R_{SENS} = 22\Omega$ 、 $R_{DRAIN} = 47\Omega$ 。代表値は 25°C での値です。特に記載のない限り、すべての電圧は AGND を基準にしており、動作レジスタにはデフォルト値を設定します。

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力電圧変換のスケール ファクタと精度	$V_{PWR} = 57\text{V}$ の場合	15175	15565	15955	カウント
	$V_{PWR} = 44\text{V}$ の場合	11713	12015	12316	カウント
V_{OS} 電源ポートの電圧変換オフセット	$V_{PWR} - V_{DRAINn} = 0.3\text{V}$ の場合	0		600	mV
$\delta V/V_{PORT}$ 電圧読み取り精度	44V ~ 57V で $-40^\circ\text{C} \sim 125^\circ\text{C}$	-3.5%		3.5%	
	44V ~ 57V で $0^\circ\text{C} \sim 125^\circ\text{C}$	-2.5%		2.5%	
$\delta I/I_{port}$ 電流読み取り精度	50mA ~ 770mA	-2.5%		2.5%	
ポート電流センス					
V_{CUT} I_{CUT} 制限	$V_{DRAINn} = 0\text{V}$ 、 I_{CUT} ポート n[2:0] = 000、デフォルト	90.60	95.37	100.14	mV
	$V_{DRAINn} = 0\text{V}$ 、 I_{CUT} ポート n[2:0] = 001	26.65	28.05	29.45	mV
	$V_{DRAINn} = 0\text{V}$ 、 I_{CUT} ポート n[2:0] = 010	49.42	52.02	54.62	mV
	$V_{DRAINn} = 0\text{V}$ 、 I_{CUT} ポート n[2:0] = 110	156.27	164.5	172.72	mV
	$V_{DRAINn} = 0\text{V}$ 、 I_{CUT} ポート n[2:0] = 111	222.87	234.6	246.33	mV
$\delta I_{CUT}/I_{CUT}$ I_{CUT} の許容誤差		-5%		5%	
V_{INRUSH} I_{Inrush} 制限	ポートがオンのとき、 $V_{PWR} - V_{DRAINn} = 1\text{V}$	10	23	31	mV
	$V_{PWR} - V_{DRAINn} = 10\text{V}$	20	33	46	mV
	$V_{PWR} - V_{DRAINn} = 30\text{V}$	102		114.7	mV
	$V_{PWR} - V_{DRAINn} = 55\text{V}$	102		114.7	mV
V_{LIM} PoEPn = 0 での ILIM 制限	$V_{DRAINn} = 1\text{V}$	102		114.7	mV
	$V_{DRAINn} = 13\text{V}$	102		114.7	mV
	$V_{DRAINn} = 30\text{V}$	15	23	31	mV
	$V_{DRAINn} = 48\text{V}$	15	23	31	mV
V_{LIM2X} PoEPn = 1 での ILIM 制限	$V_{DRAINn} = 1\text{V}$	260	270.3	285	mV
	$V_{DRAINn} = 10\text{V}$	127	140	153	mV
	$V_{DRAINn} = 30\text{V}$	15	23	31	mV
	$V_{DRAINn} = 48\text{V}$	15	23	31	mV
V_{SHORT} PoEPn = 0 での I_{SHORT} スレッショルド	ゲートのスレッショルドは、パルスを加してから $2\mu\text{s}$ 後に 1V 未満にする必要があります	140		183	mV
$V_{SHORT2X}$ PoEPn = 1 での I_{SHORT} スレッショルド		357		408	mV
I_{BIAS} センス ピンのバイアス電流	ポートがオンまたはクラス中にオンになります	-2.25		0	μA
$V_{I(min)}$ 接続解除スレッショルド	DCTHn = 00、デフォルト	1.275		2.55	mV
	DCTHn = 01	2.55		5.1	mV
	DCTHn = 10	5.1		10.2	mV
	DCTHn = 11	8.5		17	mV
$V_{DD} = 3.3\text{V}$ でのデジタル インターフェイス					

5.5 電気的特性 (続き)

$-40 \leq T_J \leq +125^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 、 $V_{PWR} = 48\text{V}$ 、 $V_{DGND} = V_{AGND}$ 。DGND、KSENSA、KSENSB は AGND に接続し、すべての出力は無負荷とします。PoEPn = 0。正の電流はピンに流れ込む方向とします。 $R_S = 0.255\Omega$ 、KSENSA (SEN1 または SEN2) または KSENSB (SEN3 または SEN4) に接続、 $R_{SENS} = 22\Omega$ 、 $R_{DRAIN} = 47\Omega$ 。代表値は 25°C での値です。特に記載のない限り、すべての電圧は AGND を基準にしており、動作レジスタにはデフォルト値を設定します。

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{IH} デジタル入力 High		2.1			V
V_{IL} デジタル入力 Low				0.9	V
V_{IT_HYS} 入力電圧ヒステリシス (SCL、SDAI、AIN、A3、RESET、SHTDWN)		0.17			V
V_{OL} デジタル出力 Low、SDAO	$I_{OL} = 9\text{mA}$			0.4	V
デジタル出力 Low、 $\overline{INT}$	$I_{OL} = 3\text{mA}$			0.4	V
R_{pullup} VDD へのプルアップ抵抗	$\overline{RESET}$ 、AIN、A3、SHTDWN	30	50	80	k Ω
AOUT 出力					
V_{OL_AOUT} AOUT 出力の Low 電圧	スレーブ アドレス プログラミング時、 $I_{AOUT} = 1\text{mA}$			0.7	V
EEPROM (I²C スレーブ アドレス)					
n_{EE_cyc} EEPROM の耐久性	$40\text{V} < V_{PWR} < 57\text{V}$	25			サイクル
t_{WC} 書き込みサイクル時間 (バイトまたはページ)	$40\text{V} < V_{PWR} < 57\text{V}$		10	100	ms
サーマル シャットダウン					
T_{SD} サーマル シャットダウン温度	温度上昇	143	154	161	$^\circ\text{C}$
ヒステリシス (1)			8		$^\circ\text{C}$

(1) これらのパラメータは参考用にのみ提供されており、テキサス インストルメンツの製品保証において、テキサス インストルメンツが発行する仕様の一部に含まれないものとします。

5.6 タイミング要件

$-40 \leq T_J \leq +125^\circ\text{C}$, $V_{DD} = 3.3\text{V}$, $V_{VPR} = 48\text{V}$, $V_{DGN} = V_{AGND}$. DGND、KSENSA、KSENSB は AGND に接続し、すべての出力は無負荷とします。PoEPn = 0。正の電流はピンに流れ込む方向とします。 $R_S = 0.255\Omega$, KSENSA (SEN1 または SEN2) または KSENSB (SEN3 または SEN4) に接続、 $R_{SENS} = 22\Omega$, $R_{DRAIN} = 47\Omega$ 。代表値は 25°C での値です。特に記載のない限り、すべての電圧は AGND を基準にしており、動作レジスタにはデフォルト値を設定します。

		最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数	10		400	kHz
t_{LOW}	SCL クロックの LOW 期間	1.3			μs
t_{HIGH}	SCL クロックの HIGH 期間	0.6			μs
t_{fo}	SDAO 出力立ち下がり時間、SDAO、2.3 → 0.8V、 $C_b = 10\text{pF}$, $10\text{k}\Omega$ のプルアップで 3.3V に	21		250	ns
	SDAO 出力立ち下がり時間、SDAO、2.3V → 0.8V、 $C_b = 400\text{pF}$, $1.3\text{k}\Omega$ のプルアップで 3.3V に	60		250	ns
C_{I2C}	SCL 静電容量			10	pF
C_{I2C_SDA}	SDAI、SDAO 静電容量			6	pF
$t_{SU,DATW}$	データ セットアップ時間 (書き込み動作)	100			ns
$t_{SU,DATR}$	データ セットアップ時間 (読み取り動作)、SDAO、2.3V → 0.8V、 $C_b = 400\text{pF}$, $1.3\text{k}\Omega$ のプルアップで 3.3V に	600			ns
$t_{HD,DATW}$	データ ホールド時間 (書き込み動作)	0			ns
$t_{HD,DATR}$	データ ホールド時間 (読み取り動作)	150		600	ns
t_{rSDA}	SDAI の入力立ち下がり時間、2.3V → 0.8V	20		250	ns
t_{fSDA}	SDAI の入力立ち上がり時間、0.8V → 2.3V	20		300	ns
t_r	SCL の入力立ち上がり時間、0.8V → 2.3V	20		300	ns
t_f	SCL の入力立ち下がり時間、2.3V → 0.8V	20		200	ns
t_{BUF}	STOP 条件と START 条件の間のバス開放時間	1.3			μs
$t_{HD,STA}$	START 条件を繰り返した後のホールド時間。	0.6			μs
$t_{SU,STA}$	反復 START 条件のセットアップ時間	0.6			μs
$t_{SU,STO}$	STOP 条件のセットアップ時間	0.6			μs
$t_{FLT_INT}^{(1)}$	フォルトから $\overline{INT}$ アサートまで、フォルトに応答として割り込みを内部で登録するまでの時間		150		μs
t_{ARA_INT}	ARA から $\overline{INT}$ ネグートまでの時間			500	ns
t_{DG}	抑制されたスパイク パルス幅、SDAI、SCL	50			ns
t_{RDG}	$\overline{RESET}$ 入力の最小パルス幅 (デグリッチ時間)			5	μs
t_{WDT_I2C}	I ² C ウォッチドッグトリップ遅延	1.1	2.2	3.3	s
t_{STP_AOUT}	I ² C アドレス設定時の STOP ビットから A _{OUT} が High になるまでの遅延			1.25	μs

(1) これらのパラメータは参考用에만提供されており、テキサス インスツルメンツの製品保証において、テキサス インスツルメンツが発行する仕様の一部に含まれないものとします。

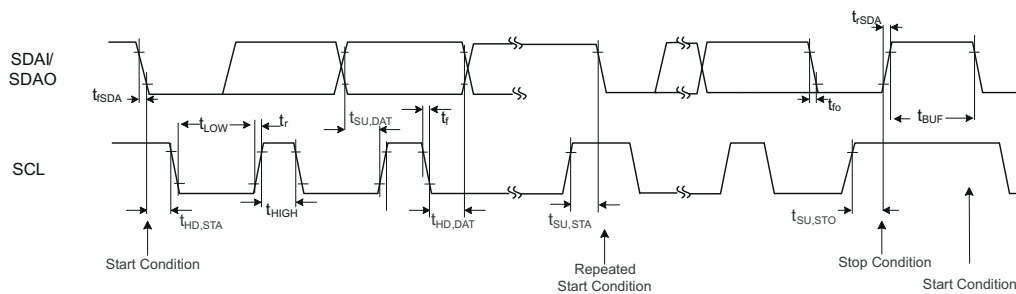


図 5-1. I²C タイミング

5.7 スイッチング特性

$-40 \leq T_J \leq +125^\circ\text{C}$, $V_{DD} = 3.3\text{V}$, $V_{VPWR} = 48\text{V}$, $V_{DGND} = V_{AGND}$. DGND、KSENSA、KSENSB は AGND に接続し、すべての出力は無負荷とします。PoEPn = 0。正の電流はピンに流れ込む方向とします。 $R_S = 0.255\Omega$ 、KSENSA (SEN1 または SEN2) または KSENSB (SEN3 または SEN4) に接続、 $R_{SENS} = 22\Omega$ 、 $R_{DRAIN} = 47\Omega$ 。代表値は 25°C での値です。特に記載のない限り、すべての電圧は AGND を基準にしており、動作レジスタにはデフォルト値を設定します。

パラメータ	テスト条件	最小値	標準値	最大値	単位
δI_{fault} 電流フォルト付き I_{PORT} のデューティサイクル		5.5%		6.7%	
$t_{\text{OVL D}}$ I_{CUT} 制限時間	TICUT = 00、出荷時のデフォルト設定	50		70	ms
	TICUT = 01	25		35	ms
	TICUT = 10	100		140	ms
	TICUT = 11	200		280	ms
t_{LIM} ILIM 時間制限	POEPn = 0、出荷時のデフォルト設定	50		70	ms
	POEPn = 1、TLIM = 00	50		70	ms
	POEPn = 1、TLIM = 01	28.4	30	34	ms
	POEPn = 1、TLIM = 10	14.7	15.5	17	ms
	POEPn = 1、TLIM = 11	9.025		11.5	ms
t_{START} ポート起動時の最大電流制限期間	TSTART = 00、出荷時のデフォルト設定	50		70	ms
	TSTART = 01	25		35	ms
	TSTART = 10	100		140	ms
t_{DET} 4 ポイント検出期間	検出を完了する時間	275		500	ms
$t_{\text{DET_BOFF}}$ 検出試行間の待ち時間	$V_{VPWR} - V_{DRAINn} > 2.5\text{V}$	300	400	500	ms
	$V_{VPWR} - V_{DRAINn} < 2.5\text{V}$	0		150	ms
t_{CLE} 分類期間	1st および 2nd のクラス イベント、自動モード、半自動モード、検出完了後から	6.5		13	ms
t_{pdc} 分類期間	検出完了後の 1 イベント物理層クラスのタイミング、自動モードおよび半自動モード	6.5		13	ms
	手動モード、分類開始から	6.5		14	ms
t_{ME} マーク期間	1st および 2nd のマーク イベント、クラス 4 完了から	6		12	ms
$t_{\text{p(on)}}$ ポート起動遅延	手動モード、ポートのターンオン コマンドからポートの起動完了まで			4	ms
t_{ed} フォルト遅延時間。フォルト状態が原因での電源遮断後、次にポートへの電源供給を試みるまでの遅延	ICUT、ILIM、またはスタート フォルト、自動モード、半自動モード、CLDN = 0X、出荷時のデフォルト設定	0.8	1	1.2	s
	ICUT、ILIM、またはスタート フォルト、自動モード、半自動モード、CLDN = 10	1.6	2	2.4	s
	ICUT、ILIM、またはスタート フォルト、自動モード、半自動モード、CLDN = 11	3.2	4	4.8	s
t_{MPDO} PD 電力シグネチャドロップアウト時間制限を維持	TDIS = 00、出荷時のデフォルト設定	300		400	ms
	TDIS = 01	75		100	ms
	TDIS = 10	150		200	ms
	TDIS = 11	600		800	ms
$t_{\text{D_off_SHDWN}}$ SHTDWN 入力によるゲート ターンオフ時間	SHTDWN から、 $V_{\text{GATE}n} < 1\text{V}$ 、 $V_{\text{SEN}n} = 0\text{V}$ になるまで	1		5	μs
$t_{\text{P_off_CMD}}$ ポート オフ コマンドによるゲート ターンオフ時間	ポート オフ コマンドから、 $V_{\text{GATE}n} < 1\text{V}$ 、 $V_{\text{SEN}n} = 0\text{V}$ まで			900	μs

5.7 スイッチング特性 (続き)

$-40 \leq T_J \leq +125^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 、 $V_{PWR} = 48\text{V}$ 、 $V_{DGND} = V_{AGND}$ 。DGND、KSENSA、KSENSB は AGND に接続し、すべての出力は無負荷とします。PoEPn = 0。正の電流はピンに流れ込む方向とします。 $R_S = 0.255\Omega$ 、KSENSA (SEN1 または SEN2) または KSENSB (SEN3 または SEN4) に接続、 $R_{SENS} = 22\Omega$ 、 $R_{DRAIN} = 47\Omega$ 。代表値は 25°C での値です。特に記載のない限り、すべての電圧は AGND を基準にしており、動作レジスタにはデフォルト値を設定します。

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{P_off_RST}$ $\overline{RESET}$ ピンによるゲート ターンオフ 時間	$\overline{RESET}$ が Low になってから、 $V_{GATEn} < 1\text{V}$ 、 $V_{SENn} = 0\text{V}$ になるまで	1		5	μs
$t_{D_off_SEN}$ $SENn$ 入力からのゲート ターンオフ 時間	POEPn = 0、 $V_{DRAINn} = 1\text{V}$ 。 V_{SENn} をパルス駆動し、 0.425V にしたとき			0.9	μs
	POEPn = 1、 $V_{DRAINn} = 1\text{V}$ 。 V_{SENn} をパルス駆動し、 0.62V にしたとき			0.9	μs
t_{POR} デバイス パワーオンリセット遅延				23	ms
t_{RESET} $\overline{RESET}$ ピンによるリセット時間		1		5	μs

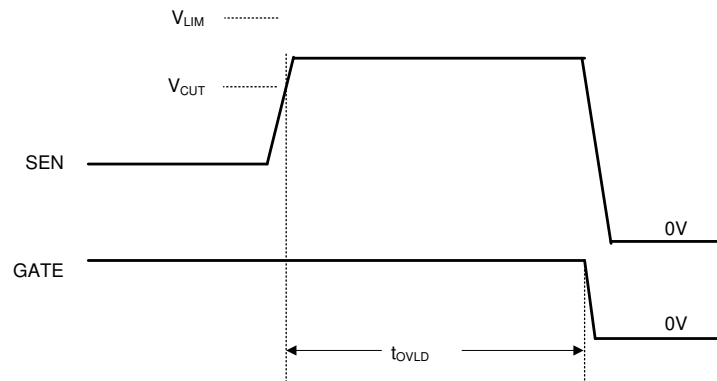


図 5-2. 過電流フォルト タイミング

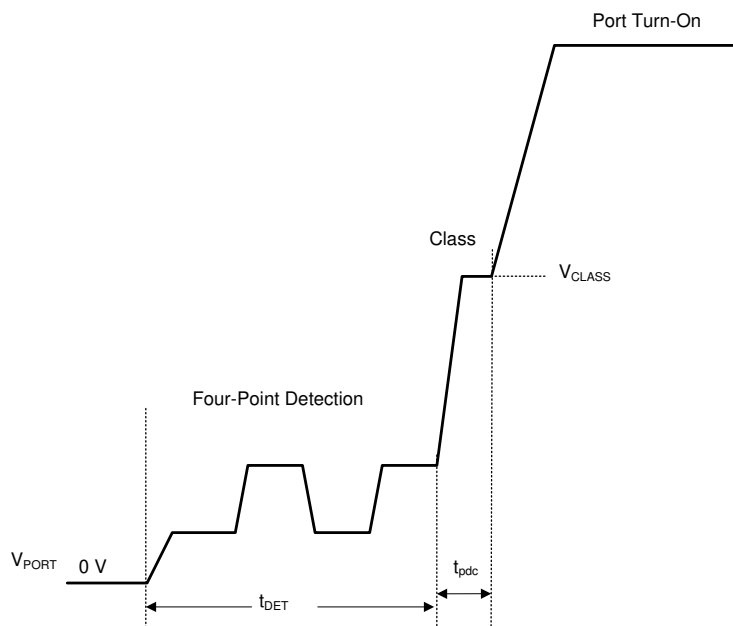


図 5-3. 検出、1 イベント分類、起動

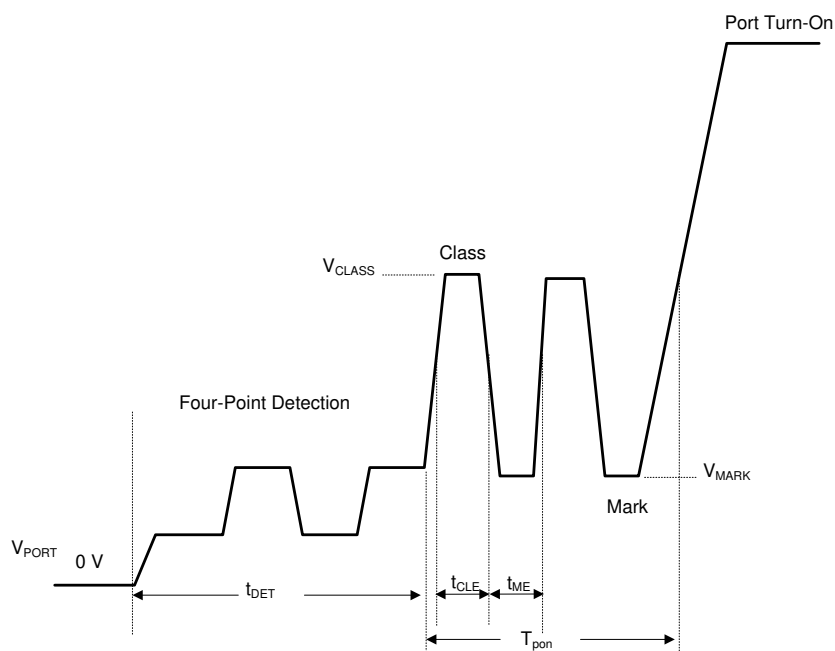
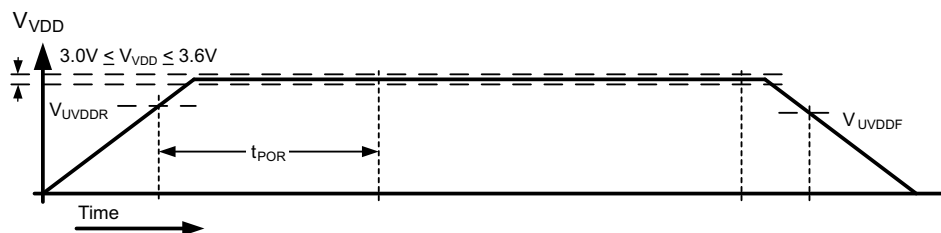
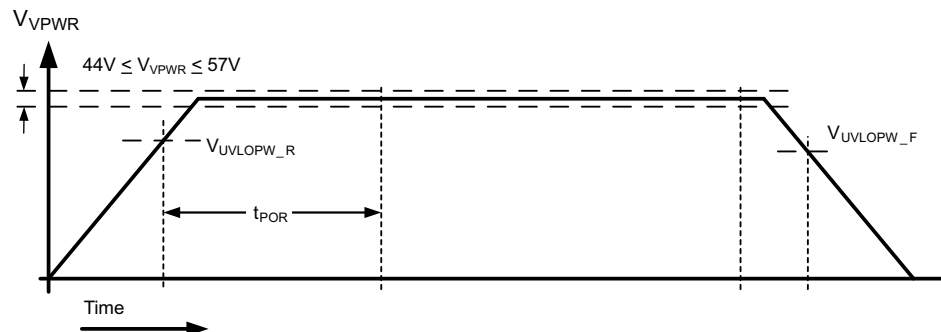


図 5-4. 検出、2 イベント分類、起動



詳細については、アプリケーション ノート『[TPS23861 起動時の検討事項](#)』、[SLVA723](#) を参照してください。

図 5-5. VDD パワーオン リセット



詳細については、アプリケーション ノート『[TPS23861 起動時の検討事項](#)』、[SLVA723](#) を参照してください。

図 5-6. VPWR パワーオン リセット

5.8 代表的特性

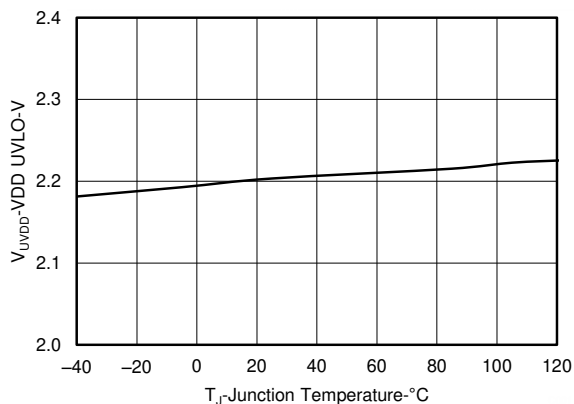


図 5-7. VDD UVLO と接合部温度との関係

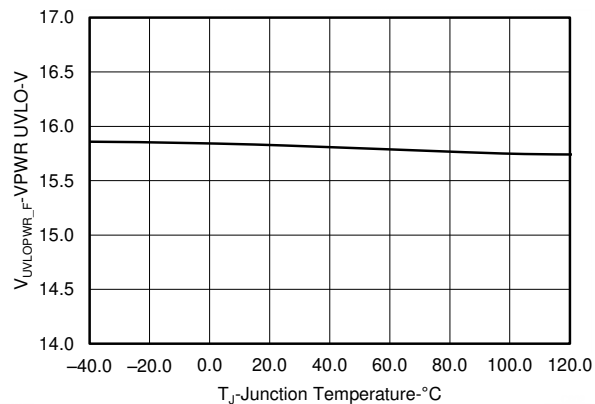


図 5-8. VPWR UVLO と接合部温度との関係

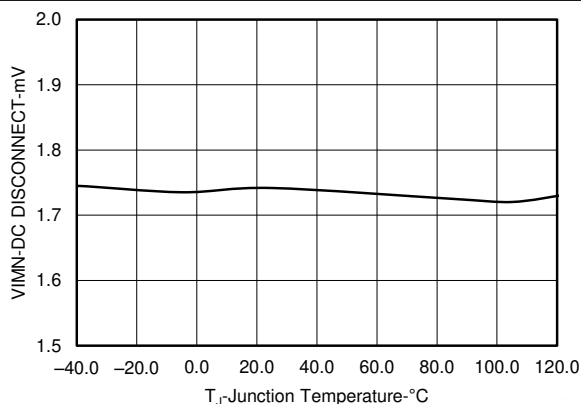


図 5-9. DC 接続解除と接合部温度との関係

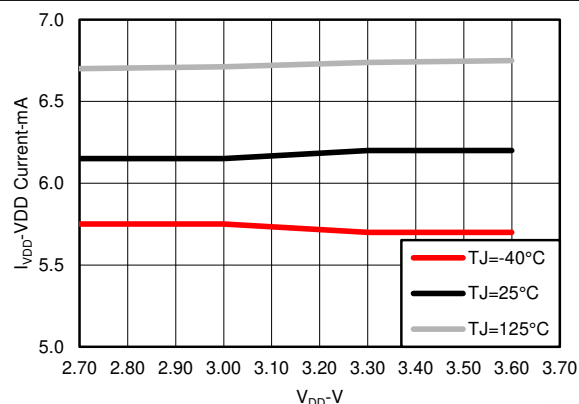


図 5-10. VDD 電流と VDD との関係

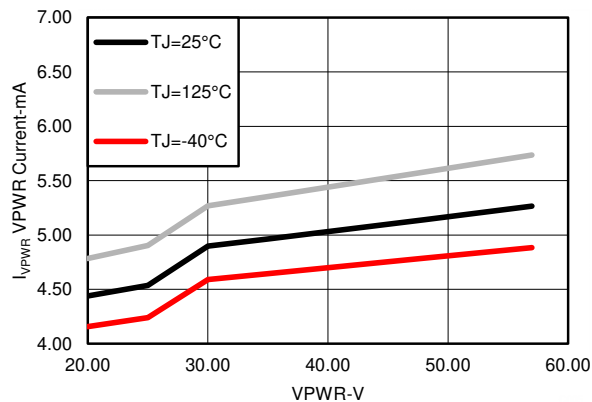


図 5-11. VPWR 電流と VPWR との関係

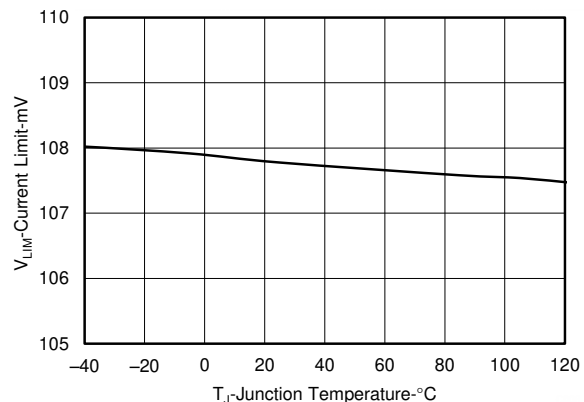


図 5-12. 電流制限 (1x スレッシュホールド) と接合部温度との関係

5.8 代表的特性 (続き)

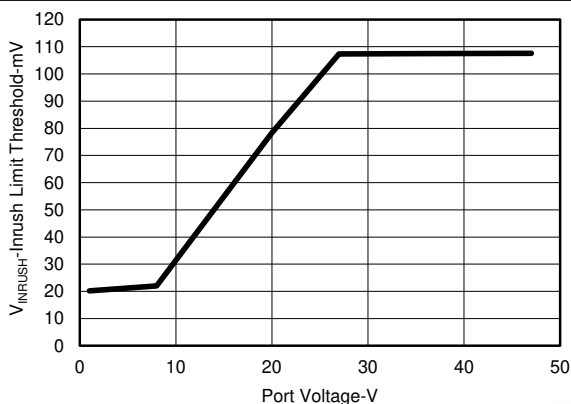


図 5-13. 突入電流制限スレッシュホールドとポート電圧との関係

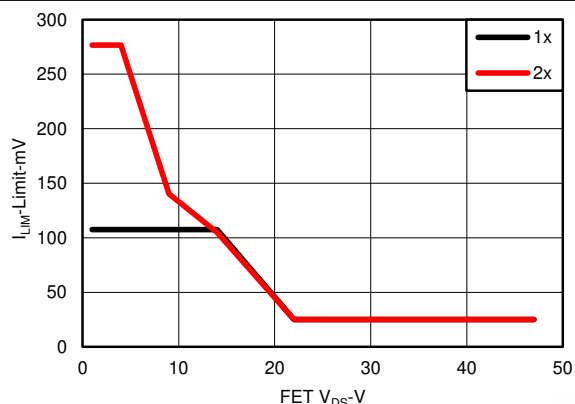


図 5-14. 電流制限スレッシュホールドと FET 電圧との関係

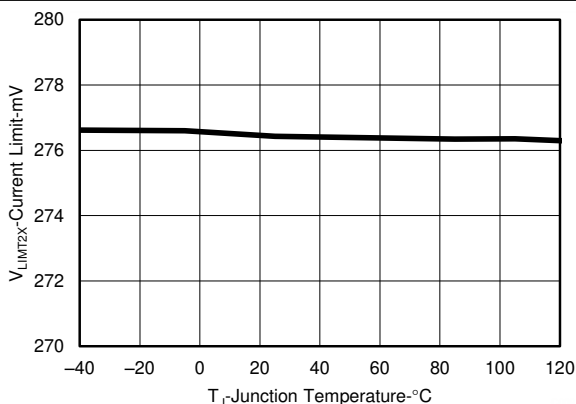


図 5-15. 電流制限 (2x スレッシュホールド) と接合部温度との関係

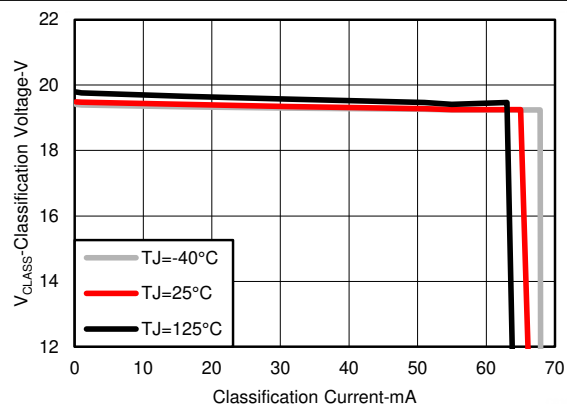


図 5-16. 分類電圧とポート分類電流との関係

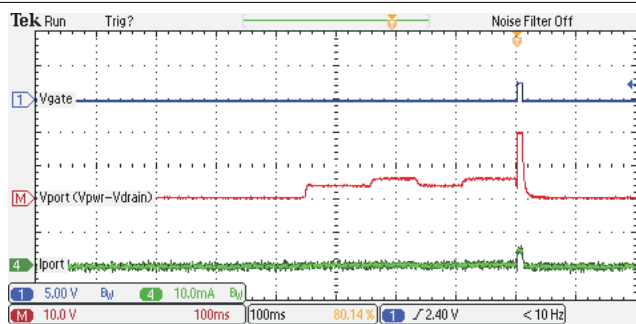


図 5-17. 有効な PD 検出 (25kΩ および 0.1μF) とクラス 0 分類

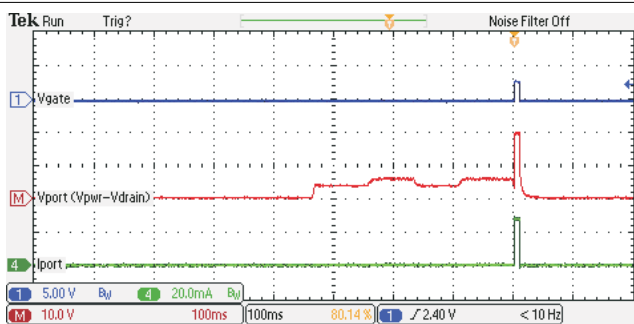


図 5-18. 有効な PD 検出 (25kΩ および 0.1μF) とクラス 3 分類

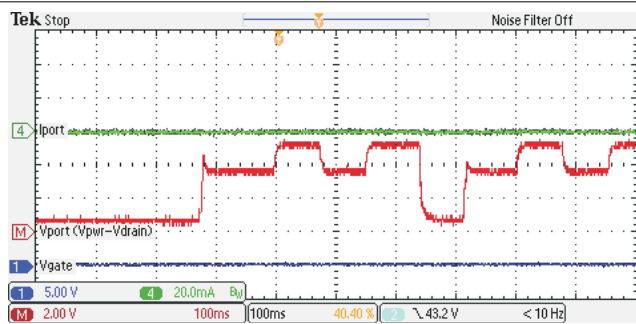


図 5-19. 無効な PD (15kΩ および 0.1μF) による検出

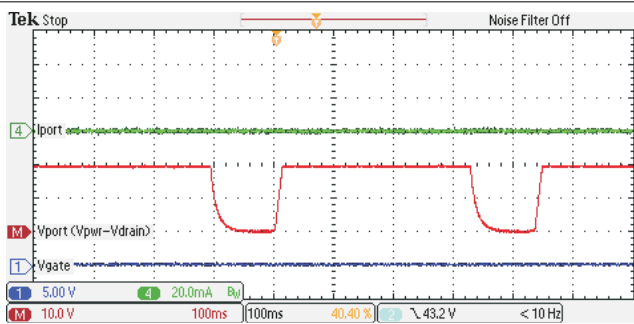


図 5-20. 無効な PD による検出 (開路)

5.8 代表的特性 (続き)

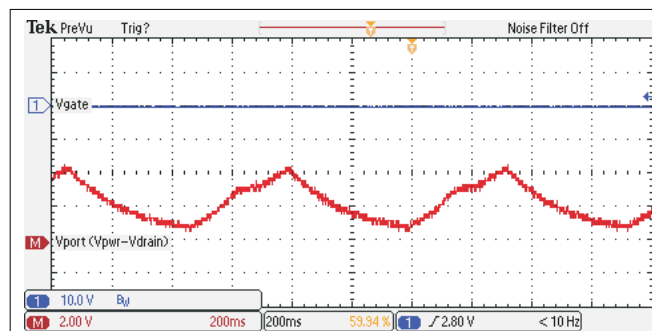


図 5-21. 無効な PD (25kΩ および 10μF) による検出

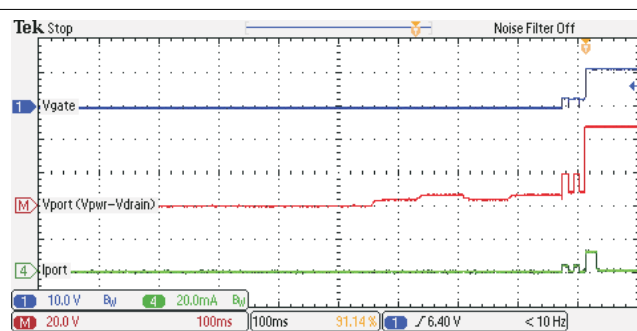


図 5-22. 2 イベント クラスと有効な PD でのスタートアップ

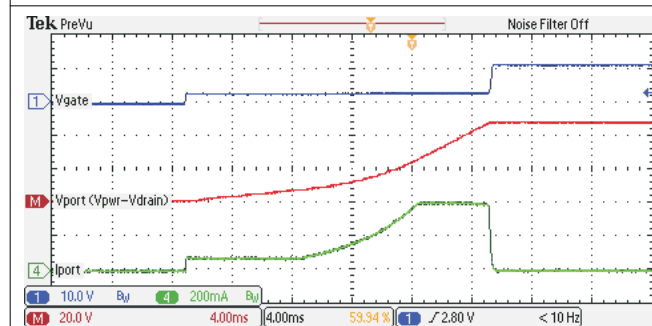


図 5-23. 100μF 負荷への電源投入

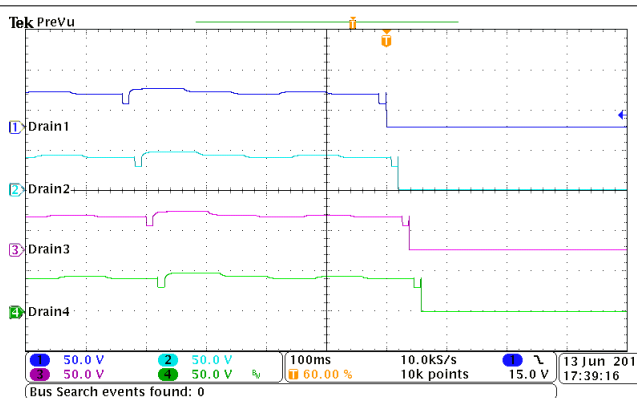


図 5-24. 半自動シーケンス オン

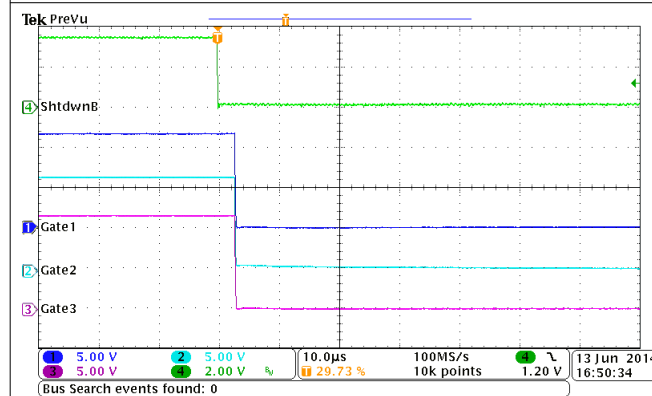


図 5-25. すべてのポートの高速シャットダウン

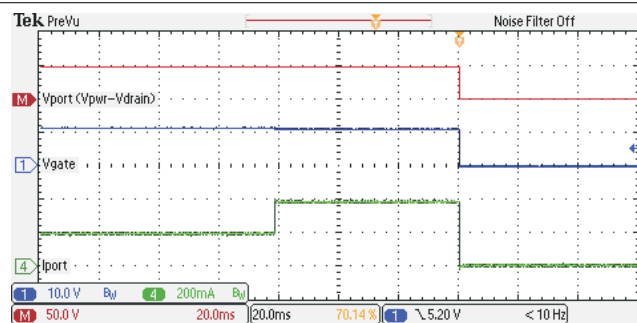
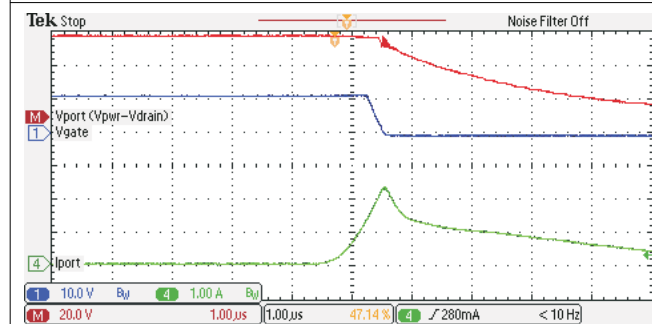
図 5-26. 過電流 (I_{CUT}) のタイムアウト

図 5-27. 1Ω 短絡に対する高速応答: 802.3af モード

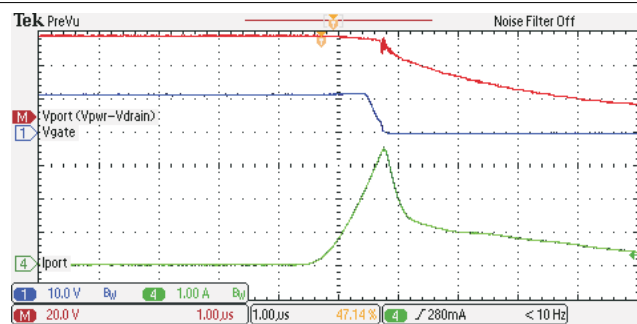


図 5-28. 1Ω 短絡に対する高速応答: PoE+ モード

5.8 代表的特性 (続き)

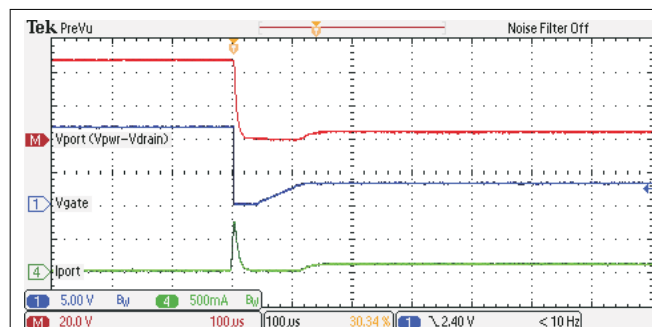


図 5-29. 50Ω 負荷に対する応答 : 802.3af モード

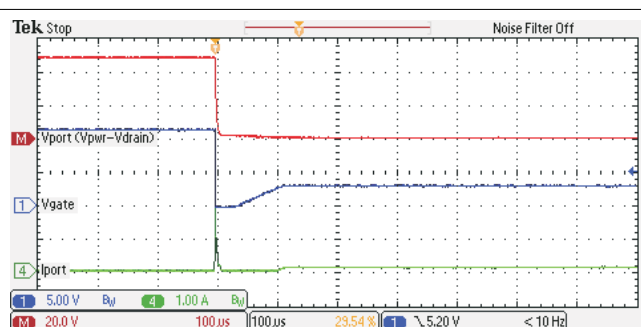


図 5-30. 25Ω 負荷に対する応答 : PoE+ モード

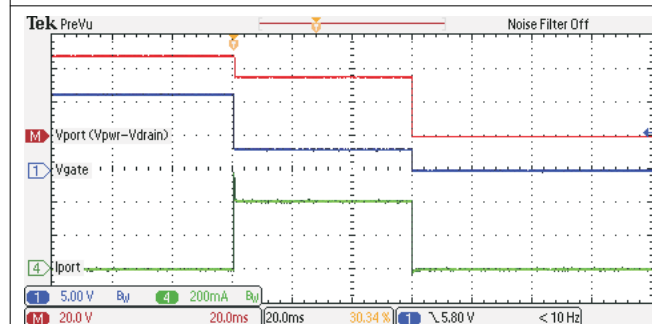


図 5-31. 電流制限タイムアウト : 802.3af モード、85Ω 負荷

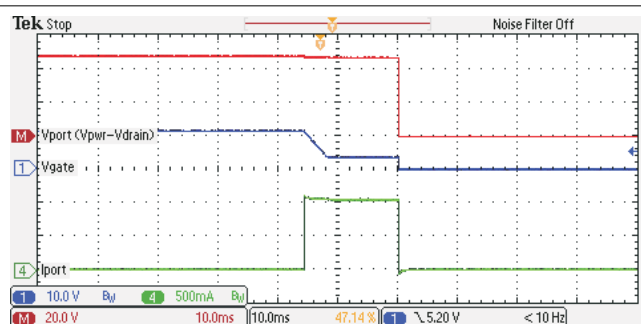


図 5-32. 電流制限 15ms タイムアウト : PoE+ モード、45Ω 負荷

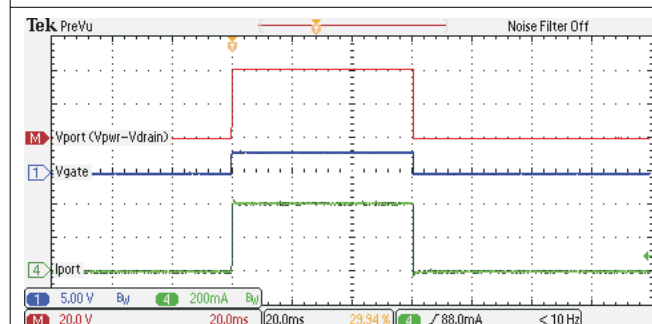


図 5-33. 突入フォルトタイムアウト : 100Ω 負荷



図 5-34. 電流制限タイムアウト再起動遅延

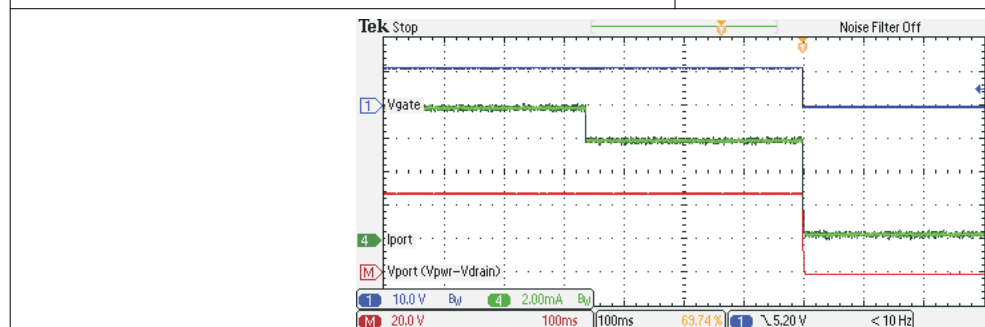


図 5-35. 8mA から 6mA への負荷に対する応答、DC 接続解除有効

6 詳細説明

6.1 概要

TPS23861 は、パワー オーバー イーサネット アプリケーション用の 4 ポート PSE です。4 つの各ポートは、IEEE 802.3at 規格に準拠した、検出、分類、保護、シャットダウンを完全に自動で実行します。

図 6-1 の回路図は、TPS23861 の自動モードの動作を示しており、PoE 負荷にすぐ給電できるターンキー機能を提供します。I²C バスへの接続や、ホスト制御も必要ありません。図 6-1 では TPS23861 が自動的に以下を行います。

1. 4 点負荷検出を実行します。
2. クラス 4 までの負荷を対象に、Type 2 (2 フィンガー) を含む分類を実行します。
3. フォールドバック電流制限による保護を行い、負荷クラスに応じた ICUT 値を適用して電力を供給します。
4. フォルト負荷および短絡が発生した場合にシャットダウンします。
5. 負荷が接続解除された場合に電力を遮断するため、電力シグネチャの維持機能を実行します。
6. VPWR が V_{PUV_F} (標準値 26.5V) を下回ると、低電圧ロックアウトが発生します。

電源オフ コマンドのほか、起動、ICUT、もしくは ILIM フォルトによる接続解除またはシャットダウンの後、ポートへの給電が停止します。電源オフ コマンドまたは接続解除によってポートの電源がオフになった後、TPS23861 は検出サイクルから自動動作を継続します。起動、ICUT、ILIM フォルトによるシャットダウンである場合、TPS23861 はクールダウン期間に移行します。クールダウン期間が終了すると、TPS23861 は検出サイクルから自動動作を継続します。

以下の状況では、TPS23861 はポートに電力を自動的に供給しません。

- 検出ステータスが抵抗値有効ではない場合。
- 分類ステータスが過電流、クラス不一致、または不明の場合。

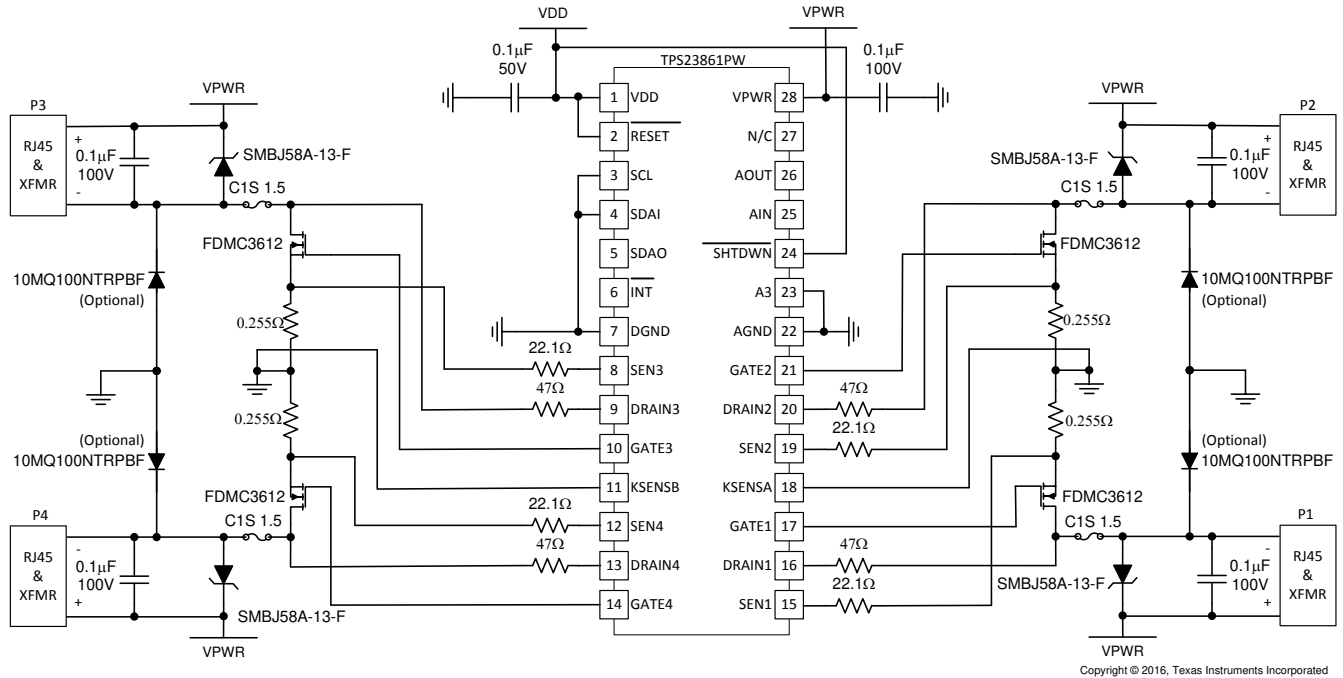


図 6-1. 自動 4 ポート動作の回路図

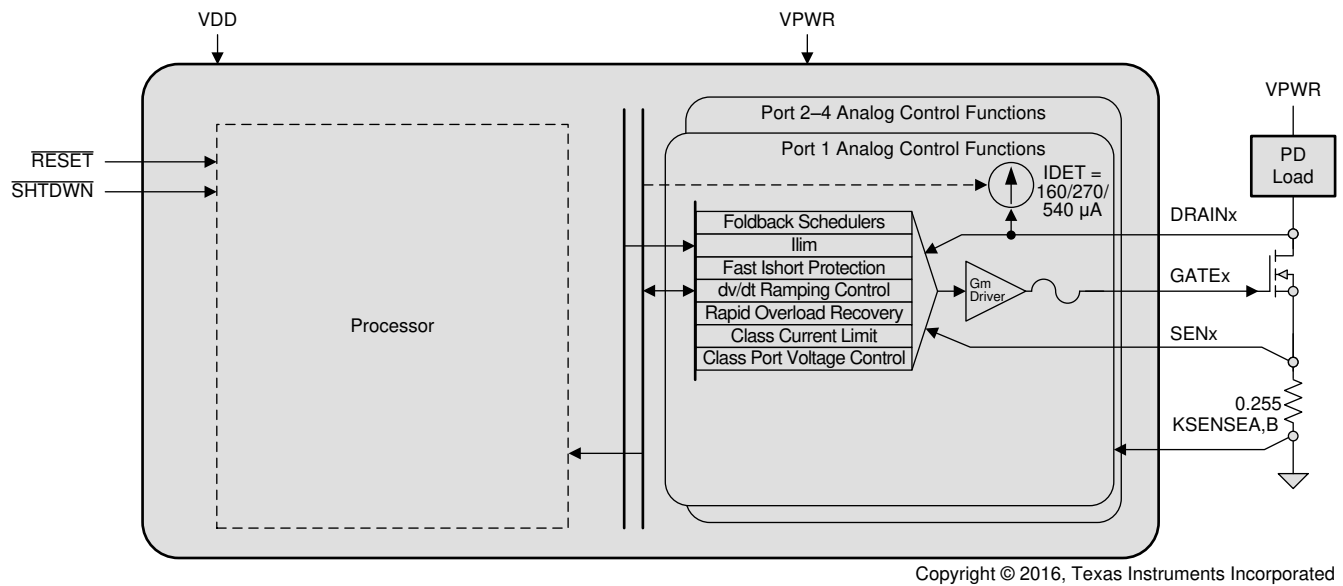


図 6-2. 概略ブロック図

6.1.1 ピンの詳細説明

以下の説明は、ピン配置と機能ブロック図を参照してください。

DRAIN1-DRAIN4:ポート 1 ~ 4 出力電圧モニタおよび検出センス。ポート電圧の監視、ポート パワー グッドの検出、およびフォールドバック動作のポート電圧の測定に使用されます。検出プローブの電流もこのピンに流れます。TPS23861 は、信頼性の高い PD 検出を実現するために、革新的な 4 ポイント技術を採用しています。DRAINn ピンを使用して 2 つの異なる電流レベルをシンクして検出を行い、PD 電圧は VPWR から DRAINn の間で測定されます。4 ポイント測定により、IEEE 規格準拠 PD と、容量性負荷またはレガシー負荷とを区別できます。ポート n を使用しない場合は、DRAINn はフローティングのままにするか、AGND に接続できます。

GATE1-GATE4:ポート 1 ~ 4 のゲート駆動出力。外部 N チャネル MOSFET ゲート制御に使用されます。ポートがオンのときは、MOSFET をオンにするため、低電流ソースによって正の方向に駆動します。いずれかの入力電源が Low の場合、または過電流タイムアウトが発生した場合、GATEn は Low に引き下げられます。高速シャットダウン中にポートがオフになった場合も、GATEn は Low に引き下げられます。未使用の場合は、フローティングのままにします。堅牢な設計を実現するために、電流フォールドバック機能により、低抵抗負荷または短絡発生時の MOSFET の消費電力が制限されます。このフォールドバック機構は、AGND と DRAINn の間のポート電圧を測定し、[図 5-14](#)、[図 7-12](#)、[図 7-13](#) に示すように、電流制限スレッショルドを低下させます。高速過負荷保護機能は、直接短絡のような重大な障害を対象としています。これにより、1 マイクロ秒未満で電流が電流制限値以下に抑えられます。ポートがオンのときに ICUT スレッショルドを超えると、タイマが起動します。その期間中は、リニア電流制限により、電流フォールドバック動作と組み合わせて、電流が ILIM を超えないことが保証されます。タイマが $t_{OVL D}$ (またはポートがオンの場合は t_{START}) 制限に達すると、ポートはシャットオフされます。ポート電流が I_{CUT} を下回ると、カウンタは増加速度の 1/16 の速度でカウント ダウンします。ポートを再度オンにするには、カウンタが 0 に達している必要があります。

KSENSA、KSENSB:関連する電流センス抵抗の両端の差動電圧測定を行うために使用されるケルビン ポイント接続。KSENSA は SEN1 と SEN2 で共有され、KSENSB は SEN3 と SEN4 で共有されます。測定精度を最適化するには、PCB パターンの抵抗の影響を最小限に抑えるように、PCB レイアウト ([図 7-16](#) 参照) を慎重に行う必要があります。

SHTDWN:シャットダウン、アクティブ "Low"。このピンは内部で VDD にプルアップされており、1 μ s から 5 μ s へのグリッチ除去フィルタは内蔵されています。ポート電源優先度レジスタは、SHTDWN ピンの外部アサートに応じて、シャットダウンするポートを決定するために使用されます。電源オフの手順は、ポートリセットまたはリセット コマンド (Reset レジスタ) と同様です。

注

SHTDWN サイクル発生後、I²C ホストはユーザーの希望する構成に応じて TPS23861 レジスタ セットを再初期化する必要があります。SHTDWN ピンを使用して低優先度ポートの電源をオフにする方法の詳細については、テキサス インストルメンツの技術担当者にお問い合わせください。

RESET:リセット入力、アクティブ "Low"。アサートされると、TPS23861 がリセットされ、すべてのポートがオフになり、レジスタが強制的にパワーアップ時の状態に戻されます。このピンは内部で VDD にプルアップされており、1 μ s から 5 μ s へのグリッチ除去フィルタは内蔵されています。外部 RC ネットワークを使用して、ターンオンを遅延させることができます。また、RESET 入力とは独立した内部パワー オンリセットも備えています。

注

RESET ピンのデアサート後、TPS23861 が I²C コマンドを処理できるようになるまでに約 20ms の遅延が発生します。詳細については、アプリケーション ノート「TPS23861 パワーオン時の検討事項 (SLVA723)」を参照してください。

SEN1 ~ SEN4:ポート 1 ~ 2 の電流センス入力には **KSENSA** を基準とし、ポート 3 ~ 4 の電流センス入力には **KSENSB** を基準とします。差動測定は、**KSENSA** および **KSENSB** のケルビン ポイント接続を使用して実行されます。**AGND** に接続された **255mΩ** (2 つの **510mΩ** 抵抗を並列に接続) または **250mΩ** (4 つの **1Ω** 抵抗を並列に接続) の電流センス抵抗を使用して、外部 MOSFET の電流を監視します。現在のフォールドバック エンジンまたは分類時に使用されます。**A/D** 変換による負荷電流の監視に使用できます。

注

外部 MOSFET を使用して分類を行うため、**TPS23861** の電力損失が許容値を超えることなく、複数のポートで同時に分類を実行することが可能です。

フォールドバック機能付きの電流制限では、グリッチをフィルタリングするために、**SEN1 ~ 4** ピンには内蔵の **2μs** アナログ フィルタが設けられています。**A/D** コンバータを介して測定を行うために、**SEN1 ~ 4** ピンにはアンチエイリアシング フィルタが設けられています。これには、ポートから供給される電流の監視および接続解除も含まれます。このポートを使用しない場合は、**SENn** を **AGND** に接続します。

VDD: 3.3V ロジック電源入力。

VPWR: 高電圧電源入力。公称 48V。

6.1.2 I²C ピンの詳細説明

AIN: I²C スレーブ デバイス アドレスのプログラムに使用します。このピンは内部で **VDD** にプルアップされています。詳細については [セクション 6.3.13](#) を参照してください。

AOUT: 複数のデバイスの I²C スレーブ デバイス アドレスのプログラムに使用します。詳細については [セクション 6.3.13](#) を参照してください。**AOUT** はオープンドレインです。

A3: I²C A3 アドレス入力。通常動作およびスレーブ アドレスのプログラミング時に使用します。このピンは内部で **VDD** にプルアップされています。

INT: 割り込み出力。割り込みレジスタのビットがアサートされると、このピンは **low** にアサートされます。このピンは、I²C トランザクション間で更新されます。この出力はオープンドレインです。[図 6-8](#) に割り込み機能図を示します。

SCL: I²C バス用シリアル クロック入力。**VDD** への外部プルアップ抵抗が必要です。

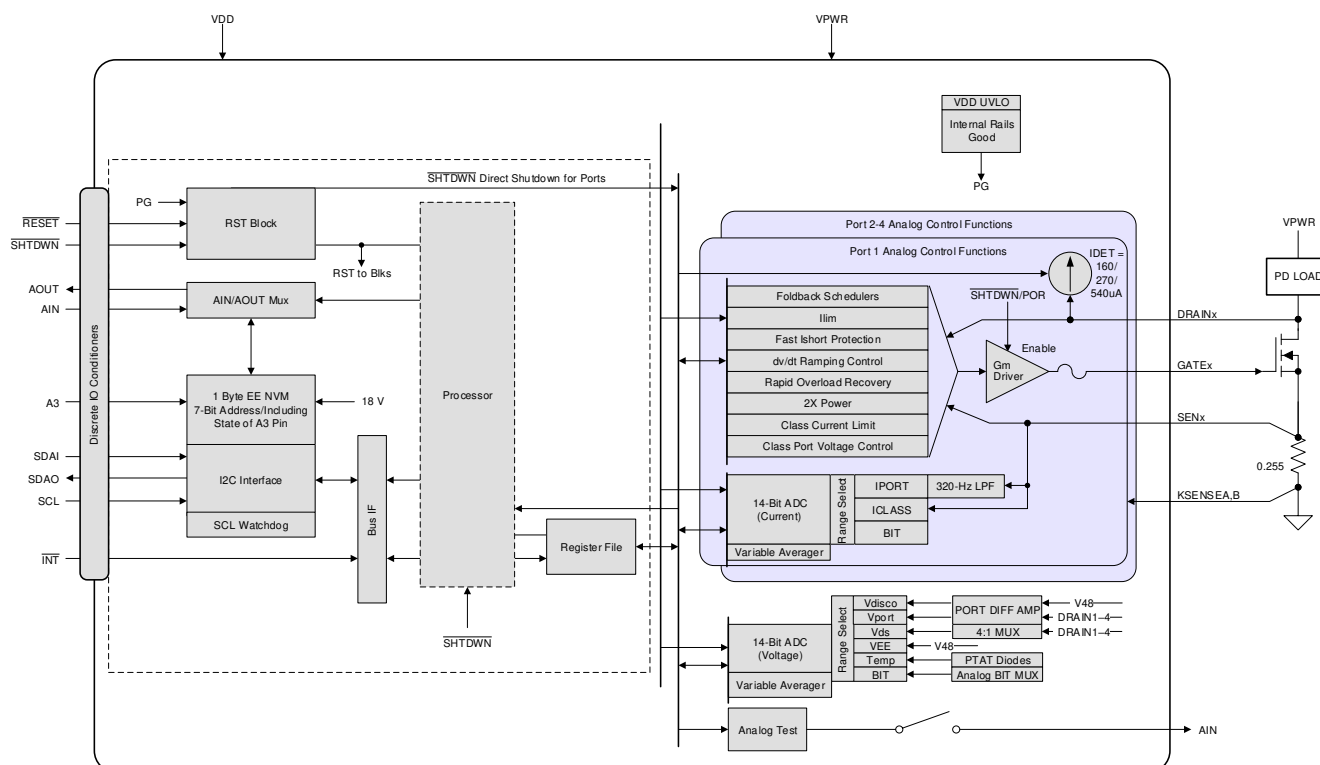
SDAI: I²C バス用シリアル データ入力。**VDD** への外部プルアップ抵抗が必要です。このピンは、非絶縁型システムまたは双方向 I²C アイソレータを搭載したシステムの **SDAO** に接続できます。[図 7-5](#) を参照してください。

SDAO: オープンドレインの I²C バス出力データライン。外付け抵抗プルアップが必要です。**TPS23861** は、独立した **SDAO** ラインと **SDAI** ラインを使用して、光絶縁型 I²C インターフェイスを実現できます。**SDAO** は、非絶縁型システムや双方向 I²C アイソレータを搭載したシステムで、**SDAI** に接続できます。

注

システムレベルの I²C を適切に動作させるには、**VPWR** と **VDD** の両方が存在する必要があります。

6.2 機能ブロック図



6.3 機能説明

6.3.1 検出抵抗測定

検出抵抗は、[セクション 6.5.34](#) の方法で測定して報告できます。14 ビットの抵抗情報は 2 バイトで報告されます。有効な測定範囲は、500Ω ~ 55kΩ です。分解能 (1LSB) は約 11Ω です。測定の再現性は、±200Ω 程度です。また、抵抗レジスタの MSB (ポート n 抵抗:最上位バイト) にある RSn フィールドは、低抵抗回路、開路、または MOSFET の短絡故障が検出されたかどうかを報告します。

TPS23861 は検出を開始する前に、ポート電圧が 2.8V 未満に低下するよう、最大 400ms のバックオフを設けます。これにより、PD の検出、分類、電力の供給を試行する前に、ポート上の PD をリセットできるようになります。

表 6-1. RSn フィールドのエンコード

RSn1	RSn0	検出ステータス	RSTEP のビット重み
0	0	その他	11.0966Ω / ビット
0	1	Low (< 2kΩ)	追加検出 4.625Ω / ビット
1	0	開路	該当なし
1	1	MOSFET の短絡故障	該当なし

6.3.2 物理層の分類

1 つまたは 2 つの分類イベントが実行されるかどうかは、動作モードと、2 つのイベント分類レジスタの TECLENN フィールドの値によって異なります。詳しくは、[セクション 6.4](#) を参照してください。

シングル イベント (802.3af) および 2 イベント (802.3at) 分類時の電源インターフェイス (PI) の電圧の図については、[図 6-3](#) および [図 6-4](#) を参照してください。

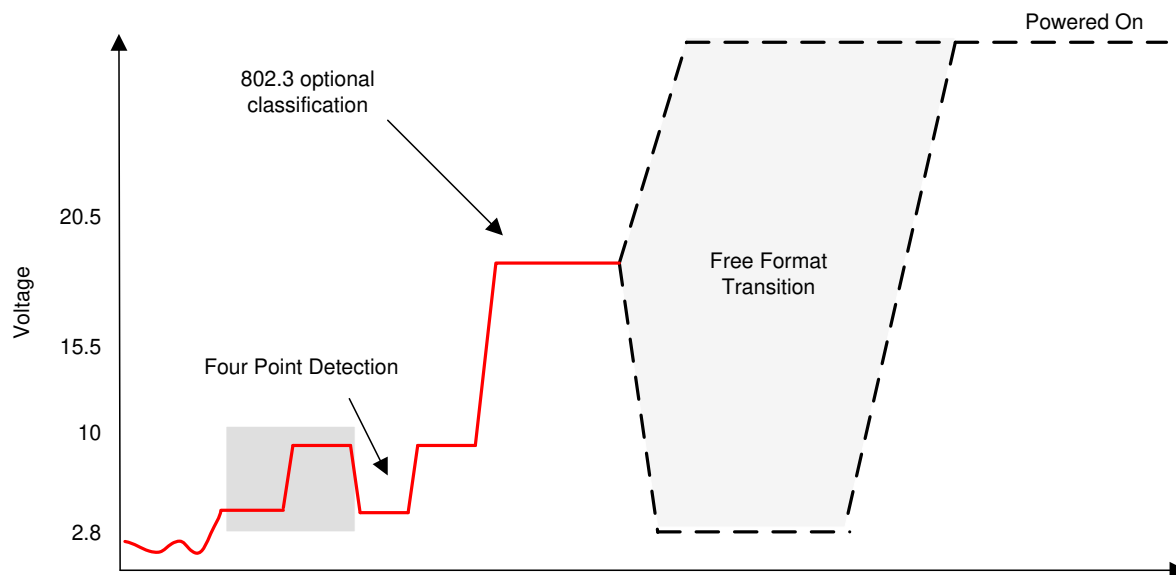


図 6-3. 802.3af (分類あり)

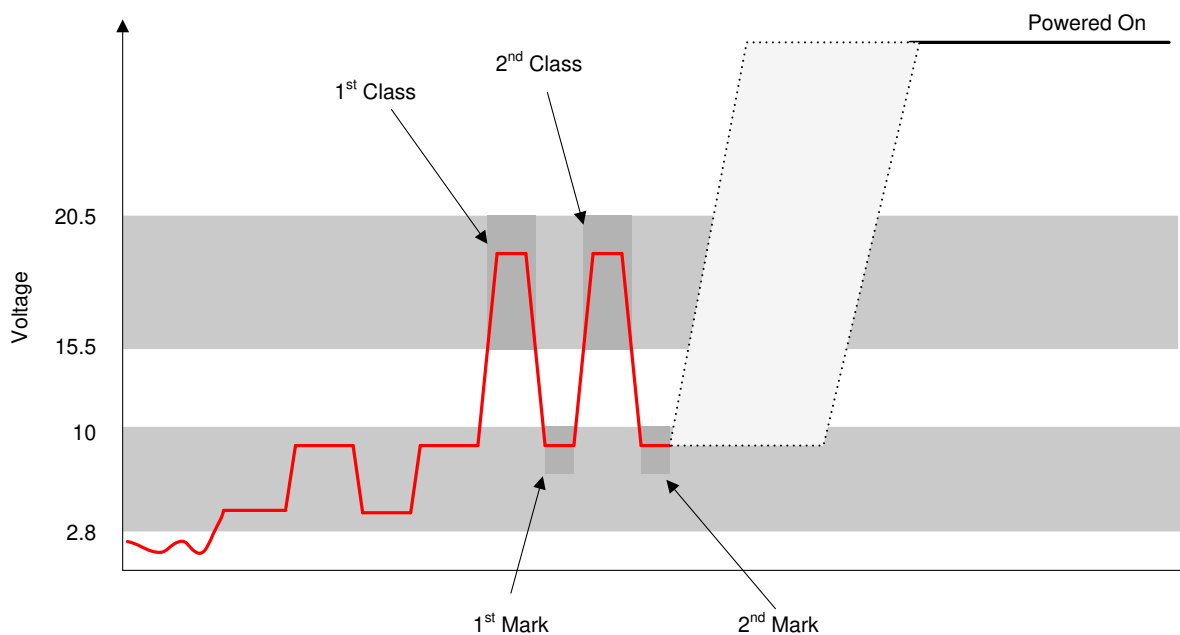


図 6-4. P802.3at (分類あり)

6.3.3 Class フィールドおよび Detect フィールド

検出サイクルおよび分類サイクルの結果は、それぞれ各ポートについて、ポート n ステータス レジスタの Detect Pn フィールドおよび Class Pn フィールドに 4 ビットで格納されます。検出イベントおよび分類イベントの結果は、次のようにエンコードされます。

表 6-2. Detect Pn フィールドのエンコード

DETECT Pn	検出ステータス
0000	不明 (POR 値)
0001	短絡 (< 500Ω)
0010	予約済み
0011	抵抗値が低すぎる
0100	抵抗値が有効
0101	抵抗値が高すぎる
0110	開路
0111	予約済み
1000	MOSFET フォルト
1001	レガシー検出
1010	容量測定無効: 検出測定値がクランプ電圧を超過
1011	容量測定無効: ΔV 測定値が不十分
1100	容量測定値は有効ですが、レガシー デバイスの範囲外です。

表 6-3. Class Pn フィールドのエンコード

CLASS Pn	分類ステータス
0000	不明
0001	クラス 1
0010	クラス 2
0011	クラス 3
0100	クラス 4
0101	予約済み – クラス 0 として読み取られます
0110	クラス 0
0111	過電流
1000	クラスの不一致

クラスの不一致は、2 イベントの分類中にのみ発生する可能性があります。1 回目と 2 回目のイベントの分類ステータスが異なり、2 回目の分類ステータスが「過電流」でない場合、分類ステータスはクラスの不一致に設定されます。1 回目の分類イベントのステータスが「過電流」の場合、「Class Pn」フィールドの分類ステータスには「過電流」が設定され、2 回目の分類イベントは発生しません。自動モードではポートは自動的に起動しませんが、電源有効化レジスタを介して起動できます。

6.3.4 障害発生後のレジスタ状態

ポート n で ICUT、ILIM、または突入電流の障害が発生すると、ポートはシャットオフされ、故障イベントレジスタまたは起動 / ILIM イベントレジスタに適切な故障ビットが設定されます。さらに、以下のレジスタにも影響が及びます。

- 電力ステータスレジスタの PGn および PEn がクリアされます。
- 検出イベントレジスタの CLSCn ビットと DETCn ビットがクリアされます。
- 対応するポート n ステータスレジスタがクリアされます。
- パワー イベントレジスタの PGCn ビットと PECn ビットが設定されます。
- ポート n の電圧レジスタがクリアされます。

6.3.5 切断

TPS23861 は DC 接続解除をサポートしています。接続解除のスレッシュホールドとタイミングは、接続解除スレッシュホールドレジスタの DCTHn フィールドと、タイミング構成レジスタの TDIS フィールドを使用して、それぞれ設定します。ポート n で接続解除イベントが発生すると、以下のレジスタが影響を受けます。

- フォルト イベントレジスタの DISFn ビットが設定されます。
- 電力ステータスレジスタの PGn および PEn がクリアされます。
- 検出イベントレジスタの CLSCn および DETCn ステータスビットがクリアされます。
- 対応するポート n ステータスレジスタがクリアされます。
- パワー イベントレジスタの PGCn ビットと PECn ビットが設定されます。
- 対応するポート n 電圧レジスタがクリアされます。

6.3.6 接続解除スレッシュホールド

接続解除電流の範囲は、接続解除スレッシュホールドレジスタの DCTHn 2 ビット フィールドにより選択できます。表 6-4 に、DCTHn フィールドのエンコードを示します。

表 6-4. DCTHn フィールドのエンコード

DCTHn フィールド	接続解除スレッシュホールド、mA
00	7.5
01	15
10	30
11	50

6.3.7 高速シャットダウン モード

TPS23861 は、 $\overline{\text{SHTDWN}}$ ピンの Low レベルに応答するため、ポート電力優先度レジスタの FSEn ビットで低優先度に設定されたすべてのポートを直ちにオフにします。応答時間は通常 2 μ s です。 $\overline{\text{SHTDWN}}$ ピンが Low の場合に FSEn ビットが設定されると、対応するポートがオフになり、リセットされます。

6.3.8 レガシー デバイスの検出

IEEE 802.3at に準拠していないレガシー PD は、レガシー検出モードレジスタの LEGMOD フィールドの制御下でポート n で識別できます。2 つのレガシー検出モードがサポートされています。LEGMODn=10 の場合、ポート n は IEEE 802.3at ベース (抵抗測定に基づく) に準拠しているかどうかを調べ、その後にレガシー デバイス向けの静電容量ベースの検出方式が続きます。LEGMODn = 01 の場合、ポート n は静電容量ベースの検出方式のみを実行します。これにより、ホストは容量の値の測定を試みる前に、PD 容量を事前充電することなく、レガシー PD の可能性をプローブできます。

容量を測定するため、固定的な充電を電源インターフェイス (PI) に注入し、充電に起因する電圧差を測定し、ポート n の検出電圧差レジスタに通知します。この静電容量は電圧差に反比例します。電圧差とスレッショルドを比較し、以下の認定に従って、6 μ F を超える容量値を受け入れることができます。

ポート n 検出電圧差レジスタは、I²C アドレス指定可能レジスタ空間の 2 つの連続したバイトで構成されます。これらのレジスタには、電圧差の 12 ビットの符号なし表現と、VDSn という 4 ビットのステータス フィールドが含まれます。VDSn = 0001 の場合、電圧差の値は有効な測定値を表します。過度に小さなまたは大きな静電容量、あるいは入力容量がダイオードの背後にあるため放電できないことが原因で、容量測定が失敗する可能性があります。このケースは、VDSn フィールドと、ポート n ステータス レジスタの検出 Pn フィールドで通知されます。表 6-5 を参照してください。

表 6-5. 容量の測定特性と能力

パラメータ	条件	値	単位
測定可能な最小静電容量	最大 500k Ω 並列抵抗。ポートで 16.5V の最大測定電圧	6.1	μ F
測定可能な最大静電容量	17k Ω の最小並列抵抗	100	μ F
測定可能な最大静電容量	10k Ω の最小並列抵抗	67	μ F
公称ポート充電電流		540	μ A
公称測定時間		150	ms
測定開始用のポートでの最小電圧		0.4	V
測定開始用のポートの最大電圧		2.4	V
ポート放電期間の持続時間	最初の放電試行	250	ms
ポート放電期間の持続時間	2 回目の放電試行	500	ms
測定の開始時または終了時のポートでの最大電圧		16.5	V

PD の入力側の容量と並列に抵抗を接続すると、容量測定アルゴリズムの精度に影響を及ぼします。並列抵抗により、ポートの容量が大きく見えます。この事実は、表 6-5 に反映されています。100 μ F までの容量は 17k Ω までの並列抵抗で測定できますが、並列抵抗が 10k Ω までの低さの場合は 67 μ F までの容量を測定できます。

容量の測定を開始するには、ポートの電圧を 0.4V ~ 2.4V の範囲内にする必要があります。PSE で測定されるこの電圧には、容量のパス内にあるすべてのダイオードでの電圧降下が含まれます。測定電圧が高すぎる場合 (PD 容量の充電が原因で)、TPS23861 はポート両端に 100k Ω 負荷を印加することで、ポートの放電を 2 回試みます。1 回目の放電試行は 250 ミリ秒、2 回目の放電試行は 500 ミリ秒です。

注

ダイオードの反対側の容量がある場合、PD 容量を急速に放電できないことがあります。

容量測定アルゴリズムが 2 回試行してもポートを 2.4V 未満まで放電できない場合、アルゴリズムは、ポート容量の測定試行を終了し、ポート n 検出電圧差レジスタの VDSn フィールドで「タイムアウト前に最初の測定を行うための 2.4V を達成できません」のステータスを報告します。容量測定ステータスが無効: 不十分な Δv 測定値のステータスは、ポート n のステータスレジスタに通知されます。タイムアウト前に PD 入力容量を 2.4V まで放電できないというステータスは、ポート n 検出電圧差レジスタの VDSn フィールドで通知されます。ホストには、放電時間を長くして再試行するオプションがあります。

半自動モードでレガシー検出を実行すると、負荷が繰り返し充電されるため、不規則な結果が得られる場合があります。容量性負荷がダイオードの背後にある場合、または高抵抗で並列に接続されている場合、最終的に 2.4V を超える充電が行われ、容量測定が失敗する可能性があります。負荷に関する情報がない場合、または負荷の入力容量が半自動モードで 2.4V を超えて充電された場合、レガシー検出を行うために、手動モードをお勧めします。

ポートが開いている場合や、ポートに小さな容量が存在する場合、容量測定電流が印加されると、ポート電圧は急速に上昇します。ポートの電圧は、内部クランプによって約 18V に制限されます。容量測定無効: クランプ電圧を超える検出測定値のステータスは、ポート n ステータスレジスタの DETECT Pn フィールドで通知されます。小さな容量のサイズに応じて、最初の測定ステータスが $V_{\text{Det-clamp}}(\text{min})$ を超える、または 2 番目の測定ステータスが $V_{\text{Det-clamp}}(\text{min})$ を超えるステータスが、ポート n 検出電圧差レジスタの VDSn フィールドに通知されます。

ポートに大きな容量または短絡が存在する場合、ポートの充電時間全体にわたってポート電圧が十分に变化しないため、信頼性の高い測定が保証されます。この場合、「容量測定が無効: 不十分な Δv 測定値」のステータスがポート n のステータスレジスタに通知され、「 $\Delta v < 0.5V$ (不十分な信号)」ステータスまたは「タイムアウト前に最初の測定を行うための 0.4V を達成できません」のステータスがポート n 検出電圧差レジスタの VDSn フィールドに通知されます。

レガシー検出は、ホストシステムによる特別な処理を保証する例外的な状態です。したがって、自動モードではレガシー検出操作は完全にはサポートされません。いずれかの動作モードで検出中にレガシー デバイスが検出された場合、ポート n ステータスレジスタ検出 Pn フィールドで、検出ステータスがレガシー検出として通知されます。ポートの電源を入れるのは、ホスト次第です。ポートが自動モードで、レガシー検出が有効で、レガシー デバイスが検出されると、ポート n ステータスレジスタ検出 Pn フィールドに検出ステータスがレガシー検出として通知されますが、ポートは自動的にパワーオンされません。この点で、ポートの動作は半自動モードと同じです。

一般に、レガシー デバイスは分類の要求に応答しないことが想定されています。したがって、半自動、自動モードまたは手動モードで、LEGMOD = 01 の場合、CLEn ビットが設定されていても、PSE は分類サイクルを自動的に開始しません。一方、LEGMOD = 10 の場合、TPS23861 は半自動または自動モードで動作し、CLEn ビットにより分類が有効になり、抵抗有効検出のステータスが標準の抵抗検出サイクルに応答して返される場合、TPS23861 は標準の抵抗検出サイクルに続いて分類サイクルを実行します。さらに、分類後の自動モードで、分類ステータスが不明でない、クラスの不一致がない、または過電流でない場合、ポートは自動的に起動します。さらに、LEGMOD = 10 の場合、検出 / クラス有効化レジスタの CLEn ビット、または検出 / クラス再起動レジスタの RCLn ビットを使用して、手動制御で分類サイクルを開始するか、パワー イネーブルレジスタの PWONn ビットを使用して手動制御でポートの電源をオンにすることができます。

LEGMODn = 10 であり、抵抗有効検出ステータスが標準の抵抗検出サイクルに応答して返された場合、TPS23861 は PI 上の容量の測定を試みません。

6.3.9 VPWR 低電圧および UVLO イベント

このセクションでは、VDD ピンの電圧が中断されていない場合の VPWR 低電圧および UVLO イベントの動作を示します。

VPWR ピンの電圧が V_{PUV_F} を下回ると、次の状況が発生します。

- 電源イベントレジスタの VPUV ビットが設定されます。
- すべてのポートがシャットオフされます。
- シャットオフされているポートで、パワー イベントレジスタの対応する PGCn ビットと PECn ビットが設定され、電力ステータスレジスタの PGn ビットと PEn ビットがクリアされます。
- 次のレジスタがクリアされます。
 - 検出イベントレジスタ
 - フォルト イベントレジスタ
 - 開始 / ILIM イベントレジスタ
 - ポート n ステータスレジスタ
 - 検出 / クラス有効化レジスタ

注

VPWR ピンの電圧が V_{UVLOPW_F} を下回ると、次の状況が発生します。

- 電源イベントレジスタの VPUV ビットと VDUV ビットの両方が設定されます。
- すべてのポートがシャットオフされます。
- すべてのレジスタがパワーオン / リセット状態に設定されます。

6.3.10 タイマによる遅延可能割り込みのサポート

プログラマブル タイマにより、10ms ~ 150ms の範囲を 10ms 刻みで設定できます。タイマの時間は、割り込みタイマレジスタの 4 ビット フィールド TMR [3:0] で設定します。クリティカルでない割り込みは、タイマがタイムアウトするまで INT ピンで割り込みをアサートしないように遅延されます。フォルトなどのクリティカルな割り込みは、このタイマの状態による影響を受けません。クリティカルな割り込みと遅延可能な割り込みの詳細については、表 6-6 で確認できます。各割り込みネーブルビットの動作は、タイマ機能の影響を受けません。

表 6-6. タイマによる遅延可能割り込み

割り込みビット	FUNCTION	クリティカルまたは遅延可能
SUPF	供給またはサーマル障害	クリティカル
STRTF	スタート フォルト	遅延可能
IFault	ICUT または ILIM フォルト	クリティカル
CLASC	分類イベントが発生	遅延可能
DETC	検知イベントが発生	遅延可能
DISF	接続解除イベントが発生	遅延可能
PGC	パワー グッドのステータス変更	遅延可能
PEC	電源有効化のステータス変更	遅延可能

カウンタに 0000 (POR 状態) がロードされた場合、カウントは行われず、割り込みも遅延されません。つまり、この機能は無効になります。

6.3.11 A/D コンバータおよびI²C インターフェイス

TPS23861 は、5 つのマルチスローブ統合コンバータを搭載しています。最初の 4 つのコンバータは、それぞれ 1 つのポートの電流測定専用で、個別に動作して測定を行います。これらのコンバータは、電流監視 (100ms 平均) および接続解除に使用されます。5 つ目のコンバータは、4 つのポートすべてで共有され、検出 (変換時間は MAINS ビットで設定)、ポート電圧監視、パワー グッド ステータス、FET 短絡検出 (すべて 1ms) に使用されます。また、入力電圧 (1ms) や温度などの汎用測定にも使用されます。

TPS23861 で使用されている A/D コンバータは、積分器により入力信号がサンプリングされている間に変換を行う点で、他のタイプのコンバータとは異なります。そのため、変換時間が短縮され、変換期間全体にわたって本質的なフィルタリングが行われます。電流コンバータの標準変換時間は 800μs です。デジタル平均化により、100ms の期間にわたって統合されたポート電流測定が実現します。

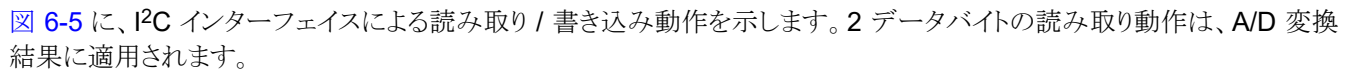
注

電流および電圧監視用に、アンチエイリアシング フィルタがあります。ポート電流変換は連続的に実行されます。

受電側デバイス (PD) 検出は、50Hz または 60Hz のライン周波数でのノイズの大幅な除去を実現する 16 の連続サンプルを平均化することによって実行されます。16 サンプルの合計時間は、ローカルの主電源周波数に対応するように MAINS ビットを使用して 20ms または 16.7ms に設定できます。

5 つ目のコンバータは、あるポートから次のポートへのドレイン電圧を継続的に測定し、特定の測定を実行するコマンドを受信しない限り、パワー グッド ステータスと FET 短絡検出に使用される内部レジスタを更新します。

また、ポートの電源がオンのとき、最初の 4 つのコンバータについて電流または電圧の A/D 変換を開始する前に、t_{START} タイマ (PD のパワーオン突入時に使用) が満了する必要があります。

 **図 6-5** に、I²C インターフェイスによる読み取り / 書き込み動作を示します。2 データバイトの読み取り動作は、A/D 変換結果に適用されます。

また、複数の TPS23861 デバイスに対して同時に I²C 書き込みを行うこともできます。このブロードキャスト アクセスでは、スレーブ アドレス 0x30 を使用します。

TPS23861 は $\overline{\text{INT}}$ ピンを使用し、SMBALERT プロトコルをサポートします。 $\overline{\text{INT}}$ が Low にアサートされているとき、バス マスタ コントローラがアラート応答アドレスを送信すると、TPS23861 は SDA ラインにデバイス アドレスを出力し、 $\overline{\text{INT}}$ ラインを解放します。2 つの TPS23861 デバイスが同時に応答して競合した場合、下位アドレスを持つデバイスが優先され、SDAI ラインおよび SDAO ラインを使用して先に応答します。

TPS23861 には I²C ウォッチドッグ タイマも備わっています。このタイマは、I²C クロック ラインを監視し、ソフトウェアのハングアップによってポートが危険な状態になるのを防止します。このタイマは、SCL ライン入力のいずれかのエッジでリセットできます。ウォッチドッグ タイマを有効にしている場合、タイムアウトすると、すべてのポートがオフになり、WDS ビットが設定されます。公称ウォッチドッグ タイムアウト時間は 2 秒です。詳細については、[セクション 6.5.31](#) を参照してください。

注

I²C バスでコマンド バイト以上を受信した後に STOP 条件が検出されると、TPS23861 はコマンド バイトを内部レジスタに保存します。

注

I²C インターフェイスを使用する場合、有効な I²C トランザクションを確保するため、ホスト ソフトウェアはリセット後 22ms 以上待機する必要があります。

この内容は、次回のクイック読み取りサイクルでレジスタにアクセスする際、レジスタ アドレス ポインタとして使用できます。
 図 6-5 を参照してください。この内部レジスタは、電源投入時または **RESET** ピンによってクリアされます。

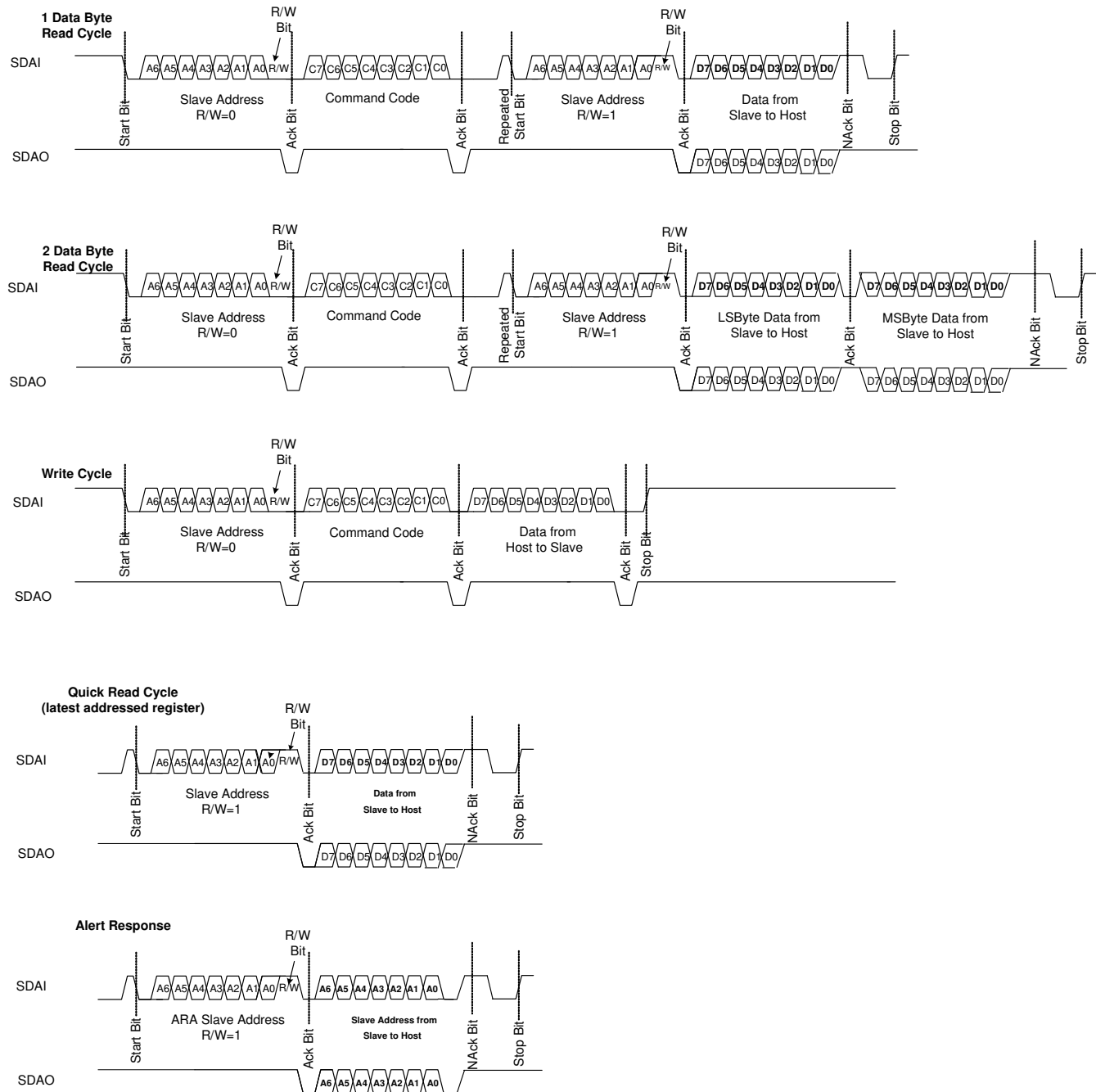


図 6-5. I²C/SMBus インターフェイスの読み取り / 書き込みプロトコル

6.3.12 AUTO ビット設定時の独立動作

セクション 6.3.13 セクションで説明しているように、TPS23861 は、AUTO ビットが設定されている場合、IEEE 802.3at に準拠した完全自動 PSE として動作します。完全自動動作とは、I²C バス経由のホスト システムへの接続なしで、TPS23861 がパワー オーバー イーサネットの 4 ポート PSE として動作することを意味します。一般的に、このビットが設定されると、TPS23861 の特長となる機能は無効になります。

注

AUTO ビットの状態は、パワー オン後、ハードウェア リセット ($\overline{\text{RESET}}$ ピン) 後、またはリセット レジスタの RESAL ビットへの 1 の書き込み後にのみ読み取られます。

AUTO ビットが設定されていて、TPS23861 が I²C バス経由でホストに接続されている場合、電源投入後、ホストはいつでも動作モードの変更を含むレジスタ設定を変更できます。AUTO ビット設定時、電源投入後の TPS23861 の状態は以下ようになります。

- 検出 / クラス有効化レジスタの CLEn ビットと DETn ビットが設定されます。その結果、電源投入前に検出と分類が実行されます。
- 接続解除有効化レジスタの DCDEn ビットが設定され、自動接続解除が有効になります。
- 2 イベント分類レジスタの TECLEn ビットは 0b01 に設定されます。その結果、分類サイクル中にクラス 4 の PD が認識された場合、
 - TPS23861 は、2 番目の物理層分類イベントを開始します。
 - PoE Plus レジスタの PoEPn ビットは、I_{LIM} の 2x 曲線を使用して設定されます。
 - ICUTnm 構成レジスタの ICUT Port n フィールドは、645mA に対応する 0b110 に設定されます。
- 分類サイクル中にクラス 0、1、2、3 PD を認識した場合、
 - 2 番目の物理層分類イベントはありません。
 - POEPn ビットがクリアされているため、TPS23861 では I_{LIM} に対して 1x のフォールドバック曲線が使用されます。
 - ICUT には 374mA の値が使用されます。
- 動作モード レジスタの Port n モード フィールドは、4 つのポートすべてで自動 (0x11) に設定されています。その結果、
 - 検出、分類、電源投入が、ポートごとに自動的かつ独立して順番に実行されます。
 - TPS23861 は、1 イベントまたは 2 イベントの有効な物理層分類に続いて、[図 7-12](#) の突入電流フォールドバック保護曲線に影響を受けるポートに電力を供給します。
- .
- ポート電力の優先度レジスタの FSEn ビットが設定されます。その結果、 $\overline{\text{SHTDWN}}$ ピンが Low レベルになるとすべてのポートがシャットダウンされます。
- レガシー検出モード レジスタの LEGMODn フィールドは 00 に設定されています。したがって、IEEE 802.3at に準拠していないレガシー PD デバイスは検出されません。
- 汎用マスク 1 レジスタは、標準のパワーオンリセット値 0x80 に設定されます。その結果、
 - 割り込みが有効になります。
 - 検出中、検出電圧の A/D 変換が 800/秒のレートで発生します。
 - 分類レベルは、電流センス抵抗に 255mΩ 抵抗が使用されている場合と同様に決定されます。

注

250mΩ 抵抗が使用されている場合、分類スレッショルドはわずかに変化しますが、IEEE 802.3at に準拠した状態は維持されます。

- 割り込み有効化レジスタは 0xE4 に設定されており、以下の割り込みを有効化します。
 - SUPEN – 電源イベントフォルト イネーブル ビット。
 - STRTEN – スタートフォルト イネーブル ビット。
 - IFEN – ICUT または ILIM フォルト イネーブル ビット。

- DISEN – 接続解除イベント割り込みイネーブルビット。
- 上記に明示的に参照されていないレジスタは、[表 6-10](#) に従って、デフォルトのパワーオンリセット値に設定されます。

6.3.13 I²C スレーブアドレスと AUTO ビット プログラミング

注

I²C インターフェイスを使用する場合、有効な I²C トランザクションを確保するため、ホスト ソフトウェアはリセット後 22ms 以上待機する必要があります。

注

EEPROM の耐久性は、書き込みサイクル 25 回であることに注意してください。それ以上 EEPROM に書き込むと、誤動作が発生する可能性があります。

TPS23861 には、以下の 2 つのフィールドを EEPROM にプログラムする手段があります。

- ホスト プロセッサでの動作の 7 ビット I²C スレーブ アドレス。
- AUTO ビットにより、TPS23861 はホスト プロセッサなしで独立して動作することができます。

この手法には次のような利点があります。

- 最大 125 台の類似デバイスのアドレスを指定できるようになります。
 - 高いレベルの柔軟性を提供します。
 - 同じ I²C バス上の他のペリフェラルとの競合解決に役立ちます。
 - I²C アドレスは、生産用サブアセンブリ モジュール レベルまたはマザー ボード レベルでプログラムできます。
 - PSE システムのアップグレードまたは拡張を、フィールドによるインストールで簡単に行うことができます。
 - 物理アドレス ラインやバンク選択は不要です。
 - パッケージを小型化できます。アドレス ライン ピン、AUTO ピンなし。
-

注

レガシー システムとの互換性を確保するため、A3 入力ピンを使用したモジュール A3 バンク アドレッシング機能を提供します。

図 6-6 に示すように、初期の I²C アドレス プログラミング アクセスは、複数の TPS23861 デバイス間におけるローカル デイジーチェーンのチップ セレクト接続によって確立されます。AIN ピンは、アドレス プログラミング中に「動くチップ セレクト」の役割を果たします。

注

I²C スレーブ アドレス レジスタに書き込むには、ロック解除コード (AAh) を含むグローバル書き込みコマンドが必要です。

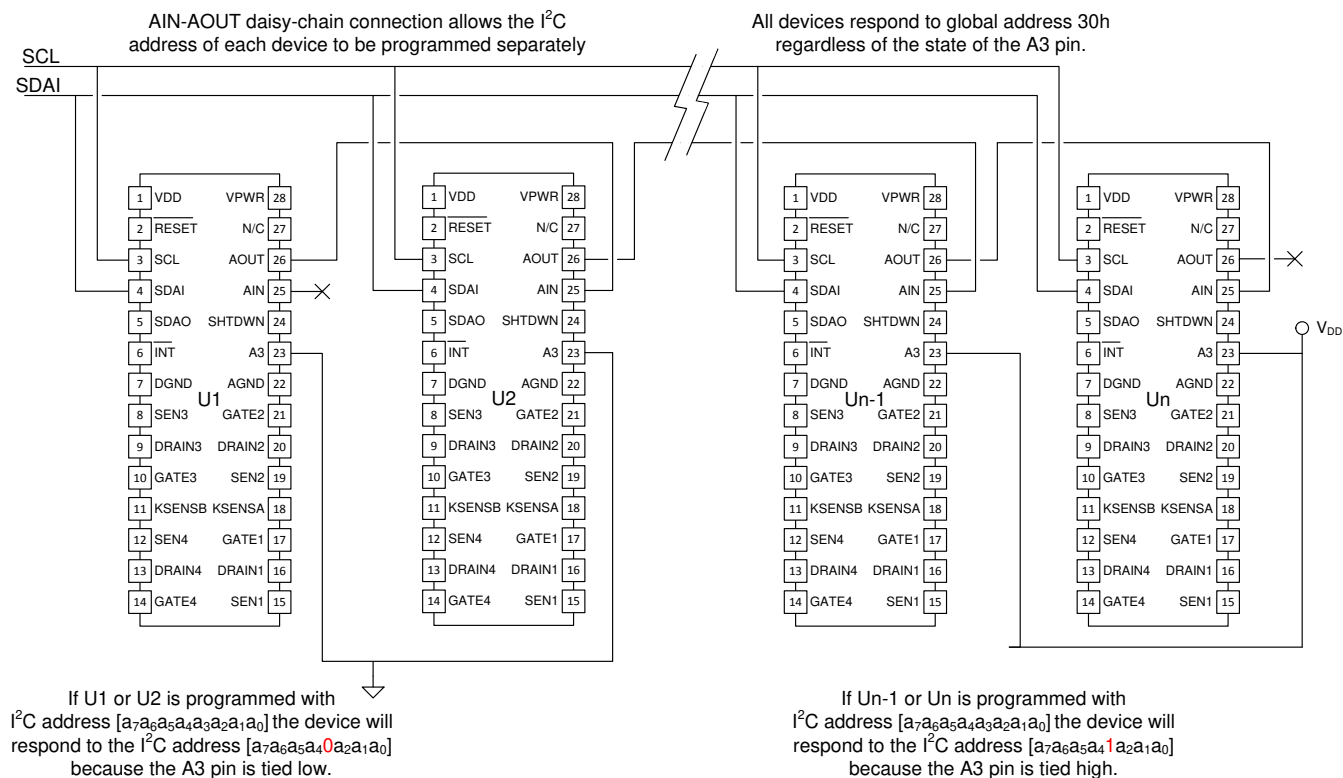


図 6-6. I²C スレーブアドレスと AUTO ビット プログラミング回路

アドレス プログラミング時のシーケンスは次のとおりです。

- ロック解除コード (AAh) と一時共通スレーブ アドレス (30h 以外のアドレス) を含むグローバル書き込みコマンドは、ブロードキャスト アドレス 30h を通じてすべての I²C デバイスに送信されます。
- すべての TPS23861 デバイスは、A3 ピンの状態に関わらず、ブロードキャスト アドレス 30h に応答します。3 バイトのシーケンスが正常にデコードされると、
 - 各 TPS23861 は、プログラムされた一時スレーブ アドレスによって決定される新しい I²C アドレスを持ちます。ビット 3 は A3 ピンの状態と同じになります。
 - すべての TPS23861 デバイスは、AOUT 出力を強制的に Low にします。

たとえば、一時共通スレーブ アドレス 20h が、A3 が Low のデバイスと A3 が High のデバイスに書き込まれた場合、A3 が Low のデバイスは I²C アドレス 20h に応答し、A3 が High のデバイスは I²C アドレス 28h に応答します。

- 最初に選択した TPS23861 デバイスが、ロジック High レベル (図 6-6 の U1) で AIN ピンがある唯一のデバイスになります。
- 一時スレーブ アドレスを使用して、新しい 7 ビットのデバイス アドレスを I²C スレーブ アドレス レジスタに書き込みます。以下のデータフォーマットをご確認ください。

注

SLA3 スレーブ アドレス ビットは、I²C スレーブ アドレス レジスタの詳細にある通り、A3 入力ピンのロジックレベルに従います。

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	自動	7 ビット I ² C アドレス						

- 最初のスレーブは、新しいアドレスを受け入れると、AOUT 出力ピンを強制的に High レベルにし、スレーブ アドレス レジスタへのアクセスを自動的にロックします。また、新しいスレーブ アドレスを EEPROM に永続的に保存します。
- 同じ手順が、次に AIN 入力が高になったことを検出したスレーブ デバイスでも繰り返されます。
- すべてのスレーブが再プログラムされるまでこの手順が繰り返されます。
- その後、ホストは各スレーブを 1 つずつ調査し、新しいアドレスを検証することができます。

注

アドレス プログラミング手順中に、タイムアウト期間 (約 100ms) 内にスレーブが新しいアドレスを受信しなかった場合、スレーブは (アドレス プログラミング シーケンスが開始される前に) 最初のスレーブ アドレスに戻り、アドレス レジスタをロックして、AOUT 出力を解放します。

- 8 ビット転送 (AUTO) のビット 7 は、コントローラが自動 PSE として独立して (ホストプロセッサなしで) 動作するかどうかを定義します。このビットの状態は、パワーオンリセットの後、RESET レジスタの RESAL ビットに 1 が書き込まれた後、または RESET 入力が高になった後にのみ監視されます。そのビット状態がリセット後にレジスタに与える影響は 表 6-10 (リセット状態列) に反映されます。これは「A」と呼ばれます。

注

レジスタ 0x11 に新しい I²C スレーブ アドレスをプログラムした後は、読み取りチェックの実行前に 100ms の遅延を設定することを推奨します。

注

デバイス検出に I²C スキャンを使用する場合、アドレス 0x30 (ブロードキャスト アドレス) と 0x31 へのコマンド書き込みの間に、少なくとも 100ms の遅延を追加することを推奨します。この設定で、不要な追加 ACK の受信を防止できます。アドレス 0x30 への書き込みコマンドをスキップして追加の ACK を回避することもできます。

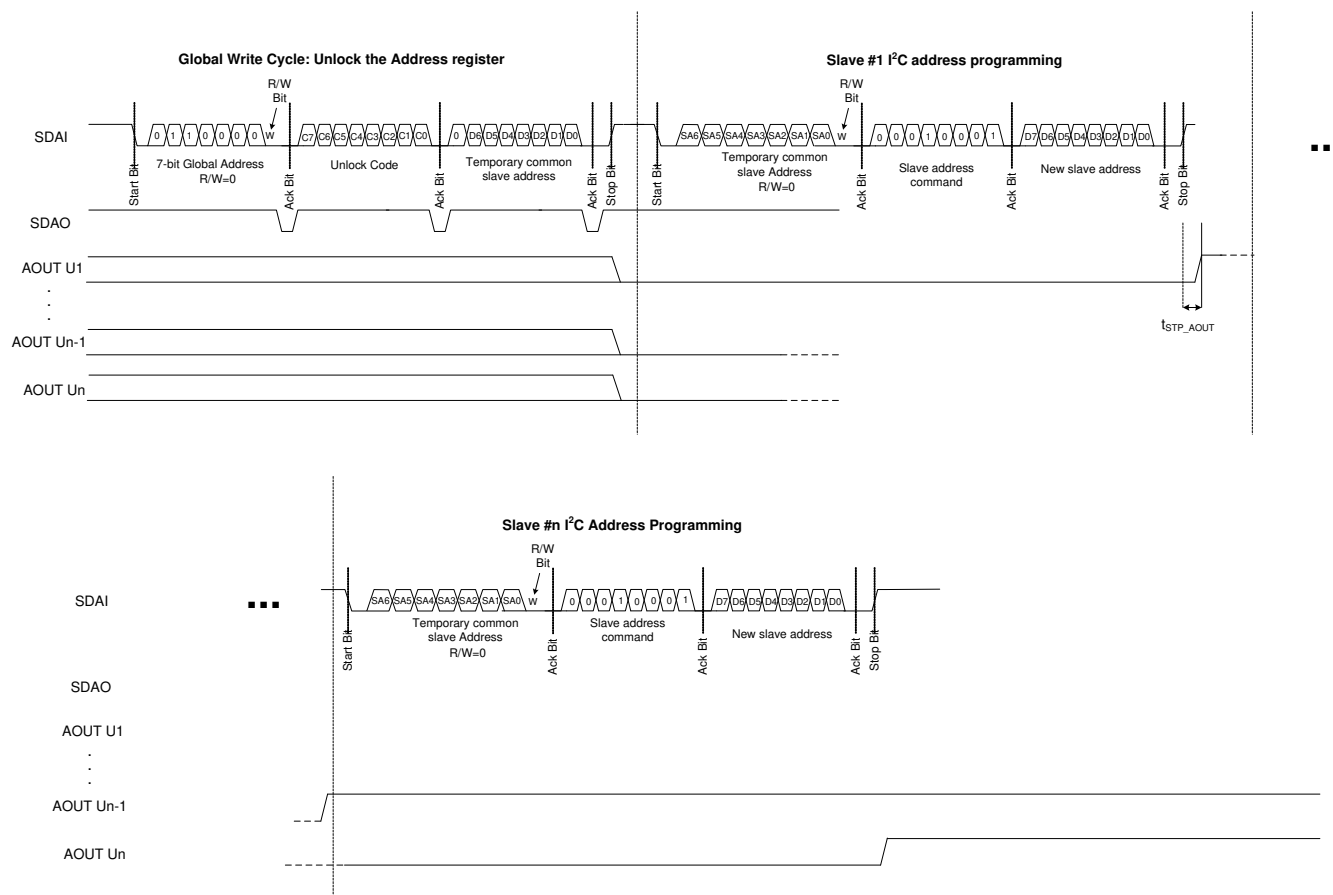


図 6-7. I²C/SMBus インターフェイスのスレーブアドレスプログラミング プロトコル

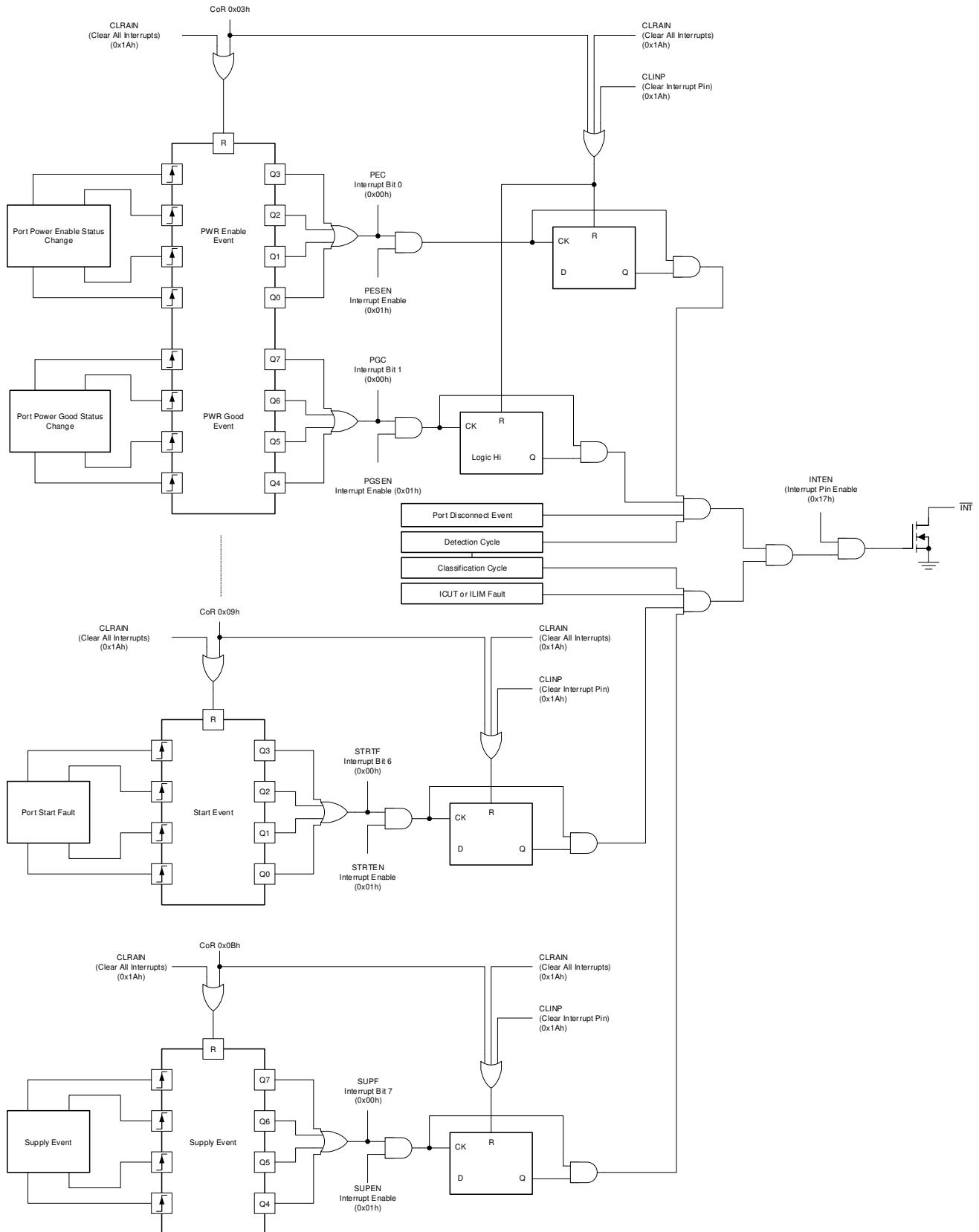


図 6-8. 割り込みロジックの機能図

6.4 デバイスの機能モード

4 つのモードの定義を以下に示します。動作モードは、動作モードレジスタの **Port n Mode** フィールドを介して各ポートで制御されます。動作モードコードは、[セクション 6.5.11](#) に表示されます。

6.4.1 オフ

ポート **n** は検出、分類、電源オンを行いません。ポート **n** の動作モードがオフに設定されている場合は、次のようになります。

- ポートの電圧と電流が継続的に監視されます。その結果は、ポート **n** の電圧レジスタおよびポート **n** の電流レジスタに通知されます。
- 検出イベントレジスタの **CLSCn** ビットと **DETCn** ビットがクリアされます。
- ポート **n** のステータスレジスタがクリアされます。
- 検出 / クラス有効化レジスタの **CLEn** ビットと **DETEn** ビットがクリアされます。
- フォルト イベントレジスタの **DISFn** ビットと **ICUTn** ビットがクリアされます。
- 起動 / **ILIM** イベントレジスタの **ILIMn** ビットと **STRn** ビットがクリアされます。
- 動作モードがオフに設定されている場合にポートの電源がオンになっていると、ポートがオフになり、次のようになります。
 - パワー イベントレジスタの **PGCn** ビットと **PECn** ビットが設定されます。
 - パワー ステータスレジスタの **PGn** ビットと **PEn** ビットがクリアされます。

6.4.2 手動

注

2 イベント分類を適用する場合、IEEE 802.3at 規格を満たすためには、分類が完了してから 22ms 以内に **PWONn** ビットを設定する必要があります。

状態が自動的に切り替わることはありません。プッシュボタンレジスタである検出 / クラス再起動レジスタの適切なビットに書き込むことで、単一の検出または分類イベントを開始できます。さらに、**DETEn** ビットを設定すると、ポート **n** に対して 1 回の検出サイクルが開始され、**CLEn** ビットをセットすると、ポート **n** に対して 1 回の分類サイクルが開始されます。分類イベントの回数は、[表 6-7](#) に示すように、最初の分類イベントの分類ステータスと **TECLENn** フィールドの設定によって決まります。

表 6-7. 手動モードにおける分類イベントの回数

最初の分類イベントの 分類ステータス	TECLENn の値	分類イベントの 合計回数
クラス 0、クラス 1、クラス 2、クラス 3	XX	1
クラス 4	X0	1
	X1	2

手動モードでは、プッシュボタンの **PWONn** ビットに書き込むと、ポート **n** の電源が直ちにオンになります。

注

手動モードでは、**ICUTn** および **PoEPn** フィールドは自動的に設定されません。これらはホストから設定する必要があります。さらに、手動モードではクールダウン期間はありません。

6.4.3 半自動

検出 / クラス有効化レジスタの DETEn ビットが設定されるまで、ポートでは何のアクティビティも実行されません。DETEn が設定されている場合、ポート n は自動的に検出を実行します。有効な PD が検出され、CLEn が設定されている場合、ポートは分類サイクルを開始します。クラス 0、1、2、3 の PD が認識された場合、分類サイクルはシングル イベントになります。最初の分類イベントがクラス 4 シグネチャを返す場合、2 イベント分類レジスタの TECLENn フィールドの設定に応じて、2 番目の分類イベントが開始されます。検出サイクルの後、分類が連続して繰り返されます。

ポートの電源をオンにするには、パワー有効化レジスタのプッシュボタン PWONn ビットへの書き込みが必要です。IEEE TP(on) の要件を満たすとポートがオンになり、有効な検出終了後 400ms 以内に電源が供給されます。PWONn コマンドのタイミングによっては、TP(ON) 要件を満たす必要がある場合、コントローラはポートに電源を投入する前に、(CLEn が設定されていれば) 新しい検出および分類のシーケンスを開始する可能性があります。最終検出が無効な場合、または最終分類が過電流かクラスの不一致を返す場合、ポートの電源はオンにならず、起動 / ILIM イベントレジスタに STRTn ビットが設定されます。ターンオン シーケンスについては、[セクション 6.4.5](#) を参照してください。

注

半自動モードでは、ICUTn および PoEPn フィールドは自動的に設定されません。これらはホストから設定する必要があります。

パワーオフ コマンドの実行後、あるいは起動、ICUT、または ILIM 障害による接続解除またはシャットダウンの後、ポートは電源オフになります。起動、ILIM、ICUT フォルトによるシャットダウンに続き、TPS23861 はクールダウン期間に移行します。クールダウン期間中は、パワー有効化コマンドを使用したポートのパワーオン コマンドはすべて無視されます。クールダウン期間の長さは、クールダウン / ゲートドライブ レジスタの CLDN フィールドで設定されます。クールダウン期間が終了すると、TPS23861 は検出サイクルを開始し、半自動動作を継続します。

注

TI では、ソフトウェアを開発する際に、こちらのリファレンス コードを使用することを推奨しています。

<http://www.ti.com/product/TPS23861/toolssoftware>

6.4.4 自動

自動モードでは、TPS23861 はポートを検出、分類、パワーオンの状態に自動的に移行させます。ICUT および PoEP フィールドは、分類ステータスに基づいて自動的に設定されます。クラス 0、1、2、3 の PD が認識されると、ICUTn は 000 (374mA) に設定され、PoEPn ビットがクリアされます。クラス 4 の PD が認識されると、ICUTn は 110 (645mA) に設定され、PoEPn ビットが設定されます。自動モードと AUTO ビットは関連していますが、同一のものではありません。このビットが設定されると、すべてのポートが自動モードになり、他のいくつかのレジスタも設定されます。「[セクション 6.3.12](#)」セクションを参照してください。

パワーオフ コマンドの実行後、あるいは起動、ICUT、または ILIM 障害による接続解除またはシャットダウンの後、ポートは電源オフになります。パワーオフ コマンドまたは接続解除によってポートがパワーオフになった後、TPS23861 は検出サイクルから自動動作を継続します (DETEn が設定されている場合)。起動、ICUT、ILIM フォルトによるシャットダウンである場合、TPS23861 はクールダウン期間に移行します。クールダウン期間中は、パワー イネーブル コマンドを使用したポートのパワーオン コマンドはすべて無視されます。クールダウン期間の長さは、クールダウン / ゲートドライブ レジスタの CLDN フィールドで設定されます。クールダウン期間の終了後、DETEn が設定されていると仮定すると、TPS23861 は検出サイクルから自動動作を継続します。

動作モードが自動に設定されていても、以下の状況では、TPS23861 はポートに自動的に電力を供給することはありません。

- 検出ステータスが抵抗値有効ではない場合。つまり自動モードで電源をオンにするには、DETEn ビットが設定されている必要があります。

注

ポートがオフ モードの場合、DETEn ビットまたは CLEn ビットへの書き込みは保持されません。

- 分類ステータスが過電流またはクラス不一致の場合。

TPS23861 は、パワーオンリセット後、または RESET ピンがデアサートされた後に自動モードで起動します。有効な PD が接続された状態で TPS23861 がリセット状態から復帰すると、[図 6-9](#) に示すように、ポートは検出、分類、パワーオンの順に移行します。ポートのパワーオンのタイミングをずらすことで、複数の PD がすでに接続されている状態での、VPWR 電源からの急激な電流突入を防止します。

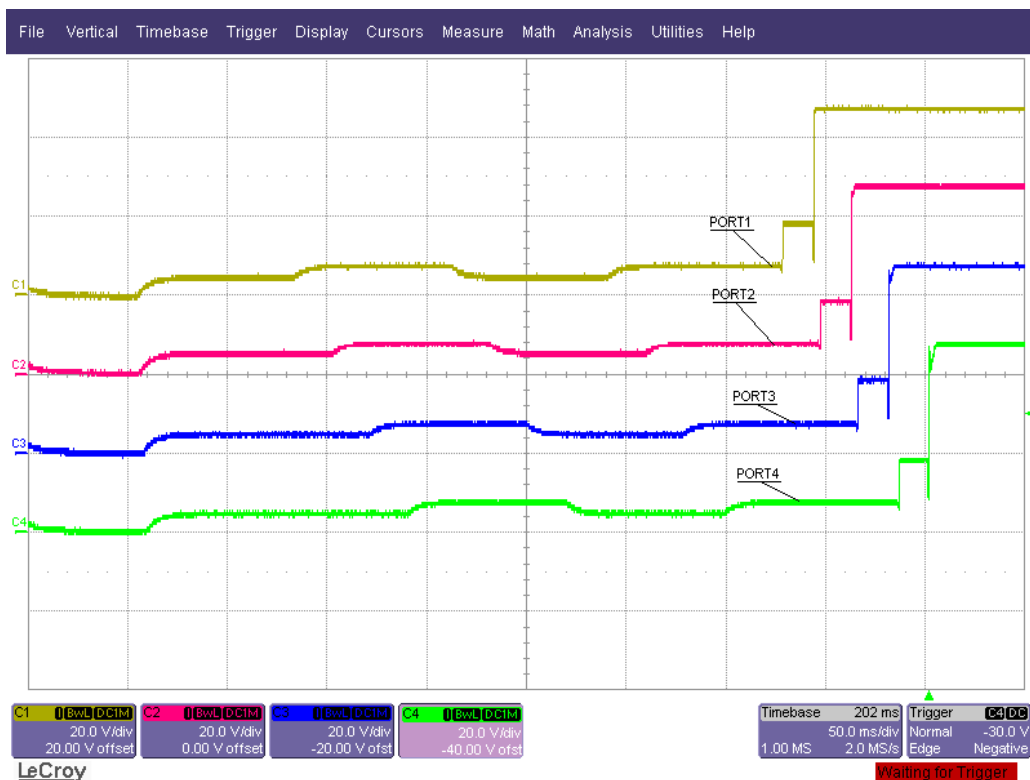


図 6-9. RESET ピンのデアサート後のポート シーケンシング

6.4.5 プッシュボタンの電源オン応答

プッシュボタンレジスタから指令された電源オンに対する TPS23861 のポート動作は、検出レジスタとクラス有効化レジスタそれぞれにより異なります。

表 6-8. 応答の要約 ⁽¹⁾

動作モード	検出 EN ビット	クラス EN ビット	ポートの動作
オフ	x	x	ポートの電源が入らない
手動	x	x	ポートの電源が直ちにオンになる
半自動	0	0	ポートの電源が入らない
	1	0	次の正常な検出完了後にポートの電源がオンになる
	0	1	ポートの電源が入らない
	1	1	次の正常な検出と分類の完了後にポートの電源がオンになる
車載	x	x	プッシュボタンの電源オンが無視される。ポートは自動モードのルールに従う。

(1) プッシュボタンの電源オンに応答する。

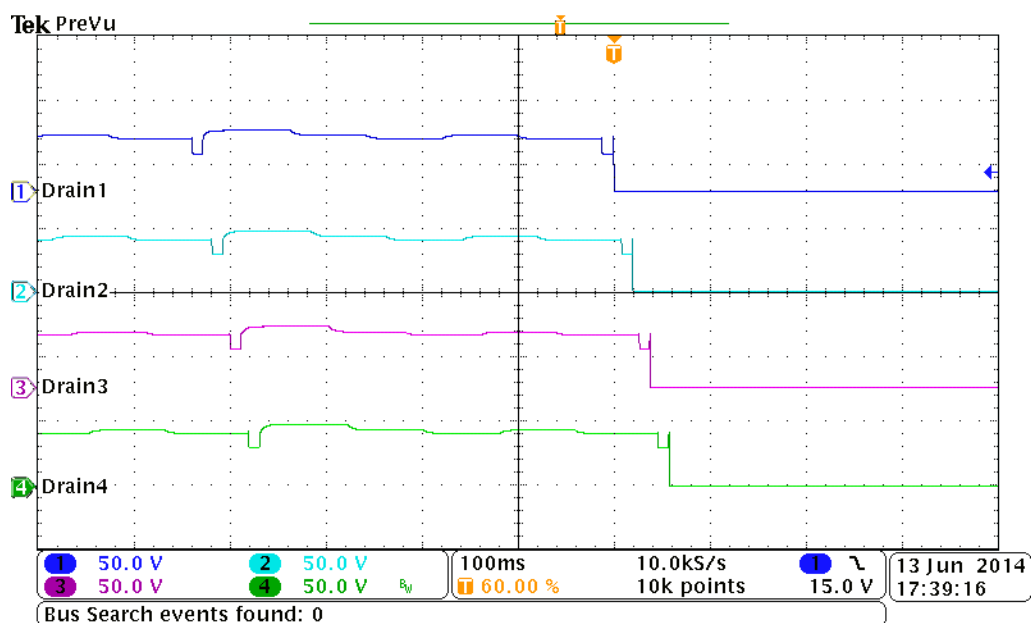


図 6-10. 半自動シーケンス オン

6.4.6 検出およびクラス障害を示す TSTART インジケータ

起動障害インジケータは、半自動モードで追加で発生した問題をホストに報告します。これにより、PSE で問題が発生し、ポートをオンにできなかったことがホストに通知されます。TSTART マスクが有効で、これらの障害条件のいずれかが発生すると、割り込みピンがアクティブになります。これらの条件は、表 6-9 に記載されています。

表 6-9. 検出およびクラス障害インジケータ (1)

動作モード	フォルト条件
オフ	なし
手動	t _{START} 時間の終了時における過電流状態
半自動	t _{START} 時間の終了時における過電流状態
	検出が無効
	クラスが不明
	クラスの不一致
	クラスでの過電流
車載	t _{START} 時間の終了時における過電流状態

(1) スタートフォルトを設定する条件。

6.4.7 デバイス電源投入時の初期化

デバイスの電源投入時に、VDD および VPWR がそれぞれ V_{UVDDR} および V_{UVLOPW_R} を超えると、TPS23861 は t_{POR} の間、初期化処理を行います。この期間中、TPS23861 は I²C コマンドに応答しません。t_{POR} の後、I²C コマンドを送信する前に約 20ms 待ちます。

6.5 レジスタ マップ – I²C アドレス指定可能

表 6-10. I²C アドレス指定可能レジスタ セットの概要 (1)(2)

CMD コード	レジスタまたはコマ ンド名	I ² C R/W	デー タ バイト	RST 状態	フィールドの説明							
00	割り込み	RO	1	1000.0000	SUPF	STRTF	IFAUULT	CLASC	DETC	DISF	PGC	PEC
01	割り込みイネーブル	R/W	1	1AA0、0A00	SUPEN	STRTE N	IFEN	CLCEN	DEEN	DISEN	PGSEN	PESEN
02	パワー イベント	RO	1	0000.0000	パワー グッド ステータスの変更				電源イネーブルのステータス変更			
03		CoR	1		PGC4	PGC3	PGC2	PGC1	PEC4	PEC3	PEC2	PEC1
04	検出イベント	RO	1	0000.0000	分類				検出			
05		CoR	1		CLSC4	CLSC3	CLSC2	CLSC1	DETC4	DETC3	DETC2	DETC1
06	フォルト イベント	RO	1	0000.0000	切断が発生しました				ICUT 障害が発生しました			
07		CoR	1		DISF4	DISF3	DISF2	DISF1	ICUT4	ICUT3	ICUT2	ICUT1
08	起動 / ILIM イベント	RO	1	0000.0000	ILIM 障害が発生しました				起動障害が発生しました			
09		CoR	1		ILIM4	ILIM3	ILIM2	ILIM1	STRT4	STRT3	STRT2	STRT1
0A	供給イベント	RO	1	0011.0000	TSD	-	VDUV	VPUV	-	-	-	-
0B		CoR	1									
0C	ポート 1 ステータス	RO	1	0000.0000	CLASS P1				DETECT P1			
0D	ポート 2 ステータス	RO	1	0000.0000	CLASS P2				DETECT P2			
0E	ポート 3 ステータス	RO	1	0000.0000	CLASS P3				DETECT P3			
0F	ポート 4 ステータス	RO	1	0000.0000	CLASS P4				DETECT P4			
10	電源ステータス	RO	1	0000.0000	PG4	PG3	PG2	PG1	PE4	PE3	PE2	PE1
11	I ² C スレーブ アドレス	RO ⁽³⁾	1	1010.0000	自動	SLA6	SLA5	SLA4	SLA3	SLA2	SLA1	SLA0
12	動作モード	R/W	1	AAAA、AAAA	ポート 4 モード		ポート 3 モード		ポート 2 モード		ポート 1 モード	
13	接続解除イネーブル	R/W	1	0000、AAAA	-	-	-	-	DCDE4	DCDE3	DCDE2	DCDE1
14	検出 / クラス イネーブル	R/W	1	AAAA、AAAA	CLE4	CLE3	CLE2	CLE1	DETE4	DETE3	DETE2	DETE1
15	ポート電源優先度	R/W	1	AAAA、0000	FSE4	FSE3	FSE2	FSE1	-	-	-	-
16	タイミング構成	R/W	1	0000.0000	TLIM		TSTART		TICUT		TDIS	
17	汎用マスク	R/W	1	1000.0000	INTEN	-	-	MAINS	-	-	R	M250
18	検出 / クラス再起動	WO	1	-	RCL4	RCL3	RCL2	RCL1	RDET4	RDET3	RDET2	RDET1
19	パワー イネーブル	WO	1	-	POFF4	POFF3	POFF2	POFF1	PWON4	PWON3	PWON2	POWN1
1A	リセット	WO	1	-	CLRAIN	CLINP	-	RESAL	RESP4	RESP3	RESP2	RESP1
20	レガシー検出モード	R/W	1	0000.0000	LEGMOD4		LEGMOD3		LEGMOD2		LEGMOD1	
21	2 イベント分類	R/W	1	0A0A、0A0A	TECLEN4		TECLEN3		TECLEN2		TECLEN1	
27	割り込みタイマ	R/W	1	0000.0000	R	R	R	R	TMR 3-0			
29	接続解除スレッシュ ホールド	R/W	1	0000.0000	DCTH4		DCTH3		DCTH2		DCTH1	
2A	ICUT21 CONFIG	R/W	1	0000.0000	-	ICUT ポート 2			-	ICUT ポート 1		
2B	ICUT43 CONFIG	R/W	1	0000.0000	-	ICUT ポート 4			-	ICUT ポート 3		
2C	温度	RO		0000.0000	温度 (ビット 7 ~ 0)							
2E	入力電圧	RO	2	0000.0000	入力電圧:LSByte							
2F		RO		0000.0000	-	-	入力電圧:最上位バイト (ビット 13 ~ 8)					

表 6-10. I²C アドレス指定可能レジスタ セットの概要 (1)(2) (続き)

CMD コード	レジスタまたはコマ ンド名	I ² C R/W	デー タ バ イト	RST 状態	フィールドの説明							
30	ポート 1 電流	RO	2	0000.0000	ポート 1 電流:最下位バイト							
31		RO		0000.0000	-	-	ポート 1 電流:最上位バイト (ビット 13 ～ 8)					
32	ポート 1 電圧	RO	2	0000.0000	ポート 1 電圧:最下位バイト							
33		RO		0000.0000	-	-	ポート 1 電圧:最上位バイト (ビット 13 ～ 8)					
34	ポート 2 電流	RO	2	0000.0000	ポート 2 電流:最下位バイト							
35		RO		0000.0000	-	-	ポート 2 電流:最上位バイト (ビット 13 ～ 8)					
36	ポート 2 電圧	RO	2	0000.0000	ポート 2 電圧:最下位バイト							
37		RO		0000.0000	-	-	ポート 2 電圧:最上位バイト (ビット 13 ～ 8)					
38	ポート 3 電流	RO	2	0000.0000	ポート 3 電流:最下位バイト							
39		RO		0000.0000	-	-	ポート 3 電流:最上位バイト (ビット 13 ～ 8)					
3A	ポート 3 電圧	RO	2	0000.0000	ポート 3 電圧:最下位バイト							
3B		RO		0000.0000	-	-	ポート 3 電圧:最上位バイト (ビット 13 ～ 8)					
3C	ポート 4 電流	RO	2	0000.0000	ポート 4 電流:最下位バイト							
3D		RO		0000.0000	-	-	ポート 4 電流:最上位バイト (ビット 13 ～ 8)					
3E	ポート 4 電圧	RO	2	0000.0000	ポート 4 電圧:最下位バイト							
3F		RO		0000.0000	-	-	ポート 4 電圧:最上位バイト (ビット 13 ～ 8)					
40	PoE プラス	R/W	1	0000、----	POEP4	POEP3	POEP2	POEP1	-	-	-	-
41	ファームウェア リビ ジョン	RO	1	RRRR、 RRRR	ファームウェア リビジョン							
42	I ² C ウォッチドッグ	R/W	1	0001.0110	-	-	-	ウォッチドッグはディセーブル			WDS	
43	デバイス ID	R/W	1	111、sr[4:0]	デバイス ID 番号			シリコンのリビジョン番号				
45	クールダウン / ゲ ートドライブ	R/W	1	0000.0000	CLDN		IGATE	-	-	-	-	-
60	ポート 1 検出抵抗	RO	2	0000.0000	ポート 1 抵抗値:最下位バイト							
61		RO		0000.0000	RS1		ポート 1 抵抗値:最上位バイト (ビット 13 ～ 8)					
62	ポート 2 検出抵抗	RO	2	0000.0000	ポート 2 抵抗値:最下位バイト							
63		RO		0000.0000	RS2		ポート 2 抵抗値:最上位バイト (ビット 13 ～ 8)					
64	ポート 3 検出抵抗	RO	2	0000.0000	ポート 3 抵抗値:最下位バイト							
65		RO		0000.0000	RS3		ポート 3 抵抗値:最上位バイト (ビット 13 ～ 8)					
66	ポート 4 検出抵抗	RO	2	0000.0000	ポート 4 抵抗値:最下位バイト							
67		RO		0000.0000	RS4		ポート 4 抵抗値:最上位バイト (ビット 13 ～ 8)					
68	ポート 1 検出電圧 差	RO	2	0000.0000	ポート 1 電圧差 (ビット 7 ～ 0)							
69		RO		0000.0000	VDS1				ポート 1 電圧差:最上位バイト (ビット 11 ～ 8)			
6A	ポート 2 検出電圧 差	RO	2	0000.0000	ポート 2 電圧差 (ビット 7 ～ 0)							
6B		RO		0000.0000	VDS2				ポート 2 電圧差:最上位バイト (ビット 11 ～ 8)			
6C	ポート 3 検出電圧 差	RO	2	0000.0000	ポート 3 電圧差 (ビット 7 ～ 0)							
6D		RO		0000.0000	VDS3				ポート 3 電圧差:最上位バイト (ビット 11 ～ 8)			

表 6-10. I²C アドレス指定可能レジスタ セットの概要 (1)(2) (続き)

CMD コード	レジスタまたはコマ ンド名	I ² C R/W	デー タ バ イト	RST 状態	フィールドの説明	
6E	ポート 4 検出電圧 差	RO	2	0000.0000	ポート 4 電圧差 (ビット 7 ~ 0)	
6F		RO		0000.0000	VDS4	ポート 4 電圧差: 最上位バイト (ビット 11 ~ 8)

- (1) 「R」とラベル付けされたビットは予約済みです。これらのビットの値をリセット時の値から変更した場合、望ましくない動作が発生する可能性があります。
- (2) 「A」とラベル付けされたビットは、POR 後にレジスタ 0x11 にプログラムされたビットの状態を引き継ぎます。
- (3) このレジスタは、ロック解除コードが先に入力されている場合、スレーブ アドレスのプログラミング中に読み取り / 書き込みが可能です。

6.5.1 割り込みレジスタ

コマンド = 00h、1 データ バイト、読み取り専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	SUPF	STRTF	IFAUULT	CLASC	DETC	DISF	PGC	PEC
リセットまたは POR 値	1	0	0	0	0	0	0	0

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各ビットは、対応するイベント レジスタのアドレスにおいて読み取りを行うか、リセット レジスタのビット 7 設定をすることで、個別にリセットできます。

割り込みイネーブル レジスタ内の対応するイネーブル ビットが設定されており、汎用マスク レジスタ内の **INTEN** ビットが設定されている場合、割り込みレジスタのいずれかのアクティブ ビットによって **INT** 出力がアクティブになります。

ビットの詳細

SUPF: 電源イベント障害が発生したことを示します。

SUPF = TSD || VDUV || VPUV

1 = 少なくとも 1 つの電源イベント障害が発生しました。

0 = 電源イベント障害は発生していません。

STRTF: 少なくとも 1 つのポートで起動障害が発生したことを示します。

STRTF = STRT1 || STRT2 || STRT3 || STRT4

1 = 少なくとも 1 つのチャンネルで起動障害が発生しました。

0 = 起動障害は発生していません。

IFAUULT: 少なくとも 1 つのポートで ICUT または ILIM 障害が発生したことを示します。

IFAUULT = ICUT1 || ICUT2 || ICUT3 || ICUT4 || ILIM1 || ILIM2 || ILIM3 || ILIM4

1 = 少なくとも 1 つのポートで ICUT または ILIM 障害が発生しました。

0 = ICUT または ILIM 障害は発生していません。

CLASC: 少なくとも 1 つのポートで、1 回以上の分類サイクルが発生したことを示します。

CLASC = CLSC1 || CLSC2 || CLSC3 || CLSC4

1 = 少なくとも 1 つのポートで、1 回以上の分類サイクルが発生しました。

0 = 分類サイクルは発生していません。

DETC: 少なくとも 1 つのポートで、1 回以上の検出サイクルが発生したことを示します。

DETC = DETC1 || DETC2 || DETC3 || DETC4

1 = 少なくとも 1 つのポートで、1 回以上の検出サイクルが発生しました。

0 = 検出サイクルは発生していません。

DISF: 少なくとも 1 つのポートで接続解除イベントが発生したことを示します。

DISF = DISF1 || DISF2 || DISF3 || DISF4

1 = 少なくとも 1 つのチャンネルで接続解除イベントが発生しました。

0 = 接続解除イベントは発生していません。

PGC:少なくとも 1 つのポートでパワー グッド ステータスが変更されたことを示します。

PGC = PGC1 || PGC2 || PGC3 || PGC4

1 = 少なくとも 1 つのポートでパワー グッド ステータスの変更が発生しました。

0 = パワー グッド ステータスが変わりませんでした。

PEC:少なくとも 1 つのポートでパワー イネーブル ステータスが変更されたことを示します。

PEC = PEC1 || PEC2 || PEC3 || PEC4

1 = 少なくとも 1 つのポートでパワー イネーブル ステータスの変更が発生しました。

0 = パワー イネーブル ステータスが変わりませんでした。

6.5.2 割り込みイネーブル レジスタ

コマンド = 01h、1 データ バイト、読み取り / 書き込み

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	SUPEN	STRTEN	IFEN	CLCEN	DEEN	DISEN	PGSEN	PESEN
リセットまたは POR 値	1	A	A	0	0	A	0	0

各ビットは、割り込みレジスタで定義されている特定のイベントまたはフォルトに対応します。

ビットに 1 を書き込むと、対応するイベントが $\overline{\text{INT}}$ ピンで割り込みを生成できます。

ビットに 0 を書き込むと、対応するイベント / フォルトによって $\overline{\text{INT}}$ ピンがアクティブになることがマスクされます。

注

割り込みレジスタのビットは、割り込み有効化レジスタの状態に関係なく、イベントやフォルトに応じて常に変化します。イベントが $\overline{\text{INT}}$ 出力をアクティブにできるようにするには、汎用マスク 1 レジスタの INTEN ビットも設定する必要があります。

ビットの詳細

SUPEN: 電源イベントフォルト イネーブル ビット。

1 = 電源イベントフォルトにより、 $\overline{\text{INT}}$ 出力がアクティブになります。

0 = 電源イベントフォルトは、 $\overline{\text{INT}}$ 出力に影響を与えません。

STRTEN: スタートフォルト イネーブル ビット。

1 = スタートフォルトにより、 $\overline{\text{INT}}$ 出力がアクティブになります。

0 = スタートフォルトは、 $\overline{\text{INT}}$ 出力に影響を与えません。

IFEN: IFAULT イネーブル ビット。

1 = ICUT または ILIM フォルトの発生により、 $\overline{\text{INT}}$ 出力がアクティブになります。

0 = ICUT または ILIM フォルトは、 $\overline{\text{INT}}$ 出力に影響を与えません。

CLCEN: 分類サイクルの割り込みイネーブル ビット。

1 = 分類サイクルが発生すると、 $\overline{\text{INT}}$ 出力がアクティブになります。

0 = 分類サイクルが発生しても、 $\overline{\text{INT}}$ 出力に影響を与えません。

DEEN: 検出サイクル割り込みイネーブル ビット。

1 = 検出サイクルが発生すると、 $\overline{\text{INT}}$ 出力がアクティブになります。

0 = 検出サイクルの発生は、 $\overline{\text{INT}}$ 出力に影響を与えません。

DISEN: 接続解除イベント割り込みイネーブル ビット。

1 = 接続解除イベントが発生すると、 $\overline{\text{INT}}$ 出力がアクティブになります。

0 = 接続解除イベントの発生は、 $\overline{\text{INT}}$ 出力に影響を与えません。

PGSEN: パワー グッド ステータス変化割り込みイネーブル ビット。

1 = パワー グッド ステータスの変更により、 $\overline{\text{INT}}$ 出力がアクティブになります。

0 = パワー グッド ステータスの変更は、 $\overline{\text{INT}}$ 出力に影響を与えません。

PESEN: パワー イネーブル ステータス変化割り込みイネーブルビット。

1 = パワー イネーブル ステータスの変更により、 $\overline{\text{INT}}$ 出力がアクティブになります。

0 = パワー イネーブル ステータスの変更は、 $\overline{\text{INT}}$ 出力に影響を与えません。

6.5.3 電源イベント レジスタ

コマンド = 02h、1 データ バイト、読み取り専用

コマンド = 03h、1 データ バイト、読み取り時クリア

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	PGC4	PGC3	PGC2	PGC1	PEC4	PEC3	PEC2	PEC1
リセットまたは POR 値	0	0	0	0	0	0	0	0

アクティブ high。各ビットは、発生した特定のイベントに対応します。

PGCn、PECn の各ビットは個別のポートを表します。

各位置 (02h または 03h) を読み出すと、同じレジスタデータが返されますが、読み取り時クリア コマンドがレジスタのすべてのビットをクリアすることは例外です。

このレジスタによって $\overline{\text{INT}}$ ピンがアクティブになっている場合、読み取り時クリア コマンドにより、 $\overline{\text{INT}}$ ピンは解放されます。

アクティブ ビットのいずれかは、割り込みレジスタの説明に示されているように、割り込みレジスタに影響を及ぼします。

ビットの詳細

PGC4-PGC1: パワー グッド ステータスが変化したことを示します。

1 = パワー グッド ステータスが変化しました。

0 = パワー グッド ステータスが変化しませんでした。

PEC4-PEC1: パワー イネーブル ステータスが変化したことを示します。

1 = パワー イネーブル ステータスが変化しました。

0 = パワー イネーブル ステータスが変化しませんでした。

6.5.4 検出イベント レジスタ

コマンド = 04h、1 データ バイト、読み取り専用

コマンド = 05h、1 データ バイト、読み取り専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	CLSC4	CLSC3	CLSC2	CLSC1	DETC4	DETC3	DETC2	DETC1
リセットまたは POR 値	0	0	0	0	0	0	0	0

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各ビットの CLSCn、DETCn は、個別のポートを表します。

各位置 (04h または 05h) を読み取ると、読み取り時クリア コマンドがレジスタのすべてのビットをクリアする場合を除き、同じレジスタ データが返されます。これらのビットは、ポート n がオフになるとクリアされます。

このレジスタによって $\overline{\text{INT}}$ ピンがアクティブになっている場合、読み取り時クリア コマンドにより、 $\overline{\text{INT}}$ ピンは解放されます。

アクティブ ビットのいずれかは、割り込みレジスタの説明に示されているように、割り込みレジスタに影響を及ぼします。

ビットの詳細

CLSC4-CLSC1: 少なくとも 1 つの分類サイクルが発生したことを示します。

1 = 少なくとも 1 つの分類サイクルが発生しています。

0 = 分類サイクルは発生していません。

DETC4-DETC1: 少なくとも 1 つの検出サイクルが発生したことを示します。

1 = 少なくとも 1 つの検出サイクルが発生しています。

0 = 検出サイクルは発生していません。

6.5.5 フォルト イベント レジスタ

コマンド = 06h、1 データ バイト、読み取り専用

コマンド = 07h、1 データ バイト、読み取り時クリア

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	DISF4	DISF3	DISF2	DISF1	ICUT4	ICUT3	ICUT2	ICUT1
リセットまたは POR 値	0	0	0	0	0	0	0	0

アクティブ high。各ビットは、発生した特定のイベントに対応します。

DISFn、ICUTn の各ビットは個別のポートを表します。

各位置 (06h または 07h) を読み出すと、同じレジスタデータが返されますが、読み取り時クリア コマンドがレジスタのすべてのビットをクリアすることは例外です。これらのビットは、I²C の電源オフ コマンド (POFFn) またはポートリセット コマンド (RESPn) によってクリアされます。

このレジスタによって $\overline{\text{INT}}$ ピンがアクティブになっている場合、この読み取り時クリアにより、 $\overline{\text{INT}}$ ピンは解除されます。

アクティブ ビットのいずれかは、割り込みレジスタの説明に示されているように、割り込みレジスタに影響を及ぼします。

ビットの詳細

DISF4-DISF1: 接続解除イベントが発生したことを示します。

1 = 接続解除イベントが発生しました。

0 = 接続解除イベントは発生していません。

ICUT4-ICUT1: ICUT 障害が発生したことを示します。

1 = ICUT 障害が発生しました。

0 = ICUT 障害は発生していません。

6.5.6 開始 / ILIM イベント レジスタ

コマンド = 08h、1 データ バイト、読み取り専用

コマンド = 09h、1 データ バイト、読み取り時クリア

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ILIM4	ILIM3	ILIM2	ILIM1	STR4	STR3	STR2	STR1
リセットまたは POR 値	0	0	0	0	0	0	0	0

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各ビット ILIMn、STRn は個別のポートを表します。

各位置 (08h または 09h) を読み出すと、同じレジスタデータが返されますが、読み取り時クリア コマンドがレジスタのすべてのビットをクリアすることは例外です。これらのビットは、I²C の電源オフ コマンド (POFFn) またはポートリセット コマンド (RESPn) によってクリアされます。

このレジスタによって $\overline{\text{INT}}$ ピンがアクティブになっている場合、読み取り時クリア コマンドにより、 $\overline{\text{INT}}$ ピンは解放されます。

アクティブ ビットのいずれかは、割り込みレジスタの説明に示されているように、割り込みレジスタに影響を及ぼします。

ビットの詳細

STR4-STR1: 電源オン中にフォルトが発生したことを示します。これは次の原因で発生する可能性があります。

1. t_{START} の終了時の過電流 (フォールドバック) 状態。
2. 半自動または手動モードでのプッシュボタン PWON コマンド後の検出または分類フォルト。
3. 半自動または手動モードでのセカンド フィンガーの過電流またはクラスの不一致。

1 = 突入電流障害またはクラス / 検出エラーが発生しました。

0 = 突入電流障害またはクラス / 検出エラーが発生しませんでした。

ILIM4-ILIM1: ILIM 障害が発生したことを示します。これは、ポートが出力電流を ILIM またはフォールド バックされた ILIM に t_{LIM} を超える時間だけ制限したことを意味します。

1 = ILIM フォルトが発生しました。

0 = ILIM フォルトが発生しませんでした。

6.5.7 電源イベント レジスタ

コマンド = 0Ah、1 データ バイト、読み取り専用

コマンド = 0Bh、1 データ バイト、読み取り時クリア

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	TSD	-	VDUV	VPUV	-	-	-	-
POR 値	0	0	1	1	0	0	0	0

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各位置 (0Ah または 0Bh) を読み出すと、同じレジスタ データが返されますが、読み取り時クリア コマンドがレジスタのすべてのビットをクリアすることは例外です。

このレジスタによって $\overline{\text{INT}}$ ピンがアクティブになっている場合、この読み取り時クリアにより、 $\overline{\text{INT}}$ ピンは解除されます。

アクティブなビットは、「割り込みレジスタ」の説明に示されているように、割り込みレジスタに影響を及ぼします。

ビットの詳細

TSD: サーマル シャットダウンが発生したことを示します。サーマル シャットダウンが発生すると、すべてのポートがオフになり、オフ モードに移行します。ただし、A/D コンバータを含む TPS23861 の内部回路は、引き続き動作します。内部温度が下限スレッショルドを下回るとすぐに、TSD ビットのステータスに関係なく、ポートをオンに戻すことが可能であることに注意してください。

1 = サーマル シャットダウンが発生しました。

0 = サーマル シャットダウンは発生していません。

VDUV: VDD UVLO が発生したことを示します。VDUV は、パワーオン リセット後、または VDD ピンの電圧が $V_{\text{UVDD_F}}$ を下回った場合に設定されます。

1 = VDD UVLO が発生しました。

0 = VDD UVLO は発生していません。

VPUV: VPWR UVLO が発生したことを示します。VPUV は、パワーオン リセットの後、または VPWR ピンの電圧が $V_{\text{PUV_F}}$ を下回った場合に設定されます。

1 = VPWR 低電圧が発生しました。

0 = VPWR 低電圧は発生していません。

注

通常動作中に $\overline{\text{RESET}}$ 入力が Low に引き下げられた場合、VPWR が UVLO スレッショルドを下回っていれば、VPUV が設定されます。VDD が維持されるため、VDUV には影響しません。

VPWR が $V_{\text{PUV_F}}$ を下回り、 $V_{\text{UVLOPW_F}}$ までは低下していない場合、プッシュボタン オフが実行された場合と同様に、すべてのポートの電源がオフになります(パワー イネーブル レジスタの POFFn に 1 を書き込む場合と同様)。VPWR 低電圧 ($V_{\text{UVLOPW_F}}$ 未満) が発生すると、すべてのポートの電源がオフになり、パワーオン リセットが実行されます。

6.5.8 ポート *n* ステータス レジスタ

6.5.8.1 ポート 1 ステータス レジスタ

コマンド = 0Ch、1 データ バイト、読み取り専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	CLASS P1				DETECT P1			
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.8.2 ポート 2 ステータス レジスタ

コマンド = 0Dh、1 データ バイト、読み取り専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	CLASS P2				DETECT P2			
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.8.3 ポート 3 ステータス レジスタ

コマンド = 0Eh、1 データ バイト、読み取り専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	CLASS P3				DETECT P3			
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.8.4 ポート 4 ステータス レジスタ

コマンド = 0Fh、1 データ バイト、読み取り専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	CLASS P4				DETECT P4			
リセットまたは POR 値	0	0	0	0	0	0	0	0

ポート *n* における最新の分類および検出結果を表します。これらのビットは、ポート *n* がオフになるとクリアされます。

注

不明、短絡、開路、または MOSFET 障害の検出ステータス (0x0C ~ 0x0F) にあるポートの検出を無効にするには、ポート オフ コマンドを 0x12、0x19、0x1A に書き込むのではなく、0x14 内の対応するポートの DETEX ビットをクリアします。

ビットの詳細

CLASS Pn[3:0]: CLASS Pn は、各ポートの 4 ビット フィールドです。CLASS Pn の値は、ポート n における最新の分類結果です。選択肢は次のとおりです。

CLASS Pn	分類ステータス
0000	不明
0001	クラス 1
0010	クラス 2
0011	クラス 3
0100	クラス 4
0101	予約済み – クラス 0 として読み取られます
0110	クラス 0
0111	過電流
1000	クラスの不一致

クラスの不一致は、2 イベントの分類中にのみ発生する可能性があります。1 回目と 2 回目のイベントの分類ステータスが異なり、2 回目の分類ステータスが「過電流」でない場合、分類ステータスは「クラスの不一致」に設定されます。1 回目の分類イベントのステータスが「過電流」の場合、CLASS Pn では分類ステータスが「過電流」に設定され、いかなる場合も 2 回目の分類イベントは発生しません。自動モードでは、ポートは自動的に電源オンになりませんが、パワー イネーブル レジスタを使用して電源をオンにすることはできます。分類中にこうした種類の障害が発生した後に、起動 / ILIM イベントレジスタ内の適切な STRTn ビットが設定されます。

DETECT Pn[3:0]: DETECT Pn は、各ポートの 4 ビット フィールドです。DETECT Pn の値は、ポート n における最新の検出結果です。

注

ビット状態 1001 ~ 1100 は、レガシー検出にのみ適用されます。

その選択は次のとおりです。

DETECT Pn	検出ステータス
0000	不明 (POR 値)
0001	短絡 (< 500Ω)
0010	予約済み
0011	抵抗値が低すぎる
0100	抵抗値が有効
0101	抵抗値が高すぎる
0110	開路
0111	予約済み
1000	MOSFET フォルト
1001	レガシー検出
1010	容量測定無効: 検出測定値がクランプ電圧を超過
1011	容量測定無効: ΔV 測定値が不十分
1100	容量測定値は有効ですが、レガシー デバイスの範囲外です。

6.5.9 電源ステータス レジスタ

コマンド = 10h、1 データ バイト、読み取り専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	PG4	PG3	PG2	PG1	PE4	PE3	PE2	PE1
リセットまたは POR 値	0	0	0	0	0	0	0	0

各ビットは、ポートの実際の電力ステータスを表します。

各ビット PGn、PEn は個々のポートを表します。

これらのビットは、ポート n がオフになったときにクリアされます。オフがフォルト状態によって発生したかどうかも含めて決定します。

ビットの詳細

PG4-PG1: 各ビットが 1 のとき、ポートがオンであり、DRAINn の電圧がポートの電源オン中に VPGT を下回ったことを示します。これらのビットは、ターン オンが完了すると High にラッチされ、ポートがオフあるいはリセットまたはパワーオン リセット後のときのみクリアできます。

1 = 電源が良好。

0 = 電源が良好ではありません。

PE4-PE1: 各ビットは、対応するポートのオン / オフ状態を示します。

1 = ポートはオンです。

0 = ポートはオフです。

6.5.10 I²C スレーブ アドレス レジスタ

コマンド = 11h、1 データ バイト、読み取り専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	自動	SLA6	SLA5	SLA4	SLA3	SLA2	SLA1	SLA0
EEPROM の初期値	1	0	1	0	0	0	0	0

ビットの詳細

SLA6-SLA0: EEPROM に格納されている I²C デバイスのアドレス。このアドレスは、I²C スレーブ アドレス プログラミング プロトコルに従って変更できます。詳細については、[セクション 6.3.13](#) を参照してください。

注

プログラムするデバイス アドレスは、0x00、0x30、0x0C のいずれであってもなりません。

自動: ホスト コントローラがない場合でも、コントローラが自動モードで動作するかどうかを定義します。自動動作については、[セクション 6.3.12](#) セクションを参照してください。このビットの状態は、パワーオン リセットの直後、または RESET 入力がアクティブになった後のみ監視されます。リセット後のレジスタに対するそのビット状態の影響は、[表 6-10](#) に反映され、「A」と呼ばれます。

説明	バイナリ デバイス アドレス						
	6	5	4	3	2	1	0
ブロードキャスト アクセス	0	1	1	0	0	0	0
アラート応答	0	0	0	1	1	0	0

説明	バイナリ デバイス アドレス						
	6	5	4	3	2	1	0
スレーブ番号	SLA6	SLA5	SLA4	A3 ピン	SLA2	SLA1	SLA0

6.5.11 動作モード レジスタ

コマンド = 12h、1 データ バイト、R/W

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 4 モード		ポート 3 モード		ポート 2 モード		ポート 1 モード	
リセットまたは POR 値	AA		AA		AA		AA	

フィールド各は、ポートごとの動作モードを設定します。

注

オフモードから自動モードへ、またはオフモードから半自動モードへの遷移を行う 0x12 への動作モード書き込みコマンドでは、その後に検出 / クラス有効 (0x14) 書き込みコマンドが実行される場合、1.2ms の I²C バスの処理遅延が必要です。この遅延は、動作モード コマンド (STOP パルス) の終了から、検出 / クラス イネーブル コマンド (STOP パルス) の終了まで適用されます。

ビットの詳細

Port n Mode[1:0]: 次のように選択できます。

PORT n MODE [1:0]	動作モード
00	オフ
01	手動
10	半自動
11	車載

オフモードでは、ポートはオフで、検出も分類も行われません。手動モードでは、自動状態変更はありません。半自動モードでは、検出と分類は自動化されますが、ポートの電源はオンになりません。自動モードでは、3 つのポートはすべて自動化されます。4 つの各動作モードの詳細な説明については、[セクション 6.4](#) を参照してください。

注

電源有効化が設定されたポート (0x10 で PEx = 1) で、動作モード レジスタ (0x12) でモードをオフに変更する前に、0x10 のポート パワー グッド ステータスも設定 (PGx = 1) されていることを確認してください。

6.5.12 接続解除有効化レジスタ

コマンド = 13h、1 データ バイト、R/W

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	-	-	-	-	DCDE4	DCDE3	DCDE2	DCDE1
リセットまたは POR 値	-	-	-	-	A	A	A	A

各ポートの接続解除検出メカニズムを有効にします。

ビットの詳細

DCDE4-DCDE1: 各ポートの DC 接続解除有効化。接続解除は、SENn ピンでのポート電流の測定、この電流がスレッショルドを下回った場合の TDIS タイマの開始、タイム アウトが発生した場合のポートのオフで構成されます。また、フォルト イベント レジスタの対応する接続解除ビット (DISFn) がそれに応じて設定されます。TDIS タイマは、電流が MPDO の 13% にわたって接続解除スレッショルドよりも高くなるたびにリセットされます。カウンタはゼロを下回るまでデクリメントしません。TDIS フィールドに書き込むことで T_{MPDO} を設定する方法の詳細については、「タイミング構成レジスタ」を参照してください。

6.5.13 検出 / クラス有効化レジスタ

コマンド = 14h、1 データ バイト、R/W

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	CLE4	CLE3	CLE2	CLE1	DETE4	DETE3	DETE2	DETE1
リセットまたは POR 値	A	A	A	A	A	A	A	A

ポートごとの検出と分類の有効化。

手動モードでビットを設定すると、対応するポートに対して 1 サイクル (検出または分類) のみが実行されます。このビットは、サイクルが完了すると自動的にクリアされます。

注

検出 / クラス再起動レジスタに書き込むことで、同様の結果が得られることに注意してください。

注

その後に検出 / クラス有効化 (0x14) 書き込みコマンドが続く場合、0x12、0x18、0x19、0x1A のいずれかに書き込みコマンドを実行するには、1.2ms の I²C バス処理遅延が必要です。この遅延は、0x12、0x18、0x19、または 0x1A コマンド (STOP パルス) の終了から、検出 / クラス有効化コマンド (STOP パルス) の終了まで適用されます。

これは、ポート電源オフ (パワー有効化レジスタ) が発行された場合にもクリアされます。

半自動モードでは、ポートの電源が投入されていないときに、CLEn ビットと DETEn ビットが設定されている限り、検出と分類が継続的に実行されます。まず、検出が実行されます。抵抗有効ステータスが返された場合、分類は次のとおりです。その後、検出クラス シーケンスを繰り返します。検出イベントによって有効なステータスが返されない場合、分類はスキップされ、検出が繰り返されます。

自動モードでは、ポートに電源が投入されず、DETEn ビットと CLEn ビットが設定されている場合、分類は有効な検出に従います。分類によって不明、過電流、またはクラス ミスマッチ ステータスが返されない限り、パワーオンは分類に従います。

START、ICUT、ILIM のいずれかに続くクールダウン サイクル中、そのポートの検出 / クラス有効化コマンドは、クールダウン期間の終了まで遅延されます。

注

検出イネーブル ビットが設定されている場合は、クールダウン サイクルの終了時に、前述のように 1 つ以上の検出 / クラス サイクルが自動的に再起動されます。

ビットの詳細

CLE4-CLE1: 分類イネーブル ビット。

1 = 有効化。

0 = 無効化。

DETE4-DETE1: 検出イネーブル ビット。

1 = 有効化。

0 = 無効化。

6.5.14 ポート電力優先度レジスタ

コマンド = 15h、1 データ バイト、R/W

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	FSE4	FSE3	FSE2	FSE1	R15[3]	R15[2]	R15[1]	R15[0]
リセットまたは POR 値	A	A	A	A	0	0	0	0

ビットの詳細

FSE4-FSE1: 高速シャットダウンをサポートするポート電源優先度ビット。ポートごとに 1 ビット。高速シャットダウン信号の $\overline{\text{SHTDWN}}$ ピンの外部アサートに応答して、どのポートがシャットダウンされるかを指定するために使用されます。電源オフの手順は、Reset コマンド (リセット レジスタ) を使用したポートのリセットと同様です。 $\overline{\text{SHTDWN}}$ ピンが Low のときにこれらのビットのいずれかが設定されると、そのポートもシャットダウンされます。

1 = $\overline{\text{SHTDWN}}$ が強制的に Low レベルになると、対応するポートの電源がオフになります。

0 = $\overline{\text{SHTDWN}}$ 信号はポートに影響を与えません。

予約済み: ビット R15[3:0] は、今後の使用のために予約されています。これらのビットの値をリセット時の値から変更した場合、望ましくない動作が発生する可能性があります。

6.5.15 タイミング構成レジスタ

コマンド = 16h、1 データ バイト、R/W

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	TLIM		TSTART		TICUT		TDIS	
リセットまたは POR 値	0	0	0	0	0	0	0	0

これらのビットは、4 つのポートすべてのタイミング構成を定義します。

注

ICUT または ILIM 状態が発生すると、電源ステータス レジスタの PGn ビットと PEn ビットはクリアされます。

ビットの詳細

TLIM[1:0]: ILIM の障害タイミング。これは、ポートがオフになる前のフォールドバック電流制限時間です。このタイマは、 t_{START} 期間の経過後、 t_{LIM} に対応する最大カウントでロードされます。このタイマは、ポートの出力電流が ILIM に制限されるとカウント ダウンします。ILIM タイマが 0 にカウント ダウンすると、ポートは電源オフになります。ポートの電源がオフになると、クールダウン期間が開始されます。クールダウン期間は、クールダウン / ゲートドライブ レジスタの CLDN フィールドで選択します。クールダウン期間中は、ポートは検出、分類、パワーアップ動作を行いません。ポートに電源が投入され、ポート電流が ILIM を下回ると、(CLDN フィールドの設定に関係なく) カウントダウン レートの 1/16 のレートで同じカウンタがインクリメントします。カウンタは、プログラムされた TLIM 値に対応する最大カウントを超えてインクリメントしません。

注

半自動または自動モードでは、クールダウン期間の終了時に検出イネーブル ビットが設定されている場合、検出サイクルが自動的に再開されます。

注

ILIM と ICUT が同じ値に設定されている場合、TPS23861 において ILIM と ICUT の間の競合条件であり、勝者に関してはファームウェアによって異なります。

PoE プラス レジスタの POEPn ビットをクリアすると、関連するポートに使用される t_{LIM} は常に公称値 (約 60ms) です。POEPn ビットが設定されている場合、関連するポートの t_{LIM} は、次のように選択することでプログラム可能です。

TLIM[1:0]	PoEPn ビットが設定されている場合の公称 t_{LIM} (ms)
00	60
01	30
10	15
11	10

TSTART[1:0]: この 2 ビット フィールドは、 t_{START} 期間の長さを設定します。これは、突入時に許容される最大過電流時間です。 t_{START} 期間の終了時に、電流がまだ I_{NRUSH} に制限されている場合、ポートはオフになります。その後、クールダウン / ゲートドライブ レジスタの CLDN フィールドで設定されたクールダウン期間が続きます。この期間中は、半自動モードまたは自動モードの場合はポートをオンにすることはできません。

注

クラスと検出イネーブル ビットが設定されている場合、クールダウン サイクルの終了時に、半自動モードで検出サイクルが自動的に再起動されます。

その選択は次のとおりです。

TSTART [1:0]	公称 t_{START} (ms)
00	60
01	30
10	120
11	予約済み

TICUT[1:0]:ICUT 障害のタイミング。これは、ポートがオフになるまでの過電流時間 ($t_{OVL D}$) です。

このタイマは、 t_{START} 期間の経過後、 $t_{OVL D}$ に対応する最大カウントでロードされます。このタイマは、ポートの電流が ICUT を超えるとカウント ダウンします。ICUT タイマが 0 にカウント ダウンすると、ポートは電源オフになります。ポートの電源がオフになると、クールダウン期間が開始されます。クールダウン期間は、クールダウン / ゲートドライブ レジスタの CLDN フィールドで設定します。クールダウン期間中は、ポートは検出、分類、パワーアップ動作を行いません。ポートに電源が投入され、ポート電流が ICUT を下回ると、(CLDN フィールドの設定に関係なく) カウントダウン レートの 1/16 のレートで同じカウンタがインクリメントします。カウンタは、プログラムされた TICUT 値に対応する最大カウントを超えてインクリメントしません。

注

半自動または自動モードでは、クールダウン サイクルの終了時に検出イネーブル ビットが設定されている場合、検出サイクルが自動的に再開されます。

注

ILIM と ICUT が同じ値に設定されている場合、TPS23861 において ILIM と ICUT の間の競合条件であり、勝者に関してはファームウェアによって異なります。

その選択は次のとおりです。

TICUT[1:0]	公称 $t_{OVL D}$ (ms)
00	60
01	30
10	120
11	240

TDIS[1:0]: 接続解除遅延。これは、接続解除状態が発生したときにポートをオフにする時間です。

ポート パワー オン後、 t_{START} 期間が完了すると、ポート電流が DCTHn フィールドで設定された接続解除スレッシュホールドを下回ると TDIS カウンタが開始され、 t_{MPDO} の 13% の間、電流が接続解除スレッシュホールドを超え続けるたびにカウンタがリセットされます。カウンタはゼロを下回るまでデクリメントしません。その選択は次のとおりです。

TDIS[1:0]	公称 t_{MPDO} (ms)
0 0	360
0 1	90
1 0	180
1 1	720

6.5.16 汎用マスク 1 レジスタ

コマンド = 17h、1 データ バイト、読み取り / 書き込み

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	INTEN			MAINS	R17[3]	R17[2]	R17[1]	M250
リセットまたは POR 値	1	0	0	0	予約済み	予約済み	予約済み	0

ビットの詳細

INTEN: $\overline{\text{INT}}$ ピン イネーブルビット。1 を書き込むと、割り込みレジスタのいずれかのビットで $\overline{\text{INT}}$ 出力をアクティブにできます。

注

INTEN をアクティブにしても、イベント レジスタには影響しません。

1 = 有効化された割り込みレジスタのビットは、 $\overline{\text{INT}}$ 出力をアクティブにできます。

0 = $\overline{\text{INT}}$ 出力をアクティブにできません。

予約済み: R17[3]、R17[2]、R17[1] は、今後の使用のために予約されています。これらのビットの値をリセット時の値から変更した場合、望ましくない動作が発生する可能性があります。

MAINS: 検出電圧測定時間ビット。このビットを設定またはクリアすると、TPS23861 がシステムで使用される場所に対応する商用電源周波数に対応します。A/D コンバータは、検出サイクル中に 16 回の変換を実行します。これら 16 の変換の結果は平均化され、合計アキュイジション時間は商用電源周波数の 1 サイクルになります。この技術により、検出サイクル測定で商用電源に起因する干渉を大幅に低減できます。

1 = 毎秒 960A/D の変換率で、検出中のポート電圧を変換します。これは、60Hz の商用電源周波数の 1 期間中の 16 回の変換に相当します。

0 = 毎秒 800A/D 変換率で、検出中のポート電圧を変換します。これは、50Hz の商用電源周波数の 1 期間中の 16 回の変換に相当します。

M250: 電流センス抵抗選択ビット。このビットを設定すると、TPS23861 には、250mΩ 電流センス抵抗に対応する ICUT および分類ルックアップ テーブルを使用するよう指示されます。

1 = 250mΩ 電流センス抵抗を電流検出抵抗として使用する場合、このビットを設定します。

0 = 255mΩ 電流センス抵抗を電流検出抵抗として使用する場合、このビットをクリアします。

6.5.17 検出 / クラス再起動レジスタ

コマンド = 18h、1 データ バイト、書き込み専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	RCL4	RCL3	RCL2	RCL1	RDET4	RDET3	RDET2	RDET1

プッシュ ボタン レジスタ。

各ビットは、ポートごとに特定のサイクル (検出またはクラス再起動) に対応しています。

各サイクルは、そのビット位置に 1 を書き込むことによって個別にトリガできます。0 を書き込んでもそのイベントの内容は何も変更されません。

手動モードでは、1 サイクル (検出またはクラス再起動) が開始されます。半自動および自動モードでは、検出 / クラス有効化レジスタの対応するビットが設定され、TPS23861 はセクション 6.4 セクションの規定に従って動作します。

スタート、ICUT、または ILIM に続くクールダウン サイクル中、そのポートの検出 / クラス再起動コマンドは受け入れられませんが、クールダウン期間の終了まで、対応する動作は遅延されます。

注

0x18 への検出 / クラス再起動書き込みコマンドでは、I²C バス処理遅延が 1.2ms で、その後に検出 / クラス有効化 (0x14) 書き込みコマンドが続く必要があります。この遅延は、検出 / クラス再起動コマンド (STOP パルス) の終了から、検出 / クラス有効化コマンド (STOP パルス) の終了まで適用されます。

ビットの詳細

RCL4-RCL1:再起動分類ビット。

RDET4-RDET1:再起動検出ビット。

6.5.18 パワー有効化レジスタ

コマンド = 19h、1 データ バイト、書き込み専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	POFF4	POFF3	POFF2	POFF1	PWON4	PWON3	PWON2	PWON1

プッシュ ボタン レジスタ。このレジスタのビットを設定すると、TPS23861 はポートのオン / オフを切り替えるように指示されます。

オフ モードを除く任意のモードで、または **SHTDWN** ピンを介したポートのシャットダウン状態中に、ポートの電源を強制的にオンまたはオフにするために使用します。

注

0x19 へのパワー オフ書き込みコマンドでは、I²C バス処理遅延が 1.2ms で、その後に検出 / クラス有効化 (0x14) 書き込みコマンドが続く必要があります。この遅延は、パワー オフ コマンド (STOP パルス) の終了から、検出 / クラス有効化コマンド (STOP パルス) の終了まで適用されます。

注

半自動モードまたは自動モードでは、対応するクラスと検出イネーブル ビットが設定されていれば、ポートがオフにされている間であっても、検出と分類が継続的に実行されます。

パワー オン動作の詳細は、動作モードによって異なります。詳細については [セクション 6.4](#) セクションを参照してください。

POFFn 位置に 1 を書き込むと、関連するポートの電源がオフになります。

注

同じ書き込み動作の間に同じポートの POFFn と PWONn に 1 を書き込むと、ポートの電源がオフになります。

起動、ICUT、ILIM の後のクールダウン サイクル中、半自動または自動モードでは、パワー有効化コマンドを使用したポートの電源オンはすべて無視されます。ポートはクールダウン サイクルの終わりにオンになります。手動モードでは、クールダウン中でも、パワー オン コマンドに応答してポートの電源が直ちにオンになります。

ビットの詳細

POFF4-POFF1:ポート パワー オフ ビット。POFFn を書き込むと、以下が実行されます。

- 対応するポート n 電圧レジスタがクリアされます。
- 対応するポート n 検出抵抗レジスタがクリアされます。
- 検出イベントレジスタの CLSCn ビットと DETCn ビットがクリアされます。
- 対応するポート n のステータス レジスタがクリアされます。
- 検出 / クラス有効化レジスタの CLEn ビットと DETEn ビットがクリアされます。
- フォルト イベントレジスタの DISFn ビットと ICUTn ビットがクリアされます。
- 起動 / ILIM イベントレジスタの ILIMn ビットと STRTN ビットがクリアされます。
- POFFn が設定されている場合にポートの電源がオンになっていると、ポートの電源がオフになり、以下のようになります。
 - パワー イベントレジスタの PGCn ビットと PECn ビットが設定されます。
 - パワー ステータスレジスタの PGn ビットと PEn ビットがクリアされます。

PWON4-PWON1:ポート パワー オン ビット。

注

パワー有効化が設定されたポート (0x10 で PEx = 1) で、パワー有効化レジスタ (0x19) にパワー オフ コマンドを書き込む前に、0x10 のポート パワー グッド ステータスも設定 (PGx = 1) されていることを確認してください。

6.5.19 リセット レジスタ

コマンド = 1Ah、1 データ バイト、書き込み専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	CLRAIN	CLINP		RESAL	RESP4	RESP3	RESP2	RESP1

プッシュ ボタン レジスタ。

ビット位置に「1」を書き込むと、「0」が影響を与えない間、イベントがトリガされます。

注

0x1A へのリセット ポート書き込みコマンドでは、I²C バス処理遅延が 1.2ms で、その後に検出 / クラス有効化 (0x14) 書き込みコマンドが続く必要があります。この遅延は、リセット ポート コマンド (STOP パルス) の終了から、検出 / クラス有効化コマンド (STOP パルス) の終了まで適用されます。

ビットの詳細

CLRAIN: すべての割り込みビットをクリアします。CLRAIN に「1」を書き込むと、割り込みレジスタのすべてのイベントレジスタとすべてのビットがクリアされます。また、 $\overline{\text{INT}}$ ピンを解放します

CLINP: このレジスタに「1」が書き込まれると、TPS23861 は、イベント レジスタや割り込みレジスタに影響を与えずに、 $\overline{\text{INT}}$ ピンを解放します。

RESAL: この位置に「1」が書き込まれた場合のリセットレジスタ ビット。この位置に「1」を書き込むと、パワーアップ リセットと同等の状態になります。

注

パワー有効化が設定されたポート (0x10 で PEx = 1) で、リセット レジスタ (0x1A) にリセット ポート コマンドを書き込む前に、0x10 のポート パワー グッド ステータスも設定 (PGx = 1) されていることを確認してください。

注

VDUV ビットと VPUV ビット (電源イベントレジスタ) は、VDD および VPWR 電源レールの状態に従います。

RESP4-RESP1: ポート ビットをリセットします。対応する RESPn ビット位置に「1」を書き込むことにより、任意のモードで即時ポートを強制的にオフにするために使用されます。ポート n がリセットされると、次の処理が実行されます。

- 対応するポート n 電圧レジスタがクリアされます。
- 検出イベントレジスタの CLCSn ビットと DETCn ビットがクリアされます。
- 対応するポート n のステータス レジスタがクリアされます。
- 検出 / クラス有効化レジスタの CLEn ビットと DETEn ビットがクリアされます。
- フォルト イベントレジスタの DISFn ビットと ICUTn ビットがクリアされます。
- 起動 / ILIM イベントレジスタの ILIMn ビットと STRTn ビットがクリアされます。
- クールダウン中は、クールダウン タイマーのロックアウト機能はキャンセルされます。
- RESPn が設定されている場合にポートの電源がオンになっていると、ポートがオフになり、以下のようになります。
 - パワー イベントレジスタの PGCn ビットと PECn ビットが設定されます。
 - パワー ステータスレジスタの PGn ビットと PEn ビットがクリアされます。

6.5.20 レガシー検出モード レジスタ

コマンド = 20h、1 データ バイト、読み取り / 書き込み

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	LEGMOD4		LEGMOD3		LEGMOD2		LEGMOD1	
リセットまたは POR 値	00		00		00		00	

セクション 6.3.8 に、レガシー検出動作を示します。TPS23861 は、レガシー検出動作のみを、または検出 / クラス再起動レジスタの RDETN プッシュボタン コマンドで指示された場合には標準検出動作を、続いてレガシー検出動作を実行できます。または、検出 / クラス有効化レジスタの DETEN ビットが設定されている場合には、半自動モードか自動モードで実行できます。半自動モードまたは自動モードでは、レガシー デバイスが検出されてもポートには自動的に電源が供給されないことに注意してください。このような場合、ホストからポートの電源をオンにする必要があります。

ビットの詳細

LEGMODn[1:0]:レガシー検出モード フィールド。このフィールドでは、ポート n のレガシー検出モードを次のように定義します。

LEGMODn[1:0]	レガシー検出モード
00	レガシー検出無効。検出 / クラス有効化レジスタの DETEN ビットが設定されている場合、標準 (抵抗のみ) の検出シーケンスが実行されます。
01	レガシー検出シーケンスのみ。検出 / クラス有効化レジスタの DETEN ビットが設定されている場合、レガシー検出シーケンスが実行されます。
10	標準 + レガシー検出シーケンス。検出 / クラス有効化レジスタの DETEN ビットが設定されている場合、標準の検出に続いてレガシー検出シーケンスが実行されます。
11	予約済み

6.5.21 2 イベント分類レジスタ

コマンド = 21h、1 データ バイト、読み取り / 書き込み

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	TECLEN4		TECLEN3		TECLEN2		TECLEN1	
リセットまたは POR 値	0A		0A		0A		0A	

2 イベント分類レジスタは、クラス 4 PD が以下の状況で分類された後に、2 番目の物理層分類イベントが発生するかどうかを制御します。

- ・ 手動モードでは、CLEN が設定されている場合、またはプッシュボタン RCLn ビットが書き込まれている場合。
- ・ 半自動モードでは、CLEN が設定されている場合、または PWONn プッシュボタン コマンドが書き込まれている場合。
- ・ 自動モード

ビットの詳細

TECLENn[1:0]:TECLENn フィールドは、PSE が開始する 2 イベント物理層分類の条件を次のように設定します。これらの条件の詳細は、前項とセクション 6.4 セクションに概要を示す動作モードによって異なります。

表 6-11. TECLENn フィールド エンコード

TECLENn[1:0]	2 イベントの物理層分類に関する条件
00	2 イベントの物理層分類はディスエーブルです
01	クラス 4 の分類イベントが発生した場合、2 番目の分類イベントが開始されます
10	予約済み
11	クラス 4 の分類イベントが発生した場合、2 番目の分類イベントが開始されます

6.5.22 割り込みタイマ レジスタ

コマンド = 27h、1 データ バイト、読み取り / 書き込み

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	R27[7]	R27[6]	R27[5]	R27[4]	TMR[3]	TMR[2]	TMR[1]	TMR[0]
リセットまたは POR 値	0	0	0	0	0	0	0	0

ビットの詳細

TMR[3:0]: 重要ではない割り込みは、内部タイマを使用して延期できます。ゼロでない値がロードされると、内部タイマは、次のように計算される周期で連続的にカウントします。

$$t = N \times t_{\text{STEP}} \quad (1)$$

ここで、

- t = タイマ期間 (ms)
- N = TMR[3:0] フィールドの 4 ビット値
- $t_{\text{STEP}} = 10\text{ms}$

TPS23861 内で発生した重要ではない割り込みは、タイマのカウントが 0 になるたびに、割り込み処理ハードウェアに渡されます(その後タイマはリロードされ、カウントを続行します)。

注

「割り込み処理ハードウェア」には、すべての割り込み有効化機能も含まれます。

重要な割り込みと重要ではない割り込みは、表 6-6 で定義されています。TMR[3:0] フィールドを読み取ると、その内容はファームウェアによって最後に書き込まれた内容になります。

TMR[3:0] = 0 の場合、すべての割り込みは発生した時点で処理されます。つまり、TMR[3:0] = 0000 の場合、この機能は無効になります。

予約済み: ビット R27[7:4] は、今後の使用のために予約されています。これらのビットの値をリセット時の値から変更した場合、望ましくない動作が発生する可能性があります。

6.5.23 接続解除スレッシュホールド レジスタ

コマンド = 29h、1 データ バイト、読み取り / 書き込み

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	DCTH4		DCTH3		DCTH2		DCTH1	
リセットまたは POR 値	00		00		00		00	

接続解除電流スレッシュホールドは、各ポートに対して個別にプログラムできます。

6.5.23.1 ビットの詳細

DCTHn[1:0]: 用の電流スレッシュホールドの設定に使用される 2 ビットフィールド。ポートの電源がオンになり、電流が DCTHn で設定された接続解除スレッシュホールドを下回ると、TDIS カウンタが開始されます。TDIS タイマがタイムアウトすると、ポートの電源がオフになります。

DCTHn フィールド	接続解除スレッシュホールド、mA
00	7.5
01	15
10	30
11	50

6.5.24 ICUTnm CONFIG レジスタ

6.5.24.1 ICUT21 の CONFIG レジスタ

コマンド = 2Ah、1 データ バイト、読み取り / 書き込み

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名		ICUT ポート 2					ICUT ポート 1	
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.24.2 ICUT43 の CONFIG レジスタ

コマンド = 2Bh、1 データ バイト、読み取り / 書き込み

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名		ICUT ポート 4					ICUT ポート 3	
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.24.3 ビットの詳細

ICUT ポート n[2:0]: ICUT 電流スレッショルドの設定に使用される 3 ビットのフィールドです。ICUT ポート n で設定された電流スレッショルドを超えると、TICUT タイマがカウントを開始します。最終カウント (0) に達すると、ICUT フォルトが宣言され、ポートがシャット ダウンされます。

注

次の表の電流値は公称値です。

ICUT PORT n フィールド	I _{CUT} (mA)	PoEPn ⁽¹⁾
000	374	0
001	110	0
010	204	0
011	374	0
100	754	1
101	592	1
110	645	1
111	920	1

(1) ICUT と ILIM の関係を適切に保つため、ホストは ICUT の値に応じて PoEPn ビットを設定する必要があります。

6.5.25 温度レジスタ

コマンド = 2Ch、1 データ バイト、読み取り専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	Temp[7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

ダイ温度レジスタ。

ビットの詳細

Temp[7:0]: 温度の 8 ビット データ変換結果。測定温度を定義する式は次のとおりです:

$$T = -20 + N \times T_{\text{STEP}} \quad (2)$$

ここで、

- T = 温度、°C
- TSTEP = LSB の値
- N = Temp[7:0] の 8 ビット値

モード	フルスケール値	LSB の値
任意	150°C (標準値)	0.7°C

注

温度センサの性能は標準値のみです。実製品の検査は行われておらず、保証されません。

6.5.26 入力電圧レジスタ

コマンド = 2Eh、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB:2Eh

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	入力電圧 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB:2Fh

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	入力電圧 [13:8]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

ビットの詳細

データ変換結果。I²C データ送信は、2 バイトの転送です。

入力電圧 [13:0]: 14 ビット入力電圧のデータ変換結果。更新レートは約 1 秒です。

測定電圧を定義する式は次のとおりです。

$$V = N \times V_{\text{STEP}} \quad (3)$$

ここで、

- V = 入力電圧、V
- N = 入力電圧レジスタに格納された 14 ビット値
- V_{STEP} = LSB の値

モード	フルスケール値	LSB の値
任意	60V	3.662mV

注

測定は、VPWR と AGND との間で行われます。

6.5.27 ポート *n* 電流レジスタ

6.5.27.1 ポート 1 電流レジスタ

コマンド = 30h、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB:30h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 1 電流 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB:31h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名			ポート 1 電流 [13:8]					
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.27.2 ポート 2 電流レジスタ

コマンド = 34h、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB:34h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 2 電流 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB:35h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	-	-	ポート 2 電流 [13:8]					
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.27.3 ポート 3 電流レジスタ

コマンド = 38h、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB:38h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 3 電流 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB:39h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名			ポート 3 電流 [13:8]					
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.27.4 ポート 4 電流レジスタ

コマンド = 3Ch、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB:3Ch

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 4 電流 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB:3Dh

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 4 電流 [13:8]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

ポート電流は、次の場合に継続的に監視されます。

- ポートの電源がオンのとき。
- ポートがオフ モードのとき。データ変換結果。

I²C データ送信は、2 バイトの転送です。

注

変換は、TI 独自のマルチスロープ積分型コンバータを使用して行われます。

ビットの詳細

ポート n 電流 [13:0]:ポート n の電流の 14 ビット データ変換結果。この結果は、電流センス抵抗が 250mΩ か 255mΩ かによって異なります。

測定電流を定義する式は次のとおりです。

$$I = N \times I_{\text{STEP}} \quad (4)$$

ここで、

- I = ポート n 電流 (A)
- N = ポート n 電流レジスタの 14 ビット値
- I_{STEP} = LSB の値

R _S = 255mΩ		R _{SENSE} = 250mΩ	
フルスケール	LSB の値	フルスケール	LSB の値
1A	61.039μA	1.02A	62.260μA

6.5.28 ポート *n* 電圧レジスタ

6.5.28.1 ポート 1 電圧レジスタ

コマンド = 32h、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB:32h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 1 電圧 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB:33h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名			ポート 1 電圧 [13:8]					
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.28.2 ポート 2 電圧レジスタ

コマンド = 36h、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB:36h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 2 電圧 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB:37h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名			ポート 2 電圧 [13:8]					
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.28.3 ポート 3 電圧レジスタ

コマンド = 3Ah、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB:3Ah

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 3 電圧 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB:3Bh

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名			ポート 3 電圧 [13:8]					
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.28.4 ポート 4 電圧レジスタ

コマンド = 3Eh、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB:3Eh

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 4 電圧 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB:3Fh

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名			ポート 4 電圧 [13:8]					
リセットまたは POR 値	0	0	0	0	0	0	0	0

ポート電圧は、次の場合に継続的に監視されます。

- ポートの電源がオンのとき。
- ポートがオフ モードのとき。

データ変換結果。I²C データ送信は、2 バイトの転送です。

ビットの詳細

ポート n 電圧 [13:0]: ポート n の電圧の 14 ビット データ変換結果。測定電圧を定義する式は次のとおりです。

$$V = N \times V_{\text{STEP}} \quad (5)$$

ここで、

- V = ポート n 電圧 (V)
- N = ポート n 電圧レジスタの 14 ビット値
- V_{STEP} = LSB の値

フルスケール値	LSB の値
60V	3.662mV

注

ポートの電圧は、VPWR と DRAINn の間で測定されます。

6.5.29 PoE Plus レジスタ

コマンド = 40h、1 データ バイト、R/W

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	PoEP4	PoEP3	PoEP2	PoEP1				
リセットまたは POR 値	0	0	0	0				

POEPn ビットは、I²C インターフェイスを介してホスト プロセッサによって設定またはクリアできます。さらに、自動モードでは、有効なクラス 4 PD が認識されてポートの電源がオンになる前に、このビットが設定されます。同様に、自動モードでクラス 0、1、2、または 3 の PD を認識した場合、ポートの電源がオンになる前に POEPn ビットがクリアされます。

各ポートに POEPn ビットが 1 つずつあります。ポートの POEPn ビットが設定されている場合:

- ポートの電源がオンのとき、ポートに $2x I_{LIM}$ のフォールドバック曲線が適用されます。[図 7-13](#) を参照してください。
- FET の短絡保護スレッシュホールド (I_{LIM}) は、POEPn ビットがクリアされている場合の値の 2.5 倍になります。
- t_{LIM} の値は、タイミング構成レジスタの TLIM タイマフィールドで選択できます。

同様に、ポートの POEPn ビットがクリアされると、次のようになります。

- ポートの電源がオンのとき、ポートに $1x I_{LIM}$ のフォールドバック曲線が適用されます。[図 7-13](#) を参照してください。
- FET の短絡保護スレッシュホールド (I_{LIM}) は、POEPn ビットが設定されている場合の値の 40% になります。
- t_{LIM} の値は 60ms に設定されます。

突入フォールドバックの動作は、POEPn ビットの設定による影響を受けません。[図 7-12](#) を参照してください。

ビットの詳細

PoEPn:PoE+ ビット。このビットを設定すると、 $2x I_{LIM}$ フォールドバック曲線がポート n に適用されます。

1 = ポート n に $2x I_{LIM}$ フォールドバック曲線を使用。

0 = ポート n に $1x I_{LIM}$ フォールドバック曲線を使用。

注

ICUT と ILIM の関係を適切に保つため、ホストは ICUT の値に応じて PoEPn ビットを設定する必要があります。[表 7-4](#) を参照

6.5.30 ファームウェア リビジョン レジスタ

コマンド = 41h、1 データ バイト、読み取り専用

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名						FRV		
リセットまたは POR 値	R	R	R	R	R	RRR		

ビットの詳細

FRV[2:0]:ファームウェアのリビジョン番号。

6.5.31 I²C ウォッチドッグ レジスタ

コマンド = 42h、1 データ バイト、R/W

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名				IWD[3:0]				WDS
リセットまたは POR 値				1	0	1	1	0

I²C ウォッチドッグ タイマは、ポートが危険な状態に維持される可能性があるソフトウェアのハングアップを防止するために、I²C クロック ラインを監視します。このタイマは、SCL 入力のいずれかのエッジでリセットできます。ウォッチドッグ タイマがタイムアウトすると、WDS ビットが設定されます。IWD の値によっては、すべてのポートがパワー ダウンします。公称ウォッチドッグ タイムアウト時間は 2 秒です。

ウォッチドッグイベントによってポートがパワーダウンすると、検出イベントレジスタ (CLSCn、DETn)、フォルト イベントレジスタ (DISFn、ICUTn)、起動 / ILIM イベントレジスタ (STRTn)、ポート n ステータス レジスタ (Class Pn、Detect Pn)、検出 / クラス有効化レジスタ (CLEn、DETEn) の対応ビットがクリアされます。

パワー ステータス レジスタの対応する PEn ビットと PGn ビットもそれに応じて更新されます。

ビットの詳細

IWD3 - IWD0: I²C ウォッチドッグ無効。1011 に等しい場合、ウォッチドッグはマスクされます。それ以外の場合はマスクされず、ウォッチドッグは動作可能です。

WDS: I²C ウォッチドッグ タイマのステータス (ウォッチドッグがマスクされている場合でも有効)。このビットがセットされているとき、ウォッチドッグ タイマは I²C クロック ラインでアクティビティが発生しないまま期限切れになります。WDS ロケーションに 0 を書き込むと、クリアされます。

注

ウォッチドッグ タイマが満了すると、ウォッチドッグがマスクされていない場合、すべてのポートもオフになります。

I²C ウォッチドッグのためにポートがオフになると、検出イベント レジスタ (CLSCn、DETCn)、フォルト イベント レジスタ (DISFn、ICUTn)、スタート イベント レジスタ (STRTn)、ポート n ステータス レジスタ (Class Pn、Detect Pn)、検出 / クラス有効化レジスタ (CLEn、DETEn)、パワーオン フォルト レジスタ (PFn) の対応ビットもクリアされます。変更が発生すると、パワー イベントレジスタの対応する PGCn および PECn ビットが設定されます。パワー ステータス レジスタの対応する PEn ビットと PGn ビットがそれに応じて更新されます。

6.5.32 Device ID レジスタ

コマンド = 43h、1 データ バイト、R/W

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	DID			SR				
リセットまたは POR 値	1	1	1	SR[4:0]				

ビットの詳細

DID: デバイス ID 番号 (111)。

SR: シリコンのリビジョン番号。

6.5.33 クールダウン/ゲート駆動レジスタ

コマンド = 45h、1 データ バイト、R/W

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	CLDN		IGATE					
リセットまたは POR 値	0	0	0	0	0	0	0	0

これらのビットは、4 つのポートすべてに適用できます。

ビットの詳細

CLDN: フォルト発生後のクールダウン タイマ設定フィールド。起動、ICUT、または ILIM によってポートがシャットダウンされ、クールダウン タイマがカウント ダウンします。タイマが 0 になるまで、半自動または自動モードではポートへの給電は許可されません。手動モードでは、電源有効化レジスタの PWONn に書き込むことで、プッシュボタン コマンドによりポートに直ちに給電できます。クールダウン タイマは、パワーオンリセット、デバイスリセット、またはポートリセットによってキャンセルされます (セクション 6.5.19 を参照)。

フィールド プログラミングは次のとおりです。

CLDN[1:0]	公称クールダウン タイマ期間
0X	1s
10	2s
11	4s

IGATE: ゲート プルアップ電流ビット。IGATE はゲートのプルアップ電流を設定します。

IGATE	公称ゲート プルアップ電流 (μA)
0	50
1	25

6.5.34 ポート *n* 検出抵抗レジスタ

6.5.34.1 ポート 1 検出抵抗レジスタ

コマンド = 60h、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB: 60h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 1 抵抗 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB: 61h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	RS1[1:0]		ポート 1 抵抗 [13:8]					
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.34.1.1 ポート 2 検出抵抗レジスタ

コマンド = 62h、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB: 62h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 2 抵抗 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB: 63h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	RS2[1:0]		ポート 2 抵抗 [13:8]					
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.34.1.2 ポート 3 検出抵抗レジスタ

コマンド = 64h、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB: 64h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 3 の抵抗 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB: 65h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	RS3[1:0]		ポート 3 の抵抗 [13:8]					
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.34.1.3 ポート 4 検出抵抗レジスタ

コマンド = 66h、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB: 66h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 4 の抵抗 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB: 67h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	RS4[1:0]		ポート 4 の抵抗 [13:8]					
リセットまたは POR 値	0	0	0	0	0	0	0	0

ビットの詳細

最新の 2 ポイント検出抵抗測定。ここに示す抵抗値は、RSn[1:0] が 00 または 01 の場合にのみ使用できます。I²C データ送信は、2 バイトの転送です。

ポート n 抵抗 [13:0]: ポート n の検出抵抗の 14 ビットデータ変換結果。測定抵抗を定義する式は次のとおりです。

$$R = N \times R_{STEP} \quad (6)$$

ここで、

- R = 検出抵抗、Ω
- N = ポート n 抵抗レジスタの 14 ビット値
- R_{STEP} = LSB の値

使用可能抵抗範囲	LSB の値
500Ω ~ 55kΩ	11.0966 Ω

RSn[1:0]: ポート n の最新の検出結果ステータス。状態が 00 の場合、14 ビット抵抗値は 11.0966Ω / ビットのビット重みで計算されます。状態が 01 の場合、低いポート インピーダンスの測定精度を向上させるため、より高い検出電流 (270μA および 540μA) で追加の検出作業が 2 回実行されます。この場合、14 ビット抵抗値は、4.625Ω / ビットのビット重みを使用して計算されます。検出結果は、検出後の任意の動作モードでレジスタに保持されます。

R _{Sn1}	R _{Sn0}	検出ステータス	R _{STEP} のビット重み
0	0	その他	11.0966Ω / ビット
0	1	Low (< 2kΩ)	追加検出 4.625Ω / ビット
1	0	開路	該当なし
1	1	MOSFET の短絡故障	該当なし

6.5.35 ポート n 検出電圧差レジスタ

6.5.35.1 ポート 1 検出電圧差レジスタ

コマンド = 68h、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB: 68h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 1 電圧差 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB: 69h

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	VDS1[3:0]				ポート 1 電圧差 [11:8]			
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.35.2 ポート 2 検出電圧差レジスタ

コマンド = 6Ah、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB: 6Ah

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 2 電圧差 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB: 6Bh

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	VDS2[3:0]				ポート 2 電圧差 [11:8]			
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.35.3 ポート 3 検出電圧差レジスタ

コマンド = 6Ch、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り専用

LSB: 6Ch

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 3 電圧差 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB: 6Dh

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	VDS3[3:0]				ポート 3 電圧差 [11:8]			
リセットまたは POR 値	0	0	0	0	0	0	0	0

6.5.35.4 ポート 4 検出電圧差レジスタ

コマンド = 6Eh、2 データ バイト (最下位バイトが先、最上位バイトが後)、読み取り

LSB:6Eh

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	ポート 4 電圧差 [7:0]							
リセットまたは POR 値	0	0	0	0	0	0	0	0

MSB:6Fh

ビット	D7	D6	D5	D4	D3	D2	D1	D0
ビット名	VDS4[3:0]				ポート 4 電圧差 [11:8]			
リセットまたは POR 値	0	0	0	0	0	0	0	0

このレジスタは、PI の PD 入力容量を測定することで、従来の PD の有無を判定するために使用されます。電荷が PI に注入され、その結果 Δv が報告されます。ここに示す Δv 値は、VDSn[3:0] = 0001 の場合にのみ使用できます。

I²C データ送信は、2 バイトの転送です。

ビットの詳細

ポート n 電圧差 [Port] 11:0: ポートに注入される固定電荷の結果によるポート電圧差の 12 ビットデータ変換結果。測定抵抗を定義する式は次のとおりです。

$$C \cong \frac{k}{N \times V_{STEP}} \quad (7)$$

ここで、

- C = ポート容量、F
- K = 81x 10⁻⁶ クーロン
- ポート n 検出電圧差レジスタの N = 12 ビット値
- V_{STEP} = LSB の値

注

ポート容量の式は、測定対象の容量と並列に存在するコンダクタンスの影響を無視します。並列コンダクタンスの影響は、存在する容量の実際の値よりも大きな値を与えることです。

有効容量範囲	電圧差の LSB の値
10 ~ 100 μ F	4.884mV

VDSn[3:0]: ポート n での最新の電圧差の結果ステータス。「0001」状態の場合は、12 ビットの Δv 値が使用可能です。この測定は、レガシー検出モードレジスタを使用してレガシー検出が有効になっている場合、ポートで行われます。 Δv 測定が行われるまでレガシー検出が有効になると、VDSn はパワーオンリセット状態 (0000b) に設定されます。検出結果は、測定後の任意の動作モードでレジスタに保持されます。その選択は次のとおりです。

VDSn[3:0]	電圧差測定ステータス
0000	パワーオンリセット
0001	有効な測定値
0010	タイムアウトの前に PD 入力容量を 2.4V まで放電できません
0011	タイムアウト前に最初の測定を行うための 0.4V を達成できません
0100	最初の測定値が VDet クランプ (min) を超えています
0101	2 回目の測定値が VDet クランプ (min) を超えています
0110	$\Delta V < 0.5V$ (信号不十分)

6.5.36 予備レジスタ

- レジスタ 0x1B
- レジスタ 0x1D
- レジスタ 0x1E
- レジスタ 0x1F
- レジスタ 0x22
- レジスタ 0x23
- レジスタ 0x24
- レジスタ 0x25
- レジスタ 0x59

予約済み: これらのレジスタは、製造または将来の使用のために予約されています。これらのレジスタに書き込むと、望ましくない動作が発生する可能性があります。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 PoE の概要

パワー オーバー イーサネット (PoE) は、データ ペアまたはスペア ペアを使用してイーサネット ケーブルを介してイーサネット デバイスに電力を分配するための手段です。PoE を使用すると、イーサネット デバイスで電源を供給する必要がなくなります。PoE の一般的な用途としては、セキュリティ カメラ、IP 電話、PDA 充電器などがあります。電源を供給するホストまたはミッドスパン機器は、給電装置 (PSE) です。イーサネット コネクタの負荷は受電側 (PD) です。負荷への電力を制御する、PSE と PD の間の PoE プロトコルは、IEEE Std 802.3at-2009 規格で規定されています。トランスフォーマーは、イーサネット ホスト ポート、ミッドスパン、ハブで使用され、ケーブルにデータをインターフェイスします。トランスのセンター タップに DC 電圧を印加しても、データ信号に影響はありません。他の電力伝送ラインと同様に、比較的高い 48V の電圧を使用して、電流を低く保ち、ラインでの IR 電圧降下の影響を最小限に抑えて、負荷への電力供給を維持しています。標準 PoE では、タイプ 1 の PD に約 13W、タイプ 2 の PD に 25.5W を供給します。図 7-1 に、PoE ポートの概要回路図を示します。

7.2 使用上の注意

TPS23861 は 4 ポートの IEEE 802.3at PoE PSE コントローラで、非常にシンプルな用途や、少ポート数、自動、または多ポート数のマイコン制御アプリケーションで使用できます。

以降のセクションでは、ホスト制御を含む、さまざまな要件を持つアプリケーションの詳細な設計手順について説明します。

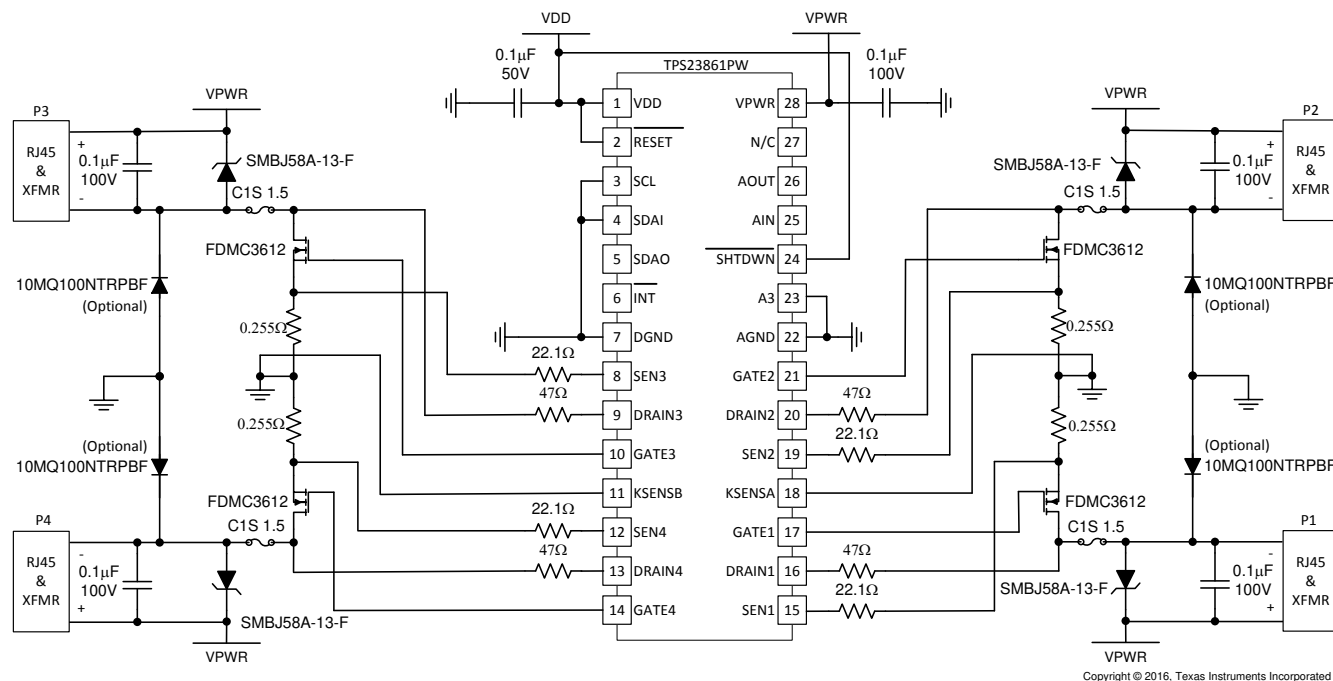


図 7-1. 自動 4 ポート動作の回路図

図 7-1 の回路図は、TPS23861 の自動モードの動作を示しており、PoE 負荷にすぐ給電できるターンキー機能を提供します。I²C バスへの接続や、ホスト制御も必要ありません。図 7-1 では TPS23861 が自動的に以下を行います。

1. 負荷検出を実行します。
2. クラス 4 までの負荷を対象に、Type 2 (2 フィンガー) を含む分類を実行します。
3. フォールドバック電流制限による保護を行い、負荷クラスに応じた ICUT 値を適用して電力を供給します。
4. フォルト負荷および短絡が発生した場合にシャットダウンします。
5. 負荷が接続解除された場合に電力を遮断するため、電力シグネチャの維持機能を実行します。
6. VPWR が V_{PUV_F} (標準値 26.5V) を下回ると、低電圧ロックアウトが発生します。

電源オフ コマンドのほか、起動、ICUT、もしくは ILIM フォルトによる接続解除またはシャットダウンの後、ポートへの給電が停止します。電源オフ コマンドまたは接続解除によってポートの電源がオフになった後、TPS23861 は検出サイクルから自動動作を継続します。起動、ICUT、ILIM フォルトによるシャットダウンである場合、TPS23861 はクールダウン期間に移行します。クールダウン期間が終了すると、TPS23861 は検出サイクルから自動動作を継続します。

以下の状況では、TPS23861 はポートに電力を自動的に供給しません。

- 検出ステータスが抵抗値有効ではない場合。
- 分類ステータスが過電流、クラス不一致、または不明の場合。

7.2.1 ケルビン電流検出抵抗

各 PSE ポートの負荷電流は、255mΩ のローエンド電流検出抵抗の両端電圧から検出されます。より正確な電流検出を実現するため、電流センス抵抗の下限側のケルビン検出は、ポート 1 および 2 には KSENSA ピン、ポート 3 および 4 には KSENSB ピンを介して提供されます。

7.2.2 未使用ポートの接続

TPS23861 は、1 ~ 4 ポートのみを必要とするアプリケーションで使用できます。未使用ポートでは、SENx ピンをグランドに接続し、GATEx ピンをフローティングのままにします。DRAINx ピンはグランドに接続するか、オープンのままにすることができます (オープンのままにすると、消費電力が多少低減されます)。図 7-2 に PORT4 の構成例を示します。設計および部品選択の詳細については、セクション 7.4 を参照してください。

この回路図は、未使用の PORT4 の接続を示しています。

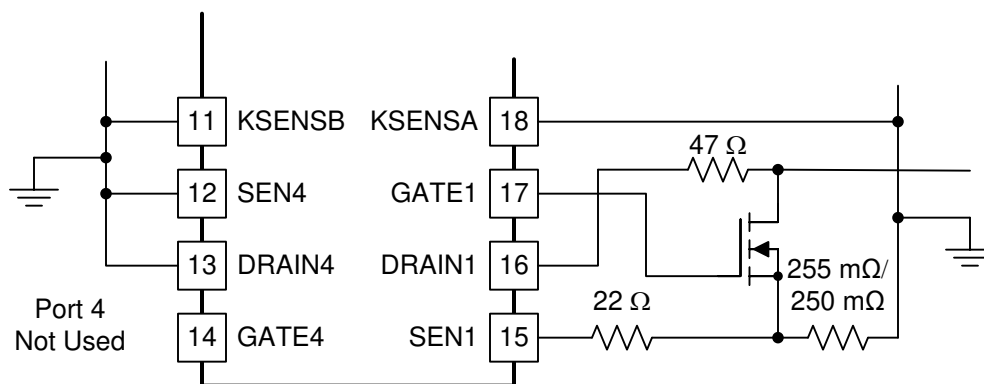


図 7-2. 未使用の PORT4 接続

7.3 代表的なアプリケーション

いくつかのポート数の代表的なアプリケーションを示します。TPS23861 は、搭載されている 4 ポートの一部を使用しない構成にも適しています。これらのアプリケーションでは、未使用ポートの接続が明確に示されています。

アプリケーションは、自動モードと半自動モードの両方で説明されています。自動モードを除く任意のモードで動作するには、I²C ホストのサポートが必要です。TPS23861 は、マルチポート アプリケーションで便利な遠隔測定機能を備えており、ポートのパワー マネージメントの実装に役立ちます。

7.3.1 2 ポート、自動モード アプリケーション、外部ポート リセット付き

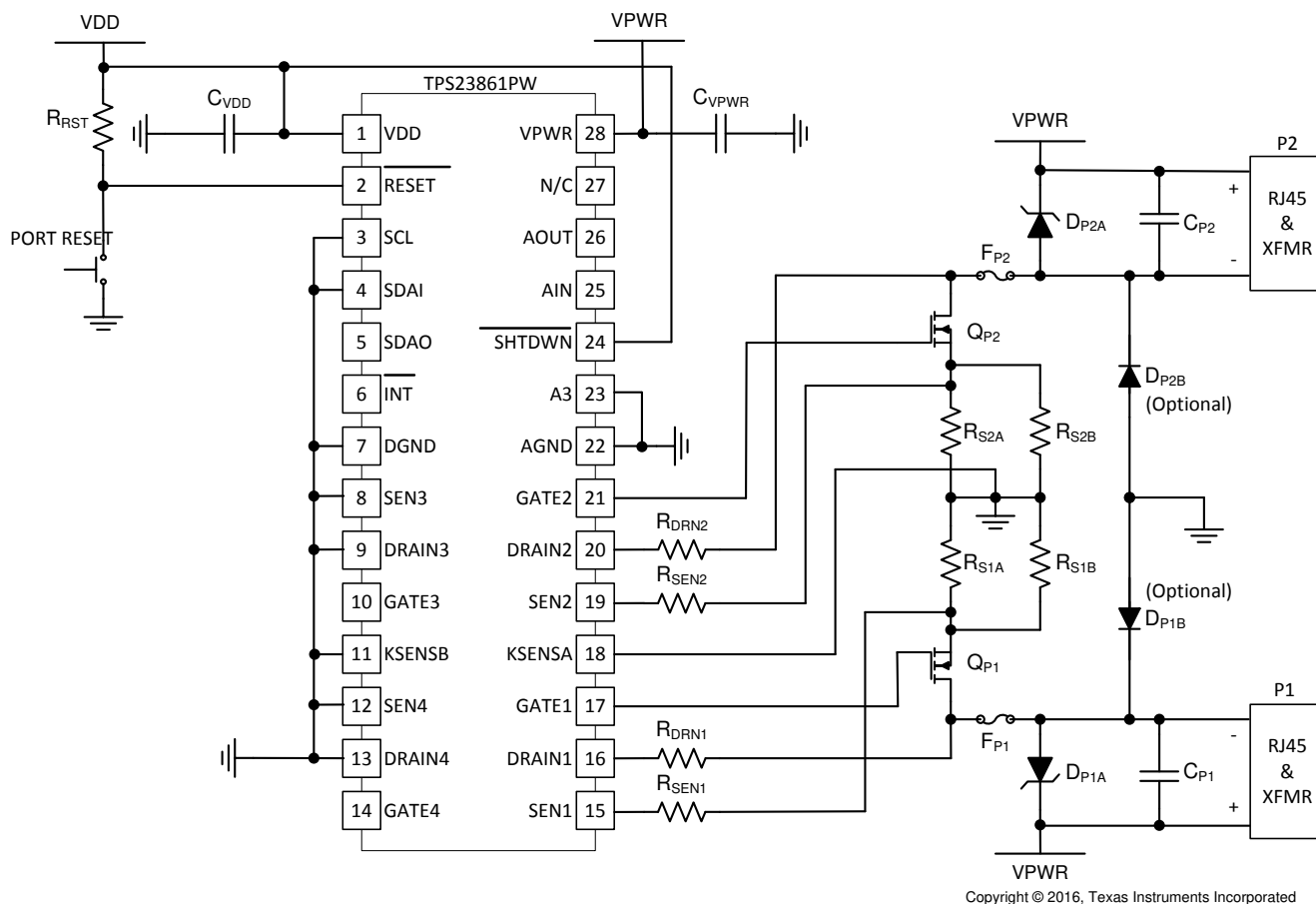


図 7-3. 2 ポート自動モード アプリケーション、ポート リセット付き

7.3.1.1 設計要件

表 7-1. 設計パラメータ

設計パラメータ	値
動作モード	自動モード
ポートの数 / タイプ	2 つのタイプ 2 ポート
その他の要件	プッシュ ボタン ポートリセット

7.3.2.4 ポート、自動モード アプリケーション

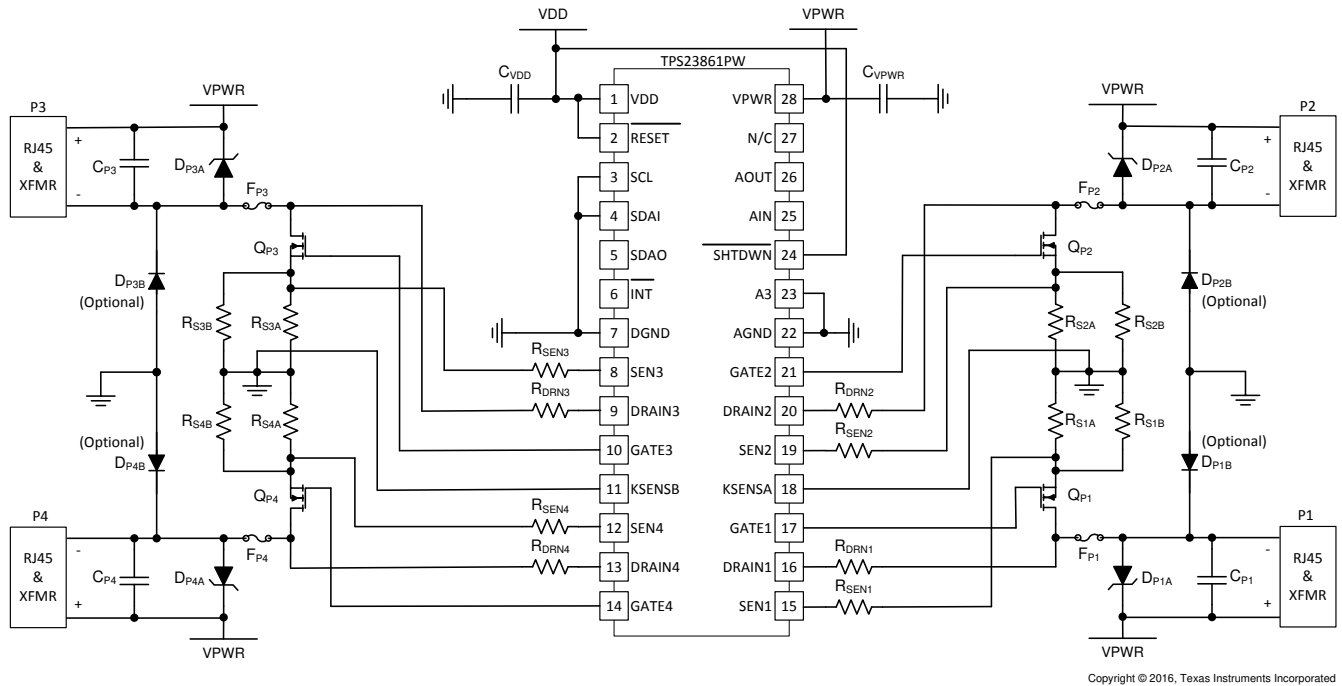


図 7-4. 4 ポート自動モード アプリケーション

7.3.2.1 設計要件

4 ポートの自動モード アプリケーション向けの設計は、2 ポートの設計を 2 倍にスケール アップしたものと同じです。また、4 ポートのアプリケーションではポートリセットが不要なため、RESET ピンを VDD に直接接続できます。

表 7-2. 設計パラメータ

設計パラメータ	値
動作モード	自動モード
ポートの数 / タイプ	タイプ 2 ポート 4 つ

7.3.3 MSP430 マイコンを使用する、8 ポートの半自動モード アプリケーション

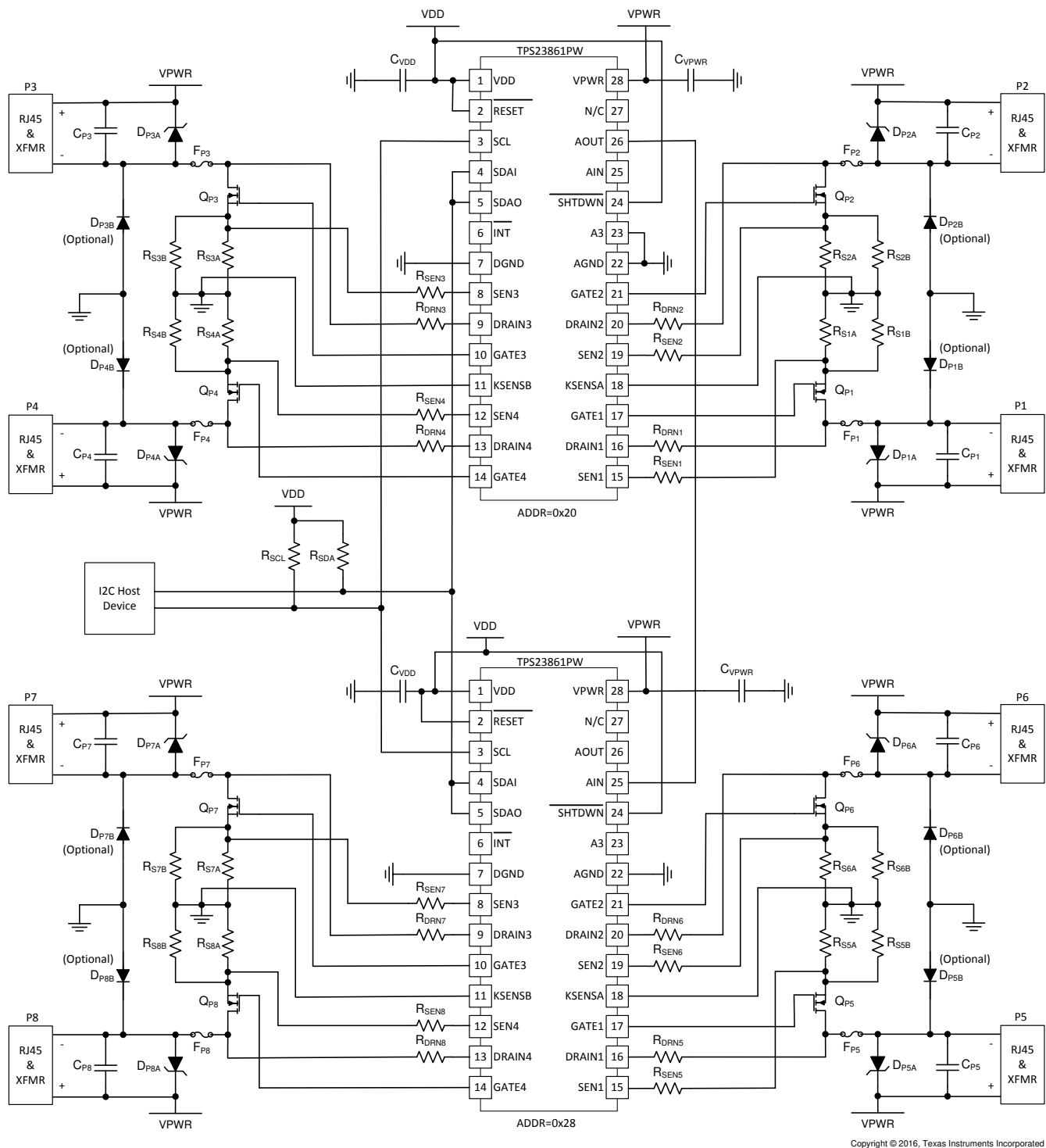


図 7-5. 8 ポート半自動モード アプリケーション

7.3.3.1 設計要件

8 ポート半自動モード アプリケーションの設計は、2 ポート設計を 4 倍に拡大した場合と同じです。また、8 ポート アプリケーションではポートリセットが不要なため、RESET ピンを VDD に直接接続できます。2 つの TPS23861 デバイスは、

8 ポート構成で使用され、I²C ホスト デバイスによって管理されます。各 TPS23861 の I²C アドレスは、A3 ピンを Low にすると 0x20 であり、A3 ピンをオープンのままにするか VDD に接続すると 0x28 です。

表 7-3. 設計パラメータ

設計パラメータ	値
動作モード	半自動モード
ポートの数 / タイプ	8 つの Type 2 ポート
その他の要件	マイクロコントローラ管理

注

$\overline{\text{RESET}}$ ピンは、VPWR と VDD の両方が UVLO スレッショルドを上回るまで low に保持する必要があります。

7.3.4 詳細な設計手順

7.3.4.1 電源ピンのバイパス コンデンサ

- C_{VPWR} : 0.1 μ F、100V、X7R セラミック (ピン 28) (VPWR)
- C_{VDD} : 0.1 μ F、50V、X7R セラミック (ピン 1) (VDD)

7.3.4.2 ポートごとの部品

- R_{DRNn} : R_{DRNn} には、0603 SMT パッケージの、47 Ω 、5%、0.1W の抵抗を使用する必要があります。
- R_{SENn} : R_{SENn} には、0603 SMT パッケージの、22.1 Ω 、1%、0.1W の抵抗を使用する必要があります。
- C_{Pn} : VPWR と Pn- 間の 0.1 μ F、100V、X7R のセラミック コンデンサ
- R_{SnA} / R_{SnB} : ポート電流センス抵抗には、0.51 Ω 、1% の抵抗を 2 つ並列に接続した構成 (0.255 Ω)、または 1.00 Ω 、1% の抵抗を 4 つ並列に接続した構成 (0.250 Ω) を使用できます。最も一般的な用途では、0805 SMT パッケージの、0.51 Ω 、1%、0.25W の抵抗を 2 つ使用します。 I_{CUT} が最大のとき、2 つの抵抗の合計消費電力は約 117mW (それぞれ約 58mW) です。
- Q_{Pn} : ポート MOSFET には、平均的な性能特性を備えた、小型で安価なデバイスを使用できます。
 - 高電圧サージ環境を考慮し、BVDSS は最低 100V にする必要があります。
 - 消費電力を考慮し、 $R_{DS(on)}$ ($V_{GS} = 10V$) は、50m Ω ~ 150m Ω にする必要があります。
 - I_{CUT} が最大のとき、 $R_{DS(on)} = 100m\Omega$ の Q_{Pn} の消費電力は約 46mW です。
 - 入力容量 (C_{ISS}) は 2,000pF 未満である必要があります。
 - $V_{GATEn} = 12.5V$ でのゲート電荷 (Q_G) は、50nC 未満である必要があります (下の注記を参照)。

注

ソフト過負荷状態 (ILIM の 1 ~ 1.5 倍) で、より高速な応答時間が求められるアプリケーションでは、 $V_{GATEn} = 12.5V$ における Q_G を 50nC よりも大幅に小さくする必要があります。

- F_{Pn} : ポート ヒューズは、定格電圧が 60VDC 以上、定格電流が $I_{CUT(max)}$ の約 2 倍を超えるスロー ブロー タイプである必要があります。DC 損失を低減するには、冷間抵抗を 200m Ω 未満にする必要があります。 I_{CUT} が最大の時、冷間抵抗 180m Ω の F_{Pn} の消費電力は約 83mW です。
- D_{PnA} : ポート TVS は、想定されるポートのサージ環境に対応した定格を備えている必要があります。 D_{PnA} は、最小逆スタンドオフ電圧が 58V で、想定されるピーク サージ電流における最大クランプ電圧が 95V である必要があります。
- D_{PnB} : 負のクランプ ダイオードは、極端なサージ環境向けのオプションです。 D_{PnB} は、 $V_R = 100V$ 以上の定格を備え、想定されるサージ電流に耐えられる必要があります。定格電流での順方向電圧降下が低いものが望ましいです。

7.3.4.3 システム レベルの部品 (回路図には未記載)

- **TVS:** システム TVS は、最小逆スタンバイ電圧が 58V で、最大クランプ電圧が予測されるピーク サージ電流で 95V 未満である必要があります。
- **バルク キャパシタ:** システム バルク キャパシタは 100V の定格が必要で、アルミ電解タイプを使用することもできます。より小さい値を並列に接続すると、4 つのポートあたり最低 47 μ F を実現できます。
- **デジタル I/O プルアップ抵抗:** RESET、AIN、A3、SHTDWN は、50k Ω (標準値) 抵抗により内部的に VDD にプルアップされます。SMT パッケージの 10k Ω 、1%、0.063W タイプなど、より強力なプルアップ抵抗を外部に追加できます。SCL、SDAI、SDAO、INT $\overline{}$ には、バス上のデバイスの総数に応じて、1k Ω から 10k Ω の範囲内の外付けプルアップ抵抗が必要です。AOUT ピンは、アップストリーム デバイス (AIN ピン) に接続されるか、未接続のままにし、外付けプルアップ抵抗は不要です。
- **イーサネット データトランス (ポートごと):** イーサネット データトランスの定格は、DC ポート電流の状況が発生する状況で、IEEE802.3at 規格内で動作する必要があります。また、イーサネット PHY と互換性があるように、このトランスも選定されています。トランスを RJ45 コネクタとケーブル終端に内蔵することもできます。
- **RJ45 コネクタ (ポートごと):** RJ45 コネクタの要件の大部分は機械的な性質であり、タブの向き、ハウジングのタイプ (シールド付きまたはシールドなし)、または高集積が含まれます。内蔵の RJ45 は、イーサネット データトランスとケーブル終端で構成されています。統合型タイプには、ポート TVS と同相 EMI フィルタリングも含まれることがあります。
- **ケーブル終端 (ポートごと):** ケーブル終端は通常、各データトランス センター タップから共通ノードまでの直列抵抗 (通常は 75 Ω) とコンデンサ (通常は 10nF) 回路で構成され、その後、高電圧コンデンサ (通常は 1000pF ~ 4700pF、2kV) を使用してシャーシ グランド (またはシステム アース グランド) にバイパスされます。

7.3.5 アプリケーション曲線



図 7-6. 開路検出

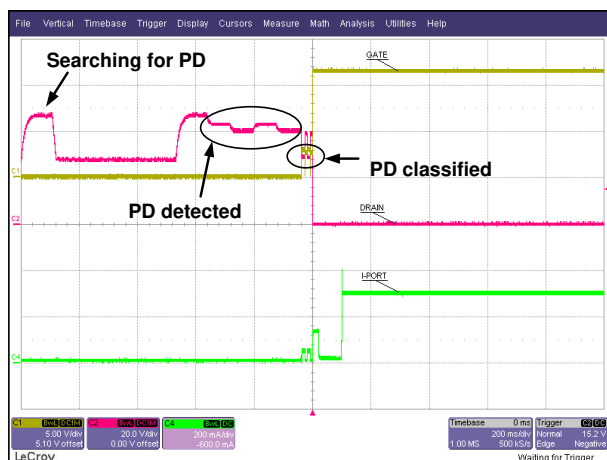


図 7-7. PD を接続した後のパワーオン シーケンス

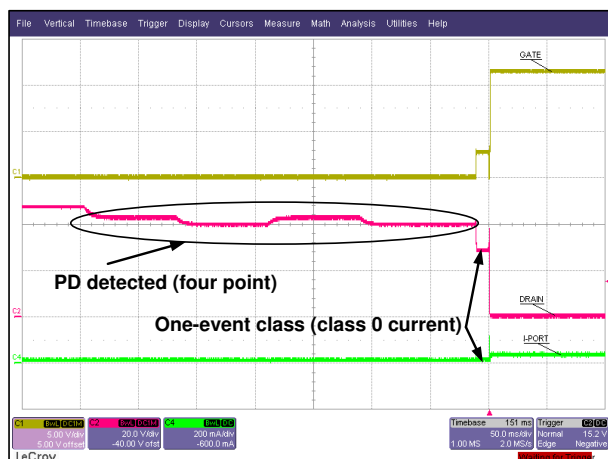


図 7-8. 4 ポイント検出、1 イベント分類 (クラス 0)、パワーオン

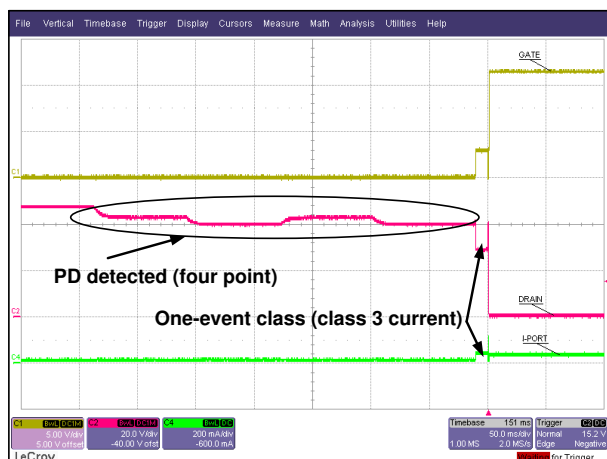


図 7-9. 4 ポイント検出、1 イベント分類 (クラス 3)、パワーオン

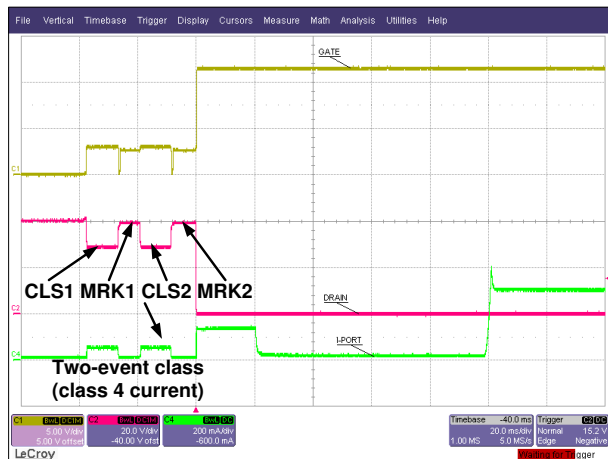


図 7-10. 2 イベント分類 (クラス 4) とパワーオン

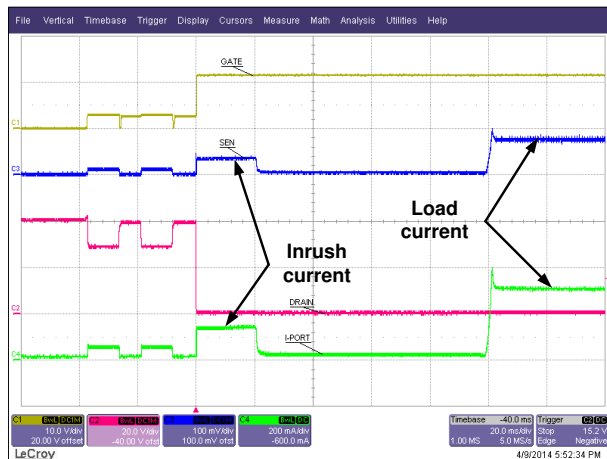


図 7-11. 突入電流および負荷オン

7.4 システム例

7.4.1 過電流および過負荷保護

TPS23861 は、3 段階の過電流保護機能を搭載しています。電源投入直後の t_{START} 期間中は、[セクション 7.4.2](#) に示すように突入電流保護が働きます。この保護機能により、パス FET を安全動作領域内に保ちながら、PD の入力容量を電源インターフェイスの全入力電圧まで充電できます。

t_{START} 期間の終了後、2 段階の電流制限保護がポートに適用されます。第 1 段階 (低い電流側) は ICUT 電流制限です。ICUT 電流制限スレッショルドは、ICUTnm CONFIG レジスタで設定します。また、タイミング構成レジスタの TICUT フィールドでタイムアウト t_{OVLd} を設定します。ICUT 電流スレッショルドを超え、TICUT タイマがタイムアウトすると、ポートの電源がオフになります。また、フォルト イベント レジスタの ICUTn ビットが設定されます。このときに割り込みをアサートするよう設定することもできます。ポートの電源オフまで遅延を設けることで、中程度の負荷過渡による不要な電源オフを防ぎます。[セクション 7.4.3](#) を参照してください。

電源オン時の電流制限保護の第 2 段階は、ILIM 電流制限です。ILIM 電流制限はハード リミットです。すなわち、ILIM 電流スレッショルドに達すると、電圧フォールドバックを含むハードウェア保護が働きます。この第 2 段階の保護は、極端な過負荷または短絡が発生した場合に作動します。ILIM 電流制限値は、PoE Plus レジスタの POEPn ビットを使用して設定します。また、ILIM 値に達すると ILIM タイマが開始します。ILIM タイマがタイムアウトすると、ポートの電源がオフになり、スタート / ILIM イベント レジスタの ILIMn ビットが設定されます。このときに割り込みをアサートするよう設定することもできます。[セクション 7.4.4](#) を参照してください。

7.4.2 突入電流からの保護

[図 7-12](#) の曲線に従い、TPS23861 が突入電流を制限します。ポートへの最初の電源投入時に、TSTART タイマが起動します。TSTART タイマがカウントしている間、[図 7-12](#) に示すように、ポート電流は I_{INRUSH} に制限されます。 t_{START} 期間の終了時に電流が I_{INRUSH} に制限されたままの場合、ポートの電源はオフになり、起動 / ILIM イベント レジスタの STRTn ビットが設定されます。また、割り込みをアサートするオプションもあります。

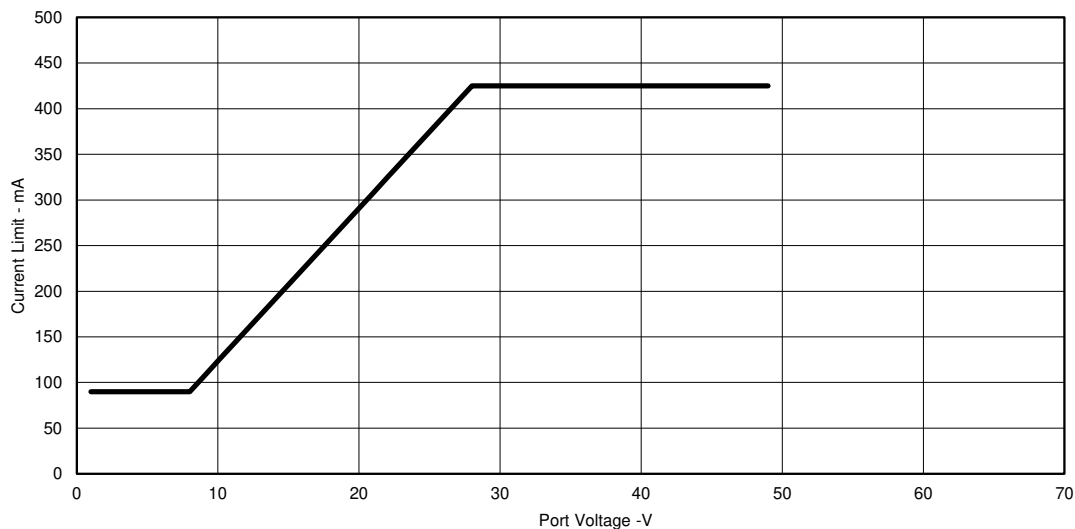


図 7-12. 突入電流時のフォールドバック (ポート ターンオン時)、 I_{INRUSH} と V_{PORT} との関係

7.4.3 ICUT の電流制限

ILIM フォールドバック曲線による絶対電流制限 (図 7-13) に加えて、TPS23861 は別段階の電流制限保護をサポートしています。

ICUT 電流制限スレッシュホールドに達すると、TICUT タイマがカウント ダウンを開始します。カウントが 0 に達すると、ポートの電源がオフになります。TICUT タイマのカウント中にポート電流が ICUT 電流制限スレッシュホールドを下回ると、TICUT タイマはカウント アップします。ただし、カウント アップの速度はカウント ダウンより遅く、カウントは TICUT フィールドの設定に対応する最大値を超えません。

ICUT 電流制限スレッシュホールドは、ILIM 電流制限値より低くなるように設定します。つまり、TPS23861 が ILIM 電流制限によるフォールドバック制御をポート電流にアサートする前に、ICUT スレッシュホールドに達する必要があります。そのため、ICUT スレッシュホールドは ILIM 電流制限より低い値に設定する必要があります。この設定は、自動モード (または AUTO ビットが設定されている場合) を除き、ホストが行う必要があります。その場合、ポートの電源がオンになる前に、分類結果に基づいて ICUT および ILIM が適切に設定されます。

ICUT 電流制限スレッシュホールド (ICUT) は、ICUTnm CONFIG レジスタの 3 ビットの ICUT Port n フィールドで、ポートごとに設定できます。表 7-4 に、ICUT Port n フィールドのエンコードを示します。表 7-4 の値は公称値です。

表 7-4. ICUT 電流制限エンコード

ICUT PORT n フィールド	ICUT (mA)	PoEPn ⁽¹⁾
000	374	0
001	110	0
010	204	0
011	374	0
100	754	1
101	592	1
110	645	1
111	920	1

(1) ICUT と ILIM の関係を適切に保つため、ホストは ICUT の値に応じて PoEPn ビットを設定する必要があります。

7.4.4 フォールドバック保護 (ILIM)

TPS23861 は、完全な MOSFET 保護のために 2 種類のフォールドバック保護メカニズムを備えています。突入時、ポート電源オン時、フォールドバックはポート電圧に基づいて行われます (図を参照)。

注

PoE プラスレジスタの PoEPn ビットの状態に関わらず、突入電流プロファイルは同じ状態を維持します。

ポート電源がオンになり、パワー グッドが有効になった後、デュアル スロープ フォールドバック電流制限が適用され、ポート出力での部分的および合計短絡からの保護を提供しつつ、TPS23861 の入力電圧または負荷電流での通常の過渡現象において、ポート電力を維持できます。図 7-13 を参照してください。POEPn ビットを設定すると 2x 曲線が選択され、クリアすると 1x 曲線が選択されることに注意してください。

TLIM タイマは、図 7-12 と 図 7-13 の電流制限スレッシュホールドに達するとカウントダウンを開始します。カウントが 0 に達すると、ポートの電源がオフになります。TLIM タイマのカウント中に ILIM 電流制限の条件がクリアされると、TLIM タイマは低速でカウントアップしますが、タイミング構成レジスタにある TLIM フィールドの設定に対応する最大カウントを超えることはありません。

ポートで短絡が発生した場合、TPS23861 は外部 FET のゲート上で強制的に 0V を設定し、FET を破壊から保護します。フォールドバック回路が動作し、ILIM タイムアウトに達するまで、ポート電流はフォールドバック スケジュールに従って制御されます。

ILIM 電流制限は、その設定値が ICUT 電流スレッシュホールドの設定値よりも大きくなるように適用されます。つまり、TPS23861 が ILIM 電流制限によるポート電流のフォールドバック制御をアサートする前に、ICUT 電流制限の条件が発生する必要があります。このため、ILIM 電流制限は ICUT 電流スレッシュホールドよりも大きく設定する必要があります。この設定は、自動モード (または AUTO ビットが設定されている場合) を除き、ホストが行う必要があります。その場合、ポートの電源がオンになる前に、分類結果に基づいて ICUT および ILIM が適切に設定されます。

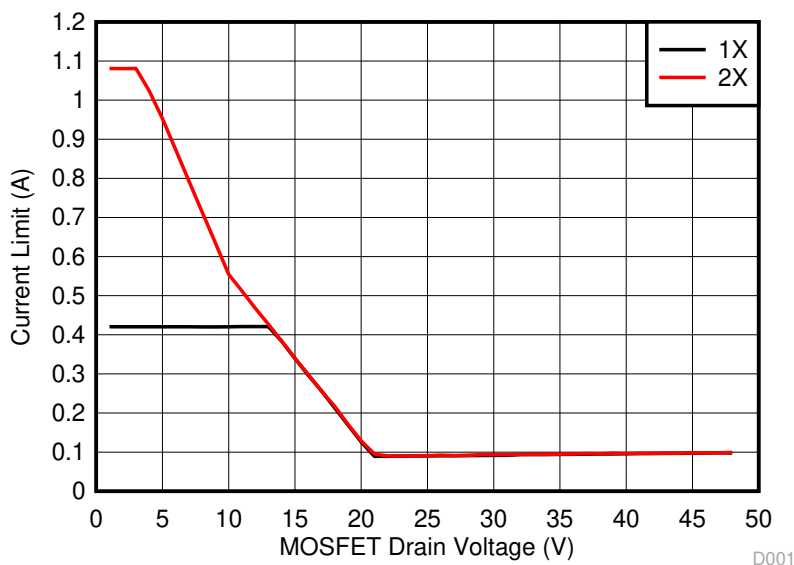


図 7-13. フォールドバック ポート オン (ILIM と V_{DRAIN} との関係)

7.4.5 ケルビン電流検出抵抗

各 PSE ポートの負荷電流は、255mΩ のローエンド電流検出抵抗の両端電圧から検出されます。あるいは、250mΩ の抵抗を使用できます。250mΩ の検出抵抗を使用する場合、汎用マスク 1 レジスタの M250 ビットを設定する必要があります。より正確な電流検出を実現するため、電流センス抵抗の下限側のケルビン検出は、ポート 1 および 2 には KSENSA ピン、ポート 3 および 4 には KSENSB ピンを介して提供されます。図 7-14 に、ケルビン検出方式を示します。

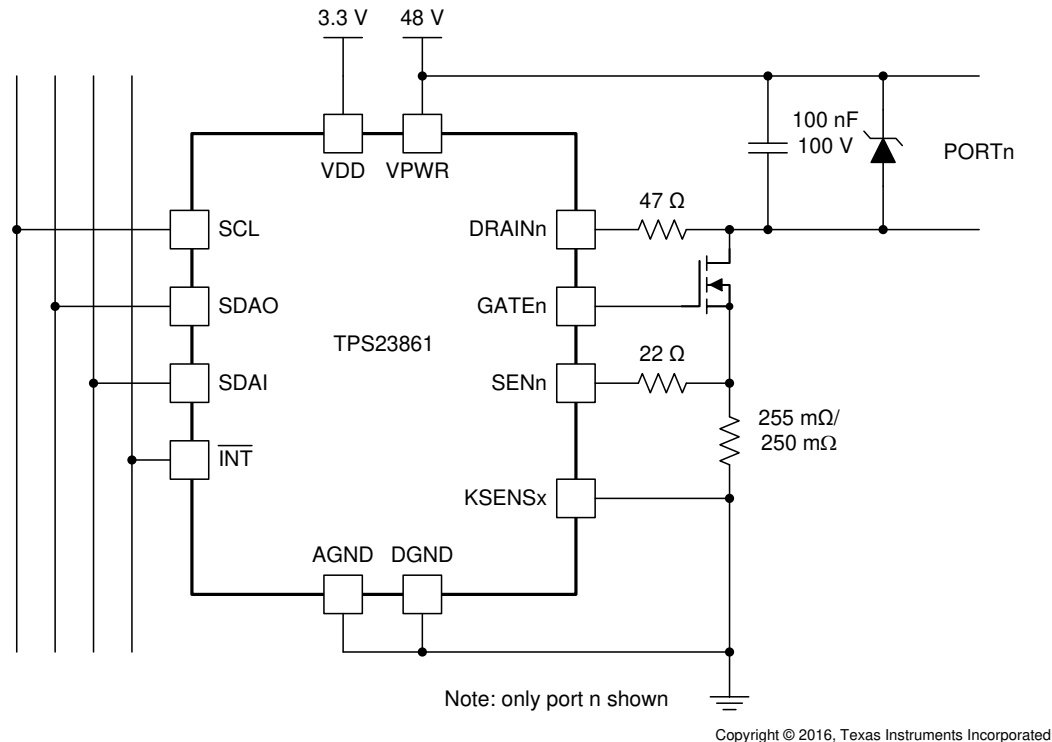


図 7-14. ケルビン電流検出接続

7.5 電源に関する推奨事項

7.5.1 VDD

推奨される VDD 電源電圧要件は 3.3V、±0.3V です。各 TPS23861 の VDD 電源電流は、標準値が約 5mA、最大値が約 6mA です。VDD 電源は VPWR から生成できます。1 つの TPS23861 を使用する自動モードの PSE ではリニアレギュレータ (TPS7A4001) を使用します。多数のポートを備え、複数の TPS23861 を自動モードまたは半自動モードで動作させる PSE では降圧型レギュレータ (LM5007 または LM5019 ベース) を使用します。

電源設計では、VDD レールが V_{UVDDR} を通過して単調に上昇し、負荷がオンになったときにも V_{UVDDF} を下回る電圧降下が生じないようにする必要があります。これは、ワースト ケースの設計コーナーで想定される負荷電流ステップに対して、VDD レール全体に適切なバルク容量を印加することで達成されます。さらに、電力が供給された後で予期される過渡的障害が発生しても、デカップリング容量とバルク保存容量の組み合わせにより、VDD レールを UVLO_FALL スレッシュホールドよりも高く保持する必要があります。

7.5.2 VPWR

推奨 VPWR 電源電圧要件は 44V ~ 57V です。公称出力電圧が 48V または 54V の電源で、タイプ 1 およびタイプ 2 の PD 要件の両方に対応できます。VPWR 電源に必要な出力電流は、システムで必要とされるポートの数およびタイプによって異なります。TPS23861 は、タイプ 1 またはタイプ 2 の各ポートとして構成でき、電流制限値はそれに応じて設定されます。タイプ 1 ポートの ICUT は 374mA、±5%、タイプ 2 ポートの ICUT は 645mA、±5% です。サポートするポート

の数およびタイプに応じて、VPWR 電源の容量を選定します。たとえば、VPWR 電源の定格電流は、最大ポート電流およびスタンバイ電流を想定した場合、8 つの Type 1 ポートの場合は 3.2A より大きく、8 つの Type 2 ポートの場合は 5.5A より大きくする必要があります。

7.5.3 VPWR リセット シーケンス

RESET ピンの電圧 (V_{RESET}) は、 V_{VPWR} が $V_{\text{UVLOPW_R}}$ を超えるまで 0.9V 未満に維持する必要があります。 V_{VPWR} が $V_{\text{UVLOPW_R}}$ を超えた後に VDD がオンになる場合、RESET に遅延は必要ありません。 V_{VPWR} が $V_{\text{UVLOPW_R}}$ を超える前に VDD がオンになる場合、RESET に遅延が必要です。この遅延は、システム ホストによって、または内部 (代表値 50k Ω) または外部プルアップ抵抗を使用して RESET ピンにコンデンサ (C_{RST}) を接続することで設定できます。

注

図 6-1、図 7-1、図 7-3、図 7-4、図 7-5 に示す回路図については、VPWR 電源の電圧が $V_{\text{UVLOPW_R}}$ を超えた後に VDD 電源がオンになります。TPS23861 のパワーオン シーケンスの詳細については、アプリケーション ノート『TPS23861 起動時の検討事項』(SLVA723) を参照してください。

7.6 レイアウト

7.6.1 レイアウトのガイドライン

7.6.1.1 ポート電流のケルビンセンシング

KSENSA は SEN1 と SEN2 で共有され、KSENSB は SEN3 と SEN4 で共有されます。測定精度を最適化するには、PCB パターンの抵抗の影響を最小限に抑えるように、PCB レイアウトを慎重に行う必要があります。例として、図 7-15 を参照してください。

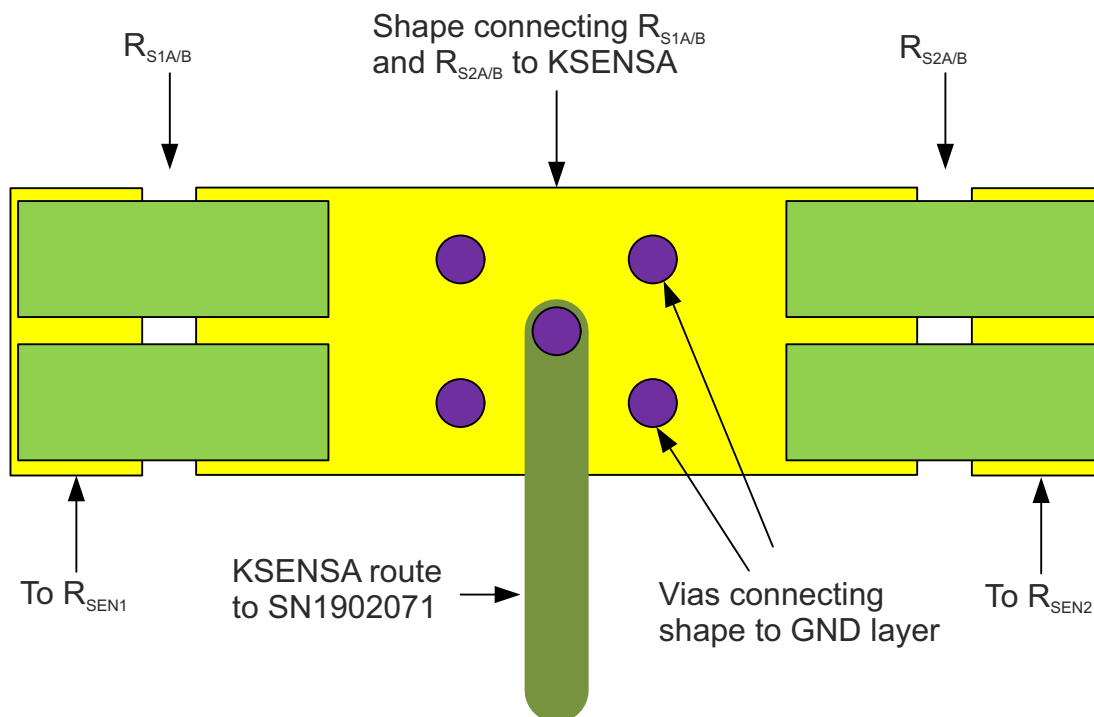


図 7-15. ケルビン検出のレイアウト例

7.6.2 レイアウト例

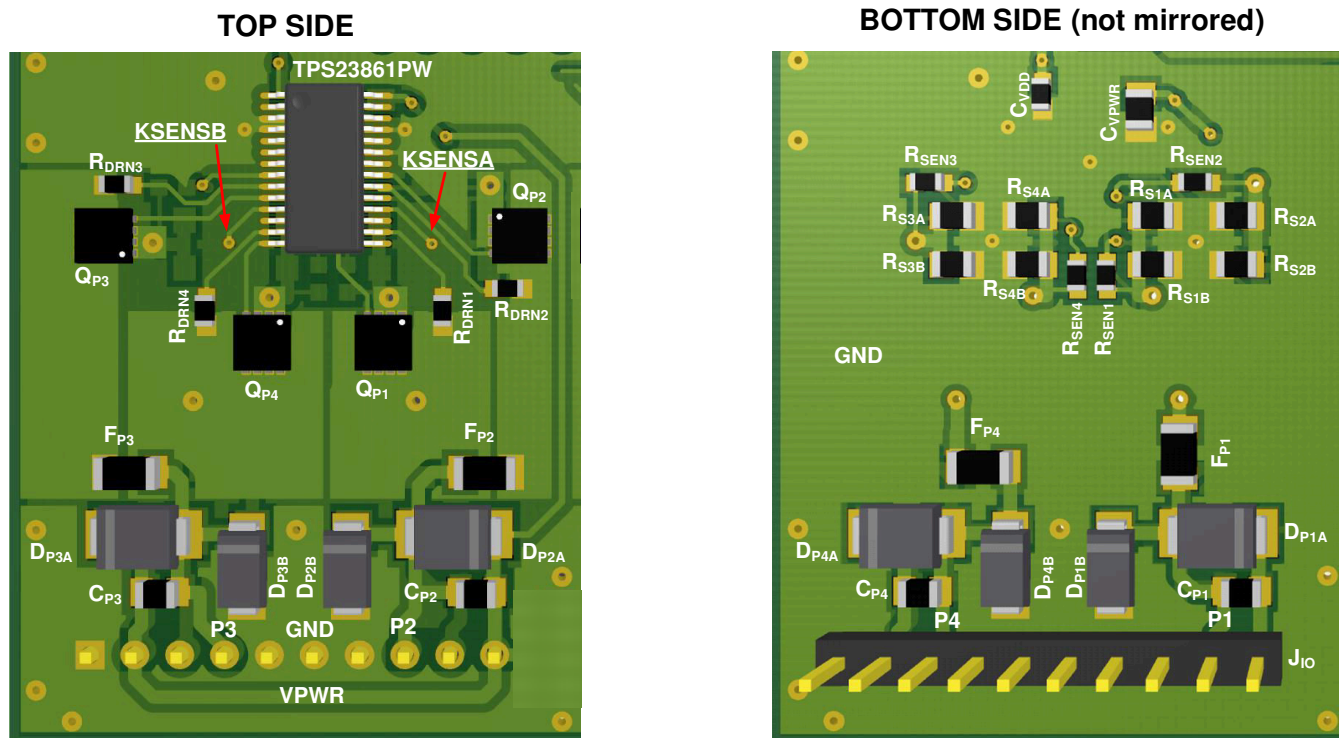


図 7-16. 4 ポートのレイアウト例

7.6.2.1 部品の配置と配線のガイドライン

7.6.2.1.1 電源ピンのバイパス コンデンサ

C_{VPWR}:ピン 28 (VPWR) の近くに配置し、図 7-16 に従って、低インダクタンスのパターンおよびビアで接続します。

C_{VDD}:ピン 1 (VDD) の近くに配置し、図 7-16 に従って、低インダクタンスのパターンおよびビアで接続します。

7.6.2.1.2 ポートごとの部品

R_{SnA} / R_{SnB}:KSENSE A/B とのクリーンなケルビン接続が可能になるよう、図 7-15 に従って配置します。

Q_{Pn}:図 7-16 に示すように、Q_{Pn} を TPS23861 の周囲に配置します。Q_{Pn-D} から F_{Pn} まで、十分な銅領域を確保します。

R_{DRNn}:R_{DRNn} を Q_{Pn-D} の近くに配置します。図 7-16 に示すように、DRAINn ピンに接続します。

R_{SENn}:R_{SENn} を Q_{Pn-S} の近くに配置します。図 7-16 に示すように、SENn ピンに接続します。

F_{Pn}, C_{Pn}, D_{PnA}, D_{PnB}:この回路グループは、RJ45 ポート コネクタ (または、図 7-16 に示すようなドーター ボード タイプのインターフェイスを使用する場合はポート電源インターフェイス) の近くに配置します。低インダクタンスのパターンを使用して Q_{Pn-D} または GND (TPS23861-AGND) に接続します。

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

『IC パッケージの熱評価基準』アプリケーション レポート、[SPRA953](#)。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (July 2019) to Revision J (October 2026)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
SDAI/SDAO に ² C 双方向機能を追加.....	3
SDAI/SDAO に ² C 双方向機能を追加.....	23
パワーオン シーケンスの要件の注記を追加.....	94

Changes from Revision H (November 2017) to Revision I (July 2019)	Page
セクション 7.3.5 に図のタイトルを追加.....	97

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月