TPS2388 IEEE 802.3at 8 チャネル Power-over-Ethernet PSE コントローラ

1 特長

- IEEE 802.3at に完全準拠
- ポートの再マッピング
- 1 ビットおよび 3 ビットの高速ポート シャットダウン入力
- 「誤認なし」の 4 ポイント検出
- Type 1 と Type 2 の PD 分類
- フォールドバック機能付きのプログラム可能な電流制限
- DC 切断検出
- 柔軟なプロセッサ制御の動作モード
  - 半自動
  - 手動
- 14 ビット ポートの電流と電圧の監視
  - 100ms でのポート電流のローリング平均化
  - 2% の電流センシング精度
  - ケルビン センス対応の 0.255Ω センス抵抗
- I^2C 通信
  - フェイルセーフ動作用の I^2C ウォッチドッグ
  - 8 ビットと 16 ビットのアクセス モードを選択可能
- -40℃～125℃の動作温度範囲
- 56 リード VQFN パッケージ

2 アプリケーション

- エンタープライズ スイッチおよびルータ
- SoHo スイッチおよびルータ
- PoE パススルー パワー モジュール
- ネットワーク ビデオ レコーダ (NVR)

3 説明

TPS2388 は、IEEE 802.3at-2012 規格 (または 802.3at) に従ってイーサネット ケーブルに電力を重畳するための 8 チャネル給電側機器 (PSE) コントローラです。PSE コントローラは、有効なシグネチャを持つ電力受電側 (PD) を検出し、分類に従って電力要件を判定し、1 つ (Type 1) または 2 つのイベント (Type 2) の物理的分類を通じて電力を供給できます。TPS2388 には、UPoE や他の非標準負荷をサポートする柔軟性もあります。

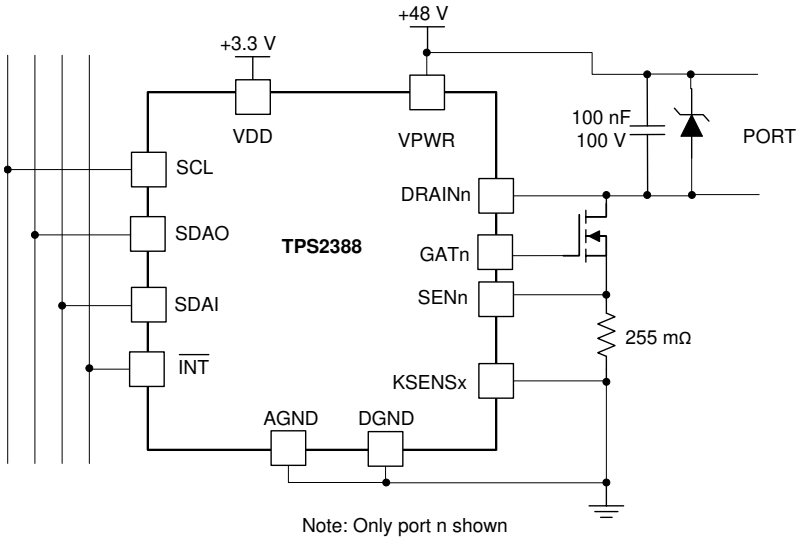
ポートの再マッピングとデバイスのピン配置により、設計者は 2 層 PCB 設計が可能になり、前世代の PSE デバイスからのソフトウェアを簡単に移行できます。外部 FET アーキテクチャにより、サイズ、効率性、熱、ソリューション コストの要件のバランスをより適切に調整できるようになります。電流フォールドバックにより、起動および過負荷状態時の外部 MOSFET の熱ストレスが低減されるため、安価な FET を使用できます。

高速シャットダウン (OSS) 入力により、ポートごとに最大 8 レベルのシャットダウン優先度を設定でき、複数のポートをただちに無効にする必要のあるアプリケーションに対応できます。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
TPS2388	VQFN (56)	8.00mm × 8.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



Note: Only port n shown

概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
4.1 ピンの詳細説明 ... 4
5 仕様 ... 7
5.1 絶対最大定格 ... 7
5.2 ESD 定格 ... 7
5.3 推奨動作条件 ... 7
5.4 熱に関する情報 ... 8
5.5 電気的特性 ... 8
5.6 タイミング要件 ... 12
5.7 スイッチング特性 ... 13
5.8 代表的特性 ... 14
6 パラメータ測定情報 ... 16
6.1 タイミング図 ... 16
7 詳細説明 ... 18
7.1 概要 ... 18
7.2 機能ブロック図 ... 19
7.3 機能説明 ... 20
7.4 デバイスの機能モード ... 22
7.5 プログラミング ... 23
7.6 レジスタ マップ ... 26
8 アプリケーションと実装 ... 69
8.1 使用上の注意 ... 69
8.2 代表的なアプリケーション ... 71
8.3 電源に関する推奨事項 ... 77
8.4 レイアウト ... 77
9 デバイスおよびドキュメントのサポート ... 79
9.1 ドキュメントの更新通知を受け取る方法 ... 79
9.2 サポート・リソース ... 79
9.3 商標 ... 79
9.4 静電気放電に関する注意事項 ... 79
9.5 用語集 ... 79
10 改訂履歴 ... 79
11 メカニカル、パッケージ、および注文情報 ... 80

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

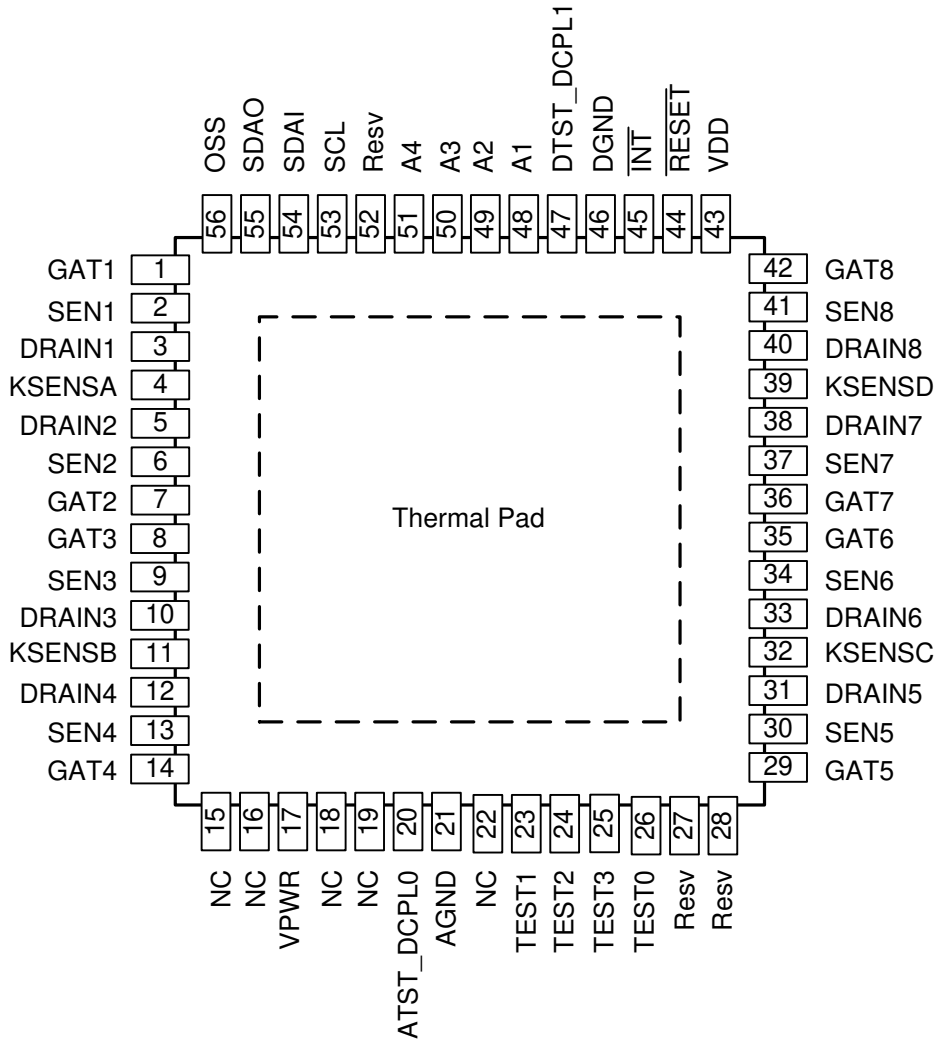


図 4-1. RTQ パッケージ VQFN 56 ピン (上面図)

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
A1-4	48 ~ 51	I	I^2C A1A4 アドレス ライン。これらのピンは、内部で VDD にプルアップされています。
AGND	21	—	アナログ グランド。GND プレーンと露出サーマル パッドに接続します。
ATST_DCPL0	20	O	内部テスト目的で使用されるため、バイパス コンデンサは不要です。
DGND	46	—	デジタル グランド。GND プレーンと露出サーマル パッドに接続します。
DRAIN1-8	3、5、10、12、31、33、38、40	I	ポート 1 ～ 8 出力電圧モニタ。
DTST_DCPL1	47	O	内部テスト目的で使用されるため、バイパス コンデンサは不要です。
GAT1-8	1、7、8、14、29、35、36、42	O	ポート 1 ～ 8 のゲートドライブ出力。
$\overline{INT}$	45	O	割り込み出力。割り込みレジスタのビットがアサートされると、このピンは low にアサートされます。この出力はオープンドレインです。
KSENSA/B	4、11	I	SEN1-4 のケルビン ポイント接続
KSENSC/D	32、39	I	SEN5-8 のケルビン ポイント接続

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		I/O	説明
名称	番号		
NC	15、16、18、19	O	接続の無いピン。これらのピンは、VPWR からの電圧勾配を制御するために、VPWR の 1/3 および 2/3 で内部的にバイアスされます。オープンのままにします。
	22	—	接続の無いピンオープンのままにします。
OSS	56	I	ポート 1 ～ 8 の高速シャットダウン。このピンは、内部で DGND にプルダウンされています。
サーマル パッド	—	—	正しく動作させるには、DGND 端子と AGND 端子を露出したサーマル パッドに接続する必要があります。
$\overline{\text{リセット}}$	44	I	リセット入力。Low にアサートすると、TPS2388 はリセットされます。このピンは内部で VDD にプルアップされています。
Resv	27、28、52	—	予約済み。接続の無いピン。オープンのままにします。
SCL	53	I	I^2C バス用シリアル クロック入力。
SDAI	54	I	I^2C バス用シリアル データ入力。このピンは、非絶縁型システムまたは双方向 I2C アイソレータを搭載したシステムの SDAO に接続できます。
SDAO	55	O	I^2C バス用のシリアル データ出力。このピンは、非絶縁型システムまたは双方向 I2C アイソレータを搭載したシステムの SDAI に接続できます。この出力はオープン ドレインです。
SEN1-8	2、6、9、13、30、34、37、41	I	ポート 1 ～ 8 電流センス入力。
TEST0-3	23、24、25、26	I/O	内部的にテスト目的でのみ使用されます。オープンのままにします。
VDD	43	—	デジタル電源。0.1µF ピンから DGND ピンへのバイパス。
VPWR	17	—	アナログ 48V の正の電源。0.1µF ピンから AGND ピンへのバイパス。

4.1 ピンの詳細説明

以下の説明は、ピン配置と機能ブロック図を参照してください。

DRAIN1-DRAIN8: ポート 1 ～ 8 出力電圧モニタおよび検出センス。ポート電圧の測定、ポート電圧の監視、ポート パワー グッドの検出、フォールドバック動作に使用されます。検出プローブの電流もこのピンに流れます。

TPS2388 は、信頼性の高い PD 検出を実現するために、革新的な 4 ポイント技術を採用しています。この検出は、DRAINn ピンを使用して 2 つの異なる電流レベルをシンクして行い、PD 電圧は VPWR から DRAINn まで測定します。4 ポイント測定により、容量性負荷またはレガシー負荷に電力を供給することを回避できます。また、半自動モードにおいて、新しい検出サイクルを開始する前にポート電圧が 2.5V を超える場合は、内部 100kΩ 抵抗がポートと並列に接続され、検出サイクルが開始される前にポート コンデンサが放電されるように 400ms の検出バックオフ期間が適用されます。

任意の動作モードでは、検出中またはポートがオンの間を除き、各 DRAINn ピンと VPWR の間に内部抵抗があります。ポート n を使用しない場合は、DRAINn をフローティングのままにするか、AGND に接続できます。

GAT1-GAT8: ポート 1 ～ 8 のゲート駆動出力は外部 N チャネル MOSFET ゲート制御に使用されます。ポートがオンのときは、MOSFET をオンにするため、低電流ソースによって正の方向に駆動されます。GATn は、いずれかの入力電源が low である場合、または過電流タイムアウトが発生した場合、low になります。手動シャットダウン入力を使用してポートをオフにすると、GATn も low になります。未使用の場合は、フローティングのままにします。

堅牢な設計では、電流フォールドバック機能により、低抵抗負荷や短絡発生時の MOSFET の消費電力が制限されます。突入時、フォールドバック メカニズムは、図 7-2 に示すように、VPWR と DRAINn の間のポート電圧を測定して、電流制限スレッショルドを低減します。

ポートがオンのときに I_{CUT} スレッショルドを超えた場合、タイマが開始されます。その期間中は、リニア電流制限により、電流フォールドバック動作と組み合わせて電流が I_{LIM} を超えないことが保証されます。タイマが t_{OVLD} (または、ポートがオンの場合は t_{START}) 制限に達すると、ポートはシャットオフされます。ポート電流が I_{CUT} を下回ると、カウンタは増分レートの 1/16 のレートでカウントダウンし、カウンタは 0 に達してからポートを再度オンにする必要があります。

高速過負荷保護機能は、直接短絡のような重大な故障を対象としています。これにより、MOSFET の電流制限は 1 マイクロ秒以内に強制的に行われます。

Copyright © 2026 Texas Instruments Incorporated

適切な MOSFET 制御を確保するため、GATn ピンと近くにある DRAINn ピン、GND、またはケルビン ポイント接続との間の回路のリーク パスは、最小限に抑える必要があります (250nA 未満)。

$\overline{\text{INT}}$:割り込みレジスタのビットがアサートされると、この割り込み出力ピンが low にアサートされます。この出力はオープンドレインです。

KSENSA、KSENSB、KSENSC、KSENSD:関連する電流検出抵抗の両端で差動電圧測定を行うために使用されるケルビン ポイント接続。

各 KSENS は、以下のように隣接する 2 つの SEN ピン間で共有されます:KSENSA と SEN1 と SEN2、KSENSB と SEN3 と SEN4、KSENSC と SEN5 と SEN6、KSENSD と SEN7 と SEN8。測定精度を最適化するには、PCB の配線抵抗の影響を最小限に抑えるため、PCB レイアウトを慎重に行ってください。

OSS:高速シャットダウン、アクティブ high。このピンは、内部に 1µs ～ 5µs のデグリッチ フィルターが内蔵され、内部的に DGND にプルダウンされています。

ポート電源優先度 / ICUT ディスエーブル レジスタは、OSS 高速シャットダウン信号の外部アサートに応答して、どのポートをシャットダウンするかを決定するために使用されます。電源オフの手順は、Reset コマンド (1Ah レジスタ) を使用したポート リセットと同様です。

$\overline{\text{RESET}}$:リセット入力、アクティブ low。アサートされると、TPS2388 はリセットされ、すべてのポートがオフになり、レジスタが強制的に電源投入時の状態になります。このピンは内部で VDD にプルアップされており、1µs から 5µs へのグリッチ除去フィルタは内蔵されています。設計者は、外付け RC ネットワークを使用して、ターンオンを遅延させることができます。また、$\overline{\text{RESET}}$ 入力とは独立した内部パワー オン リセットも備えています。

注

$\overline{\text{RESET}}$ がアサートされてから最初の 5ms の間に、パワー イネーブル コマンド (0x19) を使用してポートをオンにする場合、TI は、その 5ms の初期期間が経過するのを待ってから、後続の検出 / クラス再起動コマンドや検出 / クラス イネーブル コマンドを送信することを推奨しています。

SCL:I^2C バス用シリアル クロック入力。

SDAI:I^2C バス用シリアル データ入力。VDD への外部プルアップ抵抗が必要です。このピンは、非絶縁型システムまたは双方向 I2C アイソレータを搭載したシステムの SDAO に接続できます。

SDAO:オープン ドレインの I^2C バス出力データ ライン。外付け抵抗プルアップが必要です。TPS2388 は、独立した SDAO ラインと SDAI ラインを使用して、光絶縁型 I^2C インターフェイスを実現できます。SDAO は、非絶縁型システムや双方向 I2C アイソレータを搭載したシステムで、SDAI に接続できます。

A4A1:I^2C バスのアドレス入力。これらのピンは、内部で VDD にプルアップされています。詳細については、セクション 7.6.14 を参照してください。

SEN1-8:KSENSn に対するポート電流センス入力 (KSENSn の説明を参照)。差動測定は、KSENSA-D ケルビン ポイント接続を使用して実行します。DGND との間に 0.255Ω 電流センス抵抗を接続することで、外部 MOSFET の電流を監視します。現在のフォールドバック エンジンまたは分類時に使用されます。A/D 変換による負荷電流を監視することに使用できます。

外部 MOSFET を使用することで分類が行われるため、TPS2388 において過剰な電力損失を招くことなく、複数のポートで同時に分類を実行することが可能です。フォールドバック機能付きの電流制限については、SEN1-8 ピンに 2µS アナログ フィルタが内部的にあり、グリッチ フィルタリングを提供します。A/D コンバータを介した測定の場合、SEN1-8 ピンにアンチエイリアシング フィルタがあります。これには、ポート電源電流モニタリング、ポート ポリシング、および DC 切断が含まれます。

このポートを使用しない場合は、SENn を AGND に接続します。

VDD:3.3V ロジック電源入力。

Copyright © 2026 Texas Instruments Incorporated

VPWR：高電圧電源入力。公称 48V。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
入力電圧	VPWR	-0.3	70	V
	VDD	-0.3	4	V
	OSS、$\overline{\text{RESET}}$、A1A4	-0.3	4	V
	SEN1-8、(6)KSENSA、KSENSB、KSENSC、KSENSD	-0.3	3	V
出力電圧	GATE1-8(2)(4)	-0.3	12	V
電圧	SDAI、SDAO(3)、SCL、$\overline{\text{INT}}$	-0.3	4	V
	DRAIN1-8 (3) (5)	-0.3	70	V
	TEST0-3、ATST_DCPL0、DTST_DCPL1(3)	-0.3	4	V
	AGND	-0.3	0.3	V
シンク電流	$\overline{\text{INT}}$、SDAO		20	mA
リード温度:ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間			260	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) これらは内部で駆動するピンであるため、外部から電圧を印加することは想定していません。
(3) 外部電圧源に直接接続しないでください
(4) 外部 MOSFET がドレインとゲート間で短絡した場合、連鎖的損傷を防止するために、GATE ピンが内部で恒久的に切り離されることがあります。他の 3 つのポートは動作を継続します。
(5) 最大 80V までの短い過渡電圧 (µs の範囲) が許容されます
(6) SEN1-8 は、MOSFET が短絡した場合のフォルト伝搬を防止するために、15V の過渡電圧に耐える設計です。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{VDD}		3	3.3	3.6	V
V_{VPWR}		44	48	57	V
	VPWR の電圧スルー レート			1	V/µs
T_J	動作時接合部温度	-40		125	°C
T_A	自由空気での動作温度	-40		85	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		TPS2388	単位
		VQFN (56 ピン)	
$R_{\theta JA}$	接合部から周囲への熱抵抗	25.3	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	9.7	
$R_{\theta JB}$	接合部から基板への熱抵抗	3.7	
ψ_{JT}	接合部から上面への特性パラメータ	0.2	
ψ_{JB}	接合部から基板への特性パラメータ	3.7	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.5	

(1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。

5.5 電気的特性

–40°C ≤ T_J ≤ 125°C (特に記述のない限り)。V_{VDD} = 3.3V、V_{VPWR} = 48V、V_{DGND} = V_{AGND}、DGND、KSENSA、KSENSB、KSENSC、KSENSD を AGND に接続。特に記述のない限り、すべての出力は無負荷。PoEPn = 0。正の電流はピンに流れます。R_S = 0.255Ω、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電源 VPWR						
I_{VPWR}	VPWR 消費電流	V_{VPWR} = 50V		10	12.5	mA
		V_{VPWR} < 8V			100	µA
V_{UVLOPW_F}	VPWR UVLO 立ち下がりスレッショルド		14.5		17.5	V
V_{UVLOPW_R}	VPWR UVLO 立ち上がりスレッショルド		15.5		18.5	V
V_{PUV_F}	VPWR 低電圧立ち下がりスレッショルド	VPUV スレッショルド	25	26.5	28	V
合計デバイス消費電力						
P_T	VPWR および VDD の消費電力	V_{VPWR} = 50V			0.67	W
入力電源 VDD						
I_{VDD}	VDD 消費電流			6	12	mA
V_{UVDD_F}	VDD UVLO 立ち下がりスレッショルド	ポート デアサートの場合	2.1	2.25	2.4	V
V_{UVDD_R}	VDD UVLO 立ち上がりスレッショルド		2.45	2.6	2.75	V
V_{UVDD_HYS}	ヒステリシス VDD UVLO			0.35		V
V_{UVW_F}	VDD UVLO 警告スレッショルド		2.6	2.8	3.0	V
検出						
I_{DISC}	検出電流	最初の検出ポイント、V_{VPWR} – V_{DRAINn} = 0V	145	160	190	µA
		2 番目の検出ポイント、V_{VPWR} – V_{DRAINn} = 0V	235	270	300	
		大電流検出ポイント、V_{VPWR} – V_{DRAINn} = 0V	490	540	585	
V_{detect}	オープン回路検出電圧	V_{VPWR} – V_{DRAINn}	23.5	26	29	V
R_{REJ_LOW}	抵抗除去 low 範囲		0.86		15	kΩ
R_{REJ_HI}	除去抵抗高範囲		33		100	kΩ
R_{ACCEPT}	許容抵抗範囲		19	25	26.5	kΩ
R_{SHORT}	短絡ポート スレッショルド				360	Ω
R_{OPEN}	オープン ポート スレッショルド		400			kΩ

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

–40°C ≤ T_J ≤ 125°C (特に記述のない限り)。V_{VDD} = 3.3V、V_{VPWR} = 48V、V_{DGND} = V_{AGND}、DGND、KSENSA、KSENSB、KSENSC、KSENSD を AGND に接続。特に記述のない限り、すべての出力は無負荷。PoEPn = 0。正の電流はピンに流れます。R_S = 0.255Ω、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
分類						
V_{CLASS}	分類電圧	V_{VPWR} – V_{DRAINn}、V_{SENn} ≥ 0mV、I_{port} ≥ 180µA	15.5	18.5	20.5	V
I_{CLASS_Lim}	分類電流制限	VVPWR – VDRAINn = 0V	65	75	90	mA
I_{CLASS_TH}	分類スレッショルド電流	クラス 0-1	5		8	mA
		クラス 1-2	13		16	mA
		クラス 2-3	21		25	mA
		クラス 3-4	31		35	mA
		クラス 4-クラス過電流保護	45		51	mA
V_{MARK}	マーク電圧	4mA ≥ Iport ≥ 180µA、VVPWR – VDRAINn	7		10	V
I_{MARK_Lim}	マーク シンク電流制限	V_{VPWR} – V_{DRAINn} = 0V	10	70	90	mA
GATE						
V_{GOH}	ゲート駆動電圧	V_{GATEn}、I_{GATE} = -1µA	10		12.5	V
I_{GO-}	パワーオン リセット、OSS 検出、またはポートターンオフ コマンドによるゲート シンク電流	V_{GATEn} = 5 V	60	100	190	mA
$I_{GO\ short-}$	ポート短絡時のゲート シンク電流	V_{GATEn} = 5V、V_{SENn} ≥ V_{short} (または 2X モードの場合は Vshort2X)	60	100	190	mA
I_{GO+}	ピーク ソース電流	V_{GATEn} = 0 V	39	50	63	µA
ドレイン入力						
V_{PGT}	パワー グッド スレッショルド	V_{DRAINn} で測定	1.0	2.13	3	V
V_{SHT}	短絡 FET スレッショルド	V_{DRAINn} で測定	4	6	8	V
R_{DRAIN}	DRAINn と VPWR の間の抵抗	検出中またはポートがオンである間を除く任意の動作モード (デバイスのリセット状態を含む)	80	100	190	kΩ
I_{DRAIN}	DRAINn ピンのバイアス電流	V_{VPWR} – V_{DRAINn} = 30V、ポート オン		75	120	µA
A/D コンバータ						
t_{CONV}	変換時間、電流測定	すべての範囲、各ポート	0.64	0.8	0.96	ms
t_{CONV_V}	変換時間、電圧測定	すべての範囲、各ポート	0.82	1.03	1.2	ms
t_{GAP}	隣接する電流測定積分の間隔				5% × t_{CONV}	ms
	隣接電流の平均化された結果間のギャップ				5% × t_{INT_CUR}	ms
ADC_{BW}	ADC 積分帯域幅 (–3db)	電流測定		320		Hz
t_{INT_CUR}	積分 (平均化) 時間、電流	各ポート、ポートのオン電流	82	102	122	ms
t_{INT_DET}	積分 (平均化) 時間、検出		13.1	16.6	20	ms
t_{INT_portV}	積分 (平均化) 時間、ポート電圧	ポートに電力供給状態	3.25	4.12	4.9	ms
t_{INT_inV}	積分 (平均化) 時間、入力電圧		3.25	4.12	4.9	ms
	パワード ポートの電圧変換のスケール ファクタと精度	V_{VPWR} – V_{DRAINn} = 57V の場合	15097	15565	16032	カウント
		V_{VPWR} – V_{DRAINn} = 44V の場合	11654	12015	12375	カウント
	パワード ポートの電流変換のスケール ファクタと精度	ポート電流 = 770mA の場合	12363	12616	12868	カウント
		ポート電流 = 7.5mA の場合	100	123	150	カウント
	入力電圧変換のスケール ファクタと精度	V_{VPWR} = 57V の場合	15175	15565	15955	カウント
		V_{VPWR} = 44V の場合	11713	12015	12316	カウント
δ_V/V_{port}	電圧読み取り精度	44 ～ 57V の場合	-3%		3%	
σ_V	電圧読み取りの再現性	フルスケール読み取り値	-18		18	mV

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

–40°C ≤ T_J ≤ 125°C (特に記述のない限り)。V_{VDD} = 3.3V、V_{VPWR} = 48V、V_{DGND} = V_{AGND}、DGND、KSENSA、KSENSB、KSENSC、KSENSD を AGND に接続。特に記述のない限り、すべての出力は無負荷。PoEPn = 0。正の電流はピンに流れます。R_S = 0.255Ω、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
δ_I/I_{port}	電流読み取り精度	50mA 時	-3%		3%	
		770mA 時	-2%		2%	
σ_I	電流読み取りの再現性	フルスケール読み取り値	-7.5		7.5	mA
δ_R/R_{port}	抵抗の読み取り精度	15kΩ ≤ R_{port} ≤ 33kΩ、C_{port} ≤ 0.25µF、44 ～ 57V の場合	-7%		7%	
ポート電流センス						
V_{CUT}	I_{CUT} 制限	V_{DRAINn} = 0V、POL(3:0) = 0001b	9.6	10.2	10.8	mV
		V_{DRAINn} = 0V、POL(3:0) = 0010b	14.53	15.3	16.06	
		V_{DRAINn} = 0V、POL(3:0) = 0111b	38.76	40.8	42.84	
		V_{DRAINn} = 0V、POL(3:0) = 1111b	77.5	81.6	85.6	
		V_{DRAINn} = 0V、POL(3:0) = 0000b、PoEPn = 1	77.5	81.6	85.6	
		V_{DRAINn} = 0V、POL(3:0) = 1111b、PoEPn = 1	222.8	234.6	246.3	
δ_V/V_{police}	ポリシング設定の分解能		-6.3%		6.3%	
δ_{icut}/I_{CUT}	I_{CUT} の許容誤差	PoEPn = 0 の場合、POL(3:0) = 0000b および 0001b を除くすべての設定	-5%		5%	
V_{Inrush}	I_{Inrush} 制限、1x または 2x モード	V_{VPWR} – V_{DRAINn} = 1V	10	23	31	mV
		V_{VPWR} – V_{DRAINn} = 10V	20	33	46	
		V_{VPWR} – V_{DRAINn} = 30V	102		114.7	
		V_{VPWR} – V_{DRAINn} = 55V	102		114.7	
V_{LIM}	1x モードでの I_{LIM} 制限	V_{DRAINn} = 1V	102		114.7	mV
		V_{DRAINn} = 13V	102		114.7	
		V_{DRAINn} = 30V	15	23	31	
		V_{DRAINn} = 48V	15	23	31	
V_{LIM2X}	2X モードでの I_{LIM} 制限 (PoEPn = 1)	V_{DRAINn} = 1V	260	270.3	285	mV
		V_{DRAINn} = 10V	127	140	153	
		V_{DRAINn} = 30V	15	23	31	
		V_{DRAINn} = 48V	15	23	31	
V_{short}	1X モードでおよび突入時の I_{short} スレッショルド	ゲートのスレッショルドは、パルスを印加してから 2µS 後に 1V 未満にする必要があります	234		306	mV
$V_{short2X}$	2X モードでの I_{short} スレッショルド		357		408	
I_{bias}	検知ピンのバイアス電流	ポートがオンまたはクラス中にオンになります	-2.5		0	µA
V_{IMIN}	DC 切断スレッショルド		1.275		2.55	mV
V_{VDD} = 3.3V でのデジタル インターフェイス						
V_{IH}	デジタル入力 High		2.1			V
V_{IL}	デジタル入力 Low				0.9	V
V_{IT_HYS}	入力電圧ヒステリシス (SCL、SDAI、A1A4、$\overline{RESET}$、OSS)		0.17			V
V_{OL}	デジタル出力 Low、SDAO	9mA 時			0.4	V
	デジタル出力 Low、$\overline{INT}$	3mA 時			0.4	V
R_{pullup}	VDD へのプルアップ抵抗	$\overline{RESET}$、A1A4、TEST0	30	50	80	kΩ
$R_{pulldown}$	DGND へのプルダウン抵抗	OSS	30	50	80	kΩ
		TEST1、2 年	30	50	80	
サーマル シャットダウン						

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

–40°C ≤ T_J ≤ 125°C (特に記述のない限り)。V_{VDD} = 3.3V、V_{VPWR} = 48V、V_{DGND} = V_{AGND}、DGND、KSENSA、KSENSB、KSENSC、KSENSD を AGND に接続。特に記述のない限り、すべての出力は無負荷。PoEPn = 0。正の電流はピンに流れます。R_S = 0.255Ω、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{SD}	シャットダウン温度	温度上昇	135	146		°C
	ヒステリシス			7		°C

5.6 タイミング要件

			最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数		10		400	kHz
t_{LOW}	クロック LOW 期間		1.3			µs
t_{HIGH}	クロック HIGH 期間		0.6			µs
t_{fo}	SDAO 出力立ち下がり時間	SDAO、2.3 → 0.8V、Cb = 10pF、10kΩ を 3.3V にプルアップ	21		250	ns
		SDAO、2.3 → 0.8V、Cb = 400pF、1.3kΩ を 3.3V にプルアップ	21		250	ns
C_{I2C}	SCL 静電容量				10	pF
C_{I2C_SDA}	SDAI、SDAO 静電容量 (各々)				6	pF
$t_{SU,DATW}$	データ セットアップ時間 (書き込み動作)		100			ns
$t_{SU,DATR}$	データ セットアップ時間 (読み取り動作)	SDAO、Cb = 10pF、1.3kΩ を 3.3V にプルアップ	600			ns
$t_{HD,DATW}$	データ ホールド時間 (書き込み動作)		0			ns
$t_{HD,DATR}$	データ ホールド時間 (読み取り動作)		150		600	ns
t_{fSDA}	SDAI の入力立ち下がり時間	2.3 → 0.8V	20		250	ns
t_{rSDA}	SDAI の入力立ち上がり時間	0.8 → 2.3V	20		300	ns
t_r	SCL の入力立ち上がり時間	0.8 → 2.3V	20		300	ns
t_f	SCL の入力立ち下がり時間	2.3 → 0.8V	20		200	ns
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間		1.3			µs
$t_{HD,STA}$	Start 条件を繰り返した後のホールド時間		0.6			µs
$t_{SU,STA}$	反復 Start 条件のセットアップ時間		0.6			µs
$t_{SU,STO}$	Stop 条件のセットアップ時間		0.6			µs
t_{FLT_INT}	$\overline{INT}$ アサーションのフォルト	ポートのオフから割り込みフォルトが内部で登録されるまでの時間		50	500	µs
t_{DG}	抑制されたスパイク パルス幅、SDAI、SCL		50			ns
t_{RDG}	$\overline{RESET}$ 力の最小パルス幅 (デグリッチ時間)				5	µs
t_{bit_OSS}	3 ビット OSS ビット周期	MbitPrty = 1	24	25	26	µs
t_{OSS_IDL}	3 ビット モードでの連続シャットダウン コード送信までのアイドル時間	MbitPrty = 1	48	50		µs
t_{r_OSS}	3 ビット モードでの OSS の入力立ち上がり時間	0.8 → 2.3V、MbitPrty = 1	1		300	ns
t_{f_OSS}	3 ビット モードでの OSS の入力立ち下がり時間	2.3 → 0.8V、MbitPrty = 1	1		300	ns
t_{WDT_I2C}	I^2C ウォッチドッグ トリップ遅延		1.1	2.2	3.3	s

Copyright © 2026 Texas Instruments Incorporated

5.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
δI_{fault}	電流フォルト付き Iport のデューティ サイクル		5.5%		6.7%	
t_{OVLD}	ICUT 時間制限 (DCUTn = 0)	TOVLD = 00	50		70	ms
		TOVLD = 01	25		35	
		TOVLD = 10	100		140	
		TOVLD = 11	200		280	
t_{ICUT_INT}	ICUT がディスーブルのときの ICUT 割り込み時間制限 (DCUTn = 1)(1)	I_{CUT} 制限を超えたが、I_{LIM}、TLIM = 01、PoEPn = 1 ではない		$t_{LIM/2}$	$t_{LIM/2}$ + 6	ms
t_{LIM}	ILIM 時間制限		50		70	ms
		TLIM = 00、PoEPn = 1	50		70	
		TLIM = 01、PoEPn = 1	14.5	15	15.75	
		TLIM = 10、PoEPn = 1	11.5	12	12.5	
		TLIM = 11、PoEPn = 1	9.5	10	10.5	
t_{START}	ポートのスタートアップ時の最大電流制限期間	TSTART = 00	50		70	ms
		TSTART = 01	25		35	
		TSTART = 10	100		140	
t_{DET}	検出時間、4 ポイント検出	検出を完了する時間	275	350	425	ms
t_{DET_BOFF}	検出試行間のバックオフの一時停止を検出します	$V_{VPWR} – V_{DRAINn} > 2.5V$	300	400	500	ms
		$V_{VPWR} – V_{DRAINn} < 2.5V$	15		100	
t_{DET_DLY}	検出遅延	コマンドまたは PD 接続からポート検出完了まで			590	ms
t_{CLE}	分類期間、最初と 2 番目のクラス イベント	半自動モード。検出完了まで表示されます	6.5		12	ms
t_{pdc}	分類期間、1 イベントの物理層クラスのタイミング	半自動モード。検出完了まで表示されます	6.5		12	ms
		手動モード。クラス分類開始時点から	6.5		14	
t_{ME}	マーク期間、最初と 2 番目のマーク イベント	半自動モード。クラス 4 完了時点から	6		12	ms
t_{pon}	ポート パワーオン遅延、半自動モード	IEEE パワー イネーブルを使用した場合の、検出終了からポート オンまで			200	ms
	ポート パワーオン遅延、手動モード	ポート ターンオン コマンドからポート ターンオン完了まで、4 つのポート			4	ms
t_{RESET}	$\overline{RESET}$ ピンからのリセット時間		1		5	µs
t_{ed}	誤差遅延タイミング。エラー状態が原因で電源が切断された後、次のポートへの電源供給試行までの遅延	ICUT、ILIM または IInrush フォルト、半自動モード	0.8	1	1.2	s
t_{MPDO}	PD 電力シグネチャドロップアウト時間制限を維持	TMPDO = 00	300		400	ms
		TMPDO = 01	75		100	
		TMPDO = 10	150		200	
		TMPDO = 11	600		800	
t_{MPS}	PD 有効性のため電源シグネチャ時間を保持		13	15	17	ms
$t_{D_off_OSS}$	1 ビット OSS 入力からのゲート ターンオフ時間	OSS から V_{GATEn} < 1V、V_{SENn} = 0V、MbitPrty = 0 まで	1		5	µs
t_{OSS_OFF}	3 ビット OSS 入力からのゲート ターンオフ時間	スタート ビットの立ち下がりエッジから V_{GATEn} < 1V まで、V_{SENn} = 0V、MbitPrty = 1	72		104	µs
$t_{P_off_CMD}$	ポート オフ コマンドからのゲート ターンオフ時間	ポート オフ コマンドから V_{GATEn} < 1V、V_{SENn} = 0V まで			300	µs
$t_{P_off_RST}$	$\overline{RESET}$ 付きのゲート ターンオフ時間	$\overline{RESET}$ low から V_{GATEn} < 1V、V_{SENn} = 0V まで	1		5	µs
$t_{D_off_SEN}$	SENn 入力からのゲート ターンオフ時間	V_{DRAINn} = 1V、V_{SENn} パルスから 0.425V まで			0.9	µs
	SENn 入力からのゲート ターンオフ時間 (PoEPn = 1)	V_{DRAINn} = 1V、V_{SENn} パルスから 0.62V まで			0.9	
t_{POR}	デバイス パワーオン リセット遅延				20	ms

(1) 表に示されている t_{ICUT_INT} の最大値は、発生の低い割合 (< 10%) にのみ適用されます。それ以外の時間では、t_{LIM}/2 + 2ms になります。

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性

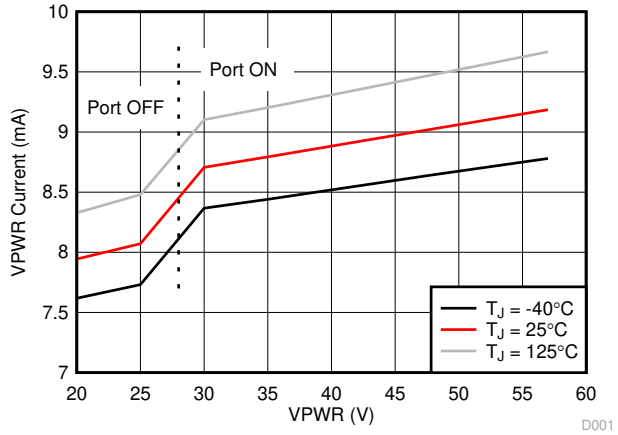


図 5-1. VPWR 消費電流と VPWR との関係

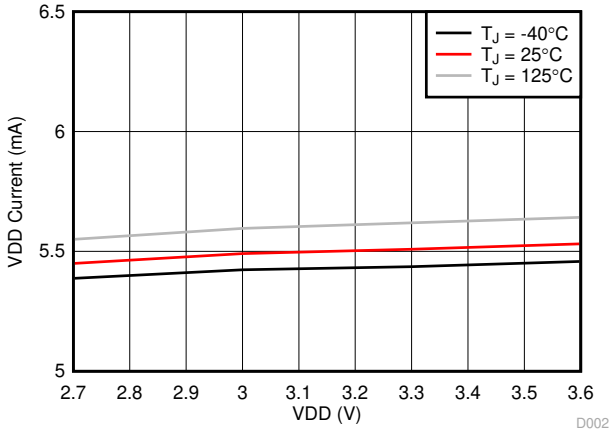


図 5-2. VDD 消費電流と VDD との関係

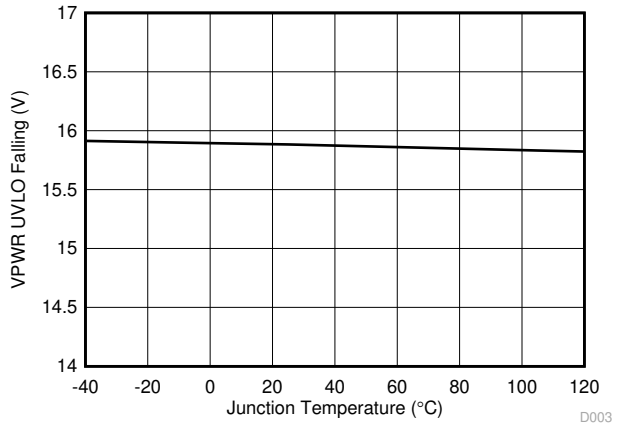


図 5-3. VPWR UVLO 立ち下がりスレッショルドと接合部温度との関係

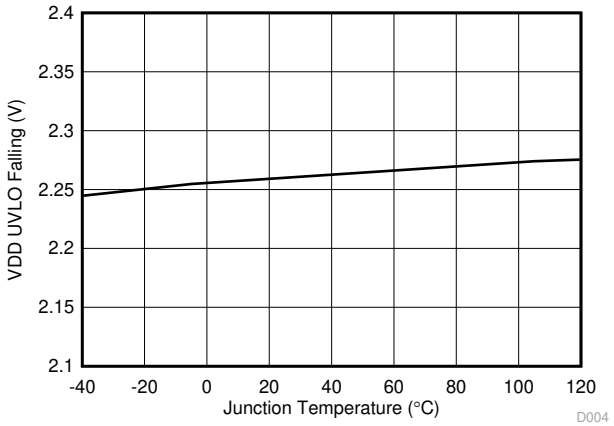


図 5-4. VDD UVLO 立ち下がりスレッショルドと接合部温度との関係

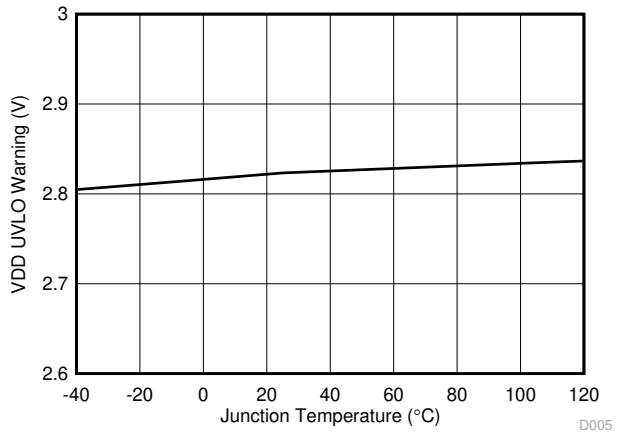


図 5-5. VDD UVLO 警告スレッショルドと接合部温度との関係

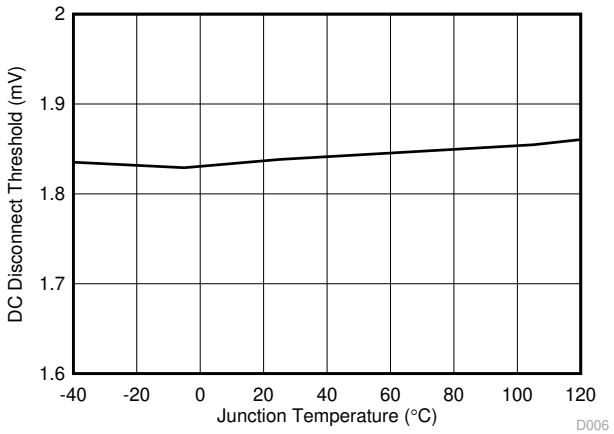


図 5-6. DC 切断スレッショルド (V_{IMIN}) と接合部温度との関係

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

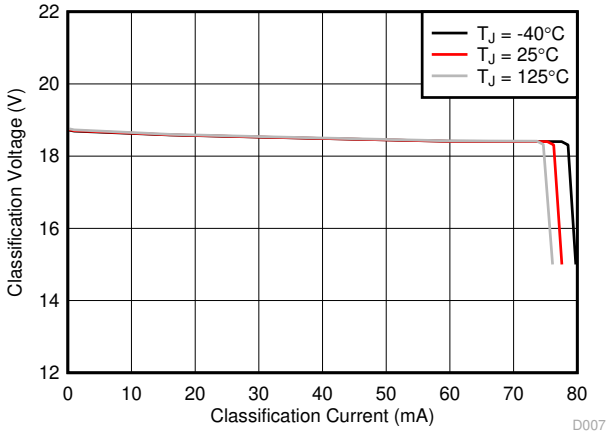


図 5-7. 分類電圧 (V_{CLASS}) とポート分類電流との関係

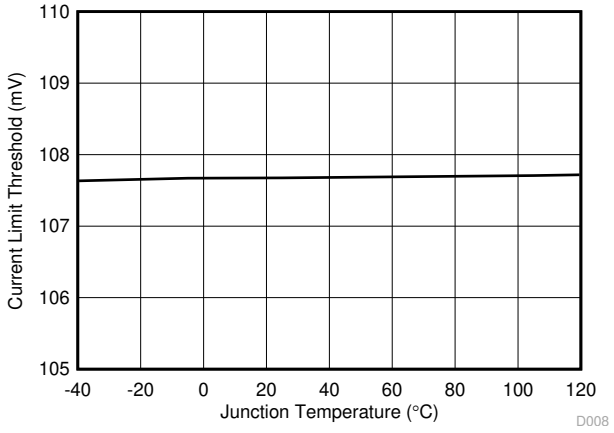


図 5-8. 電流制限 1x スレッショルド (V_{LIM}) と接合部温度との関係

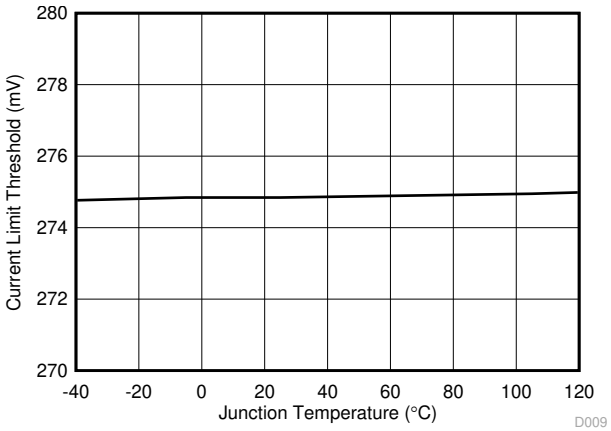


図 5-9. 電流制限 2x スレッショルド (V_{LIM2X}) と接合部温度との関係

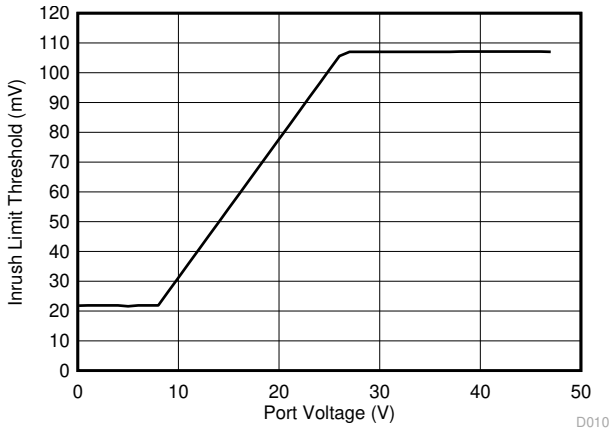


図 5-10. 突入電流制限スレッショルド (V_{Inrush}) とポート電圧との関係

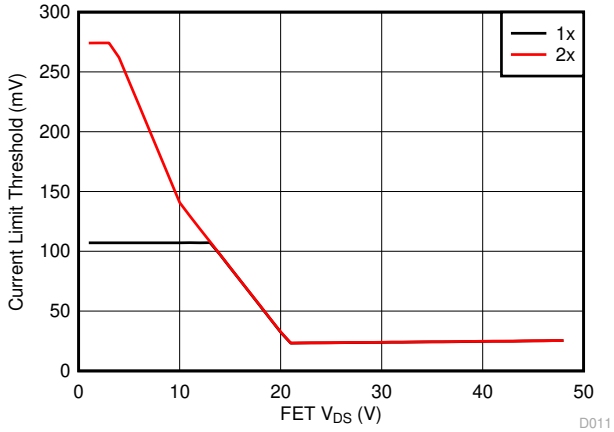


図 5-11. フォールドバック電流制限スレッショルド (V_{LIM}、V_{LIM2X}) とポート MOSFET 電圧との関係

Copyright © 2026 Texas Instruments Incorporated

6 パラメータ測定情報

6.1 タイミング図

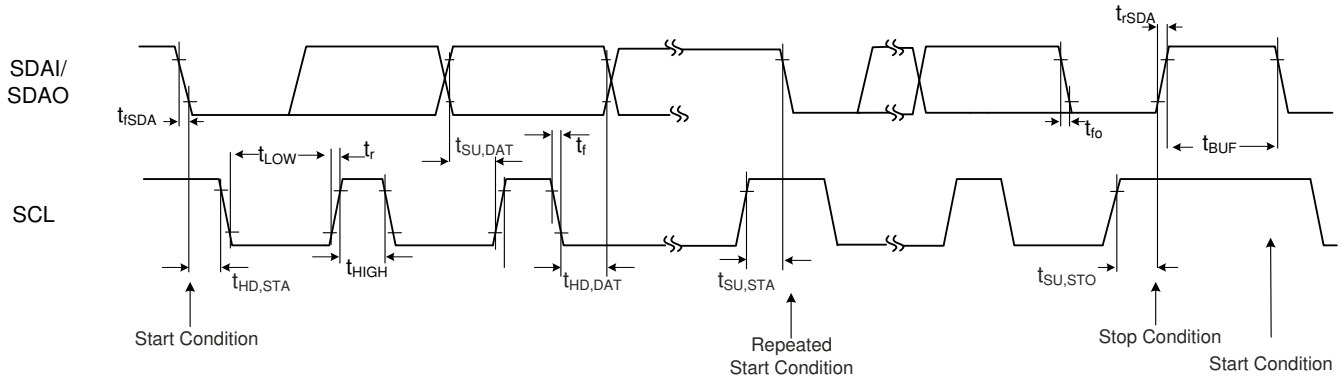


図 6-1. I²C タイミング

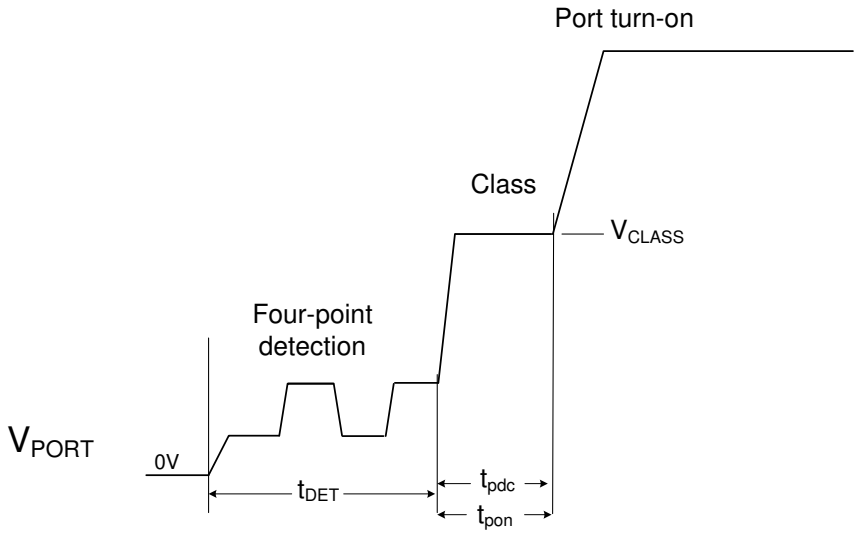


図 6-2. 検出、1 イベント分類、起動

Copyright © 2026 Texas Instruments Incorporated

6.1 タイミング図 (続き)

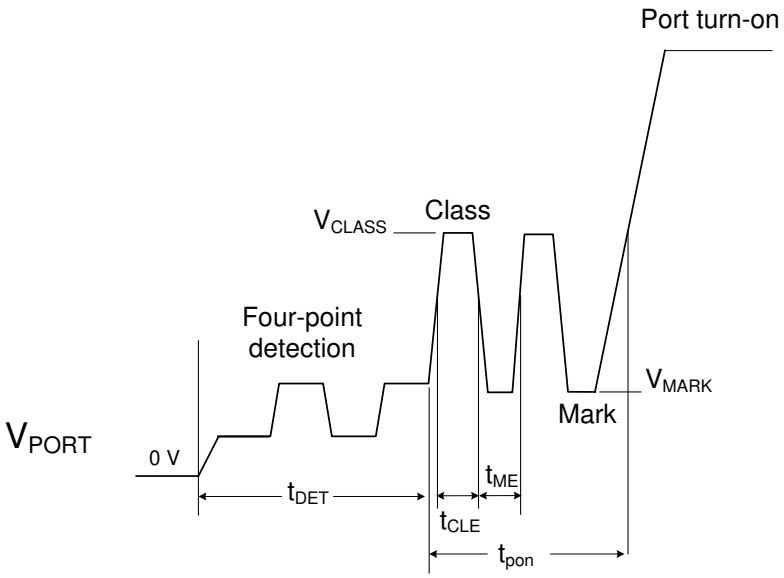


図 6-3. 検出、2 イベント分類、起動

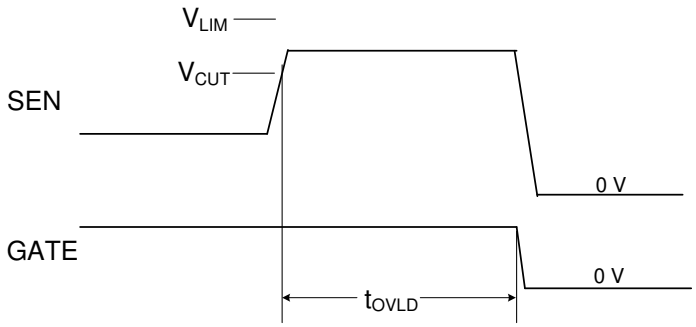


図 6-4. 過電流フォルト タイミング

7 詳細説明

7.1 概要

TPS2388 は、PoE (パワー オーバー イーサネット) アプリケーション用の 8 ポート PSE です。8 つのポートはそれぞれ、IEEE 802.3at 規格に準拠した検出、分類、保護、シャットダウンを提供します。

PoE の基本的な機能は次のとおりです。

- 信頼性の高い 4 ポイント負荷検出を行います
- クラス 4 までの負荷を対象に、タイプ 2 (2 フィンガー) を含む分類を実行します
- 保護フォールドバック電流制限機能付き電力、および調整可能な I_{CUT} スレッショルドを使用できます
- フォルト負荷および短絡が発生した場合にシャットダウンします
- 負荷が接続解除された場合に電力を遮断するため、電力シグネチャの維持機能を実行します
- VPWR が VPUV_F (標準値 26.5V) を下回ると、低電圧誤動作防止が発生します。

強化された機能には、以下のものがあります。

- ポートの再マッピング機能
- 8 ビットと 16 ビットのアクセス モードを選択可能
- 1 ビットおよび 3 ビットのポート シャットダウン優先度
- ポート ターンオン コマンドにより、IEEE TPON 仕様 (0x23 レジスタまたは 0x19 および 0x40 レジスタ) を自動的にサポート

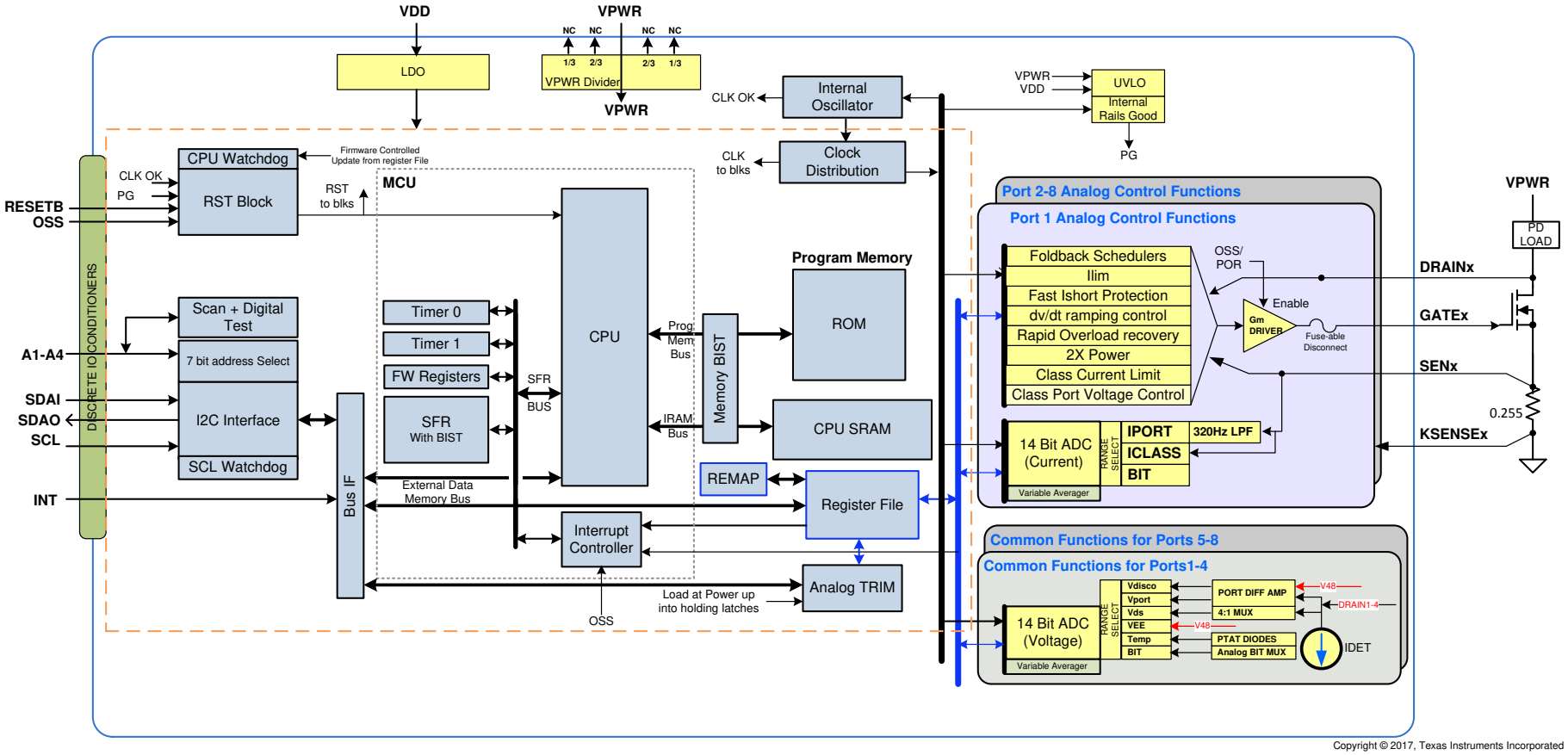
電源オフ コマンドのほか、スタート、ICUT、もしくは ILIM フォルト障害による接続解除またはシャットダウンの後、ポートへの給電が停止します。パワーオフ コマンドまたは切断によってポートがパワーオフになった後、TPS2388 は指示された場合に検出サイクルから開始します。スタート、ICUT、ILIM のいずれかのフォルトによるシャットダウンであれば、TPS2388 はまずクールダウン期間に移行し、この期間が終了した時点で、TPS2388 は検出サイクルを再起動できます。

TPON をサポートするターンオン コマンドを使用して、以下の状況では TPS2388 がポートに自動的に電力を供給することはありません。

- 検出ステータスが抵抗値有効ではない場合。
- 分類ステータスが過電流、クラス不一致、または不明の場合。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図



Copyright © 2017, Texas Instruments Incorporated

7.3 機能説明

7.3.1 ポートの再割り当て

TPS2388 は、論理ポートから物理ポート / ピンへのポートの再マッピング機能を備えています。

再マッピングは、4 ポート グループの任意のポート (1 ～ 4、5 ～ 8) 間で行われます。

以下の例は、0x26 レジスタ = 00111001、00111001b に適用されます。

- 論理ポート 1 (5) ↔ 物理ポート 2 (6)
- 論理ポート 2 (6) ↔ 物理ポート 3 (7)
- 論理ポート 3 (7) ↔ 物理ポート 4 (8)
- 論理ポート 4 (8) ↔ 物理ポート 1 (5)

注

4 つのポートすべてが OFF モードでない限り、デバイスはリマッピングコマンドを無視します。

TPS2388 が誤った構成を受信した場合、誤った構成を無視し、以前の構成を保持します。また、ACK は通常どおり通信終了時に送信されます。たとえば、複数のポートについて同じコードが受信された場合、再マッピング レジスタ (0x26) のリード バックが最後の有効な構成になります。

さらに、IC リセット コマンド (1Ah レジスタ) を受信した場合、ポートの再マッピング設定は変更されません。ただし、パワーオン リセットが存在する場合や、$\overline{\text{RESET}}$ ピンがアクティブになっている場合、再マッピング レジスタはデフォルト値に再初期化されます。

7.3.2 ポート電力の優先度

TPS2388 は、1 ビットおよび 3 ビットのシャットダウン優先度をサポートしており、汎用マスク レジスタ (0x17) の MbitPrty ビットで選択可能です。

1 ビットのシャットダウン優先度はポート電源優先度 (0x15) レジスタと連携して機能します。値が 1 の OSSn ビットは、対応するポートが低優先度として扱われ、値が 0 の場合は高優先度に対応します。OSS 入力が high になると、すぐに低優先度のポートがオフになります。

3 ビットのシャットダウン優先度は、優先度設定を保持するマルチビット パワー優先度 (0x27/28) レジスタと連動します。このレジスタの「000」コードを持つポートは、最も高い優先度を持ちます。3 ビットの値が大きくなると、ポートの優先度が低下し、最大 8 つの優先度レベルが設定されます。図 7-1 を参照してください。

ポートの優先度は、次のように定義されます。

- OSS コード ≤ 優先度設定 (0x27/28 レジスタ):OSS コードはポートをオフにします
- OSS コード > 優先度設定 (0x27/28 レジスタ):OSS コードはポートに影響を与えません

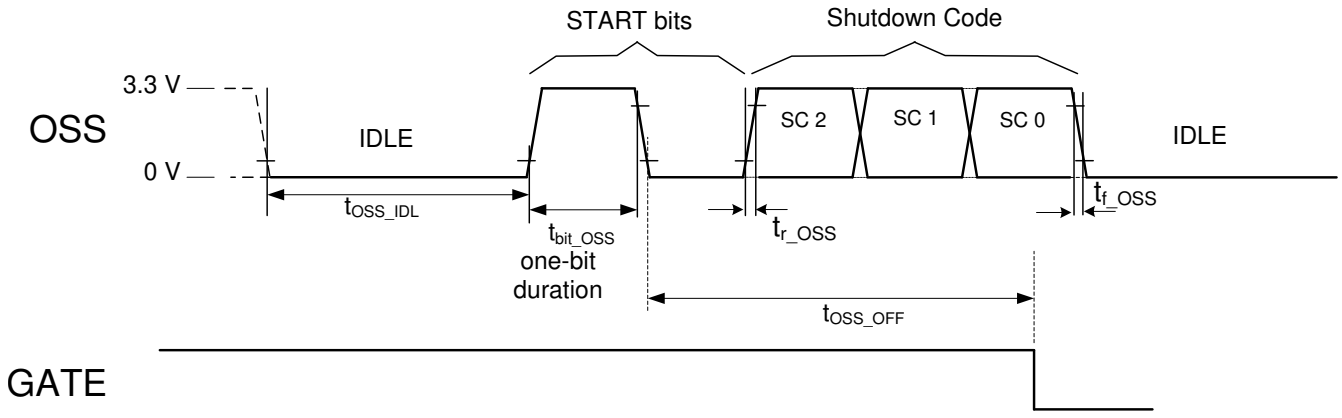


図 7-1. マルチビット優先ポートのシャットダウン (低優先度ポートの場合)

Copyright © 2026 Texas Instruments Incorporated

注

MbitPrty ビットを 0 から 1 に設定する前に、OSS ビット ストリームとの同期が失われたことに関連してポートの誤動作を防止するため、OSS 入力が最小の 200µs の間アイドル (low) 状態になっていることを確認してください。

注

OSS 入力には、1µs から 5µs へのグリッチ除去フィルタが内蔵されています。アイドル状態から、より長い期間のパルスは、有効なスタート ビットとして解釈されます。OSS 信号がノイズ フリーであることを確認します。

7.3.3 A/D コンバータ

TPS2388 は、10 のマルチスロープ統合コンバータを搭載しています。最初の 8 個のコンバータはそれぞれ 1 つのポートの電流測定専用であり、独立して動作して分類やポート給電のいずれかのモードで測定を実行します。ポートに電力が供給されると、コンバータは電流 (平均 100ms) の監視、ポートポリシング、および DC 切断に使用されます。最後の 2 つのコンバータのそれぞれが、検出 (平均 16.6ms)、ポート電源電圧監視、パワー グッド ステータス、FET 短絡検出のための 4 つのポートからなるグループ内で共有されます。また、入力電圧 (1ms) や温度などの汎用測定にも使用されます。

TPS2388 で使用されている A/D コンバータは、積分器により入力信号がサンプリングされている間に変換を行う点で、他の似たようなタイプのコンバータとは異なります。そのため、変換期間全体にわたって本質的なフィルタ処理が行われます。電流コンバータの標準変換時間は 800µs であり、他のコンバータでは変換時間は 1ms です。受電側デバイス検出は、50Hz または 60Hz のライン周波数でのノイズの大幅な除去を実現する 16 の連続サンプルを平均化することによって実行されます。ポートに電力が供給されている間、デジタル平均化を用いて、100ms の期間にわたって内蔵されたポート電流の測定が行われれます。また、ポートの電源電流監視用にアンチエイリアシング フィルタがあることに注意します。

注

ポート給電モード中は、ポートの電流変換が連続的に実行されます。また、ポート給電モードでは、電流または電圧の A/D 変換を開始できるようになる前に、t_{START} タイマが満了しなければなりません。

7.3.4 I²C ウォッチドッグ

I²C ウォッチドッグ タイマは、TPS2388 デバイスで利用できます。タイマは、I²C、SCL ラインのクロック エッジを監視します。イネーブルにすると、ウォッチドッグのタイムアウトが発生すると、I²C インターフェイスとアクティブなポートがリセットされます。この機能により、ソフトウェアがハングした場合や、スレーブ デバイスによって I²C バスがハングアップした場合でも、保護が提供されます。後者の場合、マスターがクロックの送信を停止したときに、スレーブがデータ ビット 0 を送信しようとした場合、スレーブはデータ ラインを low に駆動したまま、無期限に固着する可能性があります。データ ラインは low に駆動されるため、マスターはストップを送信してバスをクリーンアップすることはできません。TPS2388 の I²C ウォッチドッグ機能をアクティブ化すると、このデッドロック状態はクリアされます。2 秒のタイマが経過すると、ポートがラッチオフされ、WD ステータス ビットがセットされます。ウォッチドッグがイネーブルではない場合でも WD ステータスが設定されることに注意してください。WD ステータスは、リセットまたは WDS ステータス ビット位置に 0 の書き込みでのみクリアできます。4 ビットウォッチドッグ ディセーブル フィールドでは、コード 1011b がロードされると、この機能がシャットダウンされます。TPS2388 の電源を最初に投入すると、このフィールドは 1011b にプリセットされます。詳細については、セクション 7.6.44 も参照してください。

7.3.5 フォールドバック保護

TPS2388 は、完全な MOSFET 保護のために 2 種類のフォールドバック保護メカニズムを備えています。突入時、ポートターンオン時、フォールドバックはポート電圧に基づいて行われます (図 7-2 を参照)。PoE プラス レジスタの PoEPn ビットの状態に関係なく、突入電流プロファイルは同じに維持されることに注意してください。

Copyright © 2026 Texas Instruments Incorporated

ポートがオンになり、パワー グッドが有効になった後、デュアル スロープ フォールドバックが使用され、ポート出力での部分的および合計短絡から保護されながら、PSE 入力電圧での通常の過渡現象において、PD 電力を維持できます。PoEPn ビットをセットすると、2x 曲線が選択され、クリアすると 1x 曲線が選択されることに注意してください。図 7-3 を参照してください。

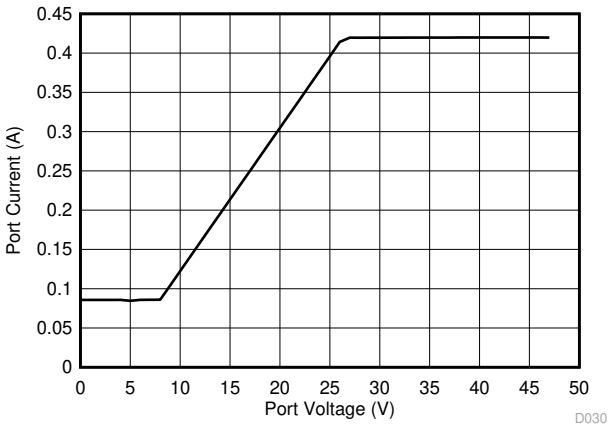


図 7-2. 突入時のフォールドバック (ポート オン時) : I_{LIM} と V_{port} との関係

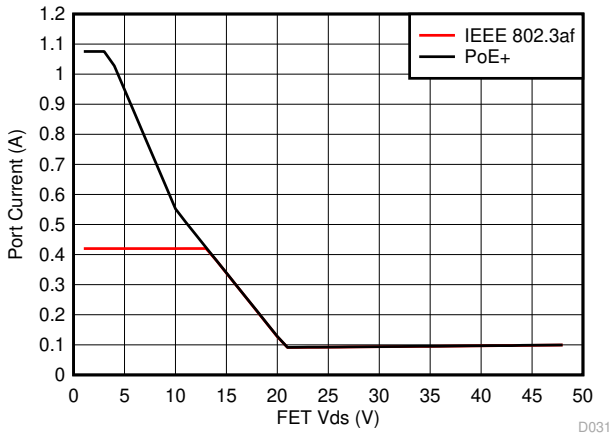


図 7-3. ポートがすでにオンの場合のフォールドバック : I_{LIM} と V_{drain} との関係

7.4 デバイスの機能モード

7.4.1 ポートの動作モード

7.4.1.1 半自動

ポートは、検出と分類を継続的に実行します (有効な検出が発生した場合)。レジスタは、検出または分類が発生するたびに更新されます。ポートの電源が自動的にオンになることはありません。ポートをオンにするには、パワー イネーブルまたは IEEE パワー イネーブル コマンドが必要です。

7.4.1.2 手動

ポートはコマンド実行時にそのレジスタが示す機能を 1 回実行します。自動的な状態変更はありません。

7.4.1.3 電源オフ

ポートの電源がオフになっており、検出、分類、または電源投入は自律的に実行されません。このモードでは、関連するポートのステータス ビットとイネーブル ビットがリセットされます。

7.4.2 検出

誤検出の可能性を排除するために、TPS2388 は TI 独自の 4 点検出法を採用して、PD デバイスのシグネチャ抵抗値を判定しています。ノイズの多い環境や負荷が高い容量性である場合、2 ポイント検出タイプの PSE で 25kΩ シグネチャの誤検出が発生する可能性があります。

検出 1 と検出 2 は 1 つの検出機能に統合され、繰り返されます。検出 1 は I1 (160µA) をポートに適用し、60ms 待機してから、内蔵 ADC によるポート電圧 V1 を測定します。検出 2 はポートに I2 (270µA) を印加し、60ms 待機してから、ポート電圧 V2 を測定します。このプロセスは 2 回繰り返されます。非線形またはヒステリシス PD シグネチャの影響を排除するため、4 つの測定ポイントの組み合わせすべてに対して複数の比較と計算が実行されます。結果のポートシグネチャは、適切なカテゴリにソートされます。

注

検出抵抗測定結果は、ポート検出抵抗レジスタにもあります。

Copyright © 2026 Texas Instruments Incorporated

7.4.3 分類

ハードウェア分類 (クラス) は、電圧を供給し、結果の電流をサンプリングすることで実行されます。電源コントローラ チップで大電力の分類イベントが発生しないように、TPS2388 は、外部パワー FET を使用して分類を行います。

分類中、外部 MOSFET のゲート ノードの電圧はリニア制御ループの一部です。制御ループは、VPWR とドレイン 17.5V の間の差動電圧を維持するために適切な MOSFET ドライブを適用します。分類において、MOSFET のソースのセンス抵抗にかかる電圧を測定し、TPS2388 内のクラス レベルに変換します。分類中に負荷の短絡が発生した場合、クラス イベントが発生している間、MOSFET のゲート電圧は線形制御された短絡の値に素早く低下します。

分類結果は、I²C 検出イベントおよびポート n ステータス レジスタから読み取ることができます。また、TPS2388 は、IEEE パワー イネーブル レジスタを使用して、タイプ 2 PD について 2 イベント分類もサポートしています。

7.4.4 DC 接続解除

切断とは、ポートへの電源をオフにする自動プロセスです。ポートがアンロードされている場合、または最小負荷未満になっている場合は、ポートの電源をオフにして検出を再起動する必要があります。DC 切断では、検出抵抗の両端の電圧が測定されます。イネーブルにすると、DC 切断機能は電源ポートの検出抵抗電圧を監視して、ポートが少なくともアクティブ状態を維持するために必要な最小電流を消費していることを確認します。TDIS タイマは、ポート電流が 7.5mA スレッショルドを下回るとカウントアップします。タイムアウトが発生すると、ポートがシャットダウンされ、フォルト イベント レジスタの対応する切断ビットがセットされます。TDIS カウンタは、電流が公称 15ms にわたって接続解除スレッショルドよりも連続的に高くなるたびにリセットされます。

TDIS の期間は、タイミング構成レジスタ (0x16) の TMPDO ビットによって設定されます。

7.5 プログラミング

7.5.1 I²C シリアル インターフェイス

TPS2388 は、SDAI、SDAO、SCL を使用した 3 線式 I²C インターフェイスを備えています。各送信には、マスターから送信された Start 条件、R/W ビット付きのデバイス アドレス (7 ビット)、レジスタ アドレス バイト、1 つまたは 2 つのデータ バイト、Stop 条件が含まれます。また、受信者は、送信される各バイトの後にアクノリッジ ビットを送信します。さらに、SDAI/SDAO は、Start 条件または Stop 条件を除いて、SCL が high の間安定しています。

図 7-4 および図 7-5 に、構成 A または B を使用した I²C インターフェイスによる読み取りおよび書き込み動作を示します (詳細については、表 7-19 を参照)。「パラメータ」読み取り動作は、A/D 変換結果に適用できます。TPS2388 は、I²C バスを介して最新のアドレス指定レジスタにすばやくアクセスすることもできます。これは、ストップ ビットを受信したとき、レジスタ ポインタが自動的にリセットされないということです。

また、多くの TPS2388 デバイスに対して同時に書き込み操作を実行することもできます。セクション 7.6.14 に示されているように、このブロードキャスト アクセス中のスレーブ アドレスは 0x7F です。選択されている構成 (A または B) に応じて、グローバル書き込みは次のように処理されます。

- 構成 A: 両方の 4 ポート デバイス (1 ～ 4 および 5 ～ 8) が同時にアドレス指定されます。
- 構成 B: デバイス全体のアドレス指定が行われます。

Copyright © 2026 Texas Instruments Incorporated

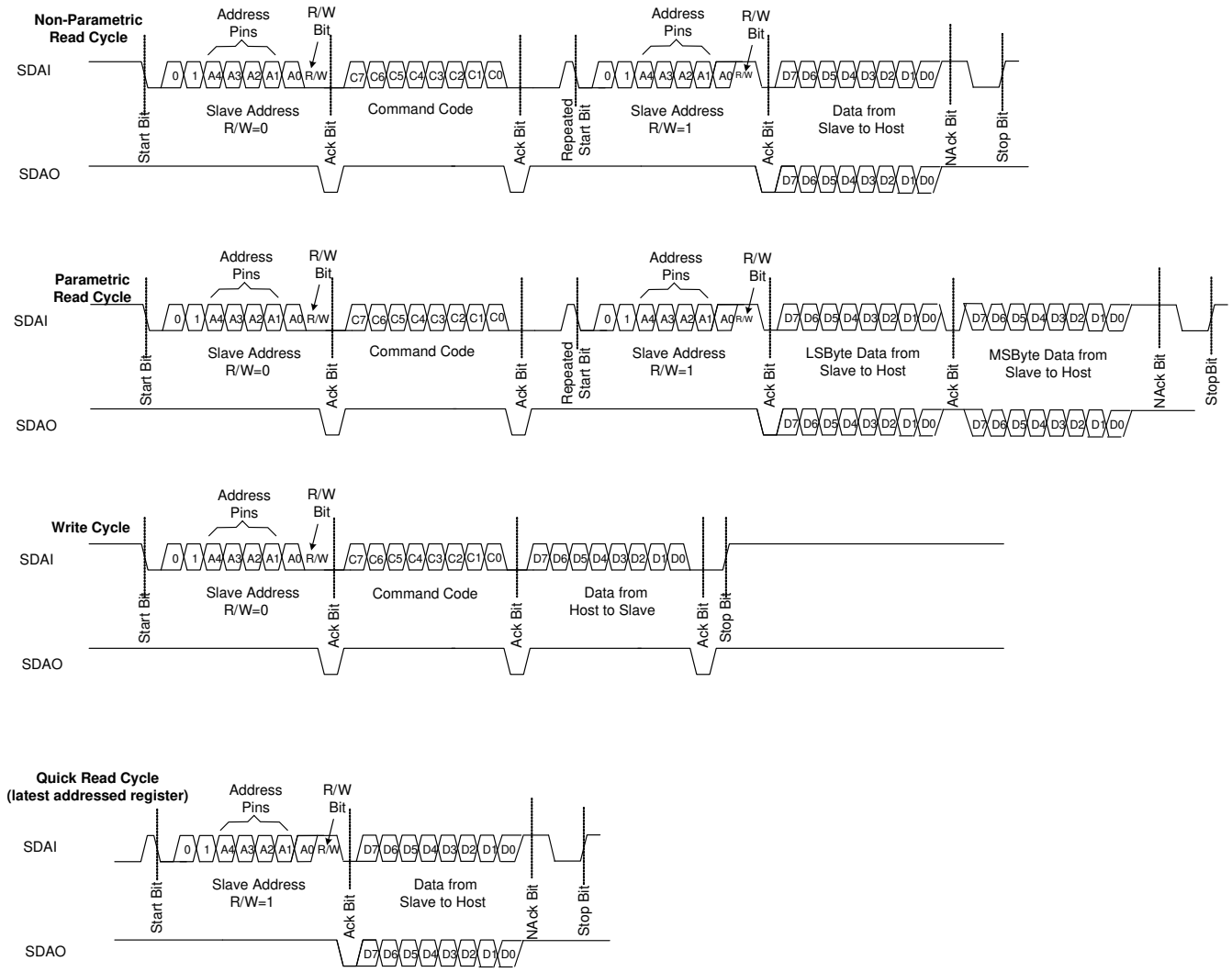


図 7-4. I²C インターフェイス読み取り/書き込みプロトコル – 構成 A

Copyright © 2026 Texas Instruments Incorporated

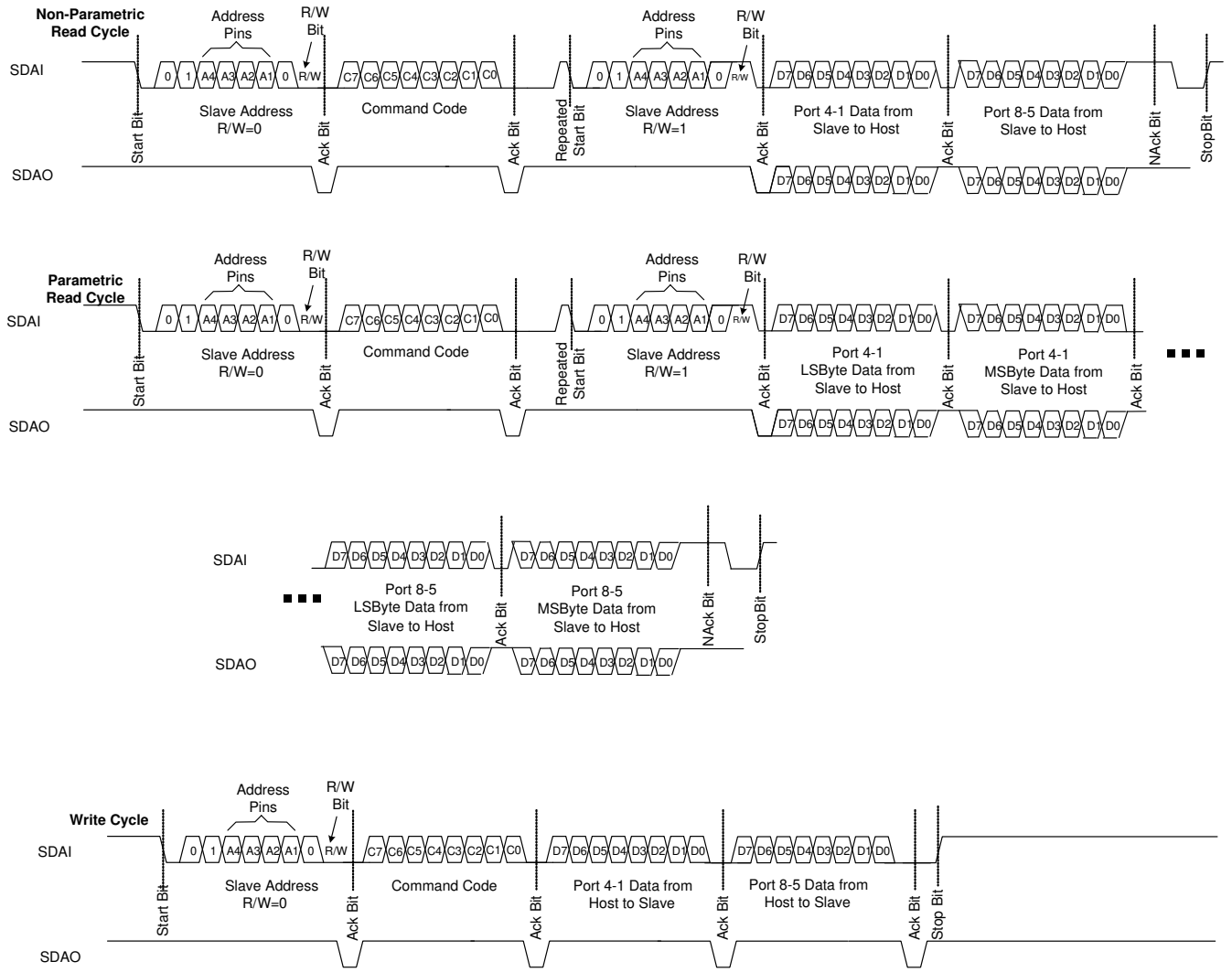


図 7-5. I²C インターフェイス読み取り/書き込みプロトコル – 構成 B

7.6 レジスタ マップ

7.6.1 レジスタ セット全体

表 7-1. メイン レジスタ

CMD コード	レジスタ コマンド名	I²C R/W	データ バイト	RST 状態	ビットの詳細							
割り込み												
00h	割り込み	RO	1	1000,0000b (1)	SUPF	STRTF	IFAULT	CLASC	DETC	DISF	PGC	PEC
01h	割り込みマスク	R/W	1	1000,0000b	SUMSK	STMSK	IFMSK	CLMSK	DEMSK	DIMSK	PGMSK	PEMSK
EVENT												
02h	パワー イベント	RO	1	0000,0000b	パワー グッド ステータスの変更				電源イネーブルのステータス変更			
03h		CoR	1		PGC4	PGC3	PGC2	PGC1	PEC4	PEC3	PEC2	PEC1
04h	検出イベント	RO	1	0000,0000b	分類				検出			
05h		CoR	1		CLSC4	CLSC3	CLSC2	CLSC1	DETC4	DETC3	DETC2	DETC1
06h	故障イベント	RO	1	0000,0000b	切断が発生しました				ICUT 障害が発生しました			
07h		CoR	1		DISF4	DISF3	DISF2	DISF1	ICUT4	ICUT3	ICUT2	ICUT1
08h	開始 / ILIM イベント	RO	1	0000,0000b	ILIM 障害が発生しました				START 障害が発生しました			
09h		CoR	1		ILIM4	ILIM3	ILIM2	ILIM1	STRT4	STRT3	STRT2	STRT1
0Ah	供給イベント	RO	1	0111,0000b (2)	TSD	VDUV	VDWRN	VPUV	RSVD	RSVD	RSVD	RSVD
0Bh		CoR	1									
STATUS												
0Ch	ポート 1 ステータス	RO	1	0000,0000b	RSVD	CLASS ポート 1			検出ポート 1			
0Dh	ポート 2 ステータス	RO	1	0000,0000b	RSVD	CLASS ポート 2			検出ポート 2			
0Eh	ポート 3 ステータス	RO	1	0000,0000b	RSVD	CLASS ポート 3			検出ポート 3			
0Fh	ポート 4 ステータス	RO	1	0000,0000b	RSVD	CLASS ポート 4			検出ポート 4			
10h	電源ステータス	RO	1	0000,0000b	PG4	PG3	PG2	PG1	PE4	PE3	PE2	PE1
11h	ピン ステータス	RO	1	0、A[4:0]、0、0	RSVD	SLA4	SLA3	SLA2	SLA1	SLA0	RSVD	RSVD
構成												
12h	動作モード	R/W	1	0000,0000b	ポート 4 モード		ポート 3 モード		ポート 2 モード		ポート 1 モード	
13h	接続解除イネーブル	R/W	1	0000,0000b	RSVD	RSVD	RSVD	RSVD	DCDE4	DCDE3	DCDE2	DCDE1
14h	検出 / クラス イネーブル	R/W	1	0000,0000b	CLE4	CLE3	CLE2	CLE1	DETE4	DETE3	DETE2	DETE1
15h	PWRPR/ICUT ディスエーブル	R/W	1	0000,0000b	OSS4	OSS3	OSS2	OSS1	DCUT4	DCUT3	DCUT2	DCUT1
16h	タイミング構成	R/W	1	0000,0000b	TLIM		TSTART		TOVLD		TMPDO	
17h	汎用マスク	R/W	1	1000,0000b	INTEN	RSVD	nbitACC	MbitPrty	CLCHE	DECHE	RSVD	

Copyright © 2026 Texas Instruments Incorporated

表 7-1. メイン レジスタ (続き)

CMD コード	レジスタ コマンド名	I²C R/W	データ バイト	RST 状態	ビットの詳細							
プッシュ ボタン												
18h	検出 / クラス再起動	WO	1	0000,0000b	RCL4	RCL3	RCL2	RCL1	RDET4	RDET3	RDET2	RDET1
19h	パワー イネーブル	WO	1	0000,0000b	POFF4	POFF3	POFF2	POFF1	PWON4	PWON3	PWON2	PWON1
1Ah	リセット	WO	1	0000,0000b	CLRAIN	CLINP	RSVD	RESAL	RESP4	RESP3	RESP2	RESP1
一般/特殊												
1Bh	ID	RO	1	Mf[4:0],IC[2:0]	MFR ID				IC バージョン			
1Ch	予約済み	CoR	1	0000,0000b	予約済み				予約済み			
1Eh	ポリス 21 構成	R/W	1	1111,1111b	ポリス ポート 2				ポリス ポート 1			
1Fh	ポリス 43 構成	R/W	1	1111,1111b	ポリス ポート 4				ポリス ポート 3			
23h	IEEE 電源イネーブル	WO	1	0000,0000b	T2PON4	T2PON3	T2PON2	T2PON1	T1PON4	T1PON3	T1PON2	T1PON1
24h	電源オンの障害	RO	1	0000,0000b	PF ポート 4		PF ポート 3		PF ポート 2		PF ポート 1	
25h		CoR	1									
26h	再マッピング	R/W	1	1110,0100b	物理再マップ論理ポート 4		物理再マップ論理ポート 3		物理再マップ論理ポート 2		物理再マップ論理ポート 1	
27h	マルチビット電源優先度 21	R/W	1	0000,0000b	RSVD	ポート 2			RSVD	ポート 1		
28h	マルチビット電源優先度 43	R/W	1	0000,0000b	RSVD	ポート 4			RSVD	ポート 3		
29h-2Bh	予約済み	R/W	1	0000,0000b	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
2Ch	温度	RO	1	0000,0000b	温度 (ビット 7 ～ 0)							
2Eh	入力電圧	RO	2	0000,0000b	入力電圧:最下位バイト							
2Fh		RO		0000,0000b	RSVD	RSVD	入力電圧:最上位バイト (ビット 13 ～ 8)					
拡張レジスタ セット - ポートパラメータ測定												
30h	ポート 1 電流	RO	2	0000,0000b	ポート 1 電流:最下位バイト							
31h		RO		0000,0000b	RSVD	RSVD	ポート 1 電流:最上位バイト (ビット 13 ～ 8)					
32h	ポート 1 電圧	RO	2	0000,0000b	ポート 1 電圧:最下位バイト							
33h		RO		0000,0000b	RSVD	RSVD	ポート 1 電圧:最上位バイト (ビット 13 ～ 8)					

(1) SUPF ビットのリセット状態は、電源オン時のみです
(2) VDUV、VPUV、VDWRN ビットのリセット状態を示すのは、電源オン時のみです

表 7-2. メイン レジスタ

CMD コード	レジスタまたは コマンド名	I²C R/W	データ バイト	RST 状態	ビットの詳細		
34h	ポート 2 電流	RO	2	0000,0000b	ポート 2 電流:最下位バイト		
35h		RO		0000,0000b	RSVD	RSVD	ポート 2 電流:最上位バイト (ビット 13 ～ 8)
36h	ポート 2 電圧	RO	2	0000,0000b	ポート 2 電圧:最下位バイト		
37h		RO		0000,0000b	RSVD	RSVD	ポート 2 電圧:最上位バイト (ビット 13 ～ 8)
38h	ポート 3 電流	RO	2	0000,0000b	ポート 3 電流:最下位バイト		
39h		RO		0000,0000b	RSVD	RSVD	ポート 3 電流:最上位バイト (ビット 13 ～ 8)
3Ah	ポート 3 電圧	RO	2	0000,0000b	ポート 3 電圧:最下位バイト		
3Bh		RO		0000,0000b	RSVD	RSVD	ポート 3 電圧:最上位バイト (ビット 13 ～ 8)
3Ch	ポート 4 電流	RO	2	0000,0000b	ポート 4 電流:最下位バイト		
3Dh		RO		0000,0000b	RSVD	RSVD	ポート 4 電流:最上位バイト (ビット 13 ～ 8)
3Eh	ポート 4 電圧	RO	2	0000,0000b	ポート 4 電圧:最下位バイト		
3Fh		RO		0000,0000b	RSVD	RSVD	ポート 4 電圧:最上位バイト (ビット 13 ～ 8)
構成/その他							

Copyright © 2026 Texas Instruments Incorporated

表 7-2. メイン レジスタ (続き)

CMD コード	レジスタまたはコマンド名	I²C R/W	データバイト	RST 状態	ビットの詳細							
40h	PoE プラス	R/W	1	0000,0000b	PoEP4	PoEP3	PoEP2	PoEP1	RSVD	RSVD	RSVD	TPON
41h	ファームウェア リビジョン	RO	1	RRRR、RRRRb	ファームウェア リビジョン							
42h	I2C ウォッチドッグ	R/W	1	0001,0110b	RSVD	RSVD	RSVD	ウォッチドッグはディセーブル				WDS
43h	デバイス ID	RO	1	110,sr[4:0]	デバイス ID 番号			シリコンのリビジョン番号				
ポート シグニチャの測定値												
44h	P1 検出抵抗	RO	1	0000,0000b	ポート 1 の抵抗							
45h	P2 検出抵抗	RO	1	0000,0000b	ポート 2 の抵抗							
46h	P3 検出抵抗	RO	1	0000,0000b	ポート 3 の抵抗							
47h	P4 検出抵抗	RO	1	0000,0000b	ポート 4 の抵抗							
48h-6Fh	予約済み	R/W	1	0000,0000b	予約済み							

表 7-3. レジスタ構成 A と B

CMD コード	レジスタまたはコマンド名	ビットの詳細	設定 A	設定 B
00h	割り込み	INT ビット P1-4、P5-8	4 ポートのグループごとに個別のマスク結果と割り込み結果。 電源イベント ビットは 2 回繰り返されます。	
01h	割り込みマスク	MSK ビット P1-4、P5-8		
02h	パワー イベント	PGC_PEC P4-1、P8-5	4 ポートのグループごとに個別のイベント バイト。	
03h				
04h	検出イベント	CLS_DET P4-1、P8-5		
05h				
06h	故障イベント	DIS_ICUT P4-1、P8-5		
07h				
08h	開始 / ILIM イベント	ILIM_STR P4-1、P8-5		
09h				
0Ah	供給イベント	TSD、VDUV、VDUW、VPUV	8 ビットのレジスタ (ポート 1 ～ 4 とポート 5 ～ 8) は、どちらも**同じ**結果を示す必要があります。 少なくとも 1 つの VPUV/VDUV をクリアすると、もう 1 つの VPUV/VDUV もクリアされます。	
0Bh				
0Ch	ポート 1 ステータス	CLS&DET1_CLS&DET5	ポートごとに独立したステータス バイト	
0Dh	ポート 2 ステータス	CLS&DET2_CLS&DET6		
0Eh	ポート 3 ステータス	CLS&DET3_CLS&DET7		
0Fh	ポート 4 ステータス	CLS&DET4_CLS&DET8		
10h	電源ステータス	PG_PE P4-1、P8-5	4 ポートのグループごとに個別のステータス バイト	
11h	ピン ステータス	A4A1、A0	8 ビット レジスタ (ポート 1 ～ 4 およびポート 5 ～ 8) はどちらも**同じ**結果を示す必要があります。ただし、A0 = 0 (ポート 1 ～ 4) または 1 (ポート 5 ～ 8) は除きます。	8 ビット レジスタ (ポート 1 ～ 4 およびポート 5 ～ 8) は、A0 = 0 を含めて**同じ**結果を示す必要があります。
12h	動作モード	MODE P4-1, P8-5	4 ポートのグループごとに個別のモード バイト。	
13h	接続解除イネーブル	DCDE P4-1, P8-5	4 ポートのグループごとに個別の DC 切断イネーブル バイト。	
14h	検出 / クラス イネーブル	CLE_DETE P4-1、P8-5	4 ポートのグループごとに個別の検出 / クラス イネーブル バイト。	
15h	PWRPR/ICUT ディスエーブル	OSS_DCUT P4-1、P8-5	4 ポートのグループごとに個別の OSS/DCUT バイト。	
16h	タイミング構成	TLIM_TSTRT_TOVLD_TMPDO P4-1、P8-5	4 ポートのグループごとに個別のタイミング バイト。	
17h	汎用マスク	P4-1、P8-5 (n ビット アクセスを含む)	4 ポートのグループごとに個別のバイト。 n ビット アクセス:これを仮想クワッド レジスタ空間の少なくとも 1 つに設定するだけで、構成 B モードに移行できます。設定 A に戻るには、両方をクリアします。 MbitPrty:これを仮想クワッド レジスタ空間の少なくとも 1 つに設定すると、3 ビットのシャットダウン優先度を入力するのに十分です。1 ビット シャットダウンに戻るには、両方の MbitPrty ビットをクリアします。	
18h	検出 / クラス再起動	RCL_RDET P4-1、P8-5	4 ポートのグループごとに個別の DET/CL RST バイト	

Copyright © 2026 Texas Instruments Incorporated

表 7-3. レジスタ構成 A と B (続き)

CMD コード	レジスタまたはコマンド名	ビットの詳細	設定 A	設定 B
19h	パワー イネーブル	POF_PWON P4-1、P8-5	4 ポートのグループごとに個別の POF/PWON バイト	
1Ah	リセット	P4-1、P8-5	4 ポートのグループごとに個別のバイト、Int ピンのクリア、および All Int のクリア。 ただし、IC リセット ビットの少なくとも 1 つが設定されている場合、チップ全体が POR されます。	4 ポートのグループごとに個別のバイト。ただし、1 つの 4 ポート グループに対して次のビットのいずれかが設定されている場合、対応するアクションは、両方の 4 ポート グループに適用されます:IC のリセット、Int ピンのクリア、および All Int のクリア。
1Bh	ID		8 ビットのレジスタ (ポート 1 ～ 4 およびポート 5 ～ 8) は、I^2C を使用して変更しない限り、**同じ**結果を示します。	
1Eh	ポリス 21 構成	POL2&1、POL6&5	2 ポートのグループごとに個別のポリシング バイト。	
1Fh	ポリス 43 構成	POL4&3、POL8&7		
23h	IEEE 電源イネーブル	T2P_T1P P4-1、P8-5	2 ポートのグループごとに個別の IEEE パワー イネーブル バイト	
24h	電源オンの障害	PF P4-1, P8-5	4 ポートのグループごとに個別のパワーオン フォルト バイト	
25h				
26h	ポートの再割り当て	論理 P4-1、P8-5	4 ポートのグループごとに個別のリマッピング バイト。 POR または RESET ピンの場合のみ再初期化されます。0x1A IC リセットまたは CPU ウォッチドッグ リセットの場合は、変更されないままにします。	
2Ch	温度	TEMP P1-4, P5-8	8 ビットのレジスタ (ポート 1 ～ 4 とポート 5 ～ 8) は、どちらも**同じ**結果を示す必要があります。	
2Eh	入力電圧	VPWR P1-4, P5-8	8 ビットのレジスタ (ポート 1 ～ 4 とポート 5 ～ 8) は、どちらも**同じ**結果を示す必要があります。	
2Fh				
30h	ポート 1 電流	I1、I5	4 ポートのグループごとに個別の 2 バイト	4 ポートのグループごとに個別の 2 バイト。 0X30 での 2 バイト読み出しにより、0x30 での I1 4 バイト読み出しにより I1、I5 が得られます。
31h			該当なし	0X31 での 2 バイト読み出しにより I5 となります。
32h	ポート 1 電圧	V1、V5	4 ポートのグループごとに個別の 2 バイト	0X32 での 2 バイト読み出しにより、0x32 での V1 4 バイト読み出しにより V1、V5 が得られます。
33h			該当なし	0X33 からの 2 バイト読み出しにより V5 となります。
34h	ポート 2 電流	I2、I6	4 ポートのグループごとに個別の 2 バイト	0X34 での 2 バイト読み出しにより、0x34 での I2 4 バイト読み出しにより、 I2、I6 となります。
35h			該当なし	0X35 での 2 バイト読み出しにより I6 となります。
36h	ポート 2 電圧	V2、V6	4 ポートのグループごとに個別の 2 バイト	0X36 での 2 バイト読み出しにより、0x36 で V2 の 4 バイト読み出しが行われた場合、V2、V6 となります。
37h			該当なし	0X37 での 2 バイト読み出しにより V6 となります。
38h	ポート 3 電流	I3、I7	4 ポートのグループごとに個別の 2 バイト	0X38 での 2 バイト読み出しにより、0x38 で I3 の 4 バイト読み出しが行われた場合、I3、I7 となります。
39h			該当なし	0X39 での 2 バイト読み出しにより I7 となります。
3Ah	ポート 3 電圧	V3、V7	4 ポートのグループごとに個別の 2 バイト	0x3A での 2 バイト読み出しにより、0x3A で V3 の 4 バイト読み出しが行われた場合、V3、V7 となります。
3Bh			該当なし	0x3B での 2 バイト読み出しにより V7 となります。

Copyright © 2026 Texas Instruments Incorporated

表 7-3. レジスタ構成 A と B (続き)

CMD コード	レジスタまたはコマンド名	ビットの詳細	設定 A	設定 B
3Ch	ポート 4 電流	I4、I8	4 ポートのグループごとに個別の 2 バイト	0x3C での 2 バイト読み出しにより、0x3C で I4 の 4 バイト読み出しが行われた場合、I4、I8 となります。
3Dh			該当なし	0x3D での 2 バイト読み出しにより I8 となります。
3Eh	ポート 4 電圧	V4、V8	4 ポートのグループごとに個別の 2 バイト	0x3E での 2 バイト読み出しにより、0x3E で V4 の 4 バイト読み出しが行われた場合、V4、V8 となります。
3Fh			該当なし	0x3F での 2 バイト読み出しにより V8 となります。
40h	PoE プラス	PoEP_TPON、P4-1、P8-5	TPON 設定:4 ポートのグループごとに個別の設定。 4 ポートのグループごとに個別の PoEP 構成バイト。	
41h	ファームウェア リビジョン	FRV P1-4, P5-8	8 ビットのレジスタ (ポート 1 ～ 4 とポート 5 ～ 8) は、どちらも**同じ**結果を示す必要があります。	
42h	I2C ウォッチドッグ	P1-4、P5-8	IWD3-0:2 つの 4 ポート設定のうち少なくとも 1 つが 1011b と異なる場合、8 つのポートすべてでウォッチドッグがイネーブルになります。 WDS:8 ビットのレジスタ (ポート 1 ～ 4 とポート 5 ～ 8) は、どちらも**同じ** WDS 結果を示す必要があります。各 WDS ビットは、I²C によって個別にクリアする必要があります	
43h	デバイス ID	DID_SR P1-4、P5-8	8 ビットのレジスタ (ポート 1 ～ 4 およびポート 5 ～ 8) は、I²C を使用して変更しない限り、**同じ**結果を示します。	
44h	ポート 1 の抵抗	RDET1、RDET5	ポートごとに個別のバイト。 検出抵抗は常に更新、検出良好または不良	
45h	ポート 2 の抵抗	RDET2、RDET6		
46h	ポート 3 の抵抗	RDET3、RDET7		
47h	ポート 4 の抵抗	RDET4、RDET8		

Copyright © 2026 Texas Instruments Incorporated

7.6.2 割り込みレジスタ

COMMAND = 00h、1 データ バイト、読み取り専用

アクティブ high。各ビットは、発生した特定のイベントに対応します。各ビットは、対応するイベント レジスタ アドレスから読み出しを行うか、リセット レジスタのビット 7 をセットすることで、個別にリセットできます。

割り込みマスク レジスタ (01h) の対応するマスク ビットと汎用マスク レジスタの INTEN ビットがセットされている場合、割り込みレジスタのいずれかのアクティブ ビットによって $\overline{\text{INT}}$ 出力がアクティブになります。

図 7-6. 割り込みレジスタ フォーマット

7	6	5	4	3	2	1	0
SUPF	STRTF	IFAULT	CLASC	DETC	DISF	PGC	PEC
R-1	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-4. 割り込みレジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SUPF	R	1	電源イベント障害が発生したことを示します SUPF = TSD || VDUV || VPUV 1 = 少なくとも 1 つの電源イベント障害が発生しました 0 = このようなイベントは発生しませんでした
6	STRTF	R	0	少なくとも 1 つのポートで t_{START} フォルトが発生したことを示します。 STRTF = STRT1 || STRT2 || STRT3 || STRT4 少なくとも 1 つのポートで 1 = t_{START} フォルトが発生しました 0 = t_{START} フォルトが発生していません
5	IFAULT	R	0	少なくとも 1 つのポートで t_{OVLD} または t_{LIM} フォルトが発生したことを示します。 IFAULT = ICUT1 || ICUT2 || ICUT3 || ICUT4 || ILIM1 || ILIM2 || ILIM3 || ILIM4 1 つ以上のポートで 1 = t_{OVLD} または t_{LIM} フォルトが発生しました 0 = に t_{OVLD} または t_{LIM} 障害が発生していません
4	CLASC	R	0	少なくとも 1 つのポートで少なくとも 1 つの分類サイクルが発生したことを示します CLASC = CLSC1 || CLSC2 || CLSC3 || CLSC4 1 = 少なくとも 1 つのポートで、1 回以上の分類サイクルが発生しました 0 = 分類サイクルが発生していません
3	DETC	R	0	少なくとも 1 つのポートで少なくとも 1 つの検出サイクルが発生したことを示します DETC = DETC1 || DETC2 || DETC3 || DETC4 1 = 少なくとも 1 つのポートで、1 回以上の検出サイクルが発生しました 0 = 検出サイクルが発生しませんでした
2	DISF	R	0	少なくとも 1 つのポートで切断イベントが発生したことを示します。 DISF = DISF1 || DISF2 || DISF3 || DISF4 1 = 少なくとも 1 つのポートで切断イベントが発生しました 0 = 接続解除イベントは発生していません

Copyright © 2026 Texas Instruments Incorporated

表 7-4. 割り込みレジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	PGC	R	0	少なくとも 1 つのポートでパワー グッド ステータスが変化したことを示します。 PGC = PGC1 || PGC2 || PGC3 || PGC4 1 = 少なくとも 1 つのポートで パワー グッド ステータスの変更が発生しました 0 = パワー グッド ステータスの変化は発生しませんでした
0	PEC	R	0	少なくとも 1 つのポートでパワー イネーブル ステータスが変更されたことを示します PEC = PEC1 || PEC2 || PEC3 || PEC4 1 = 少なくとも 1 つのポートでパワー イネーブルス テータスの変更が発生しました 0 = 電源イネーブルのステータスが変化しませんでした

Copyright © 2026 Texas Instruments Incorporated

7.6.3 割り込みマスク レジスタ

COMMAND = 01h、1 データ バイト、読み取り/書き込み

各ビットは、割り込みレジスタで定義されている特定のイベントまたはフォルトに対応します。

ビットに 0 を書き込むと、対応するイベント/フォルトによって $\overline{\text{INT}}$ 出力がアクティブになることがマスクされます。

割り込みレジスタのビットは、割り込みマスクレジスタの状態に関係なく、イベントやフォルトに応じて常に変化することに注意してください。

イベントが $\overline{\text{INT}}$ 出力をアクティブにできるようにするには、汎用マスクレジスタの INTEN ビットもセットする必要があることに注意してください。

図 7-7. 割り込みマスク レジスタ フォーマット

7	6	5	4	3	2	1	0
SUMSK	STMSK	IFMSK	CLMSK	DEMSK	DIMSK	PGMSK	PEMSK
R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-5. 割り込みマスク レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SUMSK	R/W	1	電源イベント フォルト マスク ビット。 1 = 電源イベント フォルトにより、$\overline{\text{INT}}$ 出力がアクティブになります。 0 = 電源イベント フォルトは、$\overline{\text{INT}}$ 出力に影響を与えません。
6	STMSK	R/W	0	t_{START} フォルト マスク ビット。 1 = t_{START} フォルトにより、$\overline{\text{INT}}$ 出力がアクティブになります。 0 = t_{START} フォルトは、$\overline{\text{INT}}$ 出力に影響を与えません。
5	IFMSK	R/W	0	tOVLD または LIM フォルト マスク ビット。 1 = t_{OVLD} または t_{LIM} フォルトの発生により、$\overline{\text{INT}}$ 出力がアクティブになります 0 = t_{OVLD} や t_{LIM} フォルトの発生は、$\overline{\text{INT}}$ 出力に影響を与えません
4	CLMSK	R/W	0	分類サイクル マスク ビット。 1 = 分類サイクルが発生すると、$\overline{\text{INT}}$ 出力がアクティブになります。 0 = 分類サイクルが発生しても、$\overline{\text{INT}}$ 出力に影響を与えません。
3	DEMSK	R/W	0	検出サイクル マスク ビット。 1 = 検出サイクルが発生すると、$\overline{\text{INT}}$ 出力がアクティブになります。 0 = 検出サイクルの発生は、$\overline{\text{INT}}$ 出力に影響を与えません。
2	DIMSK	R/W	0	切断イベント マスク ビット。 1 = 切断イベントが発生すると、th $\overline{\text{INT}}$ 出力がアクティブになります。 0 = 切断イベントの発生は、$\overline{\text{INT}}$ 出力に影響を与えません。
1	PGMSK	R/W	0	パワー グッド ステータス変更マスク ビット。 1 = パワー グッド ステータスの変更により、$\overline{\text{INT}}$ 出力がアクティブになります。 0 = パワー グッド ステータスの変更は、$\overline{\text{INT}}$ 出力に影響を与えません。

Copyright © 2026 Texas Instruments Incorporated

表 7-5. 割り込みマスク レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	PEMSK	R/W	0	電力イネーブル ステータス変更マスク ビット。 1 = パワー イネーブル ステータスの変更により、$\overline{\text{INT}}$ 出力がアクティブになります。 0 = 電源イネーブル ステータスの変更は、$\overline{\text{INT}}$ 出力に影響を与えません。

注

SUMSK = 0 の場合、VPWR が VPWR UVLO スレッショルドを上回っている限り、VPWR 低電圧イベント フォルト (VPUV) が発生してもポートをシャットオフ**しません**。

Copyright © 2026 Texas Instruments Incorporated

7.6.4 電源イベント レジスタ

COMMAND = 02h、1 データ バイト、読み取り専用

COMMAND = 03h、1 データ バイト、読み取り専用

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各ビット xxx1-4 は、個々のポートを表します。

各位置 (02h または 03h) を読み出すと、同じレジスタデータが返されますが、読み出し時クリアコマンドがレジスタのすべてのビットをクリアすることは例外です。

このレジスタによって $\overline{\text{INT}}$ ピンがアクティブになっている場合、読み出し時クリアすることにより、$\overline{\text{INT}}$ ピンは解放されます。

アクティブ ビットのいずれかは、て割り込みレジスタの説明に示されているように、て割り込みレジスタに影響を及ぼします。

図 7-8. 電源イベント レジスタ フォーマット

7	6	5	4	3	2	1	0
PGC4	PGC3	PGC2	PGC1	PEC4	PEC3	PEC2	PEC1
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
CR-0	CR-0	CR-0	CR-0	CR-0	CR-0	CR-0	CR-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、CR = 読み取り時にクリア、–n = リセット後の値

表 7-6. デバイス イベント レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	PGC4–PGC1	R または CR	0	パワー グッド ステータスが変化したことを示します。 1 = パワー グッド ステータスの変更が発生しました 0 = パワー グッド ステータスの変化は発生しませんでした
3-0	PEC4–PEC1	R または CR	0	電源イネーブル ステータスが変更されたことを示します。 1 = 電源イネーブル ステータスの変更が発生しました 0 = 電源イネーブルのステータスが変化しませんでした

Copyright © 2026 Texas Instruments Incorporated

7.6.5 検出イベント レジスタ

COMMAND = 04h、1 データ バイト、読み取り専用

COMMAND = 05h、1 データ バイト、読み取り専用

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各ビット xxx1-4 は、個々のポートを表します。

各位置 (04h または 05h) を読み出すと、同じレジスタデータが返されますが、読み出し時クリアコマンドがレジスタのすべてのビットをクリアすることは例外です。これらのビットは、ポート n がオフになるとクリアされます。

このレジスタによって $\overline{\text{INT}}$ ピンがアクティブになっている場合、読み出し時クリアすることにより、$\overline{\text{INT}}$ ピンは解放されます。

アクティブ ビットのいずれかは、て割り込みレジスタの説明に示されているように、て割り込みレジスタに影響を及ぼします。

図 7-9. 検出イベント レジスタ フォーマット

7	6	5	4	3	2	1	0
CLSC4	CLSC3	CLSC2	CLSC1	DETC4	DETC3	DETC2	DETC1
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
CR-0	CR-0	CR-0	CR-0	CR-0	CR-0	CR-0	CR-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、CR = 読み取り時にクリア、–n = リセット後の値

表 7-7. 検出イベント レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	CLSC4–CLSC1	R または CR	0	汎用マスクレジスタの CLCHE ビットが low の場合、少なくとも 1 つの分類サイクルが発生したことを示します。逆に、CLCHE ビットが設定されている場合、クラスの変更がいつ発生したかを示します。 1 = 少なくとも 1 つの分類サイクルが発生したか (CLCHE = 0 の場合)、またはクラスが変更されました (CLCHE = 1) 0 = 分類サイクルが発生していない (CLCHE = 0 の場合) またはクラスが変更されていません (CLCHE = 1)
3-0	DETC4–DETC1	R または CR	0	汎用マスク レジスタの DECHE ビットが low の場合、少なくとも 1 つの検出サイクルが発生したことを示します。逆に、DECHE ビットが設定されている場合、検出がいつ変化したかを示します。 1 = 少なくとも 1 つの検出サイクルが発生したか (DECHE = 0 の場合)、または検出変化が発生した (DECHE = 1) 0 = 検出サイクルが発生していない (DECHE = 0 の場合) または検出変化が発生していない (DECHE = 1)

Copyright © 2026 Texas Instruments Incorporated

7.6.6 フォルト イベント レジスタ

COMMAND = 06h、1 データ バイト、読み取り専用

COMMAND = 07h、1 データ バイト、読み取り専用

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各ビット xxx1-4 は、個々のポートを表します。

各位置 (06h または 07h) を読み出すと、同じレジスタデータが返されますが、読み出し時クリアコマンドがレジスタのすべてのビットをクリアすることは例外です。これらのビットは、ポート n がオフになるとクリアされます。

このレジスタによって $\overline{\text{INT}}$ ピンがアクティブになっている場合、読み出し時クリアすることにより、$\overline{\text{INT}}$ ピンは解放されます。

アクティブ ビットのいずれかは、て割り込みレジスタの説明に示されているように、て割り込みレジスタに影響を及ぼします。

図 7-10. フォルト イベント レジスタ フォーマット

7	6	5	4	3	2	1	0
DISF4	DISF3	DISF2	DISF1	ICUT4	ICUT3	ICUT2	ICUT1
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
CR-0	CR-0	CR-0	CR-0	CR-0	CR-0	CR-0	CR-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、CR = 読み取り時にクリア、–n = リセット後の値

表 7-8. フォルト イベント レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	DISF4–DISF1	R または CR	0	切断イベントが発生したことを示します。 1 = 切断イベントが発生しました 0 = 接続解除イベントは発生していません
3-0	ICUT4–ICUT1	R または CR	0	t_{OVLD} フォルトが発生したことを示します。 1 = t_{OVLD} フォルトが発生しました 0 = t_{OVLD} フォルトが発生していません

あるポートで ICUT がディスエーブルになっている場合、ICUT フォルト状態が発生している間、このポートは自動的にオフになりません。ただし、ICUT フォルト フラグは引き続き動作し、フォルト タイムアウトは $t_{LIM}/2$ に等しくなります。

また、フォルト イベント レジスタで読み取り時のクリアが実行されると、ICUTn ビットがリセットされるだけでなく、関連するポートの ICUT カウンタもリセットされます。

これは、TLIM カウンタにはまったく影響しないことに注意してください。

それ以外の場合は、ICUT フォルトは通常どおり TOVLD フォルト タイマに関連付けられ、読み取り動作のクリア時にカウンタ リセットは発生しません。

Copyright © 2026 Texas Instruments Incorporated

7.6.7 開始 / ILIM イベント レジスタ

COMMAND = 08h、1 データ バイト、読み取り専用

COMMAND = 09h、1 データ バイト、読み取り専用

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各ビット xxx1-4 は、個々のポートを表します。

各位置 (08h または 09h) を読み出すと、同じレジスタデータが返されますが、読み出し時クリアコマンドがレジスタのすべてのビットをクリアすることは例外です。これらのビットは、ポート n がオフになるとクリアされます。

このレジスタによって $\overline{\text{INT}}$ ピンがアクティブになっている場合、読み出し時クリアすることにより、$\overline{\text{INT}}$ ピンは解放されます。

アクティブ ビットのいずれかは、て割り込みレジスタの説明に示されているように、て割り込みレジスタに影響を及ぼします。

注:IEEE パワー イネーブル コマンドが使用された後にスタート フォルトが通知された場合、パワー イベント レジスタの PECn ビットがセットされると、突入フォルトが発生しています。PECn ビットがセットされていない場合、パワーオン フォルト レジスタは故障の原因を示します。

図 7-11. 開始 / ILIM イベント レジスタ フォーマット

7	6	5	4	3	2	1	0
ILIM4	ILIM3	ILIM2	ILIM1	STRT4	STRT3	STRT2	STRT1
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
CR-0	CR-0	CR-0	CR-0	CR-0	CR-0	CR-0	CR-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、CR = 読み取り時にクリア、–n = リセット後の値

表 7-9. START/ILIM イベントレジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	ILIM4–ILIM1	R または CR	0	t_{LIM} フォルトが発生したことを示します。これは、ポートの出力電流が I_{LIM} (またはフォールドバックされた I_{LIM}) に制限された状態が、t_{LIM} を超えて継続したことを意味します。 1 = t_{LIM} フォルトが発生 0 = t_{LIM} フォルトが発生していない
3-0	STRT4–STRT1	R または CR	0	ポートがオンの時に t_{START} フォルトが発生したことを示します。IEEE パワー イネーブル コマンドを使用してポートをオンにしたときに、クラスまたは検出エラーが発生したかどうかも示します。 1 = t_{START} フォルトまたはクラス/検出エラーが発生しました 0 = t_{START} フォルトまたはクラス/検出エラーが発生していません

Copyright © 2026 Texas Instruments Incorporated

7.6.8 SUPPLY EVENT レジスタ

COMMAND = 0Ah、1 データ バイト、読み取り専用

COMMAND = 0Bh、1 データ バイト、読み取り専用

アクティブ high。各ビットは、発生した特定のイベントに対応します。

D3、D2、D1、および D0 は、今後の使用のために予約されています。

各位置 (0Ah または 0Bh) を読み出すと、同じレジスタデータが返されますが、読み出し時クリアコマンドがレジスタのすべてのビットをクリアすることは例外です。

このレジスタによって $\overline{\text{INT}}$ ピンがアクティブになっている場合、読み出し時クリアすることにより、$\overline{\text{INT}}$ ピンは解放されます。

アクティブ ビットのいずれかは、て割り込みレジスタの説明に示されているように、て割り込みレジスタに影響を及ぼします。

図 7-12. 供給イベント レジスタ フォーマット

7	6	5	4	3	2	1	0
TSD	VDUV	VDWRN	VPUV	–	–	–	–
R	R	R	R	R	R	R	R
CR	CR	CR	CR	CR	CR	CR	CR

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、CR = 読み取り時にクリア、–n = リセット後の値

表 7-10. SUPPLY EVENT レジスタのフィールドの説明

ビット	フィールド	タイプ	POR	説明
7	TSD	R または CR	0	サーマル シャットダウンが発生したことを示します。サーマル シャットダウンがあると、すべてのポートがオフになり OFF モードになります。ただし、TPS2388 の内部回路は、A/D コンバータを含めて引き続き動作します。内部温度が低いスレッショルドを下回るとすぐに、TSD ビットの状態に関係なく、ポートをオンに戻すことが可能であることに注意してください。 1 = サーマル シャットダウンが発生しました 0 = サーマル シャットダウンが発生していませんでした
6	VDUV	R または CR	1	VDD UVLO が発生したことを示します。 1 = VDD UVLO が発生しました 0 = VDD UVLO が発生していませんでした
5	VDWRN	R または CR	1	VDD が UVLO 警告スレッショルドを下回ったことを示します。 1 = VDD の UV 警告が発生しました 0 = VDD UV 警告が発生していませんでした
4	VPUV	R または CR	1	VPWR 低電圧が発生したことを示します。 1 = VPWR 低電圧が発生しました 0 = VPWR 電圧が発生していません

注:$\overline{\text{RESET}}$ 入力を low にプルしても、VDUV または VPUV はクリアされません。

VPWR 低電圧が発生すると、SUMSK = 1 の場合、すべてのポートがオフになります。VPWR UVLO または VDD UVLO が発生すると、パワーオン リセットが実行されます。VPWR 低電圧が発生したときにポートをオフにすることでも、フォルト イベント レジスタ (DISFn、ICUTn)、開始イベント レジスタ (STRTn)、ポート n ステータス レジスタ (クラス Pn、検出 Pn)、検出 / クラス イネーブル レジスタ (CLEn、DETEn)、パワーオン フォルト レジスタ (PFn) の対応するビットがクリ

Copyright © 2026 Texas Instruments Incorporated

アされることにも注意してください。変更が発生した場合、パワーイベントレジスタの対応する PGCn および PECn ビットもセットされます。パワー ステータス レジスターの対応する PEN ビットと PGN ビットもそれに応じて更新されます。

注

VPWR 低電圧状態が維持されている限り、読み出し時にクリアしても、VDUV ビットは実質的にクリアされません。

注

SUMSK = 0 の場合、VPWR が VPWR UVLO スレッショルドを上回っている限り、VPWR 低電圧イベント フォルト (VPUV) はポートをシャットオフしません。

注

VPWR 低電圧状態では、VPWR も VPWR UVLO 立ち下がりスレッショルドを下回るまで、検出イベント レジスタ (CLSCn、DETCn) はクリアされません。

注

VPWR UVLO または VDD UVLO が発生すると、I^2C インターフェイスは動作を停止し、SDAO は強制的に low になります。

Copyright © 2026 Texas Instruments Incorporated

7.6.9 ポート 1 ステータス レジスタ

COMMAND = 0Ch、1 データ バイト、読み取り専用

図 7-13. ポート 1 ステータス レジスタ フォーマット

7	6	5	4	3	2	1	0
–	CLASS P1			DETECT P1			
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.10 ポート 2 ステータス レジスタ

COMMAND = 0Dh、1 データ バイト、読み取り専用

図 7-14. ポート 2 ステータス レジスタ フォーマット

7	6	5	4	3	2	1	0
–	CLASS P2			DETECT P2			
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.11 ポート 3 ステータス レジスタ

COMMAND = 0Eh、1 データ バイト、読み取り専用

図 7-15. ポート 3 ステータス レジスタ フォーマット

7	6	5	4	3	2	1	0
–	CLASS P3			DETECT P3			
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.12 ポート 4 ステータス レジスタ

COMMAND = 0Fh、1 データ バイト、読み取り専用

図 7-16. ポート 4 ステータス レジスタ フォーマット

7	6	5	4	3	2	1	0
–	CLASS P4			DETECT P4			
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

ビットの説明:これらのビットは、ポート n における最新の分類および検出結果を表します。これらのビットは、ポート n がオフになるとクリアされます。

Copyright © 2026 Texas Instruments Incorporated

表 7-11. PORT STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	–	R	0	予約済み
6 ~ 4	クラス Pn	R	0	ポート n の最新の分類結果。 その選択は次のとおりです。 **クラス Pn** / **クラス ステータス** 0 0 0 – 不明 0 0 1 – クラス 1 0 1 0 – クラス 2 0 1 1 – クラス 3 1 0 0 – クラス 4 1 0 1 – 予約済み – クラス 0 として読み取られます 1 1 0 – クラス 0 1 1 1 – 過電流
3-0	検出 Pn	R	0	ポート n の最新の検出結果。 その選択は次のとおりです。 **検出 Pn** / **クラス ステータス** 0 0 0 0 – 不明 0 0 0 1 – 短絡 0 0 1 0 – 予約済み 0 0 1 1 – 低すぎます 0 1 0 0 – 有効 0 1 0 1 – 高すぎます 0 1 1 0 – 開路 0 1 1 1 – 予約済み 1 1 1 0 – MOSFET フォルト

Copyright © 2026 Texas Instruments Incorporated

7.6.13 電源ステータス レジスタ

COMMAND = 10h、1 データ バイト、読み取り専用

各ビットは、ポートの実際の電力ステータスを表します。

各ビット xx1-4 は、個々のポートを表します。

これらのビットは、ポート n がオフになったときにクリアされます。オフがフォルト状態によって発生したかどうかも含めて決定します。

図 7-17. 電源ステータス レジスタ フォーマット

7	6	5	4	3	2	1	0
PG4	PG3	PG2	PG1	PE4	PE3	PE2	PE1
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例: R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-12. 電源ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	PG4–PG1	R	0	各ビットが 1 のとき、ポートがオンであり、DRAINn ピンの電圧がポートの電源オン中にパワー グッド スレッショルドを下回ったことを示します。 これらのビットは、ターン オンが完了すると high にラッチされ、ポートがオフまたは RESET/POR のときのみクリアできます。 1 = 電源が良好 0 = 電源が良好ではありません
3-0	PE4–PE1	R	0	各ビットは、対応するポートのオン / オフ状態を示します。 1 = ポートはオン 0 = ポートはオフ

Copyright © 2026 Texas Instruments Incorporated

7.6.14 ピン ステータス レジスタ

COMMAND = 11h、1 データ バイト、読み取り専用

図 7-18. ピン ステータス レジスタ フォーマット

7	6	5	4	3	2	1	0
0	SLA4	SLA3	SLA2	SLA1	SLA0	0	0
0	A4 ピン	A3 ピン	A2 ピン	A1 ピン	0/1(1)	0	0

凡例：R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

(1) 構成 A の場合、0 または 1 に設定できます。構成 B の場合は 0 です。

表 7-13. ピン ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
6-2	SLA4-SLA0	R	上記を参照してください	I^2C デバイス アドレス。ピン A4A1 を使用して定義されます。SLA0 は内部的に 0 または 1 に定義されています。

説明	バイナリ デバイス アドレス							アドレス ピン			
	6	5	4	3	2	1	0	A4	A3	A2	A1
ブロードキャスト アクセス	1	1	1	1	1	1	1	X	X	X	X
スレーブ 0	0	1	0	0	0	0	0/1	GND	GND	GND	GND
	0	1	0	0	0	1	0/1	GND	GND	GND	High
	0	1	0	0	1	0	0/1	GND	GND	High	GND
	0	1	0	0	1	1	0/1	GND	GND	High	High
	0	1	0	1	0	0	0/1	GND	High	GND	GND
	0	1	0	1	0	1	0/1	GND	High	GND	High
	0	1	0	1	1	0	0/1	GND	High	High	GND
	0	1	0	1	1	1	0/1	GND	High	High	High
	0	1	1	0	0	0	0/1	High	GND	GND	GND
	0	1	1	0	0	1	0/1	High	GND	GND	High
	0	1	1	0	1	0	0/1	High	GND	High	GND
	0	1	1	0	1	1	0/1	High	GND	High	High
	0	1	1	1	0	0	0/1	High	High	GND	GND
	0	1	1	1	0	1	0/1	High	High	GND	High
	0	1	1	1	1	0	0/1	High	High	High	GND
スレーブ 15	0	1	1	1	1	1	0/1	High	High	High	High

Copyright © 2026 Texas Instruments Incorporated

7.6.15 動作モード レジスタ

COMMAND = 12h、1 データ バイト、読み取り/書き込み

図 7-19. 動作モード レジスタ フォーマット

7	6	5	4	3	2	1	0
P4M1	P4M0	P3M1	P3M0	P2M1	P2M0	P1M1	P1M0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-14. 動作モード レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
-	P4M1P4M0 P3M1P3M0 P2M1P2M0 P1M1P1M0	R/W	0	ビットの各ペアは、ポートごとの動作モードを設定します。 その選択は次のとおりです。 M1 / M0 / 動作モード 0 / 0 / OFF 0 / 1 / 手動 1 / 0 / 半自動 1 / 1 / 半自動 オフ モードでは、ポートはオフであり、検出も分類も行われません。手動モードでは、自動状態変更はありません。半自動モードでは、検出とクラスは自動化されますが、ポートの電源はオンになりません。オフ モード中は、検出イベント レジスタ (CLSCn、DETCn)、フォルト イベント レジスタ (DISFn、ICUTn)、スタート イベント レジスタ (STRTn)、ポート n ステータス レジスタ (クラス Pn、検出 Pn)、検出 / クラス イネーブル レジスタ (CLEn、DETEn)、パワーオン フォルト レジスタ (PFn) の対応ビットがクリアされることに注意してください。パワー ステータス レジスターの対応する PEN ビットと PGN ビットもそれに応じて更新されます。変更が発生した場合、パワーイベントレジスタの対応する PGCn および PECn ビットもセットされます。 また、モードを半自動から手動モードまたはオフ モードに変更すると、継続しているクールダウン時間はすべてキャンセルされます。

7.6.16 接続解除イネーブル レジスタ

COMMAND = 13h、1 データ バイト、読み取り/書き込み

ビットの説明:各ポートの切断検出メカニズムを定義します。

図 7-20. 接続解除イネーブル レジスタ フォーマット

7	6	5	4	3	2	1	0
–	–	–	–	DCDE4	DCDE3	DCDE2	DCDE1
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-15. 接続解除イネーブル レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	—	R/W	0	

表 7-15. 接続解除イネーブル レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	DCDE4–DCDE1	R/W	0	DC 切断イネーブル。DC 切断は、SENn でのポート DC 電流の測定、この電流がスレッショルドを下回るとタイマ (TDIS) を開始、タイムアウトが発生した場合にポートをオフにします。また、フォルト イベント レジスタの対応する切断ビット (DISFn) がそれに応じて設定されます。TDIS カウンタは、電流が公称 15ms にわたって接続解除スレッショルドよりも連続的に高くなるたびにリセットされます。カウンタはゼロを下回るまでデクリメントしません。 TDIS 期間の定義方法の詳細については、タイミング構成レジスタを参照してください。

7.6.17 検出 / クラス イネーブル レジスタ

COMMAND = 14h、1 データ バイト、読み取り/書き込み

ビットの詳細:

ポートごとの検出と分類のイネーブル。

手動モードでビットを設定すると、対応するポートに対して 1 サイクル (検出または分類) のみが実行されます。このビットは、サイクルが完了すると自動的にクリアされます。

検出 / クラス再起動レジスタに書き込むことで、同様の結果が得られることに注意してください。

これは、ポート電源オフ (パワー イネーブル レジスタ) が発行された場合にもクリアされます。

半自動モードでは、ポートがオフのままである限り、クラスと検出イネーブル ビットがセットされている限り、検出と分類は継続的に実行されますが、検出が有効な場合にのみクラスが実行されます。半自動モードの場合、検出 / クラス再始動 PB コマンドを使用して CLEn ビットと DETEn ビットを設定することもできます。

t_{OVLD}、t_{LIM}、または t_{START} クール ダウン サイクルの間、そのポートの検出 / クラス イネーブル コマンドはクールダウン期間が終了するまで遅延します。クラスおよび検出イネーブルビットが設定されている場合は、クールダウンサイクルの終了時に、前述のように 1 つ以上の検出/クラスサイクルが自動的に再起動されることに注意してください。

図 7-21. 検出 / クラス イネーブル レジスタ フォーマット

7	6	5	4	3	2	1	0
CLE4	CLE3	CLE2	CLE1	DETE4	DETE3	DETE2	DETE1
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-16. 検出 / クラスイネーブル レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	CLE4-CLE1	R/W	0	分類イネーブル ビット。
3-0	DETE4-DETE1	R/W	0	検出イネーブル ビット。

Copyright © 2026 Texas Instruments Incorporated

7.6.18 ポート電源優先度 / ICUT ディスエーブル レジスタ名

COMMAND = 15h、1 データ バイト、R/W

図 7-22. ポート電源優先度 / ICUT ディスエーブル レジスタ フォーマット

7	6	5	4	3	2	1	0
OSS4	OSS3	OSS2	OSS1	DCUT4	DCUT3	DCUT2	DCUT1
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-17. ポート電源優先度 / ICUT ディスエーブル レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	OSS4-OSS1	R/W	0	ポート電源優先度ビット (ポートごとに 1 ビット)。ただし、1 ビットのシャットダウン優先度が選択されている場合に限ります。OSS 高速シャットダウン信号の外部アサートに応答して、どのポートがシャットダウンされるかを決定するために使用されます。ターンオフの手順 (レジスタ ビットのクリアを含む) は、進行中のフォルト クール ダウン時間カウントをキャンセルしないことを除いて、リセット コマンド (1Ah レジスタ) を使ったポート リセットと似ています。 1 = OSS 信号がアサートされると、対応するポートがオフになります。 0 = OSS 信号はポートに影響を与えません。
3-0	DCUT4-DCUT1	R/W	0	各ポートの ICUT ディスエーブル。タイミング構成レジスタのプログラミング ステータスに関係なく、ICUT フォルトによって関連ポートの電源が切断されることを防止するために使用します。ILIM フォルトは引き続き監視されていることに注意してください。 1:ポートの ICUT が無効です。つまり、ICUT 障害だけではこのポートはオフになりません。 0:ポートの ICUT が有効です。ICUT フォルトが発生している場合、ポートがオフになります。 あるポートで ICUT がディスエーブルになっている場合、ICUT フォルト状態が発生している間、このポートは自動的にオフになりません。ただし、ICUT フォルト フラグは引き続き動作し、フォルト タイムアウトは $t_{LIM}/2$ に等しくなります。

7.6.19 タイミング構成レジスタ

COMMAND = 16h、1 データ バイト、読み取り/書き込み

ビットの説明:これらのビットは、4 つのポートすべてのタイミング構成を定義します。

注:TLIM、TOVLD、TMPDO、または TSTART 障害状態が発生すると、PGn ビットと PEn ビット (電源ステータス レジスタ) はクリアされます。

図 7-23. タイミング構成レジスタ フォーマット

7	6	5	4	3	2	1	0
TLIM		TSTART		TOVLD		TMPDO	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-18. タイミング構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 -6	TLIM	R/W	0	ILIM の障害タイミング。これは、ポートがオフになる前の出力電流制限時間です。 このタイマはアクティブであり、TSTART 時間ウィンドウが満了した後、およびポートが出力電流を I_{LIM} に制限しているときに、以下に定義された設定にインクリメントします。ILIM カウンタが、以下に指定されたプログラムされたタイムアウト時間に達すると、ポートは電源オフになります。その後、1 秒間のクールダウン タイマが開始され、カウンタが完了するまでポートをオンにすることはできません。 それ以外の状況 (ILIM タイムアウトに達していません) では、ポート電流が I_{LIM} を下回ると、同じカウンタがインクリメント レートの 1/16 のレートでデクリメントします。カウンタはゼロを下回るまでデクリメントしません。 ILIM カウンタは、パワー イネーブルまたはポート リセット コマンド、DC 切断イベント、OSS 入力によってオフした場合にもクリアされます。 このタイマがポートですでにアクティブになっている間に TLIM 設定が変更された場合、このタイマは自動的にリセットされ、新しいプログラムされたタイムアウト時間で再起動されます。 半自動モードでは、クールダウンサイクルの終了時に検出イネーブルビットが設定されている場合、検出サイクルが自動的に再開されることに注意してください。また、オフまたは手動モードが選択されている場合は、ポート リセット コマンドを使用して、クールダウン カウントがただちにキャンセルされます。 PoE プラス レジスタの PoEPn ビットがデアサートされると、関連するポートに使用される t_{LIM} は常に公称値 (約 60ms) です。 PoEPn ビットがアサートされている場合、関連するポートの t_{LIM} は、次のように選択することでプログラム可能です。

TLIM		公称 t_{LIM} (ms)
0	0	60
0	1	15
1	0	12
1	1	10

Copyright © 2026 Texas Instruments Incorporated

表 7-18. タイミング構成レジスタのフィールドの説明 (続き)

<table>
<tr><th>ビット</th><th>フィールド</th><th>タイプ</th><th>リセット</th><th>説明</th></tr>
<tr><td>5-4</td><td>TSTART
(または
TINRUSH)</td><td>R/W</td><td>0</td><td>起動フォルト タイミング。これは、突入中に許容される最大過電流時間です。TSTART 期間の終了時に、電流がまだ I_{Inrush} に制限されている場合、ポートはオフになります。
これに続く 1 秒間のクールダウン期間が続き、その間はポートをオンにできません
クラスと検出イネーブル ビットが設定されている場合、クールダウン サイクルの終了時に、半自動モードで検出サイクルが自動的に再起動されることに注意してください。
このタイマがポートに対してすでにアクティブになっている間に TSTART 設定が変更された場合、この新しい設定は無視され、次にポートがオンになったときにのみ適用されます。
その選択は次のとおりです。
<table><tr><th colspan="2">TSTART</th><th>公称 t_{START} (ms)</th></tr><tr><td>0</td><td>0</td><td>60</td></tr><tr><td>0</td><td>1</td><td>30</td></tr><tr><td>1</td><td>0</td><td>120</td></tr><tr><td>1</td><td>1</td><td>予約済み</td></tr></table></td></tr>
<tr><td>3 ~ 2</td><td>TOVLD</td><td>R/W</td><td>0</td><td>ICUT フォルト タイミング。これは、ポートがオフになるまでの過電流時間です。このタイマはアクティブであり、TSTART 時間ウィンドウが終了した後、ポートの電流が I_{CUT} に達したか、または電流フォールドバックによって制限された場合に、以下に定義された設定に増分されます。ICUT カウンタが、以下に指定されたプログラムされたタイムアウト時間に達すると、ポートは電源オフになります。その後、1 秒間のクールダウン タイマが開始され、カウンタが完了するまでポートをオンにすることはできません。
それ以外の状況 (ICUT タイムアウトに達していません) では、ポート電流が I_{CUT} を下回ると、同じカウンタがインクリメント レートの 1/16 のレートでデクリメントします。カウンタはゼロを下回るまでデクリメントしません。
ICUT カウンタは、パワー イネーブルまたはポート リセット コマンド、DC 切断イベント、OSS 入力によってオフした場合にもクリアされます。
このタイマがポートですでにアクティブになっている間に TOVLD 設定が変更された場合、このタイマは自動的にリセットされ、新しいプログラムされたタイムアウト時間で再起動されます。
半自動モードでは、クールダウンサイクルの終了時に検出イネーブルビットが設定されている場合、検出サイクルが自動的に再開されることに注意してください。また、オフまたは手動モードが選択されている場合は、ポート リセット コマンドを使用して、クールダウン カウントがただちにキャンセルされます。
ポート電源優先度 / ICUT ディスエーブル レジスタの DCUTn ビットが high の場合、関連するポートの ICUT フォルト タイミングがディスエーブルになることに注意してください。つまり、ICUT フォルトのみが発生しても、このポートはオフになりません。
その選択は次のとおりです。
<table><tr><th colspan="2">TOVLD</th><th>公称 t_{OVLD} (ms)</th></tr><tr><td>0</td><td>0</td><td>60</td></tr><tr><td>0</td><td>1</td><td>30</td></tr><tr><td>1</td><td>0</td><td>120</td></tr><tr><td>1</td><td>1</td><td>240</td></tr></table></td></tr>
</table>

Copyright © 2026 Texas Instruments Incorporated

表 7-18. タイミング構成レジスタのフィールドの説明 (続き)

<table>
<tr><th>ビット</th><th>フィールド</th><th>タイプ</th><th>リセット</th><th>説明</th></tr>
<tr><td>1-0</td><td>TMPDO</td><td>R/W</td><td>0</td><td>切断遅延とは、切断状態が発生したとき、および dc 切断検出方法がイネーブルになっている場合の、ポートをオフにする時間です。
TDIS カウンタは、電流が公称 15ms にわたって接続解除スレッショルドよりも連続的に高くなるたびにリセットされます。
カウンタはゼロを下回るまでデクリメントしません。
その選択は次のとおりです。
<table><tr><th colspan="2">TMPDO</th><th>公称 t_{MPDO} (ms)</th></tr><tr><td>0</td><td>0</td><td>360</td></tr><tr><td>0</td><td>1</td><td>90</td></tr><tr><td>1</td><td>0</td><td>180</td></tr><tr><td>1</td><td>1</td><td>720</td></tr></table></td></tr>
</table>

Copyright © 2026 Texas Instruments Incorporated

7.6.20 汎用マスク レジスタ

COMMAND = 17h、1 データ バイト、読み取り/書き込み

図 7-24. 汎用マスク レジスタ フォーマット

7	6	5	4	3	2	1	0
INTEN	–	nbitACC	MbitPrty	CLCHE	DECHE	–	–
R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-19. 汎用マスク レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INTEN	R/W	1	$\overline{\text{INT}}$ ピン マスク ビット。0 を書き込むと、割り込みマスク レジスタの状態に関係なく、割り込みレジスタのどのビットも $\overline{\text{INT}}$ 出力のアクティブ化からマスクされます。INTEN をアクティブにしても、イベント レジスタには影響がないことに注意してください。 1 = マスクされていない割り込みレジスタのビットは、$\overline{\text{INT}}$ 出力をアクティブにできます 0 = $\overline{\text{INT}}$ 出力をアクティブにできません
6	–	R/W	0	
5	nbitACC	R/W	0	レジスタ アクセス構成ビット。構成 A または B の選択に使用します。 1 = 構成 B。これは、1 つのデバイス アドレスを用いた 16 ビット アクセスを意味します。 0 = 構成 A。これは 8 ビットのアクセスを意味し、8 ポート デバイスは 2 つの連続したスレーブ アドレスを持つ 2 つの独立した 4 ポート デバイスとして扱われます。
4	MbitPrty	R/W	0	マルチ ビット優先度ビット。1 ビットのシャットダウン優先度と 3 ビットのシャットダウン優先度を選択するために使用します。 1 = 3 ビットのシャットダウン優先度。ポート優先度と OSS の動作を行うには、レジスタ 0x27 および 0x28 に従う必要があります。 0 = 1 ビットのシャットダウン優先度。ポート優先度と OSS の動作のためには、レジスタ 0x15 に従う必要があります 注:MbitPrty ビットを 0 から 1 に変更する必要がある場合は、OSS ビット ストリームとの同期喪失に関連してポートの誤動作を防止するため、MbitPrty ビットを設定する前に、OSS 入力が最小 200µs の間アイドル (low) 状態になっていることを確認してください。
3	CLCHE	R/W	0	クラス変更イネーブル ビット。検出イベント レジスタの CLSCn ビットがセットされている場合は、最新の分類動作の結果が前の分類動作の結果と異なることのみを示します。 1 = CLSCn ビットは、関連するポートに対してクラスの変更が発生したときにのみ設定されます。 0 = CLSCn ビットは、関連するポートについて分類サイクルが発生するたびに設定されます。
2	DECHE	R/W	0	検出変更イネーブル ビット。セットされている場合、検出イベント レジスタの DETCn ビットは、最新の検出動作の結果が前の検出動作の結果と異なることを示します。 1 = DETCn ビットは、関連するポートで検出の変化が発生したときにのみ設定されます。 0 = DETCn ビットは、関連するポートで検出サイクルが発生するたびに設定されます。
1	–	R/W	0	
0	–	R/W	0	

Copyright © 2026 Texas Instruments Incorporated

7.6.21 検出 / クラス再起動レジスタ

COMMAND = 18h、1 データ バイト、書き込み専用

プッシュ ボタン レジスタ。

各ビットは、ポートごとに特定のサイクル (検出またはクラス再起動) に対応しています。各サイクルは、そのビット位置に 1 を書き込むことによって個別にトリガできます。0 を書き込んでもそのイベントの内容は何も変更されません。

手動モードでは 1 回のサイクル (検出またはクラス再起動) がトリガされるのに対し、半自動モードでは、検出 / クラス イネーブル レジスタ内の対応するビットがセットされます。

読み出し動作は 00h を返します。

t_{OVLD}、t_{LIM}、または t_{START} クール ダウン サイクルの間、そのポートの検出 / クラス再起動コマンドは受け付けられますが、対応する動作はクールダウン期間の終了まで遅延します。

図 7-25. 検出 / クラス再起動レジスタ フォーマット

7	6	5	4	3	2	1	0
RCL4	RCL3	RCL2	RCL1	RDET4	RDET3	RDET2	RDET1
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、W = 書き込み専用、–n = リセット後の値

表 7-20. 検出 / クラス 再始動レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	RCL4–RCL1	W	0	再起動分類ビット
3-0	RDET4–RDET1	W	0	再起動検出ビット

Copyright © 2026 Texas Instruments Incorporated

7.6.22 パワー イネーブル レジスタ

COMMAND = 19h、1 データ バイト、書き込み専用

プッシュ ボタン レジスタ。

オフ モード以外の任意のモードで、ポートを強制的にオンまたはオフにするために使用されます。PoE プラス レジスタの TPON ビットが low の場合、または PSE コントローラが手動モードに構成されている場合、その PWONn ビット位置に 1 を書き込むと、分類および検出ステータスに関係なく、また、IEEE802.3 TPON タイミング仕様に関係なく、関連するポートが直ちにオンになります。これは、半自動モードで TPON が設定され、DETn ビットが 0 の場合にも当てはまります。

PoE プラス レジスタの TPON ビットがセットされており、DETn ビット (検出 / クラス イネーブル レジスタ) が設定されている場合、半自動モード中に PWONn ビットに 1 を書き込むと、関連ポートがオンになりますが、IEEE802.3 TPON タイミング仕様を満たし、検出が有効であること (有効に設定されている場合はクラスも有効であること) が条件となります。TPON 仕様は、有効な検出サイクルが完了してからポートがオンになるまでの時間です。

TPON 仕様を満たせない場合は、新たな検出サイクルが開始されます。続いて (有効に設定されている場合は) 分類サイクルが行われ、その終了時にポートがオンになります。ただし、これは有効な検出結果が得られ、かつ IEEE802.3 の TPON 仕様を満たせる場合に限られます。この場合、このプッシュ ボタンが再アサートされるまで、ポートをオンにしようとする試みはありません。最後の検出結果が有効でない場合、ポートはオンになりません。

半自動モードでは、対応するクラスと検出イネーブル ビットが設定されていれば、ポートがオフにされている間であっても、検出と分類が継続的に実行される点に注意してください。

POFFn 位置に 1 を書き込むと、関連するポートがオフになります。

同じ書き込み動作の間に同じポートの POFFn と PWONn に 1 を書き込むと、ポートはオフになります。

また、t_{OVLD}、t_{LIM}、t_{START}、および接続解除イベントは、パワー オン コマンドよりも優先されることにも注意してください。t_{OVLD}、t_{LIM}、または t_{START} クール ダウン サイクル中、パワー イネーブル コマンドを使用してオンにするすべてのポートは無視され、ポートはオフに保持されます。

また、このコマンドでポートをオフにすると、検出イベント レジスタ (CLSCn、DETCn)、フォルト イベント レジスタ (DISFn、ICUTn)、スタート イベント レジスタ (STRTn、ILIMn)、ポート n ステータス レジスタ (クラス Pn、検出 Pn)、検出 / クラス イネーブル レジスタ (CLEn、DETEn)、パワーオン フォルト レジスタ (PFn) の対応ビットがクリアされます。変更が発生した場合、パワーイベントレジスタの対応する PGCn および PECn ビットもセットされます。パワー ステータス レジスターの対応する PEN ビットと PGN ビットもそれに応じて更新されます。

図 7-26. パワー イネーブル レジスタ フォーマット

7	6	5	4	3	2	1	0
POFF4	POFF3	POFF2	POFF1	PWON4	PWON3	PWON2	PWON1
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、W = 書き込み専用、–n = リセット後の値

表 7-21. パワー イネーブル レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	POFF4–POFF1	W	0	ポート パワー オフ ビット
3-0	PWON4–PWON1	W	0	ポート パワー オン ビット

7.6.23 RESET レジスタ

COMMAND = 1Ah、1 データ バイト、書き込み専用

プッシュ ボタン レジスタ。

ビット位置に 1 を書き込むと、0 が影響を与えない間、イベントがトリガされます。セルフ クリア ビット。

図 7-27. RESET レジスタの形式

7	6	5	4	3	2	1	0
CLRAIN	CLINP	–	RESAL	RESP4	RESP3	RESP2	RESP1
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、W = 書き込み専用、–n = リセット後の値

表 7-22. RESET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLRAIN	W	0	すべての割り込みビットをクリアします。CLRAIN に 1 を書き込むと、割り込みレジスタのすべてのイベント レジスタとすべてのビットがクリアされます。また、$\overline{INT}$ ピンを解放します
6	CLINP	W	0	セットすると、イベント レジスタにも割り込みレジスタにも影響せず、$\overline{INT}$ ピンが解放されます。
5	–	W	0	
4	RESAL	W	0	RESAL がセットされているときは、すべてのビットをリセットします。その場合、パワーアップ リセットと同等の状態になります。VDUV ビットと VPUV ビット (電源イベント レジスタ) は、VDD および VPWR 電源レールの状態に従うことに注意してください。
3-0	RESP4–RESP1	W	0	ポート ビットをリセットします。対応する RESPn ビット位置に 1 を書き込むことにより、任意のモードで即時ポートを強制的にオフにするために使用されます。 また、このコマンドでポートをオフにすると、検出イベント レジスタ (CLSCn、DETCn)、フォルト イベント レジスタ (DISFn、ICUTn)、スタート イベント レジスタ (STRTn、ILIMn)、ポート n ステータス レジスタ (クラス Pn、検出 Pn)、検出 / クラス イネーブル レジスタ (CLEn、DETEn)、パワーオン フォルト レジスタ (PFn) の対応ビットがクリアされます。ポートはリセット直後に再びオンにできる点に注意してください。つまり、ポート リセットが実行されると、その時点で進行中のクールダウン サイクルは直ちに終了します。 変更が発生した場合、パワーイベントレジスタの対応する PGCn および PECn ビットもセットされます。パワー ステータス レジスターの対応する PEN ビットと PGN ビットもそれに応じて更新されます。

7.6.24 ID レジスタ

COMMAND = 1Bh、1 データ バイト、読み取り/書き込み

図 7-28. ID レジスタの形式

7	6	5	4	3	2	1	0
MFR ID					ICV		
R/W-0	R/W-1	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-23. ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 3	MFR ID	R/W	01010 b	メーカー識別番号 (0101、0)
2-0	ICV	R/W	011b	IC バージョン番号 (011)

Copyright © 2026 Texas Instruments Incorporated

7.6.25 ポリス 21 構成レジスタ

COMMAND = 1Eh、1 データ バイト、読み取り/書き込み

ICUT メカニズムを置き換えます。スレッショルドは、ポリス ビットおよび PoE プラス レジスタで定義されます。

図 7-29. ポリス 21 レジスタ フォーマット

7	6	5	4	3	2	1	0
POL2_3	POL2_2	POL2_1	POL2_0	POL1_3	POL1_2	POL1_1	POL1_0
R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W1

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.26 ポリス 43 構成レジスタ

COMMAND = 1Fh、1 データ バイト、読み取り/書き込み

ICUT メカニズムを置き換えます。スレッショルドは、ポリス ビットおよび PoE プラス レジスタで定義されます。

図 7-30. ポリス 43 レジスタ フォーマット

7	6	5	4	3	2	1	0
POL4_3	POL4_2	POL4_1	POL4_0	POL3_3	POL3_2	POL3_1	POL3_0
R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W1

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-24. ポリス 43 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	POLn_3-POLn_0	R/W	1	I_{CUT} スレッショルドを定義する 4 ビット ニブル。結果は、PoE プラス ポート ビットによって異なります。I_{CUT} スレッショルドを定義する式は次のとおりです。 $I_{CUT} = (N \times IC_{STEP}) + IC_{OFFS}$ ここで、0.255Ω Rsense 抵抗が使用されると仮定すると、次のようになります。 関連するポートの PoE プラス ビットが 0 のとき、IC_{STEP} = 20mA (50V の場合 1W の分解能) 関連するポートの PoE プラス ビットが 1 のとき、IC_{STEP} = 40mA (50V の場合 2W の分解能) および: 関連するポートの PoE プラス ビットが 0 のとき、IC_{OFFS} = 20mA 関連するポートの PoE プラス ビットが 1 のとき、IC_{OFFS} = 320mA (50V の場合 16W の分解能) 注: PoE プラス レジスタで PoEPn ビットがセットされると、対応する POLn ビットは最初に 0x0 に変更されます。 PoE プラス レジスタで PoEPn ビットがリセットされると、対応する POLn ビットは最初に 0xF に変更されます。 どちらの場合も、ポート ポリシング電流のスレッショルドは同じ値です。

7.6.27 IEEE パワー イネーブル レジスタ

COMMAND = 23h、1 データ バイト、書き込み専用

半自動モード中にポートをオンにするために使用します。マニュアルモードの場合、このコマンドは無視されます。このコマンドの完了時にアドレス指定されたポートがオンにならない場合は、検出 / クラス イネーブル レジスタ (レジスタ 14h) の対応ビットが設定されています。これは、クラスと検出のイネーブルビットが設定されている限り、検出と分類は連続的に実行されることを意味します。

TmPONn ビットに 1 を書き込むと、関連するポートがオンになりますが、IEEE802.3 TPON タイミング仕様を満たすことができる場合に限ります。TPON 仕様は、有効な検出サイクルが完了してからポートがオンになるまでの時間です。

TPON 仕様を満たすことができない場合、ポートがオンになると、新しい検出サイクルが再開され、その後分類サイクルが実行されますが、有効な検出と分類が返された場合に限ります。この場合、このプッシュ ボタンが再アサートされるまで、ポートをオンにしようとする試みはありません。

ポートのオンは、現在の検出と分類サイクルの両方が完了した後にのみ実行されることに注意してください

同じ書き込み操作中に同じポートの T1PONn と T2PONn に 1 を書き込むと、T1PONn と解釈されることに注意してください。

パワーイベントレジスタの対応する PGCn ビットおよび PECn ビットも、結果に応じて設定され、検出イベントレジスタの CLSCn ビットと DETCn ビットは、結果と、汎用マスクレジスタの CLCHE および DECHE ビットに基づいて設定されます。

また、t_{OVLD}、t_{LIM}、t_{START}、および接続解除イベントは、パワー オン コマンドよりも優先されることにも注意してください。t_{OVLD}、t_{LIM}、または t_{START} クール ダウン サイクル中、IEEE パワー イネーブル コマンドを使用してオンにするすべてのポートは無視され、ポートはオフのままです。

図 7-31. IEEE パワー イネーブル レジスタ フォーマット

7	6	5	4	3	2	1	0
タイプ 2 IEEE パワー イネーブル ボタン				タイプ 1 IEEE パワー イネーブル ボタン			
T2PON4	T2PON3	T2PON2	T2PON1	T1PON4	T1PON3	T1PON2	T1PON1
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、W = 書き込み専用、–n = リセット後の値

表 7-25. IEEE パワー イネーブル レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	T2PON4T2PON1	W	0	最初のイベント分類中にクラス 4 が検出された場合、2 番目のイベント分類が実行されます。最後の検出結果が有効でない、または最後の分類結果が「過電流」になる、または最初の分類イベント結果と異なる場合、ポートはオンにならず、スタート/ ILIM イベントレジスタの STRTn ビットがセットされ、パワーオン障害レジスタの対応するフォルトコードが書き込まれます。 電源オンが完了し、クラス 4 が検出されると、PoE Plus レジスタの対応する PoEPn ビットが設定され、対応するポリス構成レジスタの値は 640mA (08h コード) に設定されます。これは突入完了から 5ms 以内に行われます。
3-0	T1PON4T1PON1	W	0	クラス 4 PD が検出された場合でも、シングル イベント分類のみが実行されることを示します。 最後の検出結果が無効または最後の分類結果に「過電流」が発生する場合、ポートはオンにならず、Start/ILIM イベント レジスタの STRTn ビットがセットされ、パワーオン障害レジスタの対応するフォルト コードが書き込まれます。

Copyright © 2026 Texas Instruments Incorporated

7.6.28 パワーオン フォルト レジスタ

COMMAND = 24h、1 データ バイト、読み取り専用

COMMAND = 25h、1 データ バイト、読み取り専用

図 7-32. パワーオン フォルト レジスタ フォーマット

7	6	5	4	3	2	1	0
PF4		PF3		PF2		PF1	
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
CR-0	CR-0	CR-0	CR-0	CR-0	CR-0	CR-0	CR-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、W = 書き込み専用、CR = 読み取り時にクリア、–n = リセット後の値

表 7-26. パワーオン フォルト レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	PF4–PF1	R または CR	0	IEEE パワー イネーブル コマンド実行後の、ポート n の分類および検出の障害ステータスを表します。これらのビットは、ポート n がオフになるとクリアされます。 PFn:その選択は次のとおりです。

故障コード		パワーオン フォルトの説明
0	0	故障なし
0	1	無効な検出
1	0	分類の過電流
1	1	分類の不一致

Copyright © 2026 Texas Instruments Incorporated

7.6.29 ポート再割り当てレジスタ

COMMAND = 26h、1 データ バイト、読み取り/書き込み

図 7-33. ポート再マッピング レジスタ フォーマット

7	6	5	4	3	2	1	0
論理ポート 4 の物理ポート番号		論理ポート 3 の物理ポート番号		論理ポート 2 の物理ポート番号		論理ポート 1 の物理ポート番号	
R/W-1	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、W = 書き込み専用、CR = 読み取り時にクリア、–n = リセット後の値

表 7-27. ポート再マッピング レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	論理ポート n の物理ポート番号	R/W	1/0	物理的なボードの制約のために論理的にポートを再マップするために使用されます。再マッピングは、4 ポート グループの任意のポート (1 ～ 4、5 ～ 8) 間で行われます。4 つのグループのすべてのポートは、ポート再マッピング コマンドを受信する前に OFF モードにする必要があります。そうしないと、コマンドは無視されます。デフォルトでは、再マッピングは行われません。 ビットの各ペアは、割り当てられた論理ポートに対応します。 ポートごとの選択は次のとおりです。

最マップ コード		物理ポート	パッケージ ピン
0	0	1	Drain1、Gat1、Sen1
0	1	2	Drain2、Gat2、Sen2
1	0	3	Drain3、Gat3、Sen3
1	1	4	Drain4、Gat4、Sen4

再マッピングが行われていない場合、このレジスタのデフォルト値は 1110、0100 です。値が 11 の 2 MSbit は、論理ポート 4 が物理ポート 4、次の 2 ビット、10 にマッピングされ、論理ポート 3 が物理ポート 3 にマッピングされることを示しています。
注:コードの複製は許可されません。つまり、同じコードを複数のポートの再マッピング ビットに書き込むことはできません。このような値を受信すると、その値は無視され、チップは既存の構成を保持します。
注:0x1A IC リセット コマンドを受信した場合、ポートの再マッピング構成は変更されません。

注

ポートの再マッピング後、TI では、次のポートをオンにする前に、少なくとも 1 つの検出分類サイクルを行うことを推奨しています。

Copyright © 2026 Texas Instruments Incorporated

7.6.30 ポート 21 マルチ ビット優先度レジスタ

COMMAND = 27h、1 データ バイト、読み取り/書き込み。

図 7-34. ポート 21 レジスタ フォーマット

7	6	5	4	3	2	1	0
–	MBP2_2	MBP2_1	MBP2_0	–	MBP1_2	MBP1_1	MBP1_0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W–0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.31 ポート 43 マルチ ビット優先度レジスタ

COMMAND = 28h、1 データ バイト、読み取り/書き込み

図 7-35. ポート 43 レジスタ フォーマット

7	6	5	4	3	2	1	0
–	MBP4_2	MBP4_1	MBP4_0	–	MBP3_2	MBP3_1	MBP3_0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W–0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-28. ポート 43 レジスタのフィールドの説明

<table>
<tr><th>ビット</th><th>フィールド</th><th>タイプ</th><th>リセット</th><th>説明</th></tr>
<tr><td>7-0</td><td>MBPn_2-0</td><td>R/W</td><td>0</td><td>MBPn_2-0:3 ビットのシャットダウン優先度が選択されている場合は、マルチビットのポート電源優先度ビット (ポートごとに 3 ビット) (一般マスク レジスタの MbitPrty が high の場合。)OSS シャットダウン入力で受信されたシリアル シャットダウン コードに応答して、どのポートがシャットダウンされているかを判断するために使用されます。000 コードを持つポートは、優先度が最も高くなります。3 ビット値が増加するにつれて、ポートの優先度は低下します。
ターンオフの手順 (レジスタ ビットのクリアを含む) は、進行中のフォルト クール ダウン時間カウントをキャンセルしないことを除いて、リセット コマンド (1Ah レジスタ) を使ったポート リセットと似ています。
ポートの優先度は、次のように定義されます。

OSS コード ≤ MBPn_2-0:OSS コードを受信すると、対応するポートの電源がオフになります。

OSS コード > MBPn_2-0:OSS コードはポートに影響を与えません

<table>
<tr><th colspan="3">MBPn_2-0 0x27/28 レジスタ</th><th>マルチ ビット優先度</th><th>ポートがオフの状態</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>最高</td><td>OSS =「000」</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>2</td><td>OSS =「000」または「001」</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>3</td><td>OSS ≤「010」</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>4</td><td>OSS ≤「011」</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>5</td><td>OSS ≤「100」</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>6</td><td>OSS =「111」以外の任意のコード</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>最低</td><td>OSS = 任意のコード</td></tr>
</table>
</td></tr>
</table>

Copyright © 2026 Texas Instruments Incorporated

7.6.32 温度レジスタ

COMMAND = 2Ch、1 データ バイト、読み取り専用

図 7-36. 温度レジスタのフォーマット

7	6	5	4	3	2	1	0
TEMP7	TEMP6	TEMP5	TEMP4	TEMP3	TEMP2	TEMP1	TEMP0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-29. 温度レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TEMP7–TEMP0	R	0	ビットの説明:データ変換結果。I²C データ送信は、1 バイトの転送です。 温度の 8 ビットデータ変換結果 (–20°C ～ 125°C)。更新レートは約 1 秒に 1 回です。 測定温度を定義する式は次のとおりです。 $T = –20 + N \times T_{STEP}$ ここで、T_{STEP} はフルスケール値だけでなく、次のように定義されています。 モード: 任意 / フルスケール値: 146.2°C / T_{STEP}: 0.652°C

7.6.33 入力電圧レジスタ

COMMAND = 2Eh、2 データ バイト (LSB ファースト、MSB 秒)、読み取り専用

図 7-37. 入力電圧レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
VPWR7	VPWR6	VPWR5	VPWR4	VPWR3	VPWR2	VPWR1	VPWR0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
–	–	VPWR13	VPWR12	VPWR11	VPWR10	VPWR9	VPWR8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-30. 入力電圧レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
13-0	VPWR13- VPWR0	R	0	ビットの説明:データ変換結果。I²C データ送信は、2 バイトの転送です。 入力電圧の 14 ビット データ変換結果。 測定電圧を定義する式は次のとおりです。 $V = N \times V_{STEP}$ ここで、V_{STEP} はフルスケール値だけでなく、次のように定義されます。 モード: 任意 / フルスケール値: 60V / V_{STEP}: 3.662mV 測定は、VPWR と AGND との間で行われることに注意してください。

Copyright © 2026 Texas Instruments Incorporated

7.6.34 ポート 1 電流レジスタ

2 データ バイトの COMMAND = 30h、(LSB ファースト、MSB 秒)、読み取り専用

図 7-38. ポート 1 電流レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
I1_7	I1_6	I1_5	I1_4	I1_3	I1_2	I1_1	I1_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
–	–	I1_13	I1_12	I1_11	I1_10	I1_9	I1_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.35 ポート 2 電流レジスタ

2 データ バイトの COMMAND = 34h、(LSB ファースト、MSB 秒)、読み取り専用

図 7-39. ポート 2 電流レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
I2_7	I2_6	I2_5	I2_4	I2_3	I2_2	I2_1	I2_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
–	–	I2_13	I2_12	I2_11	I2_10	I2_9	I2_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.36 ポート 3 電流レジスタ

2 データ バイトの COMMAND = 38h、(LSB ファースト、MSB 秒)、読み取り専用

図 7-40. ポート 3 電流レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
I3_7	I3_6	I3_5	I3_4	I3_3	I3_2	I3_1	I3_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
–	–	I3_13	I3_12	I3_11	I3_10	I3_9	I3_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.37 ポート 4 電流レジスタ

2 データ バイトの COMMAND = 3Ch、(LSB ファースト、MSB 秒)、読み取り専用

図 7-41. ポート 4 電流レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
I4_7	I4_6	I4_5	I4_4	I4_3	I4_2	I4_1	I4_0

Copyright © 2026 Texas Instruments Incorporated

図 7-41. ポート 4 電流レジスタ フォーマット (続き)

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
–	–	I4_13	I4_12	I4_11	I4_10	I4_9	I4_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-31. ポート 4 電流レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
13-0	In_13- In_0	R	0	ビットの説明:データ変換結果。I²C データ送信は、2 バイトの転送です。 変換には、TI 独自のマルチスロープ統合コンバータが使用されています。 ポート n の電流の 14 ビット データ変換結果。更新レートはポート給電状態では約 100ms に 1 回です。 測定電流を定義する式は次のとおりです。 $I = N \times I_{STEP}$ ここで、I_{STEP} は、動作モードに応じてフルスケールの値とともに以下に定義されています。 **モード** / **フルスケール値** / **I_{STEP}** ポート電源検出および分類 / 1A (0.255Ω Rsense 付き) / 61.035µA 注:以下のいずれかの場合、I²C インターフェイスの結果は自動的に 0000 になります ポートはオフ モード 半自動モードではポートがオフになり、検出 / クラスが有効になっていません 半自動モードではポートがオフになり、検出結果が正しくありません 手動モードでは、検出 / クラスが少なくとも 1 回イネーブルになっている場合、レジスタは最後の測定結果を保持します

Copyright © 2026 Texas Instruments Incorporated

7.6.38 ポート 1 電圧レジスタ

2 データ バイトの COMMAND = 32h、(LSB ファースト、MSB 秒)、読み取り専用

図 7-42. ポート 1 電圧レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
V1_7	V1_6	V1_5	V1_4	V1_3	V1_2	V1_1	V1_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
–	–	V1_13	V1_12	V1_11	V1_10	V1_9	V1_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.39 ポート 2 電圧レジスタ

2 データ バイトの COMMAND = 36h、(LSB ファースト、MSB 秒)、読み取り専用

図 7-43. ポート 2 電圧レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
V2_7	V2_6	V2_5	V2_4	V2_3	V2_2	V2_1	V2_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
–	–	V2_13	V2_12	V2_11	V2_10	V2_9	V2_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.40 ポート 3 電圧レジスタ

2 データ バイトの COMMAND = 3Ah、(LSB ファースト、MSB 秒)、読み取り専用

図 7-44. ポート 3 電圧レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
V3_7	V3_6	V3_5	V3_4	V3_3	V3_2	V3_1	V3_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
–	–	V3_13	V3_12	V3_11	V3_10	V3_9	V3_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.41 ポート 4 電圧レジスタ

2 データ バイトの COMMAND = 3Eh、(LSB ファースト、MSB 秒)、読み取り専用

図 7-45. ポート 4 電圧レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
V4_7	V4_6	V4_5	V4_4	V4_3	V4_2	V4_1	V4_0

Copyright © 2026 Texas Instruments Incorporated

図 7-45. ポート 4 電圧レジスタ フォーマット (続き)

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
–	–	V4_13	V4_12	V4_11	V4_10	V4_9	V4_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-32. ポート 4 電圧レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
13-0	Vn_13- Vn_0	R	0	ビットの説明:データ変換結果。I²C データ送信は、2 バイトの転送です。 測定電圧を定義する式は次のとおりです。 $V = N \times V_{STEP}$ ここで、V_{STEP} はフルスケール値だけでなく、次のように定義されます。 モード: ポートに電力供給状態 / フルスケール値: 60V / V_{STEP}: 3.662mV VPWR と DRAINn の間で、給電中のポートの電圧測定が行われることに注意してください。 注:ポートがオフの場合、I²C インターフェイス経由の結果は自動的に 0000 になります。

7.6.42 PoE プラス レジスタ

COMMAND = 40h、1 データ バイト読み取り/書き込み

図 7-46. PoE プラス レジスタ フォーマット

7	6	5	4	3	2	1	0
PoEP4	PoEP3	PoEP2	PoEP1	–	–	–	TPON
R/W-0	R/W-0	R/W-0	R/W-0	–	–	–	R/W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-33. PoE プラス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	PoEP4- PoEP1	R/W	0	セットすると、ポートに対して PoE プラス モードが有効になり、図 7-3 に示すように、I_{LIM} および I_{SHORT} のレベルが通常設定時の約 2.5 倍に増加します。また、PoE プラス ビットは、ポリス構成レジスタとともに使用して I_{CUT} スレッショルドを定義します。この件の詳細については、ポリス構成レジスタを参照してください。I_{LIM} または I_{CUT} (ICUT が有効の場合) スレッショルドを超えると、フォルト タイマが開始されることに注意してください。ポート電源優先度 / ICUT ディスエーブル レジスタも参照してください。 注: 1) ポートがオンの場合、図 7-2 に示すように、PoEPn ビットの状態にかかわらず、突入電流プロファイルは同じままになります。 2) PoEPn ビットがセットされると、ポリス構成レジスタの対応する POLn ビットは最初 0x0 に変更されます。PoEPn ビットがリセットされると、ポリス構成レジスタの対応する POLn ビットは、最初に 0xF に変更されます。どちらの場合も、ポート ポリシング電流のスレッショルドは同じ値です。 3) PoEPn ビットがデアサートされると、関連するポートに使用される t_{LIM} 設定は、常に公称値 (～60ms) です。PoEPn ビットがアサートされている場合、関連するポートの t_{LIM} は、タイミング構成レジスタで定義されているようにプログラム可能です。 4) タイプ 2 IEEE パワー イネーブル ボタンを使用してポートをオンにすると、PSE は次の処理を行います。電源オンが完了し、クラス 4 が検出されると、対応する PoEPn ビットが設定され、対応するポリス構成レジスタの値は 640mA (08h コード) に設定されます。これは突入完了から 5ms 以内に行われます。

Copyright © 2026 Texas Instruments Incorporated

表 7-33. PoE プラス レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	TPON	R/W	0	設定されている場合、半自動モードにおいて、DETn ビット (検出 / クラス イネーブル レジスタ) がセットされている状態で、パワー イネーブル レジスタの PWONn ビットに 1 を書き込むと、現在の検出サイクル (および有効な場合はクラス検出サイクル) が完了した後にポートがオンになります。ただし、これは IEEE802.3 TPON タイミング仕様を満たせる場合に限られます。TPON 仕様は、有効な検出サイクルが完了してからポートがオンになるまでの時間です。 TPON 仕様を満たすことができない場合、ポートがオンになると、新しい検出サイクルが再開され、その後分類サイクルが実行されますが、有効な検出が返された場合に限ります。この場合、このプッシュボタンが再アサートされるまで、ポートをオンにしようとする試みはありません。 TPON ビットが low の場合、パワー イネーブル レジスタの PWONn ビットに 1 を書き込むと、IEEE802.3 TPON タイミング仕様に関係なく、また、検出結果に関係なく、関連するポートが直ちにオンになります。

7.6.43 ファームウェア リビジョン

COMMAND = 41h、1 データ バイト、読み取り専用

図 7-47. ファームウェア リビジョン レジスタ フォーマット

7	6	5	4	3	2	1	0
FRV							

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-34. ファーウェア リビジョン レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	FRV	R		ファームウェア リビジョン番号

7.6.44 I2C ウォッチドッグ レジスタ

COMMAND = 42h、1 データ バイト、読み取り/書き込み

I²C ウォッチドッグ タイマは、ポートが危険な状態に維持される可能性があるソフトウェアのハングアップを防止するために、I²C クロック ラインを監視します。このタイマは、SCL 入力のいずれかのエッジでリセットできます。ウォッチドッグ タイマが満了すると、すべてのポートがオフになり、WDS ビットがセットされます。公称ウォッチドッグ タイムアウト時間は 2 秒です。

図 7-48. I2C ウォッチドッグ レジスタ フォーマット

7	6	5	4	3	2	1	0
–	–	–	IWDD3	IWDD2	IWDD1	IWDD0	WDS
–	–	–	R/W-1	R/W-0	R/W-1	R/W-1	R/W-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-35. I2C ウォッチドッグ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
4 ~ 1	IWDD3–IWDD0	R/W	1011b	I²C ウォッチドッグ ディセーブル 1011b に等しい場合、ウォッチドッグはマスクされます。それ以外の場合は、マスクされず、ウォッチドッグは動作可能です。
0	WDS	R/W	0	I²C ウォッチドッグ タイマのステータス (ウォッチドッグがマスクされている場合でも有効)。このビットがセットされているとき、ウォッチドッグ タイマは I²C クロック ラインでアクティビティが発生しないまま期限切れになります。WDS ロケーションに 0 を書き込むと、クリアされます。ウォッチドッグ タイマが満了すると、ウォッチドッグがマスクされていない場合、すべてのポートもオフになることに注意してください。

Copyright © 2026 Texas Instruments Incorporated

I²C ウォッチドッグのためにポートがオフになると、検出イベント レジスタ (CLSCn、DETCn)、フォルト イベント レジスタ (DISFn、ICUTn)、スタート イベント レジスタ (STRTn、ILIMn)、ポート n ステータス レジスタ (クラス Pn、検出 Pn)、検出 / クラス イネーブル レジスタ (CLEn、DETEn)、パワーオン フォルト レジスタ (PFn) の対応ビットもクリアされます。

変更が発生した場合、パワーイベントレジスタの対応する PGCn および PECn ビットもセットされます。パワー ステータス レジスターの対応する PEN ビットと PGN ビットもそれに応じて更新されます。

注

I²C ウォッチドッグ タイマが満了した場合、WDS ビットがクリアされるまで、温度および入力電圧レジスタの更新は停止します。その後で、これらのレジスタを正常に動作させるには、WDS ビットをクリアする必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.6.45 デバイス ID レジスタ

COMMAND = 43h、1 データ バイト、読み取り専用

図 7-49. デバイス ID レジスタ フォーマット

7	6	5	4	3	2	1	0
DID			SR				

凡例：R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-36. デバイス ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 5	DID	R	110b	デバイス ID 番号 (110)
4-0	SR	R		シリコンのリビジョン番号

7.6.46 ポート 1 検出抵抗レジスタ

COMMAND = 44h、1 データ バイト、読み取り専用

図 7-50. ポート 1 検出抵抗レジスタ フォーマット

7	6	5	4	3	2	1	0
R1_7	R1_6	R1_5	R1_4	R1_3	R1_2	R1_1	R1_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.47 ポート 2 検出抵抗レジスタ

COMMAND = 45h、1 データ バイト、読み取り専用

図 7-51. ポート 2 検出抵抗レジスタ フォーマット

7	6	5	4	3	2	1	0
R2_7	R2_6	R2_5	R2_4	R2_3	R2_2	R2_1	R2_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.48 ポート 3 検出抵抗レジスタ

COMMAND = 46h、1 データ バイト、読み取り専用

図 7-52. ポート 3 検出抵抗レジスタ フォーマット

7	6	5	4	3	2	1	0
R3_7	R3_6	R3_5	R3_4	R3_3	R3_2	R3_1	R3_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

7.6.49 ポート 4 検出抵抗レジスタ

COMMAND = 47h、1 データ バイト、読み取り専用

図 7-53. ポート 4 検出抵抗レジスタ フォーマット

7	6	5	4	3	2	1	0
R4_7	R4_6	R4_5	R4_4	R4_3	R4_2	R4_1	R4_0

Copyright © 2026 Texas Instruments Incorporated

図 7-53. ポート 4 検出抵抗レジスタ フォーマット (続き)

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用、–n = リセット後の値

表 7-37. ポート 4 検出抵抗レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	Rn_7- Rn_0	R	0	ポート n の検出抵抗の 8 ビット データ変換結果 最新の 2 ポイント検出抵抗測定結果 I^2C データ送信は、1 バイトの転送です。 レジスタの内容は、ポートの電源オフ時にクリアされないことに注意してください。 測定抵抗を定義する式は次のとおりです。 $R = N \times R_{STEP}$ ここで、R_{STEP} とフルスケールの値は次のように定義されています。 使用可能抵抗範囲: 2kΩ ～ 50kΩ R_{STEP}: 195.3125 Ω

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

8.1.1 PoE の概要

パワー オーバー イーサネット (PoE) は、データ ペアまたはスペア ペアを使用してイーサネット ケーブルを介してイーサネット デバイスに電力を分配するための手段です。PoE を使用すると、イーサネット デバイスで電源を供給する必要がなくなります。PoE の一般的な用途としては、セキュリティ カメラ、IP 電話、PDA 充電器などがあります。電源を供給するホストまたはミッドスパン機器は、電源装置 (PSE) です。イーサネット コネクタの負荷は受電側 (PD) です。負荷への電力を制御する、PSE と PD の間の PoE プロトコルは、IEEE Std 802.3at-2009 規格で規定されています。トランスフォーマは、イーサネット ホスト ポート、ミッドスパン、ハブで使用され、ケーブルにデータをインターフェイスします。トランスのセンター タップに DC 電圧を印加しても、データ信号に影響はありません。他の電力伝送ラインと同様に、比較的高い 48V の電圧を使用して、電流を低く保ち、ラインでの IR 電圧降下の影響を最小限に抑えて、負荷への電力供給を維持しています。標準 POE では、タイプ 1 の PD に約 13W、タイプ 2 の PD に 25.5W を供給します。

8.1.2 TPS2388 アプリケーション

TPS2388 は 8 ポート、IEEE 802.3at PoE PSE コントローラで、ポート数の多い半自動または完全なマイクロコントローラ管理アプリケーションで使用できます (ほとんどのアプリケーションについて MSP430G2553 マイクロコントローラを推奨します)。以降のセクションでは、ホスト制御を含む、さまざまな要件を持つアプリケーションの詳細な設計手順について説明します。

図 8-3 の回路図は、TPS2388 の半自動モードの動作を示しており、PoE 負荷に電力を供給する機能を提供します。図 8-3 では、TPS2388 は次のことを実行できます。

1. 負荷検出を実行します。
2. クラス 4 までの負荷を対象に、Type 2 (2 フィンガー) を含む分類を実行します。
3. 保護フォールドバック電流制限機能付き電力、およびポリス (I_{CUT}) 値を使用できます。
4. フォルト負荷および短絡が発生した場合にシャットダウンします。
5. 負荷が接続解除された場合に電力を遮断するため、電力シグネチャの維持機能を実行します。
6. VPWR が VPUV_F (標準値 26.5V) を下回ると、低電圧ロックアウトが発生します。

電源オフ コマンドのほか、スタート、ICUT、もしくは ILIM フォルト障害による接続解除またはシャットダウンの後、ポートへの給電が停止します。電源オフ コマンドや接続解除によってポートへの給電が停止した後、I^2C バス経由で指示が出された場合、TPS2388 は検出サイクルを再開します。一方、起動時の障害、ICUT または ILIM フォルトの発生によってシャットダウンに至った場合、TPS2388 はクールダウン期間に入ります。この期間中、当該ポートの検出 / クラス イネーブル コマンドは遅延します。クールダウン サイクルの終了時に、クラス、検出、または両方のイネーブル ビットが設定されている場合、1 つ以上の検出 / クラス サイクルが自動的に再起動されます。

8.1.3 ケルビン電流検出抵抗

各 PSE ポートの負荷電流は、255mΩ のローエンド電流検出抵抗の両端電圧から検出されます。より正確な電流センシングを実現するため、電流センス抵抗の下限側のケルビン センシングは、ポート 1 および 2 には KSENSA、ポート 3 および 4 には KSENSB、ポート 5 および 6 には KSENSC、ポート 7 と 8 には KSENSD を介して提供されます。

Copyright © 2026 Texas Instruments Incorporated

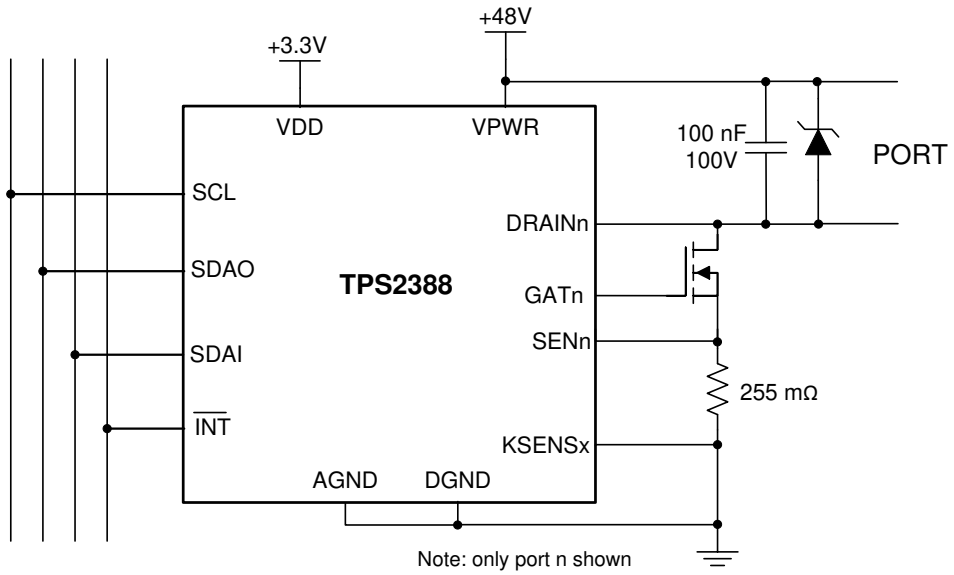


図 8-1. ケルビン電流検出接続

8.1.4 未使用ポートの接続

未使用ポートでは、SENx ピンをグランドに接続し、GATx ピンをオープンのままにすることを推奨します。DRAINx ピンはグランドに接続するか、オープンのままにすることができます (オープンのままにすると、消費電力が多少低減されます)。図 8-2 に、未使用の PORT4 の例を示します。

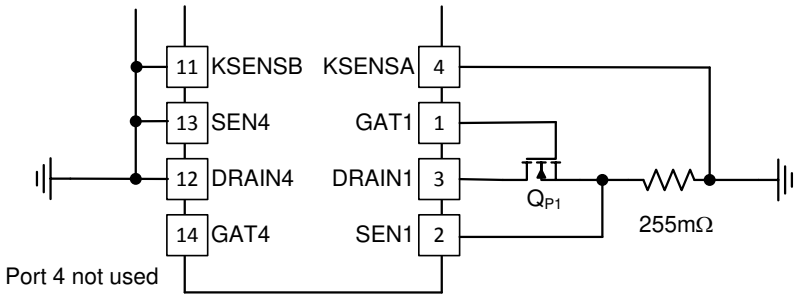


図 8-2. 未使用の PORT4 接続

Copyright © 2026 Texas Instruments Incorporated

8.2 代表的なアプリケーション

この代表的なアプリケーションでは、MSP430 マイコンを使用した 8 つのポート、半自動モードのアプリケーションを示します。任意のモードで動作するには、I²C ホストのサポートが必要です。TPS2388 は、マルチポート アプリケーションで便利な遠隔測定機能を備えており、ポートの電力管理の実装に役立ちます。

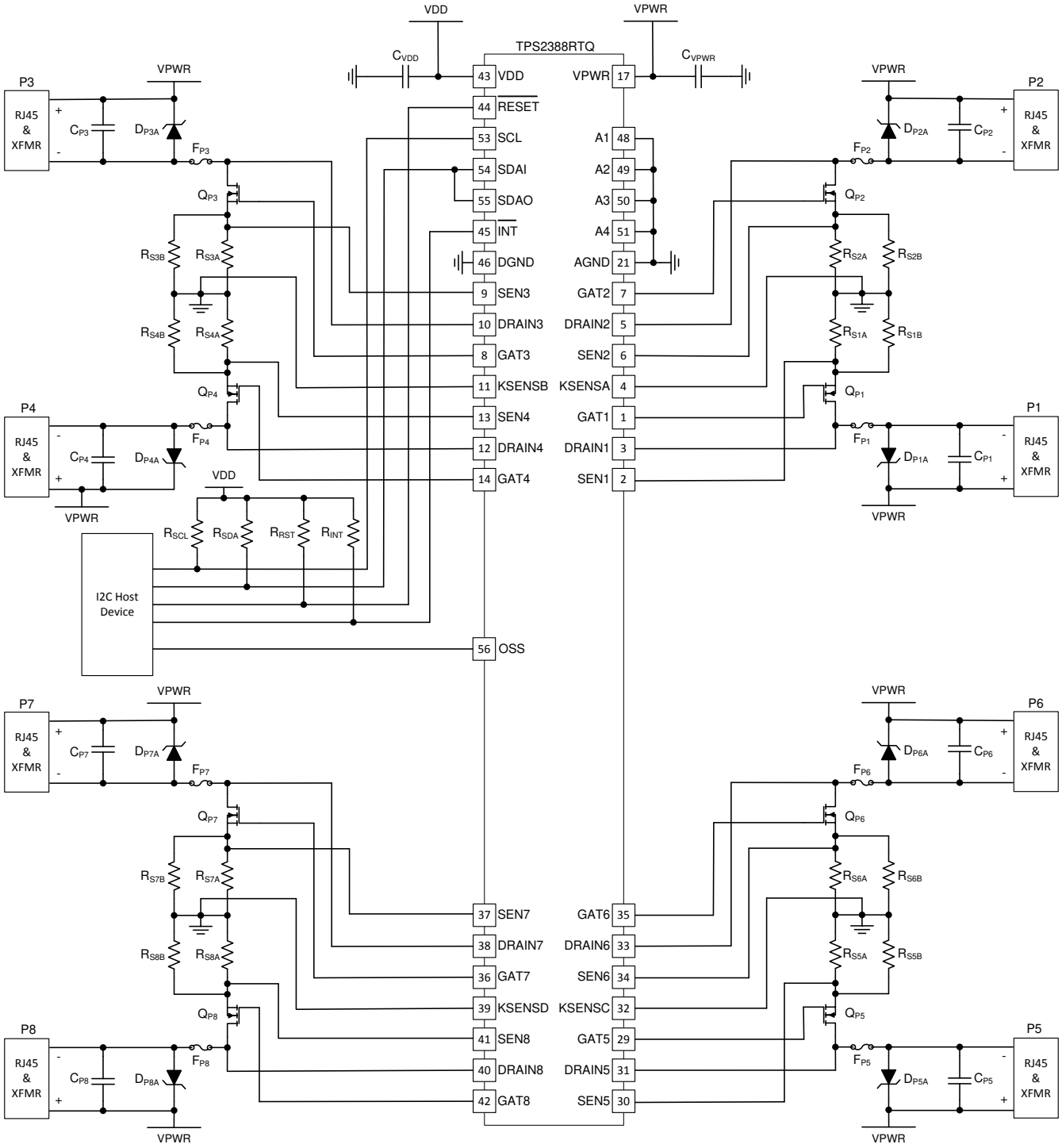


図 8-3. 8 ポート半自動モード アプリケーション

8.2.1 設計要件

外部リセットが必要な場合または VDD に直接接続した場合、$\overline{\text{RESET}}$ ピンをマイクロコントローラに接続できます。TPS2388 デバイスは、8 ポート構成で使用され、I²C ホスト デバイスによって管理されます。TPS2388 の I²C アドレスは、A4..A1 ピンを使用してプログラムされます。

注

$\overline{\text{RESET}}$ ピンは、VPWR と VDD の両方が UVLO スレッショルドを上回るまで low に保持する必要があります。

8.2.2 詳細な設計手順

8.2.2.1 電源ピンのバイパス コンデンサ

- **C_{VPWR}**:0.1µF、100V、X7R セラミック (ピン 17) (VPWR)
- **C_{VDD}**:0.1µF、50V、X7R セラミック (ピン 43) (VDD)

8.2.2.2 ポートごとの部品

- **C_{Pn}**:VPWR と Pn– 間の 0.1µF、100V、X7R のセラミック コンデンサ
- **R_{SnA}/R_{SnB}**:ポート電流センス抵抗は、0.51Ω、1% の 2 つの抵抗を並列 (0.255Ω) に組み合わせたものです。0805 SMT パッケージ封止、0.51Ω、1%、0.25W デュアル抵抗を推奨します。640mA 公称ポリシング (I_{CUT}) スレッショルドを選択すると、抵抗ペアの最大消費電力は約 115mW (それぞれ約 57mW) になります。
- **Q_{Pn}**:ポート MOSFET には、平均的な性能特性を備えた、小型で安価なデバイスを使用できます。BV_{DSS} は、最低でも 100V である必要があります。50mΩ と 150mΩ の間の V_{GS} = 10V での MOSFET の $R_{DS(on)}$ の目標値です。MOSFET のゲート電荷 (Q_G) と入力容量 (C_{ISS}) はそれぞれ 50nC および 2000pF 未満である必要があります。640mA 公称ポリシング (I_{CUT}) スレッショルドでの RDS(on) = 100mΩ を使用した Q_{Pn} の最大消費電力は約 45mW です。
- **F_{Pn}**:ポート ヒューズは、定格電圧が 60VDC 以上、定格電流が I_{CUT} (最大) の約 2 倍を超えるスロー ブロー タイプである必要があります。DC 損失を低減するには、冷間抵抗を 200mΩ 未満にする必要があります。I_{CUT} が最大の時、冷間抵抗 180mΩ の FPn の消費電力は約 81mW です。
- **D_{PnA}**:ポート TVS は、想定されるポートのサージ環境に対応した定格を備えている必要があります。D_{PnA} は、最小逆スタンドオフ電圧が 58V で、ピーク パルス電力定格が 600W であり、最大クランプ電圧が予測されるピーク サージ電流で 95V 未満である必要があります

8.2.2.3 システム レベルの部品 (回路図には未記載)

システムの TVS とバルク VPWR 容量は連携して動作し、VPWR を 70V を超えるサージ イベントから PSE システムを保護します。TPS2388 のすべてのポートが適切に保護されるように、TVS とバルク キャパシタを PCB 上に配置する必要があります。

- **TVS**:システムの TVS は、システム ポートの合計数および使用するバルク VPWR 容量によっては、最小逆スタンドオフ電圧が 58V で、ピーク パルス電力定格が 600W または 1500W である必要があります。VPWR バルク容量と合わせて、TVS は VPWR レールが 70V を超えないようにする必要があります。
- **バルク キャパシタ**:システム バルク キャパシタは 100V の定格が必要で、アルミ電解タイプを使用することもできます。ボード上の各 TPS2388 には 2 つの 47µF キャパシタを使用できます。
- **分散容量**:ポート数が多いシステムでは、1µF、100V、X7R のセラミック コンデンサを 48V パワー バス間に配置する必要がある場合があります。TPS2388 のペアごとに 1 つのコンデンサを推奨します。
- **デジタル I/O プルアップ抵抗**:$\overline{\text{RESET}}$ および A1A4 は内部で VDD にプルアップされます。OSS は内部でプルダウンされ、それぞれに 50kΩ (標準値) 抵抗が付いています。SMT パッケージの 10kΩ、1%、0.063W タイプなど、より強力なプルアップ / ダウン抵抗を外部に追加できます。SCL、SDAI、SDAO、INT には、バス上のデバイスの総数に応じて、1kΩ から 10kΩ の範囲内の外部プルアップ抵抗が必要です。
- **イーサネット データ トランス (ポートごと)**:イーサネット データ トランスの定格は、DC ポート電流の状況が発生する状況で、IEEE802.3at 規格内で動作する必要があります。また、イーサネット PHY と互換性があるように、このトランスも選定されています。トランスを RJ45 コネクタとケーブル終端に内蔵することもできます。

Copyright © 2026 Texas Instruments Incorporated

- **RJ45 コネクタ (ポートごと):** RJ45 コネクタの要件の大部分は機械的な性質であり、タブの向き、ハウジングのタイプ (シールド付きまたはシールドなし)、または高集積が含まれます。内蔵の Rj45 は、イーサネット データトランスとケーブル終端で構成されています。統合型タイプには、ポート TVS と同相 EMI フィルタリングも含まれることがあります。
- **ケーブル終端 (ポートごと):** ケーブル終端は通常、各データトランス センター タップから共通ノードまでの直列抵抗 (通常は 75Ω) とコンデンサ (通常は 10nF) 回路で構成され、その後、高電圧コンデンサ (通常は 1000pF ～ 4700pF、2kV) を使用してシャーシ グランド (またはシステム アース グランド) にバイパスされます。

8.2.3 アプリケーション曲線

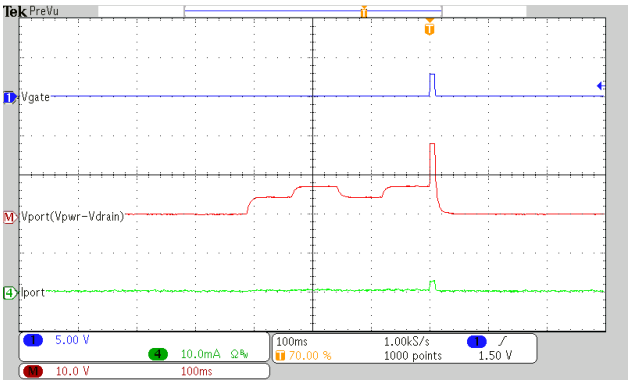


図 8-4. 有効な PD (25kΩ および 0.1µF) でのスタートアップ、クラス 0

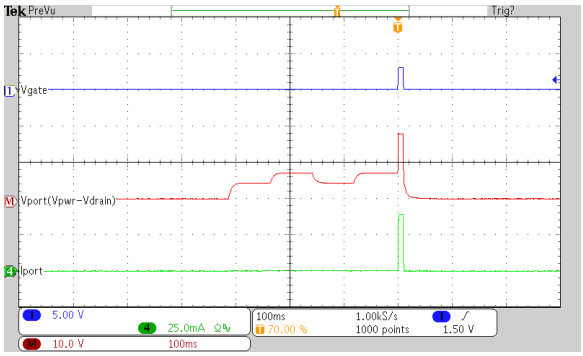


図 8-5. 有効な PD (25kΩ および 0.1µF) でのスタートアップ、クラス 3

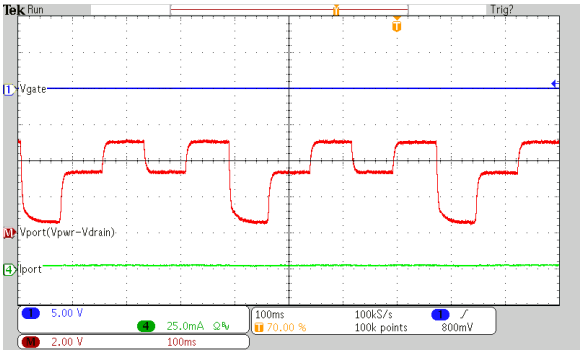


図 8-6. 無効な PD (15kΩ および 0.1µF) による検出

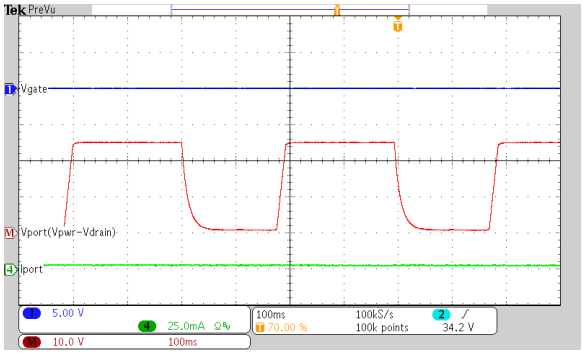


図 8-7. 無効な PD による検出 (開路)

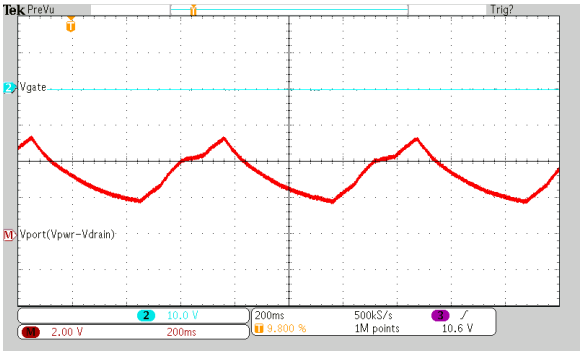


図 8-8. 無効な PD (25kΩ および 10µF) による検出

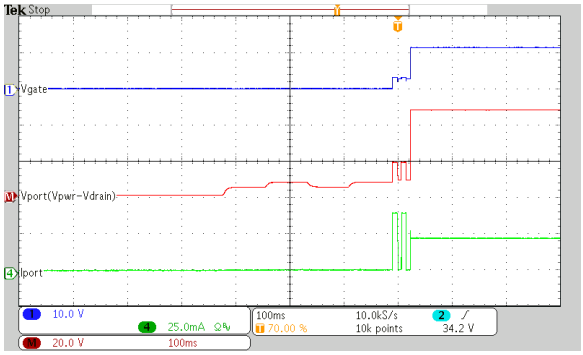


図 8-9. 2 イベント クラスと有効な PD でのスタートアップ

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線 (続き)

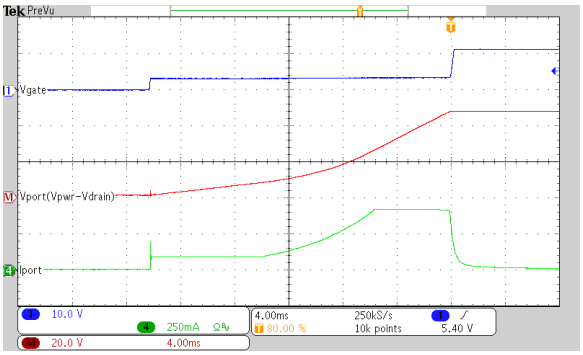


図 8-10. 100µF 負荷へのパワーアップ

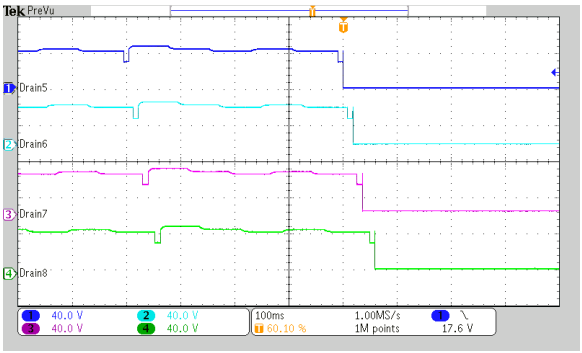


図 8-11. TPON ビットがセットされた状態で、すべてのポートの電源がオン

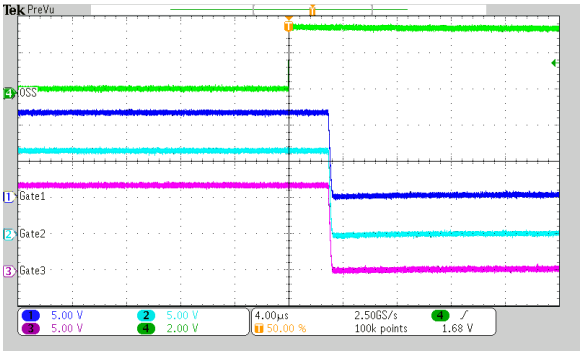


図 8-12. OSS 入力による全ポートの高速シャットダウン

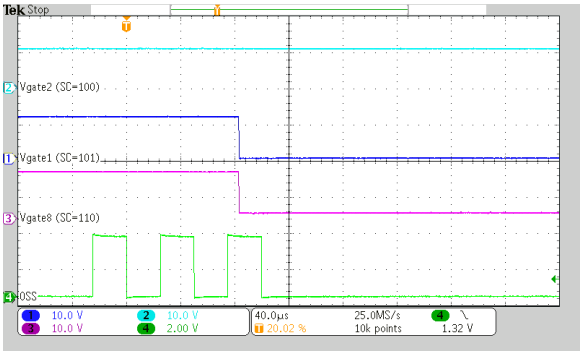


図 8-13. 3 ビット OSS 入力によるポートの高速シャットダウン

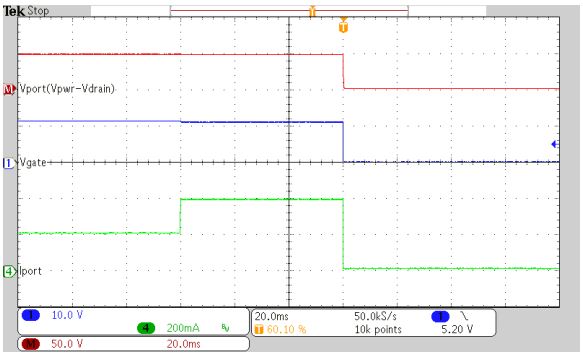


図 8-14. 過電流 (ICUT) タイムアウト

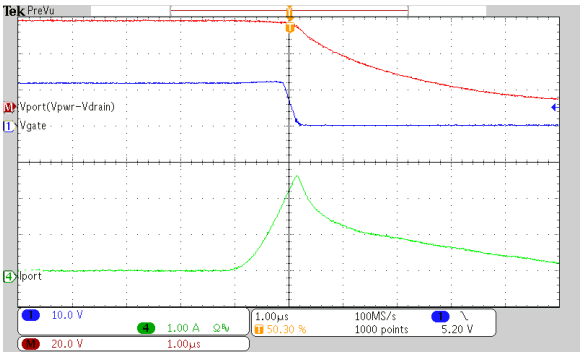


図 8-15. 1Ω 短絡に対する迅速な応答 - 802.3af モード

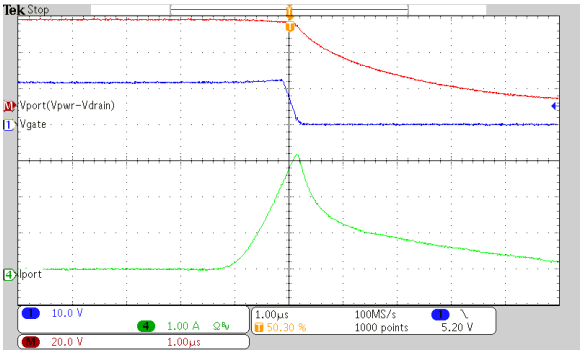


図 8-16. 1Ω 短絡に対する迅速な応答 - PoE+ モード

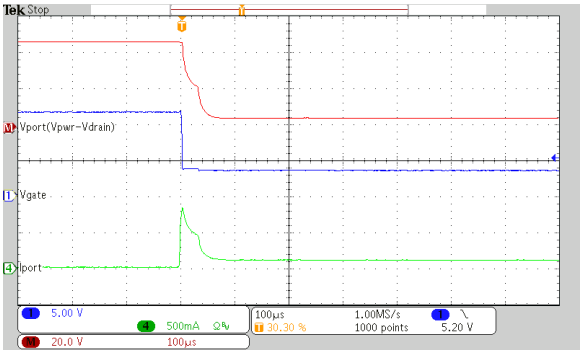


図 8-17. 50Ω の負荷に対する応答 - 802.3af モード

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線 (続き)

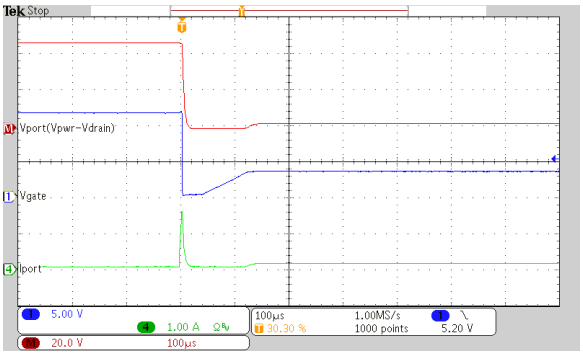


図 8-18. 25Ω の負荷に対する応答 - PoE+ モード

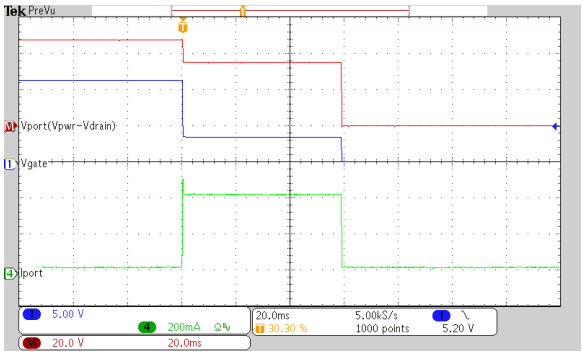


図 8-19. 電流制限タイムアウト - 802.3af モード、85Ω 負荷

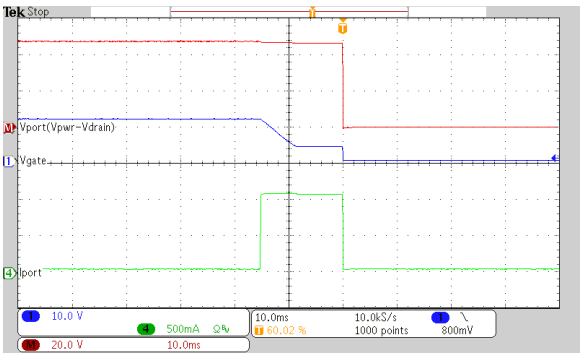


図 8-20. 電流制限 15ms タイムアウト - PoE+ モード、45Ω 負荷

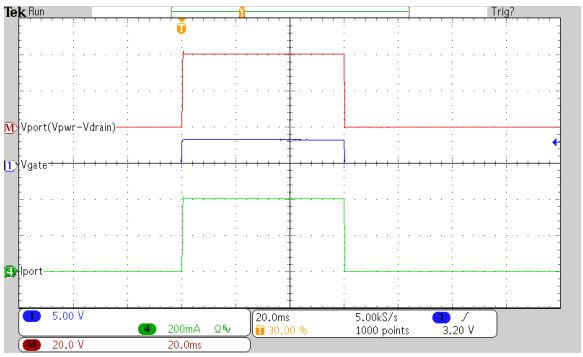


図 8-21. 突入フォルト タイムアウト - 100Ω 負荷

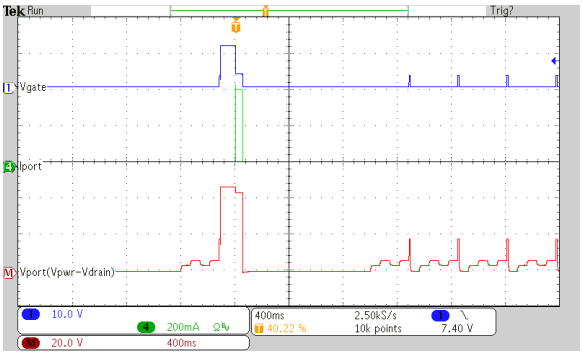


図 8-22. 電流制限タイムアウト再起動遅延

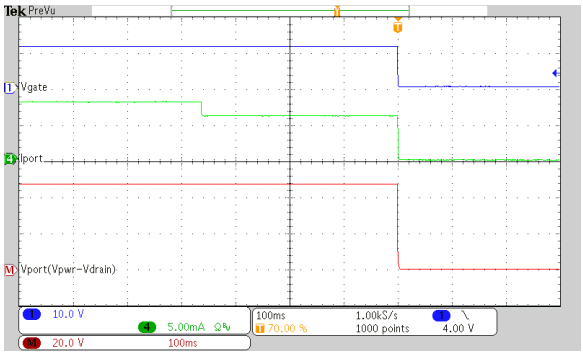


図 8-23. 8mA から 6mA への負荷に対する応答、DC 切断イネーブル

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線 (続き)

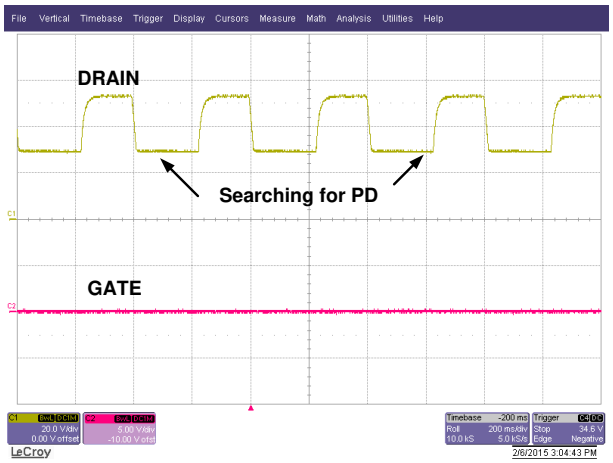


図 8-24. 開路での検出

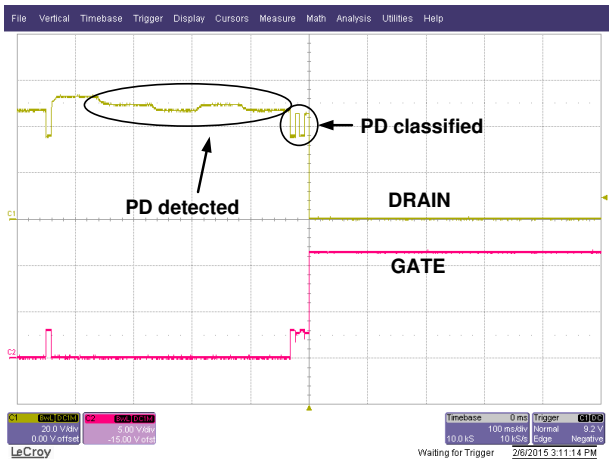


図 8-25. 検出、2 イベント クラスおよびポート オン

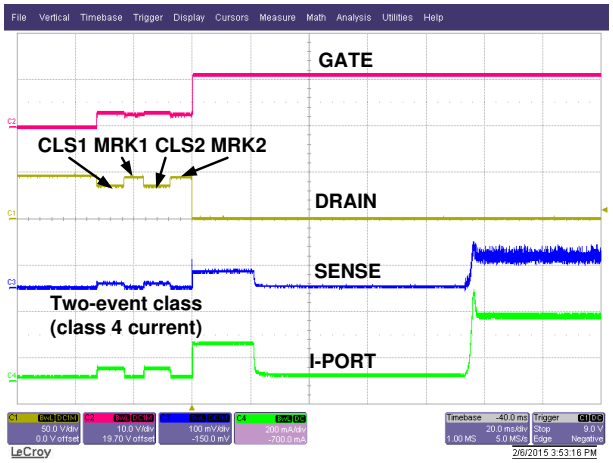


図 8-26. 2 イベント クラスおよびポート オン

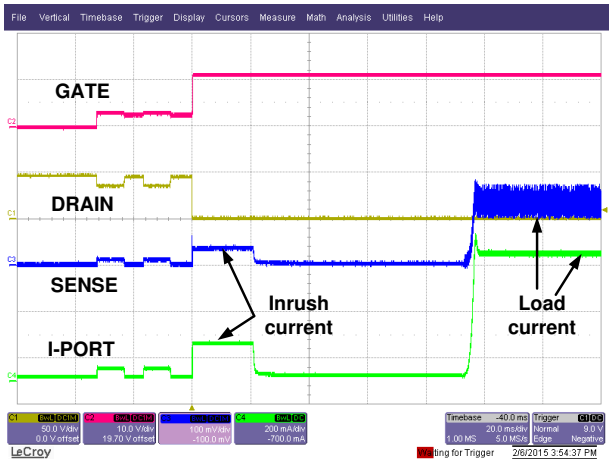


図 8-27. 2 イベント クラスおよびポート オン

Copyright © 2026 Texas Instruments Incorporated

8.3 電源に関する推奨事項

8.3.1 VDD

推奨される VDD 電源電圧要件は 3.3V、±0.3V です。TPS2388 の VDD 電源電流は、標準値が約 6mA、最大値が約 12mA です。VDD 電源は、降圧タイプ レギュレータを使用して VPWR から生成できます (LM5007 または LM5019 ベース)。これは、半自動モードで動作する複数の TPS2388 デバイスを使用して、ポート数が多い PSE 用に使用できます。電源の設計では、負荷がオンになったときに UVLO_FALL スレッショルドの以下でドループが発生しないように、VDD UVLO スレッショルドによって VDD レールが単調に上昇するようにする必要があります。これは、ワースト ケースの設計コーナーで想定される負荷電流ステップに対して、VDD レール全体に適切なバルク容量を印加することで達成されます。さらに、電力が供給された後で予期される過渡的障害が発生しても、デカップリング容量とバルク保存容量の組み合わせにより、VDD レールを UVLO_FALL スレッショルドよりも高く保持する必要があります。

8.3.2 VPWR

推奨される VPWR 電源電圧要件は 44V ～ 57V です。公称 48V または 54V 出力の電源は、タイプ 1 とタイプ 2 の両方の PD 要件に対応できます。VPWR 電源から必要な出力電流は、システムに必要なポートの数とタイプによって異なります。TPS2388 はタイプ 1 とタイプ 2 のポート用に構成でき、電流制限はそれに比例して設定されます。I_{CUT} はプログラム可能であり、たとえばタイプ 1 ポートの場合は 380mA (±5%)、タイプ 2 ポートの場合は 640mA (±5%) に設定できます。サポートするポートの数と種類に応じて、VPWR 電源の容量を適切に設定してください。たとえば、VPWR 電源の定格は、8 つのタイプ 1 ポートの場合は 3.2A 以上、8 つのタイプ 2 ポートの場合は 5.5A 以上である必要があります (最大ポート電流とスタンバイ電流を想定した場合)。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

8.4.1.1 ポート電流のケルビン センシング

KSENSA は SEN1 と SEN2 で共有、KSENSB は SEN3 と SEN4 で共有、KSENSC は SEN5 と SEN6 で共有、KSENSD は SEN7 と SEN8 で共有されます。測定精度を最適化するには、PCB の配線抵抗の影響を最小限に抑えるため、PCB レイアウトを慎重に行う必要があります。例として、を参照してください。

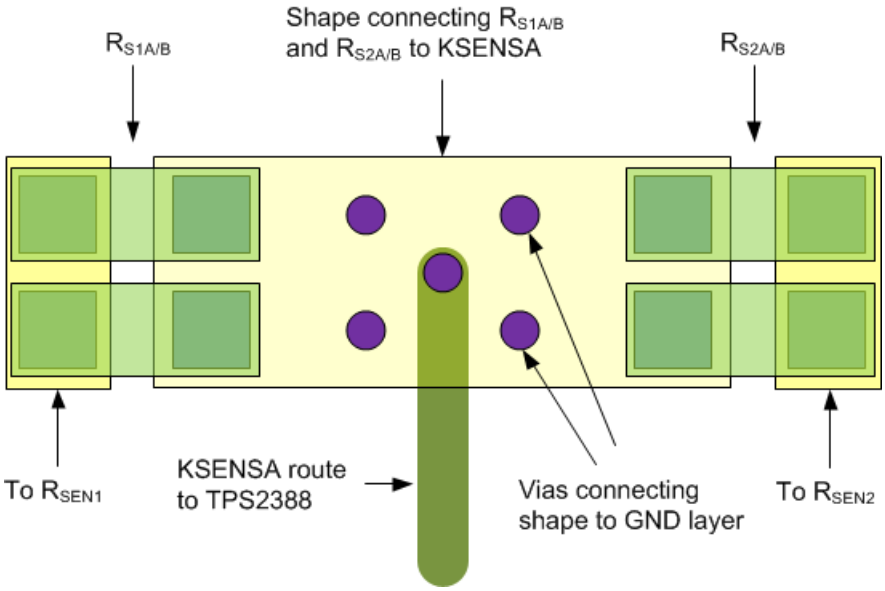


図 8-28. ケルビン検出のレイアウト例

8.4.2 レイアウト例

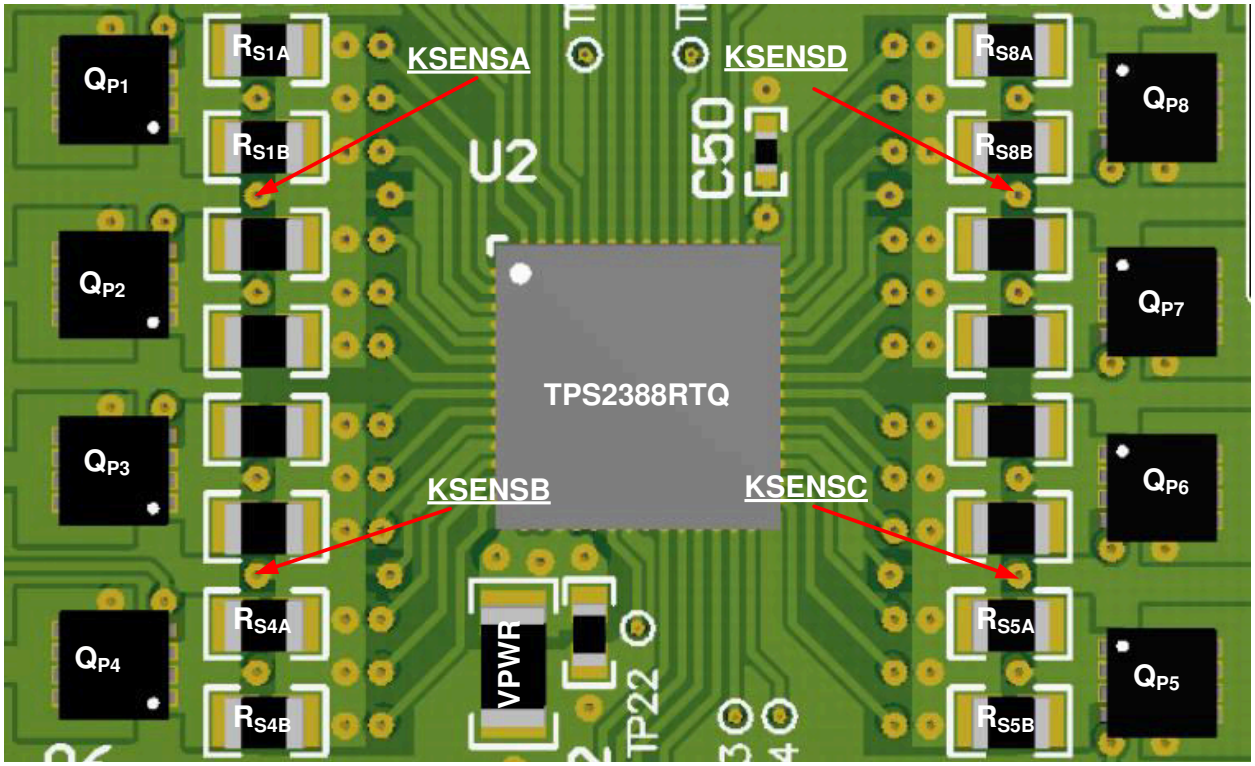


図 8-29. 8 ポートのレイアウト例 (上面)

8.4.2.1 部品の配置と配線のガイドライン

8.4.2.1.1 電源ピンのバイパス コンデンサ

- **C_{VPWR}**:ピン 17 (VPWR) の近くに配置し、図 8-29 に従って、低インダクタンスのパターンおよびビアで接続します。
- **C_{VDD}**:ピン 43 (VDD) の近くに配置し、図 8-29 に従って、低インダクタンスのパターンおよびビアで接続します

8.4.2.1.2 ポートごとの部品

- **R_{SnA}/R_{SnB}**:KSENSEA/B/C/D とのクリーンなケルビン接続を容易にするように、に従って配置します。
- **Q_{Pn}**:図 8-29 に示すように、TPS2388 の周囲に Q_{Pn} を配置します。Q_{Pn} のドレインから Fpn_{Pn} までの間に十分な銅領域を確保します。
- **F_{Pn}、C_{Pn}、D_{PnA}、D_{PnB}**:この回路グループは、RJ45 ポート コネクタ (または、図 8-29 に示すようなドーター ボード タイプのインターフェイスを使用する場合はポート電源インターフェイス) の近くに配置します。この回路グループは、低インダクタンスのパターンを使用して Q_{Pn} ドレインまたは GND (TPS2388-AGND) に接続します。

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (August 2017) to Revision B (October 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• I^2C 双方向機能を SDAI/SDAO に追加	3
• I^2C 双方向機能を SDAI/SDAO に追加	4
• 電源オン シーケンスの要件の注記を追加	72

Changes from Revision * (February 2015) to Revision A (August 2017)	Page
• データシートの最初の公開リリース	1

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2388RTQR	Active	Production	QFN (RTQ) | 56	2000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-3-260C-168 HR	-40 to 125	TPS2388RTQ
TPS2388RTQR.A	Active	Production	QFN (RTQ) | 56	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TPS2388RTQ
TPS2388RTQRG4	Active	Production	QFN (RTQ) | 56	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TPS2388RTQ
TPS2388RTQRG4.A	Active	Production	QFN (RTQ) | 56	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TPS2388RTQ
TPS2388RTQT	Active	Production	QFN (RTQ) | 56	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TPS2388RTQ
TPS2388RTQT.A	Active	Production	QFN (RTQ) | 56	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TPS2388RTQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

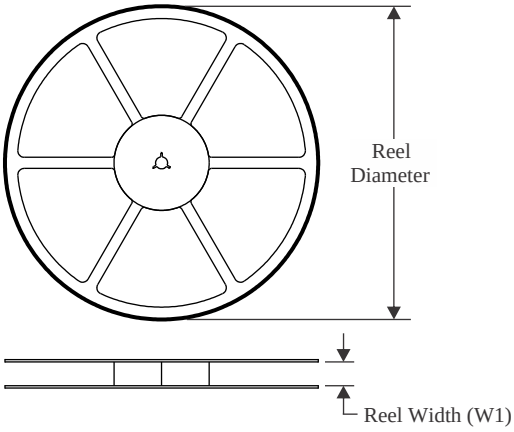
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

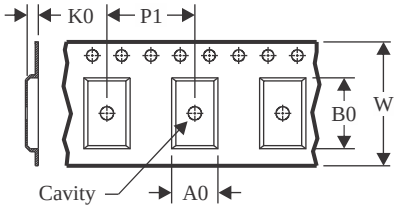
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

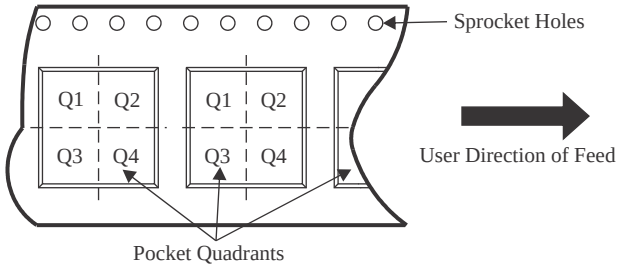


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

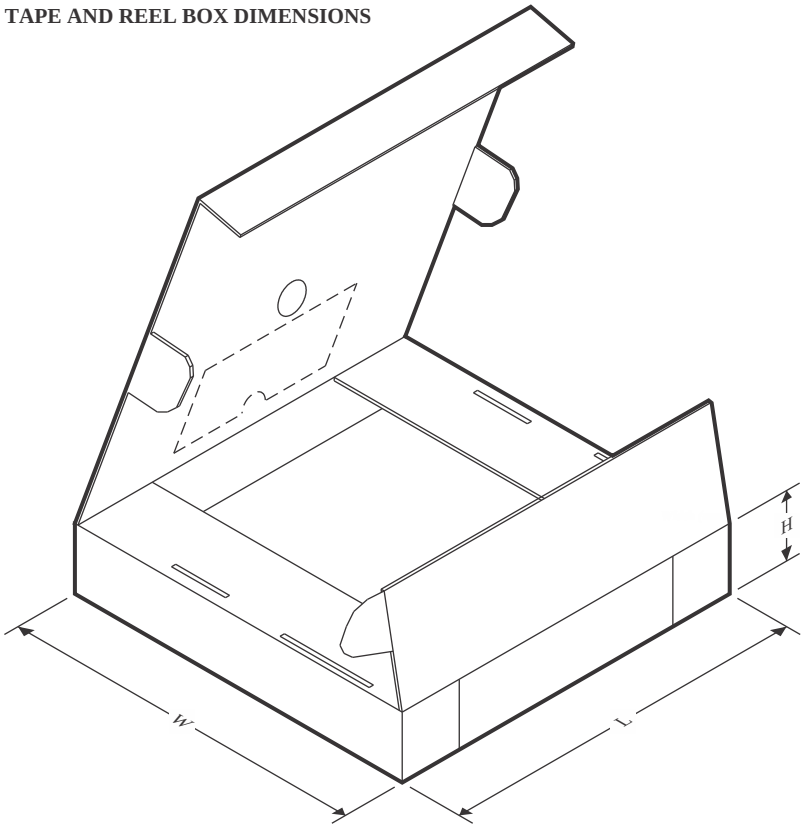
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2388RTQR	QFN	RTQ	56	2000	330.0	16.4	8.3	8.3	1.1	12.0	16.0	Q2
TPS2388RTQRG4	QFN	RTQ	56	2000	330.0	16.4	8.3	8.3	1.1	12.0	16.0	Q2
TPS2388RTQT	QFN	RTQ	56	250	180.0	16.4	8.3	8.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2388RTQR	QFN	RTQ	56	2000	367.0	367.0	38.0
TPS2388RTQRG4	QFN	RTQ	56	2000	367.0	367.0	38.0
TPS2388RTQT	QFN	RTQ	56	250	210.0	185.0	35.0

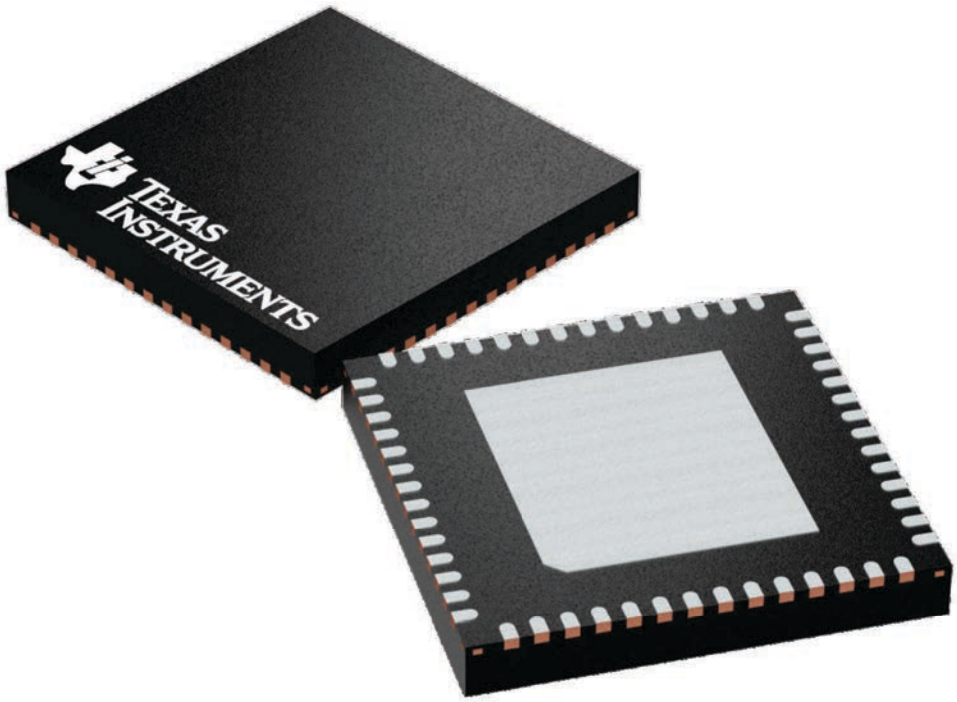
GENERIC PACKAGE VIEW

RTQ 56

VQFN - 1 mm max height

8 x 8, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

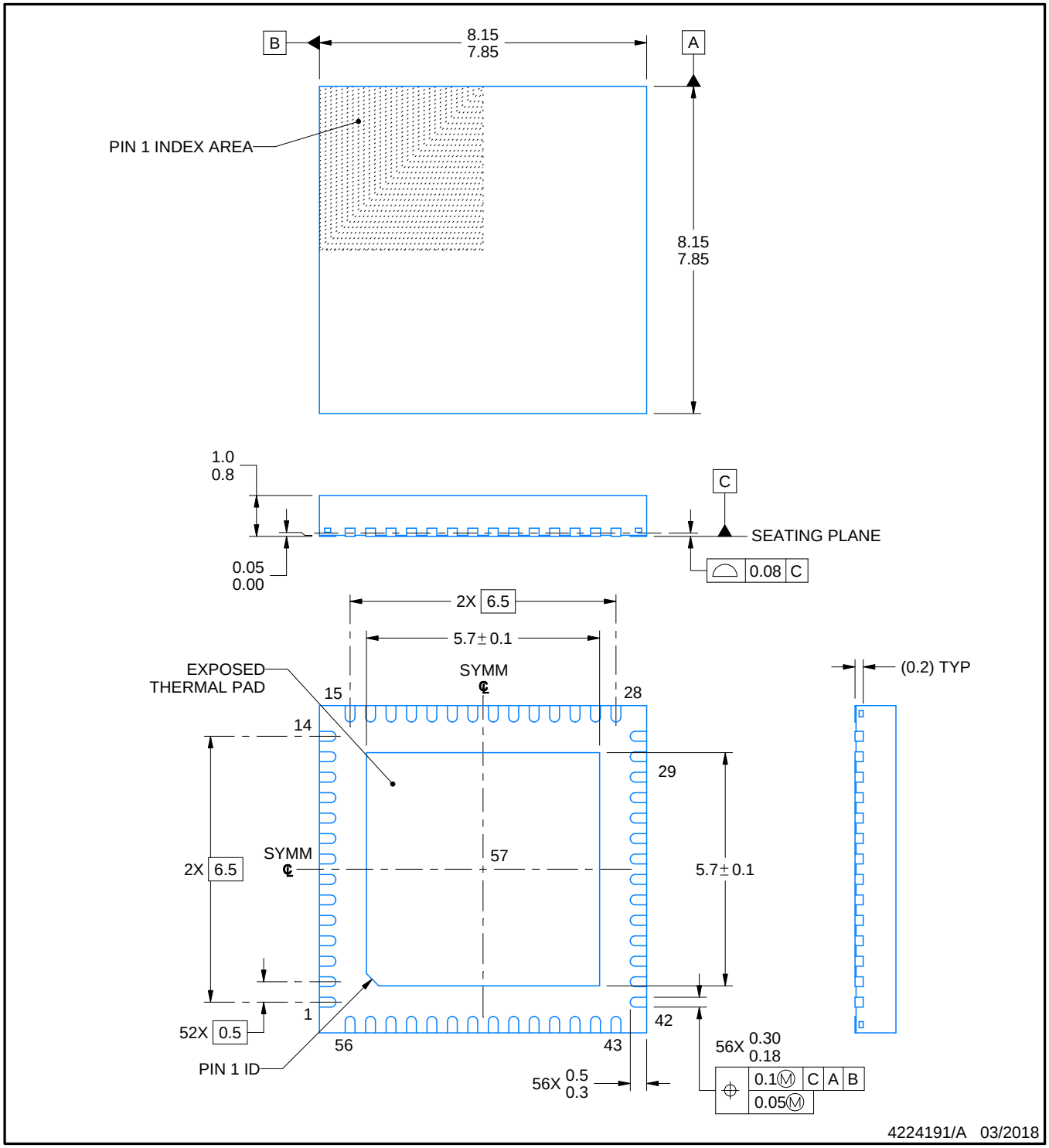
4224653/A

RTQ0056E

PACKAGE OUTLINE

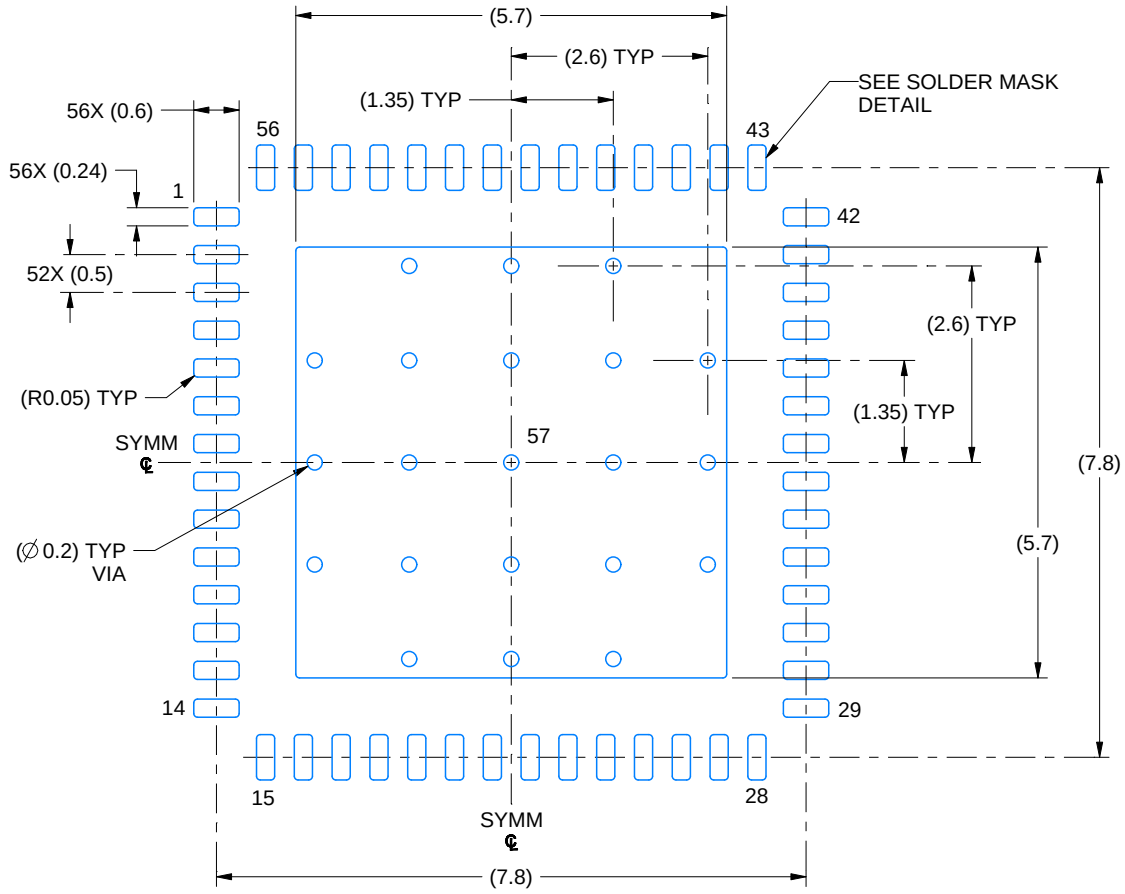
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

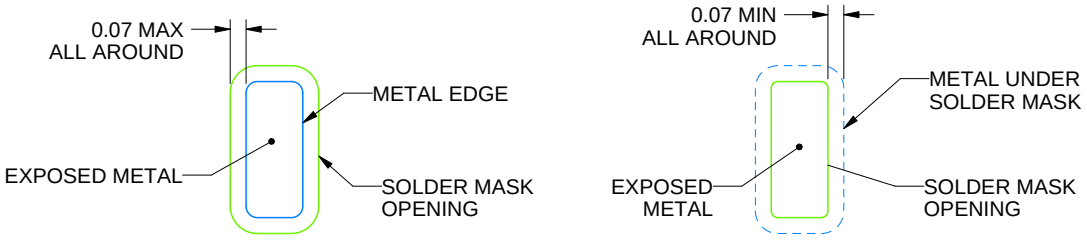


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

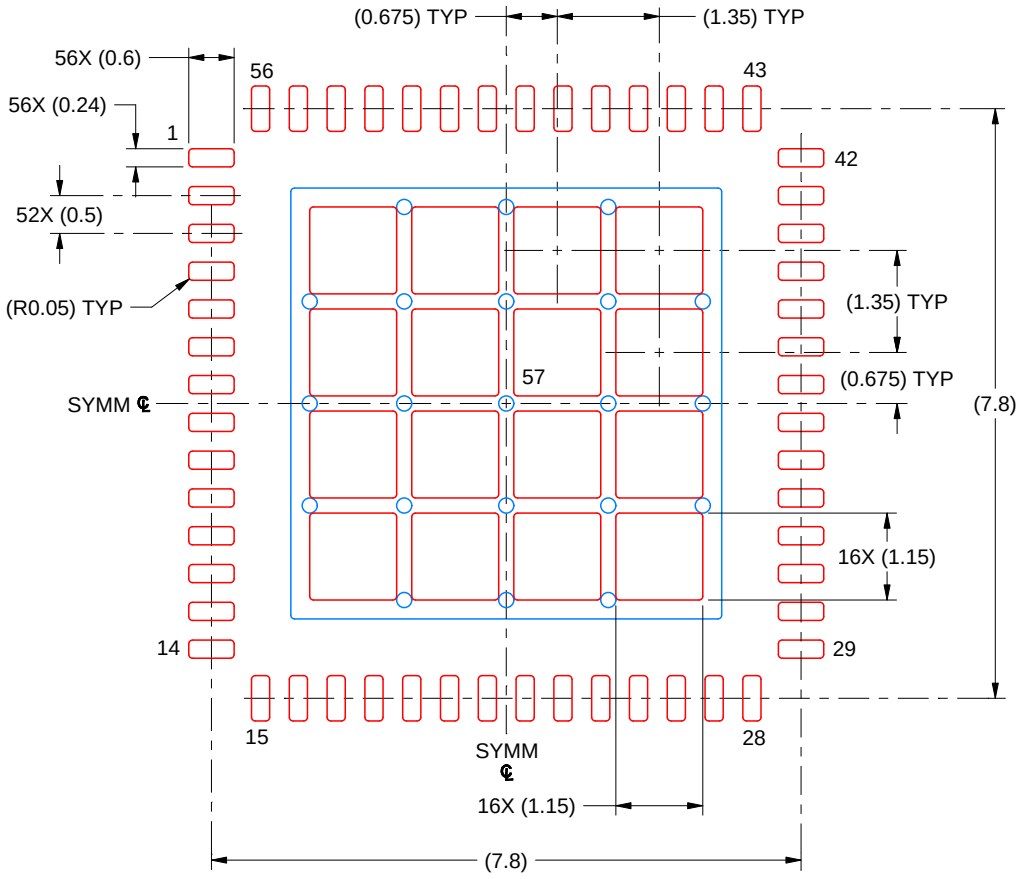


SOLDER MASK DETAILS

4224191/A 03/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 10X

EXPOSED PAD 57
65% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4224191/A 03/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月