



静電気放電対策

これらのデバイスは、限定的な ESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOS ゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

絶対最大定格 (注1を参照)

	TPS2390/1	単 位
Input voltage range, all pins except RTN, EN, $\overline{\text{FAULT}}^{(2)}$	-0.3 V ~ 15	V
Input voltage range, RTN ⁽²⁾	-0.3 V ~ 100	V
Input voltage range, EN ⁽²⁾⁽³⁾	-0.3 V ~ 100	V
Output voltage range, $\overline{\text{FAULT}}^{(2)(4)}$	-0.3 V ~ 100	V
Continuous output current, $\overline{\text{FAULT}}$	10	mA
Continuous total power dissipation	see Dissipation Rating Table	
Operating junction temperature range, T_J	-55°C ~ 125°C	°C
Storage temperature range, T_{stg}	-65°C ~ 150°C	°C
Lead temperature soldering 1,6 mm (1/16 inch) from case for 10 seconds	260°C	°C

注1：絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

2：特に指定のない限り、すべての電圧値は-VINを基準にしています。

3：100kΩの最小入力直列抵抗を使用した場合、低インピーダンスで-0.3V~15Vです。

4：10kΩの最小直列抵抗を使用した場合、低インピーダンスで-0.3V~80Vです。

静電放電 (ESD) 保護

	MIN	単 位
Human Body Model (HBM)	1.5	kV
Charged Device Model (CDM)	1.5	kV

推奨動作条件†

	MIN	NOM	MAX	単 位
Nominal input supply, -VIN to RTN	-80		-36	V
Operating junction temperature range	-40		85	°C

† 特に指定のない限り、すべての電圧値は-VINを基準にしています。

定格消費電力

パッケージ	$T_A < 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ\text{C}$	$T_A = 85^\circ\text{C}$ POWER RATING
MSOP-8	420 mW	4.3 mW/°C	160 mW

供給オプション

OPERATING T_A	FAULT OPERATION	PACKAGED DEVICES MSOP (DGK)
40°C ~ 85°C	Latch off	TPS2390DGK
	Periodically retry	TPS2391DGK

電気的特性

$V_{I(-VIN)} = -48V$ (RTNを基準)、 $V_{I(EN)} = 2.8V$ 、 $V_{I(ISENS)} = 0$ 、すべての出力が無負荷、 $T_A = -40^{\circ}C \sim 85^{\circ}C$
(特に指定のない限り)⁽¹⁾⁽²⁾

入力電源

パラメータ	テスト条件	MIN	TYP	MAX	単位
I_{CC1} Supply current, RTN	$V_{I(RTN)} = 48V$		700	1000	μA
I_{CC2} Supply current, RTN	$V_{I(RTN)} = 80V$		1000	1500	μA
V_{UVLO_L} UVLO threshold, input voltage rising	To GATE pull-up, referenced to RTN	-36	-30	-25	V
V_{HYS} UVLO hysteresis		1.8	2.3	3.0	V

イネーブル入力 (EN)

パラメータ	テスト条件	MIN	TYP	MAX	単位
V_{TH} Threshold voltage, input voltage rising	To GATE pull-up	1.3	1.4	1.5	V
V_{HYS_EN} EN hysteresis		30	60	90	mV
I_{IH} High-level input current	$V_{I(EN)} = 5V$	-2	1	2	μA

線形電流増幅器 (LCA)

パラメータ	テスト条件	MIN	TYP	MAX	単位
V_{OH} High-level output, GATE	$V_{I(ISENS)} = 0V$	11	14	17	V
I_{SINK} Output sink current	$V_{I(ISENS)} = 80mV$, $V_{O(GATE)} = 5V$, Fault mode	50	100		mA
I_I Input current, ISENS	$0V < V_{I(ISENS)} < 0.2V$	-1		1	μA
V_{REF_K} Reference clamp voltage	$V_{O(IRAMP)} = open$	33	40	46	mV
V_{IO} Input offset voltage	$V_{O(IRAMP)} = 2V$	-7		6	mV

ランプ・ジェネレータ

パラメータ	テスト条件	MIN	TYP	MAX	単位
I_{SRC1} IRAMP source current, slow turn-on rate	$V_{O(IRAMP)} = 0.25V$	-850	-600	-400	nA
I_{SRC2} IRAMP source current, normal rate	$V_{O(IRAMP)} = 1V, 3V$	-11	-10	-9	μA
V_{OL} Low-level output voltage	$V_{I(EN)} = 0V$			2	mV
A_V Voltage gain, relative to ISENS	$V_{O(IRAMP)} = 1V, 3V$	9.5	10.0	10.5	mV/V

過負荷コンパレータ

パラメータ	テスト条件	MIN	TYP	MAX	単位
V_{TH_OL} Current overload threshold, ISENS		80	100	120	mV
t_{DLY} Glitch filter delay time	$V_{I(ISENS)} = 200mV$	2	4	7	μs

障害タイマ

パラメータ	テスト条件	MIN	TYP	MAX	単位
V_{OL} Low-level output voltage	$V_{I(EN)} = 0V$			5	mV
I_{CHG} Charging current, current limit mode	$V_{I(ISENS)} = 80mV$, $V_{O(FLTTIME)} = 2V$	-55	-50	-45	μA
V_{FLT} Fault threshold voltage		3.75	4.00	4.25	V
I_{DSG} Discharge current, retry mode	TPS2391 $V_{I(ISENS)} = 80mV$, $V_{O(FLTTIME)} = 2V$		0.38	0.75	μA
D Output duty cycle	TPS2391		1	1.5	%
I_{RST} Discharge current, timer reset mode	$V_{O(FLTTIME)} = 2V$, $V_{I(ISENS)} = 0V$		1		mA

注1：特に指定のない限り、すべての電圧値は-VIN端子を基準にしています。

2：電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

電気的特性

$V_{I(-VIN)} = -48V$ (RTNを基準)、 $V_{I(EN)} = 2.8V$ 、 $V_{I(ISENS)} = 0$ 、すべての出力が無負荷、 $T_A = -40^{\circ}C \sim 85^{\circ}C$
(特に指定のない限り) ⁽¹⁾⁽²⁾

FAULT出力

パラメータ		テスト条件	MIN	TYP	MAX	単 位
I_{OH}	High-level output (leakage) current	$V_{I(EN)} = 0V$, $V_{O(FAULT)} = 65V$			10	μA
$R_{DS(ON)}$	Driver ON resistance	$V_{I(ISENS)} = 80mV$, $V_{O(FLTTIME)} = 5V$, $I_{O(FAULT)} = 1mA$		35	60	Ω

注1：特に指定のない限り、すべての電圧値は-VIN端子を基準にしています。
2：電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。

端子機能

TERMINAL		I/O	説明
名 称	番 号		
EN	2	I	負荷への電源をオンまたはオフにするイネーブル入力
FAULT	1	O	アクティブ・ローで負荷障害状態を示すオープン・ドレイン出力
FLTTIME	3	I/O	障害タイムアウト期間のユーザ・プログラミング用端子
GATE	7	O	外部NチャネルFETのゲート駆動
IRAMP	4	I/O	突入電流スルー・レートを設定するプログラミング入力
ISENS	6	I	電流センス入力
RTN	8	I	TPS2390およびTPS2391の正電源入力
-VIN	5	I	TPS2390およびTPS2391の負電源入力およびリファレンス・ピン

ピンの詳細説明

EN：負荷への電源をオンまたはオフにするイネーブル入力です。ENピンは、回路の-VIN電位を基準としています。この入力が“High”になる（公称1.4Vのスレッシュホールドを超える）と、GATE出力がイネーブルになり、負荷への電流が上昇を開始します。この入力が“Low”になると、線形電流増幅器（LCA）がディセーブルになり、FETゲートに大きなプルダウン素子が接続されて、負荷への電力がディセーブルになります。

FAULT：アクティブ・ローで負荷障害状態を示すオープン・ドレイン出力です。デバイスのENがデアサートされた場合、またはイネーブル時に負荷電流がプログラミングされた制限値を下回った場合には、この出力がハイ・インピーダンスになります。障害タイマの満了時にデバイスが電流レギュレーション・モードに保持されている場合、または、高速動作過負荷状態によりセンス抵抗で100mV以上の電圧降下が生じた場合には、障害がラッチされ、負荷がオフになり、**FAULT**ピンは“Low”（-VIN）になります。TPS2390は、障害に対して引き続きラッチ・オフ状態となり、ENピンまたはデバイス電源のサイクル動作によってリセットできます。TPS2391は、約1%のデューティ・サイクルで負荷をリトライします。

FLTTIME：障害タイムアウト期間のユーザ・プログラミング用接続端子です。FLTTIMEと-VINの間に外部コンデンサを接続することで、障害状態と見なすまでのタイムアウト期間を設定します。このタイムアウトにより、障害の発生した負荷に無限の電流が流れ込むのを防ぐとともに、瞬間的な電流スパイクやサージによって過電流保護機能が不必要に動作するのを防止できます。TPS2390およびTPS2391では、ISENSピンの電圧が40mVの障害スレッシュホールド以上になった状態を、障害状態と定義しています。障害状態が発生すると、タイマが作動します。デバイスは、外部コンデンサを4Vの障害スレッシュホールドまで充電してから、それを放電してタイマをリセットするか（TPS2390）、または充電レートの約1%で放電して負荷のリトライ用デューティ・サイクルを確立する（TPS2391）ことにより、障害のタイミングを管理します。内部障害ラッチがセットされる（タイマが満了する）と、パスFETが直ちにオフになり、**FAULT**出力がアサートされます。

GATE：外部NチャネルFETのゲート駆動です。イネーブル状態で、入力電源がUVLOスレッショールドを上回っている場合、ゲート駆動がイネーブルになり、デバイスはIRAMPピンに接続された外部コンデンサの充電を開始します。このピン電圧は、内部LCAの非反転入力のリファレンス電圧を確立するために使用されます。反転入力は、電流センス・ノードISENSに接続されています。LCAは、パスFETゲートを上昇させて、ISENS電圧をリファレンスに追従させます。リファレンスは内部で40mVにクランプされるため、負荷に流れ込む最大電流はセンス抵抗値によって決定され、 $IMAX \leq 40 \text{ mV}/R_{SENSE}$ となります。負荷電圧が入力DC電位まで上昇し、電流需要が低下すると、LCAはGATE出力を約14Vまで駆動してパスFETを完全にエンハンスし、負荷に対する低インピーダンスの電源リターン・パスを完結させます。

IRAMP：突入電流スルー・レートを設定するプログラミング入力です。このピンと-VINの間に外部コンデンサを接続することで、負荷への電力がイネーブルになっている場合に、負荷電流のスルー・レートを設定できます。デバイスはこの外部コンデンサを充電してLCAへのリファレンス入力を確立します。LCAおよびパスFETの閉ループ制御により、ISENSの電流センス電圧がリファレンス電位に維持されます。センス電圧は抵抗における電圧降下として確立されるため、充電電流の上昇率はIRAMPピンの電圧上昇率によって設定されます。EN入力または負荷障害によって出力がディスエーブルになると、コンデンサは放電され、次のオンに備えた初期化のために“Low”に保持されます。

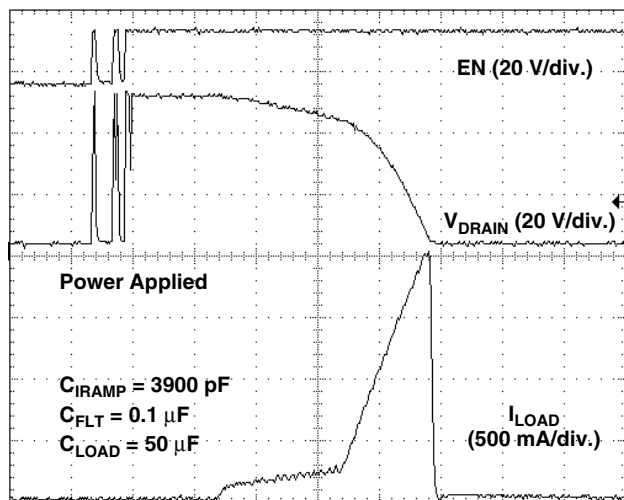
ISENS：電流センス入力です。このピンと-VINの間に小さな外部抵抗を接続することで、TPS2390/91に対して電流の大きさ情報がフィードバックされます。ISENSピンの電圧には、2つの内部スレッショールドが関連付けられています。負荷の入力容量の充電中、その他需要が過大な期間中には、この電圧がHSPMによって40mVに制限されます。LCAが電流レギュレーション・モードのときは、FLTTIMEのコンデンサが充電されてタイマが動作します。LCAがその電源レールを駆動中に、短絡などの高速動作障害によってISENS電圧が100mV(過負荷スレッショールド)を超えた場合、GATEピンが直ちに“Low”になり、障害タイマはバイパスされます。

RTN：TPS2390/91の正電源入力です。負電圧システムでは、この電源ピンは入力電源バスのリターン・ノードに直接接続されます。内部レギュレータによって入力電圧が降圧されて、TPS2390およびTPS2391で使用される各種の電源レベルが生成されます。

-VIN：TPS2390/91の負電源入力およびリファレンス・ピンです。このピンは、入力電源の負レールに直接接続されます。入力ピン、出力ピン、およびすべての内部回路はこのピンを基準としているため、このピンは実質的にデバイスのGNDまたはVSSピンとして機能します。

代表的特性

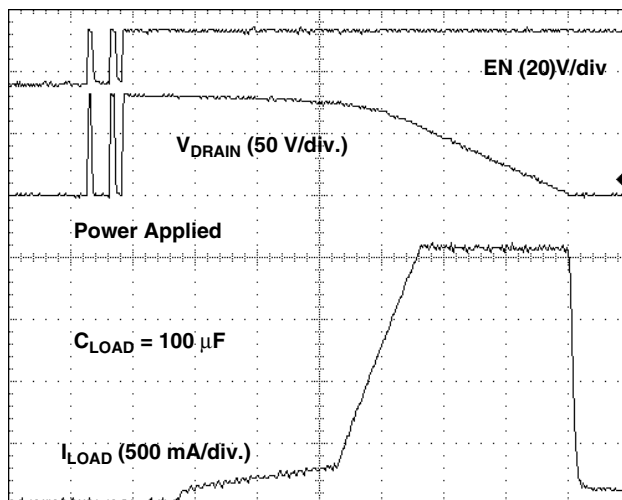
LIVE INSERTION EVENT
VIN = -48 V



t - Time - 1 ms/div

図1

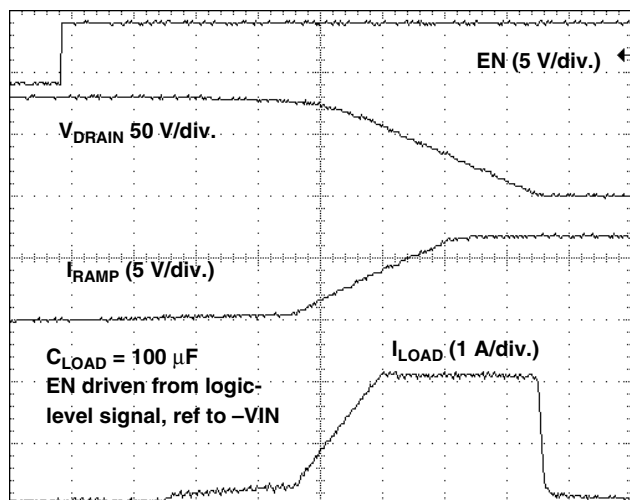
LIVE INSERTION EVENT
VIN = -80 V



t - Time - 1 ms/div

図2

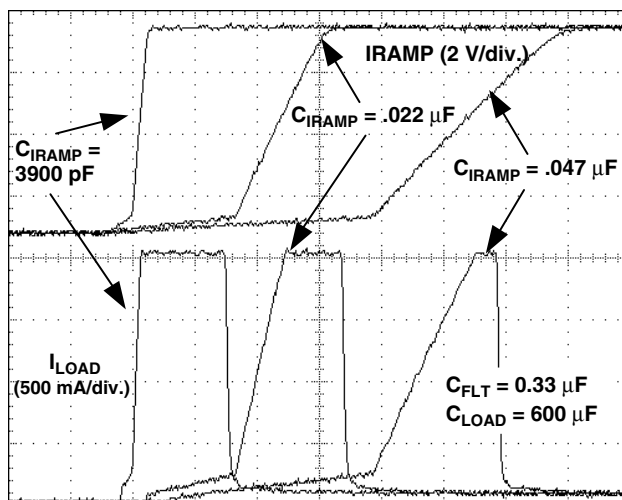
START-UP FROM ENABLE ASSERTION



t - Time - 1 ms/div

図3

LOAD CURRENT RAMP PROFILES

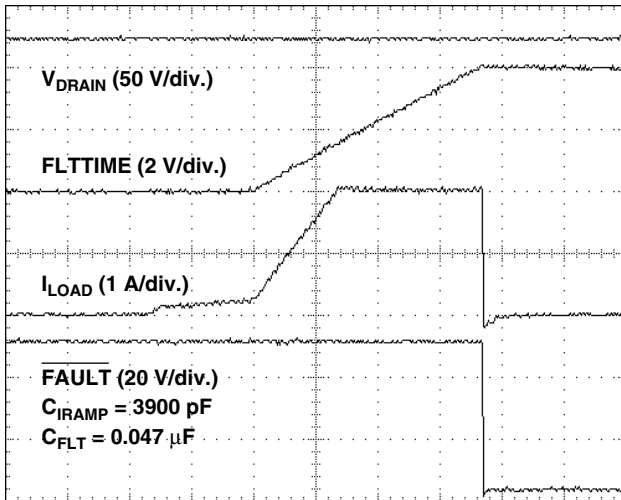


t - Time - 10 ms/div

図4

代表的特性

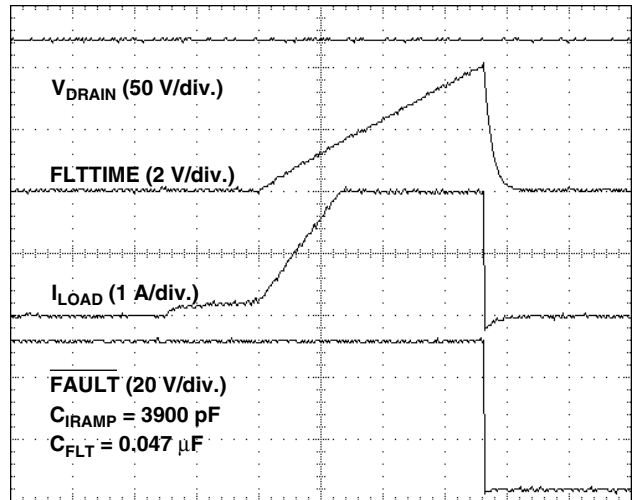
TURN-ON INTO SHORTED LOAD
(TPS2391)



t – Time – 1 ms/div

図5

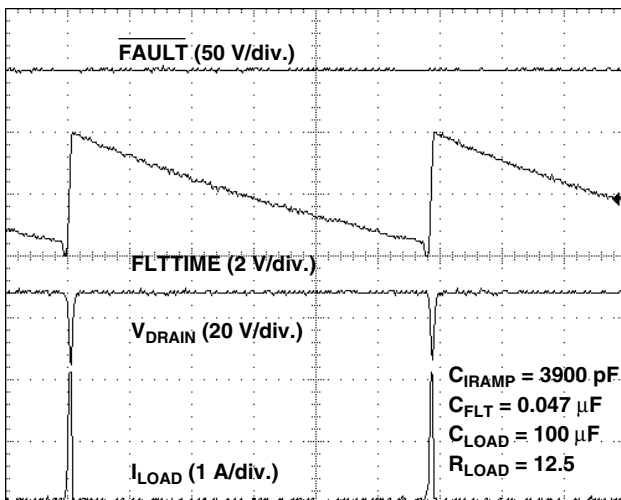
TURN-ON INTO SHORTED LOAD
(TPS2390)



t – Time – 1 ms/div

図6

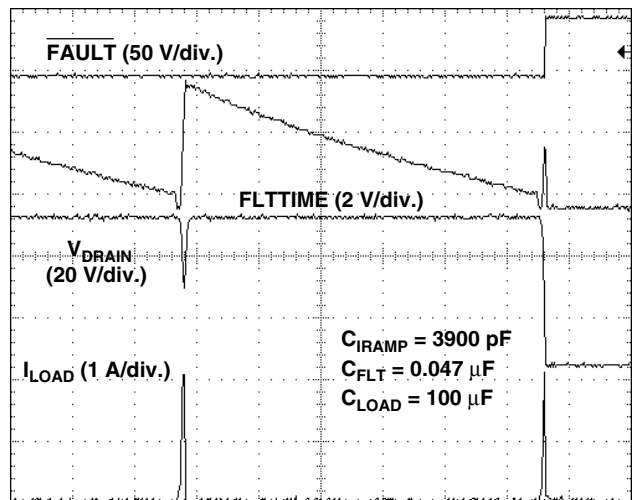
FAULT RETRY OPERATION
(TPS2391)



t – Time – 50 ms/div

図7

RECOVERY FROM A FAULT LARGE SCALE VIEW
(TPS2391)



t – Time – 50 ms/div

図8

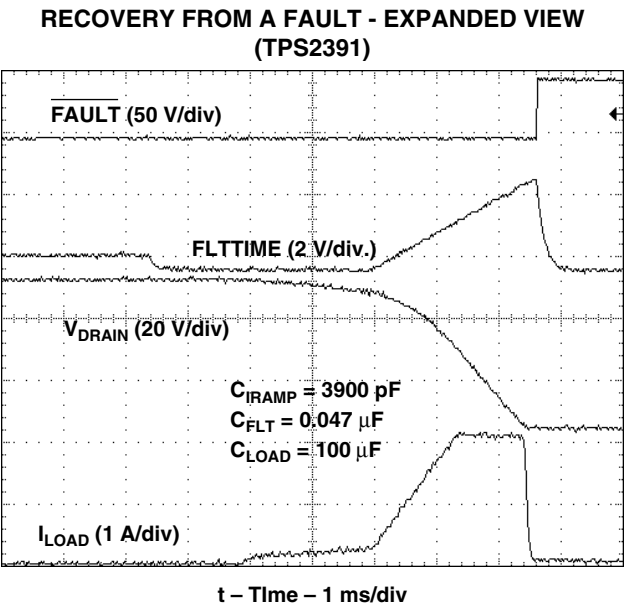


図9

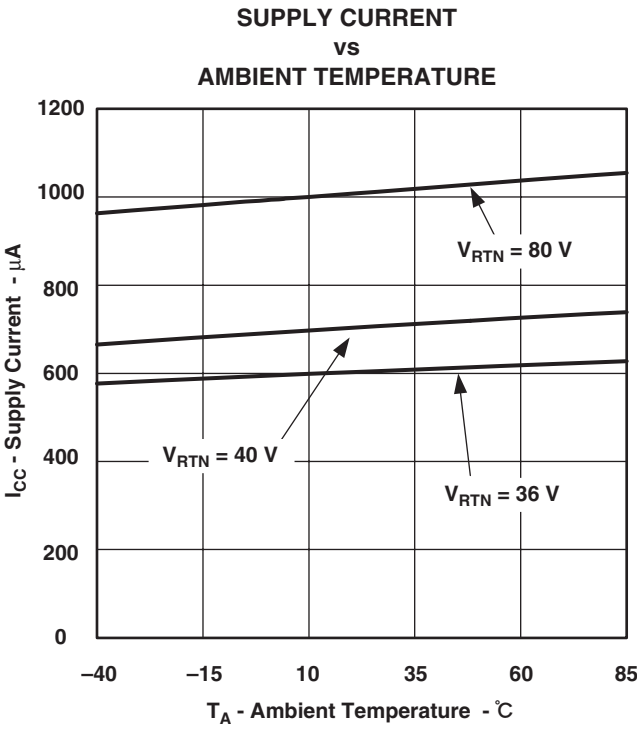


図10

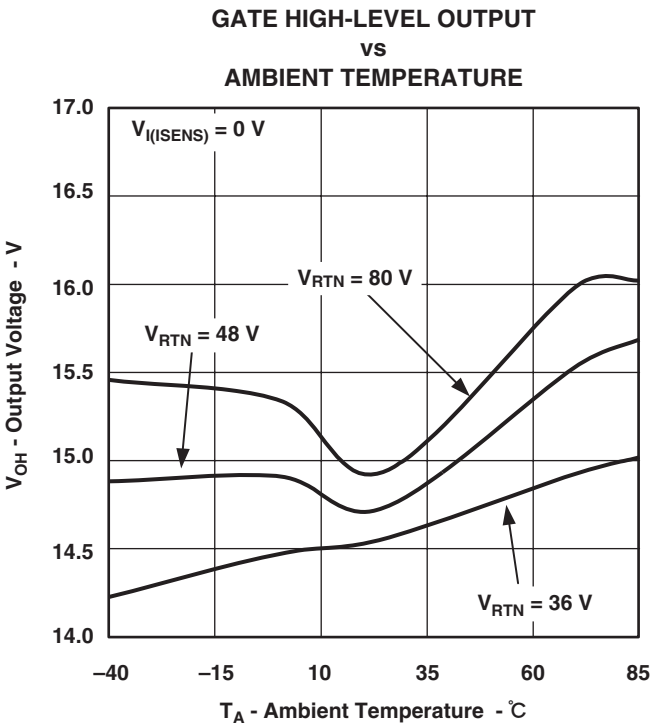


図11

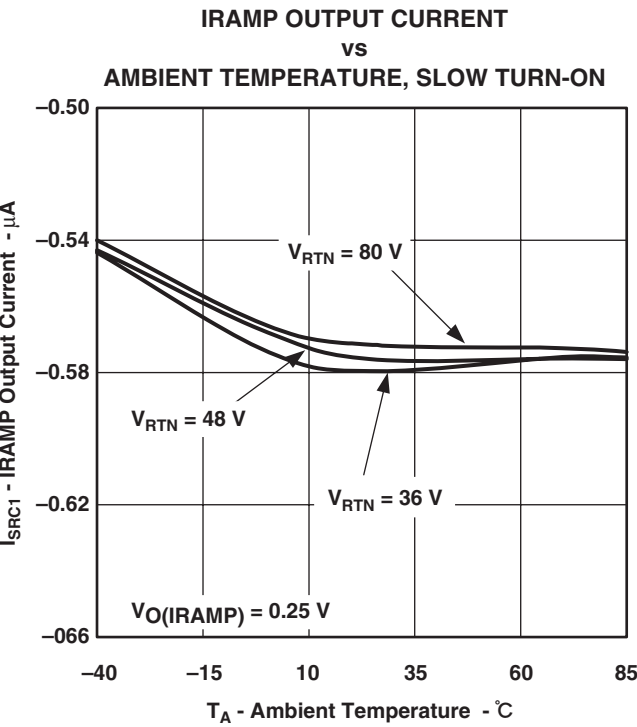


図12

代表的特性

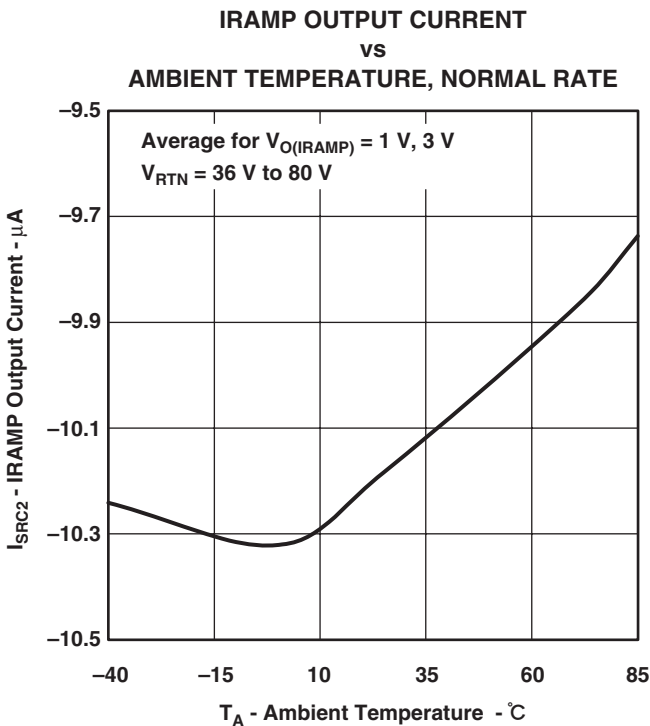


图13

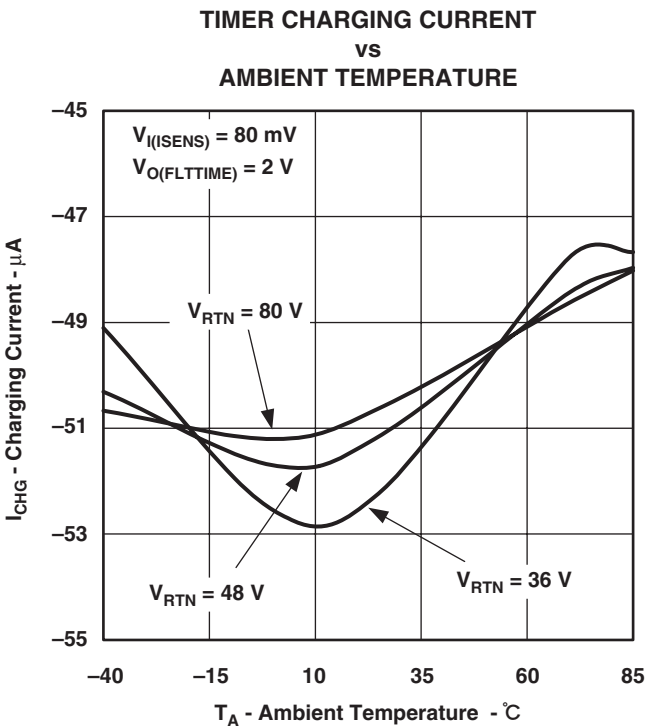


图14

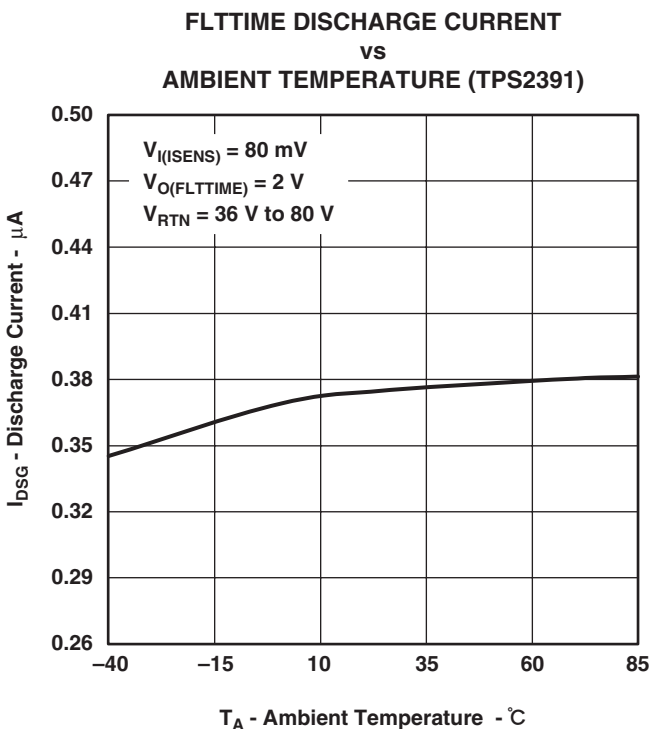


图15

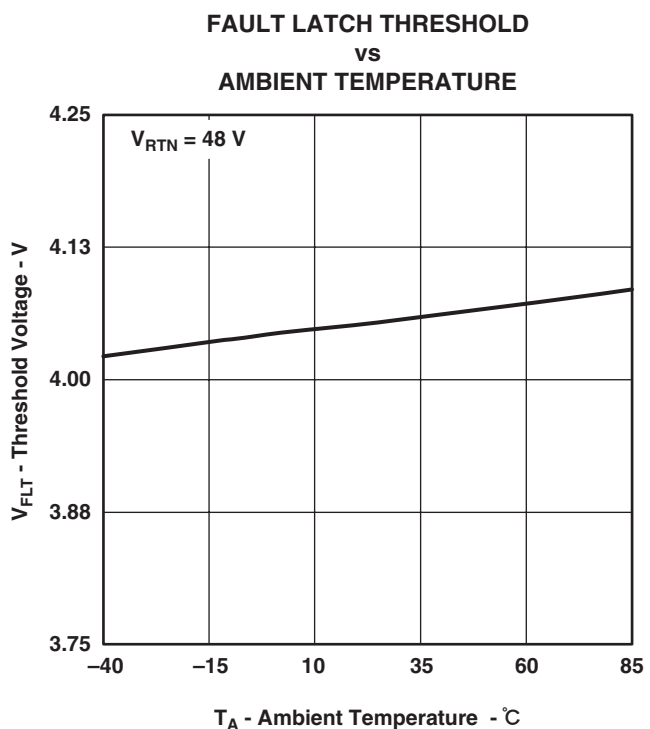


图16

アプリケーション情報

電源オン状態のシャーシ・スロットにプラグイン・モジュールまたはプリント基板カードを挿入すると、基板上の電源バルク容量の放電によって、システム電源から非常に大きな過渡電流が流れる可能性があります。何らかの形で突入制限を設けなければ、特に高電圧システムでは、これらの電流のピークが数百アンペアにも達する場合があります。そのように大きな過渡電流は、コネクタ・ピン、PCBのエッチング、プラグイン部品、電源部品などの破損につながります。また、電流スパイクによって配電バス上の電圧が低下し、システム内の他の基板がリセットされる場合もあります。

TPS2390およびTPS2391は、そのようなピークを設定されたレベルに制限し、充電電流が上昇するスルー・レート (di/dt) もプログラミングされた制限値に制御するよう設計された、ホット・スワップ電源マネージャです。外部のNチャネル・パスFETおよびセンス素子を使用して、負荷に流れる電流の閉ループ制御を行います。入力電源の低電圧ロックアウト (UVLO) 機能により、ホット・スワップ回路は電源の印加時に自動的にオンになるか、またはEN入力を介したシステム・コマンドによって制御できます。外部コンデンサにより、電流の上昇率と、負荷電圧上昇のタイムアウト期間を制御できます。また、内部の過負荷コンパレータにより、カードの定常状態 (電源オン後) 動作で短絡が発生した場合に回路遮断保護を実現します。

TPS2390およびTPS2391は、入力電源 (公称-48VDCレール) から直接動作します。-VINピンは負電圧レールに接続され、RTNピンは電源リターンに接続されます。入力電力は、内部レギュレータによってデバイス回路に必要な電源レベルに変換されます。入力UVLO回路により、電源電圧が公称30Vのレベルに達するまで、GATE出力は“Low”に維持されます。もう1つのコンパレータで、EN入力を監視します。負荷への電力供給をオンにするには、このピンが1.4Vのイネーブル・スレッシュホールドを上回る必要があります。

イネーブル状態になり、入力電源がUVLOスレッシュホールドを上回ると、GATEのプルダウンが解除され、線形制御増幅器 (LCA) がイネーブルになり、ランプ制御ブロック内の大き

な放電素子がオフになります。それ以降は、小さな電流源によって、IRAMPピンに接続された外部コンデンサを充電できるようになります。その結果、IRAMPでの電圧上昇は線形になります。実際には、コンデンサでの電圧上昇は2つの異なる傾きで構成されます。図17に示されるように、充電電流は2つの電流源のいずれかから供給されます。最初のオン時には、600nAの電流源が選択され、緩い上昇率となります。この緩い上昇によって、LCAは飽和状態を脱し、通常の上昇率での負荷充電が開始される前に非反転入力電圧まで上昇できます。このメカニズムにより、オン時の電流ステップが低減されます。IRAMPピンの電圧が約0.5Vに達すると、内部コンパレータによりSLOW信号がデアサートされ、残りの上昇期間に対しては10 μ A電流源が選択されます。

IRAMPの電圧は1/100に分圧され、LCAの非反転入力に印加されます。反転入力には、ISENSピンの負荷電流値情報が供給されます。この電圧は、ISENSと-VINの間に電流センス抵抗を接続することで確立されます。LCAは、外部パスFETのゲートを上昇させて、ISENSの電圧を分圧されたIRAMP電圧に追従させます。その結果、負荷電流のスルー・レートはIRAMPピンの線形電圧上昇に追従し、負荷電流の di/dt が線形になります。IRAMPコンデンサは約6.5Vまで充電されますが、LCAの入力は40mVにクランプされます。したがって、オン時に負荷に流れ込む電流は、 $IMAX \leq 40mV/R_{SENSE}$ で与えられる値に制限されます。ここで、 R_{SENSE} はセンス抵抗の値です。

その結果、コントローラでレギュレーションされた負荷電流によって、モジュールの入力バルク容量が安全に充電されます。通常の条件では、この容量は最終的にDC入力電位まで充電されます。この時点で、負荷の電流需要は減り、ISENSの電圧は低下します。それにより、LCAはGATE出力を電源レールまで駆動できるようになります。標準14Vの出力レベルにより、一般的なNチャネル・パワーFETの標準20VのVGS定格を超えることなく、外部FETを完全にエンハンスするために十分なオーバードライブが得られます。

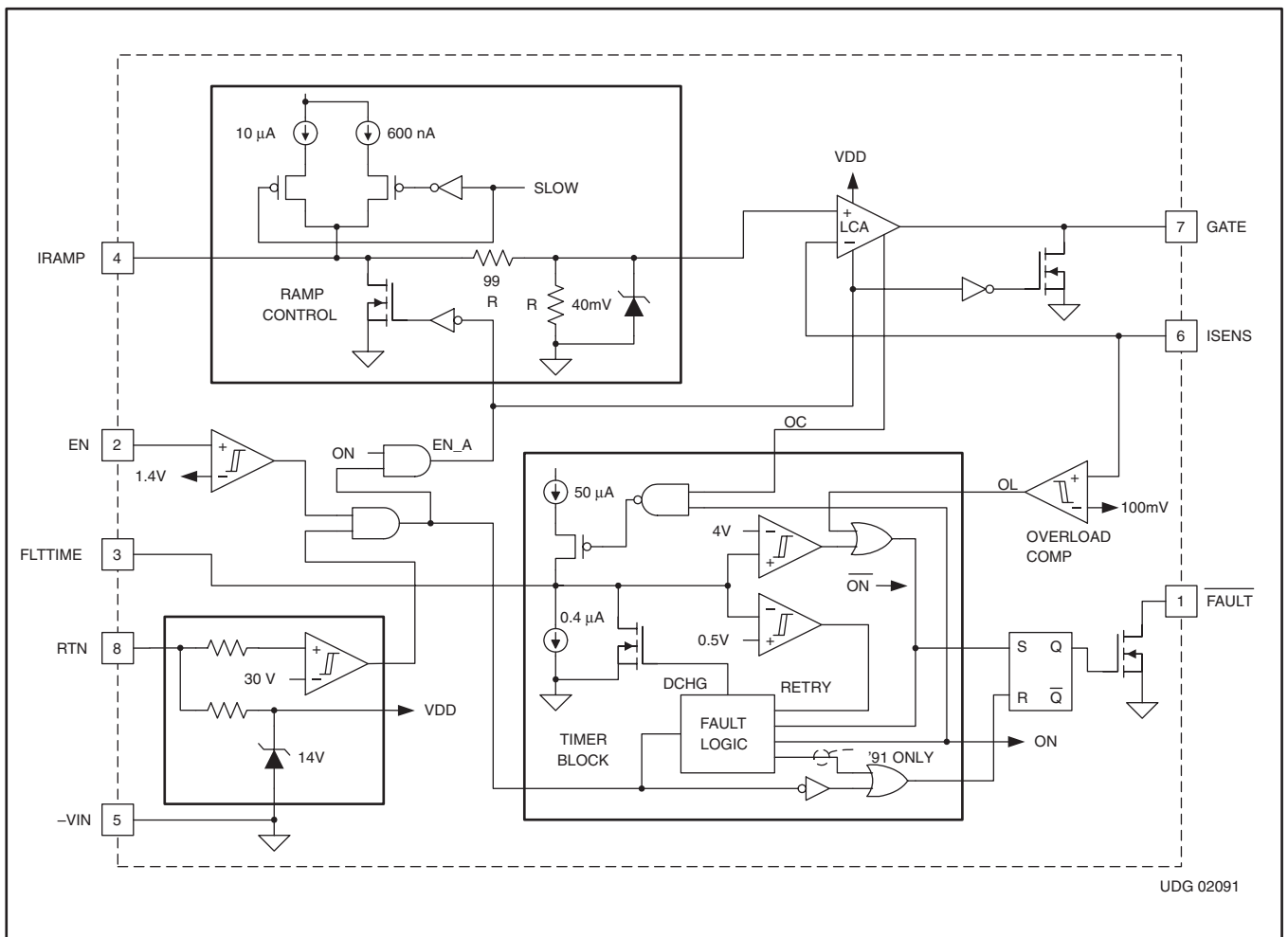


図17. ブロック図

FLTTIMEピンと-VINピンの間にコンデンサを接続することで障害タイマが実現され、ユーザがタイムアウト期間をプログラミングできます。ホット・スワップ・コントローラが前述の電流制御モードになると、LCAは過電流通知(図17のOC)をアサートします。IRAMP波形の低速上昇部分では、過電流障害タイマは禁止されます。ただし、デバイスが通常レートの電流上昇($V_O(\text{IRAMP}) \geq 0.5\text{V}$)に遷移すると、外部コンデンサが50 μA 電流源によって充電され、FLTTIMEピンの電圧が上昇します。この電圧が4Vの障害スレッシュホールドに達すると、障害がラッチされ、オープン・ドレイン・ドライバがオンになって外部FAULT出力をアサートします。障害コンデンサの充電

は停止し、コンデンサの放電が開始されます。また、障害状態のラッチにより、IRAMPコンデンサが急速に放電されます。このようにして、ソフトスタート機能がリセットされ、状況に応じて、次の出力イネーブルの準備が整います。

TPS2390は障害発生時にラッチ・オフします。障害タイムアウトが発生すると、放電信号(DCHG)によって大きなNMOS素子がオンとなり外部コンデンサを急速に放電させることで、以降のデバイス・リセット用にタイマがリセットされます。TPS2390は、デバイスのパワー・サイクルまたはEN入力のサイクルによってのみリセットできます。

アプリケーション情報

TPS2391は、障害状態がラッチされると障害リトライ・モードに入り、負荷を定期的にリトライして障害が引き続き存在するかどうかをテストします。このモードでは、FLTTIMEコンデンサは約0.4μAの定電流シンクによって緩やかに放電されます。FLTTIMEピンの電圧が0.5V未満に降下すると、LCAおよびランプ制御回路が再度イネーブルになり、通常のオン時の電流上昇が行われます。これによって再び、負荷の充電中に、次の遅延期間が経過するまでOC信号によりFLTTIMEコンデンサが充電されます。この連続的なFLTTIMEコンデンサの充電と放電により、標準で1%のリトライ・デューティ・サイクルが得られます。障害が解消される(GATEピンが“High”出力になる)と、タイミング・コンデンサが急速に放電され、デューティ・サイクル動作が停止し、障害ラッチがリセットされます。

最初の低速上昇期間ではタイミング動作が禁止されるため、実際のデューティ・サイクルは公称1%よりもわずかに大きくなります。ただし、この期間にソースされる電流のピークは、最大制限値の約1/8にすぎません。通常の上昇および定電流期間のデューティ・サイクルは、約1%です。

タイマ・ブロック内の障害ロジックにより、コンデンサの充電および放電レート(DCHG信号)と、GATE出力のイネーブル(ON信号)が自動的に管理されます。TPS2391の場合、リトライ・モード中はFAULT出力が連続的にアサート状態に維持され、障害状態が解消されるまで解除されません。

TPS2390およびTPS2391には、ISENS電圧を監視する過負荷コンパレータが含まれています。センス電圧に100mV以上が検出されると、障害がラッチされ、LCAはディスエーブルになり、FETゲートが直ちにブルダウンされて、障害タイマはバイパスされます。タイマ・ブロックによってOL信号に4μsのデグリッチ・フィルタが適用され、不要な保護動作を抑制します。過電流障害の場合と同様に、TPS2390は出力をラッチ・オフします。TPS2391の場合は、過負荷障害が発生するとタイマ・コンデンサが充電され、障害リトライ・タイミングが開始されます。

センス抵抗値の設定

内部LCAの電流制限動作により、実装における最大許容負荷電流は、適切なセンス抵抗値を選択することにより簡単にプログラミングできます。LCAは、センス電圧 V_I (ISENS)をその内部リファレンス電圧に制限します。IRAMPピンの電圧が約4Vを超えると、この制限はクランプ電圧 V_{REF_K} となります。したがって、最大センス抵抗値は式(1)から計算できます。

$$R_{SENSE} \leq \frac{33mV}{I_{MAX}} \quad (1)$$

ここで

- R_{SENSE} は、抵抗値です。
- I_{MAX} は、目的の電流制限値です。

センス抵抗値を設定する際には、2つの要素を考慮することが重要です。TPS2390またはTPS2391から流れる最小電流と、モジュールの通常動作時の最大負荷です。最初の要素については、式(1)に示されるように、仕様の最小クランプ値が使用されます。この方法により、ソース電流制限の公差は期待される標準レベル(40mV/ R_{SENSE})より小さくなります。(クランプ測定値にはLCAの入力オフセット電圧も含まれるため、このオフセットを改めて電流制限に考慮する必要はありません。)次に、通常動作状態で負荷電流が特定の範囲にわたって変動する場合、 R_{SENSE} の値によって最大負荷レベルを考慮する必要があります。一例としては、負荷がスイッチング・コンバータ、またはブリックであり、特定の電力出力に対して、配電バスがその動作電圧範囲の下限のときには負荷入力電流が増大し、それより高い電源電圧では電流が低下するような場合です。通常負荷時の電流制限動作を避けるには、この最大予測負荷と式(1)の最小電流制限レベルとの間にいくらかマージンを確保しておく必要があります($I_{MAX} > I_{LOAD(max)}$)。

例えば、公称1A負荷のアプリケーションに対して20mΩのセンス抵抗を使用すると、負荷の変動/マージンに最小650mAのオーバーヘッドが得られます。オン時の標準的なパルク・コンデンサ充電電流は2Aです(40mV/20mΩ)。

突入スルー・レートの設定

TPS2390およびTPS2391デバイスでは、負荷のスタートアップ時の最大電流スルー・レートをユーザがプログラミングできます。IRAMPピンに接続されたコンデンサ(標準アプリケーション図のC2)によって、 di/dt レートが制御されます。センス抵抗値が決定されると、ランプ・コンデンサ C_{IRAMP} の値は式(2)から求められます(単位: μF)。

$$C_{IRAMP} = \frac{11}{100 \times R_{SENSE} \times \left(\frac{di}{di} \right)_{MAX}} \quad (2)$$

ここで

- R_{SENSE} は、抵抗値(Ω)です。
- $(di/dt)_{MAX}$ は、目的の最大スルー・レート(A/s)です。

例えば、図の標準アプリケーションに対する目的のスルー・レートが1500mA/msである場合、 C_{IRAMP} の計算値は約3700pFとなります。それより大きな最も近い標準値である3900pF(図に示される値)を選択することで、コンデンサおよびセンス抵抗の公差に多少のマージンが得られます。

この節で前述したとおり、TPS2390およびTPS2391はランプ・コンデンサの充電、および結果的に負荷電流の di/dt を、低減されたレートで開始します。この低減レートは、IRAMPピンの電圧が約0.5Vになるまで適用されます。式(2)で設定される最大 di/dt レートは、デバイスが10μA充電ソースに切り替わってから有効になります。

障害タイミグ・コンデンサの設定

障害タイムアウト期間は、FLTTIMEピンに接続されたコンデンサの値 C_{FLT} によって決定されます。このタイムアウト期間により、システムの動作中に発生する可能性のあるスプリアス電流グリッチやサージの影響を回避し、電源オン状態のシステムに接続された障害負荷に無限の電流が流れ込むのを防ぐことができます。ただし、負荷容量および入力電源電位のすべての条件においてスムーズな電圧上昇を保証するには、これらのシステム変数に対応した最小のタイムアウトを設定する必要があります。そのためには、完全に放電されたプラグイン・カードに対する最大の電圧上昇時間をおおまかに見積もっておく、最小タイマ遅延時間を設定するための良い基準となります。

電源オン時の負荷電流は3段階の性質を持つため、負荷電圧の上昇には3つの異なる段階が含まれる場合があります(図1と図2を比較)。このプロファイルは、負荷容量の相対値、入力DC電位、最大電流制限、およびその他の要素によって異なります。最初の2つの段階は、電流上昇の2つの異なる傾きとして示されています。3番目の段階は、バルク容量の充電に必要な場合の、IMAXでの定電流充電です。2つの電流上昇段階を平均 di/dt の1つの期間と考えると、必要なタイミグ・コンデンサの計算が単純になります。

TPS2390およびTPS2391では、ソフトスタート上昇期間 t_{SS} の標準値が式(3)で与えられます。

$$t_{SS} = 1183 \times C_{IRAMP} \quad (3)$$

ここで

- t_{SS} は、ソフトスタート期間(ms)です。
- C_{IRAMP} は、容量(μF)です。

この電流上昇期間中、到達する負荷電圧の値は式(4)で見積もられます。

$$V_{LSS} = \frac{i_{AVG}}{2 \times C_L \times C_{IRAMP} \times 100 \times R_{SENSE}} \times (t_{SS})^2 \quad (4)$$

ここで

- V_{LSS} は、ソフトスタート中に到達する負荷電圧です。
- i_{AVG} は、TPS2390およびTPS2391では $3.38\mu A$ です。
- C_L は、負荷容量です。
- t_{SS} は、ソフトスタート期間(秒)です。

式(4)の i_{AVG} は、パワーオン中に C_{IRAMP} に印加される2つの充電電流の、標準の出力値を考慮した加重平均です。

式(4)の結果が最大入力電源電圧より大きい場合は、挿入時の突入上昇期間中に負荷が完全に充電されると想定できます。ただし、この電圧が最大電源入力 $V_{IN(max)}$ より小さい場合は、HSPMが負荷の定電流充電に遷移します。IMAXに保持される必要のある残り時間は、式(5)で決定されます。

$$t_{CC} = \frac{C_L \times (V_{IN(max)} - V_{LSS})}{\left(\frac{V_{REF_K(min)}}{R_{SENSE}}\right)} \quad (5)$$

ここで

- t_{CC} は、定電流電圧上昇時間(秒)です。
- $V_{REF_K(min)}$ は、最小クランプ電圧(33mV)です。

この情報を用いて、タイミグ・コンデンサ C_{FLT} の最小推奨値を決定できます。必要な遅延時間は、負荷の充電所要時間の見積もりに従って、 t_{SS} 、または t_{SS} と t_{CC} の和になります。障害タイミグは C_{FLT} の定電流充電によって生成されるため、コンデンサ値は式(6)または(7)で決定されます。

$$C_{FLT(MIN)} = \frac{55 \times t_{SS}}{3.75} \quad (6)$$

$$C_{FLT(MIN)} = \frac{55 \times (t_{SS} + t_{CC})}{3.75} \quad (7)$$

ここで

- $C_{FLT(min)}$ は、推奨コンデンサ値(μF)です。
- t_{SS} は、式(3)の結果(秒)です。
- t_{CC} は、式(5)の結果(秒)です。

DC/DCコンバータの前に $100\mu F$ のフィルタ・コンデンサを使用する標準アプリケーション例では、式(3)および(4)により、ソフトスタート期間中の負荷電圧上昇が $-46V$ までと見積もられます。モジュールが $-72V$ までの入力電源で動作する必要がある場合は、さらに約 $1.58ms$ の定電流充電時間が必要となります。したがって、 $C_{FLT(min)}$ は式7を使用して決定され、結果は約 $0.1\mu F$ となります。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2390DGK	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	2390
TPS2390DGK.A	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	2390
TPS2390DGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAUAG SN	Level-2-260C-1 YEAR	-40 to 85	2390
TPS2390DGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	2390
TPS2391DGK	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	2391
TPS2391DGK.A	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	2391
TPS2391DGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAUAG SN	Level-2-260C-1 YEAR	-40 to 85	2391
TPS2391DGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	2391
TPS2391DGKRG4	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	2391

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

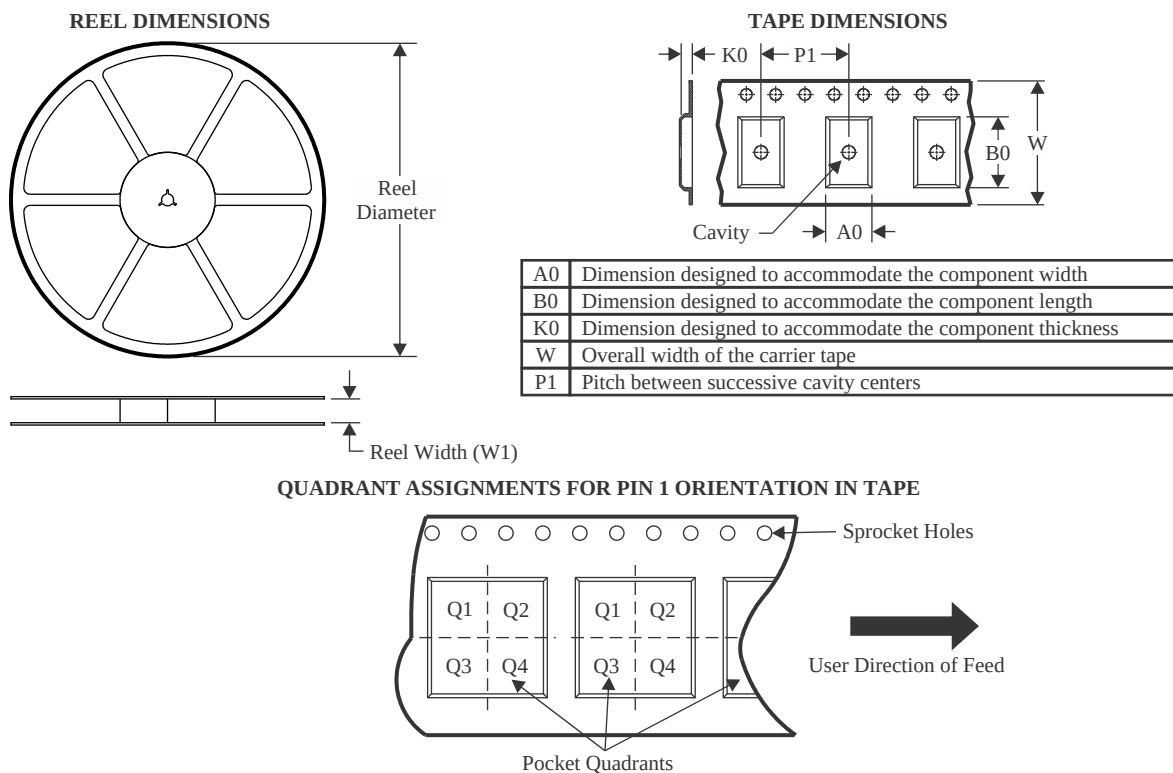
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

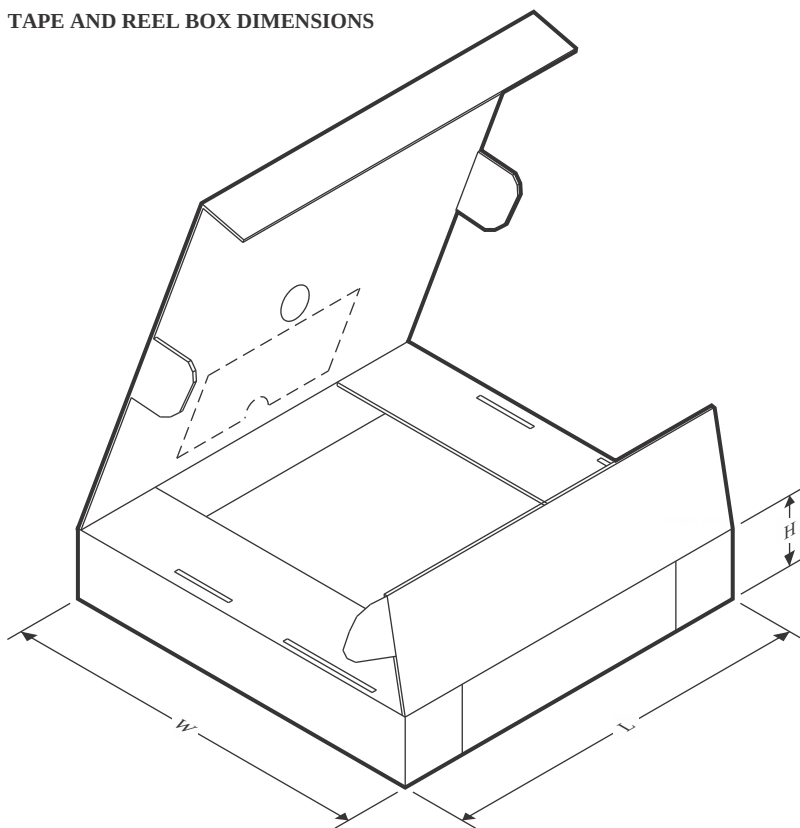
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2390DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TPS2390DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2391DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1

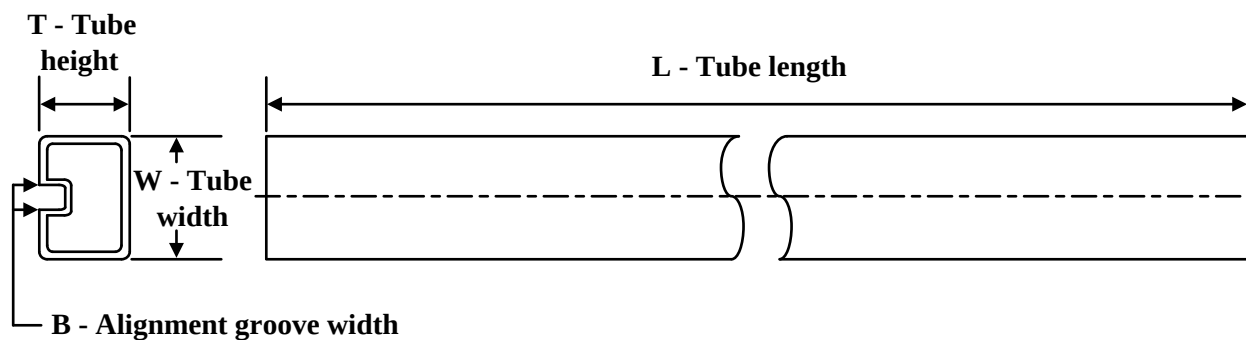
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2390DGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TPS2390DGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TPS2391DGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0

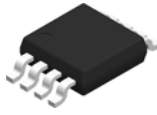
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TPS2390DGK	DGK	VSSOP	8	80	330	6.55	500	2.88
TPS2390DGK.A	DGK	VSSOP	8	80	330	6.55	500	2.88
TPS2391DGK	DGK	VSSOP	8	80	330	6.55	500	2.88
TPS2391DGK.A	DGK	VSSOP	8	80	330	6.55	500	2.88

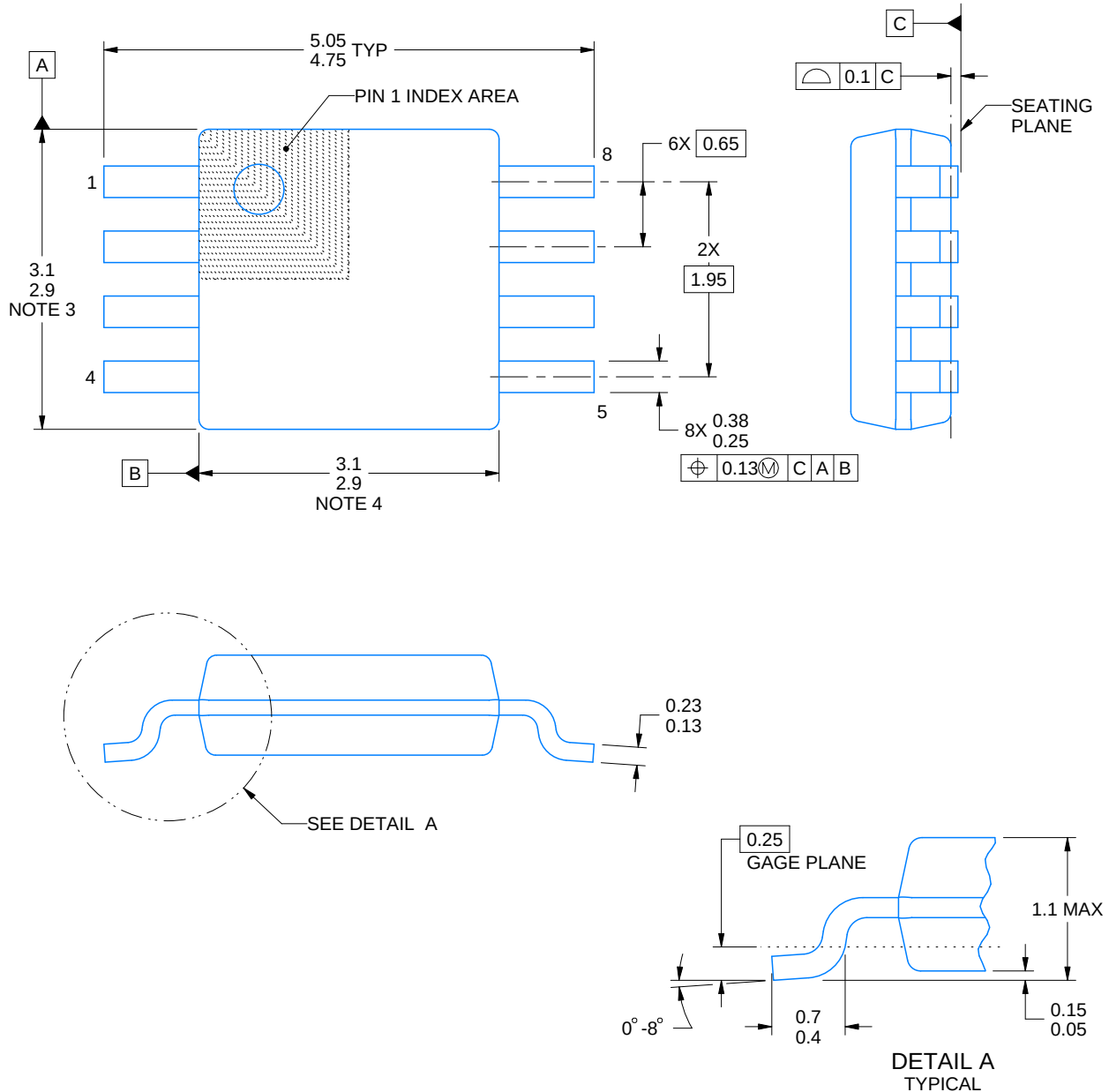
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

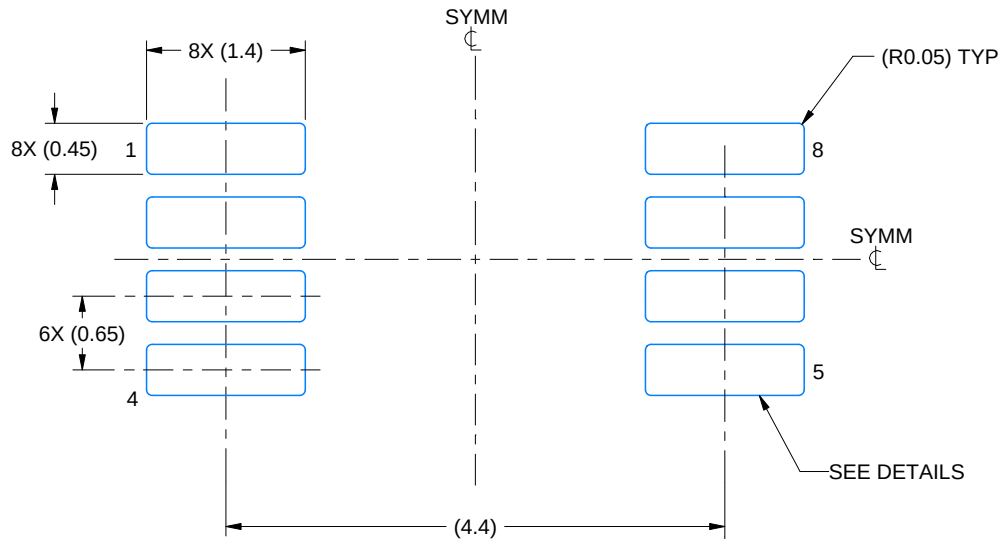
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

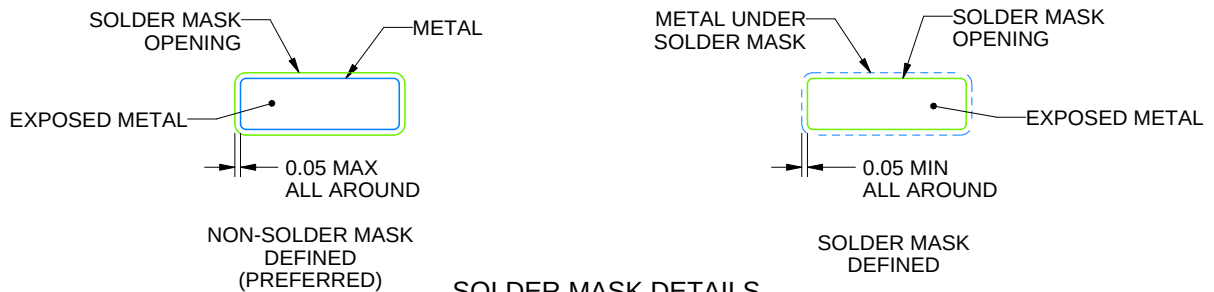
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

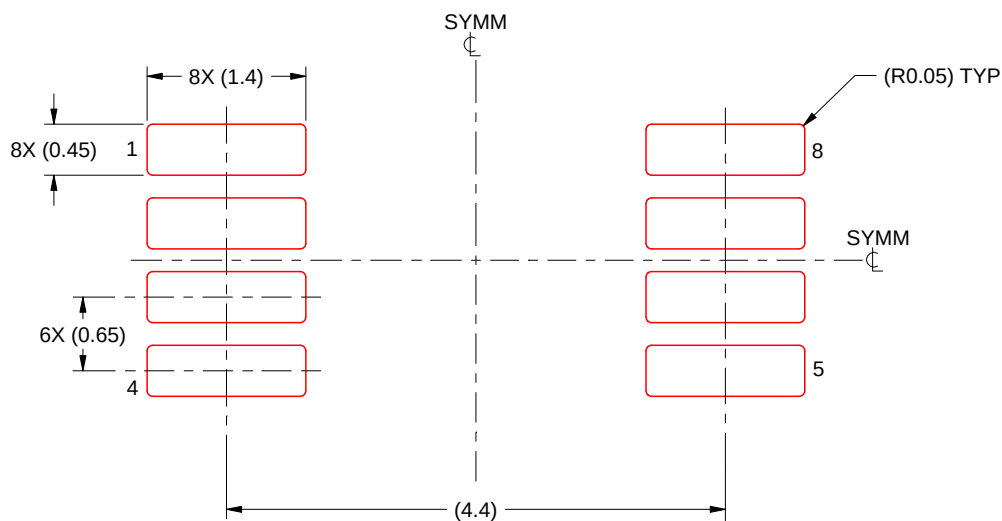
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月