TPS25730A
JADS154A – MARCH 2026 – REVISED JULY 2026

TPS25730A USB Type-C® および USB PD コントローラ (電源スイッチ内蔵、の / シンク/ 電源アプリケーションに最適化)

1 特長

- USB-IF による PD3.2 認証済みデバイス
  - TPS25730ATID#: 15340
  - PD2.0 と PD3.0 の比較の記事
- 完全に構成可能なシングル ポートの PD コントローラ
  - シンク側のみの USB Type-C および USB PD アプリケーション向けに最適化
  - バレル ジャックから USB Type-C への完全な置き換え
  - ピン ストラップにより完全に構成可能
  - 工業温度範囲をサポート
- 完全に管理された内蔵のパワー パス
  - 過電圧保護および逆電流保護機能を内蔵
- 追加機能
  - 6 つの GPIO 設定機能
  - ケーブルの接続と方向の検出
  - デッド バッテリ Rd を内蔵
  - 物理レイヤおよびポリシー エンジン
  - デッド バッテリ サポート用の 3.3V LDO 出力
  - 3.3V または VBUS 電源からの電力供給
  - 外付けマイクロコントローラ用の I2C アクセス

2 アプリケーション

- WLAN/Wi-Fi アクセス ポイント、パワー バンク、リテール オートメーションおよびペイメント
- ワイヤレス スピーカ、ヘッドホン
- その他のパーソナル エレクトロニクスと産業用アプリケーション

3 説明

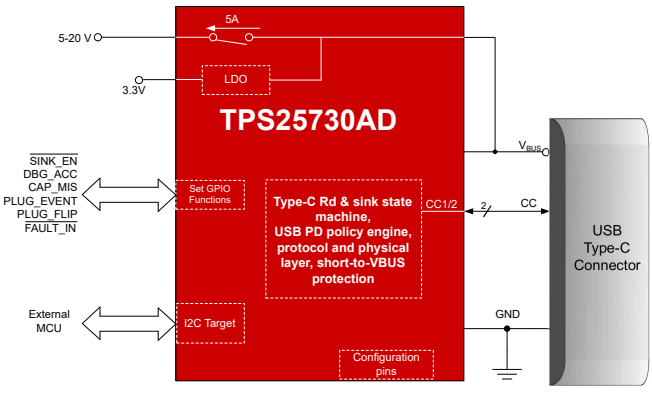
TPS25730A は、USB-C PD 電源をサポートするアプリケーション向けに最適化された高集積スタンドアロン USB Type-C および PD (Power Delivery) コントローラです。TPS25730A は完全に管理されたパワー パスを堅牢な保護機能と統合することにより、包括的な USB-C PD アプリケーションを実現しています。また、TPS25730A は、内蔵ゲート ドライバを使用して外部パワー パスを制御する機能も備えています。TPS25730A は、従来ならバレル ジャックから給電されていた可能性がある、シンク側のみのアプリケーション向けに最適です。ユーザーは、抵抗ピン ストラップを使用することにより、TPS25730A を搭載したフル機能の USB Type-C PD ポートを実装できます。外付け EEPROM や外付けマイコン、いかなるファームウェア開発も必要ありません。

TPS25730A の目的は、シンク側のみの USB Type-C アプリケーションの設定を、シンプルかつ堅牢にすることです。ユーザーはバレル ジャック ポートのすべての利点を享受しつつ、USB Type-C および USB Type-C PD の利点も活用できます。

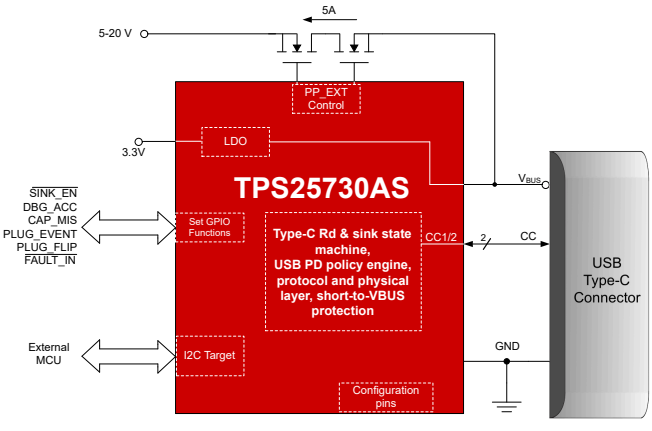
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS25730AD	38-WQFN (REF)	4.00mm x 6.00mm
TPS25730A S	32-VQFN (RSM)	4.00mm x 4.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



TPS25730AD の回路図



TPS25730AS の回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....3
5 ピン構成および機能.....4
6 仕様.....9
6.1 絶対最大定格.....9
6.2 ESD 定格.....10
6.3 推奨動作条件.....10
6.4 推奨容量.....11
6.5 熱に関する情報.....11
6.6 電源特性.....12
6.7 消費電力.....13
6.8 PPHV パワー スイッチの特性 - TPS25730AD.....13
6.9 PP_EXT の特性 - TPS25730AS.....14
6.10 電力パス監視.....15
6.11 CC ケーブル検出パラメータ.....16
6.12 CC PHY パラメータ.....17
6.13 サーマル シャットダウンの特性.....17
6.14 ADC の特性.....18
6.15 入出力 (I/O) 特性.....18
6.16 I2C の要件と特性.....19
6.17 代表的特性.....20
7 パラメータ測定情報.....21
8 詳細説明.....22
8.1 概要.....22
8.2 機能ブロック図.....23
8.3 機能説明.....25
8.4 デバイスの機能モード.....40
9 アプリケーションと実装.....42
9.1 使用上の注意.....42
9.2 代表的なアプリケーション.....42
9.3 電源に関する推奨事項.....45
9.4 レイアウト.....46
10 デバイスおよびドキュメントのサポート.....57
10.1 デバイス サポート.....57
10.2 ドキュメントのサポート.....57
10.3 ドキュメントの更新通知を受け取る方法.....57
10.4 サポート・リソース.....57
10.5 商標.....57
10.6 静電気放電に関する注意事項.....57
10.7 用語集.....57
11 改訂履歴.....57
12 メカニカル、パッケージ、および注文情報.....58

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

部品番号	高電圧シンク ロード スイッチ (PPHV) を内蔵	外部シンク経路 (PP_EXT) 用高電圧ゲートドライバ
TPS25730AD	あり	なし
TPS25730AS	なし	あり

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

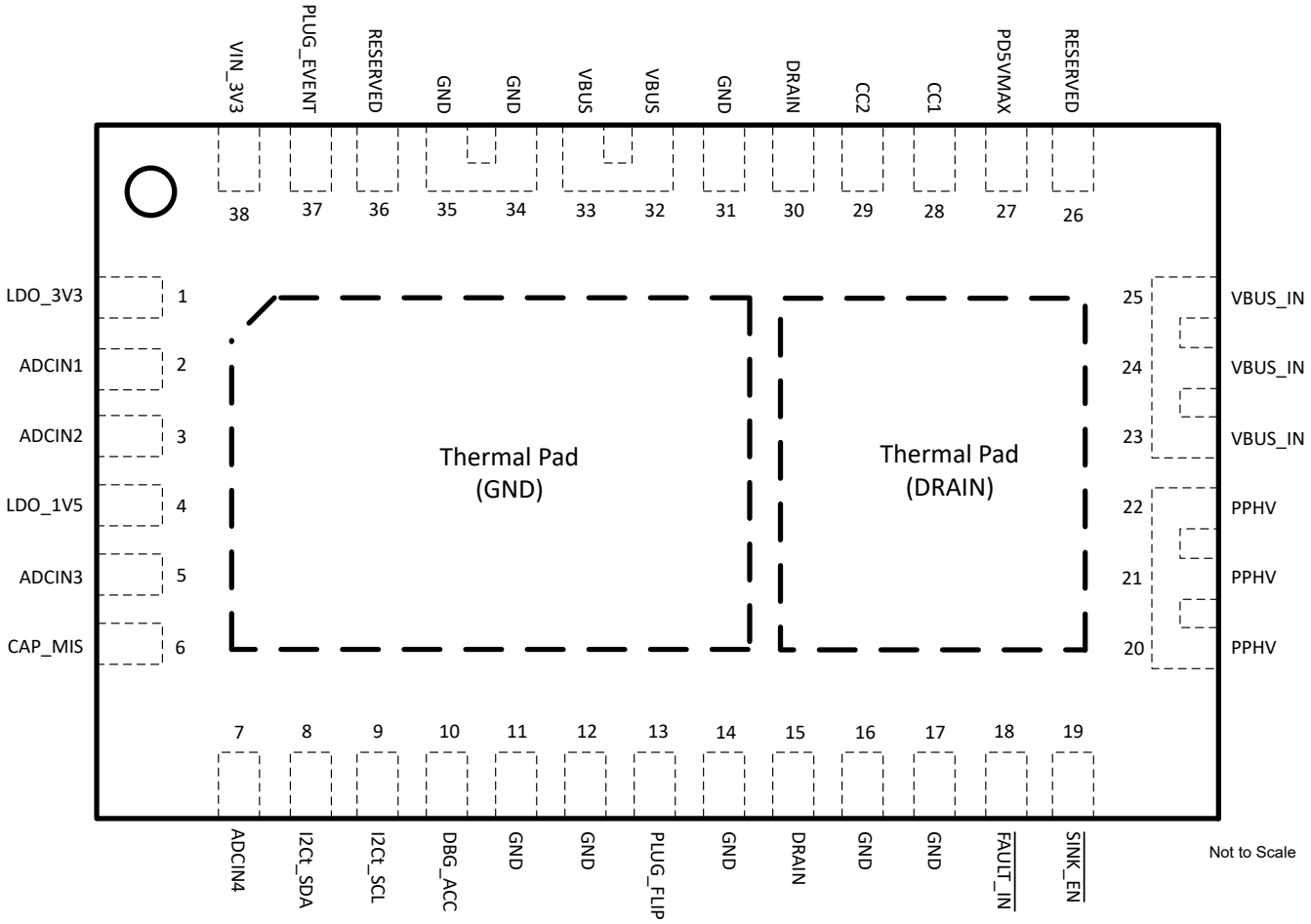


図 5-1. TPS25730AD QFN パッケージ、38 ピン (上面図)

Copyright © 2026 Texas Instruments Incorporated

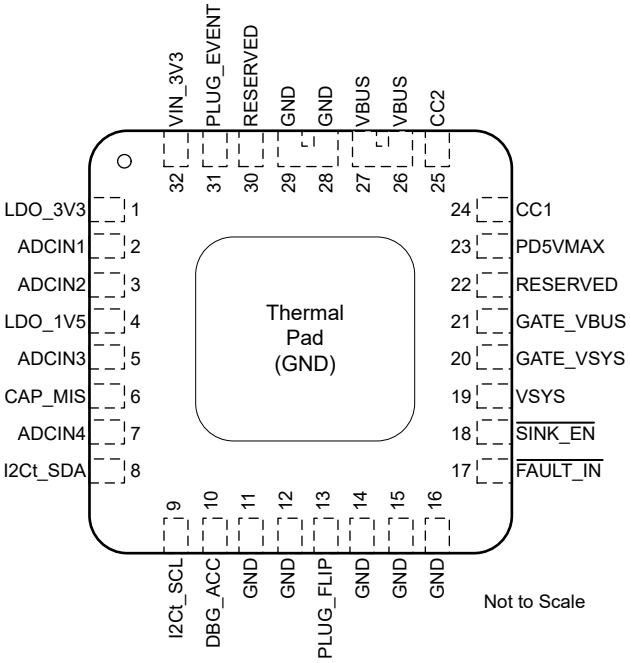


図 5-2. TPS25730AS QFN パッケージ、32 ピン (上面図)

表 5-1. TPS25730AD ピンの機能

ピン		タイプ(1)	リセット	説明
名称	番号			
ADCIN1	2	I	ハイ インピーダンス	設定入力。LDO_3V3 への抵抗分圧回路に接続します。
ADCIN2	3	I	ハイ インピーダンス	設定入力。LDO_3V3 への抵抗分圧回路に接続します。
CC1	28	I/O	ハイ インピーダンス	USB Type-C 用の入出力。推奨コンデンサを GND (C_{CC}) に接続して、ノイズをフィルタします。
CC2	29	I/O	ハイ インピーダンス	USB Type-C 用の入出力。推奨コンデンサを GND (C_{CC}) に接続して、ノイズをフィルタします。
GND	11、12、14、16、17、31、34、35	—	—	グランド。グランド プレーンに接続します。
ADCIN3	5	I	ハイ インピーダンス	設定入力。LDO_3V3 への抵抗分圧回路に接続します。
CAP_MIS	6	O	ハイ インピーダンス	オープンドレイン出力、能力不一致インジケータ。トグルされる出力:ネゴシエーションされた PD 契約における能力不一致、出力トグルなし:ネゴシエートされた PD 契約で機能の不一致がありません。
ADCIN4	7	I	ハイ インピーダンス	設定入力。LDO_3V3 への抵抗分圧回路に接続します。
$\overline{\text{SINK_EN}}$	19	O	ハイ インピーダンス	オープンドレイン出力、シンク経路有効インジケータ。外部ロード スイッチの制御に使用されます。0:シンク パスが有効。1: シンク パスが無効
PD5VMAX	27	I	ハイ インピーダンス	設定入力。グランドまたは LDO_3V3 に接続します。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. TPS25730AD ピンの機能 (続き)

ピン		タイプ(1)	リセット	説明
名称	番号			
RESERVED	26、36	I	ハイ インピーダンス	グランドまたは LDO_3V3 に接続します。
PLUG_EVENT	37	O	ハイ インピーダンス	オープン ドレイン出力、1: 接続が存在します、0: 接続がありません
I2Ct_SCL	9	I	ハイ インピーダンス	I2C ターゲット シリアル クロック入力。抵抗を介してプルアップ電圧に接続します。ピンが未使用のときはグランドに接続します。
I2Ct_SDA	8	I/O	ハイ インピーダンス	I2C ターゲット シリアル データ。オープン ドレインの入力 / 出力。抵抗を介してプルアップ電圧に接続します。ピンが未使用のときはグランドに接続します。
DBG_ACC	10	O	ハイ インピーダンス	オープン ドレイン出力、デバッグ アクセサリ接続 Rp/Rp。1:デバッグ アクセサリが存在します、0: デバッグ アクセサリがありません
PLUG_FLIP	13	O	ハイ インピーダンス	オープン ドレイン出力、ケーブル プラグ方向インジケータ。1:CC2 接続 (上下逆)、0: CC1 接続 (正向き)
$\overline{\text{FAULT_IN}}$	18	I	ハイ インピーダンス	Type-C のエラー回復をトリガし、ポートから切断するための故障入力。1:接続を維持します - 故障はありません。ペリフェラル マイコンまたは保護デバイスからの故障信号に接続します。プルアップ抵抗を介して LDO3V3 に接続します。
LDO_1V5	4	O	—	CORE LDO の出力。容量 C_{LDO_1V5} で GND へバイパス。このピンは外部回路に電流を供給できません。
LDO_3V3	1	O	—	VIN_3V3 または VBUS LDO から切り替えられた電源の出力。容量 C_{LDO_3V3} で GND へバイパス。
DRAIN	15、30	該当なし	—	内部 FET のドレインに接続します。
PPHV	20、21、22	I/O		システム内の高電圧シンク ノード。
VBUS_IN	23、24、25	I/O		5V ～ 20V 入力。
VBUS	32、33	O		LDO への VBUS 入力。容量 C_{VBUS} を用いて GND にバイパスします。
VIN_3V3	38	I	—	コア回路と I/O 用電源。容量 C_{VIN_3V3} で GND へバイパス。デバイスが VBUS 電源のみで動作する場合は、GND に接続します。

(1) I = 入力、O = 出力、I/O = 入出力、GPIO = 汎用デジタル入出力

Copyright © 2026 Texas Instruments Incorporated

表 5-2. TPS25730A S ピンの機能

ピン		タイプ(1)	リセット	説明
名称	番号			
ADCIN1	2	I	ハイ インピーダンス	設定入力。LDO_3V3 への抵抗分圧回路に接続します。
ADCIN2	3	I	ハイ インピーダンス	設定入力。LDO_3V3 への抵抗分圧回路に接続します。
CC1	24	I/O	ハイ インピーダンス	USB Type-C 用の入出力。推奨コンデンサを GND (C_{CC}) に接続して、ノイズをフィルタします。
CC2	25	I/O	ハイ インピーダンス	USB Type-C 用の入出力。推奨コンデンサを GND (C_{CC}) に接続して、ノイズをフィルタします。
GATE_VSYS	20	O	ハイ インピーダンス	ソースが VSYS に接続されている N チャネル MOSFET に接続します
GATE_VBUS	21	O	ハイ インピーダンス	ソースが VBUS に接続されている N チャネル MOSFET に接続します
GND	11、12、14、15、16、28、29	—	—	グランド。グランド プレーンに接続します。
ADCIN3	5	I	ハイ インピーダンス	設定入力。LDO_3V3 への抵抗分圧回路に接続します。
CAP_MIS	6	O	ハイ インピーダンス	オープン ドレイン出力、能力不一致インジケータ。トグルされる出力：ネゴシエーションされた PD 契約における能力不一致、出力トグルなし：ネゴシエートされた PD 契約で機能の不一致がありません。
ADCIN4	7	I	ハイ インピーダンス	設定入力。LDO_3V3 への抵抗分圧回路に接続します。
$\overline{\text{SINK_EN}}$	18	O	ハイ インピーダンス	オープン ドレイン出力、シンク経路有効インジケータ。外部ロード スイッチの制御に使用されます。0：シンク パスが有効。1: シンク パスが無効
PD5VMAX	23	I	ハイ インピーダンス	設定入力。グランドまたは LDO_3V3 に接続します。
RESERVED	22、30	I	ハイ インピーダンス	グランドに接続します。
PLUG_EVENT	31	O	ハイ インピーダンス	オープン ドレイン出力、1: 接続が存在します、0: 接続がありません
I2Ct_SCL	9	I	ハイ インピーダンス	I2C ターゲット シリアル クロック入力。抵抗を介してプルアップ電圧に接続します。使用しない場合は、グランドに接続します。
I2Ct_SDA	8	I/O	ハイ インピーダンス	I2C ターゲット シリアル データ。オープン ドレインの入力 / 出力。抵抗を介してプルアップ電圧に接続します。使用しない場合は、グランドに接続します。
DBG_ACC	10	O	ハイ インピーダンス	オープン ドレイン出力、デバッグ アクセサリ接続 Rp/Rp または Rd/Rd。1：デバッグ アクセサリが存在します、0: デバッグ アクセサリがありません
PLUG_FLIP	13	O	ハイ インピーダンス	オープン ドレイン出力、ケーブル プラグ方向インジケータ。1：CC2 接続 (上下逆)、0: CC1 接続 (正向き)

Copyright © 2026 Texas Instruments Incorporated

表 5-2. TPS25730A S ピンの機能 (続き)

ピン		タイプ(1)	リセット	説明
名称	番号			
$\overline{\text{FAULT_IN}}$	17	I	ハイ インピーダンス	Type-C のエラー回復をトリガし、ポートから切断するための故障入力。0:ポートから切断します、1: 接続を維持します - 故障はありません。ペリフェラル マイコンまたは保護デバイスからの故障信号に接続します。プルアップ抵抗を介して LDO3V3 に接続します。
LDO_1V5	4	O	—	CORE LDO の出力。容量 C_{LDO_1V5} で GND へバイパス。このピンは外部回路に電流を供給できません。
LDO_3V3	1	O	—	VIN_3V3 または VBUS LDO から切り替えられた電源の出力。容量 C_{LDO_3V3} で GND へバイパス。
VSYS	19	I	—	システム側の高電圧センシング ノード。システム内の高電圧シンク ノード。GATE_VSYS によって制御される外部シンク パスの逆電流保護 (RCP) を実装するために使用します。
VBUS	26、27	I/O		5V ～ 20V 入力。容量 C_{VBUS} を用いて GND にバイパスします。
VIN_3V3	32	I	—	コア回路と I/O 用電源。容量 C_{VIN_3V3} で GND へバイパス。デバイスが VBUS 電源のみで動作する場合は、GND に接続します。

(1) I = 入力、O = 出力、I/O = 入出力、GPIO = 汎用デジタル入出力

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

6.1.1 TPS25730AD および TPS25730AS — 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[1]

パラメータ		最小値	最大値	単位
入力電圧範囲 [2]	VIN_3V3	-0.3	4	V
入力電圧範囲 [2]	ADCINx	-0.3	4	V
入力電圧範囲 [2]	VBUS_IN、VBUS[4]	-0.3	28	V
入力電圧範囲 [2]	CC1、CC2 [4]	-0.5	26	V
入力電圧範囲 [2]	GPIOx	-0.3	6	V
入力電圧範囲 [2]	I2Ct_SCL、I2Ct_SDA	-0.3	4	V
出力電圧範囲 (2)	LDO_1V5[3]	-0.3	2	V
	LDO_3V3[3]	-0.3	4	
ソース電流	VBUS のシンク電流		内部的に制限	A
	LDO_3V3、LDO_1V5 の正のソース電流		内部的に制限	
ソース電流	GPIOx		0.005	A
T_J 接合部動作温度		-40	175	°C
T_{STG} 保管温度		-55	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件、または「推奨動作条件」に示された値を超える他のいかなる条件下においても、本デバイスが正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、ネットワークの GND を基準としたものです。GND ピンをボードの GND プレーンに直接接続します。
(3) これらのピンに電圧を印加しないでください。
(4) ブレークダウン電圧が推奨最大値と絶対最大定格の間に収まる TVS (例:TVS2200) の使用が推奨されます。

6.1.2 TPS25730AD - 絶対最大定格

パラメータ		最小値	最大値	単位
入力電圧範囲 [1]	PPHV	-0.3	28	V
$V_{PPHV_VBUS_IN}$	ソース間電圧		28	V
シンク電流	VBUS_IN から PPHV への連続電流 (またはその逆方向)		7	A
	VBUS_IN から PPHV [2] へのパルス電流 (またはその逆方向)		10	
T_{J_PPHV} 接合部の動作温度	PP_HV スイッチ	-40	175	°C

(1) すべての電圧値は、ネットワークの GND を基準としたものです。GND ピンをボードの GND プレーンに直接接続します。
(2) パルス持続時間 ≤ 100µs、デューティ サイクル ≤ 1%。

6.1.3 TPS25730AS — 絶対最大定格

パラメータ		最小値	最大値	単位
出力電圧範囲 (1)	GATE_VBUS、GATE_VSYS [2]	-0.3	40	V

6.1.3 TPS25730AS — 絶対最大定格 (続き)

パラメータ		最小値	最大値	単位
V_{GS}	$V_{GATE_VBUS} – V_{VBUS}$、$V_{GATE_SYS} – V_{VSYS}$	-0.5	12	V

(1) すべての電圧値は、ネットワークの GND を基準としたものです。GND ピンをボードの GND プレーンに直接接続します。
(2) これらのピンに電圧を印加しないでください。

6.2 ESD 定格

パラメータ		テスト条件	値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±1000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3.1 TPS25730AD - 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ			最小値	最大値	単位
V_I	入力電圧範囲(1)	VIN_3V3	3.0	3.6	V
V_I	入力電圧範囲(1)	ADCIN1、ADCIN2、VBUS_IN、VBUS	4	22	V
V_I	入力電圧範囲(1)	PPHV	0	22	V
V_{IO}	I/O 電圧範囲(1)	I2Ct_SDA、I2Ct_SCL、ADCINx	0	3.6	V
		GPIOx	0	5.5	
		CC1、CC2	0	5.5	
I_{PP_HV}	VBUS_IN から PPHV への電流			7	A
I_O	出力電流 (LDO_3V3 から)	GPIOx		1	mA
I_O	出力電流 (VBUS LDO から)	LDO_3V3 からの電流の合計		5	mA
T_A	動作時周囲温度	$I_{PP_HV} \le 7A$	-40	45	°C
		$I_{PP_HV} \le 6A$	-40	65	
T_{J_PPHV}	動作時接合部温度	PP_HV スイッチ	-40	150	°C
T_J	動作時接合部温度		-40	125	°C

(1) すべての電圧値は、ネットワークの GND を基準としたものです。すべての GND ピンは、基板の GND プレーンに直接接続する必要があります。

Copyright © 2026 Texas Instruments Incorporated

6.3.2 TPS25730AS - 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ			最小値	最大値	単位
V_I	入力電圧範囲(1)	VIN_3V3	3.0	3.6	V
V_I	入力電圧範囲(1)	VBUS2	4	22	V
V_I	入力電圧範囲(1)	VSYS	0	22	V
V_{IO}	I/O 電圧範囲(1)	I2Cx_SDA、I2Cx_SCL、ADCINx	0	3.6	V
		GPIOx	0	5.5	
		CC1、CC2	0	5.5	
I_O	出力電流 (LDO_3V3 から)	GPIOx		1	mA
I_O	出力電流 (VBUS LDO から)	LDO_3V3 と GPIOx からの電流の合計		5	mA
T_J	動作時接合部温度		-40	125	°C

(1) すべての電圧値は、ネットワークの GND を基準としたものです。すべての GND ピンは、基板の GND プレーンに直接接続する必要があります。
(2) すべての VBUS ピンを互いに短絡します。

6.4 推奨容量

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ (1)		電圧定格	最小値	公称値	最大値	単位
C_{VIN_3V3}	VIN_3V3 の容量	6.3V	5	10		µF
C_{LDO_3V3}	LDO_3V3 の容量	6.3V	5	10	25	µF
C_{LDO_1V5}	LDO_1V5 の容量	4V	4.5		12	µF
C_{VBUS}	静電容量を VBUS 上に配置(3)	25V	1	4.7	10	µF
C_{VSYS} TPS25730AS	VBUS から VSYS シンクへの静電容量(4)	25V		47	100	µF
C_{PPHV} TPS25730AD	VBUS から PPHV シンクへの静電容量(4)	25V		47	100	µF
C_{CCy}	CCy ピン上のコンデンサ(2)	6.3V	200	400	480	pF

(1) 静電容量の値には、いかなるディレーティング係数も含まれていません。例えば、5µF が必要であり、必要な動作電圧において外付けコンデンサの容量が 50% 低下する場合、必要な外付けコンデンサの値は 10µF となります。
(2) 静電容量には、Type-C レセプタクルに接続されるすべての外付け容量が含まれます。
(3) このデバイスは、特定のイベント発生時にシンク電力経路を迅速に無効化するように構成できます。このような構成を使用する場合、この範囲の上側の静電容量を推奨します。
(4) cSnkBulkPd (100µF) に関する USB PD 仕様は、PD 契約成立後に VBUS のシンク側に許容される最大バルク容量を規定しています。この静電容量は、PD コントローラのシンク経路から電力を取得するすべての電力変換デバイスに対して十分です。100µF を超える容量が必要なシステムでは、USB3.2 仕様に記載されているように、VBUS の突入電流制限を実装する必要があります。

6.5.1 TPS25730AD - 熱に関する情報

熱評価基準 1		TPS25730AD QFN (REF) 38 ピン	単位
$R_{\theta JA}$	接合部周囲間の熱抵抗 (PP_HV 経由でのシンク動作)	57.4	°C/W
$R_{\theta JC}$ (上面)	接合部からケース (上面) への熱抵抗 (PP_HV 経由でのシンク動作)	30.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗 (PP_HV 経由でのシンク動作)	21.1	°C/W

Copyright © 2026 Texas Instruments Incorporated

6.5.1 TPS25730AD - 熱に関する情報 (続き)

熱評価基準 [1]		TPS25730AD QFN (REF) 38 ピン	単位
Ψ_{JT}	接合部から上面への特性パラメータ (PP_HV 経由でのシンク動作)	18.2	°C/W
Ψ_{JB}	接合部基板間の特性化パラメータ (PP_HV を介したシンク動作)	21.1	°C/W
$R_{\theta JC}$ (bot_GND)	接合部からケース (底面 GND パッド) への熱抵抗	1.8	°C/W
$R_{\theta JC}$ (bot_DRAIN)	接合部からケース (底面 DRAIN パッド) への熱抵抗	4.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5.2 TPS25730AS 熱に関する情報

熱評価基準(1)		TPS25730AS QFN (RSM) 32 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	30.5	°C/W
$R_{\theta JC}$ (上面)	接合部からケース (上面) への熱抵抗	24.5	°C/W
$R_{\theta JC}$	接合部から基板 (底面) への熱抵抗	2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	9.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	9.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.6 電源特性

特に指定がない限り、以下の条件で動作します。$3.0V \le V_{LDO_3V3} \le 3.6V$

パラメータ		テスト条件	最小値	標準値	最大値	単位
VIN_3V3、VBUS						
V_{VBUS_UVLO}	VBUS UVLO スレッショルド	立ち上がり	3.6		3.9	V
		立ち下がり	3.5		3.8	
		ヒステリシス		0.1		
V_{VIN3V3_UVLO}	電源オンのために VIN_3V3 に必要な電圧	立ち上がり、V_{VBUS} = 0	2.56	2.66	2.76	V
		立ち下がり、V_{VBUS} = 0	2.44	2.54	2.64	
		ヒステリシス		0.12		
LDO_3V3、LDO_1V5						
V_{LDO_3V3}	LDO_3V3 の電圧	V_{VIN_3V3} = 0V、10µA ≤ I_{LOAD} ≤ 18mA、V_{VBUS} ≥ 3.9V	3.0	3.4	3.6	V
R_{LDO_3V3}	VIN_3V3 から LDO_3V3 の Rdson	I_{LDO_3V3} = 50mA			1.4	Ω
V_{LDO_1V5}	LDO_1V5 の電圧	最大の内部負荷条件まで	1.49	1.5	1.65	V

Copyright © 2026 Texas Instruments Incorporated

6.7 消費電力

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V、GPIO 負荷なし

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{VIN_3V3、ActSnk}$	VIN_3V3 への電流	アクティブ PPHV モード:22V ≥ V_{VBUS} ≥ 4V、V_{VIN_3V3} = 3.3V		3	6	mA
$I_{VIN_3V3、IdlSnk}$	VIN_3V3 への電流	アイドル PPHV モード:22V ≥ V_{VBUS} ≥ 4V、V_{VIN_3V3} = 3.3V		1.0		mA
$I_{VIN_3V3、Sleep}$	VIN_3V3 への電流	スリープ モード:V_{VBUS} = 0V、V_{VIN_3V3} = 3.3V		56		µA

6.8 PPHV パワー スイッチの特性 - TPS25730AD

特に指定がない限り、以下の条件で動作します。3.0V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{PPHV}	VBUS_IN から PPHV パワースイッチ抵抗への抵抗	T_{J_PPHV} = 25°C、I_{PPHV} = 6.5A		16	19	mΩ
		T_{J_PPHV} = 125°C、I_{PPHV} = 6.5A		24	29	
		T_{J_PPHV} = 150°C、I_{PPHV} = 6.5A		27	32	mΩ
V_{RCP}	コンパレータ モード RCP スレッショルド、V_{PPHV} – V_{VBUS}	4V ≤ V_{VBUS} ≤ 22V、V_{VIN_3V3} ≤ 3.63V を設定	2	6	10	mV
SS	GATE_VSYS のソフト スタート スルーレート、	4V ≤ V_{VBUS} ≤ 22V、I_{LOAD} = 100mA、500pF < C_{GATE_VSYS} < 16nF、最終的な VSYS 値の 10% ～ 90% からの勾配を測定します	2.8	3.3	3.80	V/ms
t_{PPHV_OFF}	通常のシャットダウン モードで内部 PPHV スイッチを無効化するのに許容される時間	V_{VBUS} = 20V、V_{PPHV} = 20V (初期値)、C_{PPHV} < 1nF、I_{PPHV} = 0.1A、V_{VBUS_IN} – V_{PPHV} > 1V のとき、スイッチはオフになります		400	1000	µs
t_{PPHV_OVP}	高速シャットダウン モードで内部 PPHV スイッチを無効化するのに許容される時間 ($V_{OVP4RCP}$ の超過)。これには、コンパレータの応答時間が含まれます	OVP:$V_{OVP4RCP}$ = 設定値 57、初期状態で V_{VBUS} = 20V、その後 50ns で 23V まで上昇、V_{PPHV} = V_{VBUS_IN} (初期値)、C_{PPHV} < 1nF、I_{PPHV} = 0.1A の場合、V_{VBUS_IN} – V_{PPHV} > 0.1V のときスイッチはオフになります		2	4	µs
t_{PPHV_RCP}	高速シャットダウン モード (V_{RCP} の超過) で内部 PPHV スイッチを無効化するのに許容される時間。これには、コンパレータの応答時間が含まれます	RCP: V_{RCP} = 設定値 0、V_{VBUS} = 5V、初期状態で V_{VSYS} = 5V、その後 dV/dt = 0.1V/µs で 6V まで上昇、C_{VBUS} = 10µF、V_{VSYS} > V_{BUS} + V_{RCP} となってから VBUS のピーク電圧に達するまでの時間を測定します		1	2	µs
t_{PPHV_FSD}	高速シャットダウン モード (OVP) で内部 PPHV スイッチを無効にするのに許容される時間	V_{PPHV} = 20V (初期値)、V_{VBUS} = 20V、その後 50ns で 23V まで上昇し、r_{OVP} = 1、C_{PPHV} < 1nF、I_{PPHV} = 0.1A の場合、V_{VBUS_IN} – V_{PPHV} > 0.5 V のときスイッチはオフになります		0.25	20	µs

Copyright © 2026 Texas Instruments Incorporated

6.8 PPHV パワー スイッチの特性 - TPS25730AD (続き)

特に指定がない限り、以下の条件で動作します。3.0V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PPHV_ON}	内部 PPHV スイッチを有効にする時間	V_{VBUS_IN} = 5V、C_{PPHV} = 0、I_{PPHV} = 0、レジスタ書き込みから PPHV をイネーブルにするための時間を測定し、V_{VBUS_IN} – V_{PPHV} < 0.1V、ソフトスタートを 3 に設定します	1500	1800	2100	µs

6.9 PP_EXT の特性 - TPS25730AS

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{GATE_ON}	ゲートドライバのソース電流	0V ≤ V_{GATE_VSYS} – V_{VSYS} ≤ 6V、V_{VSYS} ≤ 22V、V_{VBUS} > 4V、I_{GATE_VSYS} を測定します	8.5		11.5	µA
		0V ≤ V_{GATE_VBUS} – V_{VBUS} ≤ 6V、4V ≤ V_{VBUS} ≤ 22V、I_{GATE_VBUS} を測定します	8.5		11.5	µA
V_{GATE_ON}	ソース電圧 (ON)	0V ≤ V_{VSYS} ≤ 22V、I_{GATE_VSYS} < 4µA、V_{GATE_VSYS} – V_{VSYS}、V_{VBUS} > 4V を測定します	6		12	V
		4V ≤ V_{VBUS} ≤ 22V、I_{GATE_VBUS} < 4µA、V_{GATE_VBUS} – V_{VBUS} を測定します	6		12	V
V_{RCP}	コンパレータ モード RCP スレッショルド、V_{VSYS} – V_{VBUS}	4V ≤ V_{VBUS} ≤ 22V、V_{VIN_3V3} ≤ 3.63V	2	6	10	mV
I_{GATE_OFF}	沈降強度	通常ターンオフ:V_{VSYS} = 5V、V_{GATE_VSYS} = 6V、I_{GATE_VSYS} を測定します	13			µA
		通常ターンオフ:V_{VBUS} = V_{VSYS} = 5V、V_{GATE_VBUS} = 6V、I_{GATE_VBUS} を測定します	13			µA
R_{GATE_FSD}	沈降強度	高速ターンオフ:V_{VSYS} = 5V、V_{GATE_VSYS} = 6V、PPHV1_FAST_DISABLE をアサートし、R_{GATE_VSYS} を測定します			85	Ω
		高速ターンオフ:V_{VBUS} = V_{VSYS} = 5V、V_{GATE_VBUS} = 6V、PPHV1_FAST_DISABLE をアサートし、R_{GATE_VBUS} を測定します			85	Ω
$R_{GATE_OFF_UVLO}$	UVLO のシンク強度 (安全性)	V_{VIN_3V3} = 0V、V_{VBUS} = 3V、V_{GATE_VSYS} = 0.1V、GATE_VSYS から GND への抵抗を測定します			1.5	MΩ

Copyright © 2026 Texas Instruments Incorporated

6.9 PP_EXT の特性 - TPS25730AS (続き)

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
SS	GATE_VSYS のソフト スタート スルーレート	4V ≤ V_{VBUS} ≤ 22V、I_{LOAD} = 100mA、500pF < C_{GATE_VSYS} < 16nF、最終的な VSYS 値の 10% ～ 90% からの勾配を測定します	2.8	3.3	3.80	V/ms
$t_{GATE_VBUS_OFF}$	通常のシャットダウン モードで、GATE_VBUS によって外部 FET を無効にするのに許容される時間。(1)	V_{VBUS} = 20V、外付け FET の Q_G = 40nC または C_{GATE_VBUS} < 3nF の場合、V_{GATE_VBUS} − V_{VBUS} < 1V のときゲートはオフになります		450	4000	µs
$t_{GATE_VBUS_OVP}$	高速シャットダウン モードで GATE_VBUS によって外部 FET をディスエーブルにできる時間 ($V_{OVP4RCP}$ の超過)。これには、コンパレータの応答時間が含まれます(1)	OVP: $V_{OVP4RCP}$ = 設定値 57、初期状態で V_{VBUS} = 20V、その後 50ns で 23V まで上昇、外付け FET の Q_G = 40nC または C_{GATE_VBUS} < 3nF の場合、V_{GATE_VBUS} − V_{VBUS} < 1V のときゲートはオフになります		3	5	µs
$t_{GATE_VBUS_RCP}$	高速シャットダウン モード (V_{RCP} を超過) で GATE_VBUS によって外部 FET をディスエーブルにできる時間 (これには、コンパレータの応答時間が含まれます)(1)	RCP: V_{RCP} = 設定値 0、V_{VBUS} = 5V、初期状態で V_{VSYS} = 5V、その後 50ns で 5.5V まで上昇、外付け FET の Q_G = 40nC または C_{GATE_VBUS} < 3nF の場合、V_{GATE_VBUS} − V_{VBUS} < 1V のときゲートはオフになります		1	2	µs
$t_{GATE_VSYS_OFF}$	通常のシャットダウン モードで、GATE_VSYS を介して外部 FET を無効にするのに許容される時間(1)	V_{VSYS} = 20V、外付け FET の Q_G = 40nC または C_{GATE_VBUS} < 3nF の場合、V_{GATE_VSYS} − V_{VSYS} < 1V のときゲートはオフになります		450	4000	µs
$t_{GATE_VSYS_FSD}$	高速シャットダウン モード (OVP) で GATE_VSYS を介して外部 FET を無効にするのに許容される時間(1)	最初に V_{VBUS} = 20V から 23V まで 50ns 単位で上昇し、外部 FET の Q_G = 40nC または C_{GATE_VBUS} < 3nF、V_{GATE_VSYS} − V_{VSYS} < 1V、r_{OVP} = 1 のとき、ゲートはオフになります		0.25	20	µs
$t_{GATE_VBUS_ON}$	GATE_VBUS をイネーブルにする時間 (1)	V_{GS} = 0V のときから V_{GS} > 3V になるまでの時間を測定します。ここで、V_{GS} = V_{GATE_VBUS} − V_{VBUS} とします		0.25	2	ms

(1) これらの値は、外部の N チャネル MOSFET の特性によって異なります。測定された代表値は、Px_GATE_VSYS と Px_GATE_VBUS を使用して、二つの CSD17571Q2 を共通ドレインのバック ツー バック構成で駆動した場合のものです。

6.10 電力パス監視

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OVP4RCP}$	RCP プログラマブル範囲向けの VBUS 過電圧保護	V_{VBUS} > $V_{OVP4RCP}$ のとき、OVP が検出されます	5.0		24	V
$V_{OVP4RCPH}$	ヒステリシス		1.75	2	2.25	%

Copyright © 2026 Texas Instruments Incorporated

6.10 電力パス監視 (続き)

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
r_{OVP}	OVP4VSYS コンパレータに使用される OVP4RCP 入力の比率。r_{OVP} × $V_{OVP4VSYS}$ = $V_{OVP4RCP}$			1		V/V
$V_{OVP4VSYS}$	VSYS 保護用の VBUS 過電圧保護範囲	r_{OVP} × V_{VBUS} > $V_{OVP4RCP}$ のときに OVP が検出されます	5		27.5	V
$V_{OVP4VSYS}$	ヒステリシス	VBUS 立ち下がり時、$V_{OVP4VSYS}$ に対する %、r_{OVP} 設定 0	2	2.3	2.6	%
I_{DSCH}	VBUS 放電電流	V_{VBUS} = 22V、I_{VBUS} を測定します	4		15	mA

6.11 CC ケーブル検出パラメータ

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
Type-C シンク (Rd プルダウン)						
V_{SNK1}	CCy に Rd が適用されたときの、オープン / デフォルト検出のスレッショルド	立ち上がり	0.2		0.24	V
	CCy に Rd が適用されたときの、オープン / デフォルト検出のスレッショルド	立ち下がり	0.16		0.20	V
	ヒステリシス			0.04		V
V_{SNK2}	デフォルト / 1.5A 検出スレッショルド	立ち下がり	0.62		0.68	V
	デフォルト / 1.5A 検出スレッショルド	立ち上がり	0.63	0.66	0.69	V
	ヒステリシス			0.01		V
V_{SNK3}	Px_CCy への Rd 適用時の 1.5A/3.0A 検出スレッショルド	立ち下がり	1.17		1.25	V
	Px_CCy への Rd 適用時の 1.5A/3.0A 検出スレッショルド	立ち上がり	1.22		1.3	V
	ヒステリシス			0.05		V
R_{SNK}	Rd プルダウン抵抗	0.25V ≤ V_{CCy} ≤ 2.1V の範囲で、CCy 上の抵抗を測定します 。$V_{LDO_3V3_UVLO}$ < V_{LDO_3V3} < 3.6V	4.6		5.6	kΩ
R_{VCONN_DIS}	VCONN 放電抵抗	0V ≤ V_{CCy} ≤ 5.5V、trim_cd_rd を使用してトリミングした後、	4.0		6.12	kΩ
V_{CLAMP}	デッド バッテリ Rd クランプ	V_{VIN_3V3} = 0V、64µA < I_{CCy} < 96µA	0.25		1.32	V
		V_{VIN_3V3} = 0V、166µA < I_{CCy} < 194µA	0.65		1.32	
		V_{VIN_3V3} = 0V、304µA < I_{CCy} < 356µA	1.20		2.18	
R_{Open}	オープンとして構成されている場合の CCy から GND への抵抗	V_{VBUS} = 0V、V_{VIN_3V3} = 3.3V、V_{CCy} = 5V、CCy の抵抗を測定します	500			kΩ
		V_{VBUS} = 5V、V_{VIN_3V3} = 0V、V_{CCy} = 5V、CCy の抵抗を測定します	500			kΩ
一般的なコンパレータ						

Copyright © 2026 Texas Instruments Incorporated

6.11 CC ケーブル検出パラメータ (続き)

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{CC}	Px_CCy のコンパレータのグリッチ除去時間			3.2		ms

6.12 CC PHY パラメータ

特に記述のない限り以下の条件で動作します。(3V ≤ V_{VIN_3V3} ≤ 3.6V または V_{VBUS} ≥ 3.9V)

パラメータ		テスト条件	最小値	標準値	最大値	単位
トランスミッタ						
V_{TXHI}	CCy で高電圧を送信	標準外部負荷	1.05	1.125	1.2	V
V_{TXLO}	CCy で低電圧を送信	標準外部負荷	-75		75	mV
Z_{DRIVER}	CCy を使用した CC ライン駆動中の送信出力インピーダンス	750 kHz で測定	33	54	75	Ω
t_{Rise}	立ち上がり時間。CCy における振幅の 10% ～ 90% ポイントで測定し、最小値は無負荷条件での値です。TX mask によって設定される最大値	C_{CCy} = 520pF	300			ns
t_{Fall}	立ち下がり時間 CCy における振幅の 90% ～ 10% ポイントで測定し、最小値は無負荷条件での値です。TX mask によって設定される最大値	C_{CCy} = 520pF	300			ns
V_{PHY_OVP}	USB PD PHY の OVP 検出スレッショルド	0V ≤ V_{VIN_3V3} ≤ 3.6V、0V ≤ V_{PP5V} ≤ 5.5V、V_{VBUS} ≥ 4V。最初は V_{CC1} ≤ 5.5V および V_{CC2} ≤ 5.5V、その後、V_{CCx} が上昇します	5.5		8.5	V
レシーバ						
Z_{BMCRX}	CCy のレシーバ入力インピーダンス	ケーブル検出に起因するプルアップ抵抗またはプルダウン抵抗を含みません。トランスミッタはハイ インピーダンス	1			MΩ
C_{CC}	CCy [1] でのレシーバ静電容量	レシーバ モードで CC ピンに流れ込む静電容量			120	pF
$V_{RX_SNK_R}$	レシーバ コンパレータの CCy の立ち上がりスレッショルド	シンク モード (立ち上がり)	499	525	551	mV
$V_{RX_SNK_F}$	受信コンパレータにおける、CCy の立ち下がりスレッショルド	シンク モード (立ち下がり)	230	250	270	mV

(1) C_{CC} には、ピンが BMC データを受信するように構成されている場合の CCy ピンの内部容量のみが含まれます。USB-PD 仕様 (cReceiver) に準拠する必要のある最小容量を満たすには、外部容量が必要です。したがって、TI は C_{CCy} を外部に追加することを推奨します。

6.13 サーマル シャットダウンの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{SD_MAIN}	温度シャットダウン スレッショルド	温度上昇	145	160	175	°C
		ヒステリシス		15		°C

Copyright © 2026 Texas Instruments Incorporated

6.14 ADC の特性

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
LSB	最下位ビット	3.6V 最大スケーリング、3 の分圧器		14		mV
		25.2V 最大スケーリング、21 の分圧器		98		mV
		最大 4.07A のスケーリング		16.5		mA
GAIN_ERR	ゲイン誤差	0.05V ≤ V_{ADCINx} ≤ 3.6V、V_{ADCINx} ≤ V_{LDO_3V3}	-2.7		2.7	%
		0.05V ≤ V_{GPIOx} ≤ 3.6V、V_{GPIOx} ≤ V_{LDO_3V3}				
		2.7V ≤ V_{LDO_3V3} ≤ 3.6V	-2.4		2.4	
		0.6V ≤ V_{VBUS} ≤ 22V	-2.1		2.1	
		1A ≤ I_{VBUS} ≤ 3A	-2.1		2.1	
VOS_ERR	オフセット誤差 [1]	0.05V ≤ V_{ADCINx} ≤ 3.6V、V_{ADCINx} ≤ V_{LDO_3V3}	-4.1		4.1	mV
		0.05V ≤ V_{GPIOx} ≤ 3.6V、V_{GPIOx} ≤ V_{LDO_3V3}				
		2.7V ≤ V_{LDO_3V3} ≤ 3.6V	-4.5		4.5	
		0.6V ≤ V_{VBUS} ≤ 22V	-4.1		4.1	
		1A ≤ I_{VBUS} ≤ 3A	-4.5		4.5	mA

(1) オフセット誤差は、分圧器の後に規定されます。

6.15 入出力 (I/O) 特性

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
GPIO0-7 (入力)						
GPIO_VIH	GPIOx High レベル入力電圧	V_{LDO_3V3} = 3.3 V	1.3			V
GPIO_VIL	GPIOx Low レベル入力電圧	V_{LDO_3V3} = 3.3 V			0.54	V
GPIO_HYS	GPIOx 入力ヒステリシス電圧	V_{LDO_3V3} = 3.3 V	0.09			V
GPIO_ILKG	GPIOx のリーク電流	V_{GPIOx} = 3.45V	-1		1	µA
GPIO_RPU	GPIOx 内部プルアップ	プルアップをイネーブル	50	100	150	kΩ
GPIO_RPD	GPIOx 内部プルダウン	プルダウンをイネーブル	50	100	150	kΩ
GPIO_DG	GPIOx 入力グリッチ除去			20	50	ns
GPIO0 ～ 9 (出力)						
GPIO_VOH	GPIOx 出力 High 電圧	V_{LDO_3V3} = 3.3V、I_{GPIOx} = –2mA	2.9			V
GPIO_VOL	GPIOx 出力 Low 電圧	V_{LDO_3V3} = 3.3V、I_{GPIOx} = 2mA			0.4	V
ADCINx						
ADCIN_ILKG	ADCINx のリーク電流	V_{ADCINx} ≤ V_{LDO_3V3}	-1		1	µA
t_{BOOT}	LDO_3V3 が High になってから ADCINx が設定読み取りのために読み込まれるまでの時間			10		ms

Copyright © 2026 Texas Instruments Incorporated

6.16 I2C の要件と特性

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
I2Ct_IRQ						
OD_VOL_IRQ	Low レベル出力電圧	I_{OL} = 2mA			0.4	V
OD_LKG_IRQ	リーク電流	出力はハイ インピーダンス、V_{I2Cx_IRQ} = 3.45V	-1		1	µA
SDA と SCL の共通特性 (共通特性)						
V_{IL}	入力低信号	V_{LDO_3V3} = 3.3 V			0.54	V
V_{IH}	入力高信号	V_{LDO_3V3} = 3.3 V	1.3			V
V_{HYS}	入力ヒステリシス	V_{LDO_3V3} = 3.3 V	0.165			V
V_{OL}	出力 LOW 電圧	I_{OL} = 3mA			0.36	V
I_{LEAK}	入力リーク電流	ピンの電圧 = V_{LDO_3V3}	-3		3	µA
I_{OL}	最大出力低電流	V_{OL} = 0.4 V	15			mA
I_{OL}	最大出力低電流	V_{OL} = 0.6 V	20			mA
t_f	0.7 x V_{DD} ～ 0.3 x V_{DD} の立ち下がり時間	V_{DD} = 1.8V、10pF ≤ C_b ≤ 400pF	12		80	ns
		V_{DD} = 3.3V、10pF ≤ C_b ≤ 400pF	12		150	ns
t_{SP}	I^2C パルス幅が抑制されます				50	ns
C_I	ピン容量 (内部)				10	pF
C_b	各バス ラインの容量性負荷 (外部)				400	pF
SDA および SCL 標準モードの特性 (ターゲット)						
f_{SCLS}	ターゲットのクロック周波数	V_{DD} = 1.8V または 3.3V			100	kHz
$t_{VD;DAT}$	有効データ時間	データを送信、V_{DD} = 1.8V または 3.3V、SCL low から SDA 出力が有効になるまで			3.45	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データの送信、V_{DD} = 1.8V または 3.3V、SCL low から SDA (out) low への ACK 信号			3.45	µs
SDA および SCL 高速モードの特性 (ターゲット)						
f_{SCLS}	ターゲットのクロック周波数	V_{DD} = 1.8V または 3.3V	100		400	kHz
$t_{VD;DAT}$	有効データ時間	データ送信時、V_{DD} = 1.8V において、SCL が low になってから SDA 出力が有効になるまで			0.9	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データの送信、V_{DD} = 1.8V または 3.3V、SCL low から SDA (out) low への ACK 信号			0.9	µs

Copyright © 2026 Texas Instruments Incorporated

6.17 代表的特性

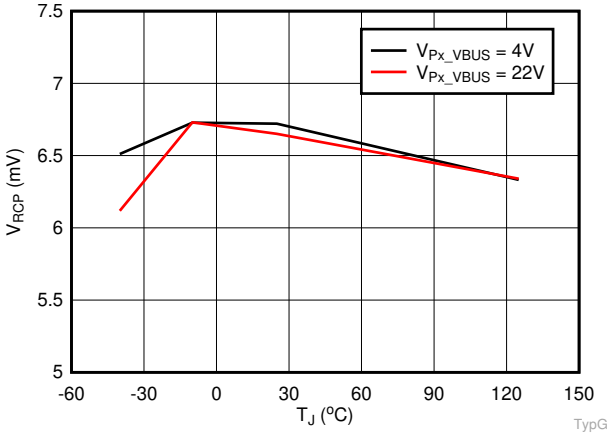


図 6-1. V_{RCP} と温度との関係

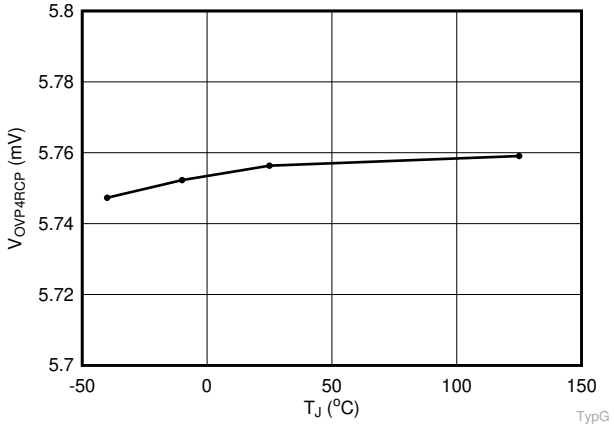


図 6-2. $V_{OVP4RCP}$ (設定 2) と温度との関係

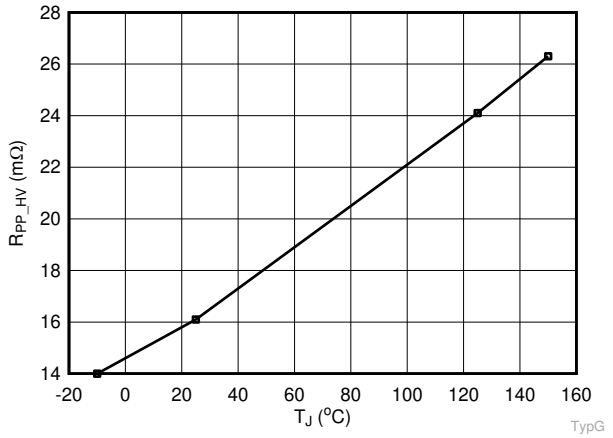


図 6-3. TPS25730AD における R_{PPHV} と温度との関係

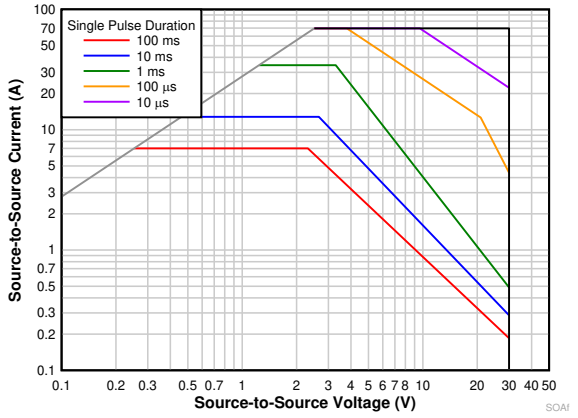


図 6-4. TPS25730AD における PPHV の安全動作領域 (SOA)

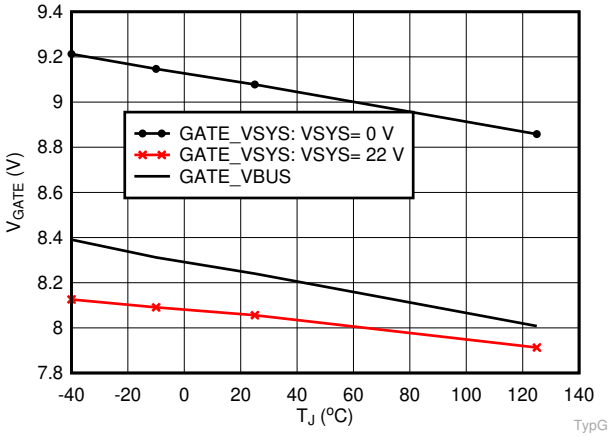


図 6-5. TPS25730AS における $V_{GATE_VBUS_ON}$ と温度との関係

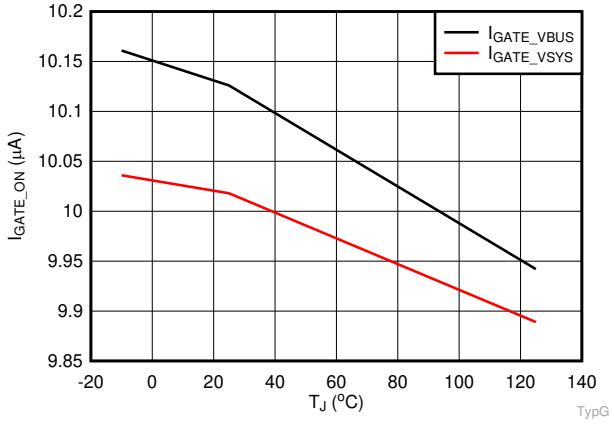


図 6-6. TPS25730AS における I_{GATE_ON} と温度との関係

Copyright © 2026 Texas Instruments Incorporated

7 パラメータ測定情報

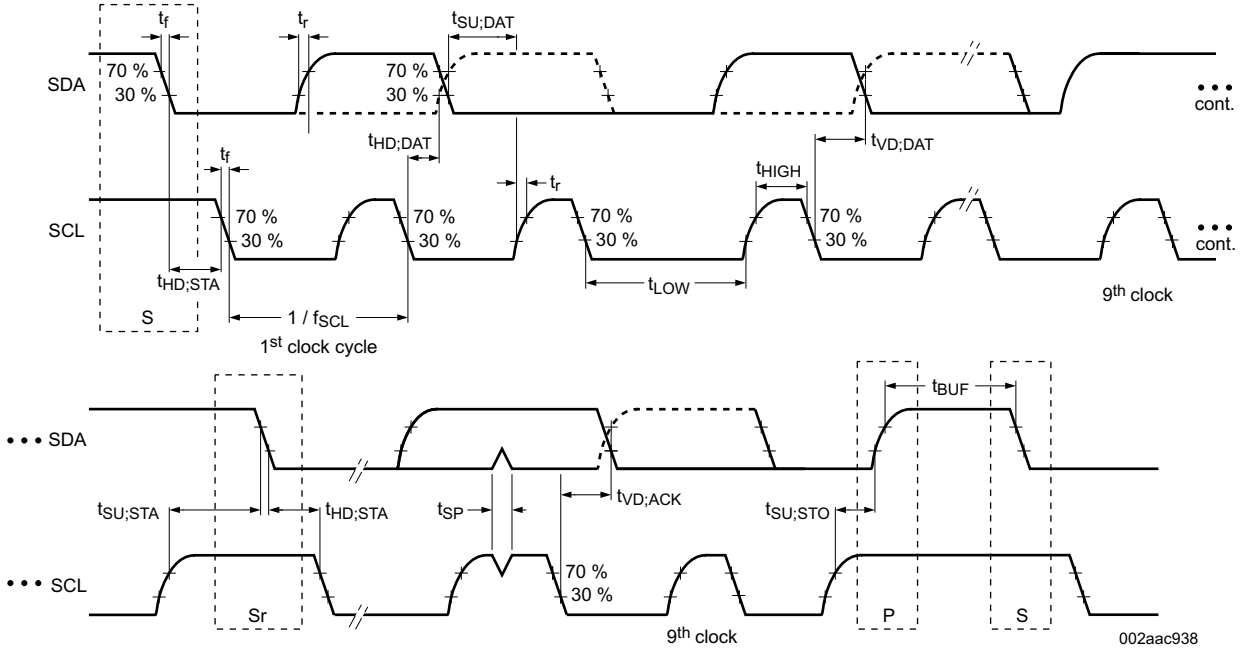


図 7-1. I²C ターゲット インターフェース タイミング

8 詳細説明

8.1 概要

TPS25730A は、USB Type-C および PD レセプタクル向けに、ケーブルの挿入および向き検出機能を提供する完全統合型の USB Power Delivery (USB-PD) 管理デバイスです。TPS25730A は、ケーブルの反対側にある USB Type-C および PD のポート パートナーと通信します。このデバイスには、シンク用の大電流ポート パワー スイッチも内蔵されています。

TPS25730A は、いくつかの主要なセクションに分かれています。

- USB-PD コントローラ
- ケーブルの挿入および向き検出回路
- ポート電源スイッチ
- パワー マネージメント回路
- デジタル コア

USB-PD コントローラは、USB-PD プロトコルの物理層 (PHY) 機能を提供します。USB-PD のデータは、リバーシブルな USB Type-C ケーブルの向きに応じて、CC1 ピンまたは CC2 ピンのいずれかから出力されます。USB-PD 物理層の高レベル ブロック図、機能の説明、およびより詳細な回路については、セクション 8.3.1 を参照してください。

ケーブルの挿入および向き検出用のアナログ回路は、USB Type-C ケーブルの挿入およびその向きを自動的に検出します。ケーブルの挿入および向き検出の高レベル ブロック図、機能の説明については、セクション 8.3.4 を参照してください。

ポート電源スイッチの高レベル ブロック図、機能の説明、およびより詳細な回路については、セクション 8.3.3 を参照してください。

パワー マネージメント回路は、TPS25730A 内部回路と LDO_3V3 出力に電力を供給します。詳細については「セクション 8.3.2」を参照。

デジタルコアは、すべての USB-PD パケットの受信、処理、送信のためのエンジンを搭載し、その他のすべての TPS25730A 機能の制御を処理します。デジタルコアの高レベル ブロック図、機能の説明、およびより詳細な回路については、セクション 8.3.9 を参照してください。

また、TPS25730A にはサーマル シャットダウン メカニズムが内蔵されており、内蔵発振器から供給される正確なクロックで動作します。

Copyright © 2026 Texas Instruments Incorporated

8.2 機能ブロック図

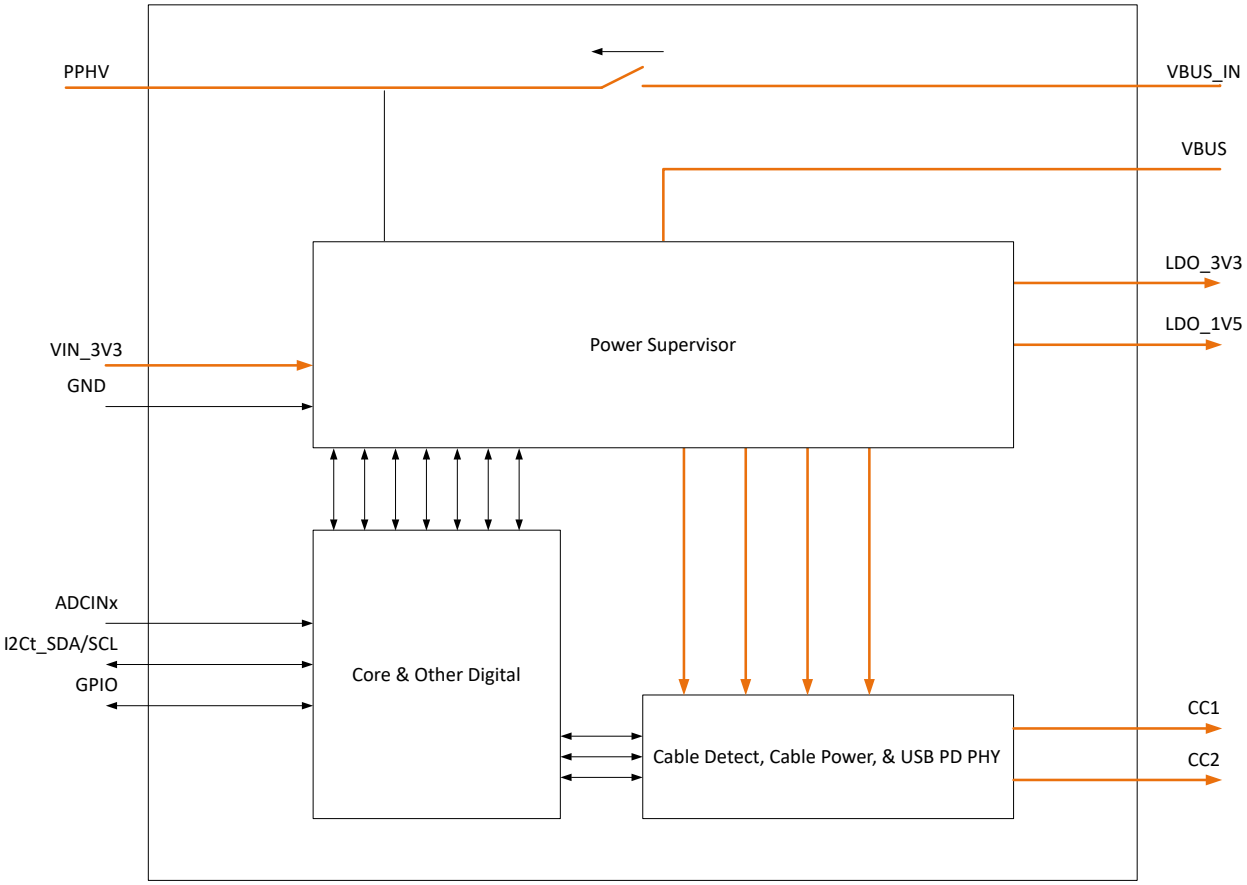


図 8-1. TPS25730AD

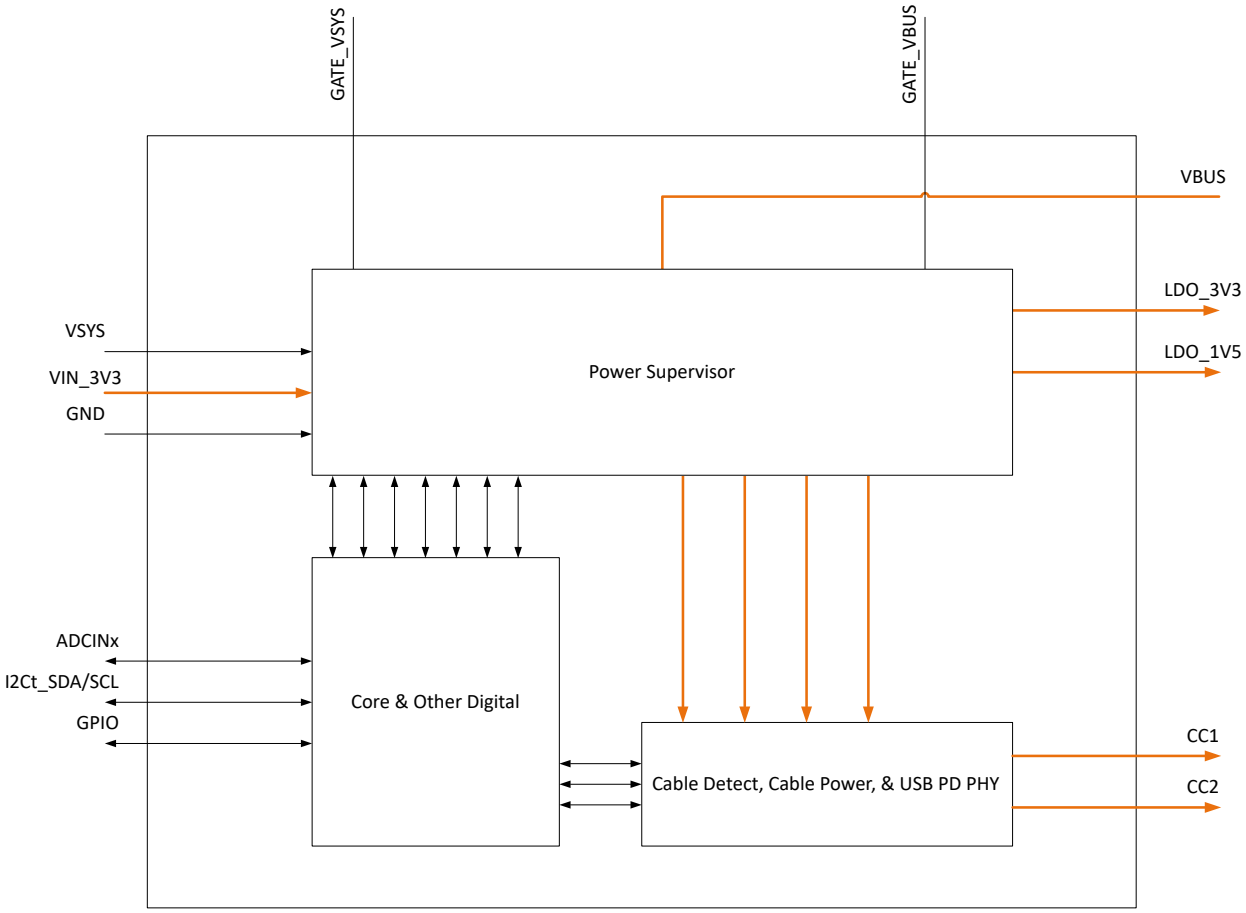


図 8-2. TPS25730AS

Copyright © 2026 Texas Instruments Incorporated

8.3 機能説明

8.3.1 USB-PD 物理層

図 8-3 に、アナログ プラグおよび方向検出ブロックの簡略バージョンで囲まれた USB PD 物理層ブロックを示します。

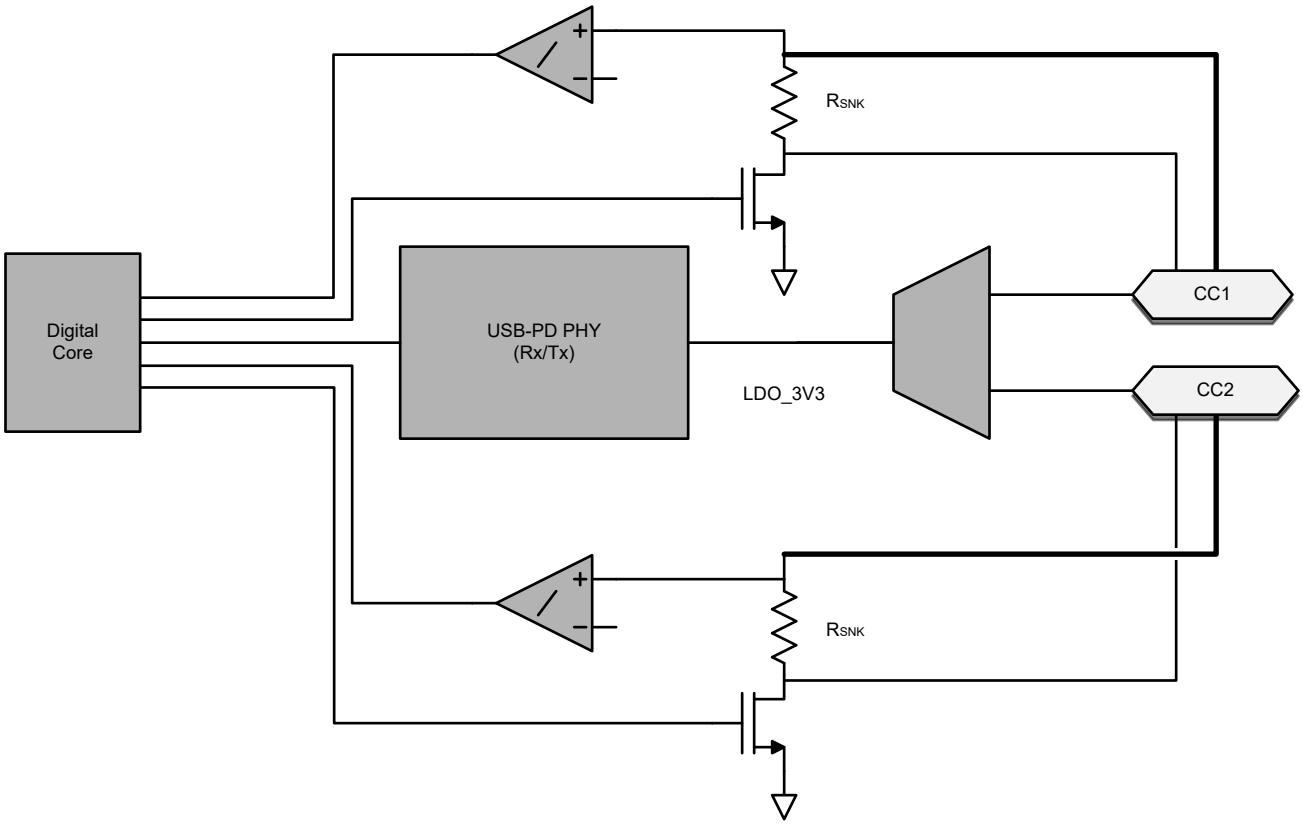


図 8-3. USB-PD 物理層およびプラグと方向の簡素検出回路

USB-PD メッセージ は、BMC 信号を使用して、USB Type-C システムで送信されます。BMC 信号は、Rp (または Rd) ケーブル接続メカニズムによって DC バイアスされた同じピン (CC1 または CC2) に出力されます。

8.3.1.1 USB-PD エンコードと信号処理

図 8-4 に、ベースバンド USB-PD トランスミッタの概略ブロック図を示します。図 8-5 に、ベースバンド USB-PD レシーバのハイレベル ブロック図を示します。

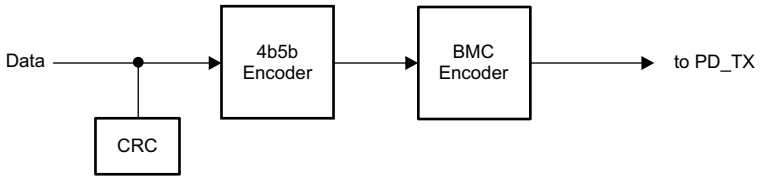


図 8-4. USB-PD ベースバンド トランスミッタのブロック図

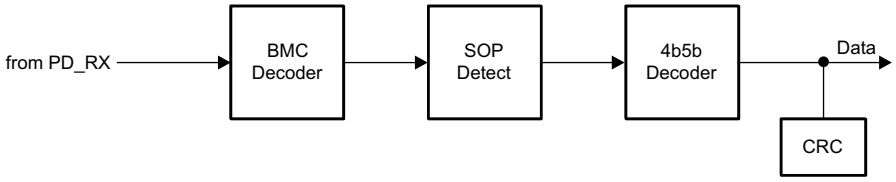


図 8-5. USB-PD ベースバンド レシーバのブロック図

8.3.1.2 USB-PD バイフェーズ マーク コーディング

TPS25730A に実装されている USB-PD 物理層は、USB-PD 仕様に準拠しています。ベースバンド PD 信号に使用されるエンコード方式は、バイフェーズ マーク コーディング (BMC) と呼ばれるマンチェスタ符号のバージョンです。このコードでは、各ビット セルの開始時に遷移が発生し、1 が送信されるビット期間の中間に、2 番目の遷移が発生します。このコーディング方式は、DC 平衡に近いもので、格差が限定されています (任意のパケットの 1/2 ビットに限定されるため、DC レベルは非常に低くなります)。二相マーク コーディングの例に、二相マーク コーディングを示します。

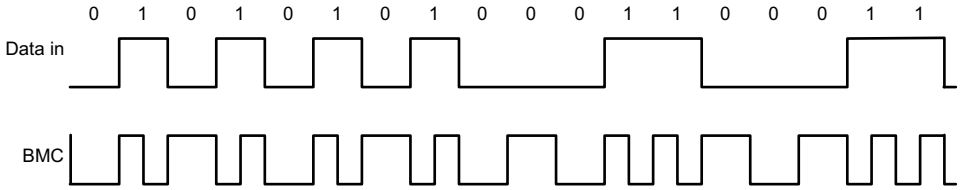


図 8-6. バイフェーズ マーク コーディングの例

USB PD ベースバンド信号は、トライステート ドライバで CC1 または CC2 ピンに駆動されます。トライステート ドライバはスルーレート制御され、D+/D– および Type-C フル機能ケーブル内の他の信号ラインへの結合を制限します。USB-PD プリアンブルを送信すると、トランスミッタは Low レベルを送信して開始します。もう一方の端のレシーバは、最初のエッジの損失を許容します。送信側はエッジを用いて最終ビットを終了させ、受信側が EOP の最終ビットを確実にクロックできるようにします。

8.3.1.3 USB-PD BMC トランスミッタ

TPS25730A は、USB Type-C ポートごとに一組の CC ピンのペアのうち、いずれか一方の CCy ピンを使用して USB-PD データの送受信を行います。CCy ピンは、ケーブルの向きを決定し、ケーブル / デバイス接続検出を維持するためにも使用されます。したがって、CCy ピンに DC バイアスが存在します。トランスミッタ ドライバは、送信中に CCy DC バイアスをオーバードライブしますが、ハイ インピーダンス状態に戻り、送信していないときに DC 電圧を CCy ピンに戻すことができます。CC1 または CC2 のどちらかを送信および受信に使用できますが、特定の接続中はプラグの CC ピンと接続するもののみを使用するため、CC1 と CC2 の間には動的なスイッチングはありません。USB-BMC PD TX/RX のブロック図に、USB-PD BMC TX および RX ドライバのブロック図を示します。

Copyright © 2026 Texas Instruments Incorporated

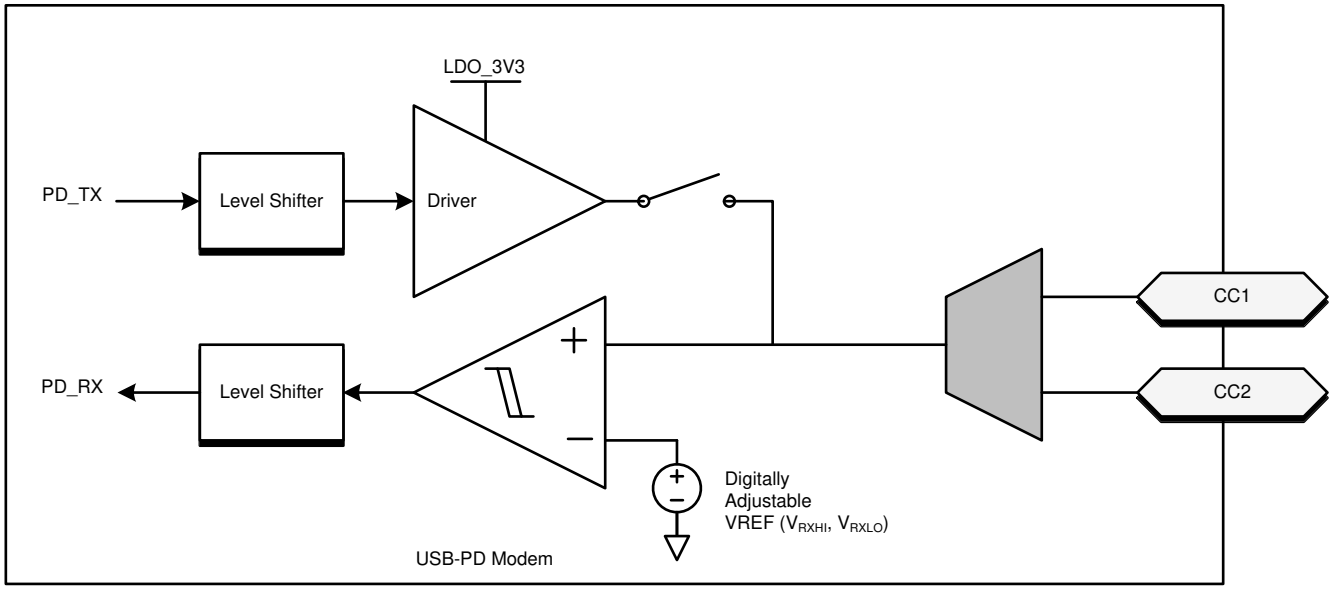


図 8-7. USB-PD BMC TX/RX のブロック図

図 8-8 に、DC バイアスに加えて、BMC データの送信を示します。DC バイアスは、シンク接続を検出するための最小スレッショルドから最大スレッショルドの範囲内であれば、任意の値を取り得ることに注意してください。これは、DC バイアスがトランスミッタ ドライバの VOH の上または下にある可能性があることを意味します。

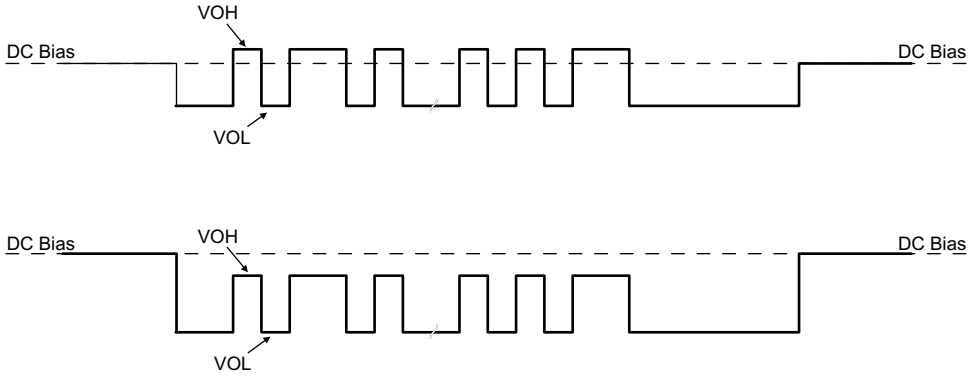


図 8-8. DC バイアスでの TX ドライバの送信

トランスミッタは、CCy ラインにデジタル信号を駆動します。信号ピーク V_{TXHI} は、「USB-PD 仕様」で定義されている TX マスクを満たすように設定されます。TX マスクは、ケーブルのファー エンドで測定することに注意してください。

ラインを駆動すると、トランスミッタ ドライバの出力インピーダンスは Z_{DRIVER} になります。Z_{DRIVER} は、ドライバの抵抗とソースのシャント容量によって決まり、これは周波数に依存します。Z_{DRIVER} は、ケーブルのノイズの侵入に影響を与えます。

ZDRIVER 回路は、Z_{DRIVER} を決定する簡略化された回路を示しています。この回路は、受信側のノイズが所定の範囲内に収まるように規定されています。

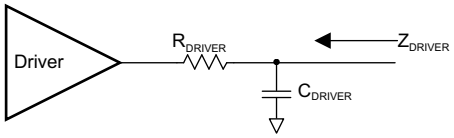


図 8-9. ZDRIVER 回路

Copyright © 2026 Texas Instruments Incorporated

8.3.1.4 USB-PD BMC レシーバ

TPS25730A のレシーバ ブロックは、USB PD 仕様で定義されている許容 Rx マスクに続く信号を受信します。受信スレッショルドとヒステリシスは、このマスクから発生します。

USB-PD のマルチドロップ構成例に、マルチドロップ USB-PD 接続の例 (CC ワイヤのみ) を示します。この接続には、シンク (デバイス) からソース (ホスト) への標準的な接続がありますが、ケーブル USB-PD Tx/Rx ブロックも含まれています。一度に送信できるのは 1 つのシステムのみです。その他のシステムはすべてハイ インピーダンス (Z_{BMCRX}) です。「USB-PD 仕様」には、配線上に存在する可能性のある容量、および接続検出用の標準的な DC バイアス設定回路も規定されています。

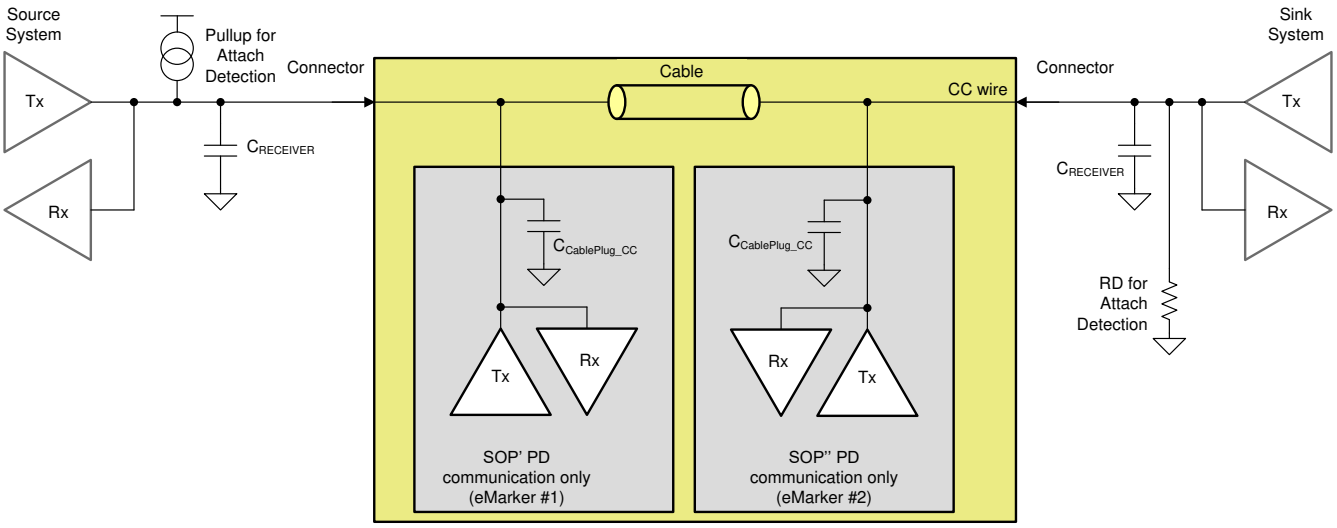


図 8-10. USB-PD マルチドロップ構成の例

8.3.1.5 スケルチ レシーバ

TPS25730A は、USB PD 仕様で定義されているバス アイドル状態を監視するスケルチ レシーバを内蔵しています。

8.3.2 パワー マネージメント

TPS25730A のパワー マネージメント ブロックは電力を受け取り、TPS25730A 内部回路に供給するための電圧を生成します。生成される電源レールは、LDO_3V3、LDO_1V5 です。LDO_3V3 は、外部 EEPROM メモリの低消費電力出力としても使用できます。図 8-11 に、電源経路を示します。

Copyright © 2026 Texas Instruments Incorporated

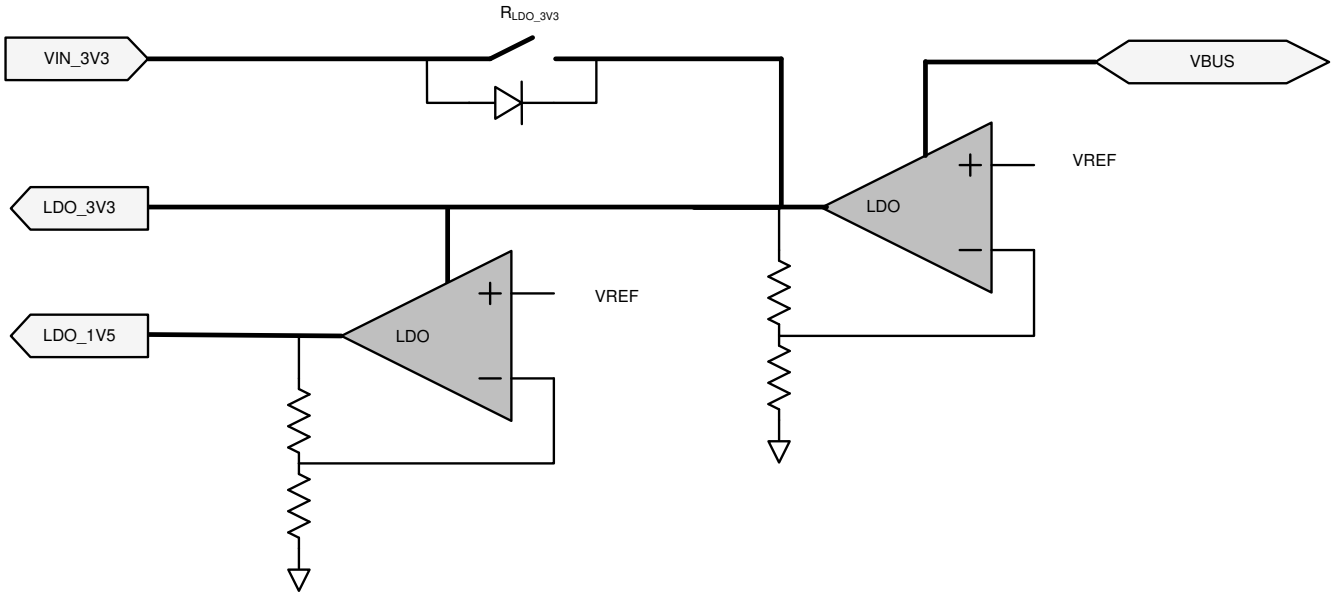


図 8-11. 電源

TPS25730A には、VIN_3V3 または VBUS から電力を供給されます。通常の電源入力は VIN_3V3 です。VIN_3V3 から給電する場合、電流は VIN_3V3 から LDO_3V3 へ流れ、コアの 3.3V 回路および I/O に電力を供給します。二番目の LDO は、LDO_3V3 から LDO_1V5 に電圧を降圧して 1.5V コア デジタル回路に電力を供給します。VIN_3V3 の電力が利用できず、VBUS で電力が利用可能である場合、デバイスはデッド バッテリのスタートアップ状態と見なされます。デッド バッテリの起動状態では、ホストが I^2C 経由でデッド バッテリ フラグをクリアするまで、TPS25730A は VIN_3V3 スイッチを開きます。したがって、TPS25730A には、デッド バッテリのスタートアップ状態ではそれより高い電圧で VBUS 入力から電力が供給され、デッド バッテリ フラグがクリアされるまで電力が供給されます。VBUS 入力から電力を供給する場合、VBUS の電圧は LDO を経由して LDO_3V3 に降圧されます。

8.3.2.1 パワーオンおよび監視機能

パワーオン リセット (POR) 回路は、各電源を監視します。この POR により、良好な電源が存在するときのみにアクティブ回路をオンにできます。

8.3.2.2 VBUS LDO

TPS25730A には高電圧 LDO が内蔵されており、VBUS を 3.3V に変換して内部デバイス回路に電力を供給できます。バッテリ切れの状況では、VBUS LDO が使用されます。(VIN_3V3 は low で、バッテリ切れフラグはアクティブです)。VBUS LDO は VBUS から電力を供給されます。

8.3.3 パワー パス

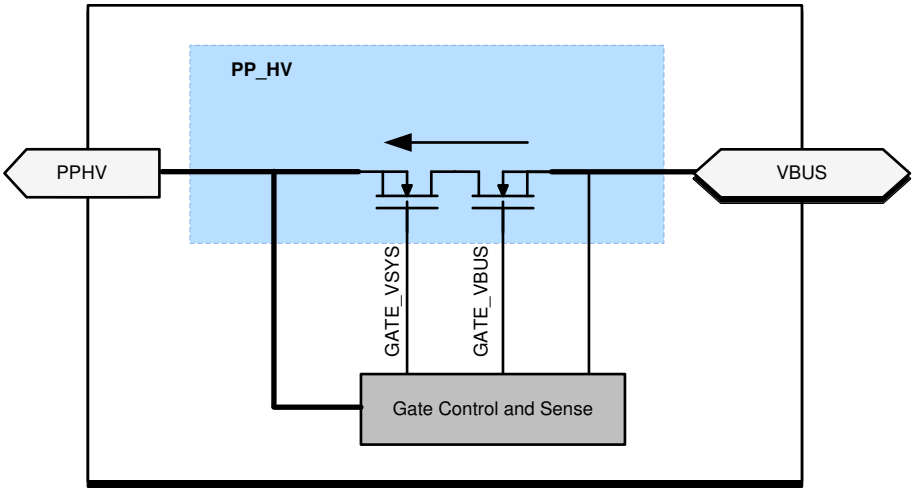
TPS25730AD は、パワー パスをシンクするための高電圧負荷スイッチを内蔵しています。PPHV。TPS25730AS は、シンク パス制御用の高電圧ゲート ドライバを備えています。PP_EXT。このセクションでは、各パワー パスについて詳細に説明します。

8.3.3.1 TPS25730AD 内部パワーパス

TPS25730AD は、内部 FET (内部パワーパスに示される GATE_VSYS および GATE_VBUS) を制御する内部制御回路を備えており、パワーパスを有効にする前に VBUS_IN が V_{VBUS_UVLO} を上回っている必要があります。内部パワーパスは電力経路の図を示しています。パワーパスが有効になっている場合、外部スイッチが急激にオンにならないようにするためのスルーレート制御ループ (SS) が回路に含まれています。TPS25730A は PPHV と VBUS 電圧を検出して、ゲート電圧を制御して FET を有効化または無効化します。

パワーパス制御には、過電圧保護 (OVP) と逆電流保護 (RCP) が含まれています。

Copyright © 2026 Texas Instruments Incorporated



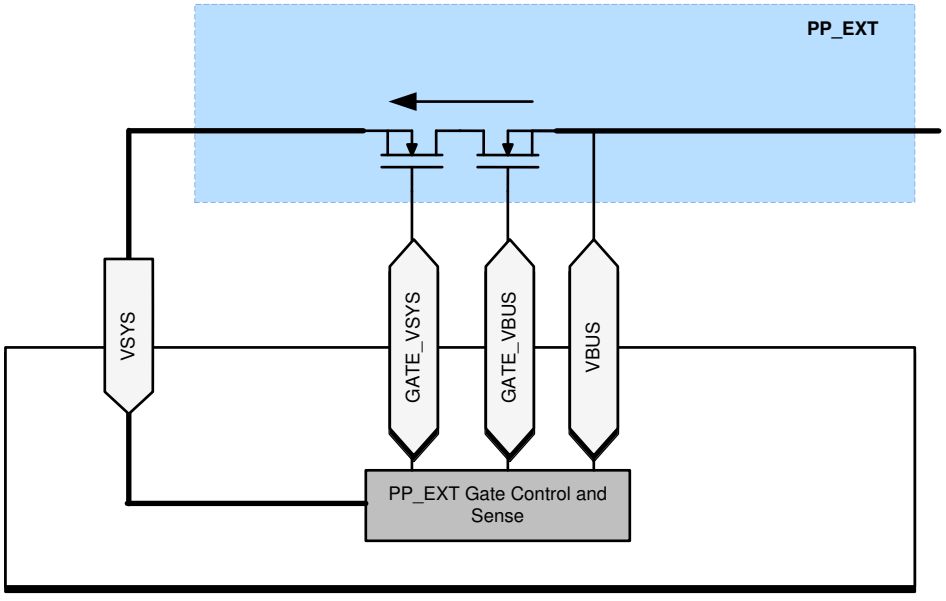
Copyright © 2018, Texas Instruments Incorporated

図 8-12. 内部パワーパス

8.3.3.2 外部パワーパス制御 PP_EXT

TPS25730A TPS25730AS は、VBUS から VSYS へのシンク パスと、を制御するために設計された 2 つの N チャネル ゲートドライバを備えています。これらのゲートドライバのチャージ ポンプは VBUS が V_{VBUS_UVLO} より高くなる必要があります。シンク パスが有効になると、外部スイッチが急激にオンにならないようにするためのスルーレート制御ループ (SS) が回路に含まれます。TPS25730A TPS25730AS は VSYS および VBUS 電圧を検出して、ゲート電圧を制御し、外部 FET をイネーブルまたはディスエーブルにします。

高電圧パワー パス制御には、過電圧保護 (OVP) と逆電流保護 (RCP) が含まれます。TPS25730A TPS25730AS の GATE ピンと直列に抵抗を追加し、N チャネル MOSFET の GATE ピンを追加することで、OVP または RCP が発生すると、ターンオフ時間を遅くできます。このような抵抗は最小限に抑える必要があり、3Ω を超えないようにします。



Copyright © 2018, Texas Instruments Incorporated

図 8-13. PP_EXT 外部パワー パス制御

VSYS ゲートドライバの詳細に、GATE_VSYS ゲートドライバを示します。

Copyright © 2026 Texas Instruments Incorporated

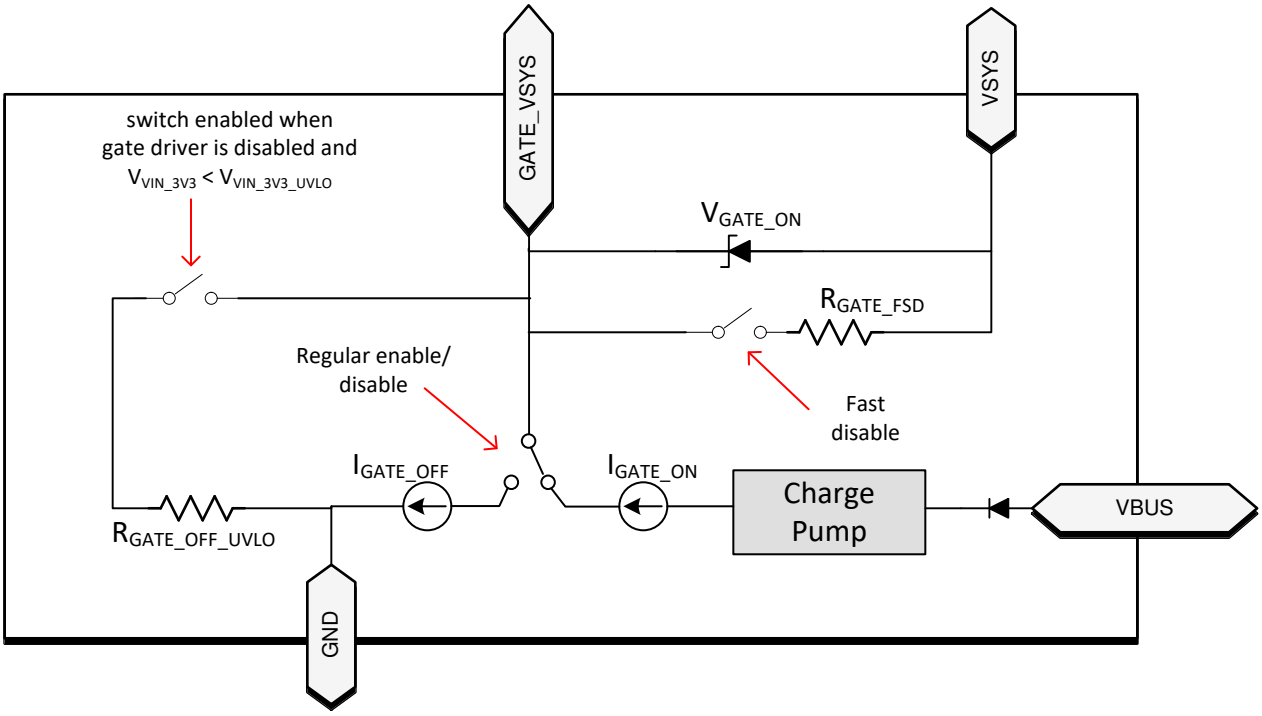


図 8-14. VSYS ゲート ドライバの詳細

8.3.4 ケーブル接続および方向の検出

図 8-15 に、各 CCy ピン (CC1、CC2) のプラグおよび方向検出ブロックを示します。各ピンには同じ検出回路があります。

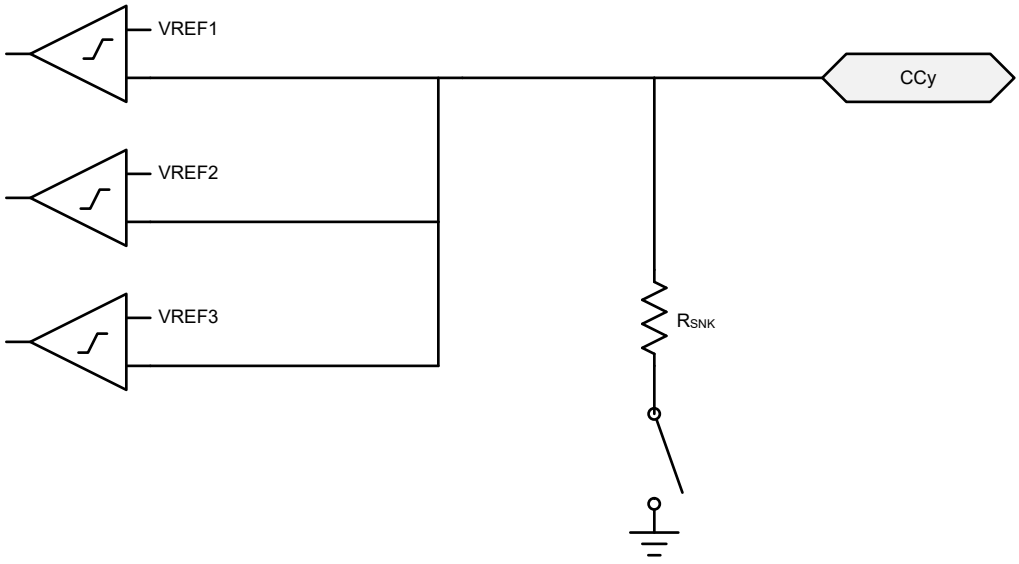


図 8-15. プラグおよび方向検出ブロック

8.3.5 過電圧保護 (CC1、CC2)

TPS25730A は、CC1 または CC2 ピンの電圧が高すぎると検出し、システムを保護するための措置を実行します。保護動作として、USB PD トランスミッタを無効化することが挙げられます。

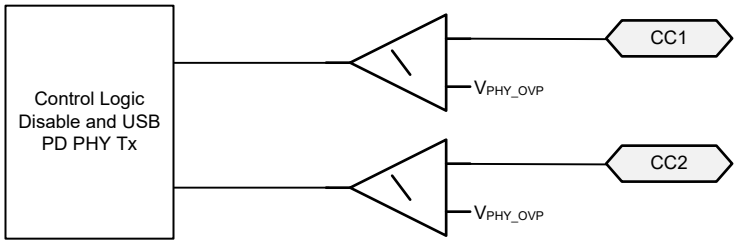


図 8-16. CC1 と CC2 向け過電圧と逆電流保護機能

8.3.6 デフォルト動作構成 (ADCINx)

内部 ADC への ADCINx 入力により、TPS25730A の動作が制御されます。ADCINx ピンは、以下の図に示すように、抵抗分圧回路を介して LDO_3V3 ピンに外部接続する必要があります。起動時に、ADC は ADCINx 電圧を変換し、デジタル コアはこれら 4 つの値と PD5VMAX を使用して、スタートアップ動作を決定します。使用可能なスタートアップ構成には、I2Ct_SCL/SDA の I^2C ターゲット アドレスおよびデフォルト構成オプションが含まれます。

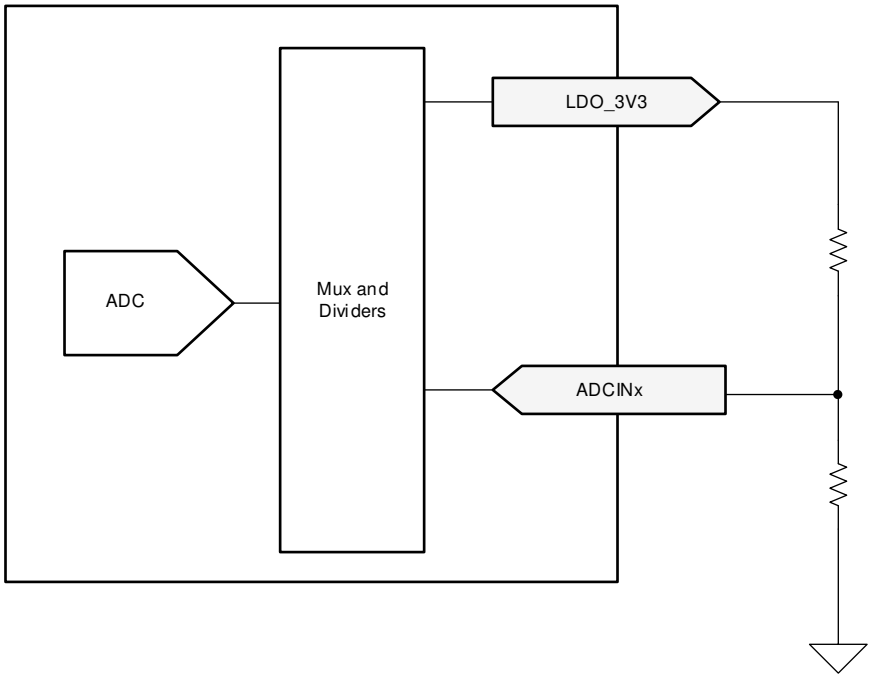


図 8-17. ADCINx 分圧抵抗

デバイスの動作は、ADCINx ピンのデコードされた値に応じて、いくつかの方法で決定されます。次の表に、さまざまな分圧抵抗比についてデコードされた値を示します。ADCINx でデコードされた値がデフォルトの I^2C ターゲット アドレスに与える影響の詳細については、I^2C アドレスの設定を参照してください。

表 8-1. ADCIN1 および ADCIN2 ピンのデコード

DIV = R_{DOWN} / (R_{UP} + R_{DOWN})(1)			R_{UP} または R_{DOWN} を使用しない	ADCINx でデコードされた値
最小値	ターゲット	最大値		
0	0.0114	0.0228	GND に接続	0
0.0229	0.0475	0.0722	該当なし	1
0.0723	0.1074	0.1425	該当なし	2
0.1425	0.1899	0.2372	該当なし	3
0.2373	0.3022	0.3671	該当なし	4
0.3672	0.5368	0.7064	LDO_1V5 に接続	5

Copyright © 2026 Texas Instruments Incorporated

表 8-1. ADCIN1 および ADCIN2 ピンのデコード (続き)

DIV = R_{DOWN} / (R_{UP} + R_{DOWN})(1)			R_{UP} または R_{DOWN} を使用しない	ADCINx でデコードされた値
最小値	ターゲット	最大値		
0.7065	0.8062	0.9060	該当なし	6
0.9061	0.9530	1.0	LDO_3V3 に接続	7

(1) I^2C アドレス インデックスの正確な意味については、I^2C アドレス設定を参照してください。

8.3.7 ADC

図 8-18 に、TPS25730A ADC を示します。ADC は 8 ビットの逐次比較型 ADC です。ADC への入力は、デバイス内のさまざまな電圧と電流からの複数の入力に対応するアナログ入力マルチプレクサです。

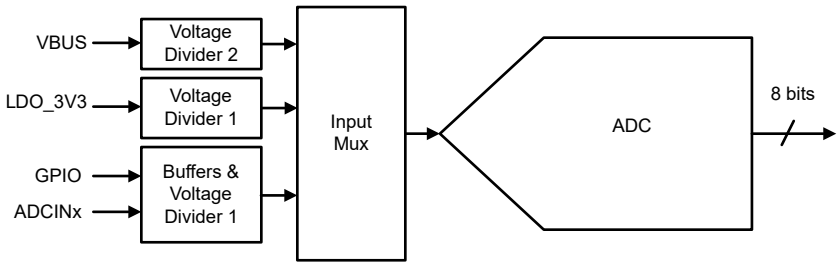


図 8-18. SAR ADC

8.3.8 デジタル インターフェイス

TPS25730A には、他のデバイスとの通信に使用できるいくつかの異なるデジタル インターフェイスが搭載されています。使用可能なインターフェイスには、I2C ターゲットと事前構成済みの GPIO が含まれます。

8.3.8.1 GPIO

サポートされている GPIO 機能は PD コントローラにネイティブで実装されており、特別な設定は不要です。

表 8-2. GPIO 機能表

ピン名	タイプ	特殊機能
CAP_MIS	O	接続されたソースがシステムに十分な電力を供給できない場合、PD リクエストにおいて機能ミスマッチ ビットが設定されます
SINK_EN	O	システムへ電力を取り込むために外部ロード スイッチを制御するためのアクティブ Low 信号です。PP_HV または PP_EXT パスがシステムで使用されない場合は、SINK_EN を使用します。
PLUG_EVENT	O	Type-C ポートに接続があることをシステムに通知します。
DBG_ACC	O	Type-C ポートでデバッグ アクセサリが検出されたことをシステムに示します。
PLUG_FLIP	O	ケーブルの向きをシステムに示します。ここで、CC1 = 0 および CC2 = 1 です
FAULT_IN	I	システムが故障状態にあることを PD コントローラに通知するアクティブ Low 信号です。PD コントローラは Type-C ポートから切断され、Type-C のエラー リカバリ状態になります。

8.3.8.2 I^2C インターフェイス

TPS25730A には、一つの I2C ターゲット インターフェイス ポートがあります。I2Ct の詳細を示します。I2C ポート I2Ct は I2Ct_SDA と I2Ct_SCL のピンで構成されます。このインターフェイスは、TPS25730A に関する一般的なステータス情報を提供するほか、TPS25730A の動作を制御する能力や、BMC USB-PD をサポートする接続されたデバイスやケーブルとの通信をサポートし、USB-C レセプタクルで検出された接続に関する情報を提供します。

TPS25730A が APP モードのときは、TI はスタンダード モードまたは高速モード (つまり 400kHz 以下のクロック速度) の使用を推奨します。

Copyright © 2026 Texas Instruments Incorporated

表 8-3. I²C の概要

I²C バス	タイプ	一般的な使用
I2Ct	ターゲット	オプションで、外部マイコンに接続することもできます。

8.3.8.2.1 I²C インターフェイスの説明

TPS25730A は、標準モードおよび高速モードの I²C インターフェイスをサポートしています。双方向 I²C バスは、シリアル クロック (SCL) ラインとシリアル データ (SDA) ラインで構成されます。両方のラインは、プルアップ抵抗を介して電源に接続する必要があります。データ転送は、バスがビジー状態でないときにのみ開始できます。

コントローラは、START 条件を送信します。START 条件とは、SCL 入力が High のときに、SDA 入力と出力が High から Low に遷移して I²C 通信が開始されることです。START 条件の後、デバイスのアドレス バイトが送信されます。データ方向ビット (R/W) を含む最上位ビット (MSB) が最初に送信されます。

有効なアドレス バイトを受信すると、このデバイスは、ACK 関連のクロック パルスが High のときに SDA 入力 / 出力を Low にするアクノリッジ (ACK) で応答します。I²C バスでは、各クロック パルスの間に 1 つのデータ ビットのみが転送されます。SDA ラインのデータは、クロック周期の High パルス中は安定している必要があります。この時点でデータ ラインが変化すると、制御コマンド (START または STOP) として解釈されるためです。コントローラは STOP 条件を送信します。STOP 条件とは、SCL 入力が High のときに、SDA 入力と出力が Low から High に遷移することです。

START 条件と STOP 条件の間に、トランスミッタからレシーバへ任意の数のデータ バイトを転送できます。8 ビットの各バイトの後に 1 つの ACK ビットが続きます。レシーバが ACK ビットを送信する前に、トランスミッタは SDA ラインを解放する必要があります。アクノリッジを行うデバイスは、ACK 関連のクロック周期が High パルスのときは SDA ラインが安定して Low を維持できるようにするため、ACK クロック パルスの間は SDA ラインをプルダウンする必要があります。ターゲットのレシーバがアドレス指定されている場合、各バイトを受信した後に ACK を生成する必要があります。同様に、コントローラはターゲットのトランスミッタから受信した各バイトの後に ACK を生成する必要があります。適切な動作を維持するためには、セットアップ時間とホールド時間の条件を満たす必要があります。

コントローラのレシーバは、最後のバイトがターゲットからクロック出力された後、アクノリッジ (NACK) を生成せずに、データの終了をターゲットのトランスミッタに通知します。SDA ラインを High に保持するコントローラ レシーバは、データ転送の終了を通知します。この場合、コントローラが STOP 条件を生成できるように、トランスミッタはデータ ラインを解放する必要があります。

開始条件と停止条件の I2C 定義に、転送の開始条件と終了条件を示します。I2C ビット転送に、ビット転送のための SDA および SCL 信号を示します。図 8-21 に、最後のクロック パルスで ACK または NACK でのデータ転送シーケンスを示します。

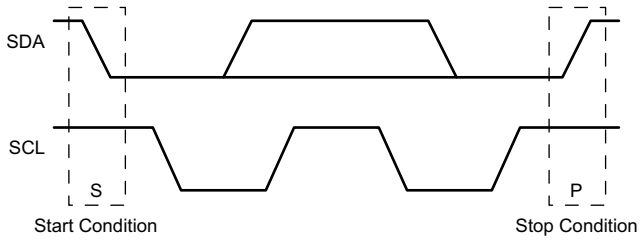


図 8-19. I²C の START 条件と STOP 条件の定義

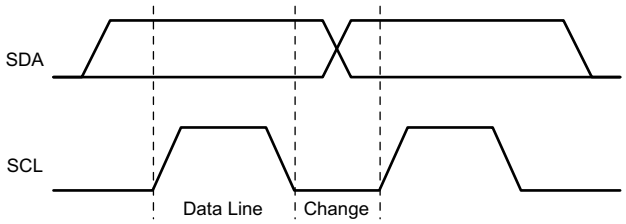


図 8-20. I²C ビット転送

Copyright © 2026 Texas Instruments Incorporated

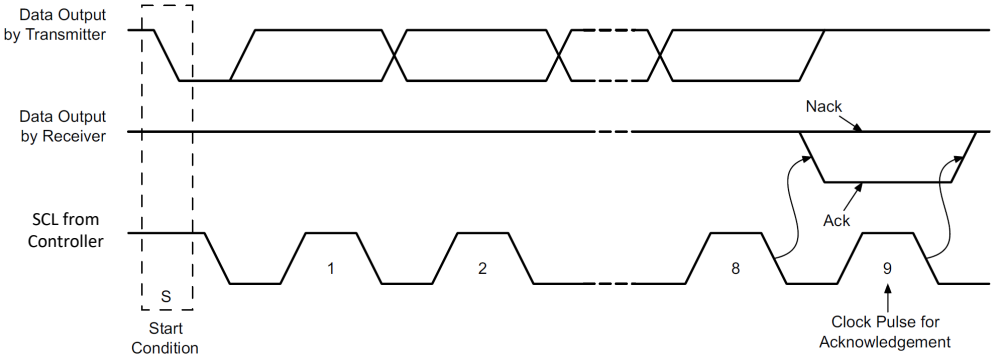


図 8-21. I²C 応答確認

8.3.8.2.1.1 I²C クロック ストレッチング

TPS25730A は、I²C プロトコルのクロック ストレッチングを備えています。TPS25730A のターゲット I²C ポートは、バイトを受信 (または送信) した後にクロック ライン (SCL) を low に保持し、それ以上のデータを処理する準備ができていないことを示します。ターゲットと通信するコントローラは、現在のビットの送信を完了せず、クロック ラインが実際に High になるまで待機する必要があります。目標がクロック ストレッチングの場合、クロック ラインは Low のままです。

コントローラは、クロック ラインが High に遷移した後、さらに最小時間 (標準 100kbps I²C では 4µs) 経過してから再びクロックが low に引き下げられるまで待機する必要があります。

任意のクロック パルスはストレッチされる可能性があり、通常はアクノリッジ ビットの前後のクロック パルスがストレッチされます。

8.3.8.2.1.2 固有アドレス インターフェイス

固有アドレス インターフェイスにより、I²C コントローラと単一の TPS25730A 間の複雑な相互作用が可能になります。I²C ターゲット サブアドレスは、ホスト インターフェイスのプロトコル コマンドの受信または応答に使用されます。図 8-22 と 図 8-23 に、I²C ターゲット インターフェイスの書き込み/読み取りプロトコルを示します。使用する用語を説明するためのキーが 図 8-24 に含まれています。プロトコル図のキーは、SMBus 仕様に含まれています。ここでも、部分的に繰り返されています。

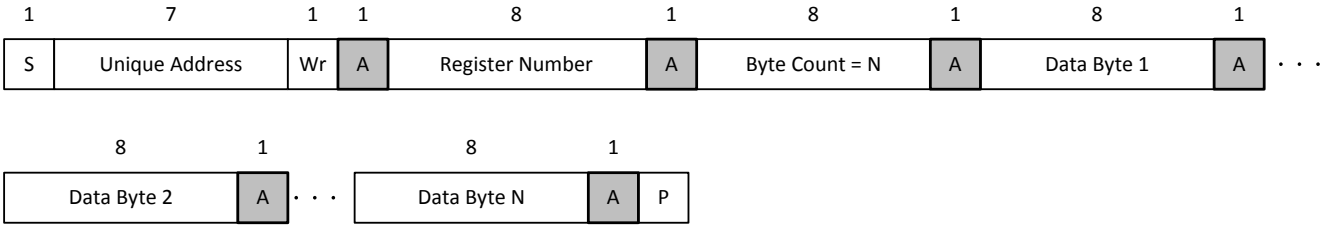


図 8-22. I²C 固有アドレス書き込みレジスタ プロトコル

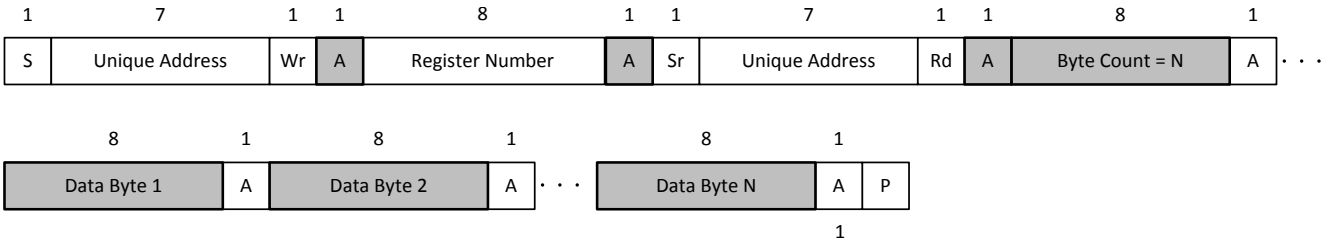
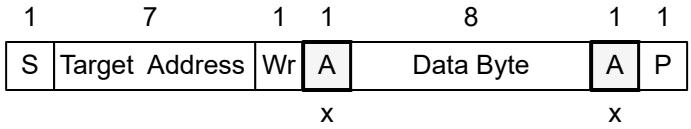


図 8-23. I²C 固有アドレス読み取りレジスタ プロトコル



S Start condition
SR Repeated start condition
Rd Read (bit value of 1)
Wr Write (bit value of 0
X Field is required to have the value x
A Acknowledge (this bit position is either 0 for an ACK or 1 for a NACK)
P Stop condition

Controller-to-target

Target-to-controller

• • • Continuation of protocol

図 8-24. I²C 読み取り / 書き込みのプロトコル キー

8.3.8.2.1.3 ピン ストラッピングによるデフォルト動作の構成

ブート手順中に、デバイスは ADCINx ピンを読み出し、以下の表に基づいて I²C アドレスと構成を設定します。

表 8-4. ADCIN1 を使用したデバイス I2C 構成

ADCIN1 デコード値 (最小電圧)(1)	I²C アドレス	バッテリ切れ構成
0 (5V)	0x20	EnableSinkAfterContract: このデバイスは、電力契約が締結されると、シンクパスを有効化します。このデバイスは、暗黙的かつ明示的な契約交渉によって電力を評価します。
1 (9V)	0x21	
2 (12V)	0x20	
3 (15V)	0x21	
4 (20V)	0x20	

(1) 指定の ADCINx でデコードされた値を構成する方法については、セクション 8.3.6 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.3.9 デジタル コア

図 8-25 に、デジタル コアの簡略化されたブロック図を示します。

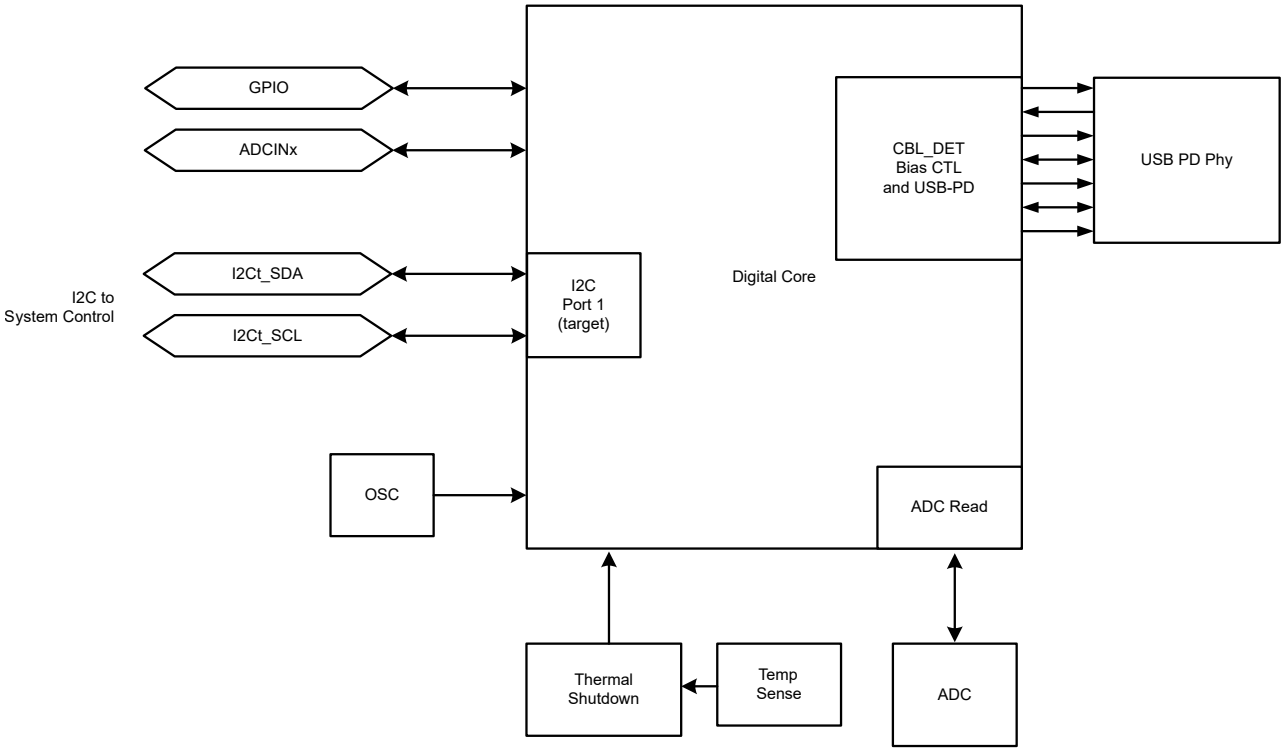


図 8-25. デジタル コア ブロック図

8.3.10 最小電圧構成

USB 電力供給シンク能力の最小電圧は、以下の表に従って設定できます。受信された USB PD ソース能力が、最小電圧と最大電圧、動作電流と最大電流に基づいて必要な電力範囲を満たしていない場合、USB PD 要求では機能ミスマッチ ビットが設定されます。最小電圧が 5V より大きく設定されている場合、シンク能力の高いビットが設定されます。

表 8-5. シンク能力の最小電圧構成 - ADCIN1 デコード

ADCIN1 デコード値	最小電圧構成
0	5V
1	9V
2	12V
3	15V
4	20V
5	予約済み
6	予約済み
7	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.3.11 最大電圧の設定

USB 電力機能のシンク機能における最大電圧は、以下の表に従って設定されます。受信された USB PD ソース能力が最小および最大電圧範囲を満たしていない場合、USB PD 要求で機能ミスマッチビットが設定されます。

表 8-6. シンク能力の最大電圧構成 - ADCIN2 デコード済み

ADCIN2 デコード値	PD5VMAX デコード値	最大電圧の設定	機能ミス時に出力を自動的に無効化
0	1	5V	はい
1	1	5V	いいえ
0	0	9V	はい
1	0	9V	いいえ
2	0	12V	はい
3	0	12V	いいえ
4	0	15V	はい
5	0	15V	いいえ
6	0	20V	はい
7	0	20V	いいえ

8.3.12 シンク電流構成

シンク電流は、表 8-7 に従ってプログラムされます。この設定では、USB PD のリクエスト メッセージにおける最大電流が設定されます。動作電流は、シンクが機能するために必要な電流として定義されます。最大電流は、シンクが使用できる最大電流として定義されます。シンクが機能するために必要な電流が最大電流である場合、動作電流と最大電流は同じ値にすることができます。PD ソース能力が、最小電圧と動作電流の設定で定義されるデバイスに必要な電力を満たしていない場合に、機能ミスマッチ ビットが設定されます。動作電流が 0A に設定されている場合、機能ミスマッチ ビットは設定されません。

注

動作電流が 0A に設定されている場合、ADCIN2 では「容量不一致時のシンク自動無効化」を 0 に設定するように設計する必要があります。

表 8-7. ADCIN3 と ADCIN4 シンク電流の構成

ADCIN3	ADCIN4	動作電流	最大電流
0	0	0	1.5A
0	1	0	3A
0	2	0	4A
0	3	0	5A
0	4	0.5A	1.5A
0	5	0.5A	3A
0	6	0.5A	4A
0	7	0.5A	5A
1	0	1A	1.5A
1	1	1A	3A
1	2	1A	4A
1	3	1A	5A
1	4	1.5A	1.5A
1	5	1.5A	3A

Copyright © 2026 Texas Instruments Incorporated

表 8-7. ADCIN3 と ADCIN4 シンク電流の構成 (続き)

ADCIN3	ADCIN4	動作電流	最大電流
1	6	1.5A	4A
1	7	1.5A	5A
2	1	2A	3A
2	2	2A	4A
2	3	2A	5A
2	5	2.5A	3A
2	6	2.5A	4A
2	7	2.5A	5A
3	1	3A	3A
3	2	3A	4A
3	3	3A	5A
3	6	3.5A	4A
3	7	3.5A	5A
4	2	4A	4A
4	3	4A	5A
4	7	4.5A	5A
5	3	5A	5A

8.3.13 シンク最小電力をオート ネゴシエーションする

必要な最小電力は、動作電流設定と最小電圧設定の積によって決定されます。受信した PD ソースの電力が、自動ネゴシエーションで要求されるシンクの最小電力を満たしていない場合、PD リクエスト メッセージにおいて機能ミスマッチ ビットが設定されます。

注

システムの電源を PD 電源のみからオフにする必要がある場合、電流と電圧の PD 電力要件に合わせて電源要件を揃えます。

表 8-8. シンク最小電力の自動ネゴシエーションの例

ADCIN1	ADCIN2	最小電圧	最大電圧	ADCIN3	ADCIN4	動作電流	最大電流	最小電力
0	5	5V	15V	3	1	3A	3A	15W
0	7	5V	20V	5	3	5A	5A	25W

8.3.14 拡張シンク能力の電力供給電力

最小、動作、および最大 PDP の拡張シンク能力電力供給電力は、設定された最大 / 最小電圧構成と電流構成によって決定されます。

表 8-9. 拡張シンク能力の電力供給電力の例

電力供給電源	ADCIN3/4 = 3/3	ADCIN1/2 = 0/6
最小 PDP = 25W	最大電流 = 5A	最小電圧 = 5V
動作 PDP = 100W	最大電流 = 5A	最大電圧 = 20V
最大 PDP = 100W	最大電流 = 5A	最大電圧 = 20V

Copyright © 2026 Texas Instruments Incorporated

8.4 デバイスの機能モード

8.4.1 電源の状態

TPS25730A は、次の 3 つの電源状態で動作できます。アクティブ、アイドル、またはスリープ。最新のスタンバイモードは、アイドル モードの特殊なケースです。表 8-10 に、各状態で使用できる機能の概要を示します。このデバイスは、アクティブで必要とされる回路に基づいて、3 つの電源状態間を自動的に遷移します。図 8-26 を参照してください。スリープ状態では、TPS25730A は Type-C 接続を検出します。アクティブ モードからアイドル モードに移行するには、以下のアクティビティがない期間 (T) が必要です。

- 受信 USB PD メッセージ
- CC ステータスの変更
- GPIO 入力イベント
- I^2C トランザクション
- 電圧アラート
- フォルト アラート

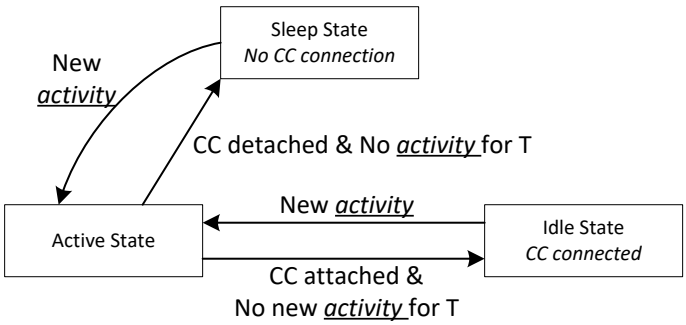


図 8-26. 電源状態のフロー ダイアグラム

表 8-10. 消費電力の状態

	アクティブ シンク モード(2)	アイドル シンク モード	スリープ モード(1)
PP_HV (TPS25730AD)	有効	有効	無効
PP_EXT (TPS25730AS)	有効	有効	無効
外部 CC1 終端	Rp 3.0A	Rp 3.0A	オープン
外部 CC2 終端	オープン	オープン	オープン

(1) このモードは次の目的で使用されます。$I_{VIN_3V3,\ Sleep}$
(2) このモードは次の目的で使用されます。$I_{VIN_3V3,\ ActSnk}$

Copyright © 2026 Texas Instruments Incorporated

8.4.2 電流サージ保護用ショットキー

ケーブルの誘導性による影響で急な切断が発生した際、TPS25730A に大きなグランド電流が流れ込む可能性を防ぐため、TI は VBUS からグラウンド間にショットキー ダイオードを配置することを推奨しています。

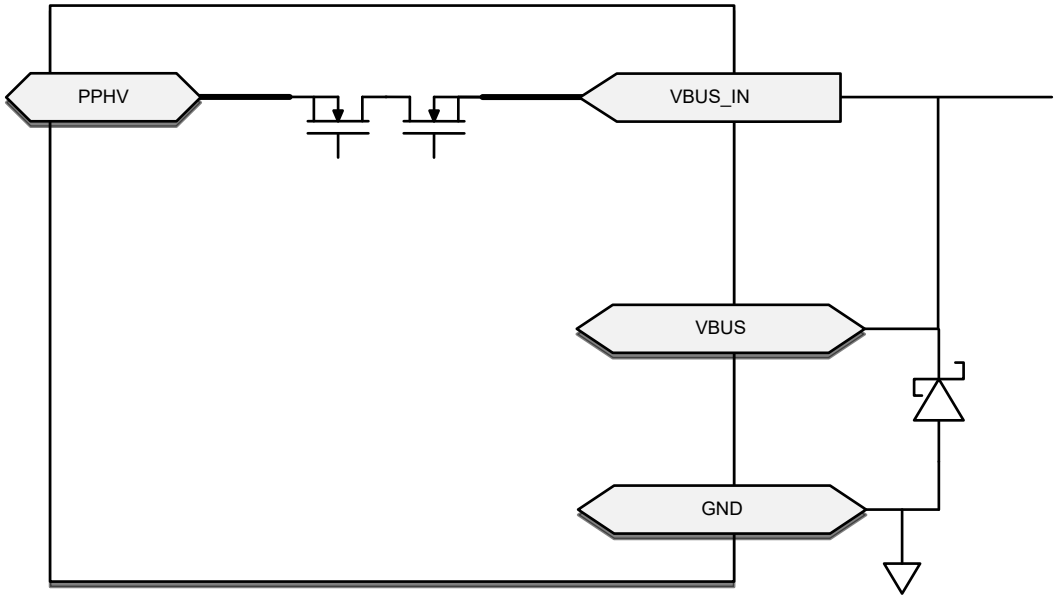


図 8-27. TPS25730AD の電流サージ保護用ショットキー ダイオード

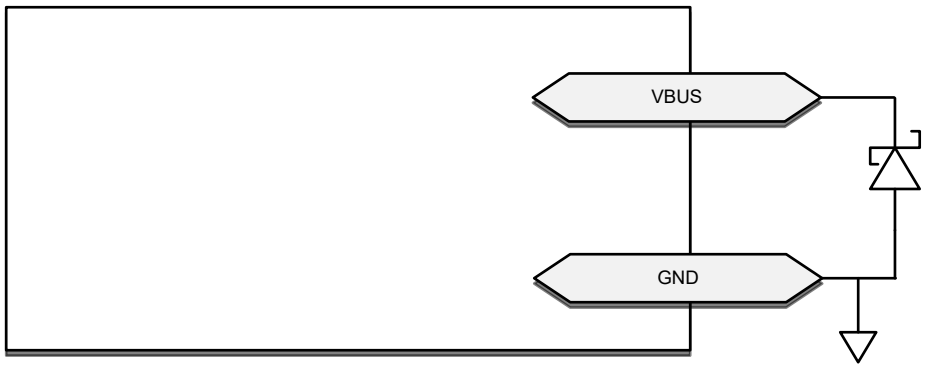


図 8-28. TPS25730AS の電流サージ保護用ショットキー ダイオード

8.4.3 サーマル シャットダウン

TPS25730A は、中央のサーマル シャットダウン機能、および各内部パワー パス用に独立したサーマル センサを備えています。中央のサーマル シャットダウンは、ダイの全体的な温度を監視し、ダイ温度が T_{SD_MAIN} の立ち上がり温度を上回ると、監視回路を除くすべての機能を無効にします。温度シャットダウンには T_{SDH_MAIN} のヒステリシスがあり、温度がこの値を下回ると、デバイスは通常動作に戻ります。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

TPS25730A は、シンクのみのアプリケーション向けに最適化された高集積スタンドアロン USB Type-C および PD (Power Delivery) コントローラです。TPS25730A の電圧および電流の要件は、抵抗ピン ストラップにより完全に設定できます。外部 EEPROM、外部マイコン、またはファームウェア開発は不要です。

シンク電源構成

TPS25730A は、シンク能力の構成に基づいて、要求するパワー データ オブジェクト (PDO) を選択します。シンク機能は、以下の表に示すように、ADCINx の設定に基づいて構成されます。

表 9-1. TPS25730A 送信シンク能力

電力データ オブジェクト (PDO)	シンク機能
PDO 1	固定電源 動作電流 = ADCIN3 電圧 = 5V
PDO 2	可変電源 動作電流 = ADCIN4 最小電圧 = ADCIN1 最大電圧 = ADCIN2(1)

(1) 5V のみアプリケーションの場合、最大電圧は PD5VMAX に設定されています

9.2 代表的なアプリケーション

9.2.1 設計要件

バレル ジャック代替アプリケーションでは、TPS25730A は、システムに必要とされる電圧に応じて PD コントラクトをネゴシエートするように構成されています。TPS25730A は、5V、9V、12V、15V、20V に対応しており、最大 5A までサポートします。PD コントローラのパワー パスを経由して、VBUS からシステムに電力を供給します。

Copyright © 2026 Texas Instruments Incorporated

9.2.2 詳細な設計手順

TPS25730A の ADCINx ピン構成を使用すると、サポートされる電圧および電流の範囲を選択できます。以下の表に、9V システムのシンク パス動作の二つの例を示します。

例	ADCIN1	ADCIN2	最小電圧	最大電圧	ADCIN3	ADCIN4	動作電流	最大電流	最小電力	機能ミスマッチ時のシンク パス自動無効化
A	1	1	9V	9V	3	1	3A	3A	27W	いいえ
B	1	0	9V	9V	3	1	3A	3A	27W	はい

A: 5V/3A PD ソース アダプタが接続された場合、TPS25730A は機能ミスマッチ ビットをアサートします。シンク パスが有効化され、5V がシステムに通過することができます。図 9-1 を参照してください

B:5V/3A PD ソース アダプタが接続された場合、TPS25730A は機能ミスマッチ ビットをアサートします。シンク パスは無効化され、5V がシステムに通過しないようにします。図 9-2 を参照してください

9.2.3 アプリケーション曲線

以下の図は、さまざまな条件における GPIO、VBUS、CC1、CC2 および PPHV の動作を示しています。

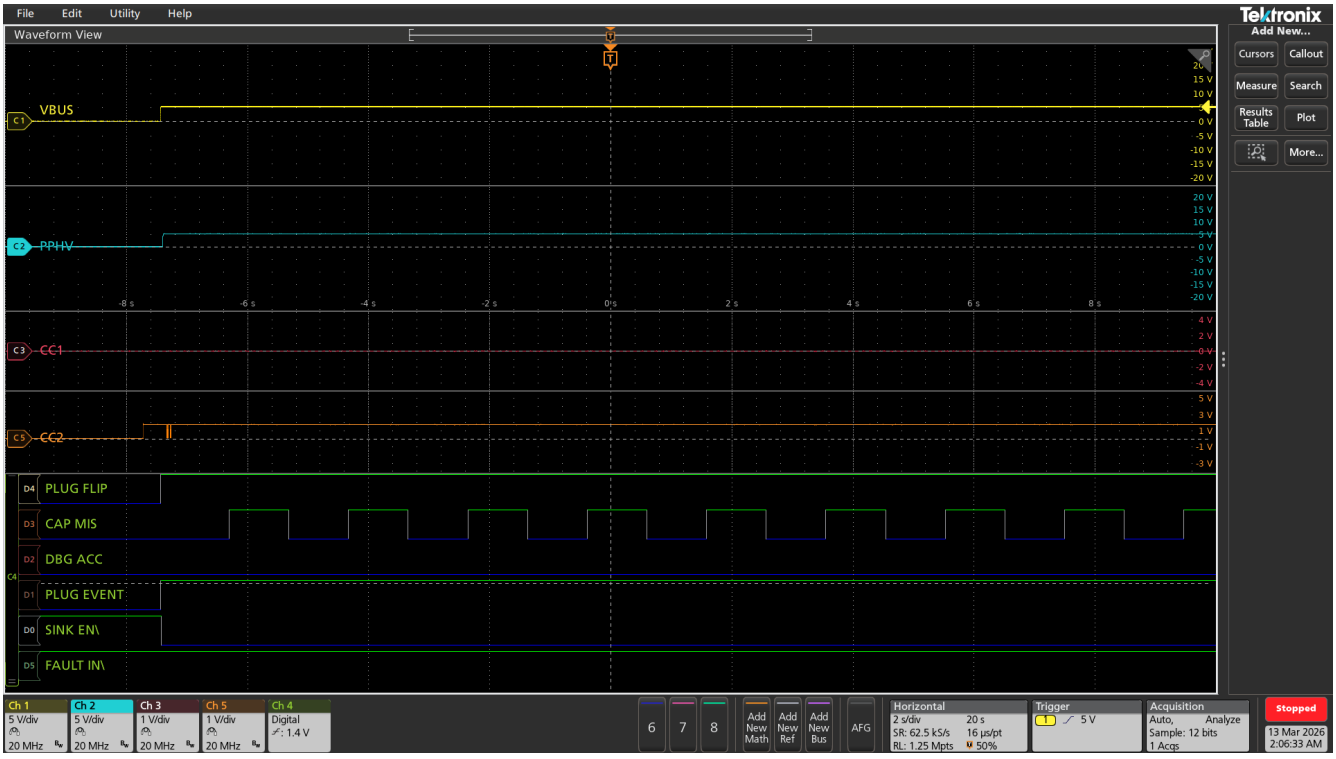


図 9-1. 機能ミスマッチおよび PPHV が有効な PD コントラクト

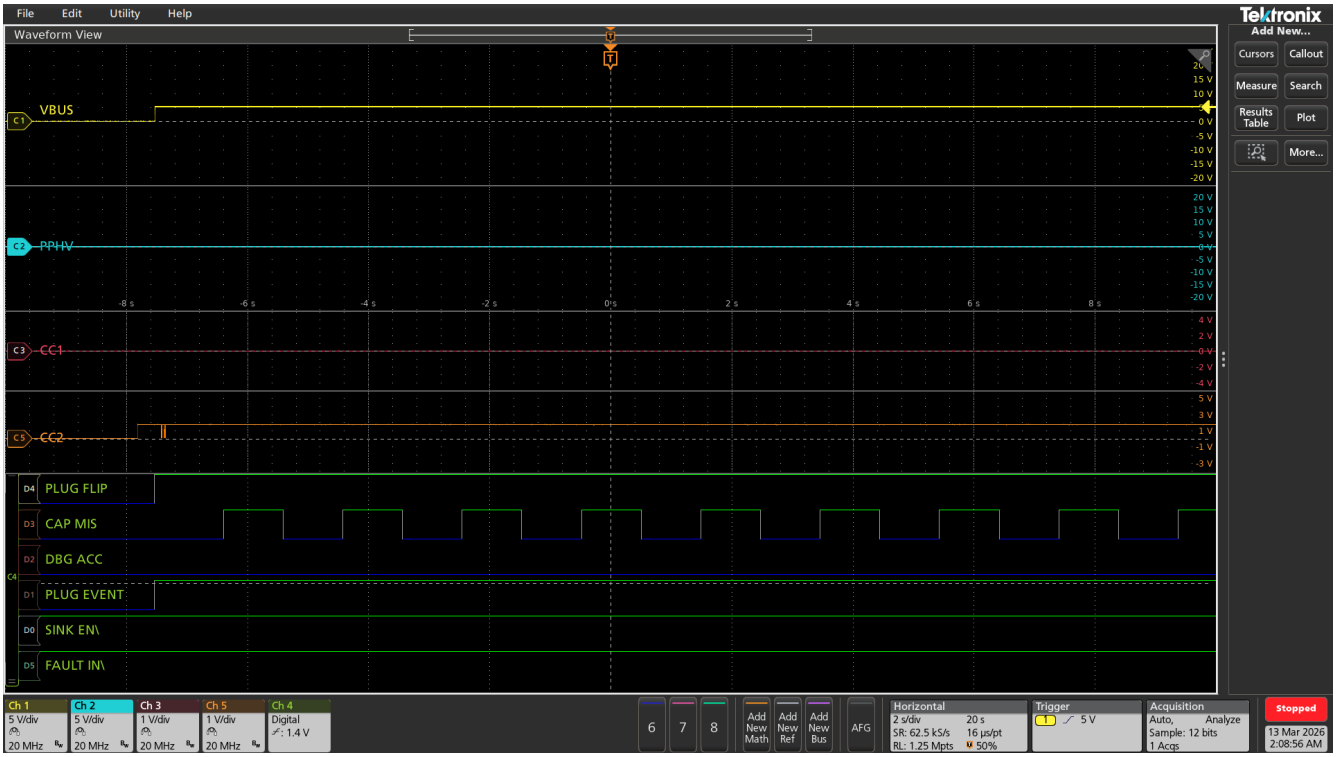


図 9-2. 機能ミスマッチおよび PPHV 無効の PD コントラクト

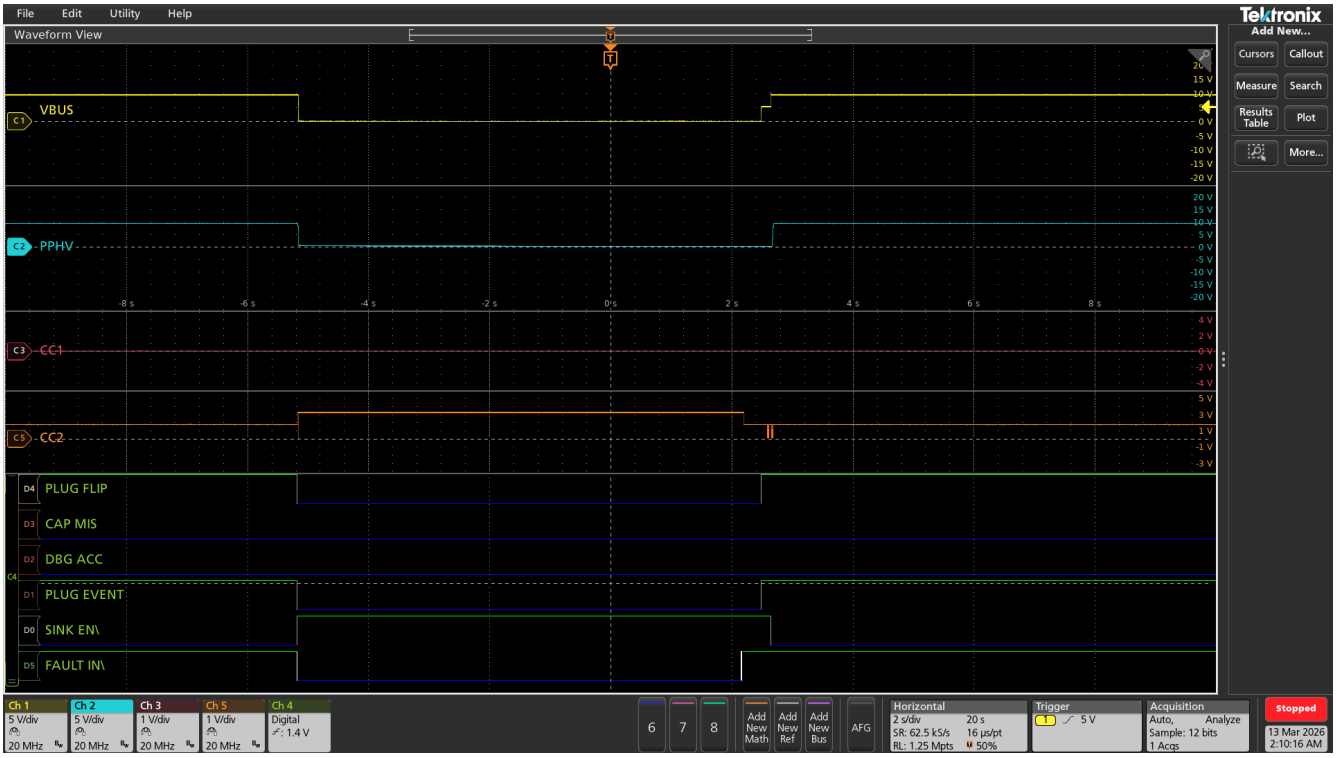


図 9-3. FAULT_IN がアサートされ、VBUS が切断された状態での PD コントラクト

Copyright © 2026 Texas Instruments Incorporated

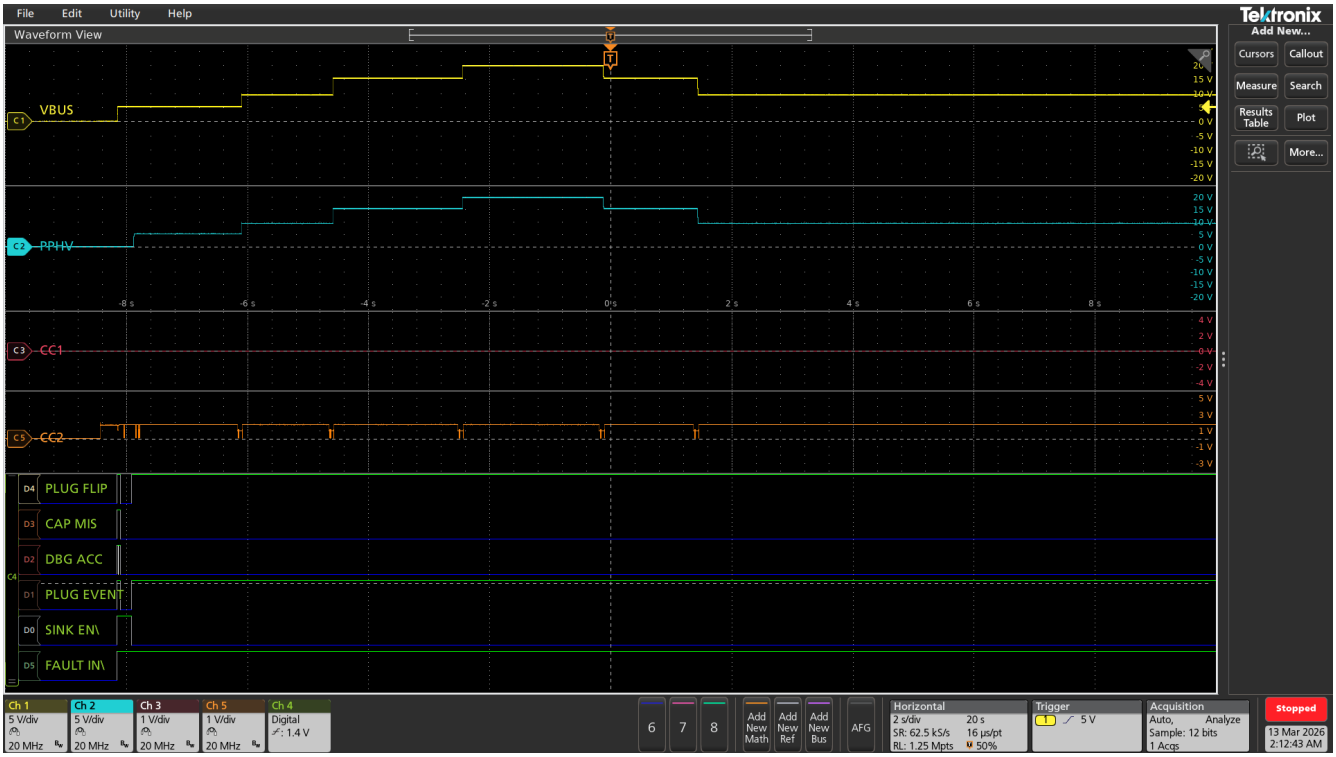


図 9-4. 5V、9V、15V、20V の PD コントラクト ネゴシエーション

9.3 電源に関する推奨事項

9.3.1 3.3V 電源

9.3.1.1 VIN_3V3 入力スイッチ

VIN_3V3 入力は、TPS25730A デバイスのメイン電源です。VIN_3V3 スイッチ (セクション 8.3.2 を参照) は VIN_3V3 から LDO_3V3 に単方向スイッチであり、LDO_3V3 から VIN_3V3 に電流が逆方向に流れることを許可しません。このスイッチは、3.3V 電源が利用可能であり、かつバッテリ切れ。推奨容量の C_{VIN_3V3} (セクション 6.4 を参照) を、VIN_3V3 ピンと GND ピンの間に接続する必要があります。VBUS から VIN_3V3 に電力を供給しないでください。

9.3.2 1.5V 電源

内部回路は、1.5V から電力を供給されます。1.5V LDO は、LDO_3V3 から 1.5V に降圧します。1.5V LDO は、デジタル コアおよびメモリを含むすべての内部低電圧デジタル回路に電力を供給します。この 1.5V LDO は、すべての内部低電圧アナログ回路にも電力を供給します。LDO_1V5 ピンと GND ピンの間に、推奨容量 C_{LDO_1V5} (セクション 6.4 参照) を接続してください。

9.3.3 電源の負荷容量の推奨値

セクション 6.4 各種電源の推奨基板容量を示します。標準容量は公称定格容量で、基板上でピンのできるだけ近くに配置する必要があります。最大容量が指定されたピンでは、最大容量を超えないようにする必要があります。最小容量とは、許容誤差と電圧ディレーティングを考慮した上で、正常な動作を保証するために必要な最小の容量です。

Copyright © 2026 Texas Instruments Incorporated

9.4 レイアウト

9.4.1 TPS25730AD - レイアウト

9.4.1.1 レイアウトのガイドライン

適切な配線と配置により、高速信号のシグナル インテグリティを維持し、パワー パスからの放熱を改善できます。以下のガイドラインに従うことで、電力と高速データ信号の組み合わせを簡単に配線できます。基板メーカーに相談して、製造能力を検証することがベスト プラクティスです。

9.4.1.1.1 上面配置、下面部品配置およびレイアウト

TPS25730A を基板の上面に配置し、部品を下面に配置すると、実装サイズを最小化できます。

9.4.1.2 レイアウト例

Super/High Speed 信号については、それぞれの規格 (USB2.0) で定義された差動インピーダンスに従ってください。すべての I/O は、全ピンの配線例を示すためにファンアウトされていますが、すべての設計で TPS25730A のすべての I/O を使用するわけではありません。

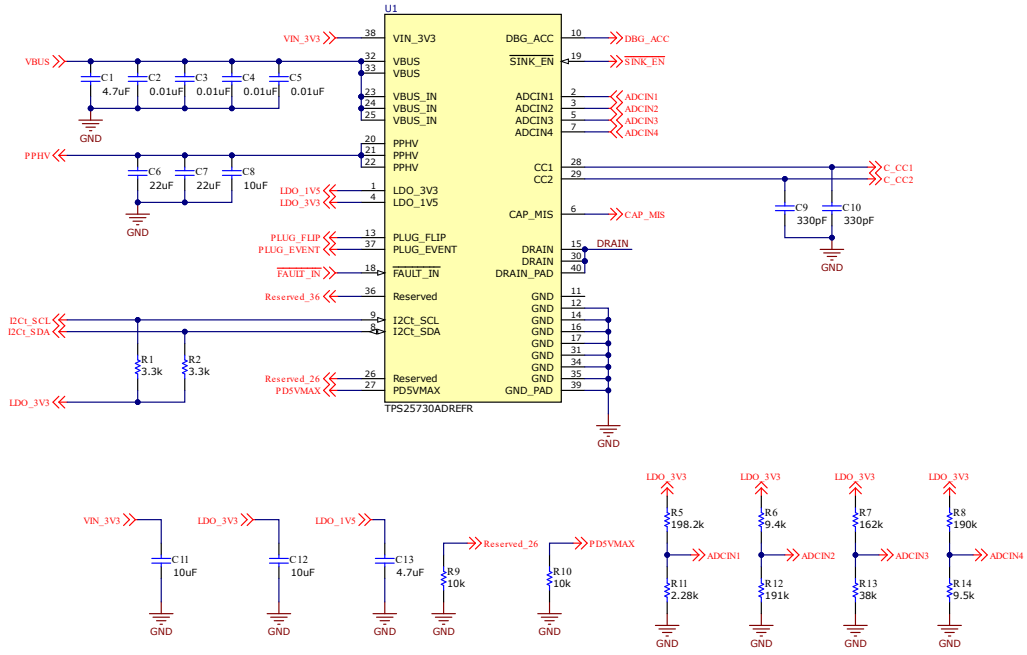


図 9-5. 回路図の例

9.4.1.3 部品の配置

この例では、実装サイズを最小化するために、上面および底面への配置を採用しています。TPS25730AD は基板の上面に配置し、その部品の大半は底面に配置しています。部品を底面に配置する際は、TI はこれらの部品を TPS25730AD の直下に配置することを推奨します。VBUS および PPHV コンデンサを配置する際は、コンデンサの GND 端子が TPS25730AD から外側または側面を向くように配置するのが容易です。これは、ボトム層のドレイン接続パッドを何にも接続せずフローティングのままにする必要があるためです。TPS25730AD の GND パッド側のピン用のその他のすべての部品は、GND 端子が GND パッドの下にある場所に配置する必要があります。

Copyright © 2026 Texas Instruments Incorporated

CC コンデンサは、TPS25730AD と同じ側に、それぞれの CC1 および CC2 ピンの近くに配置する必要があります。CC ピンから CC コンデンサまでの間では、別のレイヤへのビアは使用しないでください。CC コンデンサの後にビアを配置することを推奨します。

図 9-6 から図 9-7 までは、2D および 3D での配置を示します。

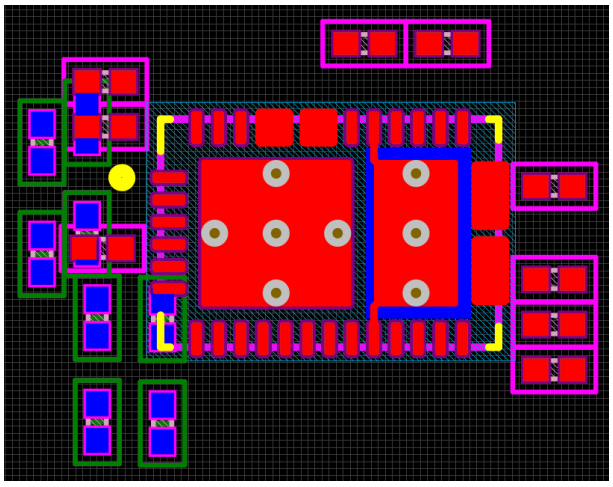


図 9-6. 上面図レイアウト

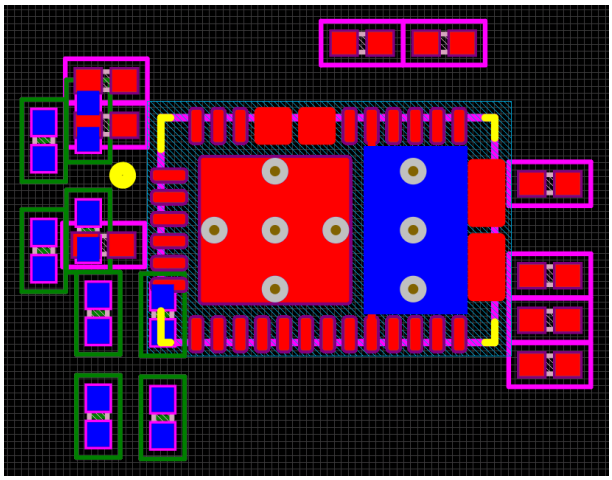


図 9-7. 底面図レイアウト

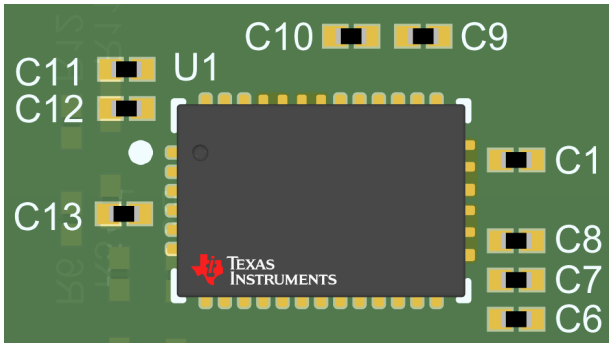


図 9-8. 上面図 3D

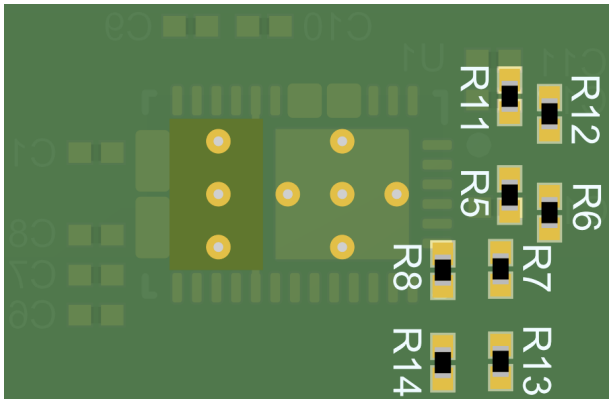


図 9-9. 底面図 3D

9.4.1.4 VBUS、VIN_3V3、LDO_3V3、LDO_1V5 の配線

上面には、VBUS、VBUS_IN、PPHV の穴を作成します。VBUS は、少なくとも 6 個の、ホール径 8mil、直径 16mil のビアを使用して、上層から下層へ接続します。推奨されるビアのサイズについては、図 9-10 を参照してください。VBUS_IN と PPHV の場合、15 個のホール径 8mil、直径 16mil のビアを使用して、上層から下層へ接続します。図 9-11 に、ビアの配置と銅箔を示します。

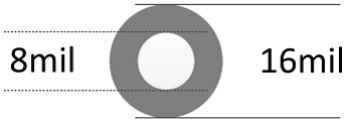


図 9-10. 推奨最小ビア サイズ

Copyright © 2026 Texas Instruments Incorporated

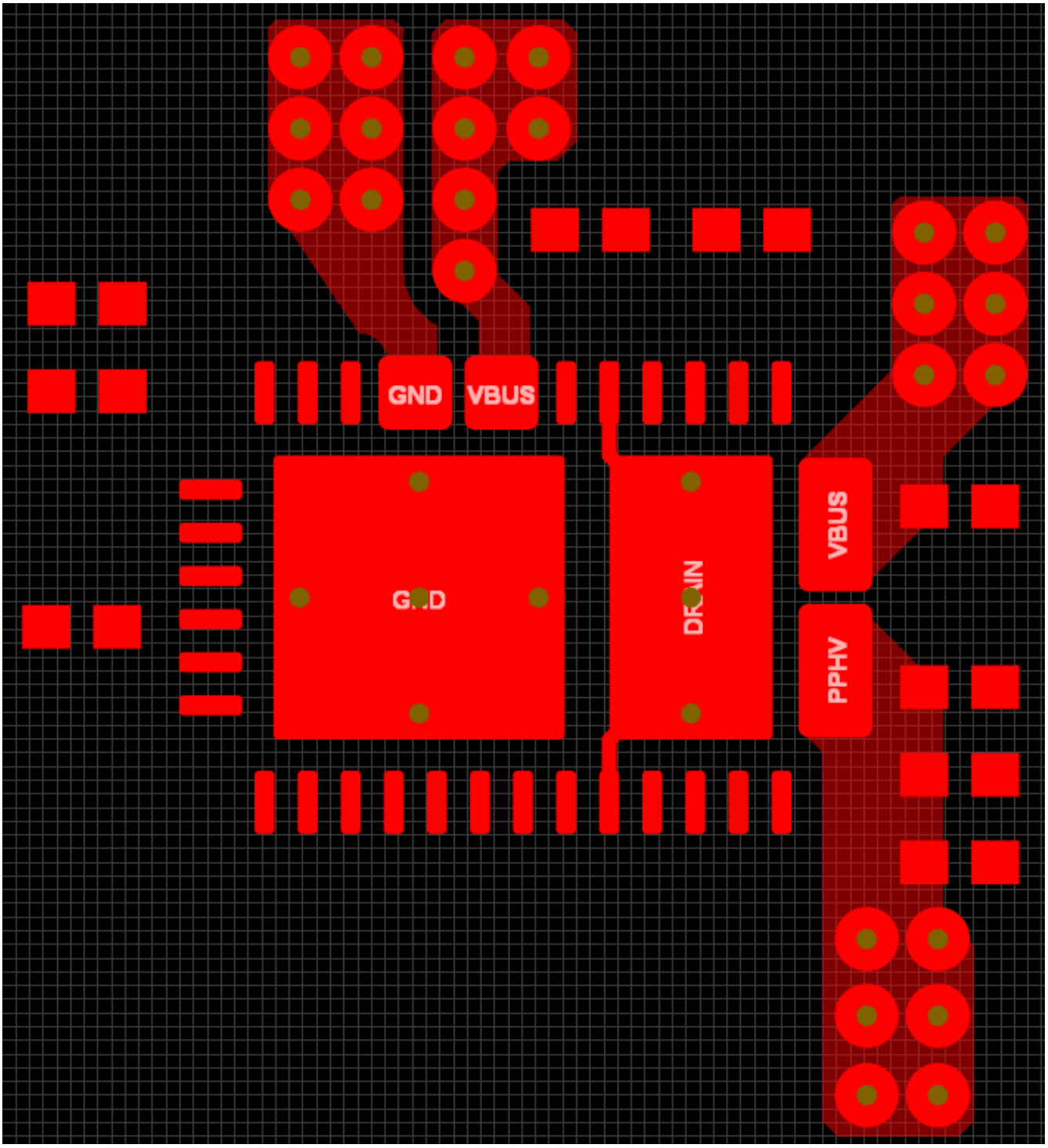


図 9-11. VBUS、VBUS_IN、PPHV の銅箔とビアの配置

次に、VIN_3V3、LDO_3V3、および LDO_1V5 を、それぞれ対応するデカップリング コンデンサへ配線します。また、PCB の底面にある複数のデカップリング コンデンサに PPHV を接続するために、底面にある銅箔穴を追加します。このアクションは、図 9-12 で強調表示されています。

Copyright © 2026 Texas Instruments Incorporated

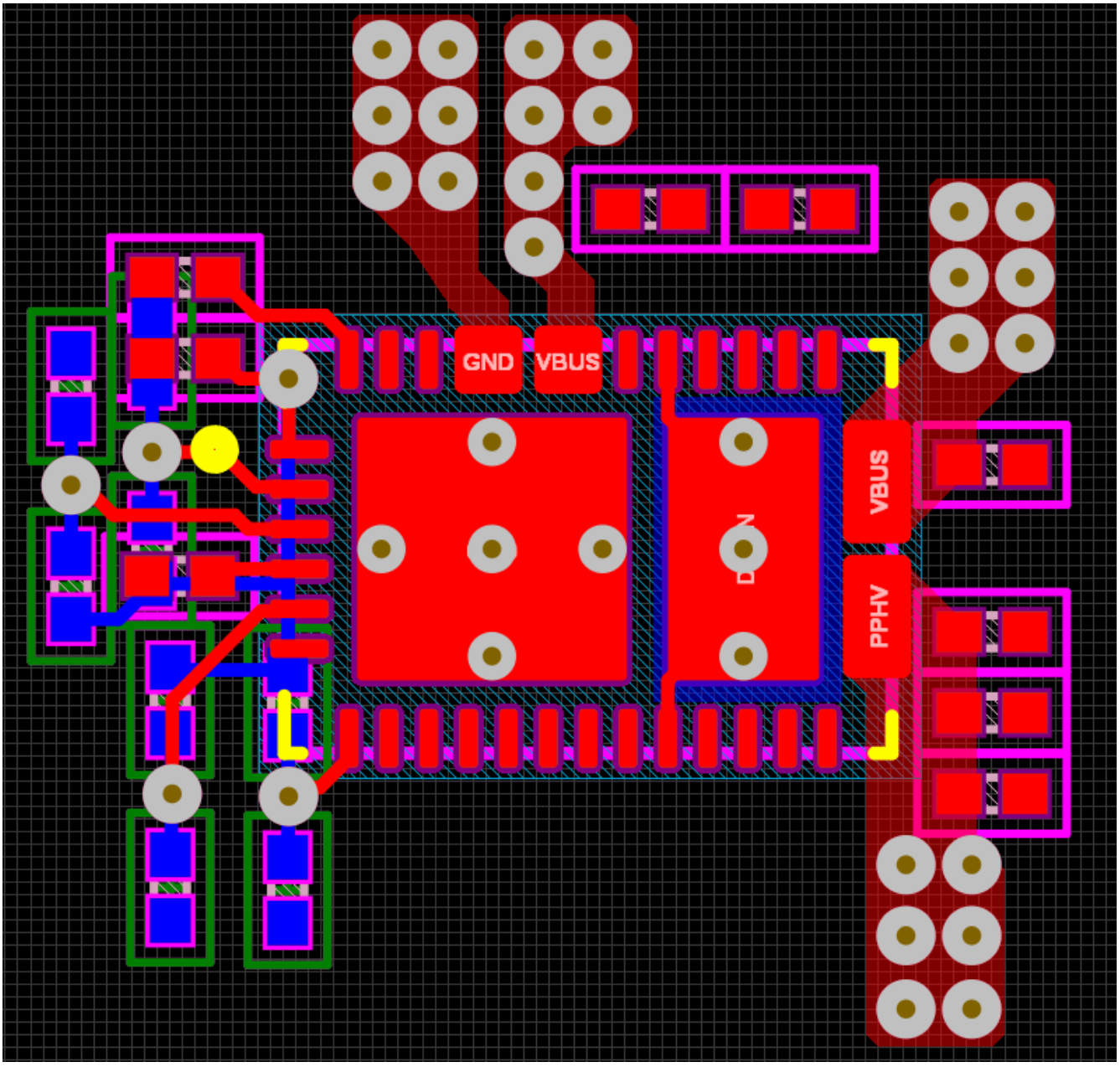


図 9-12. VIN_3V3、LDO_3V3、LDO_1V5 の配線

9.4.1.5 CC および GPIO の配線

CC ラインを 10mil の配線幅で配線することで、VCONN を介して給電される Type-C ケーブルをサポートするために必要な電流を確保できます。VCONN の詳細については、Type-C の仕様を参照してください。コンデンサの GND ピンについては、可能であれば 16mil のパターンを使用します。

GPIO 信号のほとんどは、8mil のパターンまたは 10mil のパターンを使用して最上層または最下層にファンアウトできます。以下の図に、CC ラインと GPIO の配線方法を示します。

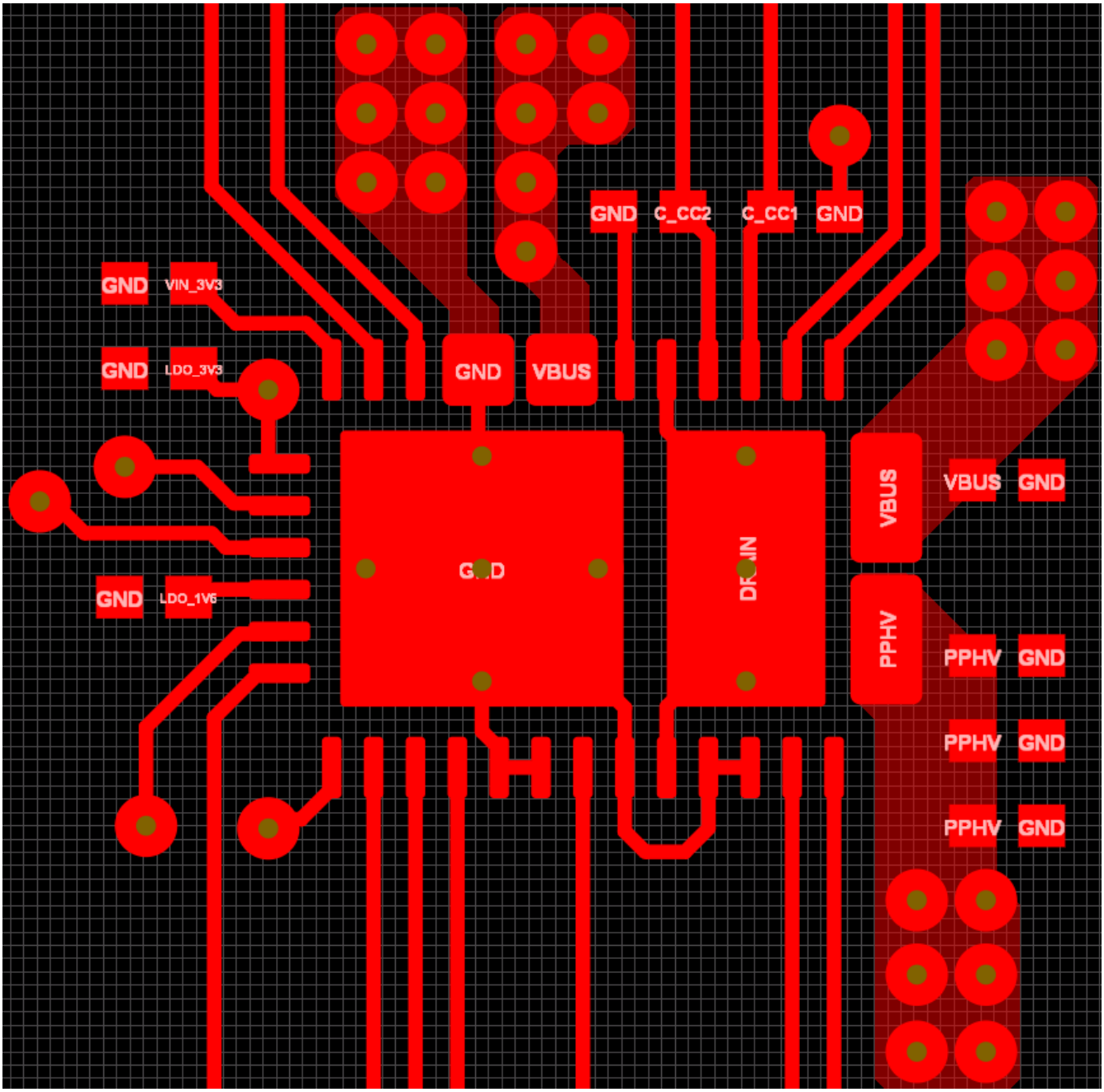


図 9-13. 最上層の GPIO 配線

表 9-2. 配線幅

配線	幅 (最小 MIL)
CC1、CC2	8
VIN_3V3、LDO_3V3、LDO_1V8	8
部品 GND	10
GPIO	8

Copyright © 2026 Texas Instruments Incorporated

9.4.2 TPS25730AS - レイアウト

9.4.2.1 レイアウトのガイドライン

適切な配線と配置により、高速信号のシグナル インテグリティを維持し、パワー パスからの放熱を改善できます。以下のガイドラインに従うことで、電力と高速データ信号の組み合わせを簡単に配線できます。基板メーカーに相談して、製造能力を検証することがベスト プラクティスです。

9.4.2.1.1 上面配置、下面部品配置およびレイアウト

TPS25730A を基板の上面に配置し、部品を下面に配置すると、実装サイズを最小化できます。

9.4.2.2 レイアウト例

Super/High Speed 信号については、それぞれの規格 (USB2.0) で定義された差動インピーダンスに従ってください。すべての I/O は、すべてのピンを配線する例を示すためにファンアウトされています。すべての設計で TPS25730AS のすべての I/O を利用しているわけではありません。

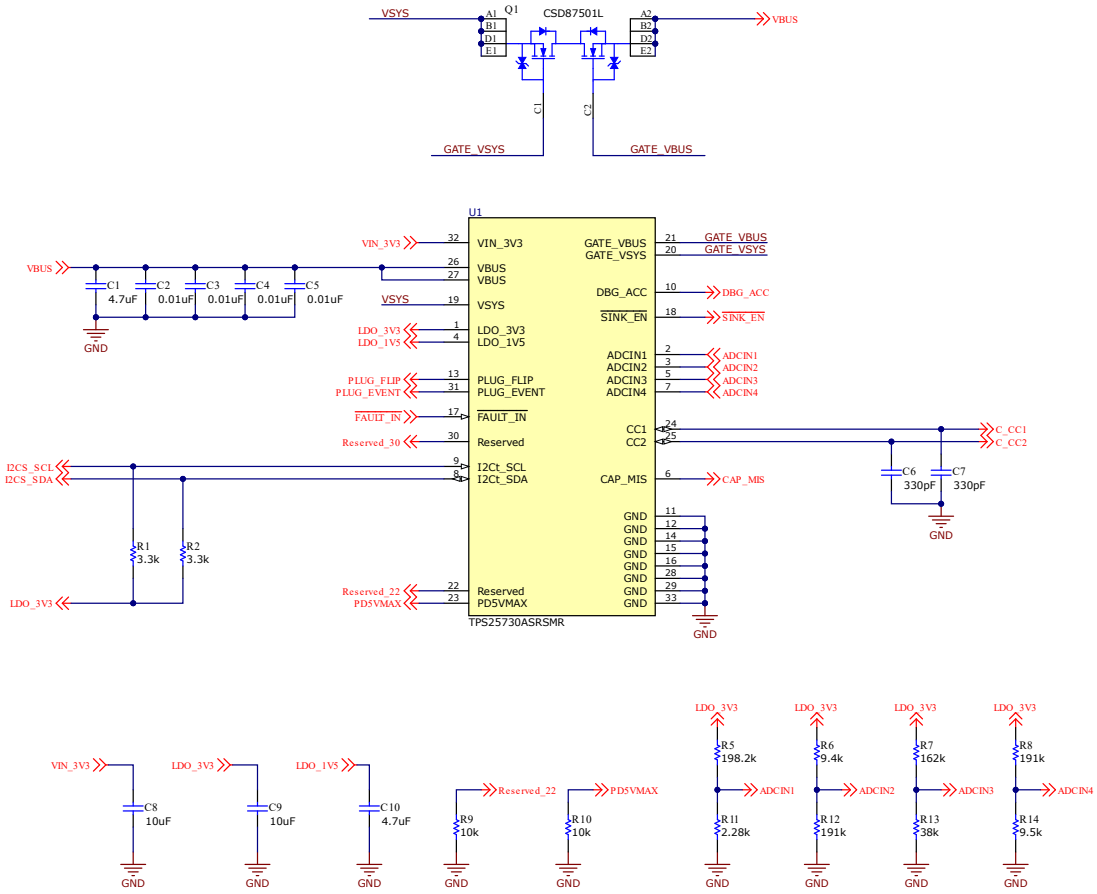


図 9-14. 回路図の例

9.4.2.3 部品の配置

この例では、実装サイズを最小化するために、上面および底面への配置を採用しています。TPS25730AS は基板の上面に配置し、その部品の大半は底面に配置しています。部品を底面に配置する際は、TI はこれらの部品を

TPS25730AS の直下に配置することを推奨します。TPS25730AS の GND パッド側のピン用のその他のすべての部品は、GND 端子が GND パッドの下にある場所に配置する必要があります。

CC コンデンサは、TPS25730AS と同じ側に、それぞれの CC1 および CC2 ピンの近くに配置する必要があります。CC ピンから CC コンデンサまでの間では、別のレイヤへのビアは使用しないでください。CC コンデンサの後にビアを配置することを推奨します。

図 9-15 から図 9-16 までは、2D および 3D での配置を示します。

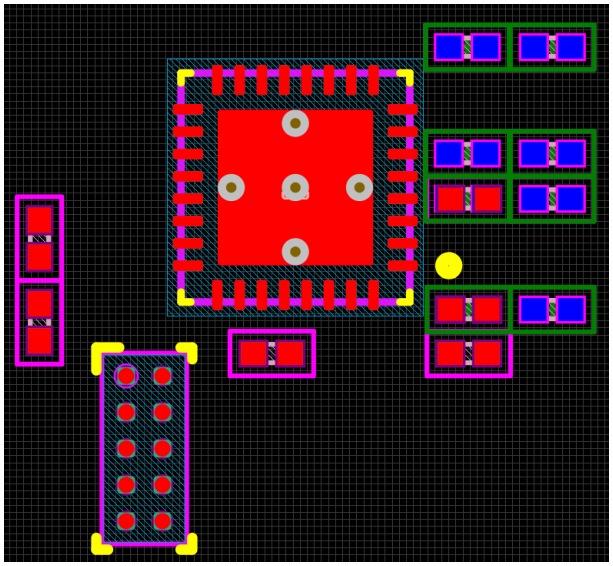


図 9-15. 上面図レイアウト

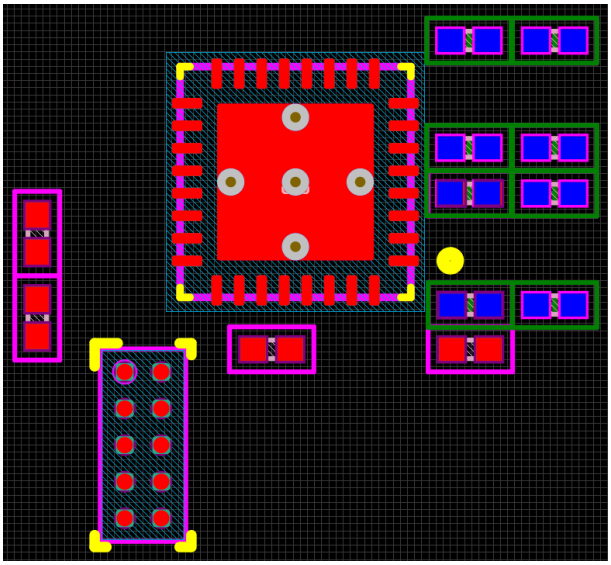


図 9-16. 底面図レイアウト

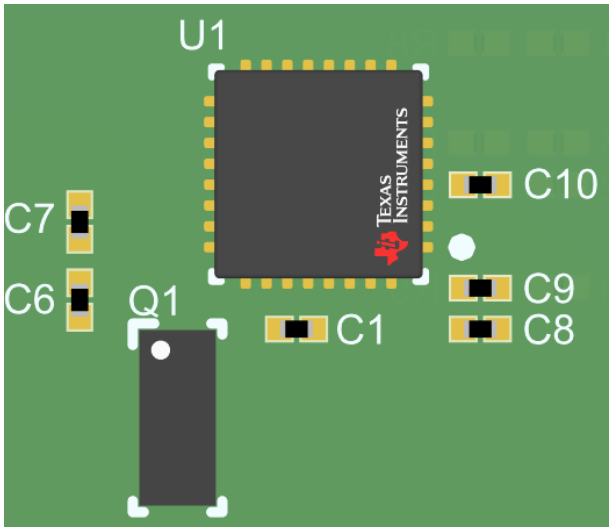


図 9-17. 上面図 3D

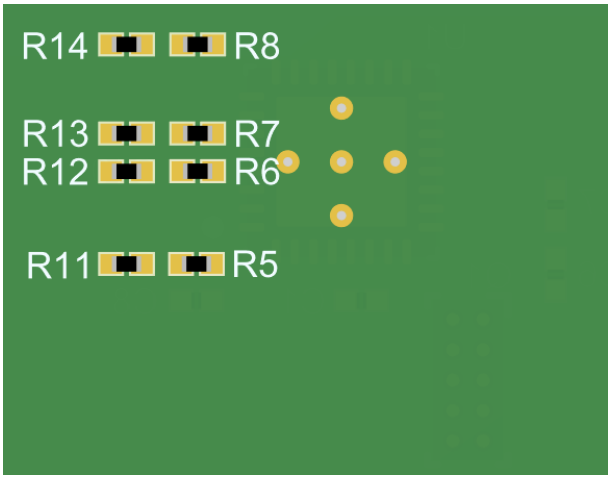


図 9-18. 底面図 3D

9.4.2.4 VBUS、PPHV、VIN_3V3、LDO_3V3、LDO_1V5 の配線

上面には、VBUS と PPHV にホールを作成します。PPHV は、少なくとも 12 個の、ホール径 8mil、直径 16mil のビアを使用して、上層から下層へ接続します。推奨されるビアのサイズについては、図 9-19 を参照してください。図 9-20 に、ビアの配置と銅箔を示します。

Copyright © 2026 Texas Instruments Incorporated

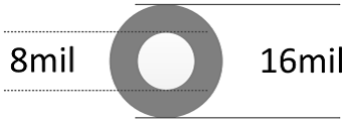


図 9-19. 推奨最小ビア サイズ

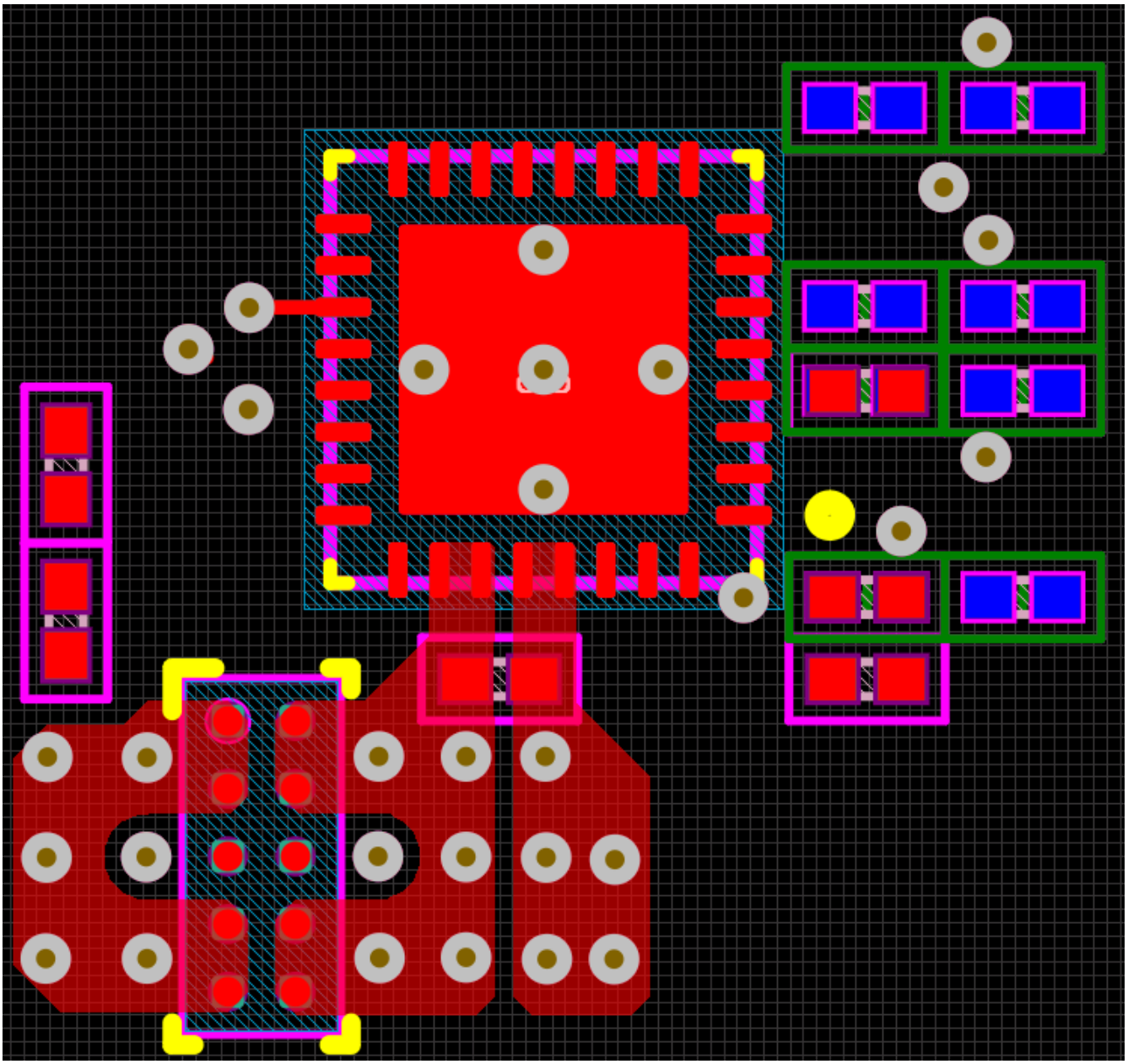


図 9-20. VBUS の銅箔とビアの配置

次に、VIN_3V3、LDO_3V3、LDO_1V5 をそれぞれのデカップリング コンデンサに配線します。このアクションは、図 9-21 で強調表示されています。

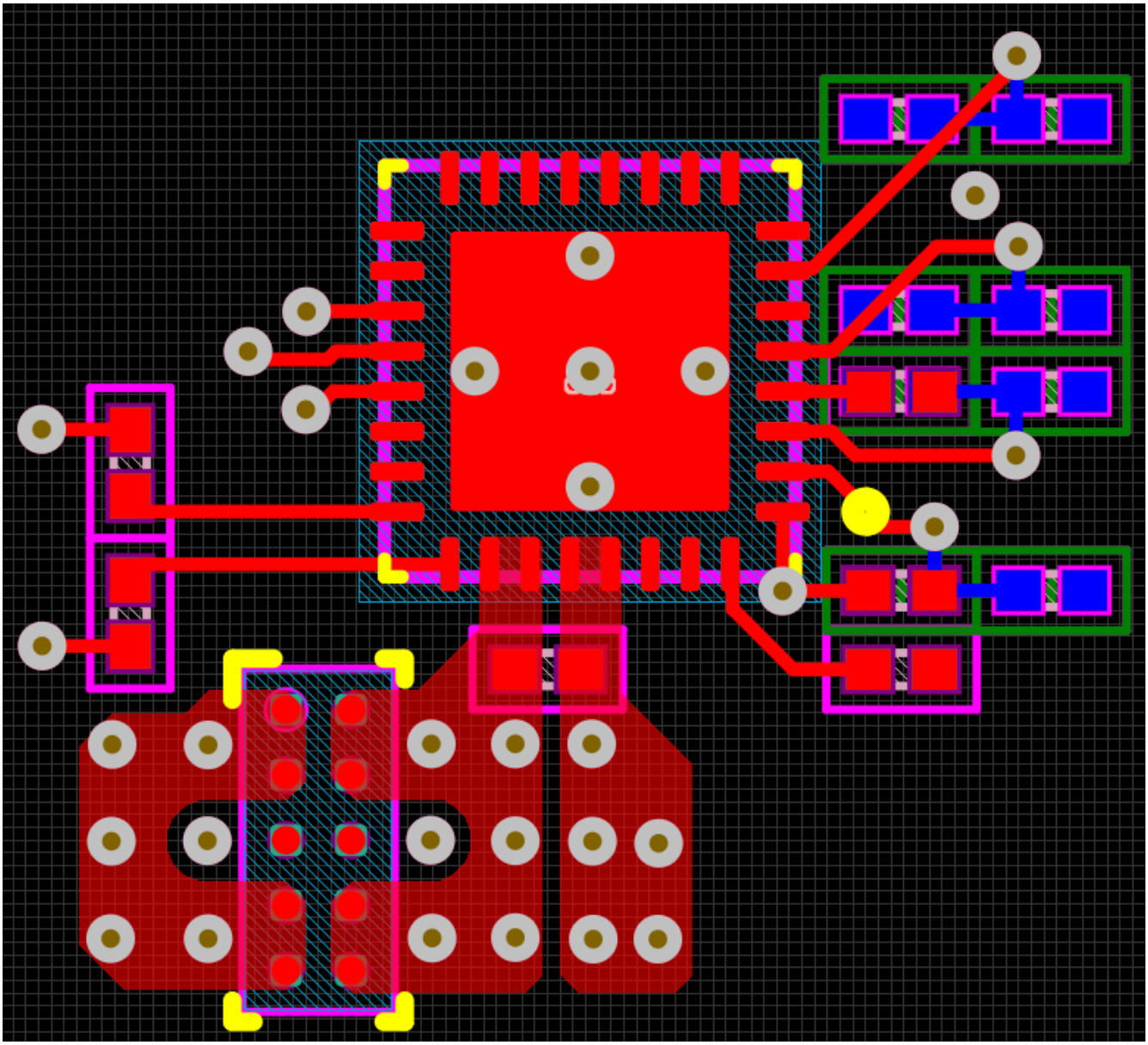


図 9-21. VIN_3V3、LDO_3V3、LDO_1V5 の配線

図 9-22 と図 9-23 に、外部 N-FET の VSYS と SYS_Gate 制御信号を適切に接続する方法を示します。制御信号は、12mil の配線幅で内部層上に配線できます。また、インピーダンスを最小化するために、VSYS へ向かう配線は可能な限り短くする必要があります。そのため、高電圧の電源経路上にビアを直接配置するのが理想的です。

Copyright © 2026 Texas Instruments Incorporated

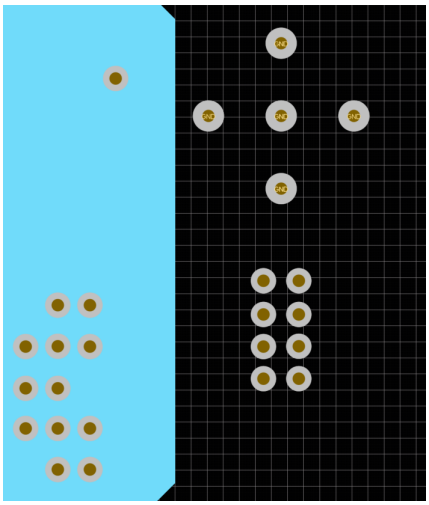


図 9-22. トップ ポリゴン塗りつぶし

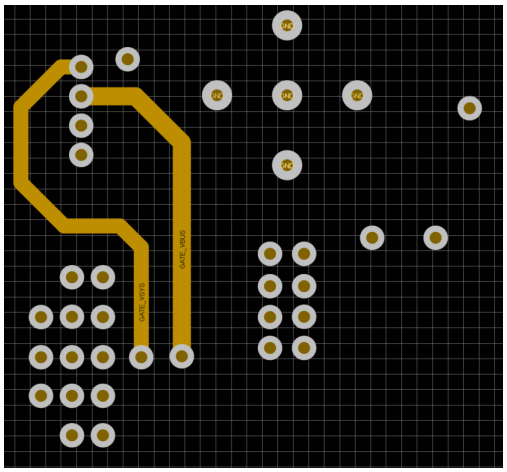


図 9-23. ボトム ポリゴン塗りつぶし

9.4.2.5 CC および GPIO の配線

CC ラインを 10mil の配線幅で配線することで、VCONN を介して給電される Type-C ケーブルをサポートするために必要な電流を確保できます。VCONN の詳細については、Type-C の仕様を参照してください。コンデンサの GND ピンについては、可能であれば 16mil のパターンを使用します。

GPIO 信号のほとんどは、8mil のパターンまたは 10mil のパターンを使用して最上層または最下層にファンアウトできます。以下の図に、CC ラインと GPIO の配線方法を示します。

Copyright © 2026 Texas Instruments Incorporated

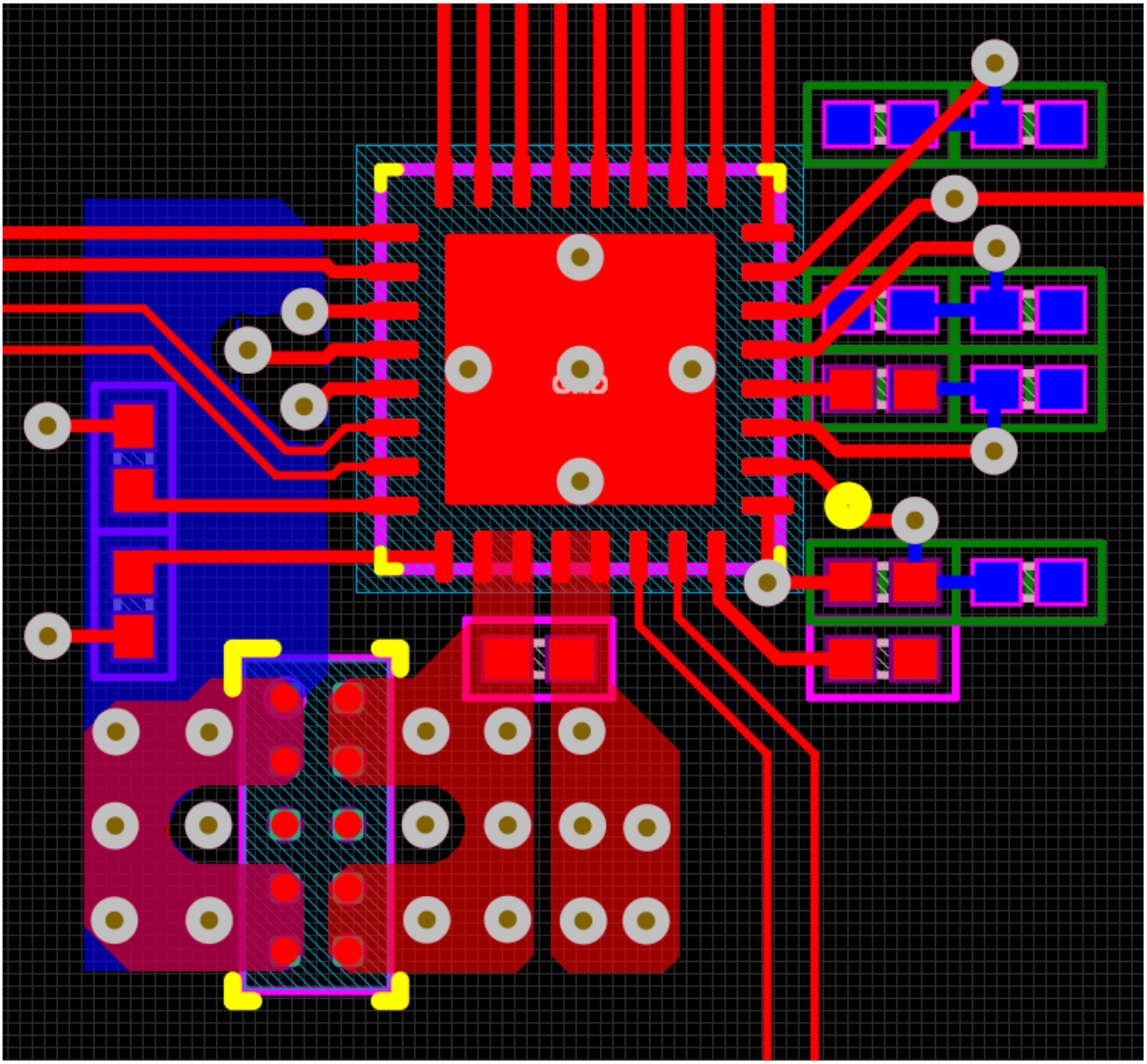


図 9-24. 最上層の GPIO 配線

表 9-3. 配線幅

配線	幅 (最小 MIL)
PA_CC1、PA_CC2、PB_CC1、PB_CC2	8
VIN_3V3、LDO_3V3、LDO_1V8	6
部品 GND	10
GPIO	4

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントのサポート

10.2.1 関連資料

- 『USB-PD 仕様』
- 『USB パワー デリバリ仕様』

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
USB Type-C® is a registered trademark of USB Implementers Forum.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (March 2026) to Revision A (July 2026)	Page
• PD 3.2 認定の TID 番号を追加	1
• 「追加機能」を追加	1
• デバイスのアプリケーションを更新	1
• 整合性を確保するため、セクション 5 の I2C コントローラの大文字表記を更新	4
• 表のフォーマットを更新	9

Copyright © 2026 Texas Instruments Incorporated

- I2C SCL/SDA のソース電流の絶対最大値を削除しました。 9
- GPIOx の電圧を 6.0 から 6 に変更 9
- 「パラメータ」の説明を含むように表の見出しを更新 9
- 「パラメータ」という見出しを含むように表の列を更新 9
- 表のフォーマットを更新しました 10
- 表のフォーマットを更新 11
- C_{VSYS} デバイスを TPS25730A から TPS25730AS に変更 11
- 部品番号を含めるようにタイトルを更新 12
- 表の部品番号のフォーマットを更新 12
- 明確化のため動作条件を更新しました。 12
- スタンバイ電力モードを削除 13
- 動作条件を更新 13
- 表のフォーマットを更新 16
- 動作条件を更新 18
- 動作条件を更新 18
- 表のフォーマットを更新 18
- ファースト モードのプラス特性を削除 19
- 「シンク パス」という名称を「パワー パス」に変更するため、当該セクションを更新 29
- 「シンク パス」という名称を「パワー パス」に変更するため、当該セクションを更新 30
- 表のデッド バッテリ構成の列を明確化するため更新 36
- 表の I^2C アドレスの定義を更新 36
- 機能の不一致に対する自動ディセーブルと動作電流の関係についての注を追加 38
- 最小パワー PD 要件の注を追加 39
- 表 8-10 表 8-10 を更新 40
- VIN_3V3 の電源要件から冗長な情報を削除しました。 45

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS25730ADREFR	Active	Production	WQFN (REF) | 38	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	25730A D
TPS25730ASRSMR	Active	Production	VQFN (RSM) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	25730A S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

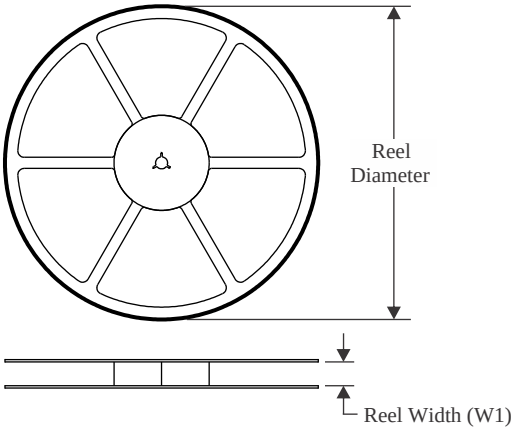
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

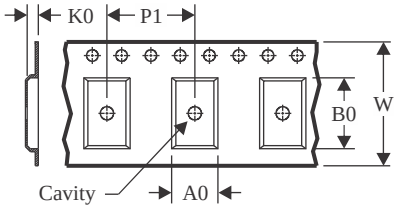
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

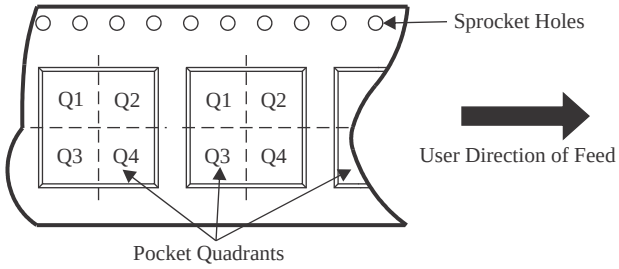


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

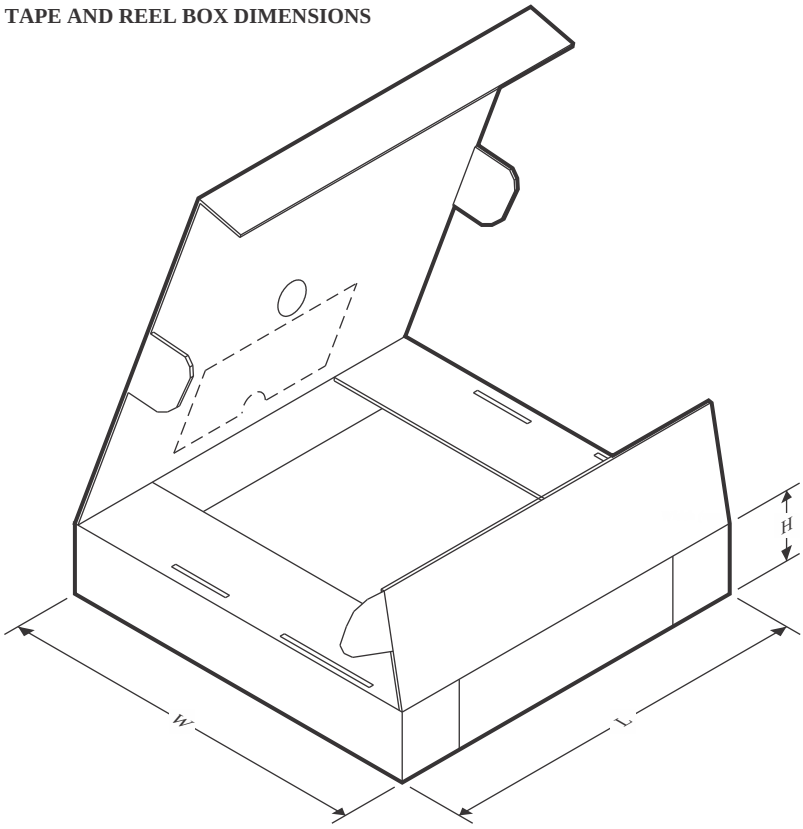
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS25730ADREFR	WQFN	REF	38	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TPS25730ASRSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

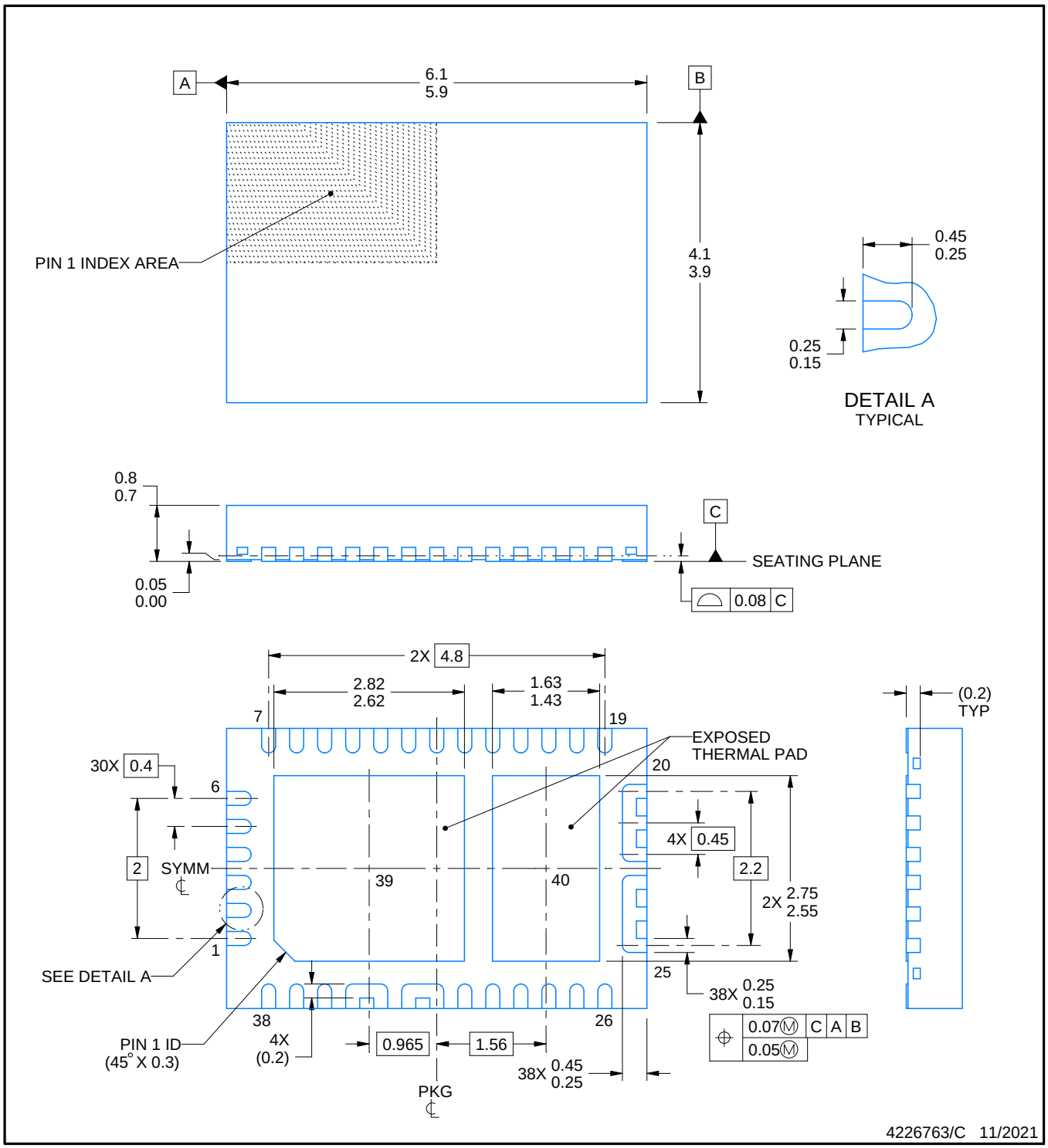
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS25730ADREFR	WQFN	REF	38	3000	360.0	360.0	36.0
TPS25730ASRSMR	VQFN	RSM	32	3000	360.0	360.0	36.0

REF0038A

PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

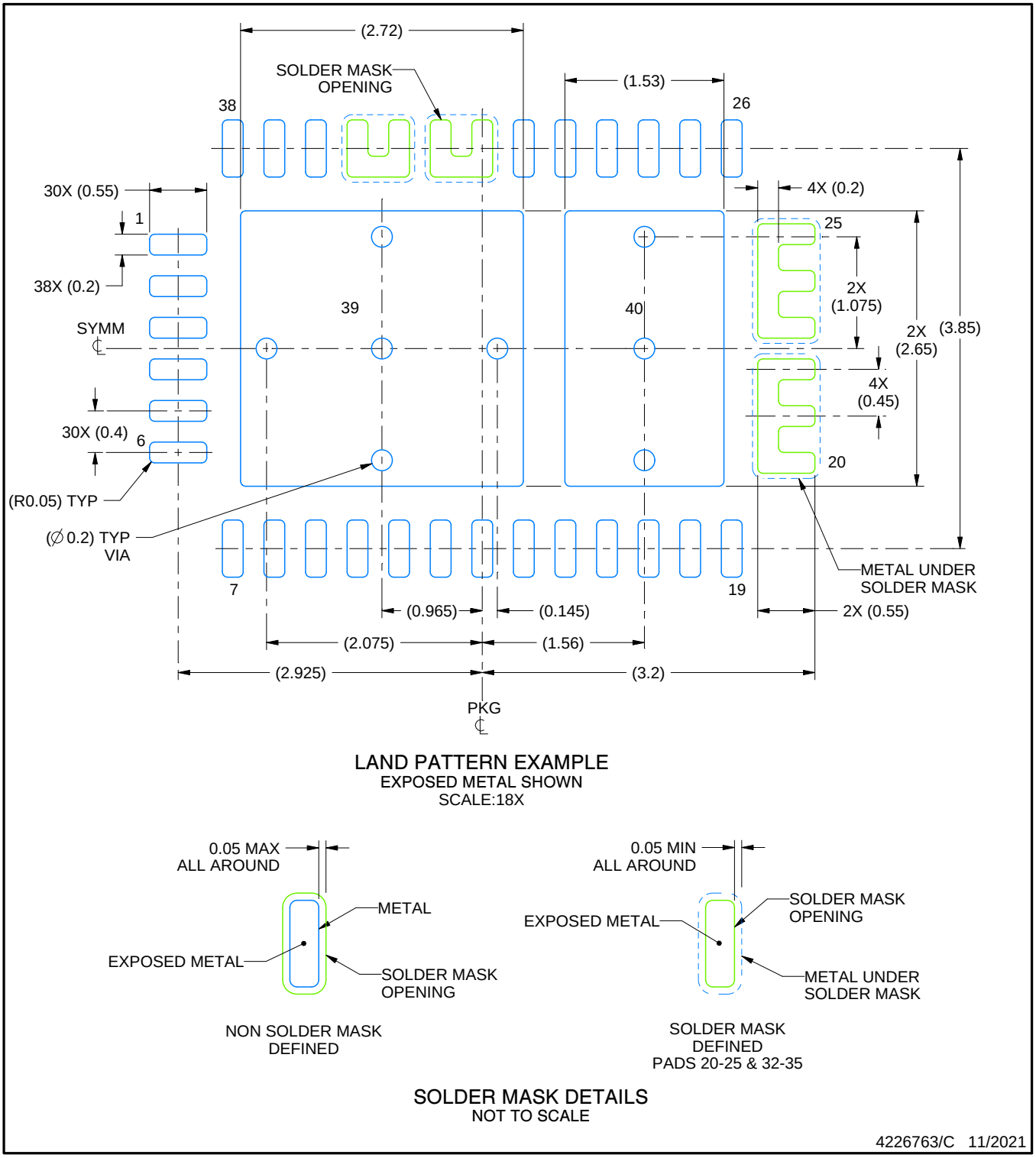
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

REF0038A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

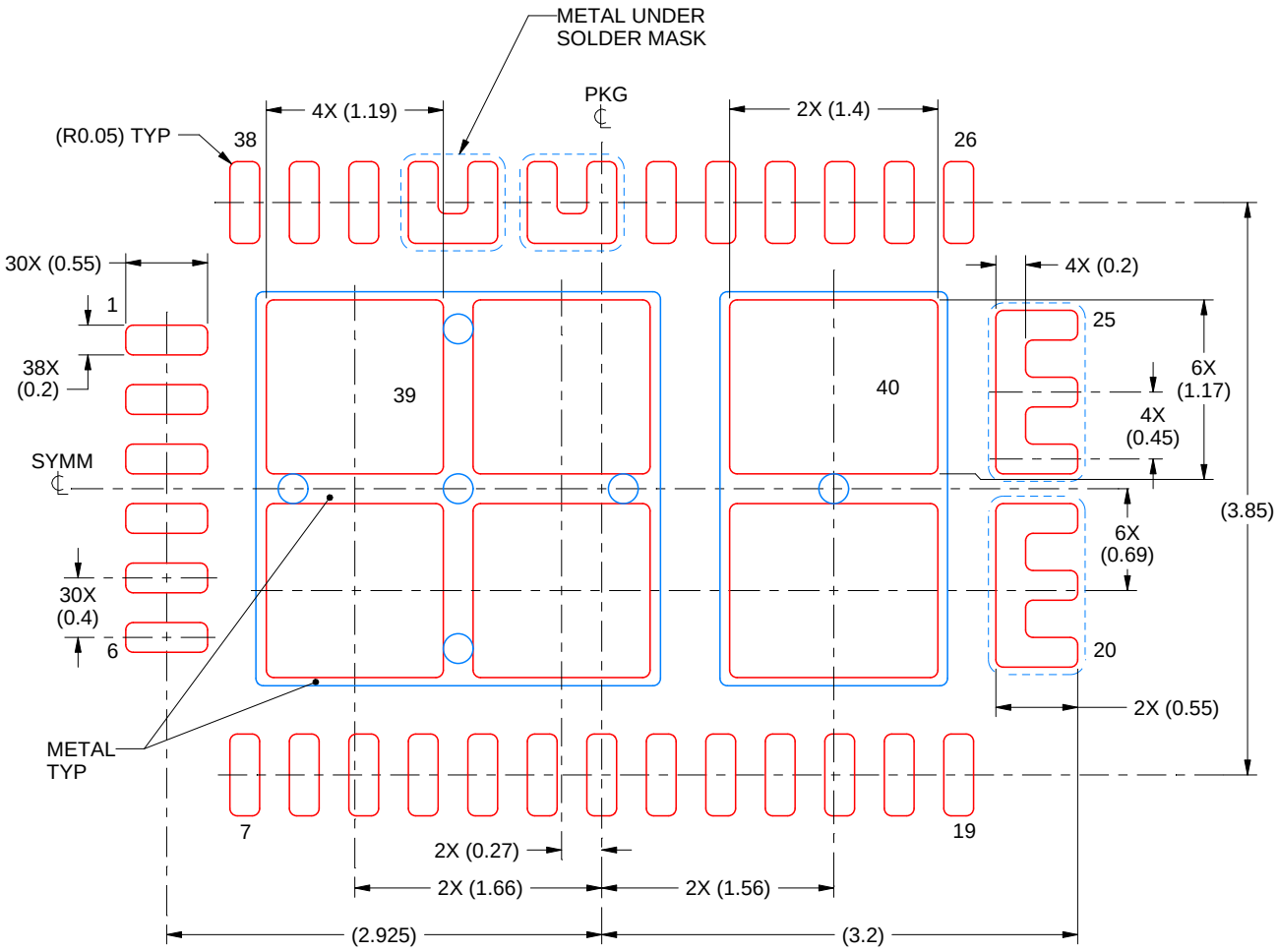
4. This package is designed to be soldered to thermal pads on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

REF0038A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PADS 39
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

EXPOSED PADS 40
80% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

SCALE:20X

4226763/C 11/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

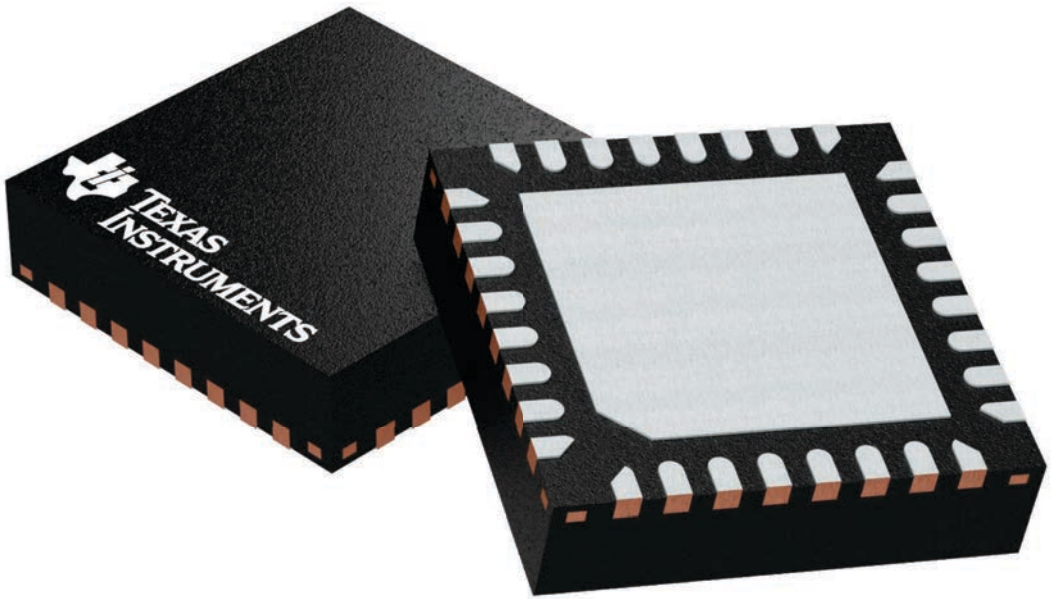
RSM 32

VQFN - 1 mm max height

4 x 4, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



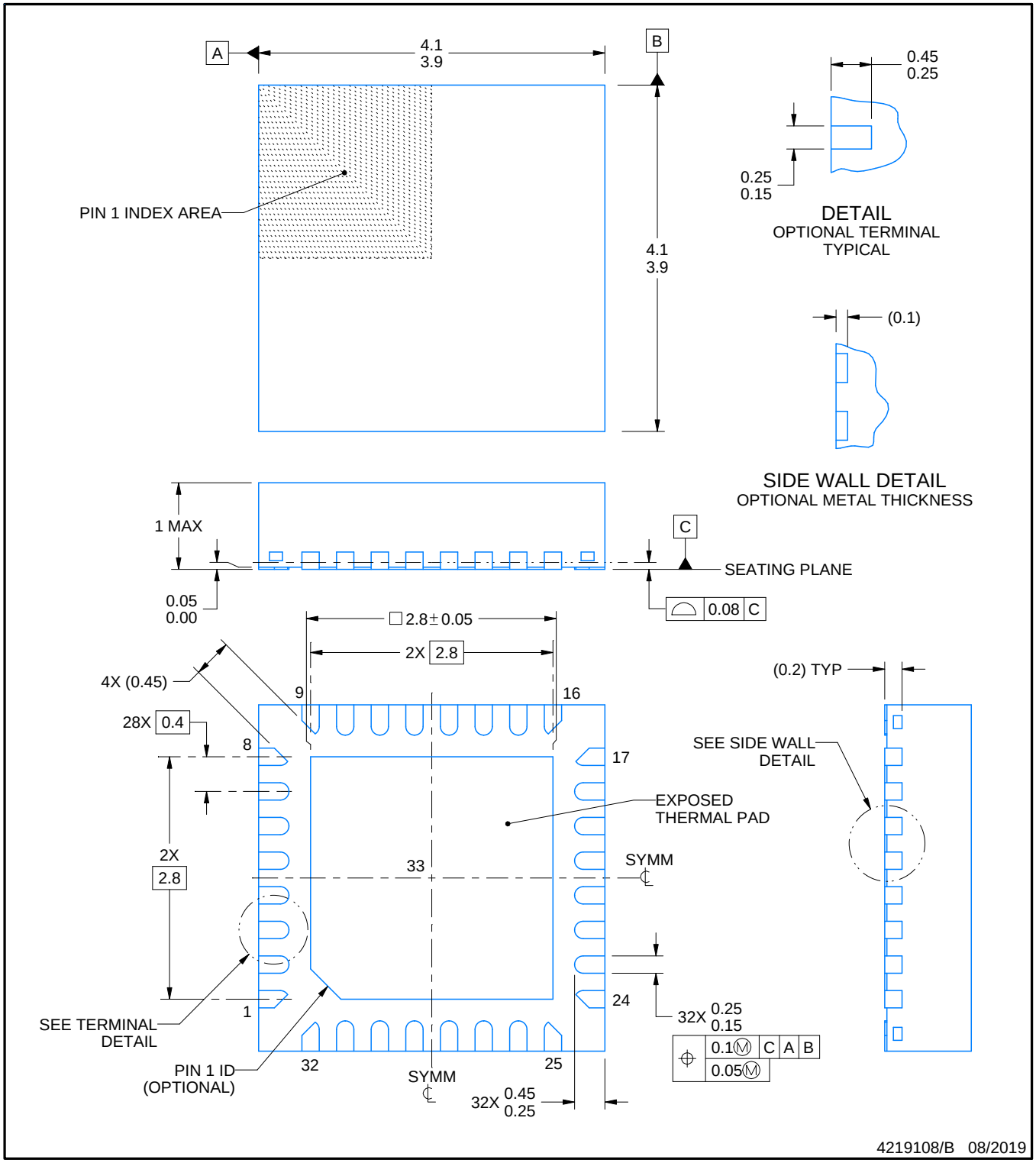
4224982/A

PACKAGE OUTLINE

RSM0032B

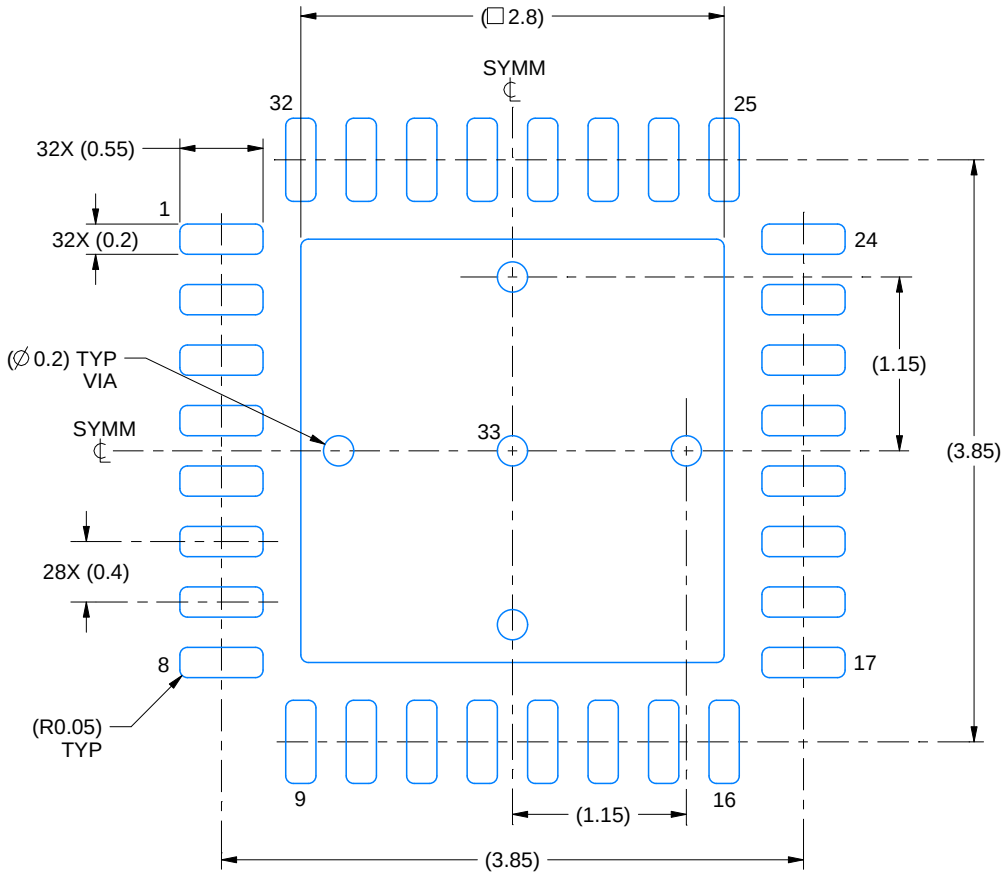
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

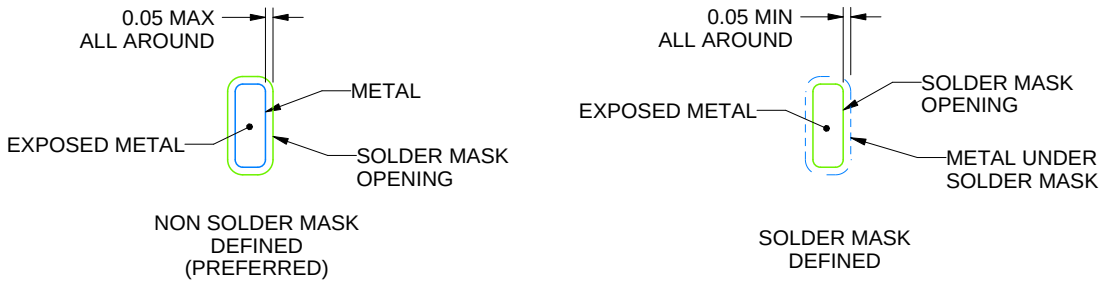


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

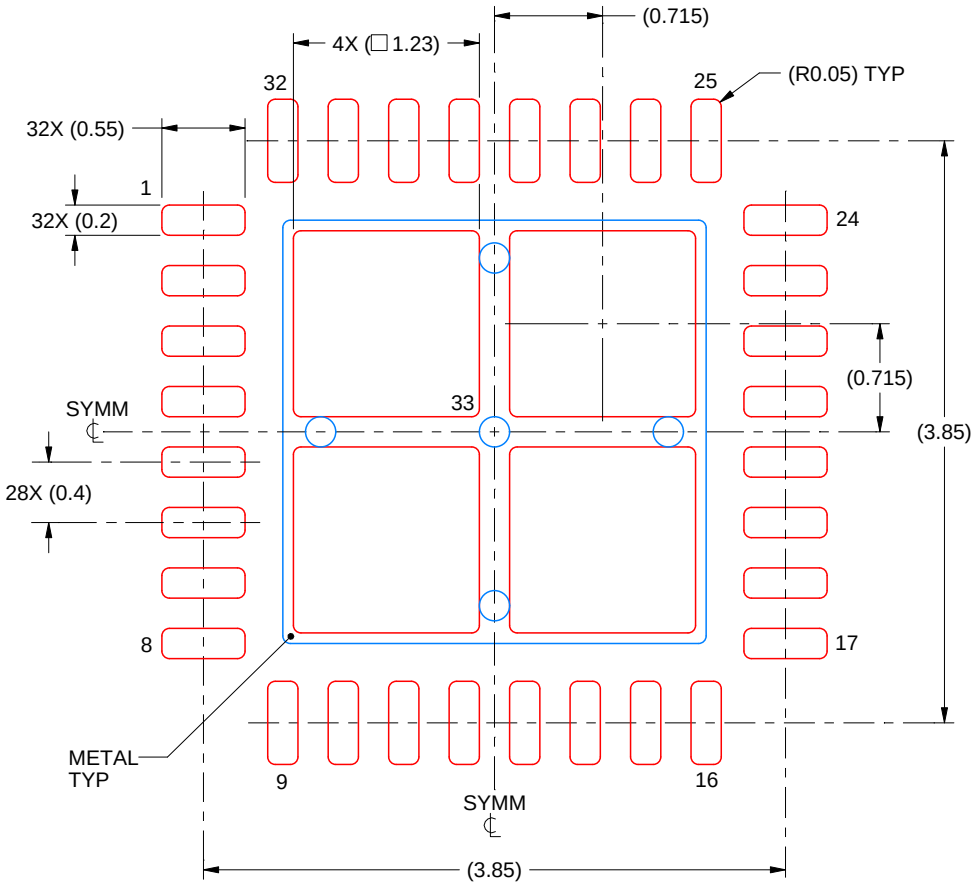


SOLDER MASK DETAILS

4219108/B 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 33:
77% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219108/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月