TPS25751A USB Type-C® および USB PD コントローラ (電源スイッチ内蔵、の / / DRP 電源アプリケーションに最適化)

1 特長

- USB-IF による PD3.2 認証済みデバイス
  - TPS25751ATID#: 15341
  - PD2.0 と PD3.0 の比較の記事
- USB Type-C PD のシンク (UFP) およびデュアル ロール パワー (DRP) 電源アプリケーション向けに最適化
  - TI のバッテリ チャージャ向けの I2C 制御機能を内蔵
  - Web ベースの GUI および事前構成済みファームウェア
  - より詳しいセレクション ガイドと設計開始に必要な情報については、www.tij.co.jp/usb-c を参照してください
- プログラマブル電源 (PPS) と可変電圧電源 (AVS)
  - PPS のソースとシンクをサポート
  - TI バッテリ チャージャを用いたスタンドアロン PPS ソース制御
  - PPS シンクのインターフェイスをプログラム可能
  - AVS ソースをサポート
- 液体検出
  - Type-C コネクタで直接測定
  - エラー処理 / 保護機能を内蔵
- 完全に管理されたパワー パスを内蔵
  - 5V、3A、36mΩ のソース用スイッチを内蔵 (TPS25751AD および TPS25751AS)
  - 20V、5A、15mΩ の双方向ロード スイッチを内蔵 (TPS25751AD のみ)
- 堅牢なパワー パス保護機能を内蔵
  - 20V、5A 双方向スイッチ : 逆電流保護 (RCP)、低電圧保護 (UVP)、過電圧保護 (OVP)、スルーレート制御
  - 5V、3A ソース用スイッチ : 突入電流保護のための OVP、UVP、電流制限 (ILIM)
  - 26V 許容の CC ピンにより、非適合デバイス接続時の堅牢な保護
- 追加機能
  - 11 本の構成可能な GPIO
  - BC1.2 充電対応
  - デッド バッテリ サポート用の 3.3V LDO 出力
  - 3.3V または VBUS 電源からの電力供給
  - 1 つの I2C コントローラ ポート
  - 1 つの I2C ターゲット ポート

2 アプリケーション

- 電動工具、パワー バンク、リテールおよびペイメント
- ワイヤレス スピーカ、コードレス掃除機
- パーソナル エレクトロニクスおよび産業用アプリケーション
- ホーム ヘルス ケアおよびパーソナル ケア / フィットネス

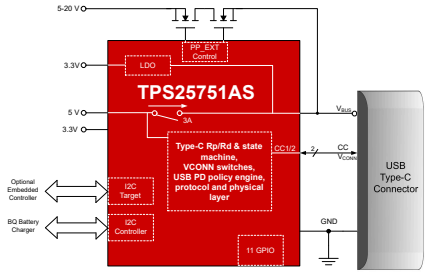
3 説明

TPS25751A は、USB-C PD 電源をサポートするアプリケーション向けに最適化された高集積スタンドアロン USB Type-C および PD (Power Delivery) コントローラです。TPS25751A は完全に管理されたパワー パスを堅牢な保護機能と統合することにより、包括的な USB-C PD アプリケーションを実現しています。また、TPS25751A には、外部バッテリ チャージャ IC の制御機能が内蔵されているため、使いやすさが向上し、市場投入までの期間を短縮できます。 直感的な Web ベースの GUI が用意されており、わかりやすいブロック図とシンプルな選択式の質問を使って、アプリケーションのニーズに関するいくつかの簡単な質問をユーザーに求めるようになっています。その結果、GUI はユーザーのアプリケーションに適した構成イメージを作成し、USB PD アプリケーションに伴う複雑さを大幅に軽減します。

パッケージ情報

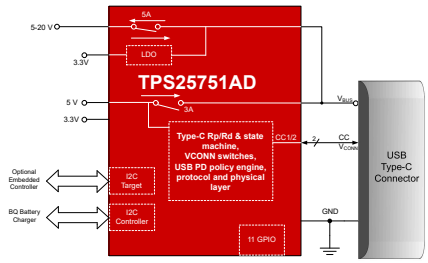
部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS25751AD	38-WQFN (REF)	4.00mm x 6.00mm
TPS25751AS	32-VQFN (RSM)	4.00mm x 4.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



TPS25751AS の回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



TPS25751AD の回路図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....4
5 ピン構成および機能.....5
6 仕様.....10
6.1 絶対最大定格.....10
6.2 ESD 定格.....11
6.3 推奨動作条件.....11
6.4 推奨容量.....12
6.5 熱に関する情報.....13
6.6 電源特性.....13
6.7 消費電力.....14
6.8 PP_5V パワー スイッチの特性.....14
6.9 PPHV パワー スイッチの特性 - TPS25751AD.....15
6.10 PP_EXT の特性 - TPS25751AS.....17
6.11 電力パス監視.....18
6.12 CC ケーブル検出パラメータ.....19
6.13 CC VCONN パラメータ.....20
6.14 CC PHY パラメータ.....21
6.15 サーマル シャットダウンの特性.....22
6.16 ADC の特性.....22
6.17 入出力 (I/O) 特性.....23
6.18 BC1.2 の特性.....23
6.19 I2C の要件と特性.....23
6.20 代表的特性.....26
7 パラメータ測定情報.....28
8 詳細説明.....29
8.1 概要.....29
8.2 機能ブロック図.....30
8.3 機能説明.....32
8.4 デバイスの機能モード.....53
9 アプリケーションと実装.....57
9.1 使用上の注意.....57
9.2 代表的なアプリケーション.....57
9.3 電源に関する推奨事項.....66
9.4 レイアウト.....66
10 デバイスおよびドキュメントのサポート.....81
10.1 デバイス サポート.....81
10.2 ドキュメントのサポート.....81
10.3 ドキュメントの更新通知を受け取る方法.....81
10.4 サポート・リソース.....81
10.5 商標.....81
10.6 静電気放電に関する注意事項.....81
10.7 用語集.....81
11 改訂履歴.....81
12 メカニカル、パッケージ、および注文情報.....81

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

部品番号	5V ソース用ロード スイッチ	高電圧双方向ロード スイッチ (PPHV) を内蔵	双方向外部経路用の高電圧ゲートドライバ (PP_EXT)
TPS25751AD	あり	あり	なし
TPS25751AS	あり	なし	あり

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

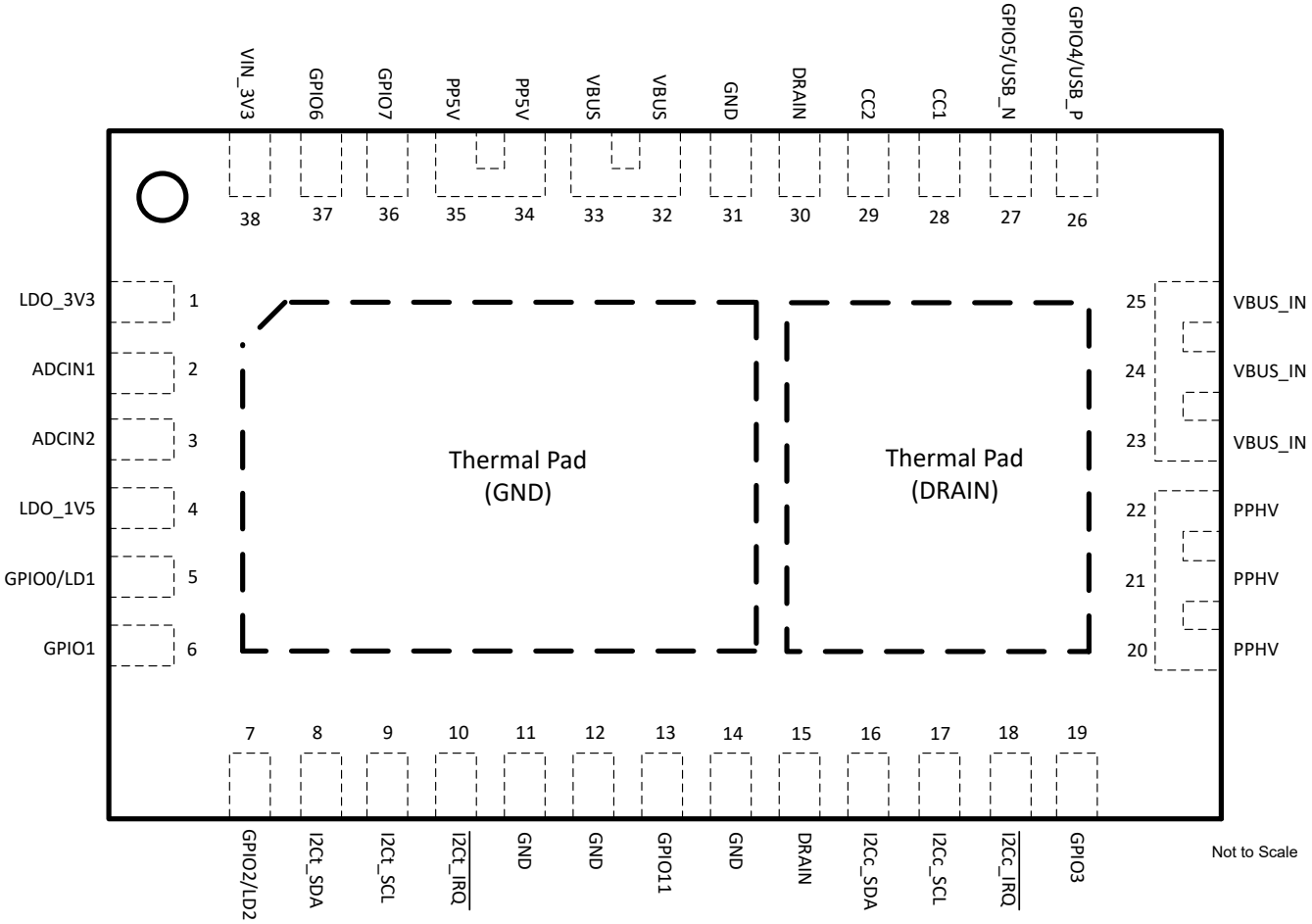


図 5-1. TPS25751AD QFN パッケージ、38 ピン (上面図)

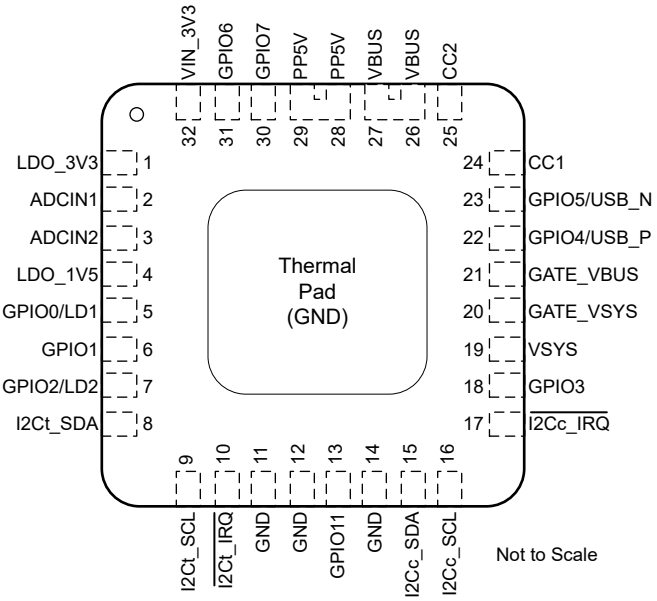


図 5-2. TPS25751AS QFN パッケージ、32 ピン (上面図)

Copyright © 2026 Texas Instruments Incorporated

表 5-1. TPS25751AD ピンの機能

ピン		タイプ(1)	リセット	説明
名称	番号			
ADCIN1	2	I	ハイ インピーダンス	設定入力。LDO_3V3 への抵抗分圧回路に接続します。
ADCIN2	3	I	ハイ インピーダンス	設定入力。LDO_3V3 への抵抗分圧回路に接続します。
CC1	28	I/O	ハイ インピーダンス	USB Type-C 用の入出力。推奨コンデンサを GND (C_{CC}) に接続して、ノイズをフィルタします。
CC2	29	I/O	ハイ インピーダンス	USB Type-C 用の入出力。推奨コンデンサを GND (C_{CC}) に接続して、ノイズをフィルタします。
GND	11、12、14、31	—	—	グランド。グランド プレーンに接続します。
GPIO0/LD1	5	GPIO	ハイ インピーダンス	汎用デジタル I/O。Type-C コネクタでの液体検出のために、このピンを接続できます。未使用時はグランドに接続します。
GPIO1	6	GPIO	ハイ インピーダンス	汎用デジタル I/O。未使用時はグランドに接続します。
GPIO2/LD2	7	GPIO	ハイ インピーダンス	汎用デジタル I/O。Type-C コネクタでの液体検出のために、このピンを接続できます。未使用時はグランドに接続します。
GPIO3	19	GPIO	ハイ インピーダンス	汎用デジタル I/O。ピンが未使用のときはグランドに接続します。
GPIO5/USB_N	27	I/O	ハイ インピーダンス	汎用デジタル I/O。未使用時はグランドに接続します。BC1.2 対応のため、このピンは D– に接続できます。
GPIO4/USB_P	26	I/O	ハイ インピーダンス	汎用デジタル I/O。未使用時はグランドに接続します。BC1.2 対応のため、このピンは D+ に接続できます。
GPIO6	37	GPIO	ハイ インピーダンス	汎用デジタル I/O。未使用時はグランドに接続します。
GPIO7	36	GPIO	ハイ インピーダンス	汎用デジタル I/O。ピンが未使用のときはグランドに接続します。
I2Ct_SCL	9	I	ハイ インピーダンス	I2C ターゲット シリアル クロック入力。抵抗を介してプルアップ電圧に接続します。ピンが未使用のときはグランドに接続します。
I2Ct_SDA	8	I/O	ハイ インピーダンス	I2C ターゲット シリアル データ。オープン ドレインの入力 / 出力。抵抗を介してプルアップ電圧に接続します。ピンが未使用のときはグランドに接続します。
$\overline{\text{I2Ct_IRQ}}$	10	O	ハイ インピーダンス	I2C ターゲット割り込み。アクティブ Low。プルアップ抵抗を介して外部電圧に接続します。ピンは GPIO10 に再構成できます。使用しない場合は、グランドに接続します。
I2Cc_SCL	17	O	ハイ インピーダンス	I2C コントローラ シリアル クロック。オープン ドレイン出力。抵抗を介してプルアップ電圧に接続します。ピンが未使用のときはグランドに接続します。
GPIO11	13	GPIO	ハイ インピーダンス	汎用デジタル I/O。ピンが未使用のときはグランドに接続します。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. TPS25751AD ピンの機能 (続き)

ピン		タイプ(1)	リセット	説明
名称	番号			
I2Cc_SDA	16	I/O	ハイ インピーダンス	I2C コントローラ シリアル データ。オープン ドレインの入力 / 出力。抵抗を介してプルアップ電圧に接続します。ピンが未使用のときはグランドに接続します。
$\overline{\text{I2Cc_IRQ}}$	18	I	ハイ インピーダンス	I2C コントローラの割り込み。アクティブ Low。プルアップ抵抗を介して外部電圧に接続します。未使用時は GND に接続しないでください。ピンは GPIO12 に再構成できます。
LDO_1V5	4	O	—	CORE LDO の出力。容量 C_{LDO_1V5} で GND へバイパス。このピンは外部回路に電流を供給できません。
LDO_3V3	1	O	—	VIN_3V3 または VBUS LDO から切り替えられた電源の出力。容量 C_{LDO_3V3} で GND へバイパス。
DRAIN	15、30	該当なし	—	内部 FET のドレインに接続します。
PP5V	34、35	I	—	5V システム電源を VBUS に、CC_y ピンに VCONN として供給します。
PPHV	20、21、22	I/O		システム内の高電圧シンク ノード。
VBUS_IN	23、24、25	I/O		5V ～ 20V 入力。
VBUS	32、33	O		LDO への VBUS 入力。容量 C_{VBUS} を用いて GND にバイパスします。
VIN_3V3	38	I	—	コア回路と I/O 用電源。容量 C_{VIN_3V3} で GND へバイパス。デバイスが VBUS 電源のみで動作する場合は、GND に接続します。

(1) I = 入力、O = 出力、I/O = 入出力、GPIO = 汎用デジタル入出力

Copyright © 2026 Texas Instruments Incorporated

表 5-2. TPS25751A S ピンの機能

ピン		タイプ(1)	リセット	説明
名称	番号			
ADCIN1	2	I	ハイ インピーダンス	設定入力。LDO_3V3 への抵抗分圧回路に接続します。
ADCIN2	3	I	ハイ インピーダンス	設定入力。LDO_3V3 への抵抗分圧回路に接続します。
CC1	24	I/O	ハイ インピーダンス	USB Type-C 用の入出力。推奨コンデンサを GND (C_{CC}) に接続して、ノイズをフィルタします。
CC2	25	I/O	ハイ インピーダンス	USB Type-C 用の入出力。推奨コンデンサを GND (C_{CC}) に接続して、ノイズをフィルタします。
GATE_VSYS	20	O	ハイ インピーダンス	ソースが VSYS に接続されている N チャネル MOSFET に接続します
GATE_VBUS	21	O	ハイ インピーダンス	ソースが VBUS に接続されている N チャネル MOSFET に接続します
GND	11、12、14	—	—	グランド。グランド プレーンに接続します。
GPIO0/LD1	5	GPIO	ハイ インピーダンス	汎用デジタル I/O。Type-C コネクタでの液体検出のために、このピンを接続できます。ピンが未使用のときはグランドに接続します。
GPIO1	6	GPIO	ハイ インピーダンス	汎用デジタル I/O。ピンが未使用のときはグランドに接続します。
GPIO2/LD2	7	GPIO	ハイ インピーダンス	汎用デジタル I/O。Type-C コネクタでの液体検出のために、このピンを接続できます。ピンが未使用のときはグランドに接続します。
GPIO3	18	GPIO	ハイ インピーダンス	汎用デジタル I/O。ピンが未使用のときはグランドに接続します。
GPIO4/USB_P	22	GPIO	ハイ インピーダンス	汎用デジタル I/O。BC1.2 対応のため、このピンは D+ に接続できます。ピンが未使用のときはグランドに接続します。
GPIO5/USB_N	23	GPIO	ハイ インピーダンス	汎用デジタル I/O。BC1.2 対応のため、このピンは D– に接続できます。ピンが未使用のときはグランドに接続します。
GPIO6	31	GPIO	ハイ インピーダンス	汎用デジタル I/O。ピンが未使用のときはグランドに接続します。
GPIO7	30	GPIO	ハイ インピーダンス	汎用デジタル I/O。ピンが未使用のときはグランドに接続します。
I2Ct_SCL	9	I	ハイ インピーダンス	I2C ターゲット シリアル クロック入力。抵抗を介してプルアップ電圧に接続します。使用しない場合は、グランドに接続します。
I2Ct_SDA	8	I/O	ハイ インピーダンス	I2C ターゲット シリアル データ。オープン ドレインの入力 / 出力。抵抗を介してプルアップ電圧に接続します。使用しない場合は、グランドに接続します。
$\overline{\text{I2Ct_IRQ}}$	10	O	ハイ インピーダンス	I2C ターゲット割り込み。アクティブ Low。プルアップ抵抗を介して外部電圧に接続します。ピンは GPIO10 に再構成できます。未使用時はグランドに接続します。

Copyright © 2026 Texas Instruments Incorporated

表 5-2. TPS25751A S ピンの機能 (続き)

ピン		タイプ(1)	リセット	説明
名称	番号			
I2Cc_SCL	16	O	ハイ インピーダンス	I2C コントローラ シリアル クロック。オープン ドレイン出力。抵抗を介してプルアップ電圧に接続します。
GPIO11	13	GPIO	ハイ インピーダンス	汎用デジタル I/O。ピンが未使用のときはグランドに接続します。
I2Cc_SDA	15	I/O	ハイ インピーダンス	I2C コントローラ シリアル データ。オープン ドレインの入力 / 出力。抵抗を介してプルアップ電圧に接続します。
$\overline{\text{I2Cc_IRQ}}$	17	I	ハイ インピーダンス	I2C コントローラの割り込み。アクティブ Low。プルアップ抵抗を介して外部電圧に接続します。ピンは GPIO12 に再構成できます。
LDO_1V5	4	O	—	CORE LDO の出力。容量 C_{LDO_1V5} で GND へバイパス。このピンは外部回路に電流を供給できません。
LDO_3V3	1	O	—	VIN_3V3 または VBUS LDO から切り替えられた電源の出力。容量 C_{LDO_3V3} で GND へバイパス。
PP5V	28、29	I	—	5V システム電源を VBUS に、CC_y ピンに VCONN として供給します。
VSYS	19	I	—	システム側の高電圧センシング ノード。システム内の高電圧シンク ノード。GATE_VSYS によって制御される外部シンク パスの逆電流保護 (RCP) を実装するために使用します。
VBUS	26、27	I/O		5V ～ 20V 入力。容量 C_{VBUS} を用いて GND にバイパスします。
VIN_3V3	32	I	—	コア回路と I/O 用電源。容量 C_{VIN_3V3} で GND へバイパス。デバイスが VBUS 電源のみで動作する場合は、GND に接続します。

(1) I = 入力、O = 出力、I/O = 入出力、GPIO = 汎用デジタル入出力

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

6.1.1 TPS25751AD および TPS25751AS — 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[1]

パラメータ		最小値	最大値	単位
入力電圧範囲 [2]	VIN_3V3	-0.3	4	V
	PP5V	-0.3	6	V
	ADCINx	-0.3	4	V
	VBUS_IN、VBUS[4]	-0.3	28	V
	CC1、CC2 [4]	-0.5	26	V
	GPIOx	-0.3	6	V
	I2Ct_SCL、I2Ct_SDA	-0.3	4	V
出力電圧範囲 (2)	LDO_1V5[3]	-0.3	2	V
	LDO_3V3[3]	-0.3	4	
ソース電流	VBUS のソース電流またはシンク電流		内部的に制限	A
	LDO_3V3、LDO_1V5 の正のソース電流		内部的に制限	
ソース電流	GPIOx		0.005	A
T_J 接合部動作温度		-40	175	°C
T_{STG} 保管温度		-55	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件、または「推奨動作条件」に示された値を超える他のいかなる条件下においても、本デバイスが正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、ネットワークの GND を基準としたものです。GND ピンをボードの GND プレーンに直接接続します。
(3) これらのピンに電圧を印加しないでください。
(4) ブレークダウン電圧が推奨最大値と絶対最大定格の間に収まる TVS (例:TVS2200) の使用が推奨されます。

6.1.2 TPS25751AD - 絶対最大定格

パラメータ		最小値	最大値	単位
入力電圧範囲 [1]	PPHV	-0.3	28	V
$V_{PPHV_VBUS_IN}$	ソース間電圧		28	V
シンク電流	VBUS_IN から PPHV への連続電流 (またはその逆方向)		7	A
	VBUS_IN から PPHV [2] へのパルス電流 (またはその逆方向)		10	
T_{J_PPHV} 接合部の動作温度	PP_HV スイッチ	-40	175	°C

(1) すべての電圧値は、ネットワークの GND を基準としたものです。GND ピンをボードの GND プレーンに直接接続します。
(2) パルス持続時間 ≤ 100µs、デューティ サイクル ≤ 1%。

6.1.3 TPS25751AS — 絶対最大定格

パラメータ		最小値	最大値	単位
出力電圧範囲 (1)	GATE_VBUS、GATE_VSYS [2]	-0.3	40	V

Copyright © 2026 Texas Instruments Incorporated

6.1.3 TPS25751AS — 絶対最大定格 (続き)

パラメータ		最小値	最大値	単位
V_{GS}	$V_{GATE_VBUS} – V_{VBUS}$、$V_{GATE_SYS} – V_{VSYS}$	-0.5	12	V

(1) すべての電圧値は、ネットワークの GND を基準としたものです。GND ピンをボードの GND プレーンに直接接続します。
(2) これらのピンに電圧を印加しないでください。

6.2 ESD 定格

パラメータ		テスト条件	値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±1000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3.1 TPS25751AD - 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ			最小値	最大値	単位
V_I	入力電圧範囲(1)	VIN_3V3	3.0	3.6	V
		PP5V	4.9	5.5	V
		ADCIN1、ADCIN2、VBUS_IN、VBUS	4	22	V
		PPHV	0	22	V
V_{IO}	I/O 電圧範囲(1)	I2Cx_SDA、I2Cx_SCL、$\overline{\text{I2Cx_IRQ}}$、ADCIN1、ADCIN2	0	3.6	V
		GPIOx	0	5.5	
		CC1、CC2	0	5.5	
I_{PP_HV}	VBUS_IN から PPHV への電流			7	A
I_O	出力電流 (LDO_3V3 から)	GPIOx		1	mA
I_O	出力電流 (VBUS LDO から)	LDO_3V3 と GPIOx からの電流の合計		5	mA
T_A	動作時周囲温度	I_{PP_5V} = 0、I_{PP_HV} ≤ 7A、I_{PP_CABLE} = 0	-40	45	°C
		I_{PP_5V} = 0、I_{PP_HV} ≤ 6A、I_{PP_CABLE} = 0	-40	65	
T_{J_PPHV}	動作時接合部温度	PP_HV スイッチ	-40	150	°C
T_J	動作時接合部温度		-40	125	°C

(1) すべての電圧値は、ネットワークの GND を基準としたものです。すべての GND ピンは、基板の GND プレーンに直接接続する必要があります。

Copyright © 2026 Texas Instruments Incorporated

6.3.2 TPS25751AS - 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ			最小値	最大値	単位
V_I	入力電圧範囲(1)	VIN_3V3	3.0	3.6	V
V_I	入力電圧範囲(1)	PP5V	4.9	5.5	V
V_I	入力電圧範囲(1)	VBUS(2)	4	22	V
V_I	入力電圧範囲(1)	VSYS	0	22	V
V_{IO}	I/O 電圧範囲(1)	I2Cx_SDA、I2Cx_SCL、$\overline{\text{I2Cx_IRQ}}$ ADCINx	0	3.6	V
		GPIOx	0	5.5	
		CC1、CC2	0	5.5	
I_O	出力電流 (PP5V から)	VBUS		3	A
		CC1、CC2		315	mA
I_O	出力電流 (LDO_3V3 から)	GPIOx		1	mA
I_O	出力電流 (VBUS LDO から)	LDO_3V3 と GPIOx からの電流の合計		5	mA
T_J	動作時接合部温度		-40	125	°C

(1) すべての電圧値は、ネットワークの GND を基準としたものです。すべての GND ピンは、基板の GND プレーンに直接接続する必要があります。
(2) すべての VBUS ピンと VBUS_IN ピンを互いに短絡します。

6.4 推奨容量

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ (1)		電圧定格	最小値	公称値	最大値	単位
C_{VIN_3V3}	VIN_3V3 の容量	6.3V	5	10		µF
C_{LDO_3V3}	LDO_3V3 の容量	6.3V	5	10	25	µF
C_{LDO_1V5}	LDO_1V5 の容量	4V	4.5		12	µF
C_{VBUS}	静電容量を VBUS 上に配置(4)	25V	1	4.7	10	µF
C_{PP5V}	PP5V の容量	10V	120(2)			µF
C_{VSYS} TPS25751A	VBUS から VSYS シンクへの静電容量(5)	25V		47	100	µF
C_{PPHV} TPS25751AD	VBUS から PPHV シンクへの静電容量(5)	25V		47	100	µF
C_{CCy}	CCy ピン上のコンデンサ(3)	6.3V	200	400	480	pF

(1) 静電容量の値には、いかなるディレーティング係数も含まれていません。例えば、5µF が必要であり、必要な動作電圧において外付けコンデンサの容量が 50% 低下する場合、必要な外付けコンデンサの値は 10µF となります。
(2) 最小容量は、USB PD (cSrcBulkShared) の要件です。少なくとも 120µF を PP5V に直接接続します。
(3) 静電容量には、Type-C レセプタクルに接続されるすべての外付け容量が含まれます。
(4) このデバイスは、特定のイベント発生時にシンク電力経路を迅速に無効化するように構成できます。このような構成を使用する場合、この範囲の上側の静電容量を推奨します。
(5) cSnkBulkPd (100µF) に関する USB PD 仕様は、PD 契約成立後に VBUS のシンク側に許容される最大バルク容量を規定しています。この静電容量は、PD コントローラのシンク経路から電力を取得するすべての電力変換デバイスに対して十分です。100µF を超える容量が必要なシステムでは、USB3.2 仕様に記載されているように、VBUS の突入電流制限を実装する必要があります。

Copyright © 2026 Texas Instruments Incorporated

6.5.1 TPS25751AD - 熱に関する情報

熱評価基準 [1]		TPS25751AD	単位
		QFN (REF)	
		38 ピン	
$R_{\theta JA}$	接合部周囲間の熱抵抗 (PP_HV 経由でのシンク動作)	57.4	°C/W
$R_{\theta JA}$	接合部周囲間の熱抵抗 (PP_5V 経由でのソース動作)	46.5	°C/W
$R_{\theta JC}$ (上面)	接合部からケース (上面) への熱抵抗 (PP_HV 経由でのシンク動作)	30.5	°C/W
$R_{\theta JC}$ (上面)	接合部からケース (上面) への熱抵抗 (PP_5V 経由でのソース)	20.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗 (PP_HV 経由でのシンク動作)	21.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗 (PP_5V 経由でのソース動作)	11.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ (PP_HV 経由でのシンク動作)	18.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ (PP_5V 経由でのソース動作)	1.0	°C/W
Ψ_{JB}	接合部基板間の特性化パラメータ (PP_HV を介したシンク動作)	21.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ (PP_5V 経由でのソース動作)	11.1	°C/W
$R_{\theta JC}$ (bot_GND)	接合部からケース (底面 GND パッド) への熱抵抗	1.8	°C/W
$R_{\theta JC}$ (bot_DRAIN)	接合部からケース (底面 DRAIN パッド) への熱抵抗	4.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5.2 熱に関する情報

熱評価基準(1)		TPS25751AS	単位
		QFN (RSM)	
		32 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	30.5	°C/W
$R_{\theta JC}$ (上面)	接合部からケース (上面) への熱抵抗	24.5	°C/W
$R_{\theta JC}$	接合部から基板 (底面) への熱抵抗	2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	9.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	9.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.6 電源特性

特に指定がない限り、以下の条件で動作します。$3.0V \le V_{LDO_3V3} \le 3.6V$

パラメータ	テスト条件	最小値	標準値	最大値	単位
VIN_3V3、VBUS					

6.6 電源特性 (続き)

特に指定がない限り、以下の条件で動作します。3.0V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{VBUS_UVLO}	VBUS UVLO スレッショルド	立ち上がり	3.6		3.9	V
		立ち下がり	3.5		3.8	
		ヒステリシス		0.1		
V_{VIN3V3_UVLO}	電源オンのために VIN_3V3 に必要な電圧	立ち上がり、V_{VBUS} = 0	2.56	2.66	2.76	V
		立ち下がり、V_{VBUS} = 0	2.44	2.54	2.64	
		ヒステリシス		0.12		
LDO_3V3、LDO_1V5						
V_{LDO_3V3}	LDO_3V3 の電圧	V_{VIN_3V3} = 0V、10µA ≤ I_{LOAD} ≤ 18mA、V_{VBUS} ≥ 3.9V	3.0	3.4	3.6	V
R_{LDO_3V3}	VIN_3V3 から LDO_3V3 の Rdson	I_{LDO_3V3} = 50mA			1.4	Ω
V_{LDO_1V5}	LDO_1V5 の電圧	最大の内部負荷条件まで	1.49	1.5	1.65	V

6.7 消費電力

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V、GPIO 負荷なし

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{VIN_3V3,\ ActSrc}$	VIN_3V3 への電流	アクティブ ソース モード:V_{VBUS} = 5V、V_{VIN_3V3} = 3.3V		3		mA
$I_{VIN_3V3,\ ActSnk}$	VIN_3V3 への電流	アクティブ PPHV モード:22V ≥ V_{VBUS} ≥ 4V、V_{VIN_3V3} = 3.3V		3	6	mA
$I_{VIN_3V3,\ IdlSrc}$	VIN_3V3 への電流	アイドル ソース モード:V_{VBUS} = 5V、V_{VIN_3V3} = 3.3V		1.0		mA
$I_{VIN_3V3,\ IdlSnk}$	VIN_3V3 への電流	アイドル PPHV モード:22V ≥ V_{VBUS} ≥ 4V、V_{VIN_3V3} = 3.3V		1.0		mA
$I_{PP5V,\ Sleep}$	PP5V への電流	スリープ モード:V_{PA_VBUS} = 0V、V_{VIN_3V3} = 3.3V		2		µA
$I_{VIN_3V3,\ Sleep}$	VIN_3V3 への電流	スリープ DRP モード:V_{VBUS} = 0V、V_{VIN_3V3} = 3.3V		56		µA

6.8 PP_5V パワー スイッチの特性

特に指定がない限り、以下の条件で動作します。3.0V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{PP_5V}	PP5V から VBUS への抵抗	I_{LOAD} = 3A、T_J = 25℃		36	38	mΩ
R_{PP_5V}	PP5V から VBUS への抵抗	I_{LOAD} = 3A、T_J = 125℃		36	53	mΩ
I_{PP5V_REV}	VBUS から PP5V へのリーク電流	V_{PP5V} = 0V、V_{VBUS} = 5.5V、PP_5V を無効化し、T_J ≤ 85°C、I_{PP5V} を測定します			5	µA
I_{PP5V_FWD}	PP5V から VBUS へのリーク電流	V_{PP5V} = 5.5V、V_{VBUS} = 0V、PP_5V を無効化し、T_J ≤ 85°C、I_{VBUS} を測定します			15	µA
I_{LIM5V}	電流制限の設定	0 に設定します	1.15		1.36	A
I_{LIM5V}	電流制限の設定	1 に設定します	1.61		1.90	A
I_{LIM5V}	電流制限の設定	2 に設定します	2.3		2.70	A
I_{LIM5V}	電流制限の設定	3 に設定します	3.04		3.58	A
I_{LIM5V}	電流制限の設定	4 に設定します	3.22		3.78	A
I_{VBUS}	PP5V から VBUS への電流センス精度	3.64A ≥ I_{VBUS} ≥ 1A	3.05	3.5	3.75	A/V

Copyright © 2026 Texas Instruments Incorporated

6.8 PP_5V パワー スイッチの特性 (続き)

特に指定がない限り、以下の条件で動作します。3.0V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{PP_5V_RCP}$	$V_{VBUS} - V_{PP5V} < V_{PP_5V_RCP}$ のとき、RCP はクリアされ、PP_5V はオンになり始めます。$V_{VBUS} - V_{PP5V}$ を測定します		10		20	mV
$t_{iOS_PP_5V}$	VBUS 短絡に対する応答時間	10mΩ を介して VBUS から GND、C_{VBUS} = 0		1.15		µs
$t_{PP_5V_ovp}$	$V_{VBUS} > V_{OVP4RCP}$ に対する応答時間	PP_5V、I_{RpDef} を PP5V から引き出せるようにし、$V_{OVP4RCP}$ を 2 に設定するように構成し、V_{VBUS} を 4V から 20V に 100V/ms で上昇させ、C_{PP5V} = 2.5µF、OVP 検出から逆電流が < 100mA になるまでの時間を測定します		4.5		µs
$t_{PP_5V_uvlo}$	$V_{PP5V} < V_{PP5V_UVLO}$ への応答時間、V_{VBUS} < 0.8V のとき PP_VBUS はオフと見なされます	R_L = 100Ω、VBUS 上の外部容量なし		4		µs
$t_{PP_5V_rcp}$	$V_{PP5V} < V_{VBUS} + V_{PP_5V_RCP}$ までの応答時間	V_{PP5V} = 5.5V、I_{RpDef} = PP5V から引き出され、PP_5V をイネーブルにし、$V_{OVP4RCP}$ を設定 2 に構成し、V_{VBUS} を 4V から 21.5V に 10V/µs で上昇させ、V_{PP5V} を測定します。C_{PP5V} = 104µF、C_{VBUS} = 10µF の条件で、RCP 検出から逆電流が 100mA 未満になるまでの時間を測定します		0.7		µs
t_{ILIM}	電流クランプのグリッチ除去時間			5.1		ms
t_{ON}	イネーブル信号から、VBUS が最終値の 90% に達するまでの時間	R_L = 100Ω、V_{PP5V} = 5V、C_L = 0	2.3	3.3	4.3	ms
t_{OFF}	信号無効化から VBUS が最終値の 10% になるまで	R_L = 100Ω、V_{PP5V} = 5V、C_L = 0	0.30	0.45	0.6	ms
t_{RISE}	VBUS が最終値の 10% から 90% に達するまでの時間	R_L = 100Ω、V_{PP5V} = 5V、C_L = 0	1.2	1.7	2.2	ms
t_{FALL}	VBUS が初期値の 90% から 10% に低下するまでの時間	R_L = 100Ω、V_{PP5V} = 5V、C_L = 0	0.06	0.1	0.14	ms

6.9 PPHV パワー スイッチの特性 - TPS25751AD

特に指定がない限り、以下の条件で動作します。3.0V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{PPHV}	VBUS_IN から PPHV パワースイッチ抵抗への抵抗	T_{J_PPHV} = 25°C、I_{PPHV} = 6.5A		16	19	mΩ
		T_{J_PPHV} = 125°C、I_{PPHV} = 6.5A		24	29	
		T_{J_PPHV} = 150°C、I_{PPHV} = 6.5A		27	32	mΩ
V_{RCP}	コンパレータ モード RCP スレッショルド、$V_{PPHV} - V_{VBUS}$	0、4V ≤ V_{VBUS} ≤ 22V、V_{VIN_3V3} ≤ 3.63V を設定	2	6	10	mV

Copyright © 2026 Texas Instruments Incorporated

6.9 PPHV パワー スイッチの特性 - TPS25751AD (続き)

特に指定がない限り、以下の条件で動作します。3.0V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{RCP}	コンパレータ モード RCP スレッショルド、V_{PPHV} – V_{VBUS}	1、4V ≤ V_{VBUS} ≤ 22V、V_{VIN_3V3} ≤ 3.63V を設定	4	8	12	mV
V_{RCP}	コンパレータ モード RCP スレッショルド、V_{PPHV} – V_{VBUS}	2、4V ≤ V_{VBUS} ≤ 22V、V_{VIN_3V3} ≤ 3.63V を設定	6	10	14	mV
V_{RCP}	コンパレータ モード RCP スレッショルド、V_{PPHV} – V_{VBUS}	3、4V ≤ V_{VBUS} ≤ 22V、V_{VIN_3V3} ≤ 3.63V を設定	8	12	16	mV
SS	GATE_VSYS のソフト スタート スルーレート、0 を設定	4V ≤ V_{VBUS} ≤ 22V、I_{LOAD} = 100mA、500pF < C_{GATE_VSYS} < 16nF、最終的な VSYS 値の 10% ～ 90% からの勾配を測定します	0.35	0.41	0.47	V/ms
SS	GATE_VSYS のソフト スタート スルーレート、1 を設定	4V ≤ V_{VBUS} ≤ 22V、I_{LOAD} = 100mA、500pF < C_{GATE_VSYS} < 16nF、最終的な VSYS 値の 10% ～ 90% からの勾配を測定します	0.67	0.81	0.95	V/ms
SS	GATE_VSYS のソフト スタート スルーレート、2 を設定	4V ≤ V_{VBUS} ≤ 22V、I_{LOAD} = 100mA、500pF < C_{GATE_VSYS} < 16nF、最終的な VSYS 値の 10% ～ 90% からの勾配を測定します	1.33	1.7	2.0	V/ms
SS	GATE_VSYS のソフト スタート スルーレート、3 を設定	4V ≤ V_{VBUS} ≤ 22V、I_{LOAD} = 100mA、500pF < C_{GATE_VSYS} < 16nF、最終的な VSYS 値の 10% ～ 90% からの勾配を測定します	2.8	3.3	3.80	V/ms
t_{PPHV_OFF}	通常のシャットダウン モードで内部 PPHV スイッチを無効化するのに許容される時間	V_{VBUS} = 20V、V_{PPHV} = 20V (初期値)、C_{PPHV} < 1nF、I_{PPHV} = 0.1A、V_{VBUS_IN} – V_{PPHV} > 1V のとき、スイッチはオフになります		400	1000	µs
t_{PPHV_OVP}	高速シャットダウン モードで内部 PPHV スイッチを無効化するのに許容される時間 ($V_{OVP4RCP}$ の超過)。これには、コンパレータの応答時間が含まれます	OVP:$V_{OVP4RCP}$ = 設定値 57、初期状態で V_{VBUS} = 20V、その後 50ns で 23V まで上昇、V_{PPHV} = V_{VBUS_IN} (初期値)、C_{PPHV} < 1nF、I_{PPHV} = 0.1A の場合、V_{VBUS_IN} – V_{PPHV} > 0.1V のときスイッチはオフになります		2	4	µs
t_{PPHV_RCP}	高速シャットダウン モード (V_{RCP} の超過) で内部 PPHV スイッチを無効化するのに許容される時間。これには、コンパレータの応答時間が含まれます	RCP: V_{RCP} = 設定値 0、V_{VBUS} = 5V、初期状態で V_{VSYS} = 5V、その後 dV/dt = 0.1V/µs で 6V まで上昇、C_{VBUS} = 10µF、V_{VSYS} > V_{BUS} + V_{RCP} となってから VBUS のピーク電圧に達するまでの時間を測定します		1	2	µs
t_{PPHV_FSD}	高速シャットダウン モード (OVP) で内部 PPHV スイッチを無効にするのに許容される時間	V_{PPHV} = 20V (初期値)、V_{VBUS} = 20V、その後 50ns で 23V まで上昇し、r_{OVP} = 1、C_{PPHV} < 1nF、I_{PPHV} = 0.1A の場合、V_{VBUS_IN} – V_{PPHV} > 0.5 V のときスイッチはオフになります		0.25	20	µs

Copyright © 2026 Texas Instruments Incorporated

6.9 PPHV パワー スイッチの特性 - TPS25751AD (続き)

特に指定がない限り、以下の条件で動作します。3.0V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PPHV_ON}	内部 PPHV スイッチを有効にする時間	V_{VBUS_IN} = 5V、C_{PPHV} = 0、I_{PPHV} = 0、レジスタ書き込みから PPHV をイネーブルにするための時間を測定し、V_{VBUS_IN} – V_{PPHV} < 0.1V、ソフトスタートを 3 に設定します	1500	1800	2100	µs

6.10 PP_EXT の特性 - TPS25751AS

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{GATE_ON}	ゲートドライバのソース電流	0V ≤ V_{GATE_VSYS} – V_{VSYS} ≤ 6V、V_{VSYS} ≤ 22V、V_{VBUS} > 4V、I_{GATE_VSYS} を測定します	8.5		11.5	µA
		0V ≤ V_{GATE_VBUS} – V_{VBUS} ≤ 6V、4V ≤ V_{VBUS} ≤ 22V、I_{GATE_VBUS} を測定します	8.5		11.5	µA
V_{GATE_ON}	ソース電圧 (ON)	0V ≤ V_{VSYS} ≤ 22V、I_{GATE_VSYS} < 4µA、V_{GATE_VSYS} – V_{VSYS}、V_{VBUS} > 4V を測定します	6		12	V
		4V ≤ V_{VBUS} ≤ 22V、I_{GATE_VBUS} < 4µA、V_{GATE_VBUS} – V_{VBUS} を測定します	6		12	V
V_{RCP}	コンパレータ モード RCP スレッショルド、V_{VSYS} – V_{VBUS}	4V ≤ V_{VBUS} ≤ 22V、V_{VIN_3V3} ≤ 3.63V	2	6	10	mV
I_{GATE_OFF}	沈降強度	通常ターンオフ:V_{VSYS} = 5V、V_{GATE_VSYS} = 6V、I_{GATE_VSYS} を測定します	13			µA
		通常ターンオフ:V_{VBUS} = V_{VSYS} = 5V、V_{GATE_VBUS} = 6V、I_{GATE_VBUS} を測定します	13			µA
R_{GATE_FSD}	沈降強度	高速ターンオフ:V_{VSYS} = 5V、V_{GATE_VSYS} = 6V、PPHV1_FAST_DISABLE をアサートし、R_{GATE_VSYS} を測定します			85	Ω
		高速ターンオフ:V_{VBUS} = V_{VSYS} = 5V、V_{GATE_VBUS} = 6V、PPHV1_FAST_DISABLE をアサートし、R_{GATE_VBUS} を測定します			85	Ω
$R_{GATE_OFF_UVLO}$	UVLO のシンク強度 (安全性)	V_{VIN_3V3} = 0V、V_{VBUS} = 3V、V_{GATE_VSYS} = 0.1V、GATE_VSYS から GND への抵抗を測定します			1.5	MΩ

Copyright © 2026 Texas Instruments Incorporated

6.10 PP_EXT の特性 - TPS25751AS (続き)

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
SS	GATE_VSYS のソフト スタート スルーレート	4V ≤ V_{VBUS} ≤ 22V、I_{LOAD} = 100mA、500pF < C_{GATE_VSYS} < 16nF、最終的な VSYS 値の 10% ～ 90% からの勾配を測定します	2.8	3.3	3.80	V/ms
$t_{GATE_VBUS_OFF}$	通常のシャットダウン モードで、GATE_VBUS によって外部 FET を無効にするのに許容される時間。(1)	V_{VBUS} = 20V、外付け FET の Q_G = 40nC または C_{GATE_VBUS} < 3nF の場合、V_{GATE_VBUS} − V_{VBUS} < 1V のときゲートはオフになります		450	4000	µs
$t_{GATE_VBUS_OVP}$	高速シャットダウン モードで GATE_VBUS によって外部 FET をディスエーブルにできる時間 ($V_{OVP4RCP}$ の超過)。これには、コンパレータの応答時間が含まれます(1)	OVP: $V_{OVP4RCP}$ = 設定値 57、初期状態で V_{VBUS} = 20V、その後 50ns で 23V まで上昇、外付け FET の Q_G = 40nC または C_{GATE_VBUS} < 3nF の場合、V_{GATE_VBUS} − V_{VBUS} < 1V のときゲートはオフになります		3	5	µs
$t_{GATE_VBUS_RCP}$	高速シャットダウン モード (V_{RCP} を超過) で GATE_VBUS によって外部 FET をディスエーブルにできる時間 (これには、コンパレータの応答時間が含まれます)(1)	RCP: V_{RCP} = 設定値 0、V_{VBUS} = 5V、初期状態で V_{VSYS} = 5V、その後 50ns で 5.5V まで上昇、外付け FET の Q_G = 40nC または C_{GATE_VBUS} < 3nF の場合、V_{GATE_VBUS} − V_{VBUS} < 1V のときゲートはオフになります		1	2	µs
$t_{GATE_VSYS_OFF}$	通常のシャットダウン モードで、GATE_VSYS を介して外部 FET を無効にするのに許容される時間(1)	V_{VSYS} = 20V、外付け FET の Q_G = 40nC または C_{GATE_VBUS} < 3nF の場合、V_{GATE_VSYS} − V_{VSYS} < 1V のときゲートはオフになります		450	4000	µs
$t_{GATE_VSYS_FSD}$	高速シャットダウン モード (OVP) で GATE_VSYS を介して外部 FET を無効にするのに許容される時間(1)	最初に V_{VBUS} = 20V から 23V まで 50ns 単位で上昇し、外部 FET の Q_G = 40nC または C_{GATE_VBUS} < 3nF、V_{GATE_VSYS} − V_{VSYS} < 1V、r_{OVP} = 1 のとき、ゲートはオフになります		0.25	20	µs
$t_{GATE_VBUS_ON}$	GATE_VBUS をイネーブルにする時間 (1)	V_{GS} = 0V のときから V_{GS} > 3V になるまでの時間を測定します。ここで、V_{GS} = V_{GATE_VBUS} − V_{VBUS} とします		0.25	2	ms

(1) これらの値は、外部の N チャネル MOSFET の特性によって異なります。測定された代表値は、Px_GATE_VSYS と Px_GATE_VBUS を使用して、二つの CSD17571Q2 を共通ドレインのバック ツー バック構成で駆動した場合のものです。

6.11 電力パス監視

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{PP5V_UVLO}	PP5V で必要な電圧	立ち上がり	3.9	4.1	4.3	V
		立ち下がり	3.8	4.0	4.2	
		ヒステリシス		0.1		

Copyright © 2026 Texas Instruments Incorporated

6.11 電力パス監視 (続き)

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OVP4RCP}$	RCP プログラマブル範囲向けの VBUS 過電圧保護	V_{VBUS} > $V_{OVP4RCP}$ のとき、OVP が検出されます	5.0		24	V
$V_{OVP4RCPH}$	ヒステリシス		1.75	2	2.25	%
r_{OVP}	OVP4VSYS コンパレータに使用される OVP4RCP 入力の比率。r_{OVP} × $V_{OVP4VSYS}$ = $V_{OVP4RCP}$	設定 0		1		V/V
		設定 1		0.95		
		設定 2		0.9		
		設定 3		0.875		
$V_{OVP4VSYS}$	VSYS 保護用の VBUS 過電圧保護範囲	r_{OVP} × V_{VBUS} > $V_{OVP4RCP}$ のときに OVP が検出されます	5		27.5	V
$V_{OVP4VSYS}$	ヒステリシス	VBUS 立ち下がり時、$V_{OVP4VSYS}$ に対する %、r_{OVP} 設定 0	1.75	2	2.25	%
		VBUS 立ち下がり時、$V_{OVP4VSYS}$ に対する %、r_{OVP} 設定 1	1.8	2.1	2.4	
		VBUS 立ち下がり時、$V_{OVP4VSYS}$ に対する %、r_{OVP} 設定 2	1.9	2.2	2.5	
		VBUS 立ち下がり時、$V_{OVP4VSYS}$ に対する %、r_{OVP} 設定 3	2	2.3	2.6	
I_{DSCH}	VBUS 放電電流	V_{VBUS} = 22V、I_{VBUS} を測定します	4		15	mA

6.12 CC ケーブル検出パラメータ

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
Type-C ソース (Rp プルアップ)						
$V_{OC_3.3}$	Rp 有効時、無負荷状態における、未接続の CCy の開放電圧	V_{LDO_3V3} > 2.302V、R_{CC} = 47kΩ	1.85			V
V_{OC_5}	Rp 有効時、無負荷状態における、接続された CCy の開放電圧	V_{PP5V} > 3.802V、R_{CC} = 47kΩ	2.95			V
I_{Rev}	CCy で逆電流が接続されていません	V_{CCy} = 5.5V、V_{CCx} = 0V、$V_{LDO_3V3_UVLO}$ < V_{LDO_3V3} < 3.6V、V_{PP5V} = 3.8V、CCy への電流を測定します			10	µA
		V_{CCy} = 5.5V、V_{CCx} = 0V、$V_{LDO_3V3_UVLO}$ < V_{LDO_3V3} < 3.6V、V_{PP5V} = 0V、T_J ≤ 85°C、CCy への電流を測定します			10	
I_{RpDef}	電流源 - USB デフォルト	0 < V_{CCy} < 1V、I_{CCy} を測定します	64	80	96	µA
$I_{Rp1.5}$	電流源 - 1.5A	4.75V < V_{PP5V} < 5.5V、0V < V_{CCy} < 1.5V、I_{CCy} を測定します	166	180	194	µA
$I_{Rp3.0}$	電流源 - 3.0A	4.75V < V_{PP5V} < 5.5V、0 < V_{CCy} < 2.45V、I_{CCy} を測定します	304	330	356	µA
Type-C シンク (Rd プルダウン)						

Copyright © 2026 Texas Instruments Incorporated

6.12 CC ケーブル検出パラメータ (続き)

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{SNK1}	CCy に Rd が適用されたときの、オープン / デフォルト検出のスレッショルド	立ち上がり	0.2		0.24	V
	CCy に Rd が適用されたときの、オープン / デフォルト検出のスレッショルド	立ち下がり	0.16		0.20	V
	ヒステリシス			0.04		V
V_{SNK2}	デフォルト / 1.5A 検出スレッショルド	立ち下がり	0.62		0.68	V
	デフォルト / 1.5A 検出スレッショルド	立ち上がり	0.63	0.66	0.69	V
	ヒステリシス			0.01		V
V_{SNK3}	Px_CCy への Rd 適用時の 1.5A/3.0A 検出スレッショルド	立ち下がり	1.17		1.25	V
	Px_CCy への Rd 適用時の 1.5A/3.0A 検出スレッショルド	立ち上がり	1.22		1.3	V
	ヒステリシス			0.05		V
R_{SNK}	Rd プルダウン抵抗	0.25V ≤ V_{CCy} ≤ 2.1V の範囲で、CCy 上の抵抗を測定します (trim_cd_rd によるトリミング後)。$V_{LDO_3V3_UVLO}$ < V_{LDO_3V3} < 3.6V	4.6		5.6	kΩ
R_{VCONN_DIS}	VCONN 放電抵抗	0V ≤ V_{CCy} ≤ 5.5V、trim_cd_rd を使用してトリミングした後、CCy の抵抗を測定	4.0		6.12	kΩ
V_{CLAMP}	デッド バッテリ Rd クランプ	V_{VIN_3V3} = 0V、64µA < I_{CCy} < 96µA	0.25		1.32	V
		V_{VIN_3V3} = 0V、166µA < I_{CCy} < 194µA	0.65		1.32	
		V_{VIN_3V3} = 0V、304µA < I_{CCy} < 356µA	1.20		2.18	
R_{Open}	オープンとして構成されている場合の CCy から GND への抵抗	V_{VBUS} = 0V、V_{VIN_3V3} = 3.3V、V_{CCy} = 5V、CCy の抵抗を測定します	500			kΩ
		V_{VBUS} = 5V、V_{VIN_3V3} = 0V、V_{CCy} = 5V、CCy の抵抗を測定します	500			kΩ
一般的なコンパレータ						
t_{CC}	Px_CCy のコンパレータのグリッチ除去時間			3.2		ms

6.13 CC VCONN パラメータ

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{PP_CABLE}	VCONN パスの Rdson	V_{PP5V} = 5V、I_L = 250mA、PP5V から CCy への抵抗を測定します			1.2	Ω
I_{LIMVC}	短絡電流制限	0、V_{PP5V} = 5V、R_L = 10mΩ を設定し、I_{CCy} を測定します	350	410	470	mA
I_{LIMVC}	短絡電流制限	1、V_{PP5V} = 5V、R_L = 10mΩ を設定し、I_{CCy} を測定します	540	600	660	mA

Copyright © 2026 Texas Instruments Incorporated

6.13 CC VCONN パラメータ (続き)

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{CC2PP5V}$	VCONN FET 経由の逆リーク電流	VCONN 無効、T_J ≤ 85°C、V_{CCy} = 5.5V、V_{PP5V} = 0V、V_{VBUS} = 5V の条件で、LDO を VBUS から電流を引き出すよう強制し、I_{CCy} を測定します			10	µA
V_{VC_OVP}	PP_CABLE の過電圧保護スレッショルド	V_{PP5V} 立ち上がり	5.6	5.9	6.2	V
V_{VC_RCP}	PP_CABLE の逆電流保護スレッショルド、CCx 経由で VCONN を供給	V_{PP5V} ≥ 4.9V、V_{CCy} = V_{PP5V}、V_{CCx} 立ち上がり	60	200	340	mV
		V_{PP5V} ≥ 4.9V、V_{CCy} ≤ 4V、V_{CCx} 立ち上がり	210	340	470	mV
t_{VCILIM}	電流クランプのグリッチ除去時間			1.3		ms
$t_{PP_CABLE_FSD}$	V_{PP5V} > V_{VC_OVP} または V_{CCx} – V_{PP5V} > V_{VC_RCP} の後、PP_CABLE を無効にする時間	C_L = 0		0.5		µs
$t_{PP_CABLE_off}$	信号無効化から CCy が最終値の 10% になるまで	I_L = 250mA、V_{PP5V} = 5V、C_L = 0	100	200	300	µs
$T_{iOS_PP_CABLE}$	短絡に対する応答時間	V_{PP5V} = 5V、短絡の場合、R_L = 10mΩ		2		µs

6.14 CC PHY パラメータ

特に記述のない限り以下の条件で動作します。(3V ≤ V_{VIN_3V3} ≤ 3.6V または V_{VBUS} ≥ 3.9V)

パラメータ		テスト条件	最小値	標準値	最大値	単位
トランスミッタ						
V_{TXHI}	CCy で高電圧を送信	標準外部負荷	1.05	1.125	1.2	V
V_{TXLO}	CCy で低電圧を送信	標準外部負荷	-75		75	mV
Z_{DRIVER}	CCy を使用した CC ライン駆動中の送信出力インピーダンス	750 kHz で測定	33	54	75	Ω
t_{Rise}	立ち上がり時間。CCy における振幅の 10% ～ 90% ポイントで測定し、最小値は無負荷条件での値です。TX mask によって設定される最大値	C_{CCy} = 520pF	300			ns
t_{Fall}	立ち下がり時間 CCy における振幅の 90% ～ 10% ポイントで測定し、最小値は無負荷条件での値です。TX mask によって設定される最大値	C_{CCy} = 520pF	300			ns
V_{PHY_OVP}	USB PD PHY の OVP 検出スレッショルド	0V ≤ V_{VIN_3V3} ≤ 3.6V、0V ≤ V_{PP5V} ≤ 5.5V、V_{VBUS} ≥ 4V。最初は V_{CC1} ≤ 5.5V および V_{CC2} ≤ 5.5V、その後、V_{CCx} が上昇します	5.5		8.5	V
レシーバ						
Z_{BMCRX}	CCy のレシーバ入力インピーダンス	ケーブル検出に起因するプルアップ抵抗またはプルダウン抵抗を含みません。トランスミッタはハイ インピーダンス	1			MΩ
C_{CC}	CCy [1] でのレシーバ静電容量	レシーバ モードで CC ピンに流れ込む静電容量			120	pF
$V_{RX_SNK_R}$	レシーバ コンパレータの CCy の立ち上がりスレッショルド	シンク モード (立ち上がり)	499	525	551	mV

Copyright © 2026 Texas Instruments Incorporated

6.14 CC PHY パラメータ (続き)

特に記述のない限り以下の条件で動作します。(3V ≤ V_{VIN_3V3} ≤ 3.6V または V_{VBUS} ≥ 3.9V)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{RX_SRC_R}$	レシーバ コンパレータの CCy の立ち上がりスレッショルド	ソース モード (立ち上がり)	784	825	866	mV
$V_{RX_SNK_F}$	受信コンパレータにおける、CCy の立ち下がりスレッショルド	シンク モード (立ち下がり)	230	250	270	mV
$V_{RX_SRC_F}$	受信コンパレータにおける、CCy の立ち下がりスレッショルド	ソース モード (立ち下がり)	523	550	578	mV

(1) C_{CC} には、ピンが BMC データを受信するように構成されている場合の CCy ピンの内部容量のみが含まれます。USB-PD 仕様 (cReceiver) に準拠する必要のある最小容量を満たすには、外部容量が必要です。したがって、TI は C_{CCy} を外部に追加することを推奨します。

6.15 サーマル シャットダウンの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{SD_MAIN}	温度シャットダウン スレッショルド	温度上昇	145	160	175	°C
		ヒステリシス		15		°C
T_{SD_PP5V}	温度制御によるシャットダウン スレッショルド。各ポートの電源経路 (PP5V および PP_CABLE から供給されるパワー パス) にはローカル センサがあり、温度がスレッショルドを超えるとそれらを無効化します	温度上昇	135	150	165	°C
		ヒステリシス		10		°C

6.16 ADC の特性

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
LSB	最下位ビット	3.6V 最大スケーリング、3 の分圧器		14		mV
		25.2V 最大スケーリング、21 の分圧器		98		mV
		最大 4.07A のスケーリング		16.5		mA
GAIN_ERR	ゲイン誤差	0.05V ≤ V_{ADCINx} ≤ 3.6V、V_{ADCINx} ≤ V_{LDO_3V3}	-2.7		2.7	%
		0.05V ≤ V_{GPIOx} ≤ 3.6V、V_{GPIOx} ≤ V_{LDO_3V3}				
		2.7V ≤ V_{LDO_3V3} ≤ 3.6V	-2.4		2.4	
		0.6V ≤ V_{VBUS} ≤ 22V	-2.1		2.1	
		1A ≤ I_{VBUS} ≤ 3A	-2.1		2.1	
VOS_ERR	オフセット誤差 [1]	0.05V ≤ V_{ADCINx} ≤ 3.6V、V_{ADCINx} ≤ V_{LDO_3V3}	-4.1		4.1	mV
		0.05V ≤ V_{GPIOx} ≤ 3.6V、V_{GPIOx} ≤ V_{LDO_3V3}				
		2.7V ≤ V_{LDO_3V3} ≤ 3.6V	-4.5		4.5	
		0.6V ≤ V_{VBUS} ≤ 22V	-4.1		4.1	
		1A ≤ I_{VBUS} ≤ 3A	-4.5		4.5	mA

(1) オフセット誤差は、分圧器の後に規定されます。

Copyright © 2026 Texas Instruments Incorporated

6.17 入出力 (I/O) 特性

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
GPIO0-7 (入力)						
GPIO_VIH	GPIOx High レベル入力電圧	V_{LDO_3V3} = 3.3 V	1.3			V
GPIO_VIL	GPIOx Low レベル入力電圧	V_{LDO_3V3} = 3.3 V			0.54	V
GPIO_HYS	GPIOx 入力ヒステリシス電圧	V_{LDO_3V3} = 3.3 V	0.09			V
GPIO_ILKG	GPIOx のリーク電流	V_{GPIOx} = 3.45V	-1		1	µA
GPIO_RPU	GPIOx 内部プルアップ	プルアップをイネーブル	50	100	150	kΩ
GPIO_RPD	GPIOx 内部プルダウン	プルダウンをイネーブル	50	100	150	kΩ
GPIO_DG	GPIOx 入力グリッチ除去			20	50	ns
GPIO0 ～ 7 (出力)						
GPIO_VOH	GPIOx 出力 High 電圧	V_{LDO_3V3} = 3.3V、I_{GPIOx} = –2mA	2.9			V
GPIO_VOL	GPIOx 出力 Low 電圧	V_{LDO_3V3} = 3.3V、I_{GPIOx} = 2mA			0.4	V
ADCIN1、ADCIN2						
ADCIN_ILKG	ADCINx のリーク電流	V_{ADCINx} ≤ V_{LDO_3V3}	-1		1	µA
t_{BOOT}	LDO_3V3 が High になってから ADCINx が設定読み取りのために読み込まれるまでの時間			10		ms

6.18 BC1.2 の特性

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
データ ラインの接続検出						
I_{DP_SRC}	DCD ソース電流	V_{LDO_3V3} = 3.3 V	7	10	13	µA
R_{DM_DWN}	DCD プルダウン抵抗	V_{USB_N} = 3.6V	14.25	20	24.8	kΩ
R_{DP_DWN}	DCD プルダウン抵抗	V_{USB_P} = 3.6V	14.25	20	24.8	kΩ
V_{LGC_HI}	接続なしのスレッショルド	V_{USB_P} ≥ V_{LGC_HI}、V_{LDO_3V3} = 3.3V、R_{USB_P} = 300kΩ	2		3.6	V
V_{LGC_LO}	接続のスレッショルド	V_{USB_N} ≤ V_{LGC_LO}、V_{LDO_3V3} = 3.3V、R_{USB_P} = 24.8kΩ	0		0.8	V
アドバタイズおよび検出						
V_{DX_SRC}	ソース電圧	C_{GPIO4} ≤ 600pF	0.55	0.6	0.65	V
V_{DX_ILIM}	VDX_SRC の電流制限値		250		400	µA
I_{DX_SNK}	シンク電流	V_{USB_P} ≥ 250mV	25	75	125	µA
I_{DX_SNK}	シンク電流	V_{USB_N} ≥ 250mV	25	75	125	µA
R_{DCP_DAT}	専用充電ポート抵抗	0.5V ≤ V_{USB_P} ≤ 0.7V、25µA ≤ I_{USB_N} ≤ 175µA			200	Ω

6.19 I2C の要件と特性

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
I2Ct_IRQ						
OD_VOL_IRQ	Low レベル出力電圧	I_{OL} = 2mA			0.4	V

Copyright © 2026 Texas Instruments Incorporated

6.19 I2C の要件と特性 (続き)

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
OD_LKG_IRQ	リーク電流	出力はハイ インピーダンス、V_{I2Cx_IRQ} = 3.45V	-1		1	µA
I2Cc_IRQ						
IRQ_VIH	High レベル入力電圧	V_{LDO_3V3} = 3.3 V	1.3			V
IRQ_VIH_THRESH	High レベル入力電圧スレッショルド	V_{LDO_3V3} = 3.3 V	0.72		1.3	V
IRQ_VIL	Low レベル入力電圧	V_{LDO_3V3} = 3.3 V			0.54	V
IRQ_VIL_THRESH	Low レベル入力電圧スレッショルド	V_{LDO_3V3} = 3.3 V	0.54		1.08	V
IRQ_HYS	入力ヒステリシス電圧	V_{LDO_3V3} = 3.3 V	0.09			V
IRQ_DEG	入力グリッチ除去			20		ns
IRQ_ILKG	$\overline{\text{I2Cc_IRQ}}$ リーク電流	V_{I2Cc_IRQ} = 3.45V	-1		1	µA
SDA と SCL の共通特性 (共通特性)						
V_{IL}	入力低信号	V_{LDO_3V3} = 3.3 V			0.54	V
V_{IH}	入力高信号	V_{LDO_3V3} = 3.3 V	1.3			V
V_{HYS}	入力ヒステリシス	V_{LDO_3V3} = 3.3 V	0.165			V
V_{OL}	出力 LOW 電圧	I_{OL} = 3mA			0.36	V
I_{LEAK}	入力リーク電流	ピンの電圧 = V_{LDO_3V3}	-3		3	µA
I_{OL}	最大出力低電流	V_{OL} = 0.4 V	15			mA
I_{OL}	最大出力低電流	V_{OL} = 0.6 V	20			mA
t_f	0.7 x V_{DD} ～ 0.3 x V_{DD} の立ち下がり時間	V_{DD} = 1.8V、10pF ≤ C_b ≤ 400pF	12		80	ns
		V_{DD} = 3.3V、10pF ≤ C_b ≤ 400pF	12		150	ns
t_{SP}	I^2C パルス幅が抑制されます				50	ns
C_I	ピン容量 (内部)				10	pF
C_b	各バス ラインの容量性負荷 (外部)				400	pF
SDA および SCL 標準モードの特性 (ターゲット)						
f_{SCLS}	ターゲットのクロック周波数	V_{DD} = 1.8V または 3.3V			100	kHz
$t_{VD;DAT}$	有効データ時間	データを送信、V_{DD} = 1.8V または 3.3V、SCL low から SDA 出力が有効になるまで			3.45	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データの送信、V_{DD} = 1.8V または 3.3V、SCL low から SDA (out) low への ACK 信号			3.45	µs
SDA および SCL 高速モードの特性 (ターゲット)						
f_{SCLS}	ターゲットのクロック周波数	V_{DD} = 1.8V または 3.3V	100		400	kHz
$t_{VD;DAT}$	有効データ時間	データ送信時、V_{DD} = 1.8V において、SCL が low になってから SDA 出力が有効になるまで			0.9	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データの送信、V_{DD} = 1.8V または 3.3V、SCL low から SDA (out) low への ACK 信号			0.9	µs
SDA および SCL 高速モード プラスの特性 (ターゲット)						
f_{SCLS}	高速モード プラス [1] のクロック周波数	V_{DD} = 1.8V または 3.3V	400		800	kHz

Copyright © 2026 Texas Instruments Incorporated

6.19 I2C の要件と特性 (続き)

特に指定がない限り、以下の条件で動作します。3V ≤ V_{LDO_3V3} ≤ 3.6V

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{VD;DAT}$	有効データ時間	データを送信、V_{DD} = 1.8V または 3.3V、SCL low から SDA 出力が有効になるまで			0.55	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データの送信、V_{DD} = 1.8V または 3.3V、SCL low から SDA (out) low への ACK 信号			0.55	µs

(1) コントローラは、tLOW > tVD; ACK となるように fSCLS を制御する必要があります。

6.20 代表的特性

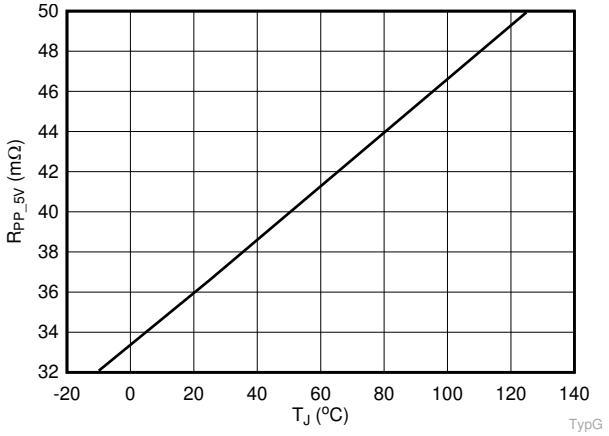


図 6-1. PP_5V Rdson と温度との関係

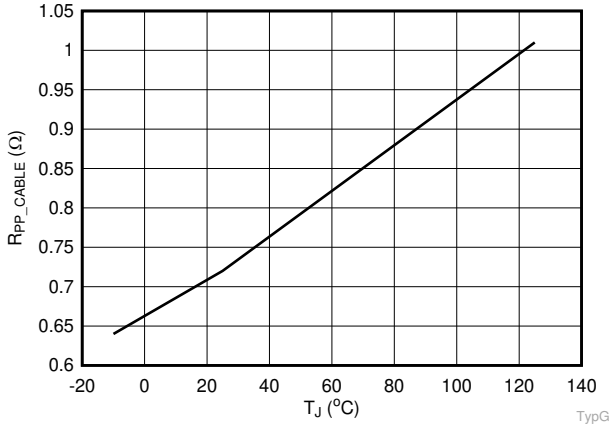


図 6-2. PP_CABLE Rdson と温度との関係

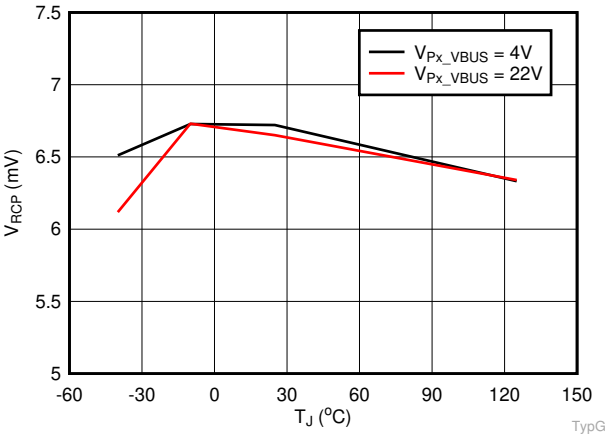


図 6-3. V_{RCP} と温度との関係

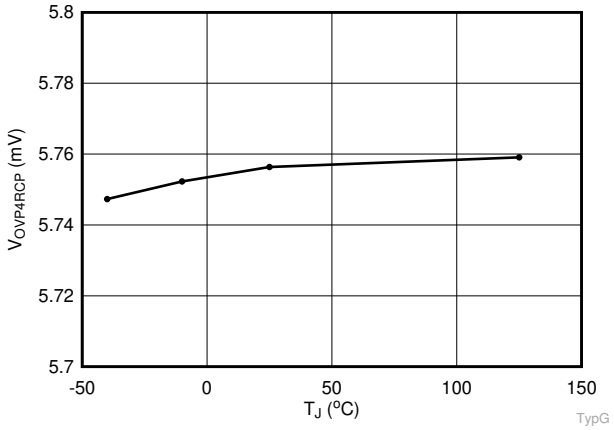


図 6-4. $V_{OVP4RCP}$ (設定 2) と温度との関係

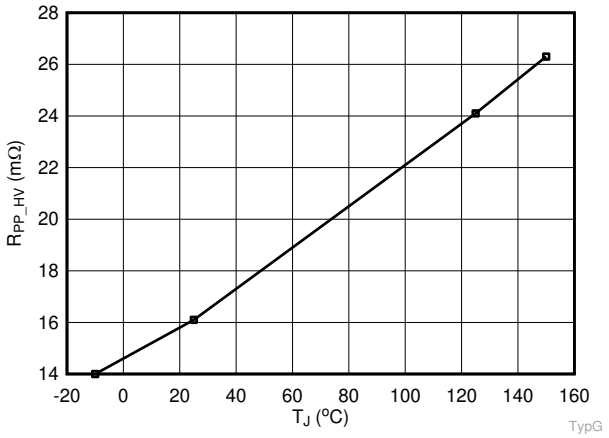


図 6-5. TPS25751AD における R_{PPHV} と温度との関係

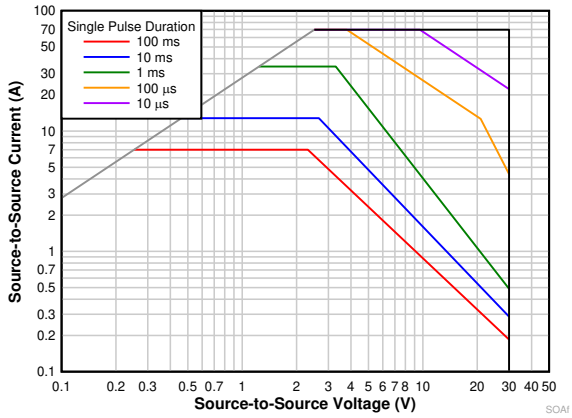


図 6-6. TPS25751AD における PPHV の安全動作領域 (SOA)

Copyright © 2026 Texas Instruments Incorporated

6.20 代表的特性 (続き)

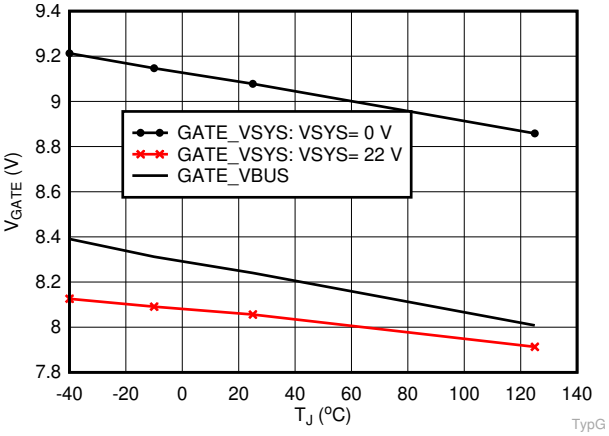


図 6-7. TPS25751AS における $V_{GATE_VBUS_ON}$ と温度との関係

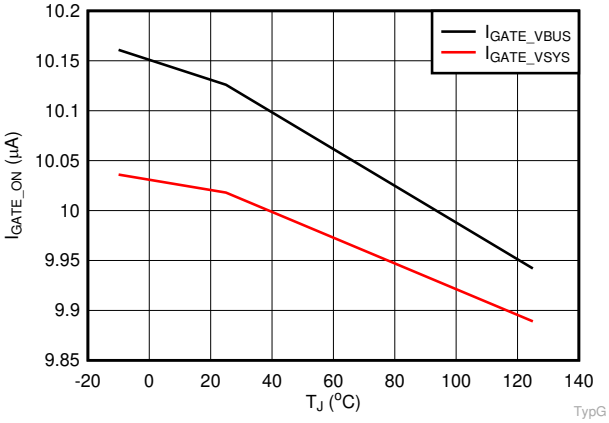


図 6-8. TPS25751AS における I_{GATE_ON} と温度との関係

7 パラメータ測定情報

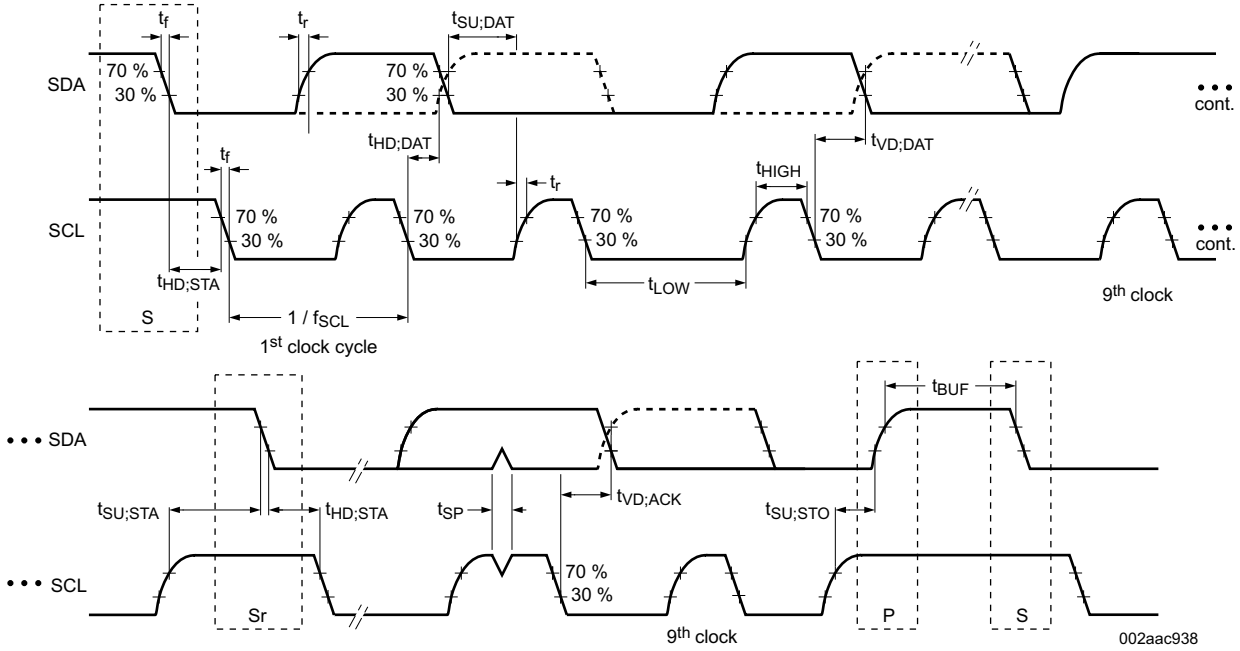


図 7-1. I²C ターゲット インターフェース タイミング

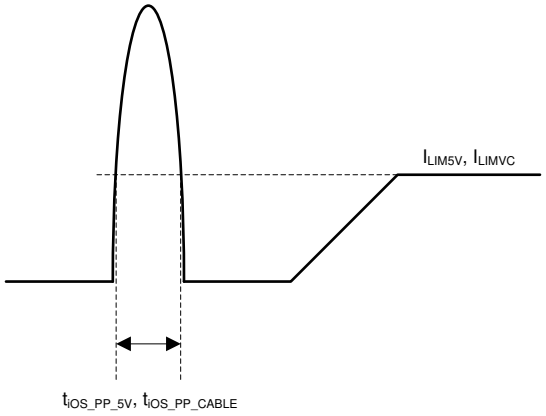


図 7-2. 内部パワー パス PP_5V および PP_CABLE の短絡応答時間

Copyright © 2026 Texas Instruments Incorporated

8 詳細説明

8.1 概要

TPS25751A は、USB Type-C および PD レセプタクル向けに、ケーブルの挿入および向き検出機能を提供する完全統合型の USB Power Delivery (USB-PD) 管理デバイスです。TPS25751A は、ケーブルの反対側にある USB Type-C および PD のポートパートナーと通信します。 TPS25751AS は、ソースおよびシンク用の高電圧ポート電源スイッチも有効にします。TPS25751AD は、ソースおよびシンク用の統合ポート電源スイッチも有効にします。

TPS25751A は、いくつかの主要なセクションに分かれています。

- USB-PD コントローラ
- ケーブルの挿入および向き検出回路
- ポート パワー スイッチ
- パワー マネージメント回路
- デジタル コア

USB-PD コントローラは、USB-PD プロトコルの物理層 (PHY) 機能を提供します。USB-PD のデータは、リバーシブルな USB Type-C ケーブルの向きに応じて、CC1 ピンまたは CC2 ピンのいずれかから出力されます。USB-PD 物理層の高レベル ブロック図、機能の説明、およびより詳細な回路については、USB-PD 物理層を参照してください。

ケーブルの挿入および向き検出用のアナログ回路は、USB Type-C ケーブルの挿入およびその向きを自動的に検出します。ケーブル プラグおよび方向の検出の概略ブロック図、機能の説明、詳細な回路については、ケーブルプラグおよび方向の検出を参照してください。

ポート電源スイッチは、検出されたプラグの向きに基づいて、VBUS ピンおよび CC1 または CC2 ピンに電力を供給します。ポート電源スイッチの高レベルのブロック図、機能の説明、詳細な回路については、電源パスを参照してください。

パワー マネージメント回路は、TPS25751A 内部回路と LDO_3V3 出力に電力を供給します。詳細についてはパワー マネージメントを参照してください。

デジタルコアは、すべての USB-PD パケットの受信、処理、送信のためのエンジンを搭載し、その他のすべての TPS25751A 機能の制御を処理します。デジタルコアの一部には ROM メモリが含まれており、Type-C および PD アプリケーションを実行するために必要なすべてのファームウェアが格納されています。さらに、ブートコードと呼ばれる ROM のセクションでは、TPS25751A の初期化、デバイスの構成情報のロード、デジタル コアの揮発性メモリへのコード パッチのロードを実行できます。デジタル コアの高レベルなブロック図、機能の説明、およびより詳細な回路については、デジタル コアを参照してください。

TPS25751A は、バッテリ チャージャやオプションの外部 EEPROM メモリなどの外部ターゲット デバイスに対して書き込みと読み取りを行うための I^2C コントローラを 1 つ備えています (「I2C インターフェイス」を参照)。

また、TPS25751A にはサーマル シャットダウン メカニズムが内蔵されており、内蔵発振器から供給される正確なクロックで動作します。

Copyright © 2026 Texas Instruments Incorporated

8.2 機能ブロック図

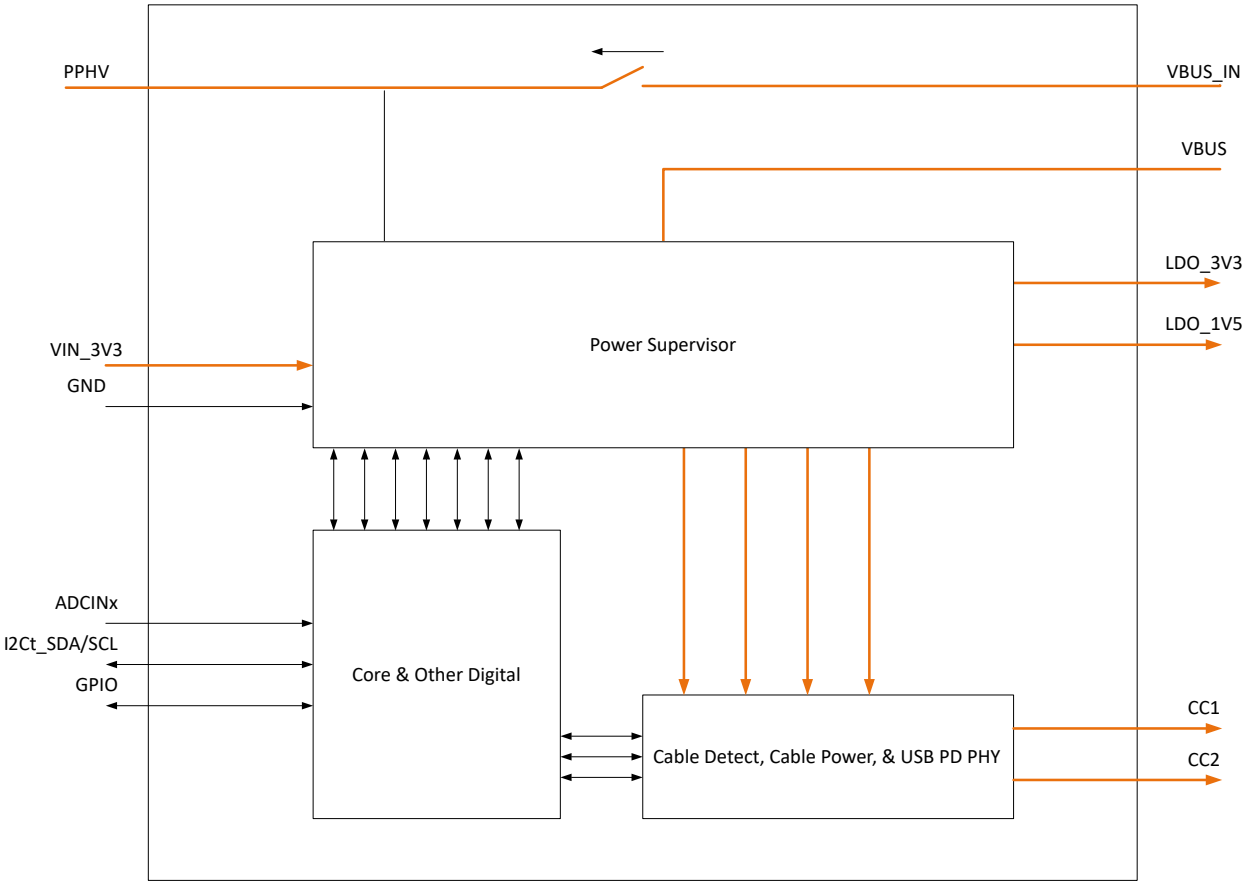


図 8-1. TPS25751AD

Copyright © 2026 Texas Instruments Incorporated

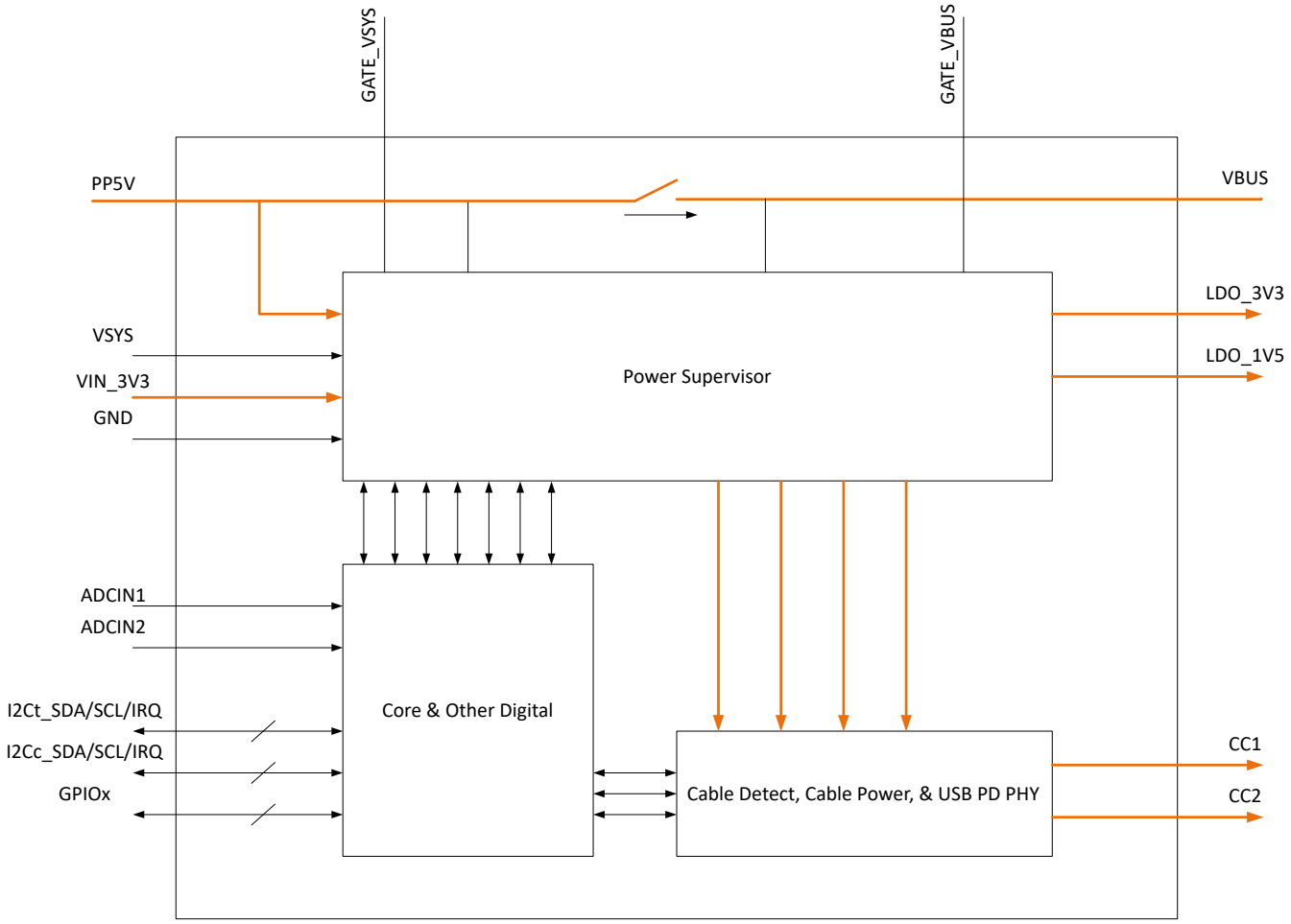


図 8-2. TPS25751AS

8.3 機能説明

8.3.1 USB-PD 物理層

図 8-3 に、アナログ プラグおよび方向検出ブロックの簡略バージョンで囲まれた USB PD 物理層ブロックを示します。

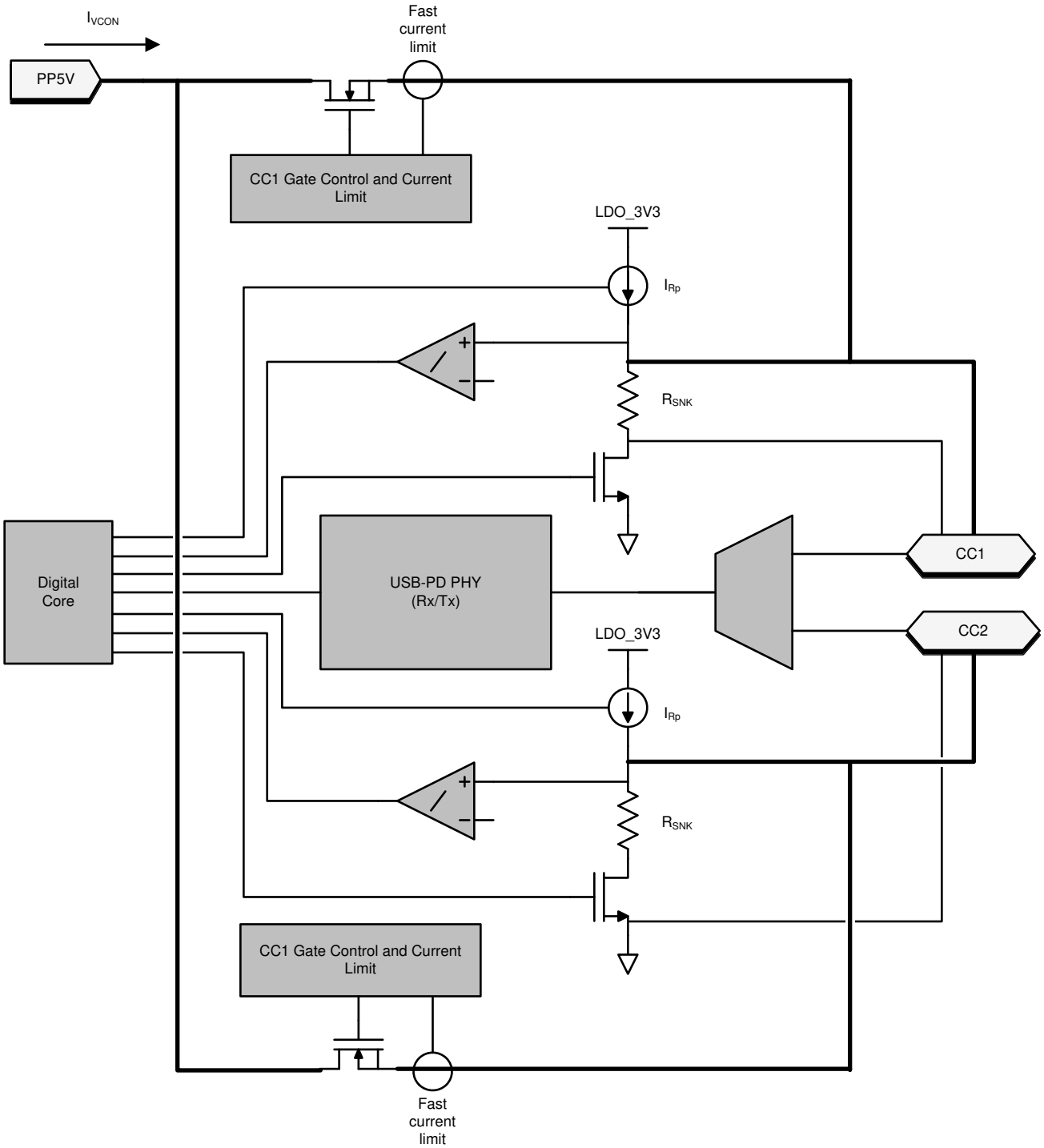


図 8-3. USB-PD 物理層およびプラグと方向の簡素検出回路

Copyright © 2026 Texas Instruments Incorporated

USB-PD メッセージ は、BMC 信号を使用して、USB Type-C システムで送信されます。BMC 信号は、Rp (または Rd) ケーブル接続メカニズムによって DC バイアスされた同じピン (CC1 または CC2) に出力されます。

8.3.1.1 USB-PD エンコードと信号処理

図 8-4 に、ベースバンド USB-PD トランスミッタの概略ブロック図を示します。図 8-5 に、ベースバンド USB-PD レシーバのハイレベル ブロック図を示します。

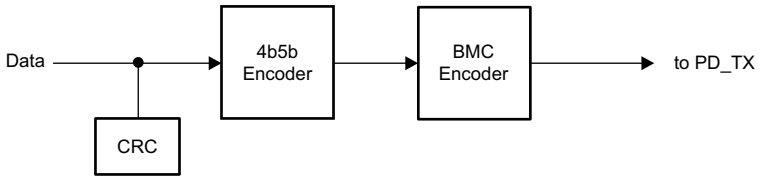


図 8-4. USB-PD ベースバンド トランスミッタのブロック図

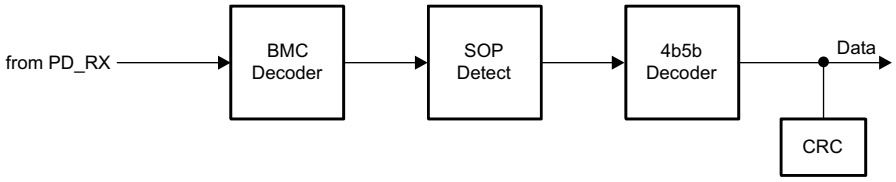


図 8-5. USB-PD ベースバンド レシーバのブロック図

8.3.1.2 USB-PD バイフェーズ マーク コーディング

TPS25751A に実装されている USB-PD 物理層は、USB-PD 仕様に準拠しています。ベースバンド PD 信号に使用されるエンコード方式は、バイフェーズ マーク コーディング (BMC) と呼ばれるマンチェスタ符号のバージョンです。このコードでは、各ビット セルの開始時に遷移が発生し、1 が送信されるビット期間の中間に、2 番目の遷移が発生します。このコーディング方式は、DC 平衡に近いもので、格差が限定されています (任意のパケットの 1/2 ビットに限定されるため、DC レベルは非常に低くなります)。二相マーク コーディングの例に、二相マーク コーディングを示します。

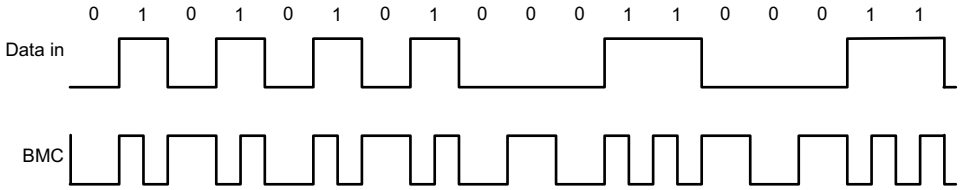


図 8-6. バイフェーズ マーク コーディングの例

USB PD ベースバンド信号は、トライステート ドライバで CC1 または CC2 ピンに駆動されます。トライステート ドライバはスルーレート制御され、D+/D– および Type-C フル機能ケーブル内の他の信号ラインへの結合を制限します。USB-PD プリアンブルを送信すると、トランスミッタは Low レベルを送信して開始します。もう一方の端のレシーバは、最初のエッジの損失を許容します。送信側はエッジを用いて最終ビットを終了させ、受信側が EOP の最終ビットを確実にクロックできるようにします。

8.3.1.3 USB-PD 送信 (TX) および受信 (Rx) マスク

USB-PD ドライバは、定義された USB-PD の BMC TX マスク仕様を満たします。BMC で符号化された「1」は UI の開始時と中間に信号エッジを含み、BMC で符号化された「0」は開始時にのみエッジを含むため、それぞれでマスクが異なります。USB-PD レシーバは、定義された USB-PD BMC Rx マスクを満たしています。Rx 外側マスクの境界は、ケーブルを介したグランド オフセットによる信号振幅の変化に対応するよう規定されています。このため、Rx マスクは TX 外部マスクの境界よりも大きくなります。同様に、Rx 内側マスクの境界は TX 内側マスクの境界よりも小さくなっています。三角形の時間マスクは TX 外側マスクに重ねて適用され、信号遷移時に定義されることで、隣接するより高速なレーンへの影響を

Copyright © 2026 Texas Instruments Incorporated

最小限に抑えつつ、最小エッジレートを要求します。TX 内部マスクは、立ち上がりおよび立ち下がり時間の最大制限を強制します。詳細については USB PD の仕様を参照してください。

8.3.1.4 USB-PD BMC トランスミッタ

TPS25751A は、USB Type-C ポートごとに一組の CC ピンのペアのうち、いずれか一方の CCy ピンを使用して USB-PD データの送受信を行います。CCy ピンは、ケーブルの向きを決定し、ケーブル / デバイス接続検出を維持するためにも使用されます。したがって、CCy ピンに DC バイアスが存在します。トランスミッタドライバは、送信中に CCy DC バイアスをオーバードライブしますが、ハイ インピーダンス状態に戻り、送信していないときに DC 電圧を CCy ピンに戻すことができます。CC1 または CC2 のどちらかを送信および受信に使用できますが、特定の接続中はプラグの CC ピンと接続するもののみを使用するため、CC1 と CC2 の間には動的なスイッチングはありません。USB-BMC PD TX/RX のブロック図に、USB-PD BMC TX および RX ドライバのブロック図を示します。

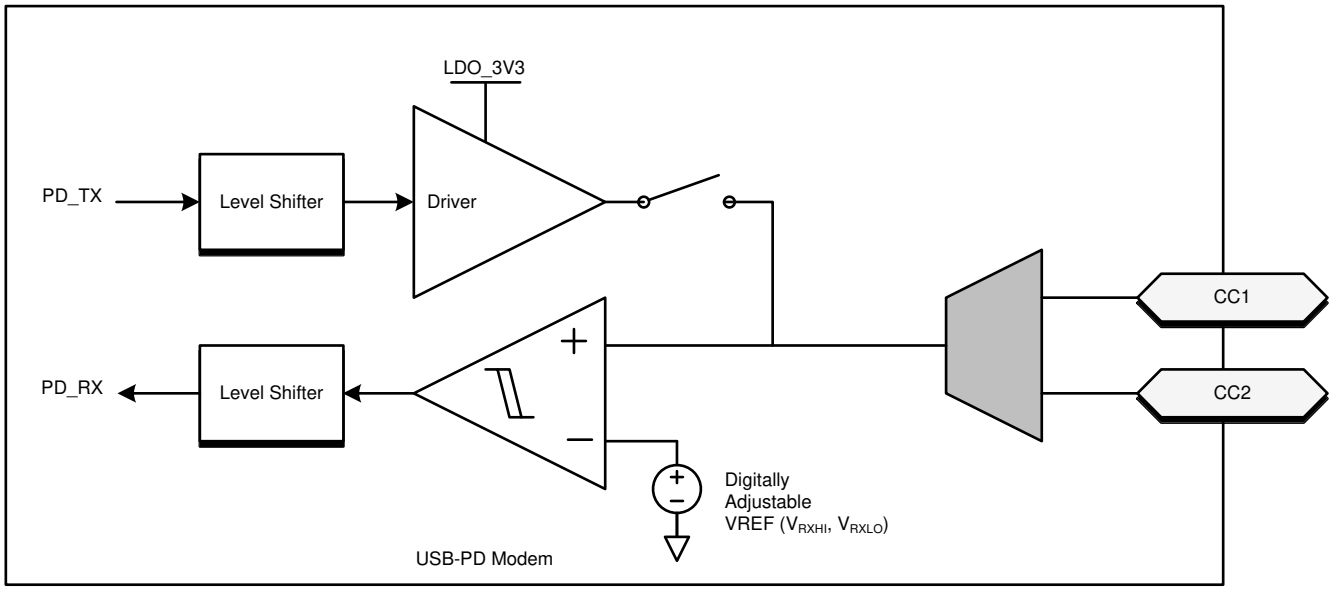


図 8-7. USB-PD BMC TX/RX のブロック図

図 8-8 に、DC バイアスに加えて、BMC データの送信を示します。DC バイアスは、シンク接続を検出するための最小スレッショルドから最大スレッショルドの範囲内であれば、任意の値を取り得ることに注意してください。これは、DC バイアスがトランスミッタドライバの VOH の上または下にある可能性があることを意味します。

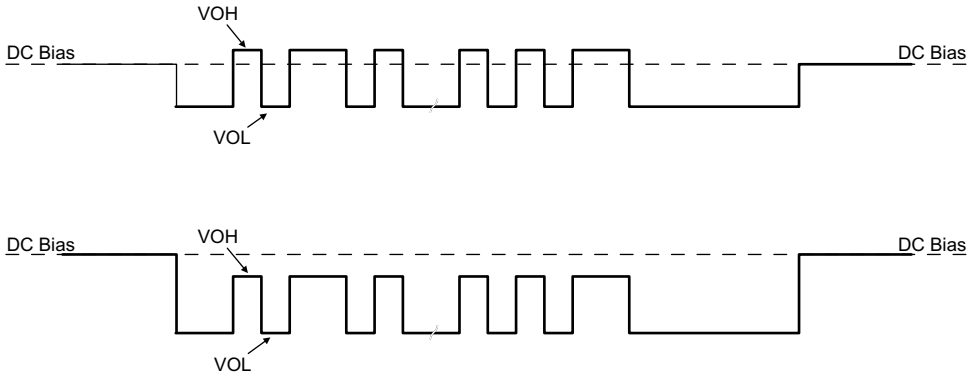


図 8-8. DC バイアスでの TX ドライバの送信

トランスミッタは、CCy ラインにデジタル信号を駆動します。信号ピーク V_{TXHI} は、「USB-PD 仕様」で定義されている TX マスクを満たすように設定されます。TX マスクは、ケーブルのファー エンドで測定することに注意してください。

Copyright © 2026 Texas Instruments Incorporated

ラインを駆動すると、トランスミッタ ドライバの出力インピーダンスは Z_{DRIVER} になります。Z_{DRIVER} は、ドライバの抵抗とソースのシャント容量によって決まり、これは周波数に依存します。Z_{DRIVER} は、ケーブルのノイズの侵入に影響を与えます。

ZDRIVER 回路は、Z_{DRIVER} を決定する簡略化された回路を示しています。この回路は、受信側のノイズが所定の範囲内に収まるように規定されています。

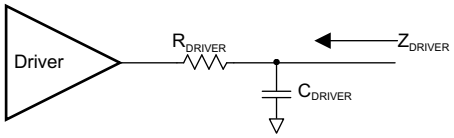


図 8-9. ZDRIVER 回路

8.3.1.5 USB-PD BMC レシーバ

TPS25751A のレシーバ ブロックは、USB PD 仕様で定義されている許容 Rx マスクに続く信号を受信します。受信スレッショルドとヒステリシスは、このマスクから発生します。

USB-PD のマルチドロップ構成例に、マルチドロップ USB-PD 接続の例 (CC ワイヤのみ) を示します。この接続には、シンク (デバイス) からソース (ホスト) への標準的な接続がありますが、ケーブル USB-PD Tx/Rx ブロックも含まれています。一度に送信できるのは 1 つのシステムのみです。その他のシステムはすべてハイ インピーダンス (Z_{BMCRX}) です。「USB-PD 仕様」には、配線上に存在する可能性のある容量、および接続検出用の標準的な DC バイアス設定回路も規定されています。

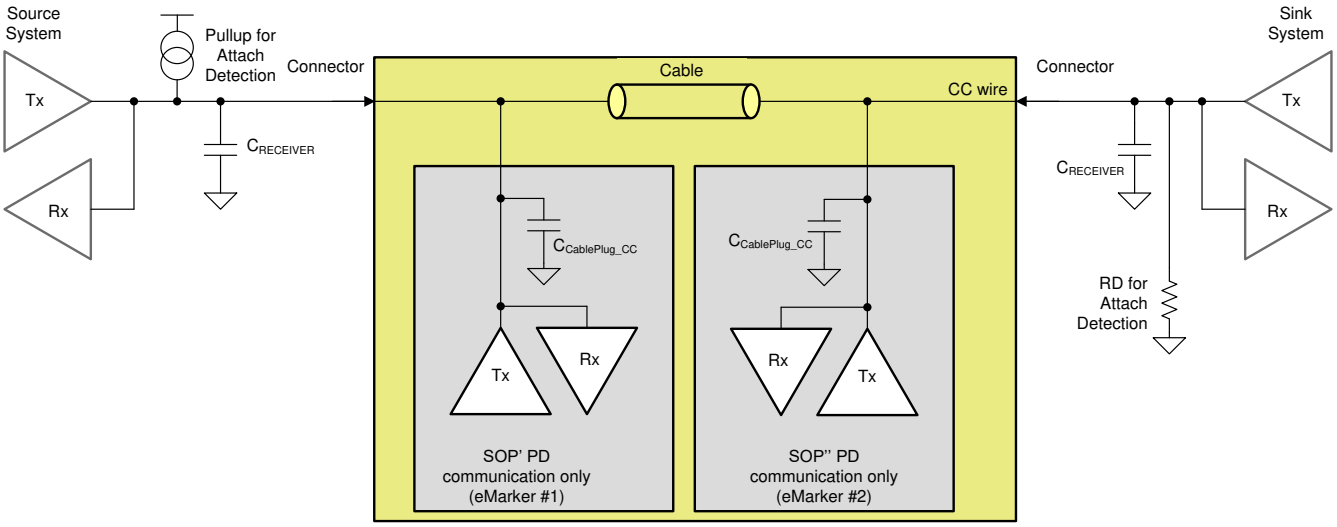


図 8-10. USB-PD マルチドロップ構成の例

8.3.1.6 スケルチ レシーバ

TPS25751A は、USB PD 仕様で定義されているバス アイドル状態を監視するスケルチ レシーバを内蔵しています。

8.3.2 パワー マネージメント

TPS25751A のパワー マネージメント ブロックは電力を受け取り、TPS25751A 内部回路に供給するための電圧を生成します。生成される電源レールは、LDO_3V3、LDO_1V5 です。LDO_3V3 は、外部 EEPROM メモリの低消費電力出力としても使用できます。図 8-11 に、電源経路を示します。

Copyright © 2026 Texas Instruments Incorporated

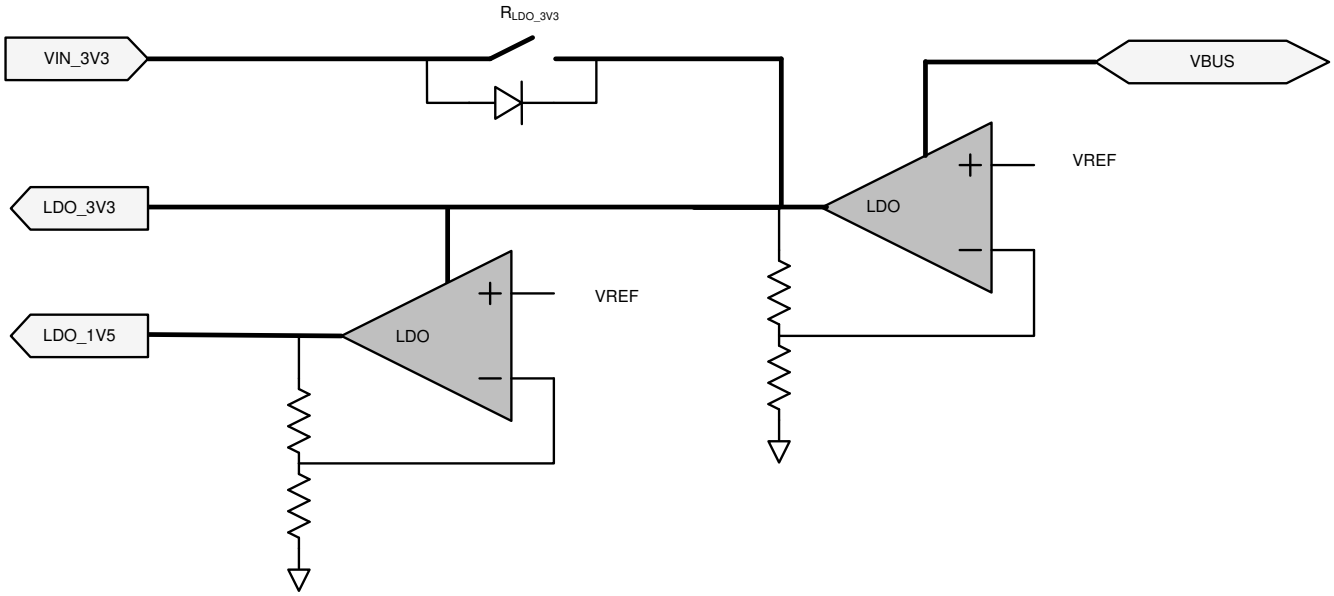


図 8-11. 電源

TPS25751A には、VIN_3V3 または VBUS から電力を供給されます。通常の電源入力は VIN_3V3 です。VIN_3V3 から給電する場合、電流は VIN_3V3 から LDO_3V3 へ流れ、コアの 3.3V 回路および I/O に電力を供給します。二番目の LDO は、LDO_3V3 から LDO_1V5 に電圧を降圧して 1.5V コア デジタル回路に電力を供給します。VIN_3V3 の電力が利用できず、VBUS で電力が利用可能である場合、デバイスはデッド バッテリのスタートアップ状態と見なされます。デッド バッテリの起動状態では、ホストが I^2C 経由でデッド バッテリ フラグをクリアするまで、TPS25751A は VIN_3V3 スイッチを開きます。したがって、TPS25751A には、デッド バッテリのスタートアップ状態ではそれより高い電圧で VBUS 入力から電力が供給され、デッド バッテリ フラグがクリアされるまで電力が供給されます。VBUS 入力から電力を供給する場合、VBUS の電圧は LDO を経由して LDO_3V3 に降圧されます。

8.3.2.1 パワーオンおよび監視機能

パワーオン リセット (POR) 回路は、各電源を監視します。この POR により、良好な電源が存在するときのみにアクティブ回路をオンにできます。

8.3.2.2 VBUS LDO

TPS25751A には高電圧 LDO が内蔵されており、VBUS を 3.3V に変換して内部デバイス回路に電力を供給できます。バッテリ切れの状況では、VBUS LDO が使用されます。(VIN_3V3 は low で、バッテリ切れフラグはアクティブです)。VBUS LDO は VBUS から電力を供給されます。

8.3.3 パワー パス

TPS25751A には内部的なソース パワー パスがあります。PP_5V および PP_CABLE。TPS25751AD は、シンク パワー パス用の双方向高電圧負荷スイッチを内蔵しています。PPHV。

TPS25751AS は、パワー パス制御用の高電圧ゲート ドライバを備えています。PP_EXT。このセクションでは、各パワー パスについて詳細に説明します。

8.3.3.1 内部ソース パワー パス

図 8-12 は、TPS25751AD および TPS25751AS の両方で利用可能な、TPS25751A の内部ソース パワー パスを示しています。TPS25751A には二つの内部 5V ソース パワーパスがあります。PP5V から VBUS への経路は PP_5V と呼ばれます。PP5V から CCx へのパスは PP_CABLE と呼ばれます。各パスには二つの双方向コモン ドレイン N-FET が内蔵され、電流クランプ保護、過電圧保護、UVLO 保護、および温度検出回路が搭載されています。PP_5V は最大 3A

Copyright © 2026 Texas Instruments Incorporated

を連続的に供給でき、PP_CABLE は最大 315mA を連続的に供給できます。無効時には、ブロッキング FET が VBUS に発生する可能性のある高電圧から PP5V レールを保護します。

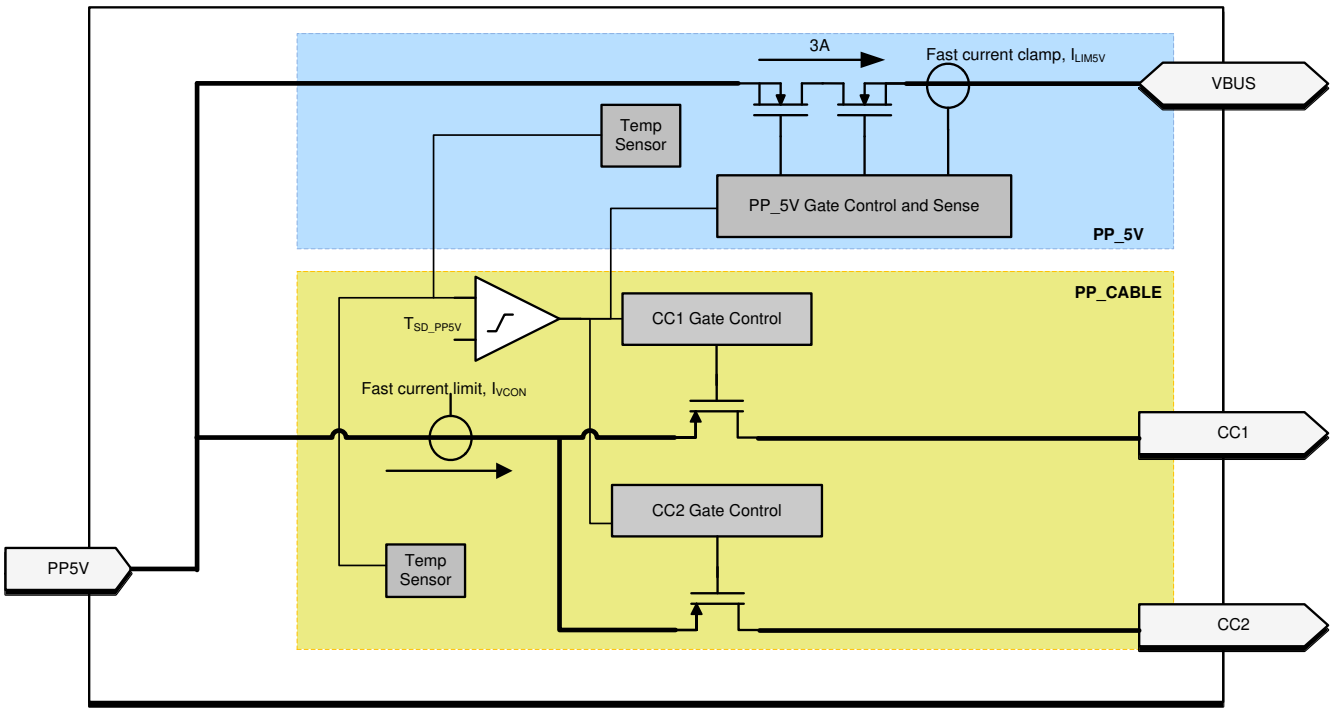


図 8-12. ポート パワー スイッチ

8.3.3.1.1 PP_5V 電流クランプ

内部 PP_5V パスを流れる電流は、I_{LIM5V} に電流を制限します。I_{LIM5V} の値はアプリケーション ファームウェアによって設定されます。スイッチを流れる電流が I_{LIM5V} を超えると、$t_{iOS_PP_5V}$ 内の電流制限回路が作動し、その経路は定電流源として動作します。過電流イベントの期間が t_{ILIM} を超えると、PP_5V スイッチは無効になります。

8.3.3.1.2 PP_5V ローカル過熱シャットダウン (OTSD)

PP_5V が電流をクランプすると、スイッチの温度が上昇し始めます。PP_5V または PP_CABLE のローカル温度センサが $T_J > T_{SD_PP5V}$ を検出すると、PP_5V スイッチは無効化され、該当ポートは USB Type-C の ErrorRecovery 状態に移行します。

8.3.3.1.3 PP_5V OVP

過電圧保護レベルは、USB PD コントラクトに依存する最大 V_{BUS} 電圧の期待値に基づいて自動的に構成されます。PP_5V が有効化されているときに、ポートの VBUS ピンの電圧が構成された値 ($V_{OVP4RCP}$) を超えると、PP_5V は $t_{PP_5V_ovp}$ 以内に無効化され、ポートは Type-C ErrorRecovery 状態に入ります。

8.3.3.1.4 PP_5V UVLO

PP_5V が有効な状態で PP5V ピン電圧がその低電圧ロックアウト スレッショルド (V_{PP5V_UVLO}) を下回ると、PP_5V は $t_{PP_5V_uvlo}$ 以内に無効化され、PP_5V が有効だったポートは Type-C の ErrorRecovery 状態に移行します。

8.3.3.1.5 PP_5V 逆電流保護

$V_{VBUS} - V_{PP5V} > V_{PP_5V_RCP}$ の場合、$t_{PP_5V_rcp}$ 以内に PP_5V パスは自動的に無効になります。RCP 状態がクリアされると、PP_5V パスは t_{ON} 内で自動的に有効になります。

Copyright © 2026 Texas Instruments Incorporated

8.3.3.1.6 PP_CABLE 電流クランプ

イネーブルになっている場合に VCONN に電力を供給すると、TPS25751A PP_CABLE パワー スイッチは電流を I_{VCON} にクランプします。PP_CABLE スイッチを流れる電流が I_{VCON} を超えると、電流クランプ回路は $t_{iOS_PP_CABLE}$ 内でアクティブになり、スイッチは定電流源として動作します。

8.3.3.1.7 PP_CABLE ローカル過熱シャットダウン(OTSD)

PP_CABLE が電流をクランプすると、スイッチの温度が上昇を開始します。PP_5V または PP_CABLE のローカル温度センサが、T_J が T_{SD_PP5V} を超えたことを検出すると、PP_CABLE スイッチは $t_{PP_CABLE_off}$ 以内に無効化され、ラッチオフ状態になります。ポートは、USB Type-C ErrorRecovery 状態になります。

8.3.3.1.8 PP_CABLE UVLO

PP5V ピンの電圧が低電圧誤動作防止スレッショルド (V_{PP5V_UVLO}) を下回ると、PP_CABLE スイッチは $t_{PP_CABLE_Off}$ 以内に自動的にディスエーブルになります。

8.3.3.2 TPS25751AD 内部パワーパス

TPS25751AD は、内部 FET (内部パワーパスに示される GATE_VSYS および GATE_VBUS) を制御する内部制御回路を備えており、パワーパスを有効にする前に VBUS_IN が V_{VBUS_UVLO} を上回っている必要があります。内部パワーパスは電力経路の図を示しています。パワーパスが有効になっている場合、外部スイッチが急激にオンにならないようにするためのスルーレート制御ループ (SS) が回路に含まれています。TPS25751A は PPHV と VBUS 電圧を検出して、ゲート電圧を制御して FET を有効化または無効化します。

パワーパス制御には、過電圧保護 (OVP) と逆電流保護 (RCP) が含まれています。

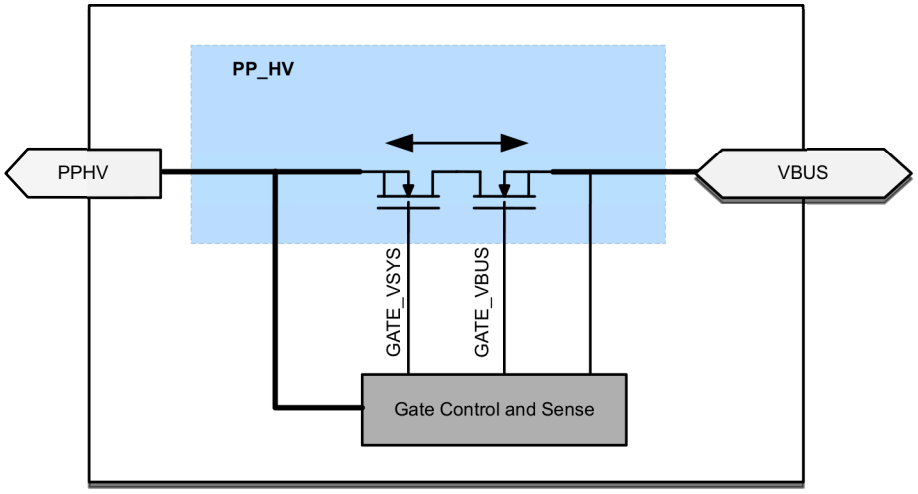


図 8-13. 内部パワーパス

8.3.3.2.1 過電圧保護 (OVP)

アプリケーション ファームウェアは OVP を有効にし、予測される VBUS 電圧に基づいてデバイスを構成します。VBUS 電圧が過電圧保護パラメータを超えると、外部のパワー パスが無効になります。VBUS の電圧が設定されたスレッショルド $V_{OVP4VSYS} = V_{OVP4RCP} / r_{OVP}$ を超えると、システムを保護するため、GATE_VSYS は t_{PPHV_FSD} 以内に自動的に無効になります。VBUS の電圧が構成済みスレッショルド $V_{OVP4RCP}$ を超えた場合、t_{PPHV_OVP} 以内に GATE_VBUS が自動的に無効になります。V_{VBUS} が $V_{OVP4RCP} – V_{OVP4RCPH}$ を下回ると、OVP 条件がクリアされたため、t_{PPHV_ON} 以内に GATE_VBUS は自動的に再度有効になります。この動作により、V_{VBUS} が $V_{OVP4RCP}$ を下回るように、必要に応じて 2 つのシンク パワー パスを同時にイネーブルにでき、GATE_VBUS は無効になります。

TPS25751A がデッド バッテリ状態 (すなわち VIN_3V3 が低い状態) で BOOT モードにある場合、デバイスは OVP 状態をやや異なる方法で処理します。OVP 状態が継続している間、GATE_VBUS および GATE_VSYS は無効になります。OVP 条件が解消されると、GATE_VBUS と GATE_VSYS の両方が再有効化されます。このモードはデッド バッテリ

Copyright © 2026 Texas Instruments Incorporated

状態であるため、TPS25751A はこの期間中、放電を支援する目的で VBUS から約 $I_{VIN_3V3,\ ActSnk}$ の電流を消費します。

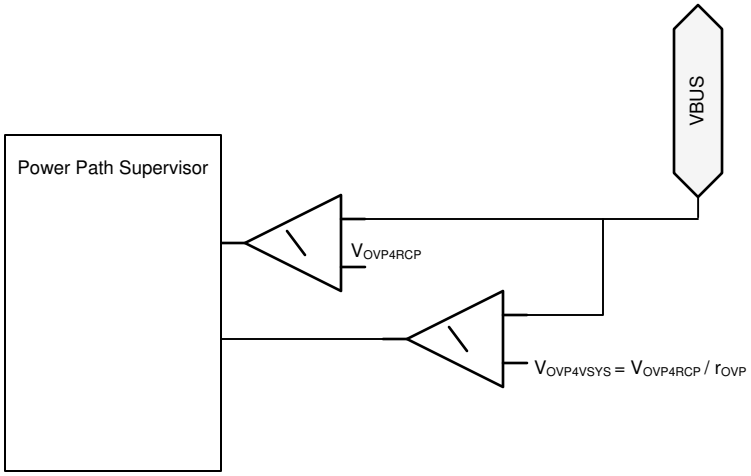
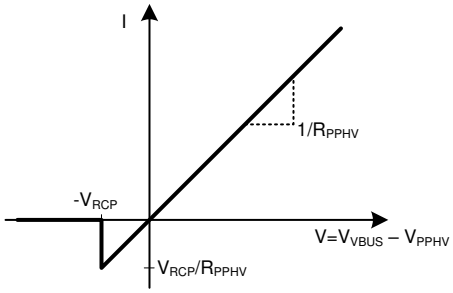


図 8-14. OVP コンパレータの図

8.3.3.2.2 逆電流保護 (RCP)

VSYS ゲート制御回路は、PPHV および VBUS の電圧を監視し、V_{VSYS} が V_{VBUS} を V_{RCP} 以上上回った場合に逆電流を検出します。逆電流状態が検出されると、GATE_VBUS は t_{PPHV_RCP} 以内に無効化されます。逆電流状態が解消されると、GATE_VBUS は t_{PPHV_ON} 内で再度イネーブルになります。この動作により、外付けの N チャネル MOSFET を介して PPHV から VBUS へ流れる逆電流の量が制限されます。逆電流保護モードでは、GATE_VBUS で制御される電源スイッチは、電流が $V_{RCP/R\ PPHV}$ に達するまで抵抗性で動作し、その後 PPHV から VBUS への逆電流をブロックします。



Copyright © 2018, Texas Instruments Incorporated

図 8-15. パワーパス スイッチにおける RCP 用スイッチの I-V 特性曲線

8.3.3.2.3 VBUS UVLO

TPS25751A は VBUS 電圧を監視し、電圧が V_{VBUS_UVLO} を下回ると検出します。UVLO 条件が検出されると、GATE_VBUS は t_{PPHV_RCP} 以内に無効になります。UVLO 条件が解消されると、GATE_VBUS は t_{PPHV_ON} 内で再度有効化されます。

8.3.3.2.4 VBUS の安全な電圧への放電

TPS25751A は、高電圧から VSAFE0V (0.8V) への放電のために、VBUS にアクティブ プルダウン (I_{DSCH}) を内蔵しています。この放電は、デバイスが未接続の Type-C 状態にあるときに適用されます。

8.3.3.3 外部パワーパス制御 PP_EXT

TPS25751AS は、VBUS から VSYS へのシンク パスと、VSYS から VBUS へのソース パスを制御するために設計された 2 つの N チャネル ゲート ドライバを備えています。これらのゲート ドライバのチャージ ポンプは VBUS が V_{VBUS_UVLO} より高くなる必要があります。シンク パスが有効になると、外部スイッチが急激にオンにならないようにするためのスルーレート制御ループ (SS) が回路に含まれます。TPS25751AS は VSYS および VBUS 電圧を検出して、ゲート電圧を制御し、外部 FET をイネーブルまたはディスエーブルにします。

高電圧パワー パス制御には、過電圧保護 (OVP) と逆電流保護 (RCP) が含まれます。TPS25751AS の GATE ピンと直列に抵抗を追加し、N チャネル MOSFET の GATE ピンを追加することで、OVP または RCP が発生すると、ターンオフ時間を遅くできます。このような抵抗は最小限に抑える必要があり、3Ω を超えないようにします。

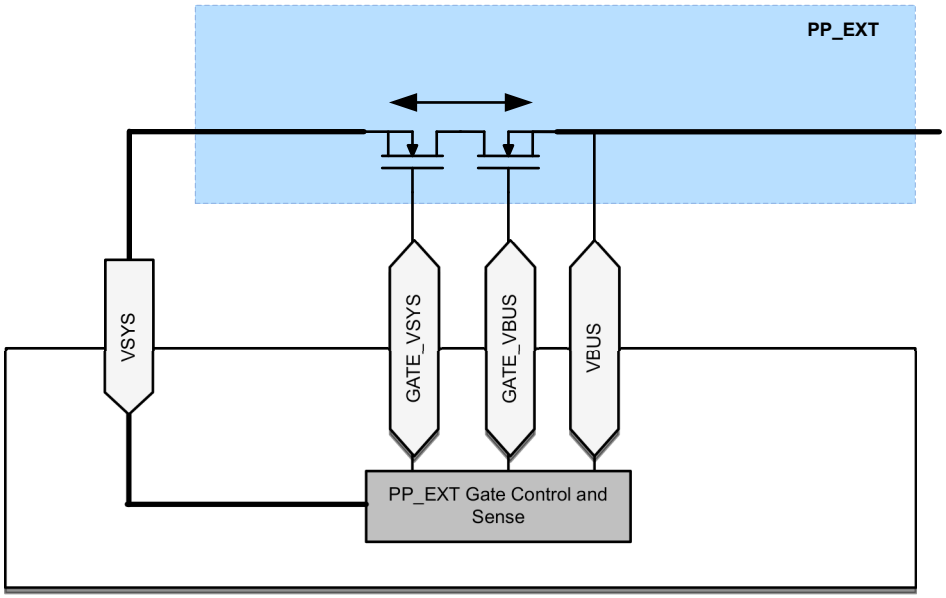


図 8-16. PP_EXT 外部パワー パス制御

VSYS ゲートドライバの詳細に、GATE_VSYS ゲートドライバを示します。

Copyright © 2026 Texas Instruments Incorporated

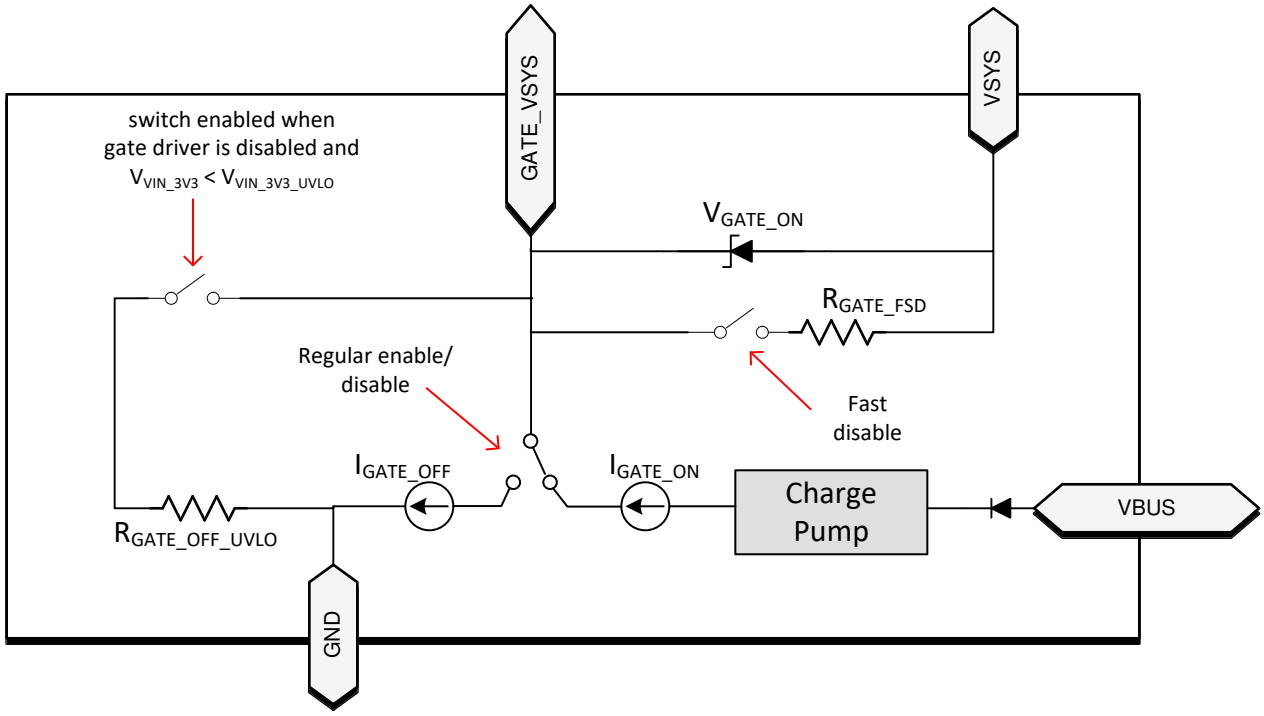


図 8-17. VSYS ゲート ドライバの詳細

8.3.3.3.1 過電圧保護 (OVP)

アプリケーション ファームウェアは OVP を有効にし、予測される VBUS 電圧に基づいてデバイスを構成します。VBUS 電圧が過電圧保護パラメータを超えると、外部のパワー パスが無効になります。VBUS の電圧が設定されたスレッショルド $V_{OVP4VSYS} = V_{OVP4RCP} / r_{OVP}$ を超えると、システムを保護するため、GATE_VSYS は t_{PPHV_FSD} 以内に自動的に無効になります。 VBUS の電圧が構成済みスレッショルド $V_{OVP4RCP}$ を超えた場合、t_{PPHV_OVP} 以内に GATE_VBUS が自動的に無効になります。V_{VBUS} が $V_{OVP4RCP} – V_{OVP4RCPH}$ を下回ると、OVP 条件がクリアされたため、t_{PPHV_ON} 以内に GATE_VBUS は自動的に再度有効になります。 この動作により、V_{VBUS} が $V_{OVP4RCP}$ を下回るように、必要に応じて 2 つのシンク パワー パスを同時にイネーブルにでき、GATE_VBUS は無効になります。

TPS25751A がデッド バッテリ状態 (すなわち VIN_3V3 が低い状態) で BOOT モードにある場合、デバイスは OVP 状態をやや異なる方法で処理します。OVP 状態が継続している間、GATE_VBUS および GATE_VSYS は無効になります。OVP 条件が解消されると、GATE_VBUS と GATE_VSYS の両方が再有効化されます。このモードはデッド バッテリ状態であるため、TPS25751A はこの期間中、放電を支援する目的で VBUS から約 $I_{VIN_3V3,\ ActSnk}$ の電流を消費します。

Copyright © 2026 Texas Instruments Incorporated

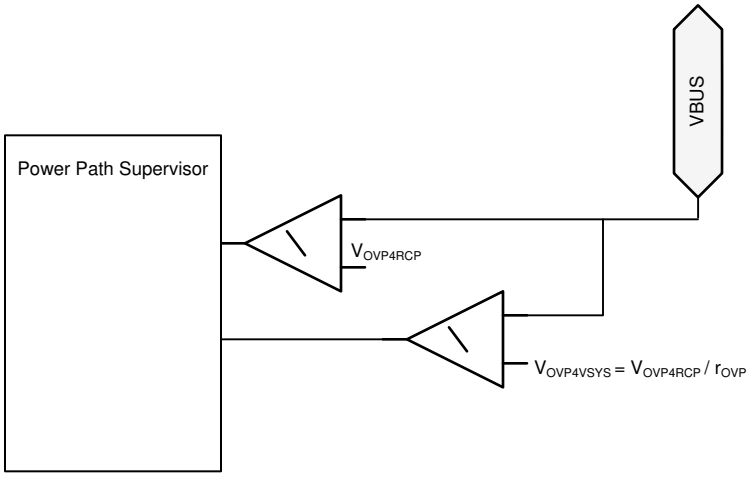
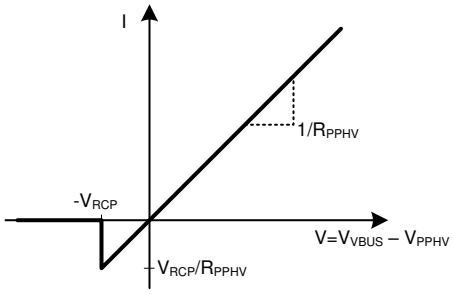


図 8-18. OVP コンパレータの図

8.3.3.3.2 逆電流保護 (RCP)

VSYS ゲート制御回路は、PPHV および VBUS の電圧を監視し、V_{VSYS} が V_{VBUS} を V_{RCP} 以上上回った場合に逆電流を検出します。逆電流状態が検出されると、GATE_VBUS は t_{PPHV_RCP} 以内に無効化されます。逆電流状態が解消されると、GATE_VBUS は t_{PPHV_ON} 内で再度イネーブルになります。この動作により、外付けの N チャネル MOSFET を介して PPHV から VBUS へ流れる逆電流の量が制限されます。逆電流保護モードでは、GATE_VBUS で制御される電源スイッチは、電流が $V_{RCP/R\ PPHV}$ に達するまで抵抗性で動作し、その後 PPHV から VBUS への逆電流をブロックします。



Copyright © 2018, Texas Instruments Incorporated

図 8-19. パワーパス スイッチにおける RCP 用スイッチの I-V 特性曲線

Copyright © 2026 Texas Instruments Incorporated

8.3.3.3.3 VBUS UVLO

TPS25751A は VBUS 電圧を監視し、電圧が V_{VBUS_UVLO} を下回ると検出します。UVLO 条件が検出されると、GATE_VBUS は t_{PPHV_RCP} 以内に無効になります。UVLO 条件が解消されると、GATE_VBUS は t_{PPHV_ON} 内で再度有効化されます。

8.3.3.3.4 VBUS の安全な電圧への放電

TPS25751A は、高電圧から VSAFE0V (0.8V) への放電のために、VBUS にアクティブ プルダウン (I_{DSCH}) を内蔵しています。この放電は、デバイスが未接続の Type-C 状態にあるときに適用されます。

8.3.4 ケーブル接続および方向の検出

図 8-20 に、各 CCy ピン (CC1、CC2) のプラグおよび方向検出ブロックを示します。各ピンには同じ検出回路があります。

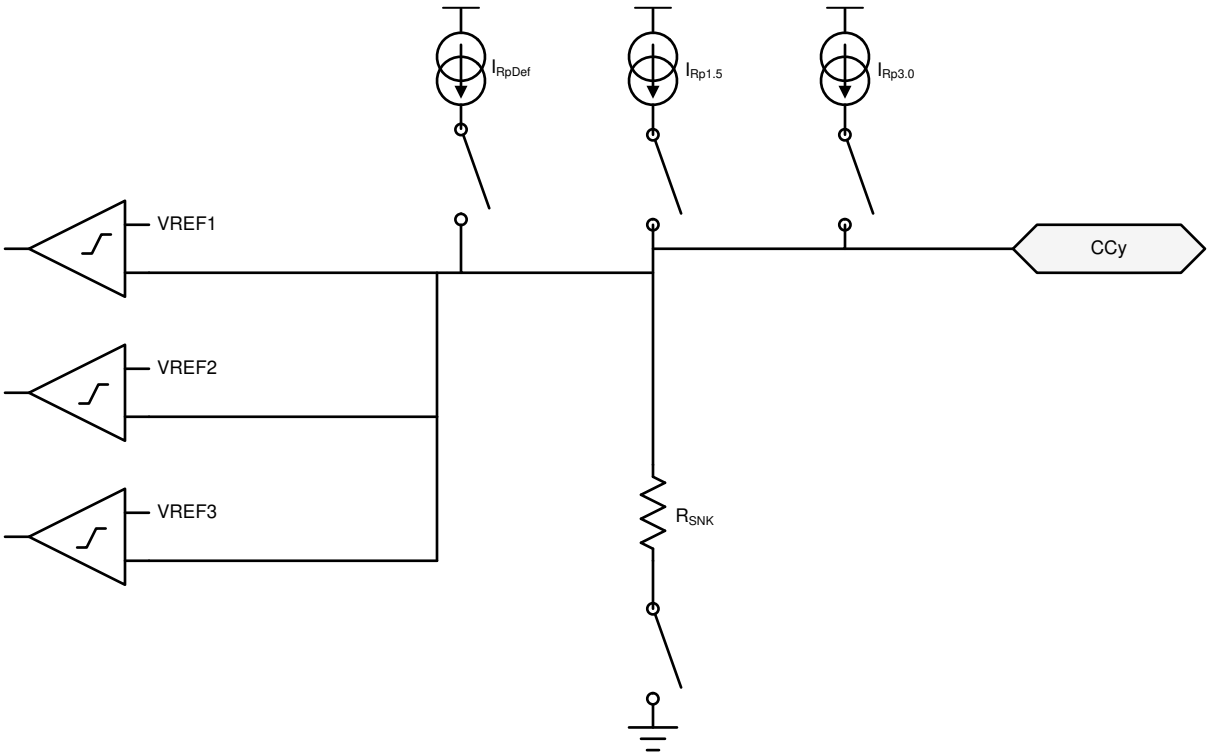


図 8-20. プラグおよび方向検出ブロック

8.3.4.1 ソースとして構成

ソースとして構成されている場合、TPS25751A は CC1 および CC2 ピンを使用して、ケーブルまたはシンクが接続されていることを検出します。接続解除状態の場合、TPS25751A はこれらのピンの電圧を監視して、接続されているものがあるかどうかを判断します。詳細については、「USB Type-C 仕様」を参照してください。

ソースのケーブル検出状態は、ソースのケーブル検出状態を示しています。

表 8-1. ソースのケーブル検出の状態

CC1	CC2	接続状態	結果として生じるアクション
オープン	オープン	接続なし	両方の CCy ピンが接続されているかどうかを引き続き監視します。VBUS または VCONN に電力が供給されません。
Rd	オープン	シンク接続	CC1 の取り外しを監視します。VBUS に電力は供給されますが、VCONN (CC2) には印加されない場合があります。

Copyright © 2026 Texas Instruments Incorporated

表 8-1. ソースのケーブル検出の状態 (続き)

CC1	CC2	接続状態	結果として生じるアクション
オープン	Rd	シンク接続	CC2 の取り外しを監視します。VBUS に電力は供給されますが、VCONN (CC1) には印加されない場合があります。
Ra	オープン	電源ケーブル - UFP 未接続	シンク接続のために CC2 を、ケーブル切り離しのために CC1 を監視します。VBUS または VCONN (CC1) に電力が供給されません。
オープン	Ra	電源ケーブル - UFP 未接続	シンク接続のために CC1 を、ケーブル切り離しのために CC2 を監視します。VBUS または VCONN (CC1) に電力が供給されません。
Ra	Rd	電源ケーブル - UFP 接続	VBUS と VCONN (CC1) に電源を投入し、CC2 のシンク取り外しを監視します。CC1 の取り外しは監視されません。
Rd	Ra	電源ケーブル - UFP 接続	VBUS と VCONN (CC2) に電源を投入し、CC1 のシンク取り外しを監視します。CC2 の取り外しは監視されません。
Rd	Rd	デバッグ アクセサリ モード接続	CCy ピンの取り外しを検出します。
Ra	Ra	腐食軽減	CCy ピンの取り外しを検出します。

TPS25751A ポートがソースとして構成されている場合、電流 I_{RpDef} が各 CCy ピンから追い払われ、各ピンの異なる状態が監視されます。シンクがこのピンに接続されると、GND に対して Rd のプルダウン抵抗が存在します。次に、電流 I_{RpDef} が抵抗 Rd の両端に強制され、CCy ピンに電圧が生成されます。TPS25751A は、デバイスがスイッチを PP5V から VBUS に閉じるまで I_{RpDef} を適用し、その時点で、アプリケーション ファームウェアは $I_{Rp1.5A}$ または $I_{Rp3.0A}$ に変更できます。

CCy ピンがアクティブ ケーブルの VCONN 入力に接続されている場合、プルダウン抵抗は異なる (Ra) 値になります。この場合、CCy ピンの電圧が低下し、PD コントローラはそのプルダウンをアクティブ ケーブルとして認識します。

どちらの Rp 電流源がアクティブであるかに応じて、CCy の電圧が監視され、取り外しが検出されます。接続が認識され、その後 CCy の電圧が t_{CC} の接続解除スレッショルドを上回ると、システムは接続解除を登録します。

8.3.4.2 シンクとして構成

TPS25751A のポートがシンクとして構成されている場合、TPS25751A は各 CCy ピンにプルダウン抵抗 R_{SNK} を提示し、ソースが接続されてピンの電圧をプルアップするのを待ちます。シンクは、VBUS の存在によって接続を検出し、CCy ピンの電圧に基づいてソースが提示している電流値を判定します。

8.3.4.3 DRP として構成

TPS25751A のポートが DRP として構成されている場合、TPS25751A はポートの CCy ピンをプルダウン抵抗 R_{SNK} とプルアップ電流源 I_{Rp} の間で交互に切り替えます。

8.3.4.4 バッテリ切れ通知

TPS25751A は、VBUS から電力を受け取ることで、バッテリがない状態またはバッテリ切れの状態からのブートをサポートしています。Type-C USB ポートでは、USB Type-C のソースが VBUS に電圧を供給する前に、シンクが CC ピンに Rd を提示する必要があります。TPS25751A ハードウェアは、バッテリ切れまたはバッテリがない状況でこの Rd を供給するように構成されています。追加回路により、デバイスが VBUS からの電力を必要としなくなった際に、この Rd をオフにする仕組みが提供されます。

8.3.5 過電圧保護 (CC1、CC2)

TPS25751A は、CC1 または CC2 ピンの電圧が高すぎる場合、または PP5V ピンに逆電流が流れている場合を検出し、システムを保護するための措置を実行します。保護動作としては、$t_{PP_CABLE_FSD}$ 内に PP_CABLE を無効化し、USB PD トランスミッタを無効化します。

Copyright © 2026 Texas Instruments Incorporated

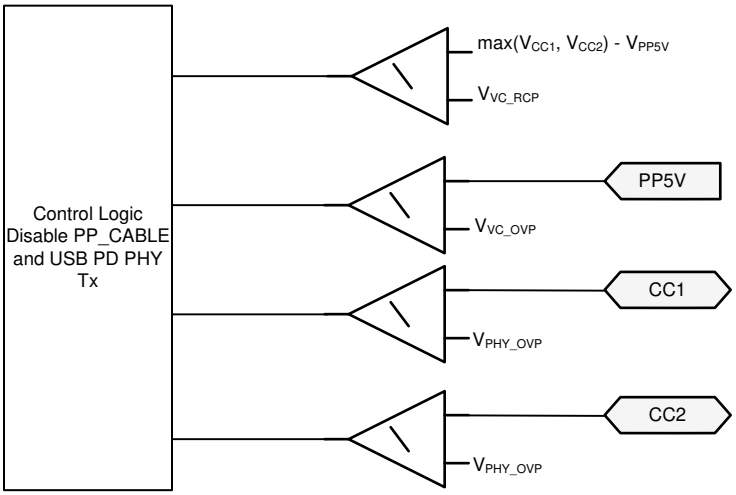


図 8-21. CC1 と CC2 向け過電圧と逆電流保護機能

8.3.6 デフォルト動作構成 (ADCIN1、ADCIN2)

注

この機能はファームウェアで制御され、変更される可能性があります。

内部 ADC への ADCINx 入力は、VIN_3V3 が低い状態 (すなわちデッド バッテリ状態) で VBUS が供給された際の TPS25751A の動作を制御します。ADCINx ピンは、以下の図に示すように、抵抗分圧回路を介して LDO_3V3 ピンに外部接続する必要があります。電源投入時に ADC は ADCINx 電圧を変換し、デジタル コアはこれら二つの値を使用してスタートアップ動作を決定します。使用可能なスタートアップ構成には、I2Ct_SCL/SDA の I^2C ターゲットアドレス、バッテリ切れでのシンクパス制御、デフォルト構成などのオプションが含まれます。

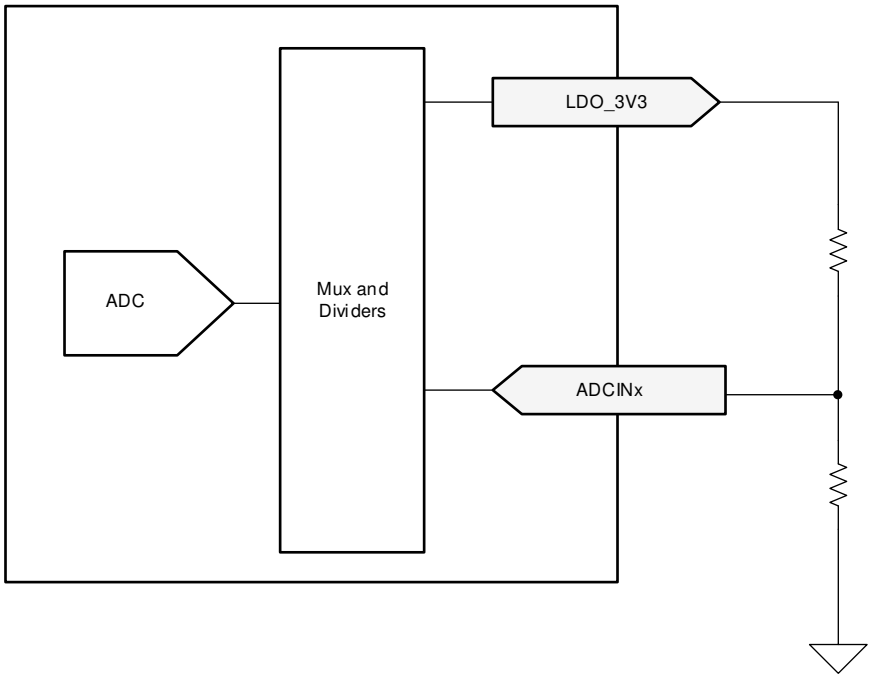


図 8-22. ADCINx 分圧抵抗

デバイスの動作は、ADCIN1 および ADCIN2 ピンのデコード値に応じて、いくつかの方法で決定されます。次の表に、さまざまな分圧抵抗比についてデコードされた値を示します。ADCINx 構成によってデフォルトのデバイス動作が決定される方法の詳細については、ピン ストラッピングによるデフォルト動作の構成を参照してください。ADCINx でデコードされた値がデフォルトの I²C ターゲット アドレスに与える影響の詳細については、I²C アドレスの設定を参照してください。

表 8-2. ADCIN1 および ADCIN2 ピンのデコード

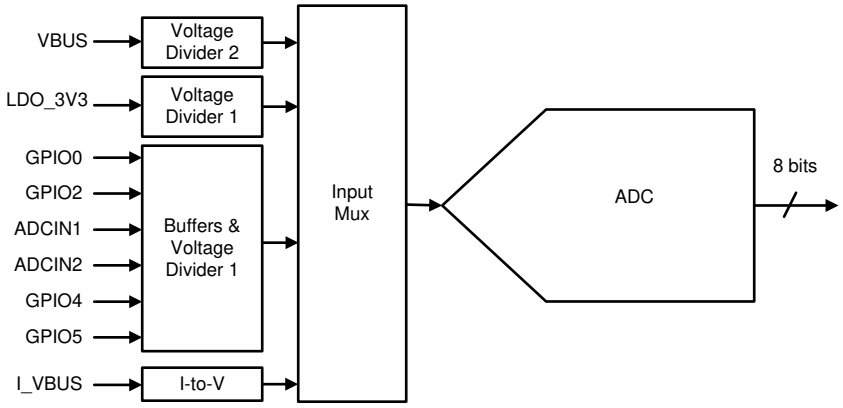
DIV = R_{DOWN} / (R_{UP} + R_{DOWN})(1)			R_{UP} または R_{DOWN} を使用しない	ADCINx でデコードされた値(2)
最小値	ターゲット	最大値		
0	0.0114	0.0228	GND に接続	0
0.0229	0.0475	0.0722	該当なし	1
0.0723	0.1074	0.1425	該当なし	2
0.1425	0.1899	0.2372	該当なし	3
0.2373	0.3022	0.3671	該当なし	4
0.3672	0.5368	0.7064	LDO_1V5 に接続	5
0.7065	0.8062	0.9060	該当なし	6
0.9061	0.9530	1.0	LDO_3V3 に接続	7

(1) I²C アドレス インデックスの正確な意味については、I²C アドレス設定を参照してください。
(2) 特定の ADCINx でデコードされた値を構成する方法については、ピン ストラッピングによるデフォルト動作の構成を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.3.7 ADC

図 8-23 に、TPS25751A ADC を示します。ADC は 8 ビットの逐次比較型 ADC です。ADC への入力は、デバイス内のさまざまな電圧と電流からの複数の入力に対応するアナログ入力マルチプレクサです。ADC の出力は、アプリケーションファームウェアによって読み取りおよび利用が可能です。



Copyright © 2018, Texas Instruments Incorporated

図 8-23. SAR ADC

8.3.8 液体検出

TPS25751A は、コネクタからのピンの電圧を監視することによる液体検出および腐食軽減機能を備えています。このデバイスはピンを定期的に監視し、ピン電圧の変化をチェックすることで短絡を検出します。腐食軽減を構成した場合、PD コントローラは遠端デバイスから接続を解除し、液体が存在しなくなったことを示す電圧測定値を監視します。

詳細については、セクション 9 セクションを参照してください。

8.3.9 BC 1.2 (USB_P、USB_N)

TPS25751A は、図 8-24 に示すハードウェア構成を用いることで、ポータブル デバイス または ダウンストリーム ポートとして BC 1.2 をサポートします。

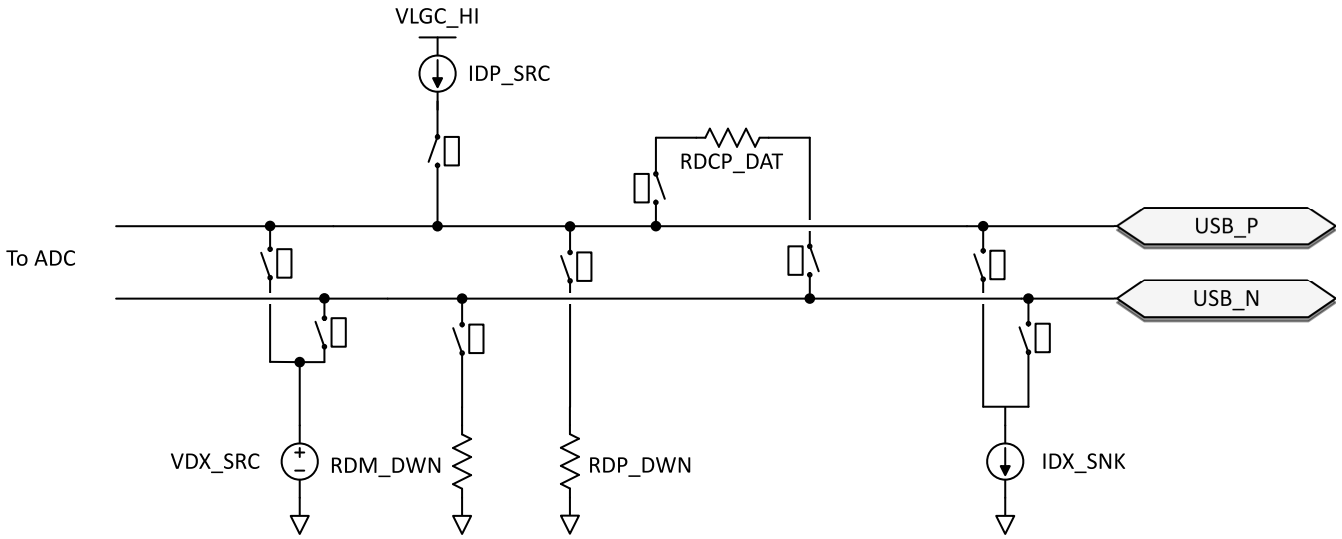


図 8-24. BC1.2 ハードウェア コンポーネント

8.3.10 デジタル インターフェイス

TPS25751A には、他のデバイスとの通信に使用できるいくつかの異なるデジタル インターフェイスが搭載されています。利用可能なインターフェイスには、1 つの I^2C コントローラ、1 つの I^2C ターゲット、追加の GPIO が含まれます。

8.3.10.1 汎用 GPIO

GPIOx ピンは、USB Type-C、USB PD、および特定用途向けのイベントに割り当てることができ、他の IC を制御すること、ホスト プロセッサに割り込みを提供すること、または別の IC からの入力を受信することができます。このバッファは、プッシュプル出力、弱プッシュプル出力、またはオープン ドレイン出力として構成できます。入力として構成した場合、信号はグリッチ除去されたデジタル入力になります。プッシュプル出力は、独立したプルダウン制御を備えたシンプルな CMOS 出力であり、オープン ドレイン接続を可能にします。弱いプッシュプル出力も CMOS 出力ですが、ドレインに GPIO_RPU 抵抗が直列に接続されています。出力バッファへの電源電圧は、入力バッファへの LDO_3V3 および LDO_1V5 です。3.3V 以外の I/O デバイスとインターフェイスする場合、出力バッファはオープン ドレイン出力として構成でき、GPIO ピンに外部プルアップ抵抗を接続できます。プルアップおよびプルダウンの出力ドライバは入力とは独立して制御され、デジタル コア内のアプリケーション コードによって有効化または無効化されます。

表 8-3. GPIO 機能表

ピン名	タイプ	特殊機能
GPIO0	I/O	汎用入出力、または液体検出用の LD1
GPIO1	I/O	汎用入出力
GPIO2	I/O	汎用入出力、または液体検出用の LD2
GPIO3	I/O	汎用入出力
GPIO4	I/O	D+、汎用入出力
GPIO5	I/O	D–、汎用入出力
GPIO6	I/O	汎用入出力
GPIO7	I/O	汎用入出力
I2Ct_IRQ (GPIO10)	O	オプションの I2Ct 用 IRQ、または汎用出力として使用
GPIO11	O	汎用出力

Copyright © 2026 Texas Instruments Incorporated

表 8-3. GPIO 機能表 (続き)

ピン名	タイプ	特殊機能
I2Cc_IRQ (GPIO12)	I	I2Cc 用 IRQ、または汎用入力として使用

8.3.10.2 I²C インターフェイス

TPS25751A は、図 8-25 に示すような I²C I/O ドライバを使用した、2 つの I²C インターフェイスを備えています。この I/O は、オープン ドレイン出力とデグリッチ機能付き入力コンパレータで構成されています。

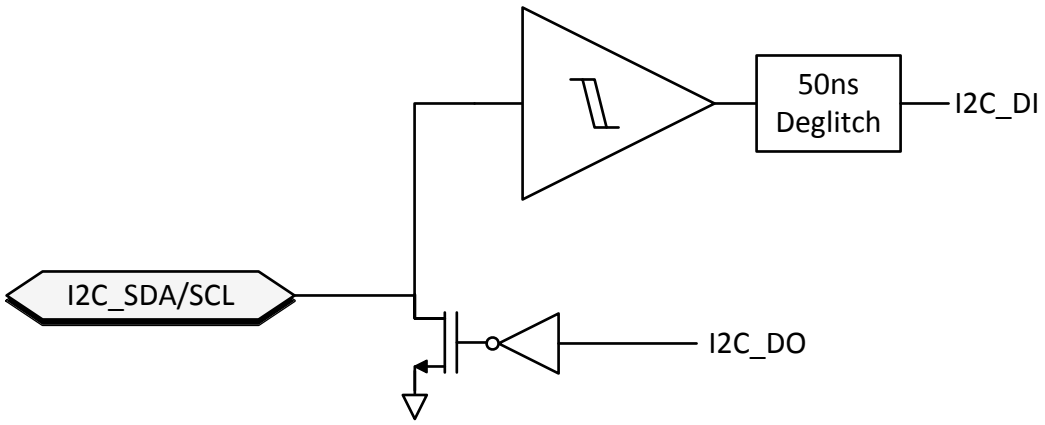


図 8-25. I²C バッファ

TPS25751A は、一つの I2C ターゲット インターフェイス ポートを備えています。I2Ct の詳細を示します。I2C ポート I2Ct は、I2Ct_SDA、I2Ct_SCL、および I2Ct_IRQ ピンで構成されています。このインターフェイスは、TPS25751A に関する一般的なステータス情報を提供するほか TPS25751A の動作を制御する能力や、BMC USB-PD をサポートする接続されたデバイスやケーブルとの通信をサポートし、USB-C レセプタクルで検出された接続に関する情報を提供します。

TPS25751A が APP モードのときは、TI はスタンダード モードまたは高速モード (つまり 400kHz 以下のクロック速度) の使用を推奨します。ただし、パッチ バンドルがロードされる BOOT モードでは、高速モード プラスを使用できます (f_{SCLS} を参照)。

TPS25751A には、一つの I²C コントローラ インターフェイスポートがあります。I²C は、I2Cc_SDA ピン、I2Cc_SCL ピン、I2Cc_IRQ ピンで構成されます。このインターフェイスは、外部ターゲット デバイスの読み書きに使用できます。

ブート中、TPS25751A、0x50 の 7 ビットのターゲット アドレスを持つ外部 EEPROM からパッチとアプリケーション構成データの読み出しを試みます。EEPROM は 32 キロバイト以上である必要があります。

表 8-4. I²C の概要

I²C バス	タイプ	一般的な使用
I2Ct	ターゲット	オプションで、外部マイコンに接続することもできます。パッチとアプリケーションの構成をロードするためにも使用されます。
I2Cc	コントローラ	I²C EEPROM、バッテリ チャージャに接続します。LDO_3V3 ピンをプルアップ電圧として使用します。マルチコントローラ構成はサポートされていません。

8.3.10.2.1 I²C インターフェイスの説明

TPS25751A は、標準モードおよび高速モードの I²C インターフェイスをサポートしています。双方向 I²C バスは、シリアル クロック (SCL) ラインとシリアル データ (SDA) ラインで構成されます。両方のラインは、プルアップ抵抗を介して電源に接続する必要があります。データ転送は、バスがビジー状態でないときにのみ開始できます。

コントローラは、START 条件を送信します。START 条件とは、SCL 入力が High のときに、SDA 入力と出力が High から Low に遷移して I²C 通信が開始されることです。START 条件の後、デバイスのアドレス バイトが送信されます。データ方向ビット (R/W) を含む最上位ビット (MSB) が最初に送信されます。

Copyright © 2026 Texas Instruments Incorporated

有効なアドレス バイトを受信すると、このデバイスは、ACK 関連のクロック パルスが High のときに SDA 入力 / 出力を Low にするアクノリッジ (ACK) で応答します。I²C バスでは、各クロック パルスの間に 1 つのデータ ビットのみが転送されます。SDA ラインのデータは、クロック周期の High パルス中は安定している必要があります。この時点でデータ ラインが変化すると、制御コマンド (START または STOP) として解釈されるためです。コントローラは STOP 条件を送信します。STOP 条件とは、SCL 入力が High のときに、SDA 入力と出力が Low から High に遷移することです。

START 条件と STOP 条件の間に、トランスミッタからレシーバへ任意の数のデータ バイトを転送できます。8 ビットの各バイトの後に 1 つの ACK ビットが続きます。レシーバが ACK ビットを送信する前に、トランスミッタは SDA ラインを解放する必要があります。アクノリッジを行うデバイスは、ACK 関連のクロック周期が High パルスのときは SDA ラインが安定して Low を維持できるようにするため、ACK クロック パルスの間は SDA ラインをプルダウンする必要があります。ターゲットのレシーバがアドレス指定されている場合、各バイトを受信した後に ACK を生成する必要があります。同様に、コントローラはターゲットのトランスミッタから受信した各バイトの後に ACK を生成する必要があります。適切な動作のためには、セットアップ時間とホールド時間の条件を満たす必要があります。

コントローラのレシーバは、ターゲットから最後のバイトがクロックアウトされた後、SDA ラインを High に保持してアクノリッジを生成しない (NACK) ことで、ターゲットのトランスミッタにデータの終了を通知します。この場合、コントローラが STOP 条件を生成できるように、トランスミッタはデータ ラインを解放する必要があります。

図 8-26 に、転送の開始条件と停止条件を示します。図 8-27 に、ビット転送のための SDA および SCL 信号を示します。図 8-28 に、最後のクロック パルスで ACK または NACK でのデータ転送シーケンスを示します。

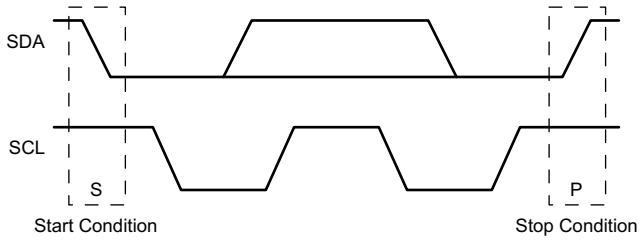


図 8-26. I²C の START 条件と STOP 条件の定義

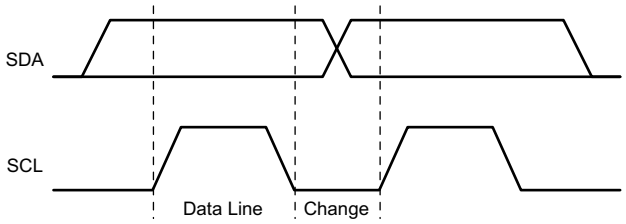


図 8-27. I²C ビット転送

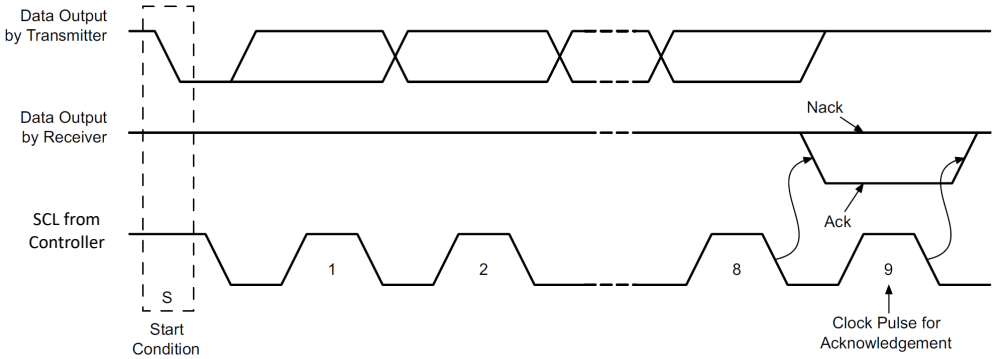


図 8-28. I²C 応答確認

Copyright © 2026 Texas Instruments Incorporated

8.3.10.2.1.1 I²C クロック ストレッチング

TPS25751A は、I²C プロトコルのクロック ストレッチングを備えています。TPS25751A のターゲット I²C ポートは、バイトを受信 (または送信) した後にクロック ライン (SCL) を low に保持し、それ以上のデータを処理する準備ができていないことを示します。ターゲットと通信するコントローラは、現在のビットの送信を完了せず、クロック ラインが実際に High になるまで待機する必要があります。目標がクロック ストレッチングの場合、クロック ラインは Low のままです。

コントローラは、クロック ラインが High に遷移した後、さらに最小時間 (標準 100kbps I²C では 4µs) 経過してから再びクロックが low に引き下げられるまで待機する必要があります。

任意のクロック パルスはストレッチされる可能性があり、通常はアクノリッジ ビットの前後のクロック パルスがストレッチされます。

8.3.10.2.1.2 I²C アドレス設定

I2C コントローラは、パッチ バンドルのロードには I2Ct_SCL/SDA のみを使用する必要があります。

ブート プロセスが完了すると、ADCINx ピンで選択された I2Ct_SCL/SDA バス上に一意のターゲット アドレスがポートにあります。

表 8-5. I2Ct_SCL/SDA の I²C デフォルト ターゲット アドレス。

I²C アドレス インデックス (ADCIN1 や ADCIN2 からデコード)(1)	ターゲット アドレス								ブート時に使用可能
	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
#1	0	1	0	0	0	0	0	R/W	あり
#2	0	1	0	0	0	0	1	R/W	あり
#3	0	1	0	0	0	1	0	R/W	あり
#4	0	1	0	0	0	1	1	R/W	あり

(1) ADCIN1 および ADCIN2 のデコーディングについては、ピン ストラッピングによるデフォルト動作の構成を参照してください。

8.3.10.2.1.3 固有アドレス インターフェイス

固有アドレス インターフェイスにより、I²C コントローラと単一の TPS25751A 間の複雑な相互作用が可能になります。I²C ターゲット サブアドレスは、ホスト インターフェイスのプロトコル コマンドの受信または応答に使用されます。図 8-29 と 図 8-30 に、I²C ターゲット インターフェイスの書き込み/読み取りプロトコルを示します。使用する用語を説明するためのキーが 図 8-31 に含まれています。プロトコル図のキーは、SMBus 仕様に含まれています。ここでも、部分的に繰り返されています。

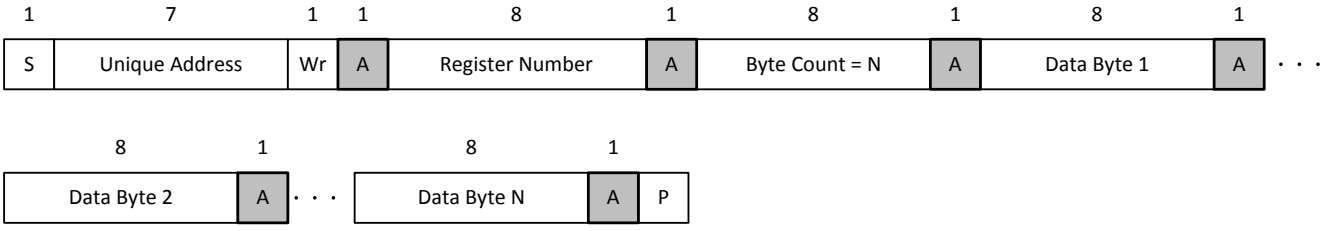


図 8-29. I²C 固有アドレス書き込みレジスタ プロトコル

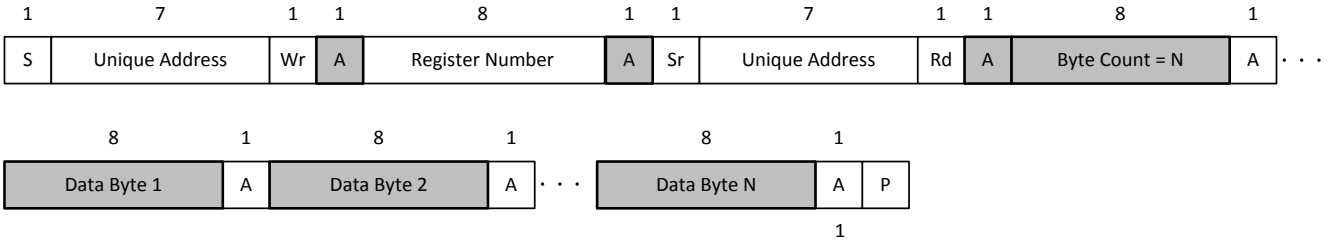
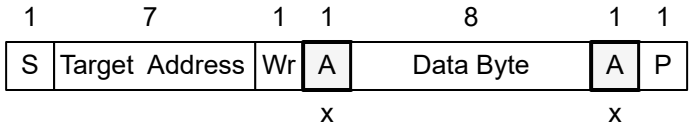


図 8-30. I²C 固有アドレス読み取りレジスタ プロトコル



S Start condition
SR Repeated start condition
Rd Read (bit value of 1)
Wr Write (bit value of 0
X Field is required to have the value x
A Acknowledge (this bit position is either 0 for an ACK or 1 for a NACK)
P Stop condition

Controller-to-target

Target-to-controller

• • • Continuation of protocol

図 8-31. I²C 読み取り / 書き込みのプロトコル キー

8.3.10.2.1.4 ピン ストラッピングによるデフォルト動作の構成

ブート手順中に、デバイスは ADCINx ピンを読み取り、以下の表に基づいて設定を行います。その後、デバイスは I2Cc バス上の外部 EEPROM から構成を読み込もうとします。EEPROM が検出されない場合、外部ホストによって構成が読み込まれるのを待機します。

外部 EEPROM を使用する場合、各デバイスは固有の EEPROM に接続され、複数のデバイス用に共有することはできません。外部 EEPROM は、7 ビットのターゲット アドレス 0x50 に設定されます。

表 8-6. ADCIN1 と ADCIN2 を使用する構成ガイド

ADCIN1 デコード値(2)	ADCIN2 デコード値(2)	I²C アドレス インデックス (1)	バッテリ切れブート構成
7	5	#1	AlwaysEnableSink: デバイスは、接続された電源側が提供する電流量に関係なく、常にシンク経路を有効にします。構成が読み込まれるまで、USB PD は無効となります。この構成は、外部組込みコントローラとともに使用します。組込みコントローラは、システム内のバッテリ チャージャが存在している場合は、バッテリ チャージャを管理します。
5	5	#2	
2	0	#3	
1	7	#4	
7	0	#1	SafeMode: デバイスは、シンク パスを有効にしません。構成が読み込まれるまで、USB PD は無効となります。この構成では、デバイスをソース専用モードに設定できることに注意してください。これは、アプリケーションが EEPROM からパッチをロードする際に推奨されます。SafeMode は、PD コントローラがバッテリ チャージャが存在する場合にバッテリ チャージャを管理する場合に推奨します。
0	0	#2	
6	0	#3	
5	7	#4	

(1) I²C アドレス インデックスの正確な意味については、表 8-5 を参照してください。
(2) 特定の ADCINx のデコード値をどのように設定するかについては、ADCIN1 および ADCIN2 のデコードを参照します。

Copyright © 2026 Texas Instruments Incorporated

8.3.11 デジタル コア

図 8-32 に、デジタル コアの簡略化されたブロック図を示します。

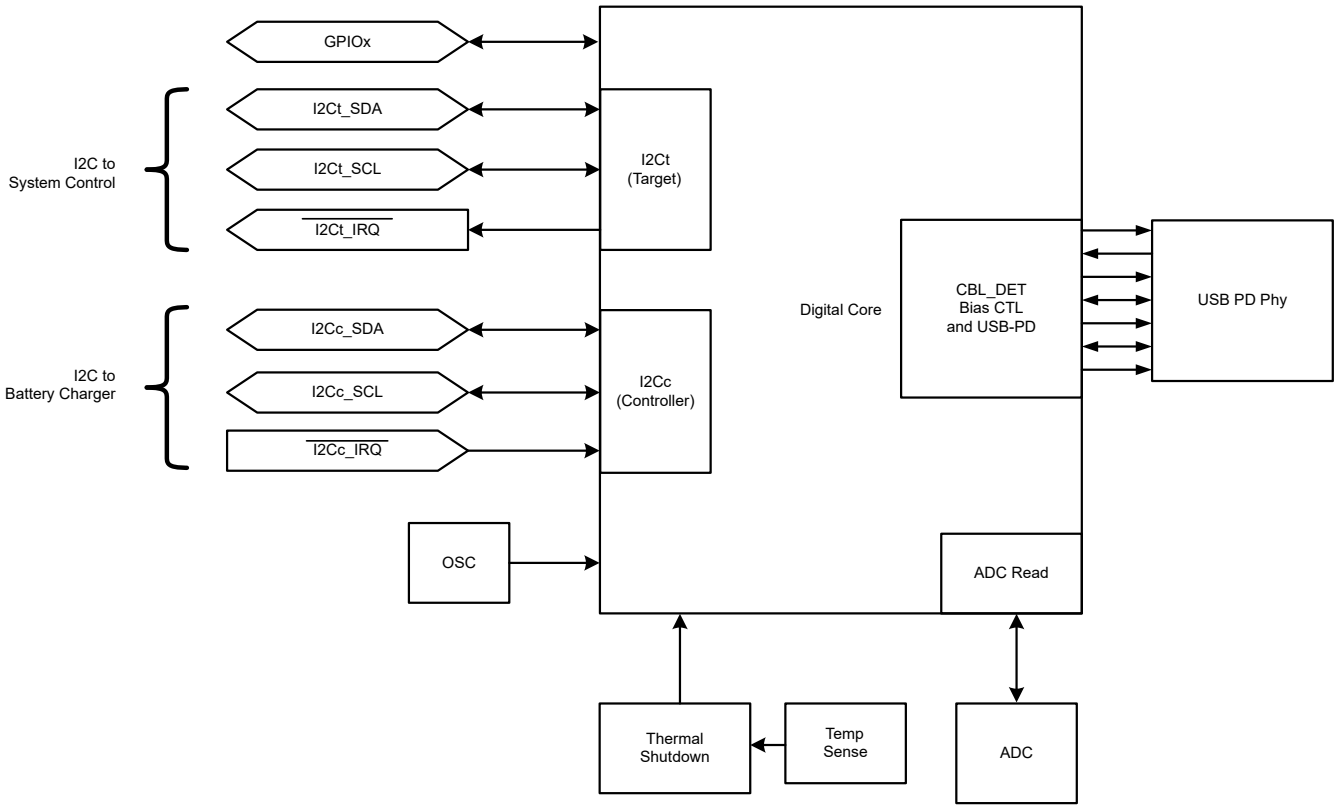


図 8-32. デジタル コア ブロック図

8.4 デバイスの機能モード

8.4.1 電源の状態

TPS25751A は、次の 3 つの電源状態で動作できます。アクティブ、アイドル、またはスリープ。最新のスタンバイモードは、アイドル モードの特殊なケースです。セクション 6.7 に、各状態で使用できる機能の概要を示します。このデバイスは、アクティブで必要とされる回路に基づいて、3 つの電源状態間を自動的に遷移します。図 8-33 を参照してください。スリープ状態では、TPS25751A は Type-C 接続を検出します。アクティブ モードからアイドル モードに移行するには、以下のアクティビティがない期間 (T) が必要です。

- 受信 USB PD メッセージ
- CC ステータスの変更
- GPIO 入力イベント
- I^2C トランザクション
- 電圧アラート
- フォルト アラート

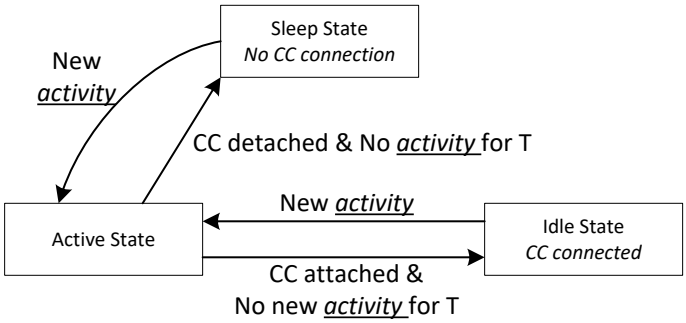


図 8-33. 電源状態のフロー ダイアグラム

表 8-7. 消費電力の状態

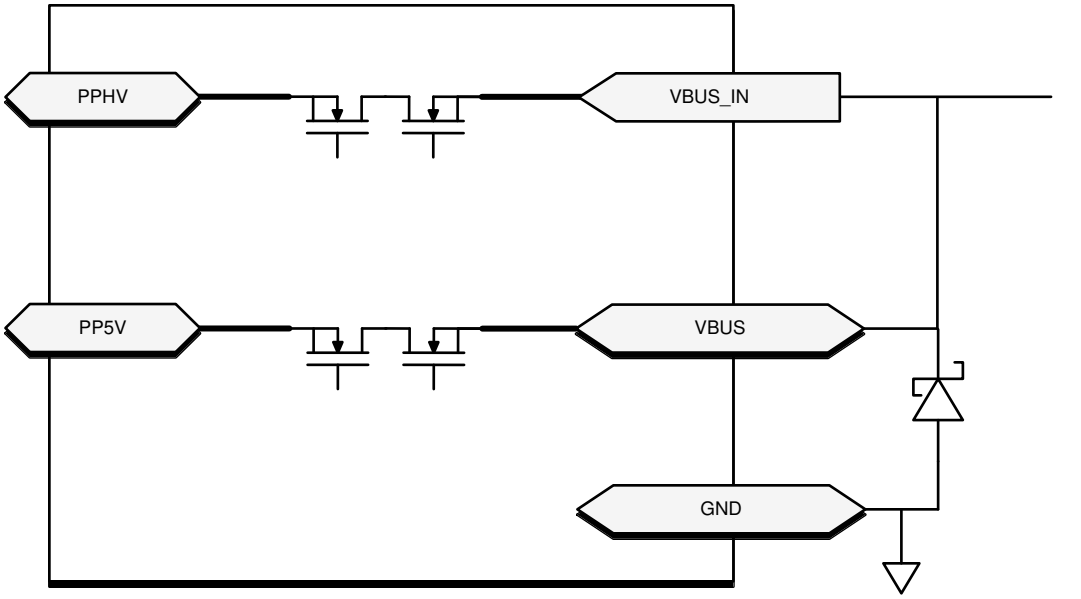
	アクティブ PP_5V ソース モード(1)	アクティブ PP_HV ソース モード 3	アクティブ シンク モード 3	アイドル PP_5V ソース モード	アイドル PP_HV ソース モード	アイドル シンク モード	スリープ モード 2
PP_5V	有効	ディセーブル	ディセーブル	有効	ディセーブル	ディセーブル	ディセーブル
PP_HV (TPS25751AD)	ディセーブル	有効	有効	ディセーブル	有効	有効	ディセーブル
PP_EXT (TPS25751AS)	ディセーブル	有効	有効	ディセーブル	有効	有効	ディセーブル
PP_CABLE	有効	有効	有効	有効	有効	有効	ディセーブル
外部 CC1 終端	Rd	Rd	Rp 3.0A	Rd	Rd	Rp 3.0A	オープン
外部 CC2 終端	オープン	オープン	オープン	オープン	オープン	オープン	オープン

(1) このモードは次の目的で使用されます。$I_{VIN_3V3,\ ActSrc}$
(2) このモードは次の目的で使用されます。$I_{VIN_3V3,\ Sleep}$
(3) このモードは次の目的で使用されます。$I_{VIN_3V3,\ ActSnk}$

8.4.2 電流サージ保護用ショットキー

ケーブルの誘導性による影響で急な切断が発生した際、TPS25751A に大きなグランド電流が流れ込む可能性を防ぐため、TI は VBUS からグラウンド間にショットキー ダイオードを配置することを推奨しています。

Copyright © 2026 Texas Instruments Incorporated



Copyright © 2018, Texas Instruments Incorporated

図 8-34. TPS25751AD の電流サージ保護用ショットキー ダイオード

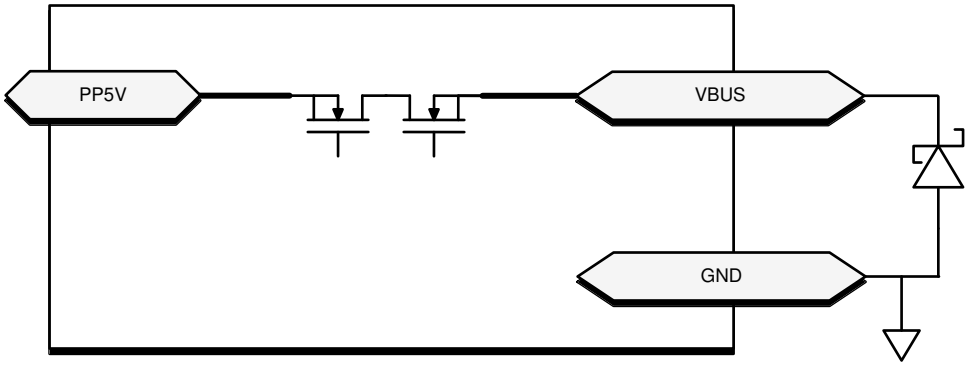


図 8-35. TPS25751AS の電流サージ保護用ショットキー ダイオード

8.4.3 サーマル シャットダウン

TPS25751A は、中央のサーマル シャットダウン機能、および各内部パワー パス用に独立したサーマル センサを備えています。中央のサーマル シャットダウンは、ダイの全体的な温度を監視し、ダイ温度が T_{SD_MAIN} の立ち上がり温度を上回ると、監視回路を除くすべての機能を無効にします。温度シャットダウンには T_{SD_MAIN} のヒステリシスがあり、温度がこの値を下回ると、デバイスは通常動作を再開します。

パワー パスのサーマル シャットダウンは、各内部の PP5V から VBUS への電源経路の温度を監視し、いずれかが T_{SD_PP5V} を超えた場合、両方のパワー パスおよび VCONN パワー パスを無効化します。温度シャットダウンには T_{SD_PP5V} のヒステリシスがあります。温度がこの値を下回った場合、このパスは動作を再開するように設定することも、ファームウェアによって再度有効化されるまで無効を維持するよう設定することもできます。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

TPS25751A は、電力専用 USB-PD アプリケーション向けのスタンドアロン Type-C PD コントローラです。USBCPD アプリケーション カスタマイズ ツールは、パワー ロール、データ ロール、バッテリ チャージャの統合、GPIO、液体検出などを含む、TPS25751A を設定するためのグラフィカル インターフェイスを提供します。Web ツールは、起動時にデバイスにプログラムされるバイナリ イメージを生成します。PD コントローラは、I²C インターフェイスを介して、外部 EEPROM または MCU からデバイス設定を読み込みます。

TPS25751A は、次の PD アーキテクチャをサポートするシングル ポート電源アプリケーションに適用できます。

- 電力供給業者 (ソース) と電力消費者 (シンク) の両方に適した設計
- 電力消費者 (シンク) 用設計

9.2 代表的なアプリケーション

以下のブロック図は、完全なシステム アーキテクチャの一例を示しています。特定のブロックは、すべての設計に適用できるとは限りません。

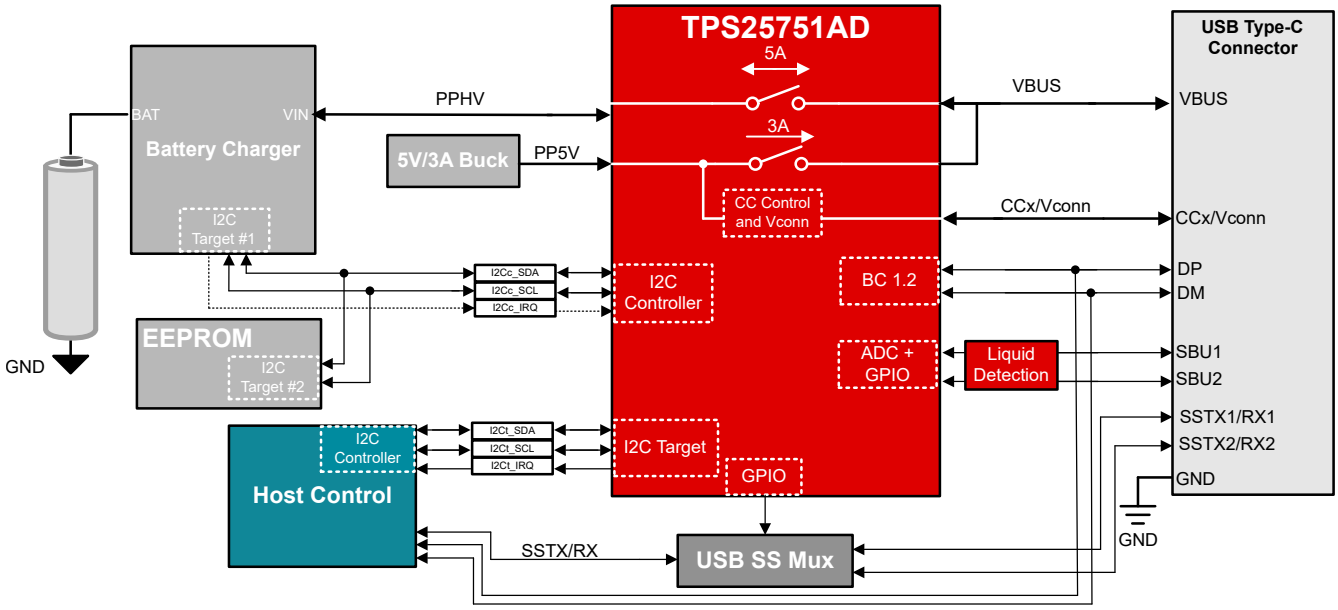


図 9-1. TPS25751AD バッテリ チャージャと完全なシステム ブロック図

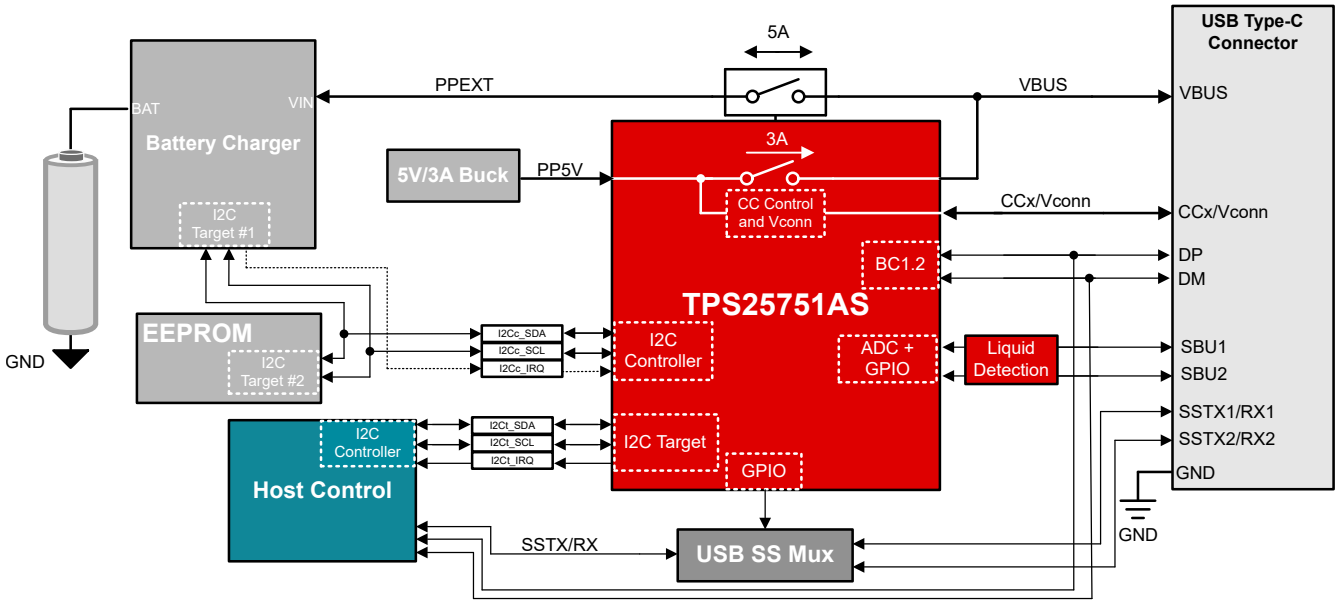


図 9-2. TPS25751AS バッテリ チャージャと完全なシステム ブロック図

9.2.1 設計要件

9.2.1.1 液体検出の設計要件

液体検出は、USB Type-C ポートで湿気や異物の存在を検出するために使用される安全 / 保護機構です。TPS25751A は、専用の内部 ADC ピンを使用して Type-C コネクタのピン間のリーク電圧を測定することで、液体検出をサポートしています。表 9-1 に、接続状態および未接続状態で発生し得るさまざまな短絡の例を示します。

表 9-1. 液体検出における抵抗性短絡の例

抵抗	説明
RSaV	VBUS への抵抗性短絡
RSaCC	CC への抵抗性短絡
RSaG	GND への抵抗性短絡

Copyright © 2026 Texas Instruments Incorporated

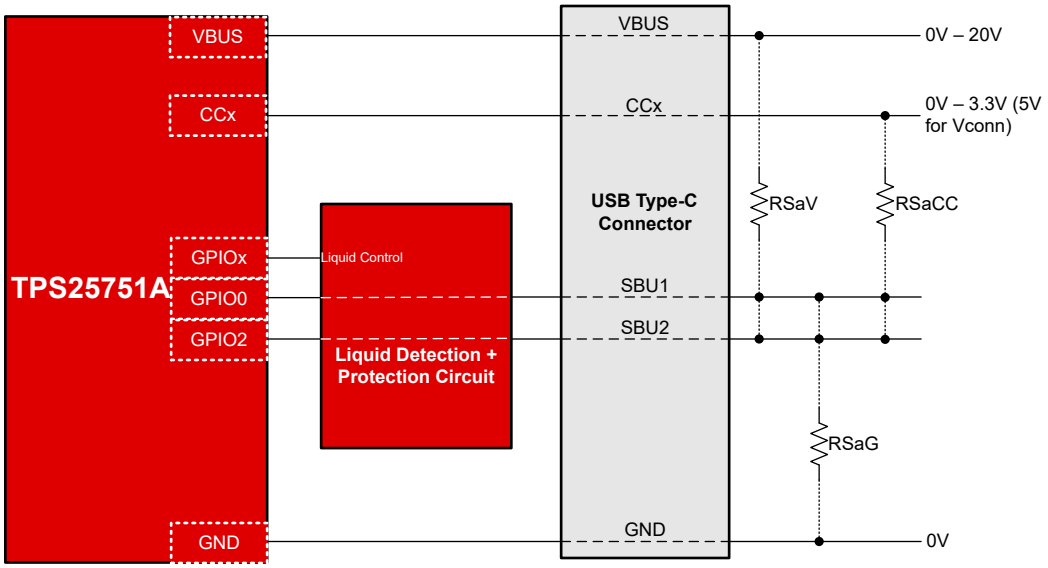


図 9-3. 液体検出の事例

9.2.1.2 BC1.2 アプリケーション設計要件の例

PD コントローラは、USB D+ ピンおよび D– ピンを使用して、BC1.2 の検出とアドバタイズを行います。USB D+ と D– は、Type-C コネクタから USB ホスト (DFP) または USB デバイス (UFP) に接続され、充電データ ポート アプリケーション用に使用されます。

9.2.1.3 USB データ サポートの設計要件

USB3 動作の場合、SSTX/RX は Type-C コネクタに多重化されます。一般に、SuperSpeed マルチプレクサには 2 つの制御信号、有効化とプラグ方向があります。PD コントローラは、接続が検出されるタイミングを決定し、SuperSpeed マルチプレクサを制御するために必要な GPIO を駆動します。

9.2.2 詳細な設計手順

9.2.2.1 液体検出

TPS25751A は、内蔵 ADC と 外部回路と組み合わせた GPIO を使用して、液面検出をサポートしています。TPS25751A 液体検出のブロック図 - CC1 および CC2 モニタ ピンおよび TPS25751A 液体検出のブロック図 - SBU1 および SBU2 モニタ ピンに、TPS25751A での液体検出のために CC1/2 ピンと SBU1/2 ピンを使用したハードウェア実装を示します。TPD4S201 は、液体によって VBUS が監視ピンに短絡した際、ADC ピンを過電圧状態から保護するために使用されます。液体が検出されると、TPS25751A は Type-C ポートを保護するためのアクションを行います。組込みホスト コントローラを使用するシステムは、ホスト インターフェイスを活用して、追加の通知と制御を行うことができます。

表 9-2. 液体検出 GPIO ピンの機能

ピン	機能
GPIO0 および GPIO2	監視ピンのバイアス電圧を測定するための内部 ADC。
GPIOx	監視ピンを High / Low に駆動するバイアス電圧を制御する出力 GPIO。
GPIOy	保護デバイスによって故障が検出されたときに、Type-C エラー リカバリを開始する入力 GPIO。

Copyright © 2026 Texas Instruments Incorporated

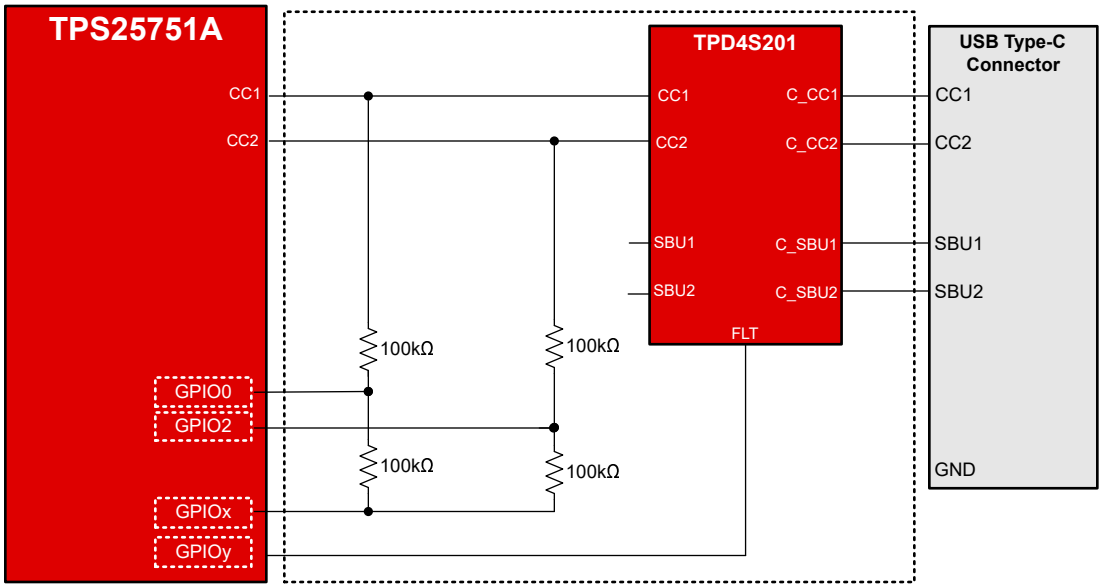


図 9-4. TPS25751A 液体検出のブロック図 - CC1 および CC2 モニタ ピン

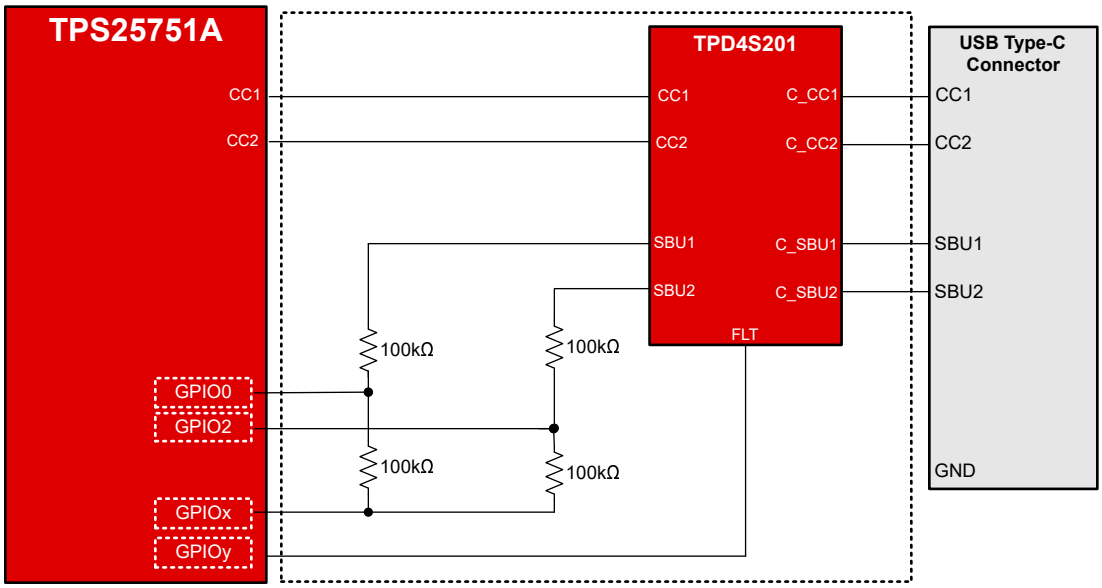


図 9-5. TPS25751A 液体検出のブロック図 - SBU1 および SBU2 モニタ ピン

Copyright © 2026 Texas Instruments Incorporated

9.2.2.2 BC1.2 アプリケーション

TPS25751A は BC1.2 の検出およびアドバタイズ モードをサポートしており、Web ツールを使用して設定できます。

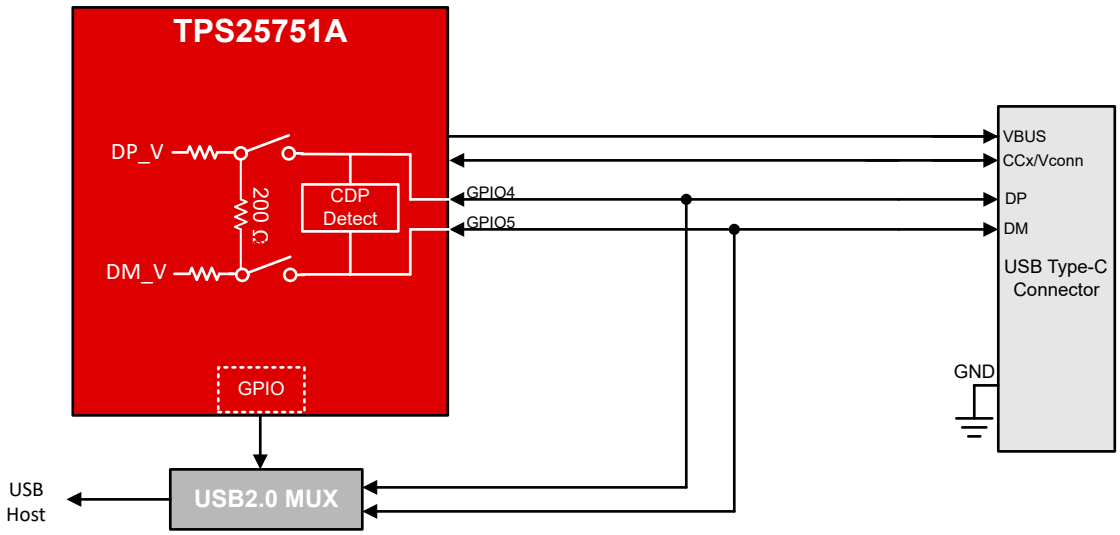


図 9-6. BC1.2 アプリケーションのブロック図

9.2.2.3 USB データのサポート

TPS25751A は、最大 USB 3.2Gen 2 の USB データ スピードをサポートしています。USB 列挙を入力すると、TPS25751A は GPIO 制御を使用して USB SuperSpeed マルチプレクサ (TUSB1142) を制御します。GPIO 制御は、アプリケーション カスタマイズ ツールを使用して構成されます。GPIO イベントは、テクニカル リファレンス マニュアルに記載されています。

9.2.3 アプリケーション曲線

9.2.3.1 液体検出アプリケーション曲線

下の図は、腐食軽減を無効にして有効にした場合の液体検出動作を示しています。SBU2 ピン上の液体検出動作 - 腐食軽減なしおよび液体検出 - 腐食軽減の両方で液体が検出されます。液体検出のサンプル数、タイミング、ヒステリシス電圧範囲は、Web ツールで設定できます。

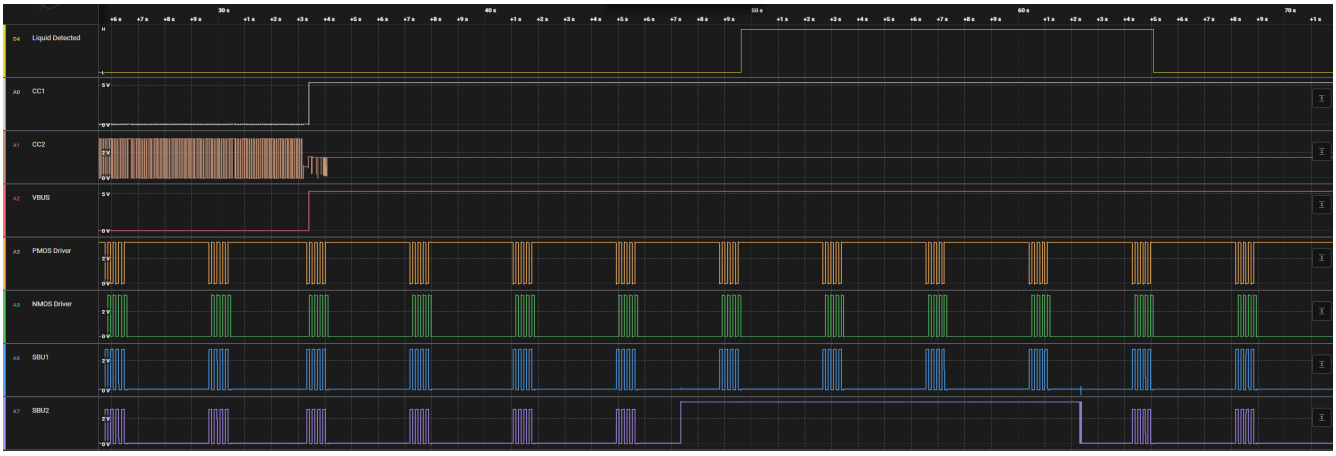


図 9-7. 液体検出動作 - 腐食軽減なし

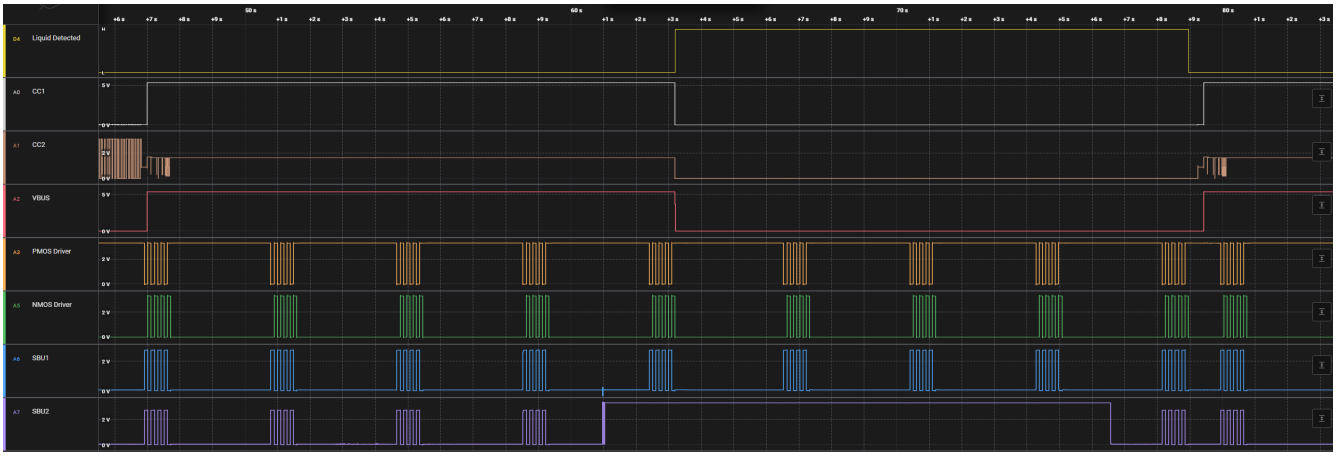


図 9-8. 液体検出 - 腐食軽減

9.2.3.2 BC1.2 アプリケーション曲線を

以下のプロットは、TPS25751A を使用した BC1.2 のアドバタイズメントと検出を示しています。

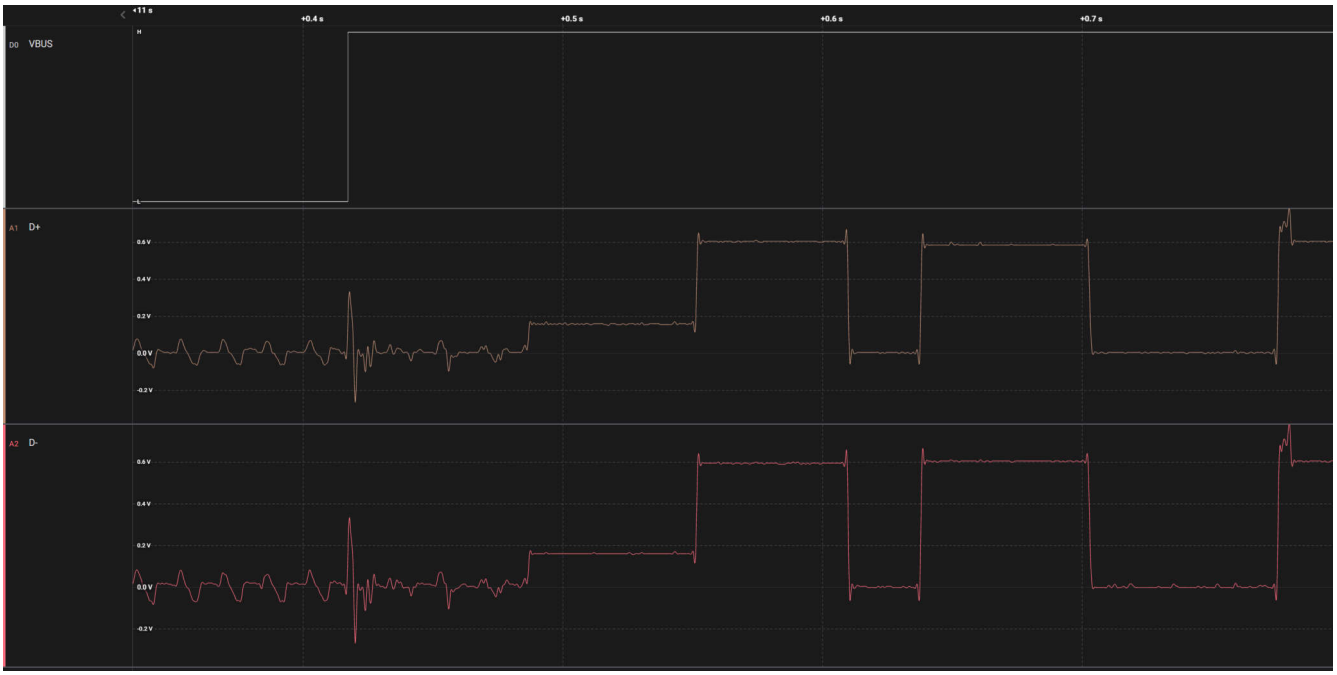


図 9-9. BC1.2 DCP アドバタイズメント

Copyright © 2026 Texas Instruments Incorporated

9.2.3.2 BC1.2 アプリケーション曲線を (続き)

以下のプロットは、TPS25751A を使用した BC1.2 のアドバタイズメントと検出を示しています。

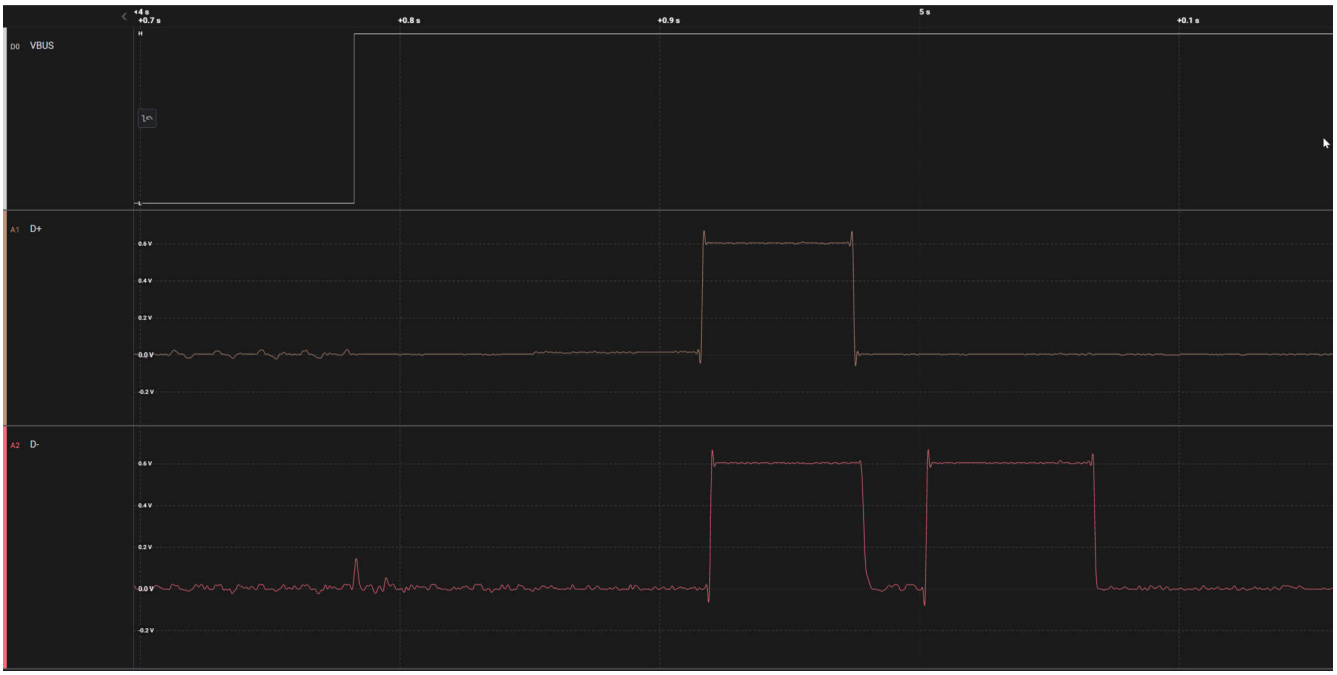


図 9-10. BC1.2 CDP アドバタイズメント

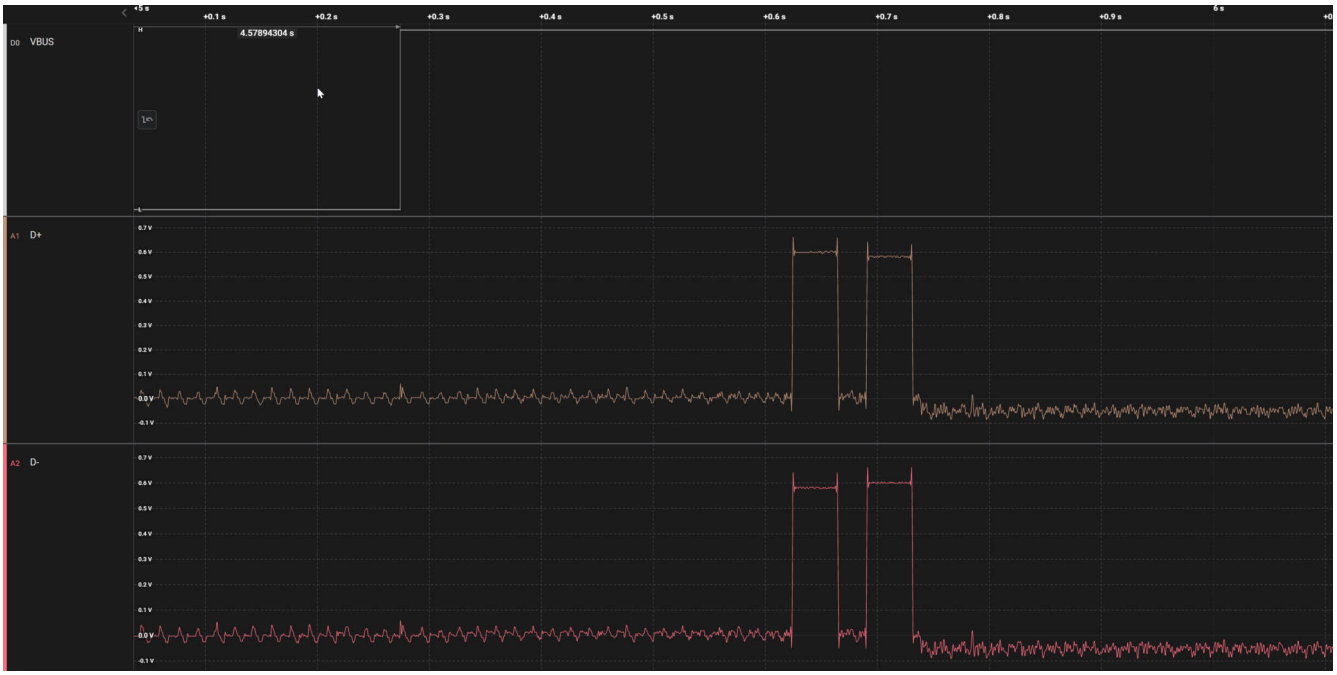


図 9-11. BC1.2 DCP 検出

Copyright © 2026 Texas Instruments Incorporated

9.2.3.2 BC1.2 アプリケーション曲線を (続き)

以下のプロットは、TPS25751A を使用した BC1.2 のアドバタイズメントと検出を示しています。



図 9-12. BC1.2 CDP 検出

Copyright © 2026 Texas Instruments Incorporated

9.2.3.3 USB データ サポート アプリケーション曲線

以下に、USB SuperSpeed マルチプレクサで使用される制御信号を示します。通常の向きでは、CC1 ピンが接続されます。反転方向の場合、CC2 ピンを接続します。

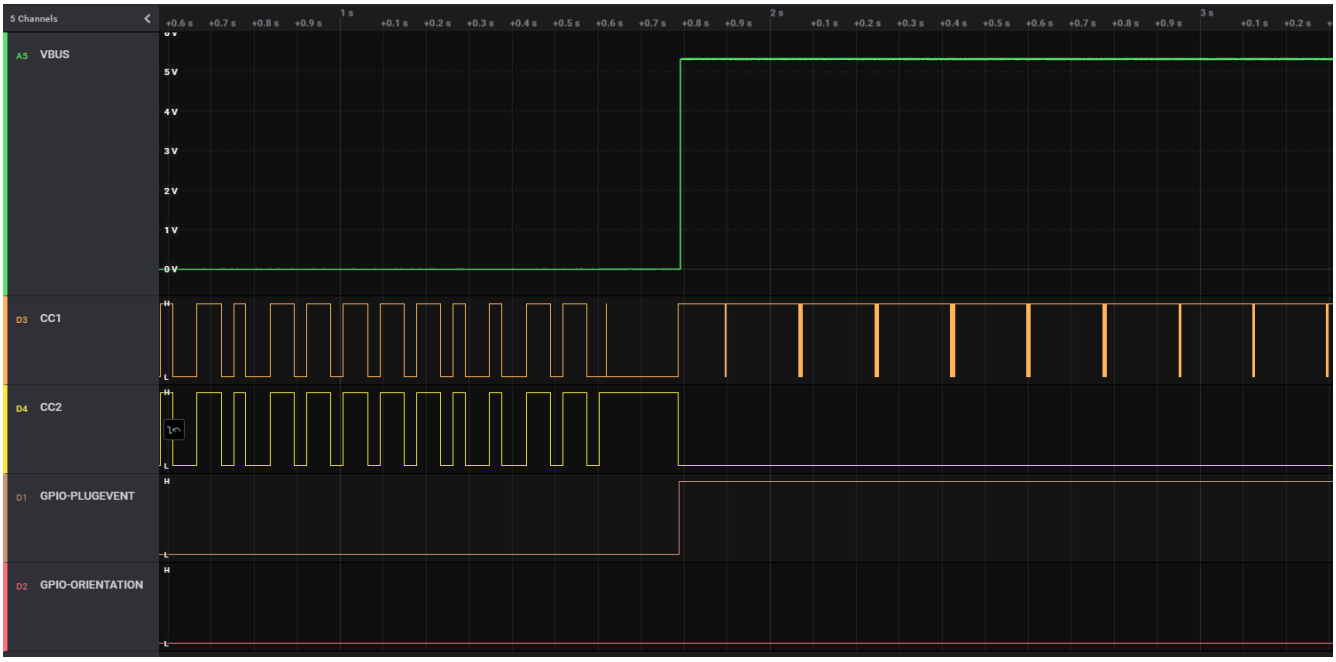


図 9-13. USB SuperSpeed マルチプレクサ制御 - 通常の向き



図 9-14. USB SuperSpeed マルチプレクサ制御 - 反転方向

9.3 電源に関する推奨事項

9.3.1 3.3V 電源

9.3.1.1 VIN_3V3 入力スイッチ

VIN_3V3 入力は、TPS25751A デバイスのメイン電源です。VIN_3V3 スイッチ (セクション 8.3.2 を参照) は VIN_3V3 から LDO_3V3 に単方向スイッチであり、LDO_3V3 から VIN_3V3 に電流が逆方向に流れることを許可しません。このスイッチは、3.3V 電源が利用可能であり、かつバッテリ切れフラグがクリアされている場合にオンになります。推奨容量の C_{VIN_3V3} (セクション 6.4 を参照) を、VIN_3V3 ピンと GND ピンの間に接続する必要があります。VBUS から VIN_3V3 に電力を供給しないでください。

9.3.2 1.5V 電源

内部回路は、1.5V から電力を供給されます。1.5V LDO は、LDO_3V3 から 1.5V に降圧します。1.5V LDO は、デジタル コアおよびメモリを含むすべての内部低電圧デジタル回路に電力を供給します。この 1.5V LDO は、すべての内部低電圧アナログ回路にも電力を供給します。LDO_1V5 ピンと GND ピンの間に、推奨容量 C_{LDO_1V5} (セクション 6.4 参照) を接続してください。

9.3.3 電源の負荷容量の推奨値

セクション 6.4 各種電源の推奨基板容量を示します。標準容量は公称定格容量で、基板上でピンのできるだけ近くに配置する必要があります。最大容量が指定されたピンでは、最大容量を超えないようにする必要があります。最小容量とは、許容誤差と電圧ディレーティングを考慮した上で、正常な動作を保証するために必要な最小の容量です。

9.4 レイアウト

9.4.1 TPS25751AD - レイアウト

9.4.1.1 レイアウトのガイドライン

適切な配線と配置により、高速信号のシグナル インテグリティを維持し、パワー パスからの放熱を改善できます。以下のガイドラインに従うことで、電力と高速データ信号の組み合わせを簡単に配線できます。基板メーカーに相談して、製造能力を検証することがベスト プラクティスです。

9.4.1.1.1 推奨ビア サイズ

VBUS の電源経路およびグランドの電流を適切に流すため、適切なビア ステッチングを推奨します。推奨される最小ビア サイズを以下に示しますが、より大きいビアを選択することも低密度の PCB 設計のオプションとなります。1 つのビアで 1A を伝送できるため、基板製造時の許容誤差を検証できます。PD コントローラの近くに配置する場合は、ビアをテンティングすることが勧められます。

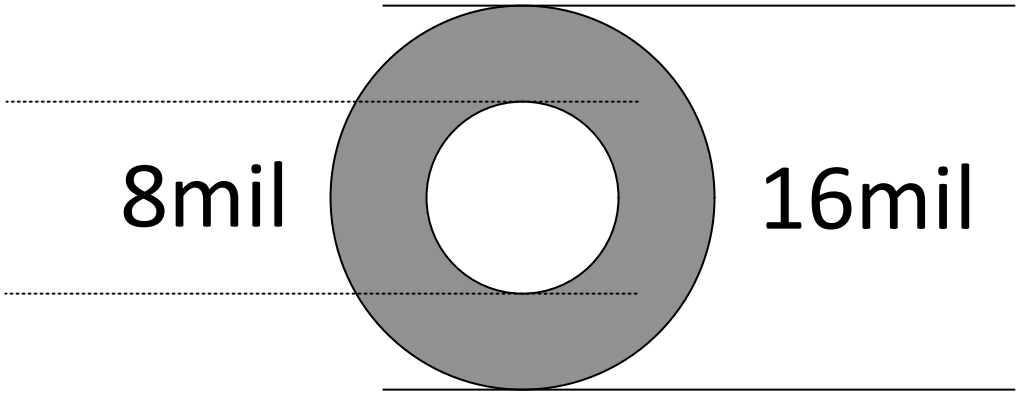


図 9-15. 推奨される最小ビア サイズ

Copyright © 2026 Texas Instruments Incorporated

9.4.1.1.2 最小トレース幅

以下に、アナログ ピンとデジタル ピンの最小トレース幅を示します。トレース幅の制限は、使用する基板製造プロセスによっても定義されます。最小トレース幅と許容誤差を決定する際は、メーカにお問い合わせください。

表 9-3. 最小トレース幅

配線	最小幅 (mil)
CC1、CC2	10
VIN_3V3、LDO	10
部品 GND	16
GPIO	4

9.4.1.2 レイアウト例

9.4.1.2.1 TPS25751AD 回路図レイアウト例

Super/High Speed 信号については、それぞれの規格 (USB2.0) で定義された差動インピーダンスに従ってください。すべての I/O は、全ピンの配線例を示すためにファンアウトされていますが、すべての設計で TPS25751A D のすべての I/O を使用するわけではありません。

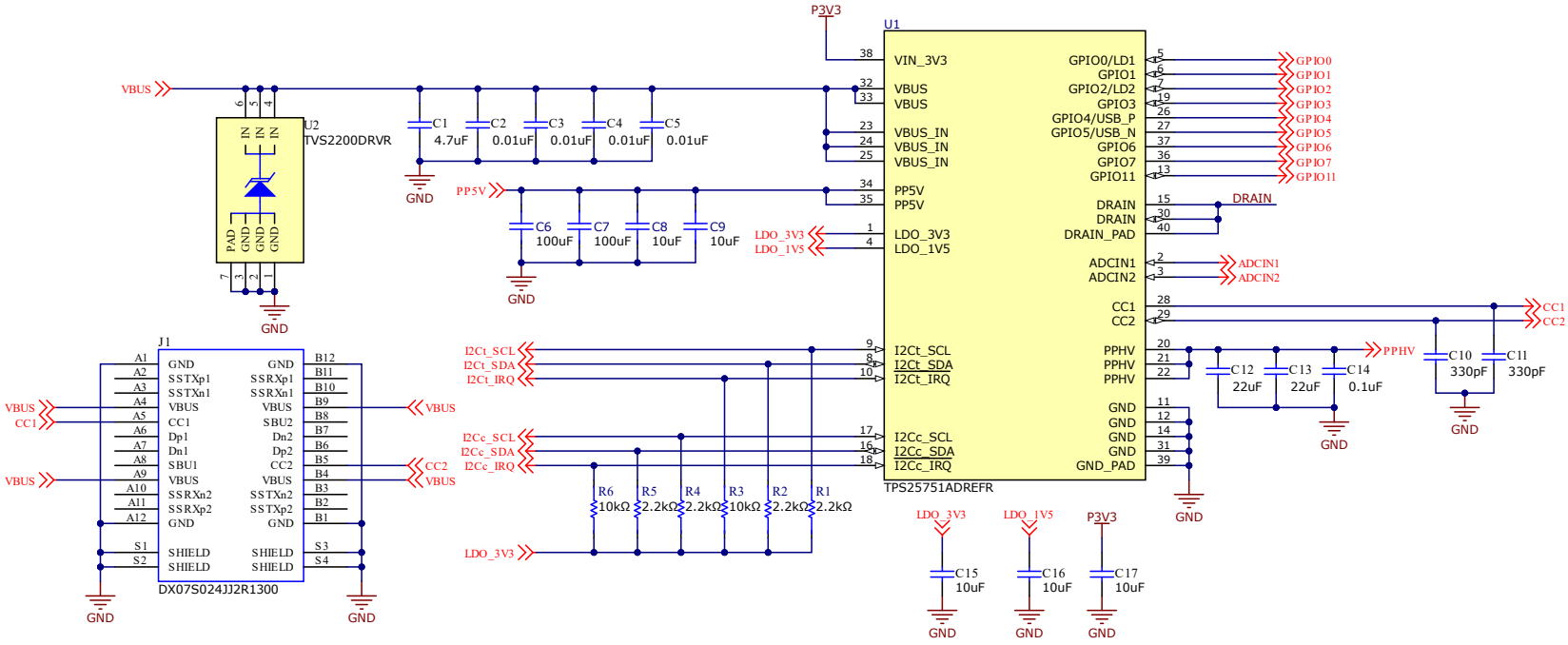


図 9-16. TPS25751AD の回路図例

Copyright © 2026 Texas Instruments Incorporated

9.4.1.2.2 TPS25751AD レイアウト例 — PCB プロット

以下の TPS25751AD PCB レイアウト図は、推奨レイアウト、配置、配線を示しています。

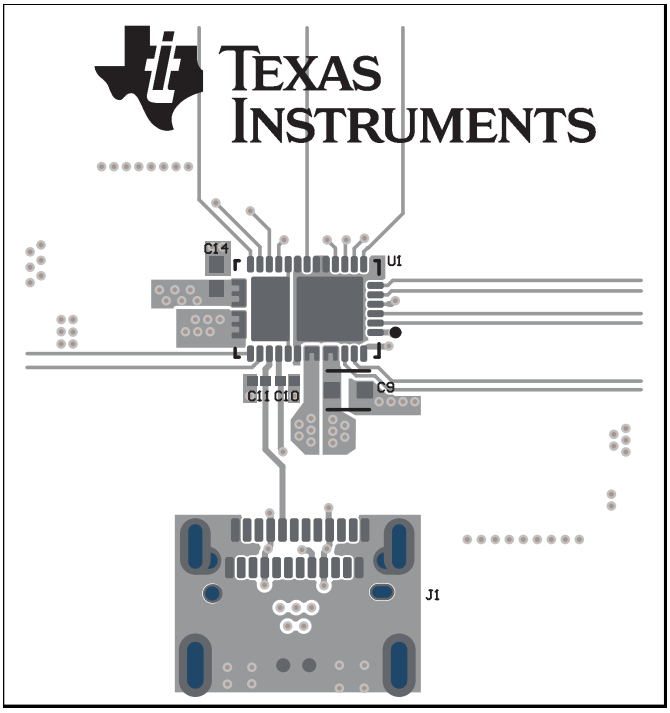


図 9-17. TPS25751AD PCB レイアウト — 上面コンポジット

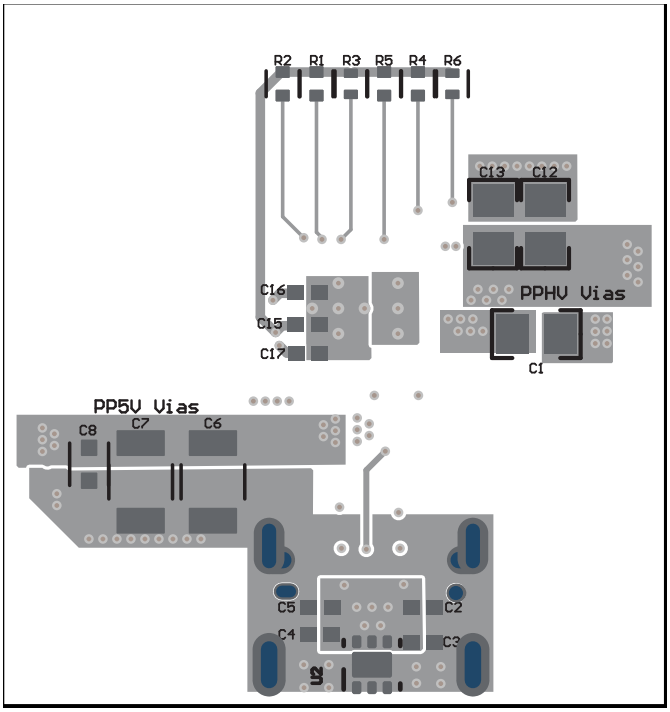


図 9-18. TPS25751AD PCB レイアウト — 底面コンポジット

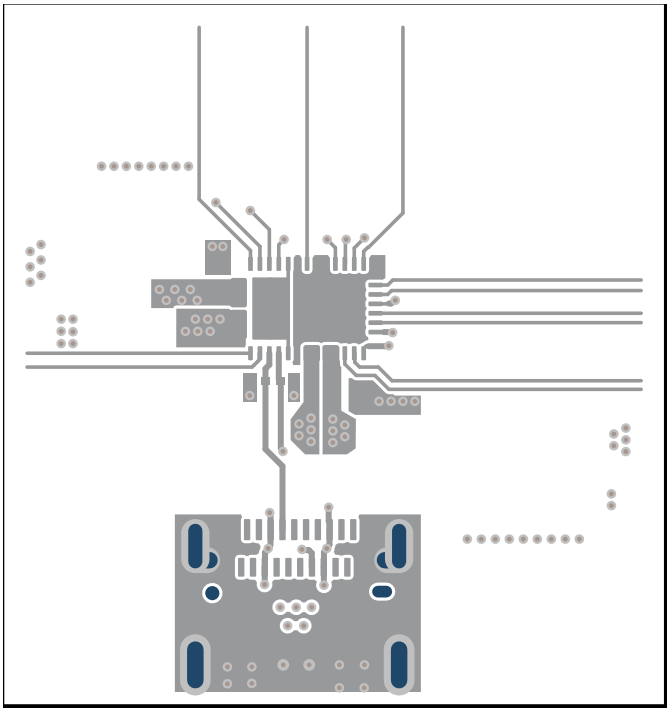


図 9-19. TPS25751AD PCB レイアウト — 上層ルーティング

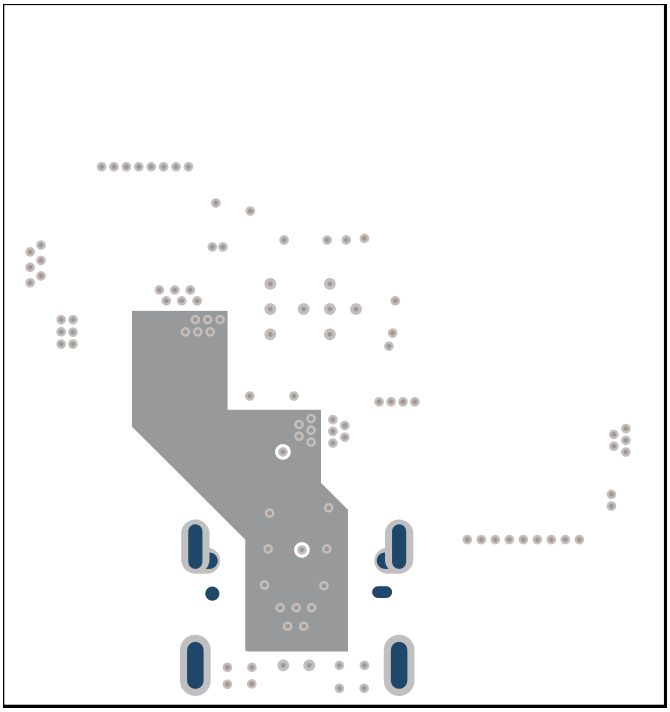


図 9-20. TPS25751AD PCB レイアウト — 内部電源層

Copyright © 2026 Texas Instruments Incorporated

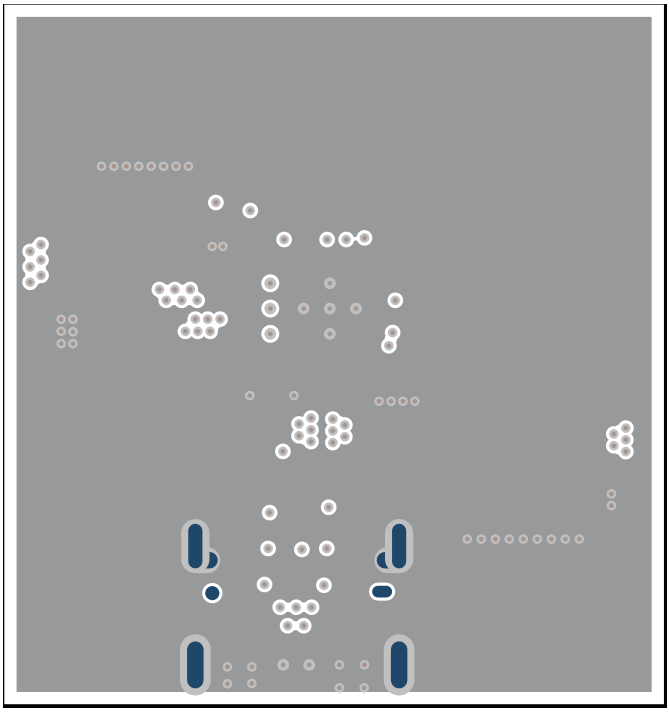


図 9-21. TPS25751AD PCB レイアウト — GND 層

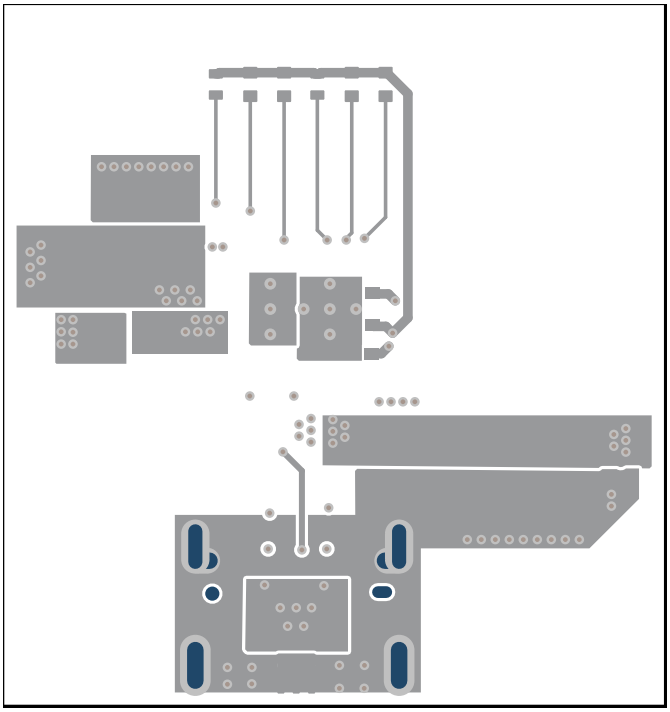


図 9-22. TPS25751AD PCB レイアウト — 底面層

Copyright © 2026 Texas Instruments Incorporated

9.4.1.2.2.1 TPS25751AD 部品の配置

LDO_1V5 (ピン 4)、LDO_3V3 (ピン 1)、VIN_3V3 (ピン 38)

最適な性能を得るために、LDO_3V3、LDO_1V5、VIN_3V3 (それぞれ C15、C16、C17) のデカップリング コンデンサは、TPS25751AD デバイスのできるだけ近くに配置する必要があります。ソリューションのサイズを最小限に抑えるため、デカップリング コンデンサは最下層に配置し、そのグランド パッドは TPS25751AD のグランド パッドの真下に配置します。別の層に配置する場合は、TPS25751AD からデカップリング コンデンサへの各ピンにつき、ビアは最大 1 つまでとしてください。これら 3 本のパターンを配線する際は、パターン幅を最低でも 10mil とし、可能であれば 16mil を推奨します。

CC1 (ピン 28) および CC2 (ピン 29)

CC1 (C11) および CC2 (C10) コンデンサは、それぞれのピンのできるだけ近くに、TPS25751AD デバイスと同じ層に配置する必要があります。CCx パターンを配線する際は、TPS25751AD の CCx ピンから CCx コンデンサまでの間で、別のレイヤへビアを使用しないでください。CCx コンデンサが CC パターンの外側に配置されてアンテナのようにならないよう確認してください。代わりに、レイアウト例に示すように、パターンが CCx コンデンサのパッドを直接通過するようにしてください (「TPS25751AD PCB レイアウト — 上部コンポジット」を参照)。Vconn サポート (5V/0.6A) を有効にするには、最低 10mil の配線幅を使用してください。

9.4.1.2.2.2 TPS25751AD PP5V

10µF のデカップリング コンデンサ (C9) は、TPS25751AD の PP5V ピンのできるだけ近くに配置する必要があります。PP5V 用の配線パターンは使用しないでください。PP5V の電源プレーンは、最大 3.6A (ソース用最大 3A、Vconn 用 600mA) に対応できるように設計する必要があります。PP5V ピン (ピン 34 と 35) を 5V 電源プレーンに接続する場合は、電流共有を向上させるため、少なくとも 4 つのビアを並列に、デバイスの近くで使用します。他のビアや配線によって生じるボトルネックを最小限に抑えます。大きなボトルネックは電源プレーンの効率を低下させます。

バルク コンデンサ (C6、C7、C8) は、システムの 5V レールからの容量を表し、これらは同じ PP5V 電源プレーン上の TPS25751AD から離して配置されています。配置およびパターンの参照については、図 9-17 および図 9-18 を参照してください。

9.4.1.2.2.3 TPS25751AD PPHV

PPHV デカップリング コンデンサ (C12、C13、C14) は TPS25751AD のできるだけ近くに配置します。これらのコンデンサはデバイスと同じ層に配置する必要はありません。PPHV 電源プレーンは、最大 5A の電流をサポートできるようにサイズを設定する必要があります。PPHV プレーンを別の層に接続する場合、層を変更するごとに最低 6 個のビアを並列で使用します。電流共有と効率を向上させるため、可能であれば層間変更用のビアを 6 つ以上設けることを強くお勧めします。

9.4.1.2.2.4 TPS25751AD VBUS

VBUS (ピン 32 と 33) および VBUS_IN (ピン 23、24、25)

VBUS デカップリング コンデンサ (C1) は、デバイス TPS25751A D のできるだけ近くに配置してください。コンデンサはデバイスと同じ層にある必要はありません。100W のアプリケーションが必要な場合、VBUS 電源プレーンは最大 5A の電流をサポートできるように設計する必要があります。VBUS ピン (ピン 32 および 33) のプレーンを別の層に接続する場合は、層変更ごとに最低 3 個のビアを使用します。VBUS_IN ピン (ピン 23、24 および 25) のプレーンを別の層に接続する場合は、層変更ごとに最低 6 個のビアを使用します。コンデンサとビアの配置については、図 9-17 および図 9-18 を参照してください。

Type-C ポート/コネクタでは、レイヤー変更のためにコネクタの VBUS ピンから最低 6 つのビアを使用することを推奨します。図 9-18 に示すように、10nF のコンデンサ (C2、C3、C4、C5) と 22V の TVS ダイオード (U2) を、コネクタの VBUS ピンのできるだけ近くに配置してください。

Type-C コネクタから TPS25751AD VBUS ピンに VBUS 電源プレーンを配線するときは、他のビアやパターンによって生じるボトル ネックを最小限に抑えて電流フローを改善してください。図 9-20 では、内部層を使用して、コネクタから TPS25751AD へ VBUS プレーンを配線しています。

Copyright © 2026 Texas Instruments Incorporated

9.4.1.2.2.5 TPS25751AD I/O (I2C、ADCIN、GPIO)

I2C、ADCIN1/2、GPIO の各ピン

TPS25751AD からこれらのパターンを離し、必要に応じてビアを使用してネットを配線層に接続します。これらのネットには、4mil ～ 10mil のパターン幅を使用します。

I2Cc_SDA/SCL/IRQ (ピン 8、9、10) および I2Ct_SCL/SDA/IRQ (ピン 16、17、18)

I2C 通信の問題を回避するために、パターン幅の変更を最小限に抑えます。

ADCIN1 および ADCIN2 (ピン 2 および 3)

ADCINx パターンをスイッチング素子から離して配置します。分圧抵抗を使用する場合、LDO_3V3 または LDO_1V5 の近くに分圧器を配置します。

GPIO (ピン 5、6、7、19、26、27、37、36、13)

パターン幅で並列に配線される個別の GPIO パターン。GPIOx トレースをスイッチング素子から離して配置します。

9.4.1.2.2.6 TPS25751AD ドレイン

ドレインパッドを使用して、内部の高電圧パワーパス (PPHV) の熱を放散します。ドレインピン (ピン 15 と 30) を、TPS25751AD デバイスの下にあるドレインパッドに接続します。上層のドレインパッドから伸びるスルーホールビアを下層の銅箔パターンに接続することで、放熱を促進します。放熱性を向上させるため、ビアを追加することもできます。

9.4.1.2.2.7 TPS25751AD GND

GND パッドは、TPS25751AD デバイスの熱を放散するために使用します。GND ピン (パッケージ 11、12、14、31) を TPS25751AD デバイスの下のグランド パッドに接続します。熱を放散するため、最上層のグランド パッドから、スルーホール ビアを最下層の銅箔に接続します。放熱性を向上させるため、ビアを追加することもできます。

9.4.2 TPS25751AS - レイアウト

9.4.2.1 レイアウトのガイドライン

適切な配線と配置により、高速信号のシグナル インテグリティを維持し、パワー パスからの放熱を改善できます。以下のガイドラインに従うことで、電力と高速データ信号の組み合わせを簡単に配線できます。基板メーカーに相談して、製造能力を検証することがベスト プラクティスです。

9.4.2.1.1 推奨ビア サイズ

VBUS の電源経路およびグランドの電流を適切に流すため、適切なビア ステッチングを推奨します。推奨される最小ビア サイズを以下に示しますが、より大きいビアを選択することも低密度の PCB 設計のオプションとなります。1 つのビアで 1A を伝送できるため、基板製造時の許容誤差を検証できます。PD コントローラの近くに配置する場合は、ビアをテンティングすることが勧められます。

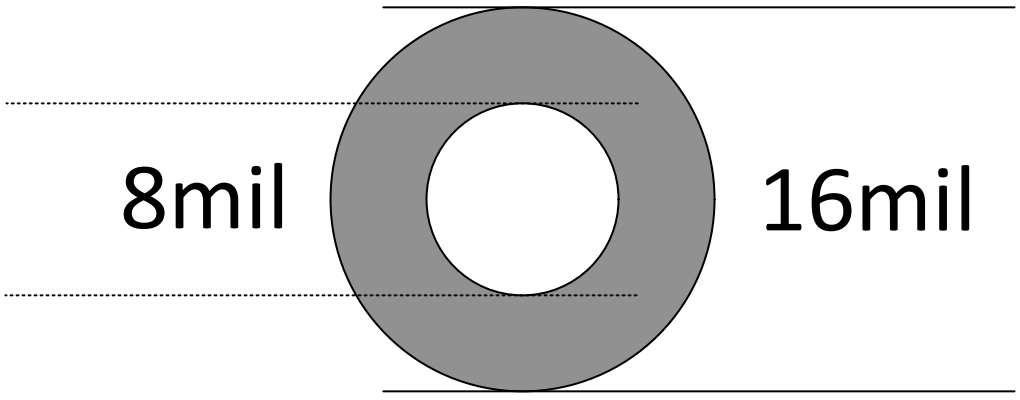


図 9-23. 推奨される最小ビア サイズ

9.4.2.1.2 最小トレース幅

以下に、アナログ ピンとデジタル ピンの最小トレース幅を示します。トレース幅の制限は、使用する基板製造プロセスによっても定義されます。最小トレース幅と許容誤差を決定する際は、メーカにお問い合わせください。

表 9-4. 最小トレース幅

配線	最小幅 (mil)
CC1、CC2	10
VIN_3V3、LDO	10
部品 GND	16
GPIO	4

Copyright © 2026 Texas Instruments Incorporated

9.4.2.2 レイアウト例

9.4.2.2.1 TPS25751AS 回路図レイアウト例

Super/High Speed 信号については、それぞれの規格 (USB2.0) で定義された差動インピーダンスに従ってください。すべての I/O は、すべてのピンを配線する例を示すためにファンアウトされています。すべての設計で TPS25751AS のすべての I/O を利用しているわけではありません。

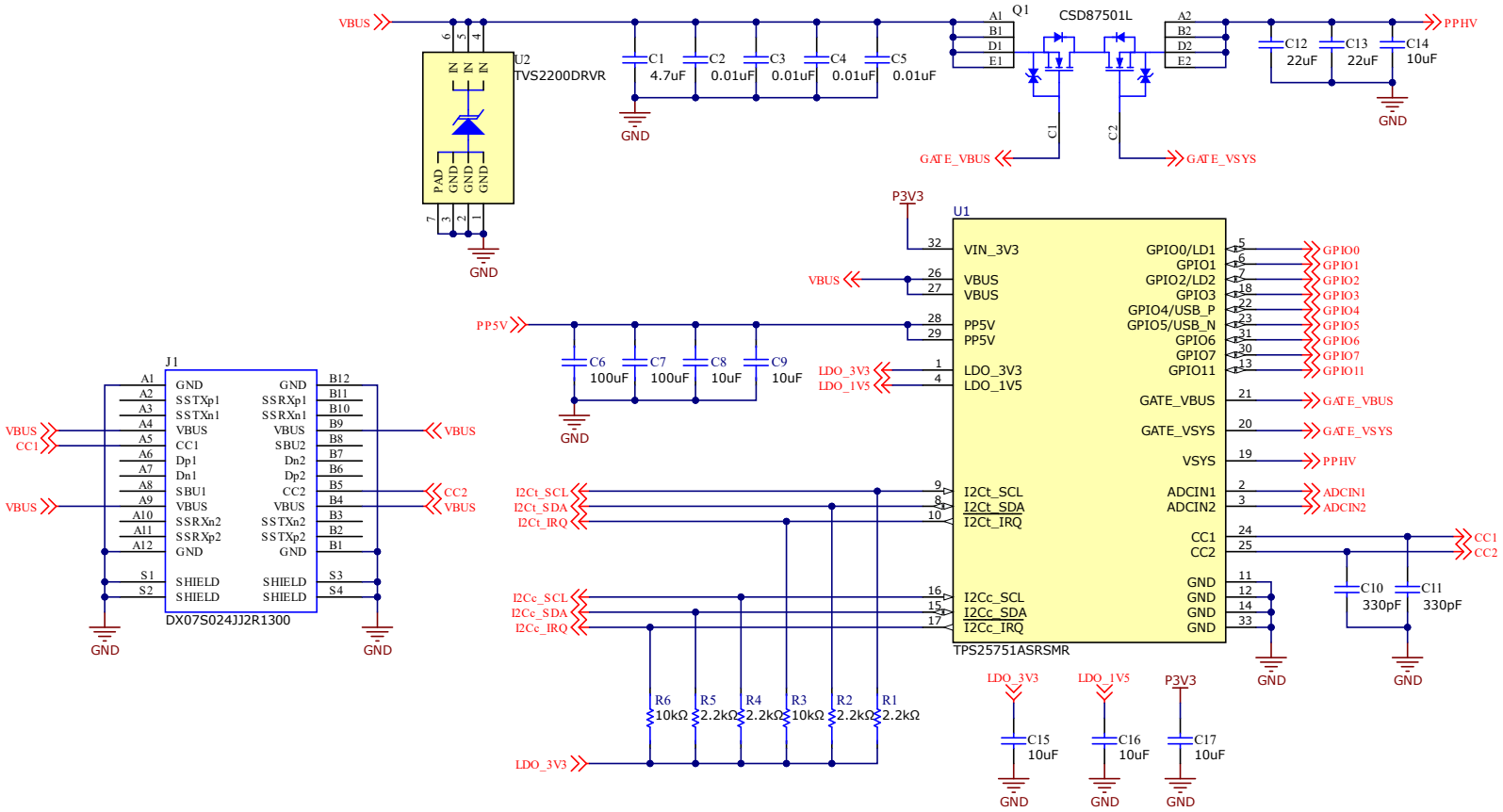


図 9-24. TPS25751AS 回路図の例

9.4.2.2.2 TPS25751AS レイアウト例 — PCB プロット

以下の TPS25751AS PCB レイアウト図は、推奨レイアウト、配置、配線を示しています。

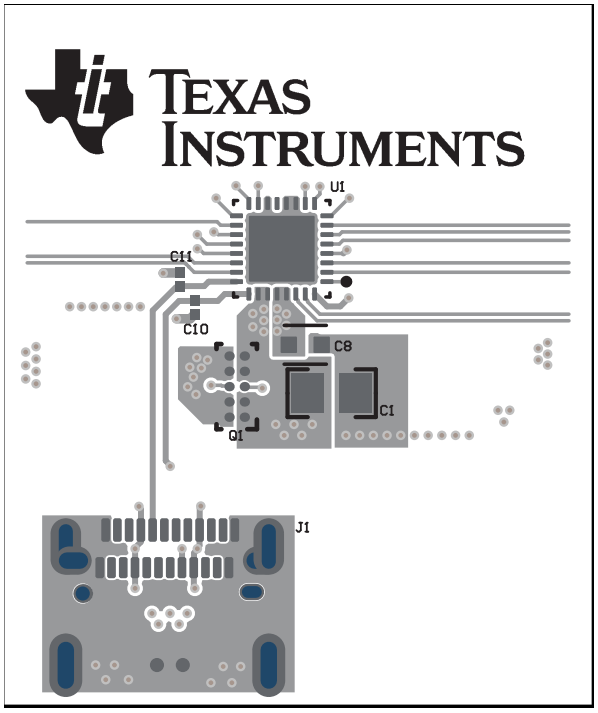


図 9-25. TPS25751AS PCB レイアウト — 上面コンポジット

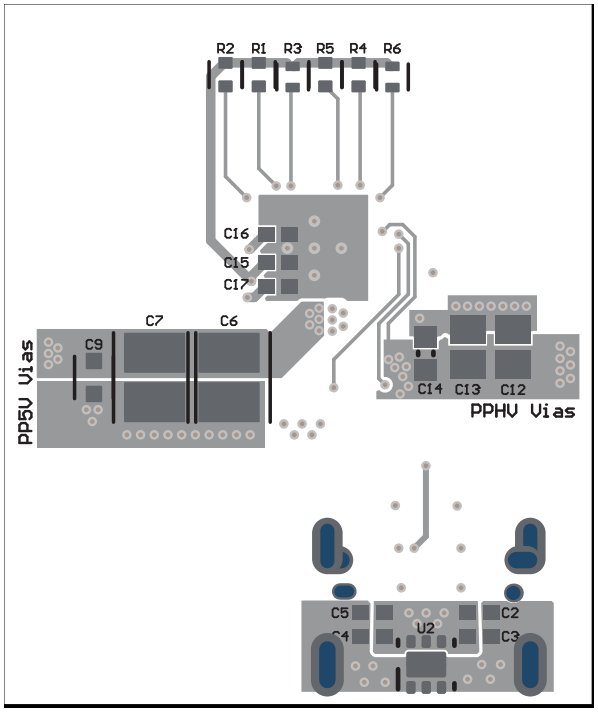


図 9-26. TPS25751AS PCB レイアウト — 底面コンポジット

Copyright © 2026 Texas Instruments Incorporated

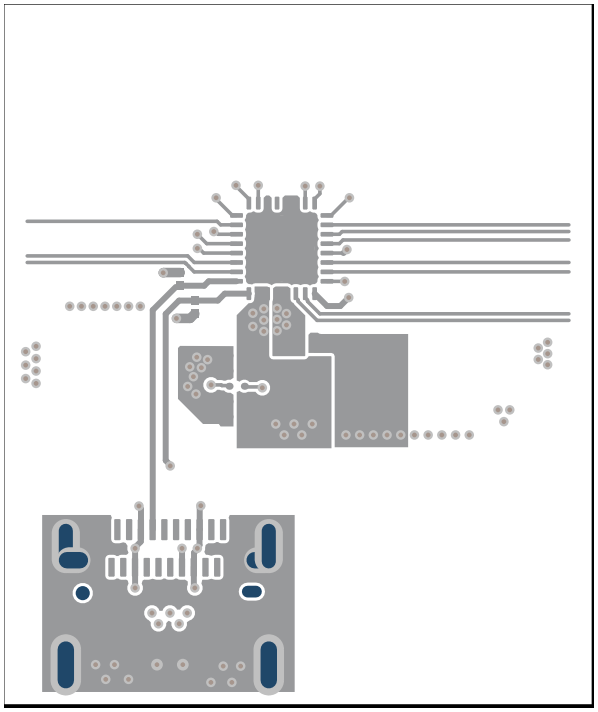


図 9-27. TPS25751AS PCB レイアウト — 上層ルーティング

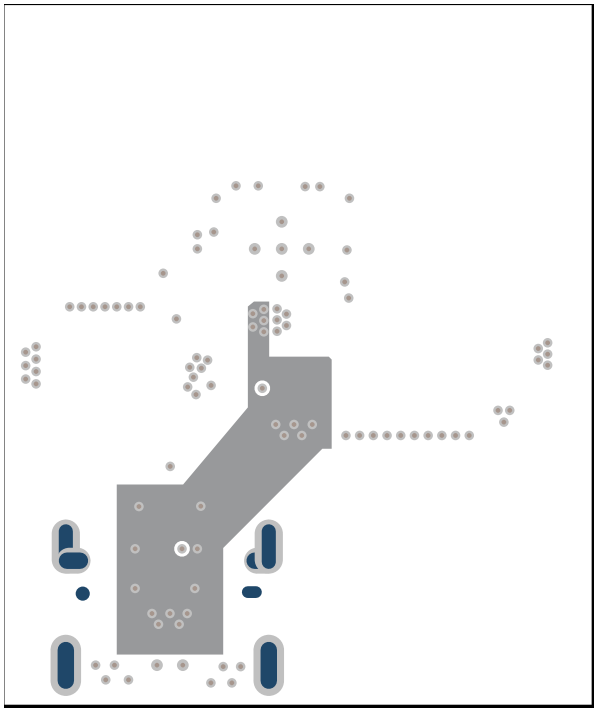


図 9-28. TPS25751AS PCB レイアウト — 内部電源層

Copyright © 2026 Texas Instruments Incorporated

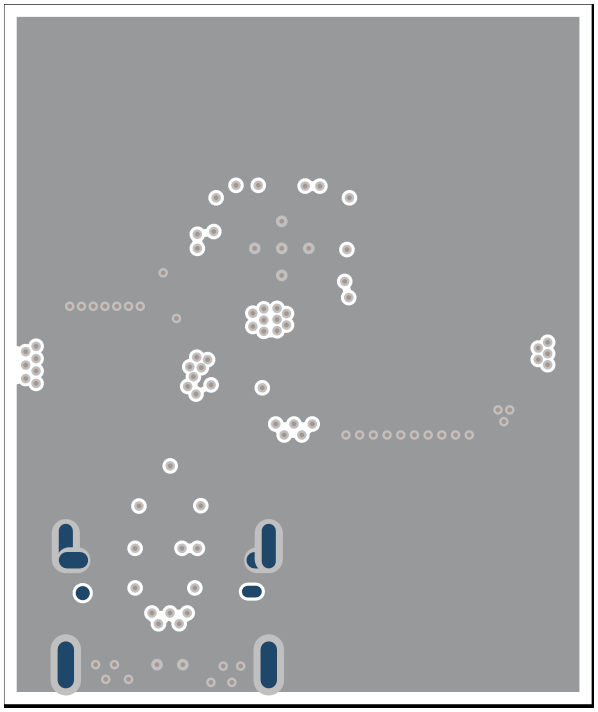


図 9-29. TPS25751AS PCB レイアウト — GND 層

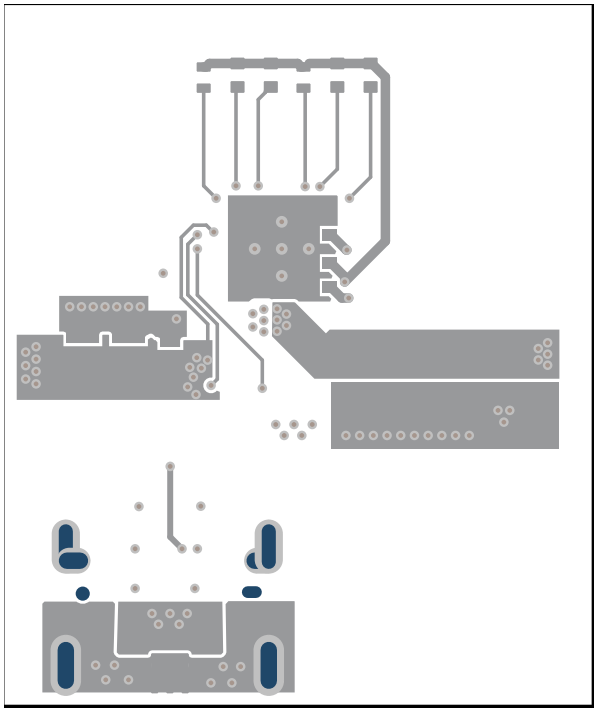


図 9-30. TPS25751AS PCB レイアウト — 底面層

Copyright © 2026 Texas Instruments Incorporated

9.4.2.2.2.1 TPS25751AS 部品の配置

LDO_1V5 (ピン 4)、LDO_3V3 (ピン 1)、VIN_3V3 (ピン 32)

最適な性能を得るために、LDO_3V3、LDO_1V5、VIN_3V3 (それぞれ C15、C16、C17) のデカップリング コンデンサは、TPS25751AS デバイスのできるだけ近くに配置する必要があります。ソリューションのサイズを最小限に抑えるため、デカップリング コンデンサは最下層に配置し、そのグランド パッドは TPS25751AS のグランド パッドの真下に配置します。別の層に配置する場合は、TPS25751AS からデカップリング コンデンサへの各ピンにつき、ビアは最大 1 つまでとしてください。これら 3 本のパターンを配線する際は、パターン幅を最低でも 10mil とし、可能であれば 16mil を推奨します。

CC1 (ピン 24) および CC2 (ピン 25)

CC1 (C11) および CC2 (C10) コンデンサは、それぞれのピンのできるだけ近くに、TPS25751AS デバイスと同じ層に配置する必要があります。CCx パターンを配線する際は、TPS25751AS の CCx ピンから CCx コンデンサまでの間で、別のレイヤへビアを使用しないでください。CCx コンデンサが CC パターンの外側に配置されてアンテナのようにならないよう確認してください。代わりに、レイアウト例に示すように、パターンが CCx コンデンサのパッドを直接通過するようにしてください (図 9-25 参照)。Vconn サポート (5V/0.6A) を有効にするには、最低 10mil の配線幅を使用してください。

9.4.2.2.2.2 TPS25751AS PP5V

10µF のデカップリング コンデンサ (C8) は、TPS25751AS の PP5V ピンのできるだけ近くに配置する必要があります。PP5V 用の配線パターンは使用しないでください。PP5V の電源プレーンは、最大 3.6A (ソース用最大 3A、Vconn 用 600mA) に対応できるように設計する必要があります。PP5V ピン (ピン 28 と 29) を 5V 電源プレーンに接続する場合は、電流共有を向上させるため、少なくとも 4 つのビアを並列に、デバイスの近くで使用します。他のビアや配線によって生じるボトルネックを最小限に抑えます。大きなボトルネックは電源プレーンの効率を低下させます。バルク コンデンサ (C6、C7、C9) は、システムの 5V レールからの容量を表し、これらは同じ PP5V 電源プレーン上の TPS25751AS から離して配置されています。配置およびパターンの参照については、図 9-25 および図 9-26 を参照してください。

9.4.2.2.2.3 TPS25751AS PP_EXT

PP_EXT デカップリング コンデンサ (C12、C13、C14) は、TPS25751AS のできるだけ近くに配置してください。これらのコンデンサは、デバイスと同じ層にある必要はありません。PP_EXT 電源プレーンは、最大 5A の電流をサポートできるようにサイズを設定する必要があります。PP_EXT プレーンを別の層に接続する場合、層を変更するごとに最低 6 個のビアを並列で使用します。電流共有と効率を向上させるため、可能であれば層間変更用のビアを 6 つ以上設けることを強くお勧めします。

VSYS (ピン 19)

VSYS ピン (ピン 19) は、配線 (推奨配線幅 6mil) で PPHV プレーン上の任意のビアに接続できます。逆電流検出保護を向上させるため、VSYS N チャネル MOSFET のソースピン (例の回路図の Q1 FET のピン A2、B2、D2、E2) に近いビアに接続することをお勧めします。RCP の詳細については、『RCP の詳細な説明』を参照してください。

9.4.2.2.2.4 TPS25751AS VBUS

VBUS (ピン 26 および 27)

VBUS デカップリング コンデンサ (C1) は、TPS25751AS のできるだけ近くに配置してください。コンデンサはデバイスと同じ層にある必要はありません。100W のアプリケーションが必要な場合、VBUS 電源プレーンは最大 5A の電流をサポートできるように設計する必要があります。VBUS ピン (ピン 26 および 27) のプレーンを別の層に接続する場合は、層変更ごとに最低 3 個のビアを使用します。VBUS 電源プレーンを別のレイヤーに接続する場合は、レイヤー変更ごとに最低 6 つのビアを使用してください。コンデンサとビアの配置については、図 9-25 および図 9-26 を参照してください。

Type-C ポート/コネクタでは、レイヤー変更のためにコネクタの VBUS ピンから最低 6 つのビアを使用することを推奨します。図 9-26 に示すように、10nF のコンデンサ (C2、C3、C4、C5) と 22V の TVS ダイオード (U2) を、コネクタの VBUS ピンのできるだけ近くに配置してください。

Copyright © 2026 Texas Instruments Incorporated

Type-C コネクタから TPS25751AS VBUS ピンへ VBUS 電源プレーンを配線する際は、他のビアや配線によるボトルネックを最小限に抑え、電流の流れを改善してください。図 9-28 に示すレイアウト例は、コネクタから TPS25751AS に VBUS プレーンを配線するためのものです。

9.4.2.2.2.5 TPS25751AS I/O

I2C、ADCIN1/2、GPIO の各ピン

TPS25751AS からこれらのパターンを離し、必要に応じてビアを使用してネットを配線層に接続します。これらのネットには、4mil ～ 10mil のパターン幅を使用します。

I2Cc_SDA/SCL/IRQ (ピン 8、9、10) および I2Ct_SCL/SDA/IRQ (ピン 15、16、17)

I2C 通信の問題を回避するために、パターン幅の変更を最小限に抑えます。

ADCIN1 および ADCIN2 (ピン 2 および 3)

ADCINx パターンをスイッチング素子から離して配置します。分圧抵抗を使用する場合、LDO_3V3 または LDO_1V5 の近くに分圧器を配置します。

GPIO (ピン 5、6、7、13、18、22、23、30、31)

パターン幅で並列に配線される個別の GPIO パターン。GPIOx トレースをスイッチング素子から離して配置します。

9.4.2.2.2.6 TPS25751AS PPEXT ゲートドライバ

GATE_VSYS (ピン 20)

GATE_VSYS ピン (ピン 20) は、PPHV にソースを接続した N チャネル MOSFET のゲートピンに、パターン (推奨パターン幅 6mil) で接続できます。N チャネル MOSFET の GATE ピンに直接接続**しないこと**をお勧めします。代わりにビアを使用して、TPS25751AS から N チャネル MOSFET のゲート ピンに GATE_VSYS ピンを接続することをお勧めします。パターンの接続方法の例については、図 9-25 および図 9-26 を参照してください。

GATE_VBUS (ピン 21)

GATE_VBUS ピン (ピン 21) は、VBUS にソースを接続した N チャネル MOSFET のゲート ピンに、パターン (推奨パターン幅 6mil) で接続できます。N チャネル MOSFET の GATE ピンに直接接続**しないこと**を推奨します。代わりに、GATE_VBUS ピンを TPS25751AS から N チャネル MOSFET の GATE ピンに接続するためにビアを使用することをお勧めします。パターンの接続方法の例については、図 9-25 および図 9-26 を参照してください。

9.4.2.2.2.7 TPS25751AS GND

GND パッドは、TPS25751AS デバイスの熱を放散するために使用します。GND ピン (11、12、14) を TPS25751AS デバイスの下のグランド パッドに接続します。熱を放散するため、最上層のグランド パッドから、スルーホール ビアを最下層の銅箔に接続します。放熱性を向上させるため、ビアを追加することもできます。

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントのサポート

10.2.1 関連資料

- 『USB-PD 仕様』
- 『USB パワー デリバリ仕様』

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2026	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS25751ADREFR	Active	Production	WQFN (REF) | 38	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	25751A D
TPS25751ASRSMR	Active	Production	VQFN (RSM) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	25751A S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

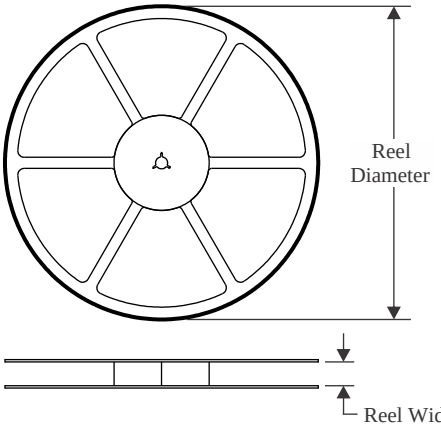
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

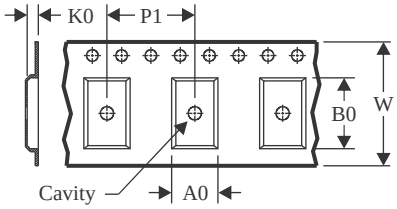
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

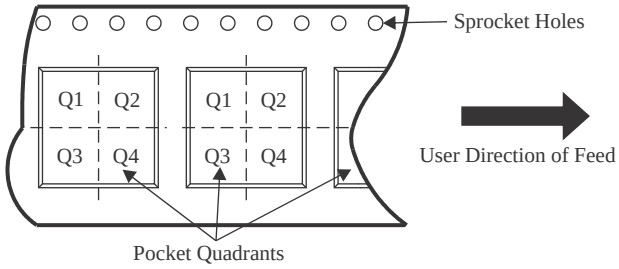


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

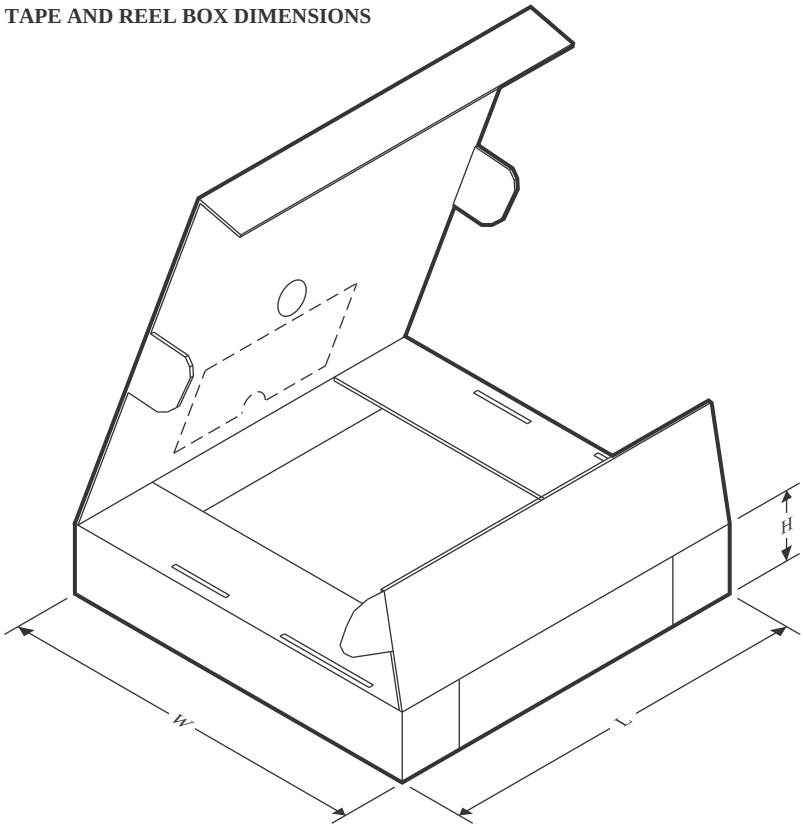
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS25751ADREFR	WQFN	REF	38	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TPS25751ASRSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

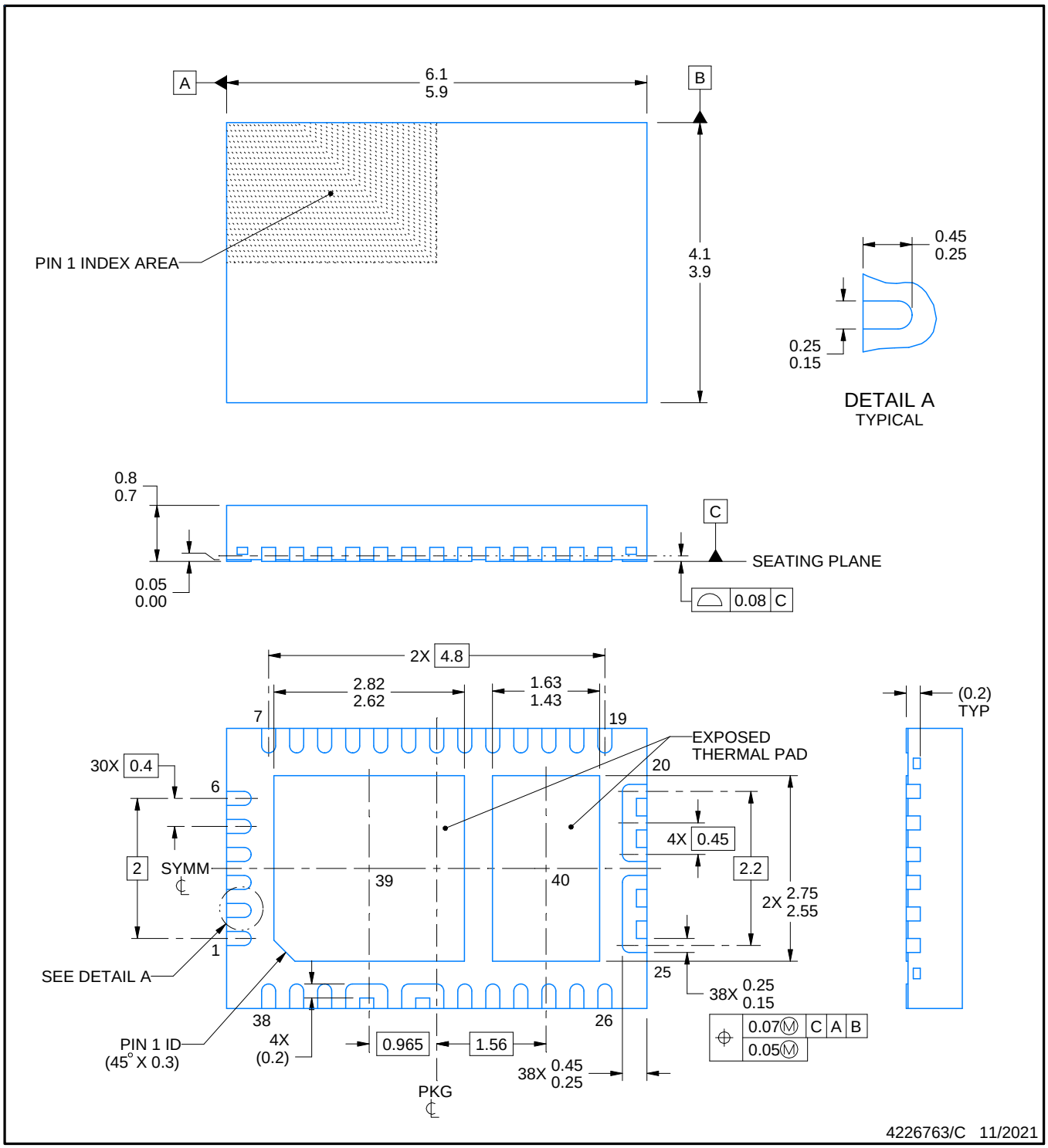
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS25751ADREFR	WQFN	REF	38	3000	360.0	360.0	36.0
TPS25751ASRSMR	VQFN	RSM	32	3000	360.0	360.0	36.0

REF0038A

PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

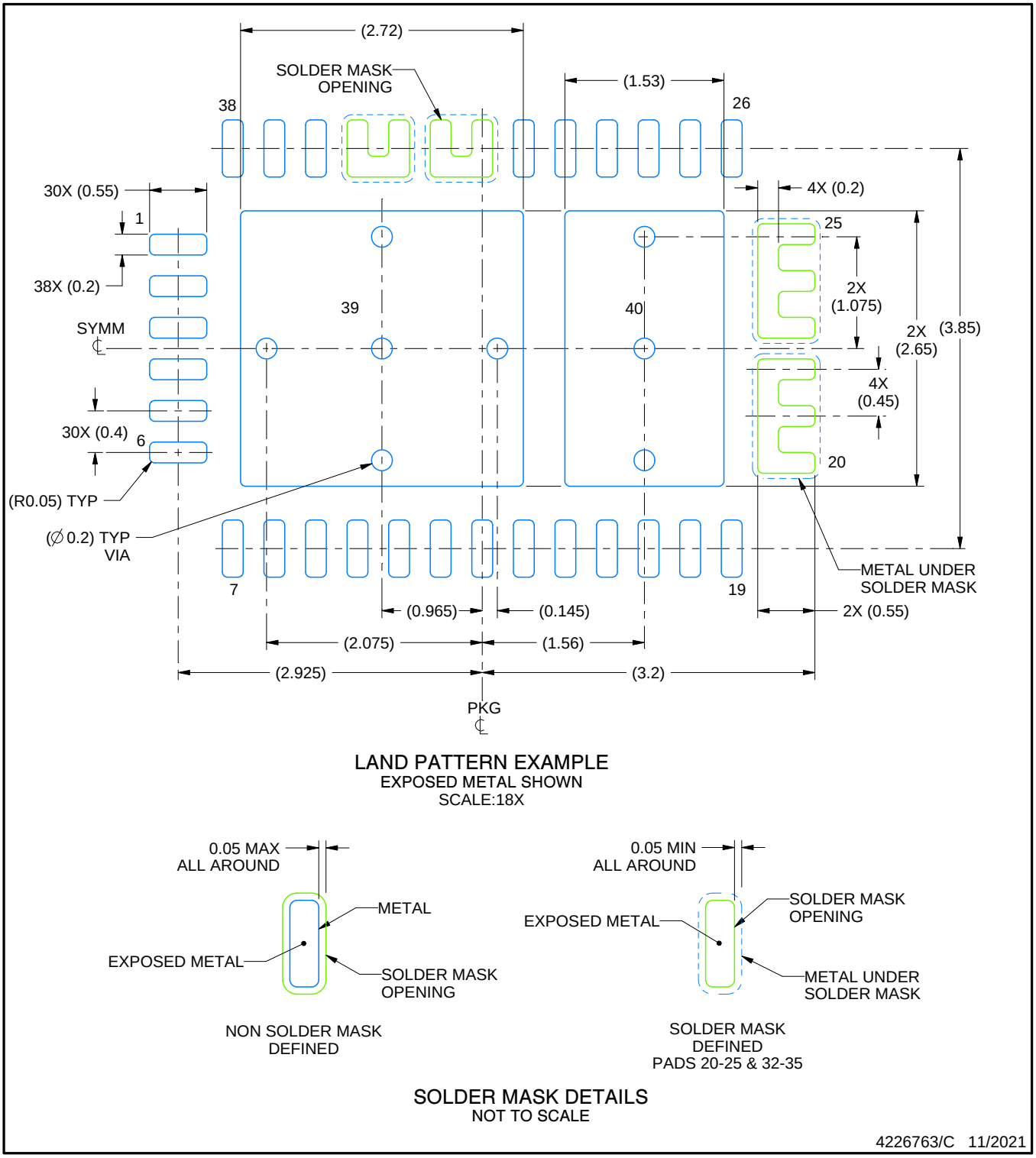
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

REF0038A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

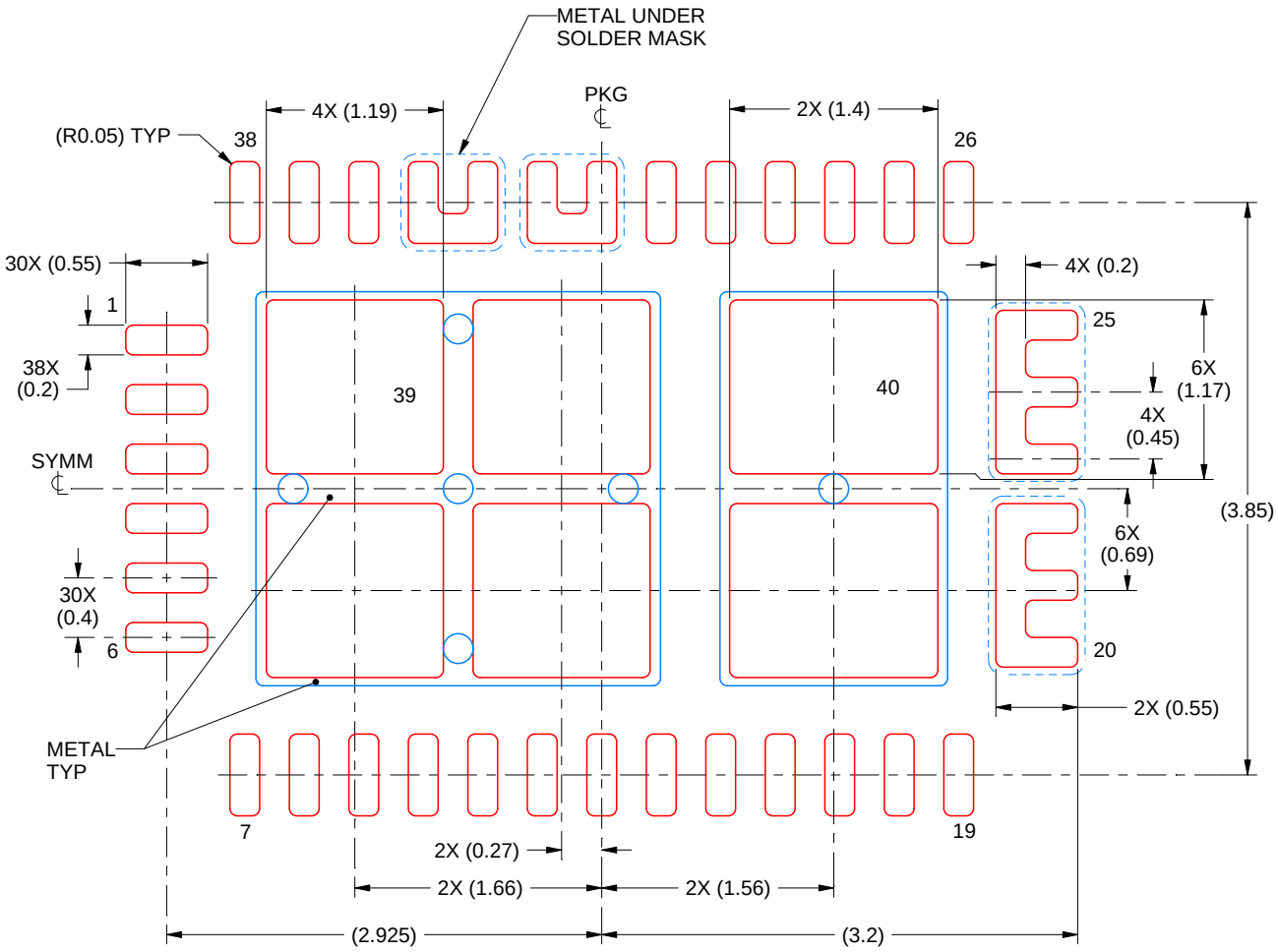
4. This package is designed to be soldered to thermal pads on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

REF0038A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PADS 39
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

EXPOSED PADS 40
80% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

SCALE:20X

4226763/C 11/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

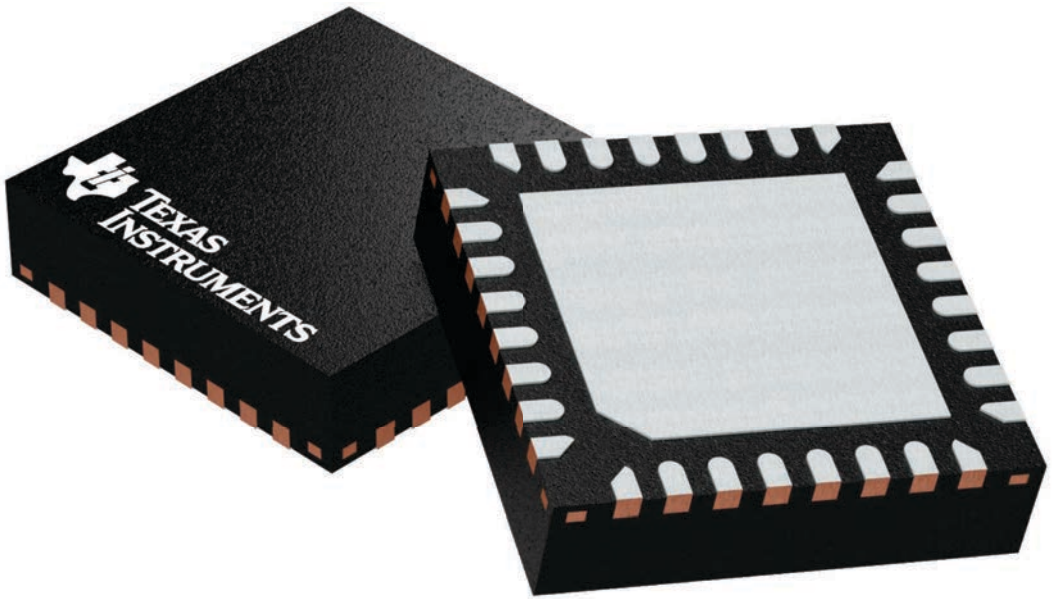
RSM 32

VQFN - 1 mm max height

4 x 4, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



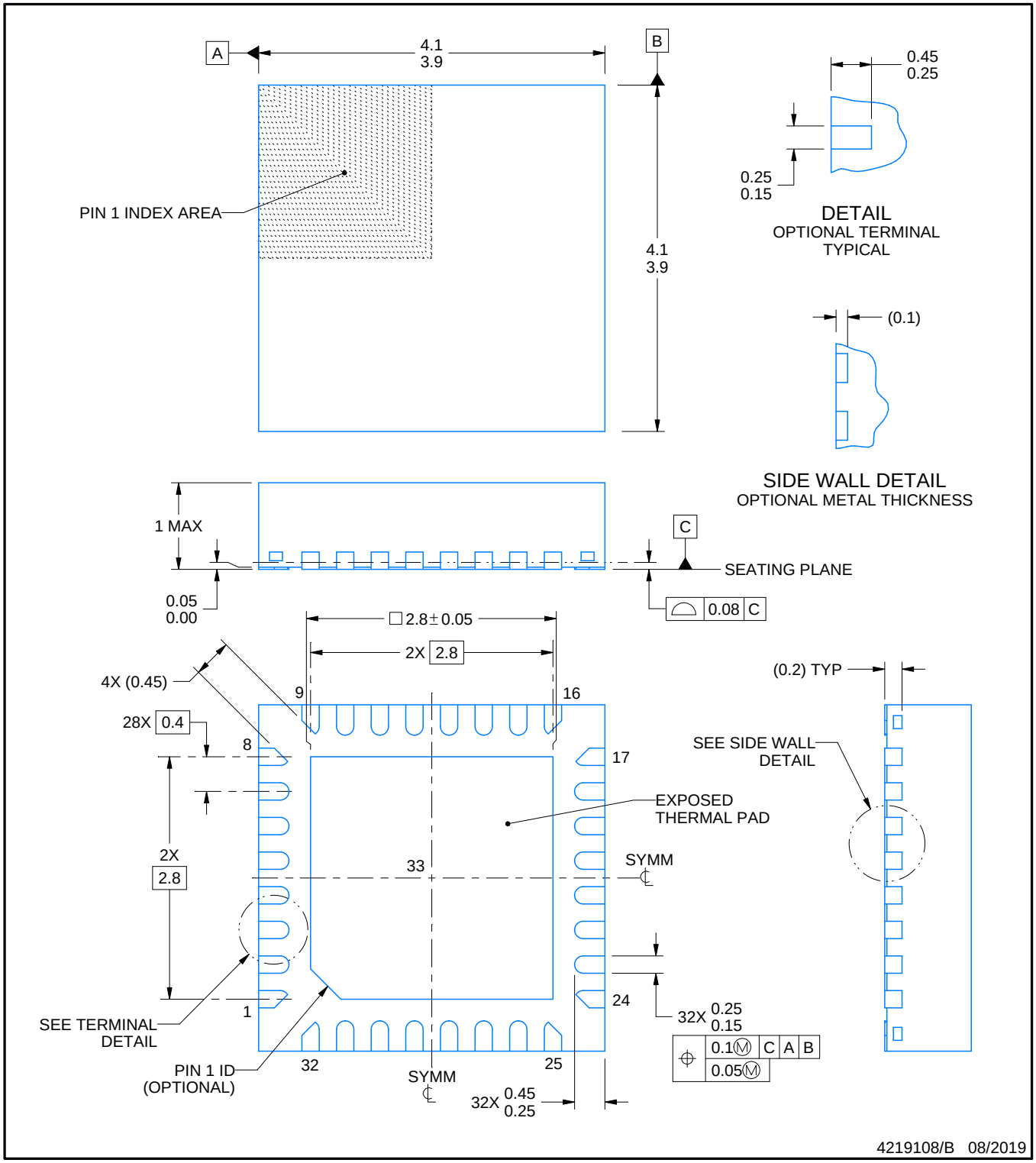
4224982/A

PACKAGE OUTLINE

RSM0032B

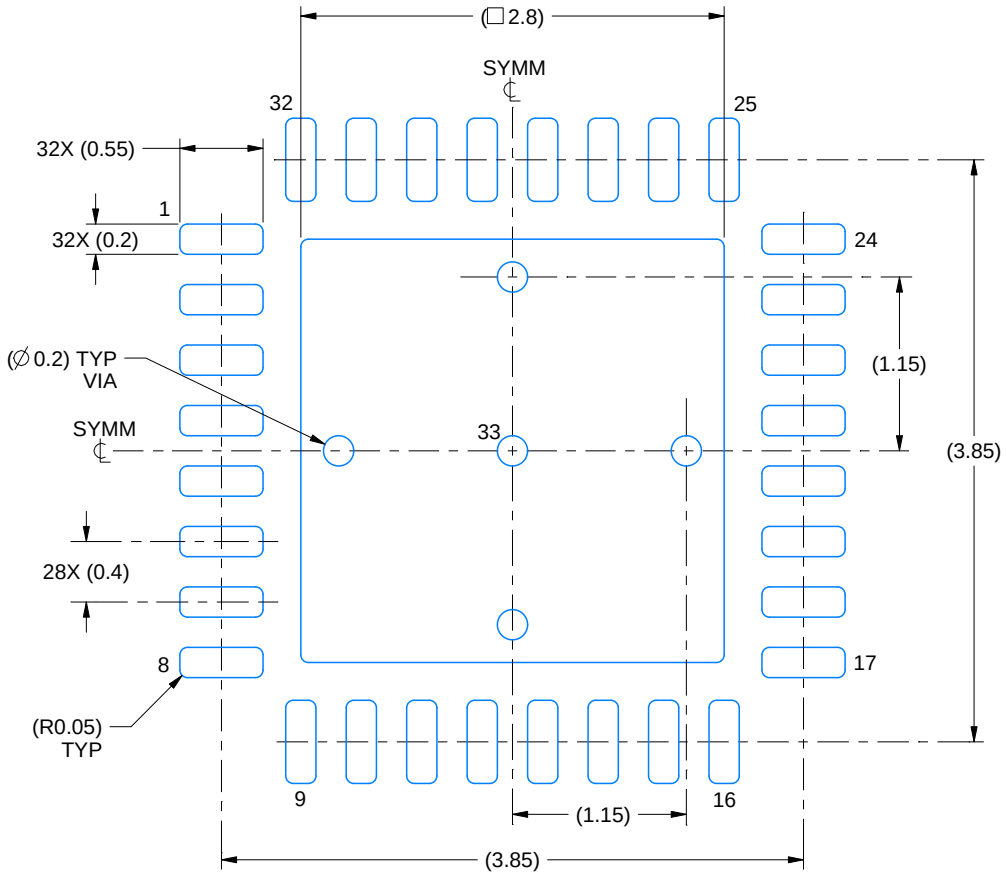
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

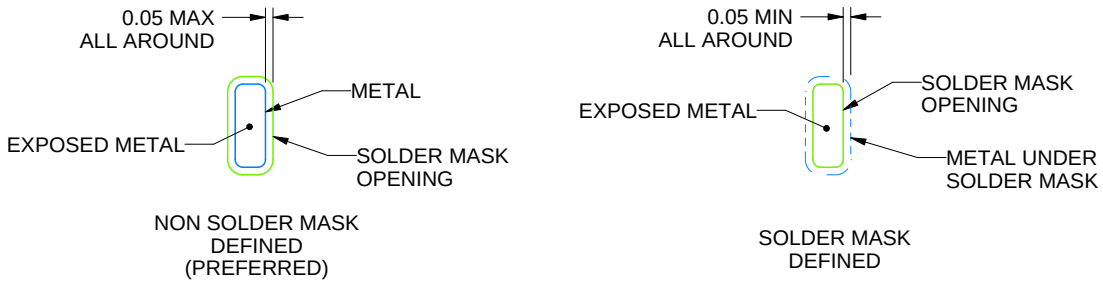


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

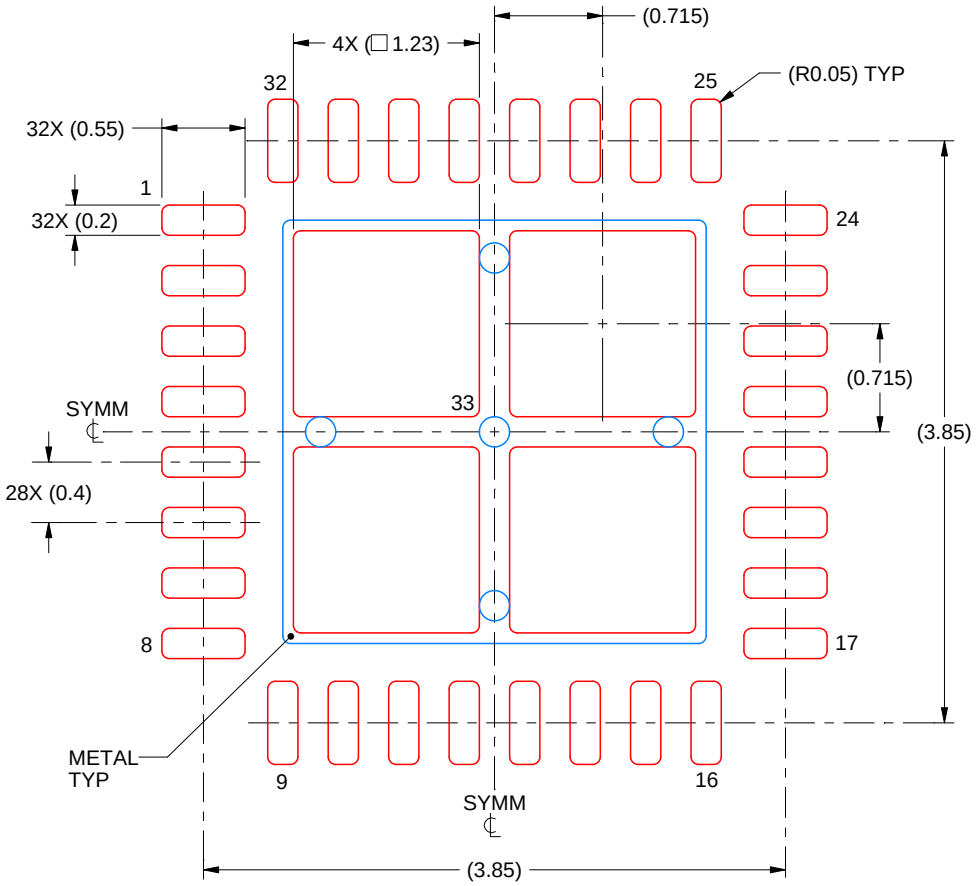


SOLDER MASK DETAILS

4219108/B 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 33:
77% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219108/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月