TPS25772-Q1 車載用デュアル USB Type-C®パワー デリバリ コントローラ、昇降圧レギュレータ

1 特長

- 以下の結果で AEC-Q100 認定済み:
  - デバイス温度グレード 1:動作時周囲温度範囲 – 40℃ ～ +125℃
  - デバイス HBM ESD 分類レベル 2
  - デバイス CDM ESD 分類レベル C2b
  - 拡張コネクタ ピン ESD 保護
- プログラマブル電源 (PPS) サポート付き USB パワー デリバリ (PD) コントローラ
  - 5.5V ～ 18V の広い V_{IN} 範囲 (最大 40V)
  - 4 個のパワー スイッチを搭載し、最大 65W の USB PD 出力電力をサポートする統合型昇降圧
  - V_{BUS} 出力:3.3V ～ 21V、±20mV ステップ サイズ
  - I_{BUS} 出力:0A ～ 3A、±50mA 電流制限ステップ サイズ
  - V_{BUS} から V_{BAT} および GND への短絡保護
  - V_{BUS} ケーブル ドループ補償
  - MFI 過電流保護
  - スイッチング周波数:300kHz、400kHz、450kHz
  - ディザリングによる DC/DC 同期入出力
- USB ポート構成オプション
  - 1 つの USB-PD ポート (TPS25762-Q1)
  - USB-C™ 経由の DisplayPort™ (DP 代替モード) を備えた 1 つの USB-PD ポート (TPS25763-Q1)
  - 2 つの USB-PD ポート (TPS25772-Q1)
- USB 準拠
  - USB Type-C® パワー デリバリ リビジョン 3.2
    - CC ロジック、V_{CONN} ソースおよび放電
    - USB ケーブルの極性検出
  - バッテリ充電仕様バージョン 1.2 (BC1.2)
    - DCP:専用充電ポート
- 従来型高速充電
  - 2.7V 分圧回路 3 モード
  - 1.2V 分圧回路モード
  - 高電圧 DCP プロトコル
- マイコン コア
  - ファームウェア更新
  - 複数の充電ポート間でのインテリジェントな電力共有
  - 電源電圧と温度によって動作が異なるパワー マネージメント
- V_{BUS} および V_{BAT} への短絡保護
  - V_{BUS}
  - Px_DP および Px_DM
  - Px_CC1、Px_CC2
- ウェッタブル フランク付きの HotRod™ QFN パッケージ

2 アプリケーション

- 車載用 USB 充電
- 車載用メディア ハブ
- 車載用ヘッド ユニット
- 車載用リアシート エンターテインメント

3 説明

TPS25772-Q1 は、車載用デュアル USB ポート アプリケーション向けの昇降圧コンバータを内蔵した統合型デュアル ポート USB Type-C® パワー デリバリ (PD) 充電ポート コントローラです。4 つのパワー スイッチを備えた統合型昇降圧コンバータ、ARM® Cortex®-M0、Type-C ケーブル プラグおよび方向検出機能を備えた USB ポート コントローラ、USB バッテリ充電仕様バージョン 1.2 (BC1.2) 検出、USB エンドポイント PHY、デバイスのパワー マネージメントおよび監視回路、コネクタ ピンの過電圧および短絡保護の機能が搭載されています。

インテリジェントなシステム パワー マネジメント (SPM) エンジンは、供給される USB 電力を最大化すると同時に、車載用バッテリの過渡状態や過熱状態からシステムを保護します。

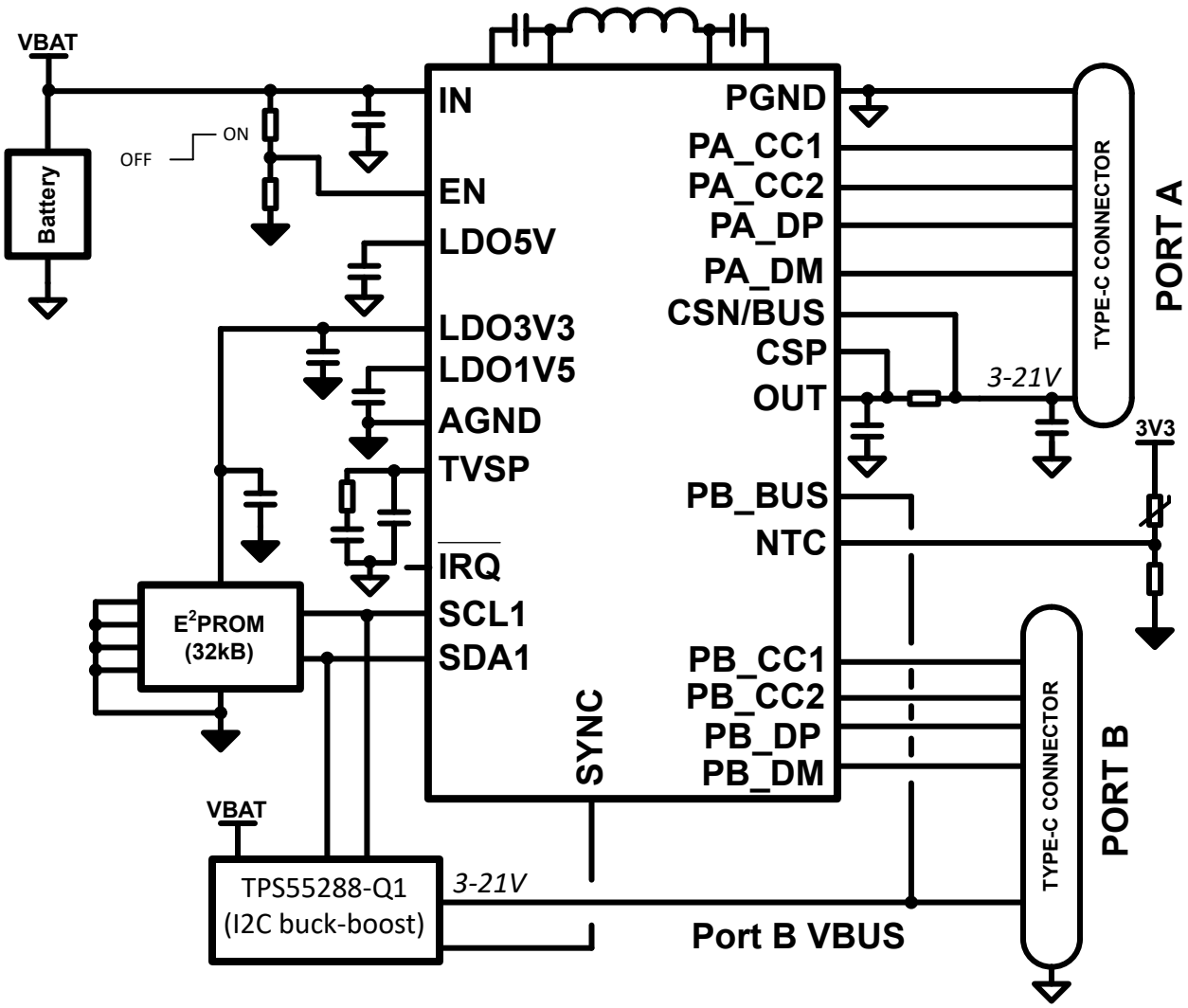
デバイス構成設定は、直感的なグラフィカル ユーザー インターフェイス (GUI) を使用して選択できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS25772-Q1	RQL (QFN-29)	6.00mm x 5.00mm

(1) 詳細については、メカニカル、パッケージ、および注文情報 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



TPS25772-Q1 のアプリケーション概略図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....4
5 ピン構成および機能.....5
6 仕様.....7
6.1 絶対最大定格.....7
6.2 ESD 定格.....8
6.3 推奨動作条件.....9
6.4 推奨部品.....9
6.5 熱に関する情報.....10
6.6 昇降圧レギュレータ.....10
6.7 CC ケーブル検出パラメータ.....14
6.8 CC VCONN パラメータ.....15
6.9 CC PHY パラメータ.....15
6.10 サーマル シャットダウンの特性.....16
6.11 発振器の特性.....17
6.12 ADC の特性.....17
6.13 TVSP のパラメータ.....18
6.14 入出力 (I/O) 特性.....18
6.15 BC1.2 の特性.....19
6.16 I2C の要件と特性.....20
6.17 代表的特性.....23
7 パラメータ測定情報.....31
8 詳細説明.....33
8.1 概要.....33
8.2 機能ブロック図.....34
8.3 機能説明.....34
8.4 デバイスの機能モード.....70
9 アプリケーションと実装.....71
9.1 使用上の注意.....71
9.2 代表的なアプリケーション.....72
9.3 電源に関する推奨事項.....86
9.4 レイアウト.....86
10 デバイスおよびドキュメントのサポート.....88
10.1 ドキュメントのサポート.....88
10.2 ドキュメントの更新通知を受け取る方法.....88
10.3 サポート・リソース.....88
10.4 商標.....88
10.5 静電気放電に関する注意事項.....88
10.6 用語集.....88
11 改訂履歴.....88
12 メカニカル、パッケージ、および注文情報.....90

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

部品番号	発注可能なデバイス	ポート A	ポート B	ポート A 出力電力	ポート B 出力電力	DP 代替モード	不安定 VIN ブート対応	設定可能なブート モード(2)
TPS25762-Q1	TPS25762CQRQLRQ1	USB-PD	該当なし	65W	該当なし	なし	VIN 依存(1)	あり
	TPS25762CAQRQLRQ1	USB-PD	該当なし	65W	該当なし	なし	あり	なし
	TPS25762DQRQLRQ1	USB-PD	該当なし	65W	該当なし	なし	あり	あり
	TPS25762FQRQLRQ1	USB-PD	該当なし	65W	該当なし	なし	あり	あり
TPS25772-Q1	TPS25772CQRQLRQ1	USB-PD	USB-PD	65W	65W	なし	VIN 依存(1)	あり
	TPS25772CAQRQLRQ1	USB-PD	USB-PD	65W	65W	なし	あり	なし
	TPS25772DQRQLRQ1	USB-PD	USB-PD	65W	65W	なし	あり	あり
	TPS25772FQRQLRQ1	USB-PD	USB-PD	65W	65W	なし	あり	あり
TPS25763-Q1	TPS25763DQRQLRQ1	USB-PD	該当なし	65W	該当なし	あり	あり	あり
	TPS25763FQRQLRQ1	USB-PD	該当なし	65W	該当なし	あり	あり	あり

(1) ブート完了まで VIN の最小発振電圧が 7.6V 以上であれば、安定した VIN 条件 (コールド クランクなど) でデバイスのブート アップが可能です。アプリケーション ブリーフ『TPS257x2-Q1 の不安定電源電圧でのスタートアップ』を参照してください。
(2) セクション 8.3.2 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

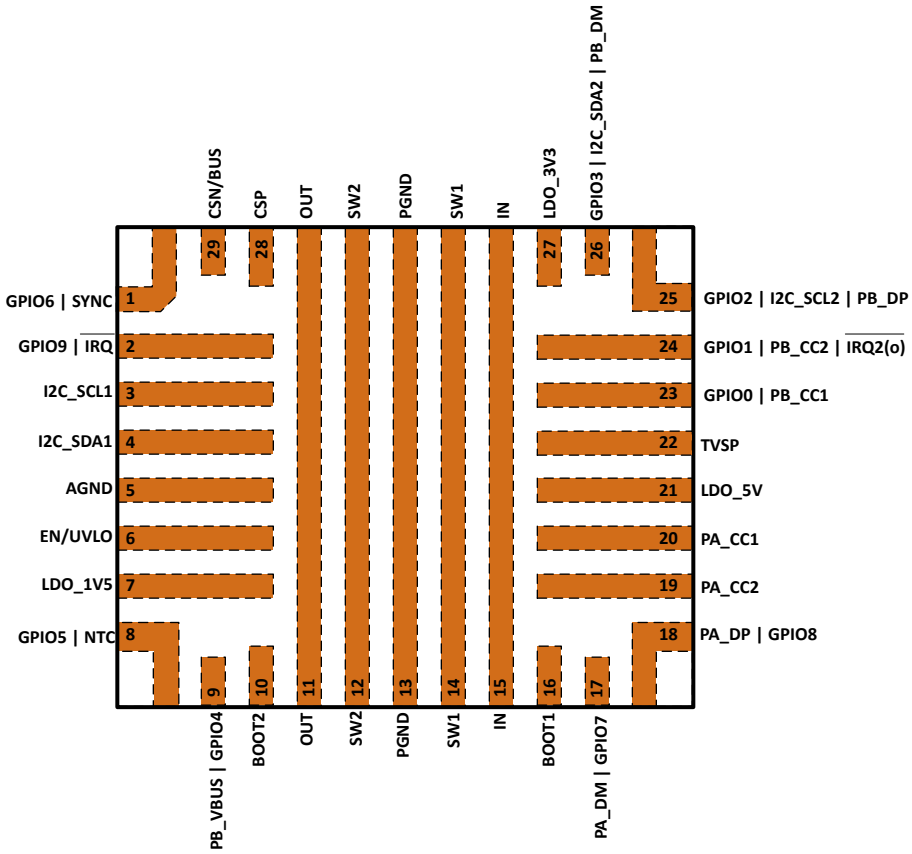


図 5-1. TPS25772-Q1 RQL パッケージ、29 ピン VQFN (上面図)

表 5-1. ピン説明

ピン		説明
名称	番号	
EN/UVLO	6	イネーブル ピン。EN/UVLO < 0.3V の場合、TPS25772-Q1 は低電流のシャットダウン モードに入ります。EN/UVLO > 1.3V の場合、LDO_5V が LDO_5V UVLO スレッショルドを超えるとこの機能が完全に有効になります。
IN	15	IC への入力電源ピン。V_{IN} を、5.5V から 18V の間の電源電圧に接続します (40V 絶対最大定格、過渡)。
PGND	13	IC のパワー グランド。ローサイド ゲートドライバへの高電流グランド接続です。
SW1	14	降圧側スイッチング ノード。
SW2	12	昇圧側スイッチング ノード。
BOOT1	16	ハイサイド MOSFET ゲートドライバにバイアスを提供するために、BOOT1 ピンと SW1 ピンの間に外付けコンデンサが必要です。
BOOT2	10	ハイサイド MOSFET ゲートドライバにバイアスを提供するために、BOOT2 ピンと SW2 ピンの間に外付けコンデンサが必要です。
AGND	5	IC のアナログ グランド。
OUT	11	昇降圧レギュレータの出力。バルク静電容量に接続。
CSP	28	電流検出アンプの正入力。
CSN/BUS	29	電流検出アンプの負入力。これは PA_VBUS 電源です。
LDO_5V	21	昇降圧ローサイド FET ドライバおよび Px_VCONN 電源用の内部 5V LDO の出力。バイパス コンデンサを PGND に接続します。外部 5V 電源からオーバードライブが可能です。
LDO_3V3	27	アナログ回路と GPIO ドライバ用の内部 3.3V LDO の出力。バイパス コンデンサを AGND に接続します。
LDO_1V5	7	デジタル回路用の内部 1.5V LDO の出力。バイパス コンデンサを AGND に接続します。
I2C_SCL1	3	コントローラ I2C クロック入力 / 出力。
I2C_SDA1	4	コントローラ I2C データ入力 / 出力
GPIO2 (I2C_SCL2 または PB_DP)	25	マルチファンクション ピン。ファームウェア構成に応じ、GPIO、ターゲット I2C クロック入力、またはポート B USB データ ライン DP 入力。
GPIO3 (I2C_SDA2 または PB_DM)	26	マルチファンクション ピン。ファームウェア構成に応じ、GPIO、ターゲット I2C データ入力、または、Port B USB データ ライン DM 入力。
$\overline{IRQ}$ (GPIO9)	2	マルチファンクション ピン。ファームウェア構成に応じ、割り込み I/O および I2C1 または I2C2 フォルト フラグ、または GPIO。アプリケーション構成ファームウェアによって設定されたフォルト条件を報告します。
PA_CC1	20	アナログ入力 / 出力。ポート A Type-C 電流アドバタイズメント、VCONN、USB PD モデム。ポート A Type-C コネクタの CC1 ピンに接続。
PA_CC2	19	アナログ入力 / 出力。ポート A Type-C 電流アドバタイズメント、VCONN、USB PD モデム。ポート A Type-C コネクタの CC2 ピンに接続。
PA_DP (GPIO8)	18	マルチファンクション ピン。BC1.2 USB 2.0D+ データ ライン入力 / 出力。ポート A Type-C USB データ ライン DP コネクタのピンに接続。ファームウェアの構成に応じ、GPIO としても使用されます。
PA_DM (GPIO7)	17	マルチファンクション ピン。BC1.2 USB 2.0D- データ ライン入力 / 出力。ポート A Type-C USB データ ライン DM コネクタのピンに接続。ファームウェアの構成に応じ、GPIO としても使用されます。
PB_CC1 (GPIO0)	23	マルチファンクション ピン。ポート B Type-C 電流アドバタイズメント、VCONN、USB PD モデム。ポート B Type-C コネクタの CC1 ピンに接続。ファームウェアの構成に応じ、ポート B が無効の場合は GPIO としても使用されます。
PB_CC2 (GPIO1 または $\overline{IRQ2(o)}$)	24	マルチファンクション ピン。ポート B Type-C 電流アドバタイズメント、VCONN、USB PD モデム。ポート B Type-C コネクタ CC2 ピンに接続、ファームウェア構成でポート B が無効の場合、GPIO または割り込み I/O としても使用されます。
GPIO5 (NTC)	8	マルチファンクション ピン。GPIO、サーミスタ入力 (負の温度係数抵抗または正の温度係数抵抗)。
GPIO6 (SYNC)	1	マルチファンクション ピン。GPIO、SYNC(o) - クロック出力により外部 DC/DC レギュレータを内部 DC/DC スイッチング周波数に同期、SYNC(i) - クロック入力により内部 DC/DC を外部クロックに同期。
PB_VBUS (GPIO4)	9	マルチファンクション ピン。PB_VBUS 電圧モニタ、またはファームウェア構成でポート B が無効の場合は GPIO。
TVSP	22	過渡電圧保護とファームウェア設定ピン。ブート構成および R-C ネットワーク部品の値については、TVSP デバイス構成と ESD 保護を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

推奨動作接合部温度範囲 –40°C ～ 150°C、AGND = PGND の条件下 (特に記述のない限り) (1)(2)

		最小値	最大値	単位
入力電圧範囲	IN(3)(4) ～ PGND	-0.3	40	V
入力電圧範囲	SW1 を基準とした IN	-0.3	25	V
入力電圧範囲	EN/UVLO(5) ～ AGND	-0.3	内部的に制限	V
入力電圧範囲	SW1 を基準とした BOOT1	-0.3	6	V
入力電圧範囲	SW2 を基準とした BOOT2(6)	-0.3	6	V
入力電圧範囲	PGND(7) に SW1	-0.3	24	V
入力電圧範囲	PGND(8) に SW2	-0.3	24	V
入力電圧範囲	SW2 から OUT		17.5	V
入力電圧範囲	CSP から PGND	-0.3	24	V
入力電圧範囲	CSN/BUS から PGND	-0.3	24	V
入力電圧範囲	CSP から CSN へ	-0.3	0.3	V
入力電圧範囲	AGND～PGND	-0.3	0.3	V
出力電圧範囲	OUT から PGND	-0.3	24	V
出力電圧範囲	PGND に LDO_5V	-0.3	6	V
出力電圧範囲	LDO_3V3 から AGND	-0.3	6	V
出力電圧範囲	LDO_1V5 から AGND	-0.3	2	V
I/O 電圧範囲	TVSP から PGND	-0.3	30	V
I/O 電圧範囲	I2C_SCL1 から AGND	-0.3	6	V
I/O 電圧範囲	I2C_SDA1 から AGND	-0.3	6	V
I/O 電圧範囲	GPIO9、$\overline{\text{IRQ1}}$ から AGND	-0.3	6	V
I/O 電圧範囲	PA_CC1 から AGND	-0.3	30	V
I/O 電圧範囲	PA_CC2 から AGND	-0.3	30	V
I/O 電圧範囲	PA_DM から AGND	-0.3	30	V
I/O 電圧範囲	GPIO7 から AGND	-0.3	6	V
I/O 電圧範囲	PA_DP から AGND	-0.3	30	V
I/O 電圧範囲	GPIO8 から AGND	-0.3	6	V
I/O 電圧範囲	PB_CC1 から AGND	-0.3	30	V
I/O 電圧範囲	GPIO0 AGND	-0.3	6	V
I/O 電圧範囲	PB_CC2 から AGND	-0.3	30	V
I/O 電圧範囲	GPIO1、$\overline{\text{IRQ2}}$ から AGND	-0.3	6	V
I/O 電圧範囲	PB_DP から AGND	-0.3	30	V
I/O 電圧範囲	GPIO2、I2C_SCL2 から AGND へ	-0.3	6	V
I/O 電圧範囲	PB_DM から AGND	-0.3	30	V
I/O 電圧範囲	GPIO3、I2C_SDA2 から AGND へ	-0.3	6	V
I/O 電圧範囲	PB_BUS から AGND	-0.3	30	V
I/O 電圧範囲	GPIO4	-0.3	6	V
I/O 電圧範囲	GPIO5、NTC から AGND	-0.3	6	V
I/O 電圧範囲	GPIO6、SYNC から AGND	-0.3	6	V

Copyright © 2026 Texas Instruments Incorporated

6.1 絶対最大定格 (続き)

推奨動作接合部温度範囲 –40°C ～ 150°C、AGND = PGND の条件下 (特に記述のない限り) (1)(2)

		最小値	最大値	単位
入力電流	EN/UVLO	0	2	mA
出力電流	PA_CC1、PA_CC2、PB_CC1、PB_CC2 の正のソース電流		内部的に制限	A
出力電流	GPIO 2、3、5、6、7、8		0.0010	A
出力電流	GPIO 0、1、4、9		0.005	A
出力電流	I2C_SDA1、I2C_SCL1、I2C_SDA2、I2C2_SCL2 の正のシンク電流		内部的に制限	A
出力電流	LDO_5V、LDO_3V3、LDO_1V5 の正のソース電流		内部的に制限	A
T_A 動作周囲温度		-40	125	°C
T_J 接合部動作温度		-40	150	°C
T_{STG} 保管温度		-55	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、PGND または AGND を基準としています。PGND ピンは基板のグランド プレーンに直接接続します。PGND と AGND の配線は、AGND ピンの近くで接続できます。
(3) 昇降圧コンバータの動作中に V_{IN} が 18V を超える場合、正のスルーレート dV_{IN}/dt は 200V/ms を超えないようにする必要があります。
(4) V_{IN} を印加する場合、V_{IN} が 5V を超えてから 25V を超える V_{IN} までの時間は 2µs 以上にする必要があります。これは、入力 EMI フィルタのサイズを適切に設計することで実現できます。
(5) EN/UVLO ピンは内部で 10V にクランプされています。電流制限抵抗を接続して、入力電流定格を超えないようにします。
(6) OUT 過電圧状態では、内部クランプにより、SW2 を基準とした BOOT2 が –15V になることがあります。
(7) 負のスイッチング過渡時に最大 10A (ピーク) がボディ ダイオードに流れることがあるため、SW1 は PGND に対して –1V アンダーシュートすることがあります。持続時間は標準で約 20ns です。正の過渡時に、SW1 は OUT に対して 1V オーバーシュートすることがあります。持続時間 (標準値) 約 20ns。
(8) スイッチング過渡時に最大 10A (ピーク) がボディ ダイオードに流れることがあるため、SW2 は PGND に対して –2V アンダーシュートすることがあります。持続時間は標準で約 20ns です。正の過渡時に、SW2 は OUT に対して 1V オーバーシュートすることがあります。持続時間 (標準値) 約 20ns。

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠		±2000(1)	V
$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)、AEC Q100-011 準拠		±750(2)	V
$V_{(ESD)}$	静電放電	IEC61000-4-2 気中放電 150pF、330Ω。	OUT、CSP、CSN/BUS、PA_CC1、PA_CC2、PA_DP、PA_DM、PB_CC1、PB_CC2、PB_DP、PB_DM、PB_BUS	±2000(3)	V
$V_{(ESD)}$	静電放電	IEC61000-4-2 接触放電 150pF、330Ω。	OUT、CSP、CSN/BUS、PA_CC1、PA_CC2、PA_DP、PA_DM、PB_CC1、PB_CC2、PB_DP、PB_DM、PB_BUS	±2000(3)	V
$V_{(ESD)}$	静電放電	ISO 10605 接触放電、C = 330pF、R = 330Ω。	OUT、CSP、CSN/BUS、PA_CC1、PA_CC2、PA_DP、PA_DM、PB_CC1、PB_CC2、PB_DP、PB_DM、PB_BUS	±2000(3)	V
$V_{(ESD)}$	静電放電	ISO 10605 気中放電 330pF、330Ω。	OUT、CSP、CSN/BUS、PA_CC1、PA_CC2、PA_DP、PA_DM、PB_CC1、PB_CC2、PB_DP、PB_DM、PB_BUS	±2000(3)	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

Copyright © 2026 Texas Instruments Incorporated

(2) AEC-Q100 分類 C2b に準拠した合格レベル。
(3) テキサス インスツルメンツの評価ボードでテストを実施。

6.3 推奨動作条件

接合部の動作時推奨温度である -40℃～150℃において (特に記述のない限り)

			最小値	最大値	単位
V_I	入力電圧範囲 (最大 65W 出力)	IN	6.8	18	V
V_I	入力電圧範囲 (最大 30W 出力)	IN	5.5	18	V
V_I	入力電圧範囲	EN/UVLO	0	7 (2)	V
I_I	入力電流	EN/UVLO	0	1	mA
V_I	入力電圧範囲	外部電源でオーバードライブした場合の LDO_5V	4.75	5.5	V
V_I	入力電圧範囲	CSP、CSN/BUS	0	22	V
V_I	入力電圧範囲	PB_VBUS (PB_VBUS として設定した場合の GPIO4)	3	22	V
V_O	出力電圧範囲	OUT	0	21	V
V_{IO}	I/O 電圧範囲	PA_CC1、PA_CC2、PB_CC1、PB_CC2	0	5.5	V
V_{IO}	I/O 電圧範囲	PA_DP、PA_DM、PB_DP、PB_DM	0	3.6	V
V_{IO}	I/O 電圧範囲	I2C_SDAn、I2C_SCLn、$\overline{IRQn}$ (n = 1 または 2)	0	5.5	V
V_{IO}	I/O 電圧範囲	GPIOn (n = 0 ～ 9)	0	3.6	V
V_{IO}	I/O 電圧範囲	NTC モニタ (GPIO5)、SYNC (GPIO6)	0	3.6	V
I_O	出力電流(1)	IOUT		5	A
I_O	出力電流	PA_CC1、PA_CC2、PB_CC1、PB_CC2		225	mA
I_O	出力電流 (LDO_3V3 から)	GPIOn (n = 0 ～ 9)		10	mA
fsw	SYNC ピンから駆動される昇降圧コンバータのスイッチング周波数		250	500	kHz
T_A	動作時周囲温度		-40	125	°C
T_J	動作時接合部温度		-40	150	°C

(1) 昇降圧パワー段からの、LC フィルタ処理後の平均出力電流。V_{OUT} > 10V で I_{OUT} > 3A で動作させると、サーマル シャットダウンが発生する可能性があります。
(2) EN/UVLO の最大値仕様は、ピンに流れ込む電流が外部で制限されていない場合に適用されます。

6.4 推奨部品

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ (1)		電圧定格	最小値	標準値	最大値	単位
C_{IN}	VIN の容量	40V	22	47		µF
C_{LDO_5V}	LDO_5V の容量 (内部で供給)	10V	4.7		10	µF
C_{LDO_5V}	LDO_5V の容量 (外部から供給)	10V	10	47	100	µF
C_{LDO_3V3}	LDO_3V3 の容量	6.3V	4.7		10	µF
C_{LDO_1V5}	LDO_1V5 の容量	6.3V	4.7		10	µF
C_{Px_CCy}	Px_CCy ピンの容量(2)	6.3V	200	330	480	pF
C_{BOOT1}、C_{BOOT2}	ブート充電容量	10V	0.08	0.1	0.3	µF
$R_{Snubber_SW1}$	SW1 の RC スナバ抵抗	35V、0.25W		1.1		Ω

Copyright © 2026 Texas Instruments Incorporated

6.4 推奨部品 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ (1)		電圧定格	最小値	標準値	最大値	単位
$C_{Snubber_SW1}$	SW1 の RC スナバ コンデンサ	35V		1		nF
$R_{Snubber_SW2}$	SW2 の RC スナバ抵抗	35V、0.25W		1.1		Ω
$C_{Snubber_SW2}$	SW2 の RC スナバ コンデンサ	35V		3.3		nF
C_{OUT}	OUT のキャパシタンス(4)	35V	30	33	40	µF
C_{BUS}	PA_VBUS のキャパシタンス	35V	100	120	150	µF
L	インダクタ(4)		3.3	4.7	5.6	µH
NTC	サーミスタ		47		100	kΩ
$R_{EN/UVLO}$	Enable/UVLO プルアップ抵抗		47			kΩ
TVPS ピンの部品 (C_{TVSP} || (ダンパ $_{R+C}$))	TVSP ピンの C_{TVSP} キャパシタンス (3)	40V	0.08	0.1	0.12	µF
TVPS ピンの部品 (C_{TVSP} || (ダンパ $_{R+C}$))	C_{TVSP} と並列に接続した R + C ネットワークのダンパー抵抗 R	0.25W	8	10	12	Ω
TVPS ピンの部品 (C_{TVSP} || (ダンパ $_{R+C}$))	C_{TVSP} と並列に接続した R + C ネットワークのダンパー コンデンサ C	40V	0.376	0.47	0.564	µF
ESR_{CTVSP}	TVSP コンデンサ ESR (eq 直列抵抗)			10		mΩ
ESL_{CTVSP}	TVSP コンデンサ ESL (eq 直列インダクタンス)			1		nH

(1) 静電容量の値には、いかなるディレーティング係数も含まれていません。例えば、5.0µF が必要で、必要な動作電圧で外付けコンデンサの容量が 50% 低下する場合、必要な外付けコンデンサの値は 10µF になります。
(2) これには、Type-C レセプタクルまでのすべての容量が含まれます。
(3) ブート時にデバイス設定を正しくデコードできるようにするための、TVSP ピンで許容される最大容量。
(4) 推奨される L と C_{OUT} の組み合わせについては、「アプリケーション」セクションを参照してください。

6.5 熱に関する情報

熱評価基準(1)		TPS25772-Q1 Hot Rod 29 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	33.3	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	13.1	
$R_{\theta JB}$	接合部から基板への熱抵抗	7.3	
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	
Ψ_{JB}	接合部から基板への特性パラメータ	7.2	

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.6 昇降圧レギュレータ

標準値は T_J = 25℃ での値です。特に記載がない限り、最小値および最大値は –40°C ～ 150°C の接合部温度範囲全体に適用されます。特に記載がない限り、V_{IN} = 13.5V および $V_{EN/UVLO}$ = 2V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧 (VIN)						
I_Q	V_{IN} シャットダウン電流	$V_{EN/UVLO}$ = 0V			130	µA
I_Q	V_{IN} シャットダウン電流	$V_{EN/UVLO}$ = 0V、T_J = 85°C		55		µA
I_Q	V_{IN} 動作電流	$V_{EN/UVLO}$ = 2V、V_{OUT} = 5V、I_{OUT} = 0A		8		mA

Copyright © 2026 Texas Instruments Incorporated

6.6 昇降圧レギュレータ (続き)

標準値は T_J = 25℃ での値です。特に記載がない限り、最小値および最大値は –40°C ～ 150°C の接合部温度範囲全体に適用されます。特に記載がない限り、V_{IN} = 13.5V および $V_{EN/UVLO}$ = 2V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_Q	V_{IN} 動作電流	$V_{EN/UVLO}$ = 1V、V_{OUT} = 0V、I_{OUT} = 0A			4.5	mA
I_Q	V_{IN} 動作電流	$V_{EN/UVLO}$ = 2V、V_{OUT} = 0V、I_{OUT} = 0A			8	mA
$V_{IN(OVP_R)}$	V_{IN} 立ち上がり過電圧スレッショルド	V_{IN} 立ち上がり。	18.4	19.2	20	V
$V_{IN(OVP_F)}$	V_{IN} 立ち下がり過電圧スレッショルド	V_{IN} 立ち下がり。	18.0	18.8	19.6	V
	ヒステリシス			0.4		V
$V_{IN(UVLO_R)}$	V_{IN} 低電圧誤動作防止の立ち上がり電圧	V_{IN} 立ち上がり。	5.14	5.30	5.46	V
$V_{IN(UVLO_F)}$	V_{IN} 低電圧誤動作防止の立ち下がり電圧	V_{IN} 立ち下がり。	5.04	5.20	5.36	V
	ヒステリシス			0.1		V
LDO_5V OUTPUT						
V_{LDO_5V}	LDO_5V 出力レギュレーション電圧	7V ≤ V_{IN} ≤ 18V、0 < I_{LDO_5V} < 125mA、V_{EN} = 2V	4.5	4.63	4.75	V
$V_{LDO_5V(UVLO_R)}$	LDO_5V 低電圧誤動作防止の立ち上がり		4.29	4.4	4.51	V
$V_{LDO_5V(UVLO_F)}$	LDO_5V 低電圧誤動作防止の立ち下がり		4.09	4.2	4.31	V
	低電圧ヒステリシス			200		mV
$V_{LDO_5V_DO}$	ドロップアウト電圧	V_{IN} = 5.5V、I_{LDO_5V} = 125mA	4.3			V
$I_{LDO_5V(ILIMIT)}$	LDO_5V 電流制限	V_{LDO_V5V} = 0 ～ 3.5V、$R_{LDO_V5V_LOAD}$ = 1Ω	125	200	400	mA
LDO_3V3 OUTPUT						
V_{LDO_3V3}	LDO_3V3 出力レギュレーション電圧	7V ≤ V_{IN} ≤ 18V、V_{EN} = 2V、$V_{LDO_5V(UVLO)}$ < V_{LDO_5V} < 5.5V、0 < I_{LDO_3V3} < 25mA	3.4	3.5	3.6	V
$V_{LDO_3V3(UVLO_R)}$	LDO_3V3 低電圧誤動作防止の立ち上がり		3.2	3.3	3.4	V
$V_{LDO_3V3(UVLO_F)}$	LDO_3V3 低電圧誤動作防止の立ち下がり		3.05	3.15	3.25	V
	低電圧ヒステリシス			150		mV
$V_{LDO_3V3_DO}$	ドロップアウト電圧	VIN = 4.5V、I_{LDO_3V3} = 30mA	3.3			V
$I_{LDO_3V3(ILIMIT)}$	LDO_3V3 電流制限	V_{LDO_3V3} = 0 ～ 2.5V、$R_{LDO_3V3_LOAD}$ = 1Ω	35	50	80	mA
LDO_1V5 OUTPUT						
V_{LDO_1V5}	LDO_1V5 出力レギュレーション電圧	4.5 < V_{LDO_5V} < 5.5V、0 < I_{LDO_1V5} < 10mA	1.49	1.55	1.65	V
$V_{LDO_1V5(UVLO_R)}$	LDO_1V5 低電圧誤動作防止の立ち上がり		1.44	1.49	1.54	V
$V_{LDO_1V5(UVLO_F)}$	LDO_1V5 低電圧誤動作防止の立ち下がり		1.37	1.42	1.47	V
	低電圧ヒステリシス			70		mV
$I_{LDO_1V5(ILIMIT)}$	LDO_1V5 電流制限	V_{LDO_1V5} = 0 ～ 1.2V、$R_{LDO_1V5_LOAD}$ = 1Ω	15	20	28	mA
EN/UVLO						
$V_{EN(LDO_V5V_R)}$	内部 LDO をオンにするために必要な EN 入力レベル	EN/UVLO 立ち上がり			1.05	V
$V_{EN(LDO_V5V_F)}$	内部 LDO をオフにするために必要な EN 入力レベル	EN/UVLO 立ち下がり	0.3			V
$V_{EN(OPER)}$	動作を開始するために必要な EN 入力レベル	EN/UVLO 立ち上がり高精度の EN	1.2	1.25	1.3	V

Copyright © 2026 Texas Instruments Incorporated

6.6 昇降圧レギュレータ (続き)

標準値は T_J = 25℃ での値です。特に記載がない限り、最小値および最大値は –40°C ～ 150°C の接合部温度範囲全体に適用されます。特に記載がない限り、V_{IN} = 13.5V および $V_{EN/UVLO}$ = 2V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{EN(STBY)}$	動作を停止するために必要な EN 入力レベル	EN/UVLO 立ち下がり	1.1	1.15	1.2	V
$V_{EN(HYS)}$	ヒステリシス			100		mV
$V_{EN(CLAMP)}$	EN 入力クランプ電圧	$V_{EN/UVLO}$ > $V_{EN(CLAMP)}$、10µA < $I_{EN/UVLO}$ < 1mA	6	9	12	V
$I_{EN(LEAK)}$	EN ピンへのリーク電流	0V < V_{EN} < 6V			1	µA
出力電圧						
$V_{CSN/BUS(3V)}$	3V での $V_{CNS/BUS}$ レギュレーション精度	0 ≤ I_{OUT} ≤ 3A	2.9	3	3.1	V
$V_{CSN/BUS(5V)}$	5V での $V_{CNS/BUS}$ レギュレーション精度	0 ≤ I_{OUT} ≤ 3A	4.85	5	5.15	V
$V_{CSN/BUS(21V)}$	21V での $V_{CNS/BUS}$ レギュレーション精度	0 ≤ I_{OUT} ≤ 3A	20.48	21	21.53	V
V_{CSN/BUS_STP}	出力電圧ステップ サイズ (12 ビット DAC)			10		mV
VDAC の分解能	V_{BUS} DAC の分解能			12		ビット
I_{DISCHG}	VSafe0V に遷移するときの CSN/BUS 放電電流	V_{CSP} = $V_{CSN/BUS}$。$V_{CSN/BUS}$ = 3V。BUS への電流を測定します。	40			mA
t_{DISCHG}	VSafe5V に遷移するときの CSN/BUS 放電時間	V_{BUS} = 21V (最大)、CBULK = 220µF、バスを 5.5V 未満まで放電する時間 (USB PD 仕様による)			275	ms
t_{DISCHG}	VSafe0V に遷移するときの CSN/BUS 放電時間	V_{BUS} = 21V (最大)、CBULK = 220µF、バスを 0.8V 未満まで放電する時間 (USB PD 仕様による)			650	ms
R_{DISCHG}	VBUS を供給しない場合の BUS ピンの弱い放電抵抗	EN = 2V、BUS から PGND への抵抗を測定します。	60		135	kΩ
$R_{BUS-GND(PWR)}$	BUS から GND への抵抗、R_{DISCH} がディスエーブル、VBUS への供給なし	EN = 2V、BUS から PGND への抵抗を測定します。	120		500	kΩ
$R_{BUS-GND(UNPWR)}$	BUS から GND への抵抗、電源なし	VIN = EN = 0VBUS から PGND への抵抗を測定します。		2		kΩ
ケーブル電圧降下補償						
V_{OUT_CDC}	ΔV_{OUT} の増加と I_{OUT} の関係	ゲイン設定 = 0.1V/A:V_{CSP} - $V_{CSN/BUS}$ = 50mV	465	500	535	mV
V_{OUT_CDC}	ΔV_{OUT} の増加と I_{OUT} の関係	ゲイン設定 = 0.1V/A:V_{CSP} - $V_{CSN/BUS}$ = 10mV	85	100	115	mV
V_{OUT_CDC}	ΔV_{OUT} の増加と I_{OUT} の関係	ゲイン設定 = 0.075V/A:V_{CSP} - $V_{CSN/BUS}$ = 50mV	346	375	404	mV
V_{OUT_CDC}	ΔV_{OUT} の増加と I_{OUT} の関係	ゲイン設定 = 0.075V/A:V_{CSP} - $V_{CSN/BUS}$ = 10mV	61	75	89	mV
V_{OUT_CDC}	ΔV_{OUT} の増加と I_{OUT} の関係	ゲイン設定 = 0.05V/A:V_{CSP} - $V_{CSN/BUS}$ = 50mV	227	250	273	mV
V_{OUT_CDC}	ΔV_{OUT} の増加と I_{OUT} の関係	ゲイン設定 = 0.05V/A:V_{CSP} - $V_{CSN/BUS}$ = 10mV	37	50	63	mV
V_{OUT_CDC}	ΔV_{OUT} の増加と I_{OUT} の関係	ゲイン設定 = 0.025V/A:V_{CSP} - $V_{CSN/BUS}$ = 50mV	109	125	141	mV
V_{OUT_CDC}	ΔV_{OUT} の増加と I_{OUT} の関係	ゲイン設定 = 0.025V/A:V_{CSP} - $V_{CSN/BUS}$ = 10mV	14	25	36	mV
V_{OUT_CDC}	ΔV_{OUT} の増加と I_{OUT} の関係	ゲイン設定 = 0V/A:0mV ≤ V_{CSP} - $V_{CSN/BUS}$ ≤ 50mV	-5		20	mV
昇降圧ピーク電流制限						
$I_{PEAK(BOOST)}$	昇圧ピーク電流制限 (昇圧モード時)		12.3	14.5	16.7	A
$I_{PEAK(BOOST)}$	昇圧ピーク電流制限 (昇圧モード時)		10.8	12.8	14.7	A
$I_{PEAK(BOOST)}$	昇圧ピーク電流制限 (昇圧モード時)		9.3	11.0	12.6	A

Copyright © 2026 Texas Instruments Incorporated

6.6 昇降圧レギュレータ (続き)

標準値は T_J = 25℃ での値です。特に記載がない限り、最小値および最大値は –40°C ～ 150°C の接合部温度範囲全体に適用されます。特に記載がない限り、V_{IN} = 13.5V および $V_{EN/UVLO}$ = 2V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{PEAK(BOOST)}$	昇圧ピーク電流制限 (昇圧モード時)		7.9	9.3	10.6	A
$I_{PEAK(BOOST)}$	昇圧ピーク電流制限 (昇圧モード時)		6.3	7.5	8.6	A
$I_{PEAK(BOOST)}$	昇圧ピーク電流制限 (昇圧モード時)		4.8	5.7	6.5	A
$I_{PEAK(BUCK)}$	降圧ピーク電流制限 (降圧モード)		8.2	9.7	11.2	A
$I_{PEAK(BUCK)}$	降圧ピーク電流制限 (降圧モード)		9.0	10.6	12.1	A
$I_{PEAK(BUCK)}$	降圧ピーク電流制限 (降圧モード)		9.7	11.4	13.1	A
$I_{PEAK(BUCK)}$	降圧ピーク電流制限 (降圧モード)		10.4	12.3	14.1	A
$I_{PEAK(BUCK)}$	降圧ピーク電流制限 (降圧モード)		5.3	6.2	7.2	A
$I_{PEAK(BUCK)}$	降圧ピーク電流制限 (降圧モード)		6	7.1	8.2	A
$I_{PEAK(BUCK)}$	降圧ピーク電流制限 (降圧モード)		6.8	8.0	9.1	A
$I_{PEAK(BUCK)}$	降圧ピーク電流制限 (降圧モード)		7.5	8.8	10.1	A
$I_{NEG(BUCK)}$	降圧負電流制限 (降圧モード)		-4.6	- 3.8	-3	A
出力電流 DAC						
IDAC_Resolution				8		ビット
電流制限						
I_{LIMIT_LO}	電流制限精度	1A ≤ I_{OUT} ≤ 3A、$V_{CSN/BUS}$ < 2.5V、R_S = 10mΩ。	-250		250	mA
I_{LIMIT_LO}	1A 未満の電流制限精度	1A ≤ I_{OUT} ≤ 3A、$V_{CSN/BUS}$ ≥ 2.5V、R_S = 10mΩ	-150		150	mA
I_{LIMIT_HI}	3A 超の電流制限精度	I_{OUT} > 3A、$V_{CSN/BUS}$ < 2.5V、R_S = 10mΩ	-20		20	%
I_{LIMIT_HI}	3A 超の電流制限精度	I_{OUT} > 3A、$V_{CSN/BUS}$ ≥ 2.5V、R_S = 10mΩ	-5		5	%
I_{LIMIT_MIN}	最小プログラマブル電流制限		1			A
I_{CL_STEP}	電流制限ステップ サイズ	1A ≤ I_{OUT} ≤ 5A、R_S = 10mΩ		50		mA
FREQUENCY						
$f_{SW(1)}$	スイッチング周波数 1		285	300	315	kHz
$f_{SW(2)}$	スイッチング周波数 2		380	400	420	kHz
$f_{SW(3)}$	スイッチング周波数 3		428	450	473	kHz
周波数ディザリング						
FS_{SS}	ディザー中の正の周波数偏差		8	10	12	%
	ディザー中の負の周波数偏差		-12	-10	-8	%
FS_{SS_MOD}	ディザリングの変調周波数	DITHER_FREQ = 0	9	10	11	kHz
FS_{SS_MOD}	ディザリングの変調周波数	DITHER_FREQ = 1	22.5	25	27.5	kHz
過電圧保護						
V_{CSN/BUS_OVP_R}	CSN/BUS ピンの固定出力過電圧スレッショルド		22.0	23	24	V
V_{CSN/BUS_OVP_F}	立ち下がり		20.5	21.5	22.5	V
	ヒステリシス			1.5		V
パワー スイッチ						
$R_{DS(ON)}$	M1	V_{IN} = 12V、(V_{BOOT1} - V_{SW1}) = 4.5V、I_{SW1} = -1A		4.5		mΩ
$R_{DS(ON)}$	M2	V_{IN} = 12V、I_{SW1} = 1A		20		mΩ
$R_{DS(ON)}$	M4	V_{IN} = 12V、I_{SW2} = 1A		6		mΩ
$R_{DS(ON)}$	M3 + M5	V_{IN} = V_{OUT} = 12V : (V_{BOOT2} - V_{SW2}) = 4.5V、I_{SW2} = -1A		18		mΩ
$V_{UV_BOOT1_R}$	BOOT1 から SW1 への立ち上がり UVLO スレッショルド		3.5	4	4.4	V

Copyright © 2026 Texas Instruments Incorporated

6.6 昇降圧レギュレータ (続き)

標準値は T_J = 25℃ での値です。特に記載がない限り、最小値および最大値は –40°C ～ 150°C の接合部温度範囲全体に適用されます。特に記載がない限り、V_{IN} = 13.5V および $V_{EN/UVLO}$ = 2V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{UV_BOOT1_F}$	BOOT1 から SW1 への立ち下がり UVLO スレッショルド		2.9	3.4	3.7	V
	BOOT1 から SW1 への UVLO ヒステリシス			680		mV
$V_{OV_BOOT1_R}$	BOOT1 から SW1 への立ち上がり OVP スレッショルド		4.6	5.3	5.9	V
$V_{OV_BOOT1_F}$	BOOT1 から SW1 への立ち下がり OVP スレッショルド		4.3	5	5.6	V
	BOOT 1 OVP ヒステリシス		250	300	350	mV
$V_{UV_BOOT2_R}$	BOOT2 から SW2 への立ち上がり UVLO スレッショルド		3.5	4	4.4	V
$V_{UV_BOOT2_F}$	BOOT2 から SW2 への立ち下がり UVLO スレッショルド		2.9	3.4	3.7	V
	BOOT2 から SW2 への UVLO ヒステリシス			680		mV
$V_{OV_BOOT2_R}$	BOOT2 から SW2 への立ち上がり OVP スレッショルド		4.6	5.3	5.9	V
$V_{OV_BOOT2_F}$	BOOT2 から SW2 への立ち下がり OVP スレッショルド		4.3	5	5.6	V
	BOOT2 OVP ヒステリシス		250	300	350	mV
昇降圧特性						
t_{SS}	ソフト スタート時間			6		ms

(1) すべての下限および上限は、プロセスや温度の変動と電気的特性の相関を考慮し、統計的プロセス制御を適用することで規定しています。

6.7 CC ケーブル検出パラメータ

標準値は TJ = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
Type-C ソース (Rp プルアップ)						
$V_{OC_3.3}$	Rp 有効時、無負荷状態における、未接続の Px_CCy の開放電圧	R_{CC} = 47kΩ	1.85			V
V_{OC_5}	Rp 有効時、無負荷状態における、接続された Px_CCy の開放電圧	R_{CC} = 47kΩ	2.95			V
I_{Rev}	未接続時の Px_CCy の逆電流	V_{CCy} = 5.5V、V_{CCx} = 0V、CCy に流れ込む電流を測定			10	μA
I_{RpStd}	電流源 – 標準	0 < V_{CCy} < 1.0V、I_{CCy} を測定します	64	80	96	μA
$I_{Rp1.5}$	電流源 1.5A	0 < V_{CCy} < 1.5V、I_{CCy} を測定します	166	180	194	μA
$I_{Rp3.0}$	電流源 3.0A	0 < V_{CCy} < 2.45V、I_{CCy} を測定します	304	330	356	μA
Type-C シンク (Rd プルダウン)						
R_{SNK}	Rd プルダウン抵抗	0V ≤ V_{Px_CCy} ≤ 2.1V、trim_cd_rd を使用してトリミングした後、	4.6		5.6	kΩ
R_{VCONN_DIS}	VCONN 放電抵抗	0V ≤ V_{Px_CCy} ≤ 5.5V、trim_cd_rd を使用してトリミングした後、	4.0		6.6	kΩ
共通 (ソースおよびシンク)						

Copyright © 2026 Texas Instruments Incorporated

6.7 CC ケーブル検出パラメータ (続き)

標準値は TJ = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{CC}	Px_CCy のコンパレータのグリッチ除去時間、これは、V_{SRC1}、V_{SRC2}、V_{SRC3}、V_{SNK1}、V_{SNK2}、V_{SNK3}、V_{SNK4} に適用。			2.56		ms

6.8 CC VCONN パラメータ

標準値は T_J = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{PP_CABLE}	VCONN パスの Rdson	V_{LDO_5V} = 5V、I_L = 200mA、LDO_5V から CCy への抵抗を測定し			1.2	Ω
I_{LIMVC}	短絡電流制限	設定 0、V_{LDO_5V} = 5V、R_L= 10mΩ 、I_{Px_CCy} を測定	30	50	70	mA
		設定 1、V_{LDO_5V} = 5V、R_L = 10mΩ 、I_{Px_CCy} を測定	235	275	315	
I_{CCyLKG}	Px_Cy ピンへのリーク電流	VCONN 無効化、T_J ≤ 125ºC、V_{Px_CCy} = 5.5V、I_{Px_CCy} を測定	-1	0	10	µA
V_{VC_OVP}	Px_CCy の過電圧保護スレッショルド	V_{LDO_5V} 立ち上がり	5.6	5.9	6.2	V
V_{VC_RCP}	Px_CCy の逆電流保護スレッショルド、CCx 経由で VCONN を供給	V_{LDO_5V} = 5V、V_{CCx} 立ち上がり、設定 1。	230	310	390	mV
V_{VC_RCP}	Px_CCy の逆電流保護スレッショルド、CCx 経由で VCONN を供給	V_{LDO_5V} = 5V、V_{CCx} 立ち上がり、設定 2。	60	155	250	mV
$t_{PP_CABLE_FSD}$	V_{LDO_5V} > V_{VC_OVP} または V_{CCx} – V_{LDO_5V} > V_{VC_RCP} の後、Px_Cy VCONN を無効化するまでの時間	C_L = 0		1.5		µs
$t_{PP_CABLE_off}$	信号無効化から Px_CCy が最終値の 10% になるまで	I_L = 200mA、V_{LDO_5V} = 5V、C_L = 0	100	225	300	µs
$T_{iOS_PP_CABLE}$	短絡に対する応答時間	外部 V_{LDO_5V} = 5V、短絡の場合、R_L = 10mΩ。VCONILIM = 1 に設定します。			2	µs
$T_{iOS_PP_CABLE}$	短絡に対する応答時間	内部 V_{LDO_5V} = 5V、短絡の場合、R_L = 10mΩ。VCONILIM = 0 に設定します。			0.3	µs

6.9 CC PHY パラメータ

標準値は T_J = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
トランスミッタ						
V_{TXHI}	Px_CCy で高電圧を送信	標準の外部負荷	1.05	1.125	1.2	V

Copyright © 2026 Texas Instruments Incorporated

6.9 CC PHY パラメータ (続き)

標準値は T_J = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{TXLO}	Px_CCy で低電圧を送信	標準の外部負荷	-75		75	mV
Z_{DRIVER}	Px_CCy を使用した CC ライン駆動中の送信出力インピーダンス	750 kHz で測定	33		75	Ω
t_{Rise}	立ち上がり時間。Px_CCy の振幅ポイント 10% ～ 90%、最小値は無負荷状態。TX mask によって設定される最大値	C_{Px_CCy} = 520pF	300			ns
t_{Fall}	立ち下がり時間 Px_CCy の振幅ポイント 90% ～ 10%、最小値は無負荷状態。TX mask によって設定される最大値	C_{Px_CCy} = 520pF	300			ns
V_{PHY_OVP}	USB PD PHY の OVP 検出スレッショルド。	最初は V_{CC1} ≤ 5.5V および V_{CC2} ≤ 5.5V、その後、V_{CCx} が上昇します。	5.5		8.5	V
レシーバ						
Z_{BMCRX}[2]	Px_CCy のレシーバ入力インピーダンス	ケーブル検出に起因するプルアップ抵抗またはプルダウン抵抗を含みません。トランスミッタは Hi-Z。	1			MΩ
C_{CC}	Px_CCy のレシーバ容量[1]	レシーバ モードで CC ピンに流れ込む静電容量			120	pF
$V_{RX_SNK_R}$	レシーバ コンパレータの Px_CCy の立ち上がりスレッショルド	シンク モード (立ち上がり)	499	525	551	mV
$V_{RX_SRC_R}$	レシーバ コンパレータの Px_CCy の立ち上がりスレッショルド	ソース モード (立ち上がり)	784	825	866	mV
$V_{RX_SNK_F}$	受信コンパレータにおける Px_CCy の立ち下がりスレッショルド	シンク モード (立ち下がり)	230	250	270	mV
$V_{RX_SRC_F}$	受信コンパレータにおける Px_CCy の立ち下がりスレッショルド	ソース モード (立ち下がり)	523	550	578	mV

(1) C_{CC} には、ピンが BMC データを受信するように構成されている場合の Px_CCy ピンの内部容量のみが含まれます。USB-PD 仕様 (cReceiver) に準拠する必要のある最小容量を満たすには、外部容量が必要です。したがって、C_{Px_CCy} を外部に追加することが推奨されます。

(2) 設計上規定されたものであり、量産時の試験は実施していません。

6.10 サーマル シャットダウンの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{SD_BB}	温度シャットダウン スレッショルド	温度上昇	160	167	175	°C
T_{SD_HYS}	熱シャットダウン ヒステリシス	ヒステリシス		18		°C
$T_{SD_PA_VCONN}$	温度シャットダウン スレッショルド	温度上昇	152	166	179	°C
T_{SD_HYS}	熱シャットダウン ヒステリシス	ヒステリシス		20		°C

Copyright © 2026 Texas Instruments Incorporated

6.10 サーマル シャットダウンの特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$T_{SD_PB_VCONN}$	温度シャットダウン スレッショルド	温度上昇	152	166	179	°C
T_{SD_HYS}	熱シャットダウン ヒステリシス	ヒステリシス		20		°C
$T_{SD_PA_VBUS_DISCH}$	温度シャットダウン スレッショルド	温度上昇	155	166	177	°C
T_{SD_HYS}	熱シャットダウン ヒステリシス	ヒステリシス		20		°C
T_{SD_LDO5V}	温度シャットダウン スレッショルド	温度上昇	165	177	188	°C
T_{SD_HYS}	熱シャットダウン ヒステリシス	ヒステリシス		15		°C

6.11 発振器の特性

標準値は TJ = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$F_{OSC(100K)}$	100KHz 発振器	調整済み。	89	103	111	kHz
$F_{OSC(24M)}$	24MHz 発振器	調整済み。0°C ≤ T_A ≤ 70°C	23.64	24.2	24.36	MHz
$F_{OSC(24M)}$	24MHz 発振器	調整済み。–40°C ≤ T_A ≤ 150°C	23.3	24.2	24.5	MHz

6.12 ADC の特性

標準値は TJ = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
LSB	最下位ビット	3.6V 最大スケーリング、3 の分圧器		14		mV
LSB	最下位ビット	25.2V 最大スケーリング、21 の分圧器		98		mV
LSB	最下位ビット	(V_{CSP} – $V_{CSN/BUS}$) = 10mV、30mV		27		mA
E_G	ゲイン誤差	0A ≤ I_{TVSP} ≤ 0.9mA	-2.7		2.7	%
E_G	ゲイン誤差	0.05V ≤ V_{GPIOx} ≤ 3.6V、V_{GPIOx} ≤ V_{LDO_3V3}	-2.7		2.7	%
E_G	ゲイン誤差	2.7V ≤ V_{LDO_3V3} ≤ 3.6V	-2.4		2.4	%
E_G	ゲイン誤差	0.6V ≤ V_{Px_VBUS} ≤ 22V	-2.4		2.4	%
E_G	ゲイン誤差、電流センス	(V_{CSP} – $V_{CSN/BUS}$) = 10mV、30mV	-2.4		2.4	%
E_G	ゲイン誤差	V_{IN}	-2.4		2.4	%
E_G	ゲイン誤差	4.3V ≤ V_{LDO_5V} ≤ 5.5V	-2.4		2.4	%
$V_{OS(E)}$	オフセット誤差(1)	0A ≤ I_{TVSP} ≤ 0.9mA	-4.1		15	mV
$V_{OS(E)}$	オフセット誤差(1)	0.05V ≤ V_{GPIOx} ≤ 3.6V、V_{GPIOx} ≤ V_{LDO_3V3}	-4.1		4.1	mV
$V_{OS(E)}$	オフセット誤差(1)	2.7V ≤ V_{LDO_3V3} ≤ 3.6V	-4.1		4.1	mV
$V_{OS(E)}$	オフセット誤差(1)	0.6V ≤ V_{Px_VBUS} ≤ 22V	-4.1		4.1	mV

Copyright © 2026 Texas Instruments Incorporated

6.12 ADC の特性 (続き)

標準値は TJ = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OS(E)}$	オフセット誤差(1)	(V_{CSP} – $V_{CSN/BUS}$) = 10mV、30mV	-4.5		4.5	mA
$V_{OS(E)}$	オフセット誤差(1)	V_{IN}	-4.1		4.1	mV
$V_{OS(E)}$	オフセット誤差(1)	4.3V ≤ V_{LDO_5V} ≤ 5.5V	-4.1		4.1	mV

(1) オフセット誤差は、分圧器の後に規定されます。

6.13 TVSP のパラメータ

VIN = 13.5V、EN = 2V。自然気流での動作温度範囲内 (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TVSP						
V_{TVSP_PU}	構成用のプルアップ電圧 (1)	0 < I_{TVSP} < 1mA	5.3	5.5	5.7	V
デコード 0	デバイス構成のデコード	R_{TVSP} = オープン			1	µA
デコード 1	デバイス構成のデコード	R_{TVSP} = 93.1kΩ	56.9		61.2	µA
デコード 2	デバイス構成のデコード	R_{TVSP} = 47.5kΩ	111.6		120	µA
デコード 3	デバイス構成のデコード	R_{TVSP} = 29.4kΩ — TPS257xxC-Q1、R_{TVSP} = 26.7kΩ — TPS257xxD/F-Q1	180.3		193.9	µA
デコード 4	デバイス構成のデコード	R_{TVSP} = 20.0kΩ — TPS257xxC-Q1、R_{TVSP} = 18.2kΩ — TPS257xxD/F-Q1	265		285	µA
デコード 5	デバイス構成のデコード	R_{TVSP} = 14.7kΩ — TPS257xxC-Q1、R_{TVSP} = 13.0kΩ — TPS257xxD/F-Q1	360.5		387.8	µA
デコード 6	デバイス構成のデコード	R_{TVSP} = 11.0kΩ — TPS257xxC-Q1、R_{TVSP} = 9.53kΩ — TPS257xxD/F-Q1	481.8		518.2	µA
デコード 7	デバイス構成のデコード	R_{TVSP} = 8.45kΩ — TPS257xxC-Q1、R_{TVSP} = 7.5kΩ — TPS257xxD/F-Q1	627.2		674.6	µA
デコード 8	デバイス構成のデコード	R_{TVSP} = 6.65kΩ — TPS257xxC-Q1、R_{TVSP} = 5.6kΩ — TPS257xxCA-Q1 および TPS257xxD/F-Q1	797		857.1	µA
$I_{TVSP(ILIMIT)}$	TVSP が供給しているときの電流制限値。	C_{TVSP} = オープン、R_{TVSP} = オープン。すべての Px_Dy = 0V および Px_CCy = 0V。V_{TVSP} = 0V。TVSP から流出する電流を測定。	1.1	1.44	1.83	mA

(1) デバイスを適切に構成するには、構成を読み取るときに V_{IN} ≥ 7.6V である必要があります。

6.14 入出力 (I/O) 特性

標準値は TJ = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。

パラメータ	テスト条件	最小値	標準値	最大値	単位
GPIO0-9 (入力)(1)					

Copyright © 2026 Texas Instruments Incorporated

6.14 入出力 (I/O) 特性 (続き)

標準値は TJ = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IH}	GPIOx High レベル入力電圧		1.3			V
V_{IL}	GPIOx Low レベル入力電圧				0.54	V
	GPIOx 入力ヒステリシス電圧		0.09			V
$I_{I(LEAKAGE)}$	GPIOx のリーク電流	V_{GPIOx} = 5.5V	-8		8	µA
R_{PU}	GPIOx 内部プルアップ	プルアップ有効	50	100	150	kΩ
R_{PD}	GPIOx 内部プルダウン	プルダウン有効	50	100	150	kΩ
t_{DG}	GPIOx 入力グリッチ除去			20		ns
GPIO 2、3、5、6 (出力)						
V_{OH}	GPIOx 出力 High 電圧	I_{GPIOx} = –5mA	2.9			V
V_{OL}	GPIOx 出力 Low 電圧	I_{GPIOx} = 5mA			0.4	V
GPIO 0、1、4、7、8、9 (出力)(2)						
V_{OH}	GPIOx 出力 High 電圧	I_{GPIOx} = –2mA	2.9			V
V_{OL}	GPIOx 出力 Low 電圧	I_{GPIOx} = 2mA			0.4	V
SYNC OUT						
ϕ shift_00	GPIOx を位相シフトされた DC/DC fsw クロック出力として設定した場合	SYNC(O) として設定した場合の fsw と GPIO6 の位相差。		0		度
ϕ shift_90	GPIOx を位相シフトされた DC/DC fsw クロック出力として設定した場合	SYNC(O) として設定した場合の fsw と GPIO6 の位相差。		90		度
ϕ shift_120	GPIOx を位相シフトされた DC/DC fsw クロック出力として設定した場合	SYNC(O) として設定した場合の fsw と GPIO6 の位相差。		120		度
ϕ shift_180	GPIOx を位相シフトされた DC/DC fsw クロック出力として設定した場合	SYNC(O) として設定した場合の fsw と GPIO6 の位相差。		180		度
SYNC IN						
$f_{SYNC(300kHz)}$	有効な外部クロック周波数 ($f_{SW_internal}$ = 300kHz)		250		353	kHz
$f_{SYNC(400kHz)}$	有効な外部クロック周波数 ($f_{SW_internal}$ = 400kHz)		334		470	kHz
$f_{SYNC(450kHz)}$	有効な外部クロック周波数 ($f_{SW_internal}$ = 450kHz)		376		530	kHz

(1) GPIO9 は通常、I2C_IRQ1m (コントローラ) として設定されます: 入力ピン。I2C 仕様では、外部プルアップ抵抗を使用する必要があります。入力スレッショルド (V_{IH}、V_{IL}) リーク電流 ($I_{I(LEAKAGE)}$) およびグリッチ除去タイミング (t_{DG}) 仕様は、I2C_IRQ1m として使用する場合に適用されます。この動作モードでは、内部プルアップ抵抗およびプルダウン抵抗は使用されません。

(2) GPIO9 または GPIO1 は、I2C_IRQ2s (ターゲット) として設定できます: オープンドレイン出力ピン。I2C 仕様では、外部プルアップ抵抗を使用する必要があります。出力スレッショルド (V_{OL}) が適用されます。この動作モードでは、内部プルアップ抵抗およびプルダウン抵抗は使用されません。

6.15 BC1.2 の特性

標準値は TJ = 25°C での値です。特に記載がない限り、最小値および最大値は –40°C ～ 150°C の接合部温度範囲全体に適用されます。特に記載がない限り、V_{IN} = 13.5V、EN = 2V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
BC1.2 抵抗						
R_{DCP_DAT}	Px_DP と Px_DM 間の専用充電ポート抵抗	V_{Px_DP} = 0.6V、V_{Px_DM} = 0V で、DP から DM への短絡抵抗を測定			200	Ω
$R_{DM_DWN_15k}$	Px_DM ラインのプルダウン抵抗	V_{Px_DM} = 3.6V	12	15	18	kΩ

Copyright © 2026 Texas Instruments Incorporated

6.15 BC1.2 の特性 (続き)

標準値は TJ = 25°C での値です。特に記載がない限り、最小値および最大値は –40°C ～ 150°C の接合部温度範囲全体に適用されます。特に記載がない限り、V_{IN} = 13.5V、EN = 2V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_{DM_DWN_20k}$	Px_DM ラインのプルダウン抵抗	V_{Px_DM} = 3.6V	14.25	19.53	24.8	kΩ
デバイダ モード						
$V_{2.7V}$	DPy ピンの出力電圧	DPy ピンは無負荷	2.57	2.7	2.83	V
$V_{2.7V}$	DMy ピンの出力電圧	DMy ピンは無負荷	2.57	2.7	2.83	V
$R_{2.7V}$	DPy の出力インピーダンス	DPy ピンから 5µA を引き込む	24	30	36	kΩ
$R_{2.7V}$	DMy の出力インピーダンス	DMy ピンから 5µA を引き込む	24	30	36	kΩ
$V_{1.2V}$	DMy の出力電圧	DMy は無負荷	1.12	1.2	1.28	V
$R_{1.2V}$	DMy の出力インピーダンス	DMy から 5µA が流入	80	102	130	kΩ
HVDCP スレッショルド電圧						
V_{DAT_REF}	DP または DM ピンのデータ検出電圧		0.25	0.325	0.4	V
V_{SEL_REF}	DP または DM ピンの出力選択電圧		1.8	2	2.2	V
DP および DM の過電圧保護						
V_{Dy_OVP}	USB Px_DP および Px_DM ピンの OVP 検出スレッショルド	最初は V_{PxDy} < 3.6V、その後 V_{Px_Dy} は上昇。	5.5		8.5	V

6.16 I2C の要件と特性

標準値は TJ = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。V_{DD} = I2C プルアップ電圧 (3.3V または 1.8V)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$\overline{I2C_IRQ1s}$、$\overline{I2C_IRQ2}$						
$\overline{I2C_IRQ1m}$						
SDA および SCL の特性 (標準モード、高速モード、高速モード プラス)						
V_{IL}	入力低信号				0.54	V
V_{IH}	入力高信号		1.3			V
V_{DD} = 3.3V 入力ロジック スレッショルド						
V_{IL}	入力低信号				0.9	V
V_{IH}	入力高信号		2.31			V
V_{HYS}	入力ヒステリシス		0.165			V
V_{OL}	出力 LOW 電圧	V_{DD} = 1.8V、I_{OL} = 2mA			0.36	
V_{OL}	出力 LOW 電圧	V_{DD} = 3.3V、I_{OL} = 3mA			0.4	V
I_{OL}	最大出力低電流	V_{OL} = 0.4V	12			mA
I_{LEAK}	入力リーク電流	ピン = 3.3V の電圧	-5		5	µA
C_I	ピン容量 (内部)				10	pF
C_b	各バス ラインの容量性負荷 (外部)。標準モードおよび高速モードで適用されます。				400	pF
C_b	各バス ラインの容量性負荷 (外部)。高速モード プラスで適用されます。				550	pF
一般的なタイミング						
t_{SP}	I2C パルス幅抑制				50	ns
SDA および SCL の特性 (標準モード)						

Copyright © 2026 Texas Instruments Incorporated

6.16 I2C の要件と特性 (続き)

標準値は TJ = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。V_{DD} = I2C プルアップ電圧 (3.3V または 1.8V)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SCLS}	クロック周波数 (ターゲット)	V_{DD} = 1.8V または 3.3V			100	kHz
$t_{HD;STA}$	Start または反復 Start 条件のホールド時間	V_{DD} = 1.8V または 3.3V	4			µs
t_{LOW}	SCL クロックの Low 時間	V_{DD} = 1.8V または 3.3V	4.7			µs
t_{HIGH}	SCL クロックの High 時間	V_{DD} = 1.8V または 3.3V	4			µs
$t_{SU;STA}$	Start または反復 Start 条件のセットアップ時間	V_{DD} = 1.8V または 3.3V	4.7			µs
$t_{HD;DAT}$	シリアル データのホールド時間(1)	V_{DD} = 1.8V または 3.3V	0 (2)		- (3)	ns
$t_{SU;DAT}$	シリアル データのセットアップ時間	V_{DD} = 1.8V または 3.3V	250			ns
t_r	SCL および SDA 信号の立ち上がり時間	V_{DD} = 1.8V または 3.3V、R_{PU} = 2.8kΩ、Cb = 400pF、0.3 × V_{DD} ～ 0.7 × V_{DD} を測定			1000	ns
t_{of}	$V_{IH(MIN)}$ ～ $V_{IL(MAX)}$ までの出力立ち下がり時間	V_{DD} = 1.8V または 3.3V、0.3 × V_{DD} ～ 0.7 × V_{DD} を測定			250 (4)	ns
t_f	SCL および SDA 信号の立ち下がり時間(2)(4)(5)	V_{DD} = 1.8V、R_{PU} = 2.8kΩ、10pF ≤ C_b ≤ 400pF			300	ns
t_f	SCL および SDA 信号の立ち下がり時間(2)(4)(5)	V_{DD} = 3.3V、R_{PU} = 2.8kΩ、10pF ≤ C_b ≤ 400pF			300	ns
$t_{SU;STO}$	STOP 条件のセットアップ時間	V_{DD} = 1.8V または 3.3V	4			µs
t_{BUF}	STOP と START 間のバス フリー時間	V_{DD} = 1.8V または 3.3V	4.7			µs
$t_{VD;DAT}$	有効データ時間(6)	データを送信、V_{DD} = 1.8V または 3.3V、SCL low から SDA 出力が有効になるまで			3.45 (3)	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データ送信、V_{DD} = 1.8V または 3.3V、SCL が Low になってから SDA が有効になるまでの ACK 信号			3.45 (3)	µs
SDA および SCL 特性 (高速モード)						
f_{SCLS}	クロック周波数 (ターゲット)	V_{DD} = 1.8V または 3.3V			400	kHz
$t_{HD;STA}$	Start または反復 Start 条件のホールド時間	V_{DD} = 1.8V または 3.3V	0.6			µs
t_{LOW}	SCL クロックの Low 時間	V_{DD} = 1.8V または 3.3V	1.3			µs
t_{HIGH}	SCL クロックの High 時間	V_{DD} = 1.8V または 3.3V	0.6			µs
$t_{SU;STA}$	Start または反復 Start 条件のセットアップ時間	V_{DD} = 1.8V または 3.3V	0.6			µs
$t_{HD;DAT}$	シリアル データのホールド時間(1)	V_{DD} = 1.8V または 3.3V	0 (2)		- (3)	ns
$t_{SU;DAT}$	シリアル データのセットアップ時間	V_{DD} = 1.8V または 3.3V	100 (7)			ns
t_r	SCL および SDA 信号の立ち上がり時間	V_{DD} = 1.8V または 3.3V、R_{PU} = 850Ω、C_b = 400pF、0.3 × V_{DD} から 0.7 × V_{DD} までを測定	20		300	ns
t_{of}	$V_{IH(MIN)}$ ～ $V_{IL(MAX)}$ までの出力立ち下がり時間	V_{DD} = 1.8V、0.3 × V_{DD} から 0.7 × V_{DD} までを測定	6.55		250 (4)	ns
t_{of}	$V_{IH(MIN)}$ ～ $V_{IL(MAX)}$ までの出力立ち下がり時間	V_{DD} = 3.3V、0.3 × V_{DD} から 0.7 × V_{DD} までを測定	12		250 (4)	ns
t_f	SCL および SDA 信号の立ち下がり時間(2)(4)(5)	V_{DD} = 1.8V、R_{PU} = 850Ω;10pF ≤ C_b ≤ 400pF	6.55		300	ns

Copyright © 2026 Texas Instruments Incorporated

6.16 I2C の要件と特性 (続き)

標準値は TJ = 25°C での値です。特に記載のない限り、最小値および最大値は接合部温度範囲 –40°C ～ 150°C 全体で適用されます。特に記載がない限り、V_{IN} = 13.5V および EN = 2V。V_{DD} = I2C プルアップ電圧 (3.3V または 1.8V)

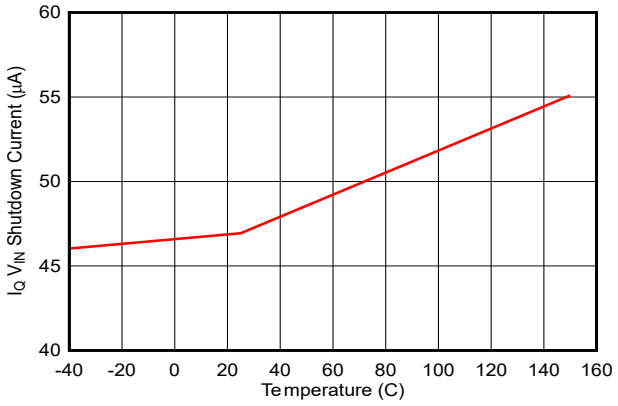
パラメータ		テスト条件	最小値	標準値	最大値	単位
t_f	SCL および SDA 信号の立ち下がり時間(2)(4)(5)	V_{DD} = 3.3V、R_{PU} = 850Ω ; 10pF ≤ C_b ≤ 400pF	12		300	ns
$t_{SU;STO}$	STOP 条件のセットアップ時間	V_{DD} = 1.8V または 3.3V	0.6			µs
t_{BUF}	STOP と START 間のバス フリー時間	V_{DD} = 1.8V または 3.3V	1.3			µs
$t_{VD;DAT}$	有効データ時間(6)	データを送信、V_{DD} = 1.8V または 3.3V、SCL low から SDA 出力が有効になるまで			0.9 (3)	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データを送信、V_{DD} = 1.8V または 3.3V、SCL low から SDA (out) low への ACK 信号			0.9 (3)	µs

(1) t_{HD-DAT} は、SCL の立ち下がりエッジから測定されたデータ ホールド時間であり、送信中のデータとアクノリッジに適用されます。
(2) SCL 信号の立ち下がりエッジの未定義領域をブリッジするため、デバイスは SDA 信号のために (SCL 信号の $V_{IH(MIN)}$ を基準として) 300ns 以上のホールド時間を内部的に確保する必要があります。
(3) $t_{HD;DAT}$ の最大値は、標準モードで 3.45µs、高速モードで 0.9µs ですが、$t_{VD;DAT}$ または $t_{VD;ACK}$ の最大値より遷移時間の分だけ小さくする必要があります。この最大値を満たす必要があるのは、SCL 信号の Low 期間 (t_{LOW}) を本デバイスがストレッチ (延長) しない場合に限られます。クロックが SCL をストレッチした場合、クロックが解放されるときからセットアップ時間の分だけ前に、データが有効になっている必要があります。
(4) これらの表に記載されている SDA および SCL バス ラインの最大 t_f (300ns) は、出力ステージに規定されている最大 t_{of} (250ns) よりも長くなっています。最大 t_f により、SDA および SCL ピンと SDA および SCL バス ラインの間に直列保護抵抗 (R_S) を接続しても、規定の最大 t_f を超えないようになっています。
(5) ファースト モード プラスでは、出力段とバス タイミングの立ち下がり時間が同じに規定されています。直列抵抗 (R_S) を使用する場合は、バス タイミングの検討時にそれを考慮した設計にする必要があります。
(6) $t_{VD;DAT}$ = データ信号が必要とする SCL LOW から SDA 出力 (HIGH または LOW、どちらか長い方) までの時間。
(7) ファースト モード I2C バス デバイスは、スタンダード モード I2C バス システムでも使えますが、その場合、$t_{SU;DAT}$ 250ns の要件を満たす必要があります。デバイスが SCL 信号の LOW 期間をストレッチしない場合、この要件は自動的に満たされます。そのようなデバイスが SCL 信号の LOW 期間をストレッチする場合は、SCL ラインがリリースされる $t_{r(max)}$ + $t_{SU;DAT}$ = 1000 + 250 = 1250ns (標準モード I2C バス仕様に準拠) 前に、次のデータ ビットを SDA ラインに出力する必要があります。アクノリッジのタイミングもこのセットアップ時間を満たす必要があります。

Copyright © 2026 Texas Instruments Incorporated

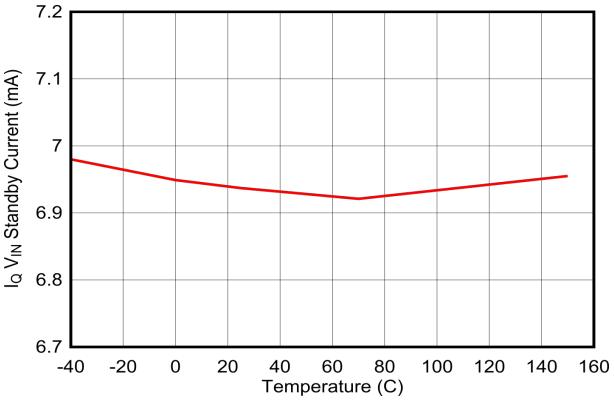
6.17 代表的特性

特に記述のない限り、V_{IN} = 12V、f_{sw} = 400kHz



EN = 0V

図 6-1. I_Q V_{IN} のシャットダウン電流と温度との関係



EN = 2V

USB ポートが接続されていません

図 6-2. I_Q V_{IN} のスタンバイ電流の温度特性

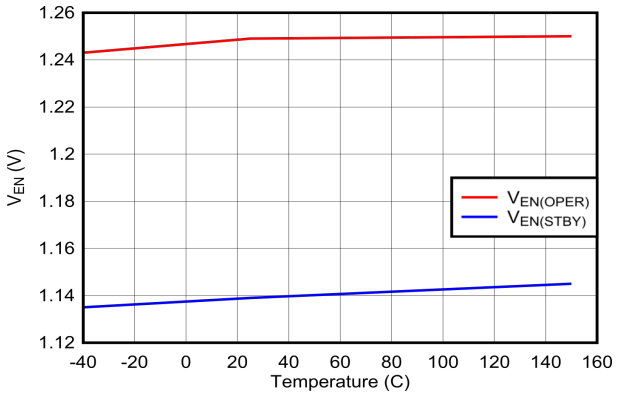


図 6-3. ENABLE/UVLO スレッショルドと温度との関係

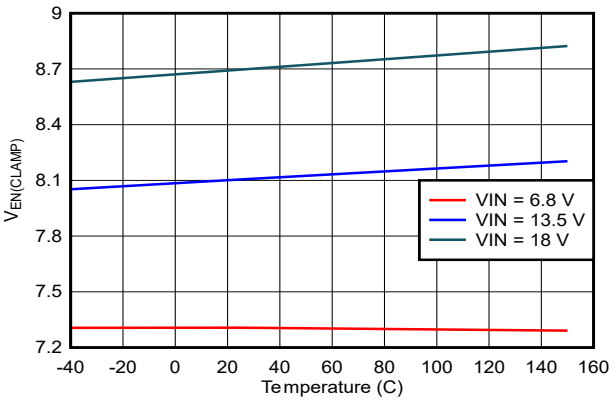


図 6-4. EN クランプ電圧と温度との関係

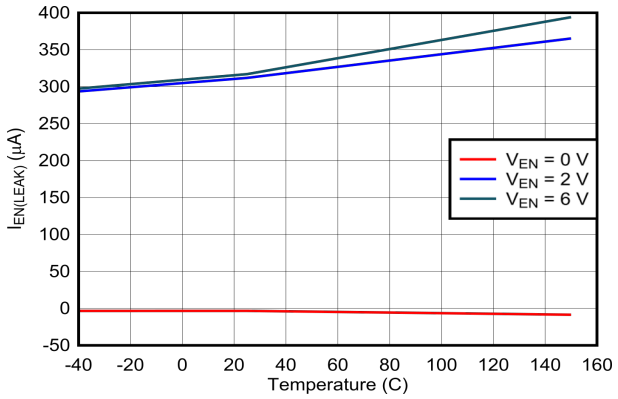


図 6-5. EN リーク電流と温度との関係

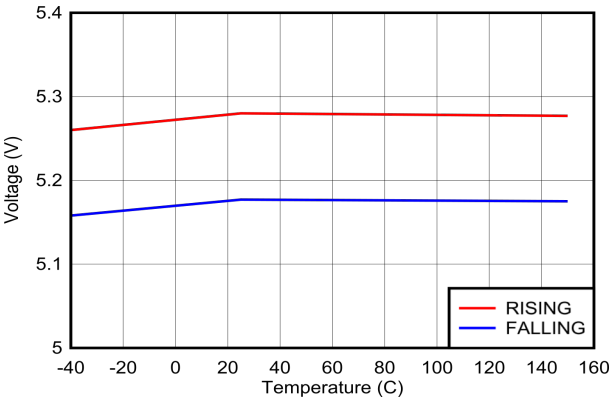


図 6-6. $V_{IN(UVLO)}$ と温度との関係

6.17 代表的特性 (続き)

特に記述のない限り、V_{IN} = 12V、f_{sw} = 400kHz

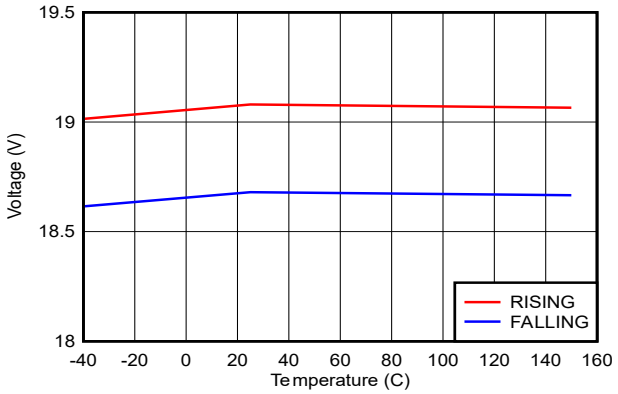


図 6-7. $V_{IN(OVP)}$ と温度との関係

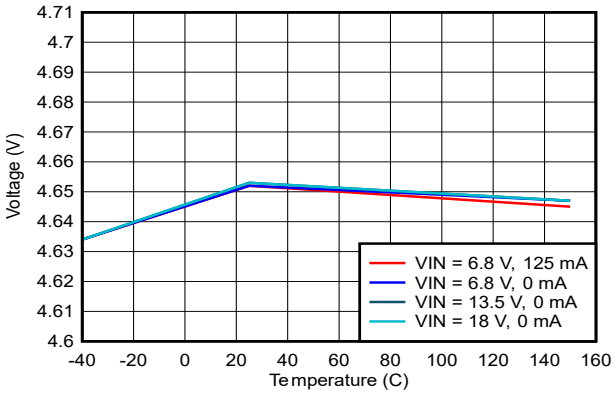


図 6-8. LDO_5V、V_{IN} と温度との関係

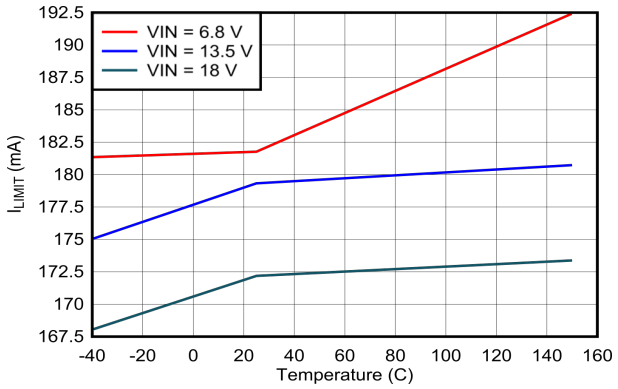


図 6-9. LDO_5V 電流制限、V_{IN} と温度との関係

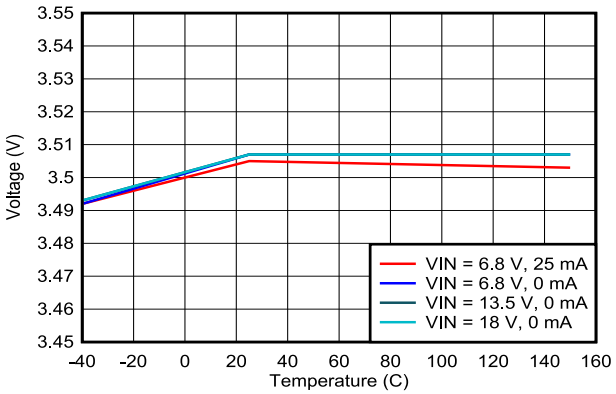


図 6-10. LDO_3V3、V_{IN} と温度との関係

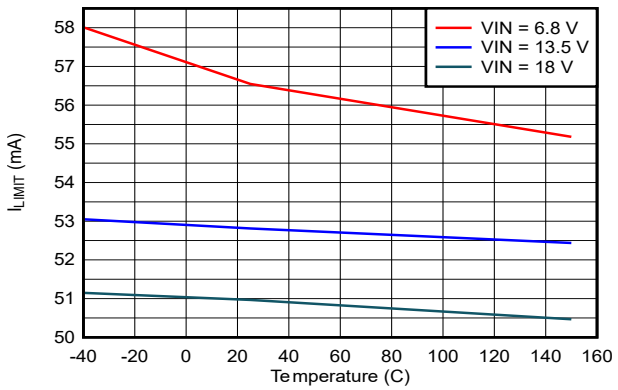


図 6-11. LDO_3V3 電流制限、V_{IN} と温度との関係

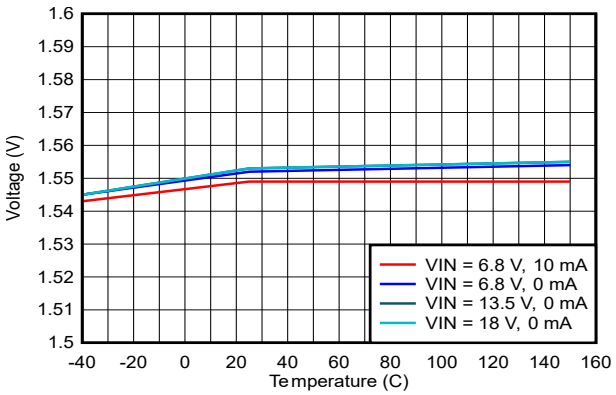


図 6-12. LDO_1V5、V_{IN} と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.17 代表的特性 (続き)

特に記述のない限り、V_{IN} = 12V、f_{sw} = 400kHz

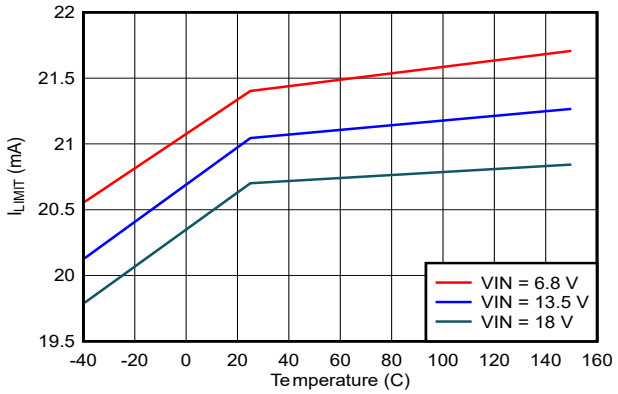


図 6-13. LDO_1V5 電流制限、V_{IN} と温度との関係

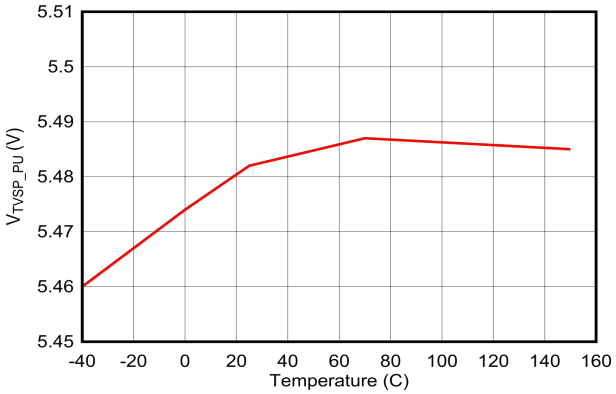


図 6-14. V_{TVSP_PU} と温度との関係

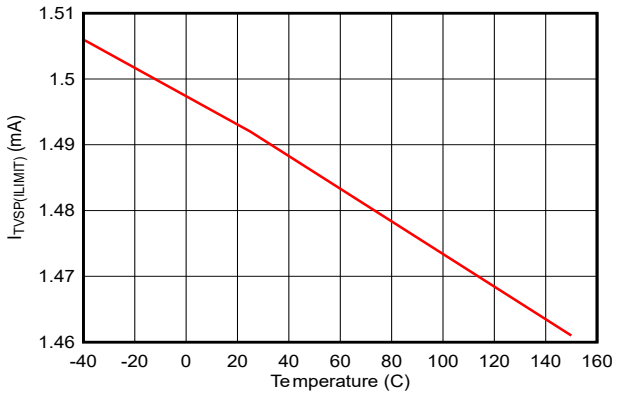


図 6-15. $I_{TVSP(ILIMIT)}$ と温度との関係

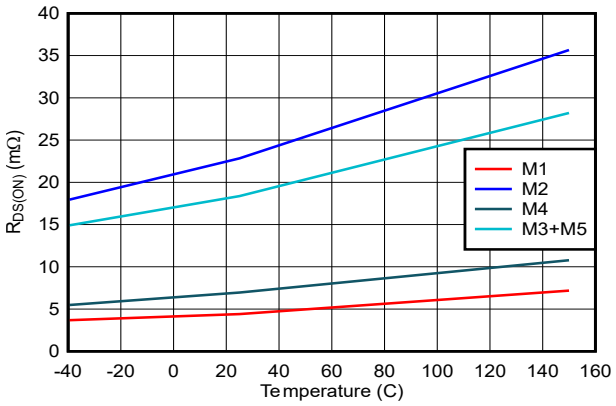


図 6-16. 昇降圧パワー FET の $RDS_{(ON)}$ と温度との関係

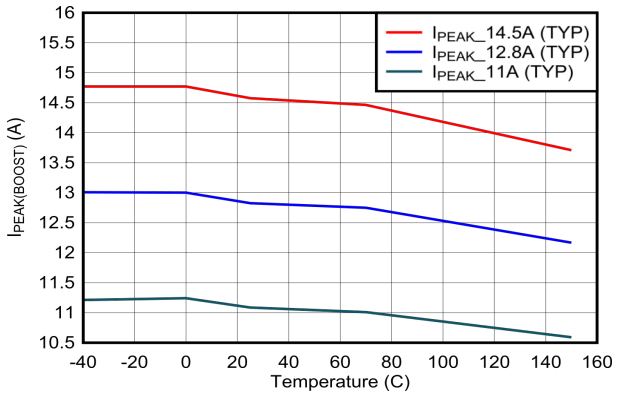


図 6-17. 昇圧ピーク電流制限と温度との関係 (高設定)

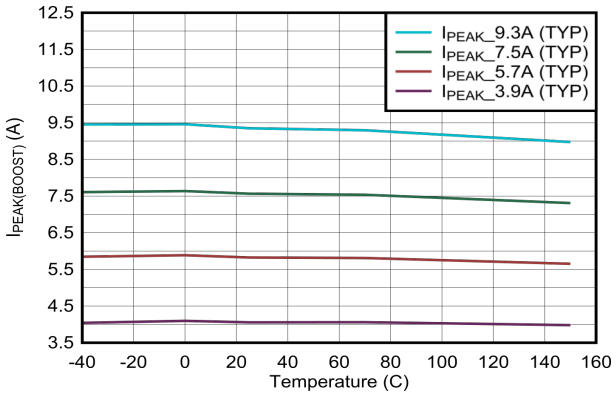


図 6-18. 昇圧ピーク電流制限と温度との関係 (低設定)

Copyright © 2026 Texas Instruments Incorporated

6.17 代表的特性 (続き)

特に記述のない限り、V_{IN} = 12V、f_{sw} = 400kHz

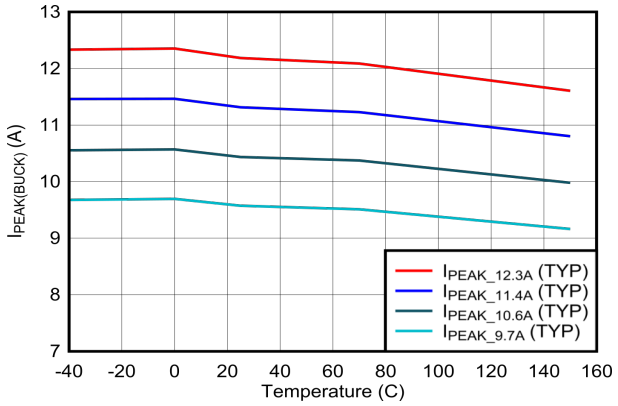


図 6-19. 降圧ピーク電流制限と温度との関係 (高設定)

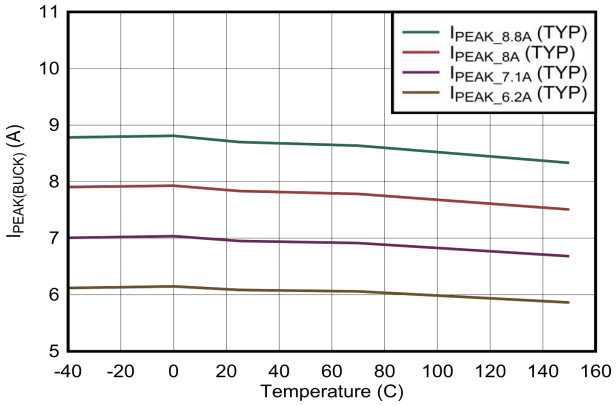


図 6-20. 降圧ピーク電流制限と温度との関係 (低設定)

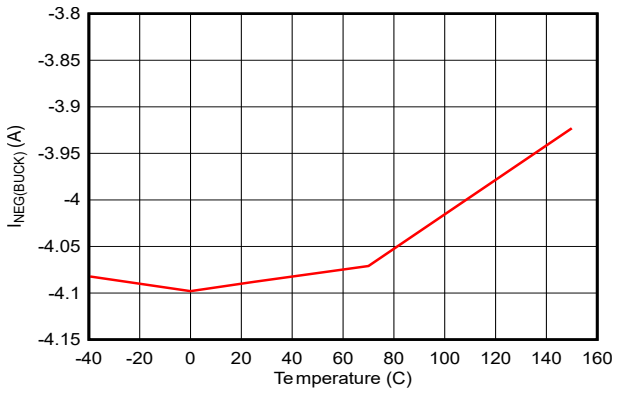


図 6-21. 降圧負電流制限と温度との関係

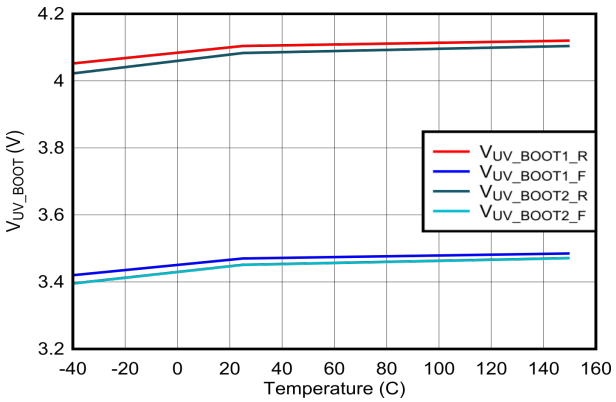


図 6-22. BOOTx UVLO と温度との関係

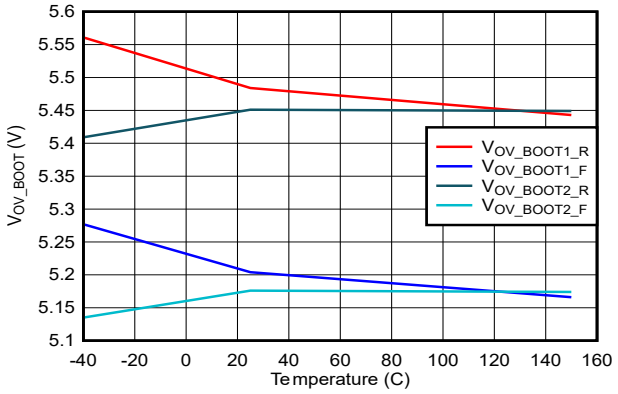
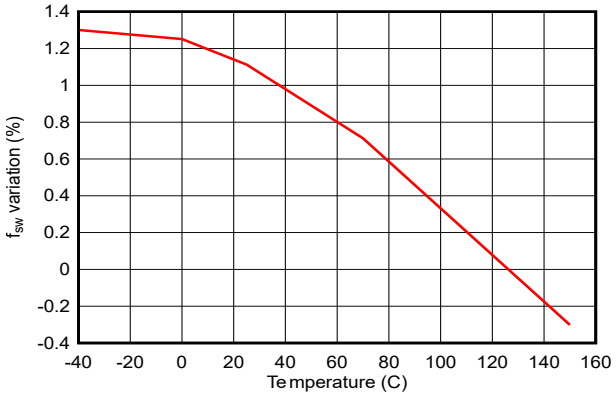


図 6-23. BOOTx OVP と温度との関係



公称値からのパーセント変化

図 6-24. 昇降圧スイッチング周波数の変動と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.17 代表的特性 (続き)

特に記述のない限り、V_{IN} = 12V、f_{sw} = 400kHz

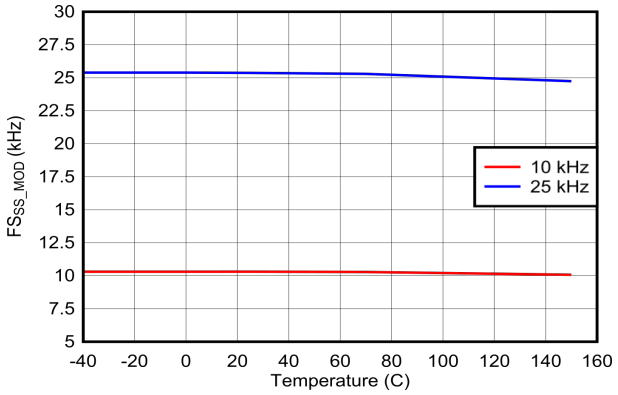
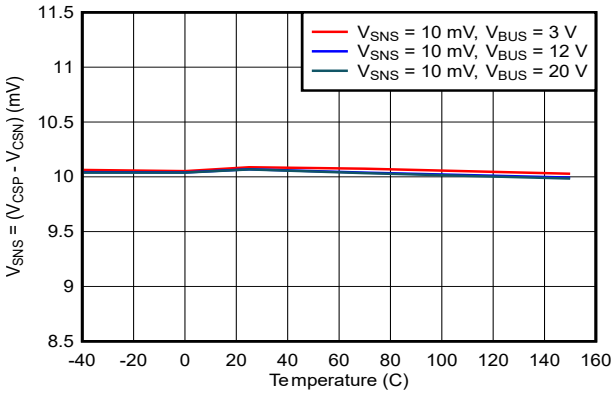
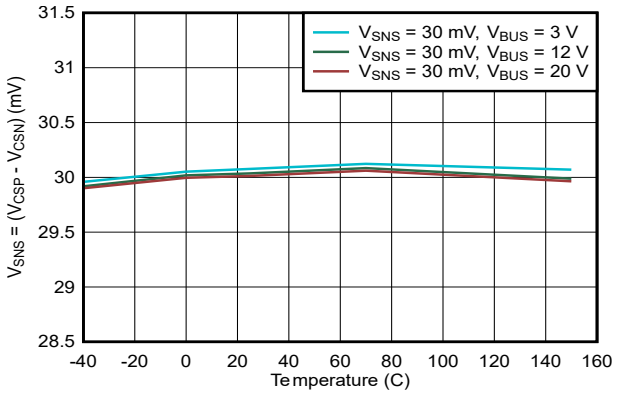


図 6-25. f_{SW} ディザリング変調周波数と温度との関係



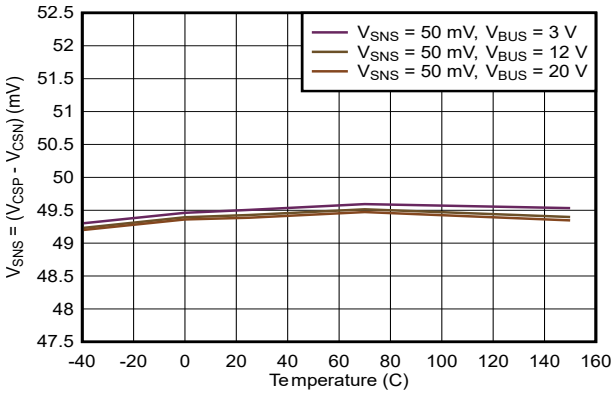
電流制限時の目標 V_{SNS} = 10mV
電流制限作動

図 6-26. 電流ループ レギュレーション電圧、V_{BUS} と温度との関係



電流制限時の目標 V_{SNS} = 30mV
電流制限作動

図 6-27. 電流ループ レギュレーション電圧、V_{BUS} と温度との関係



電流制限時の目標 V_{SNS} = 50mV
電流制限作動

図 6-28. 電流ループ レギュレーション電圧、V_{BUS} と温度との関係

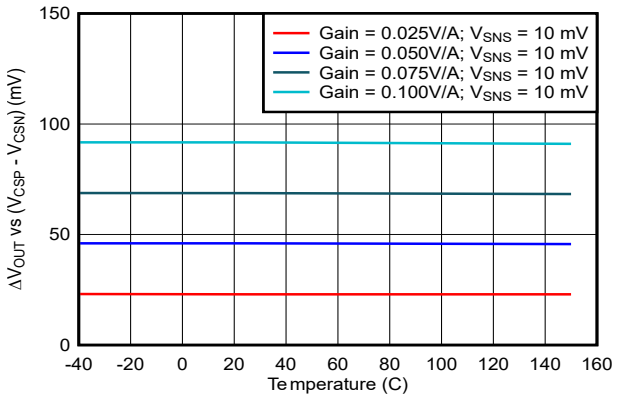


図 6-29. ケーブル電圧ドループ補償と温度との関係

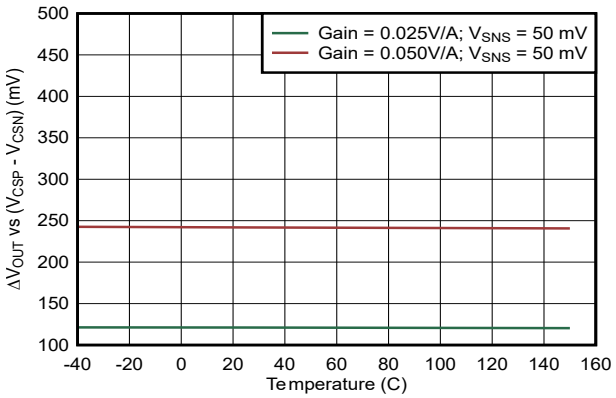


図 6-30. ケーブル電圧ドループ補償と温度との関係

6.17 代表的特性 (続き)

特に記述のない限り、V_{IN} = 12V、f_{sw} = 400kHz

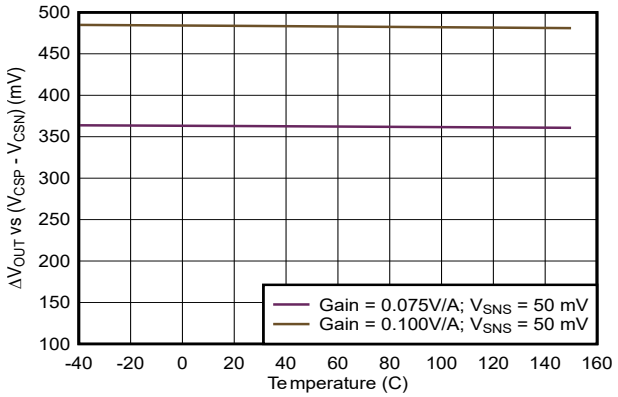
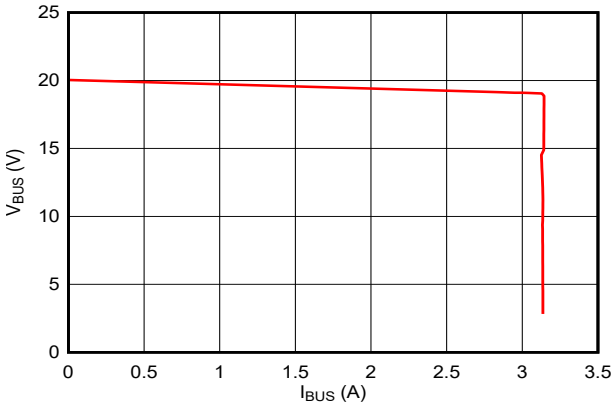
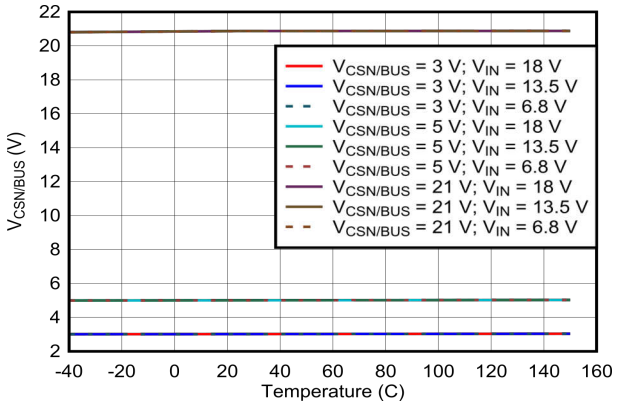


図 6-31. ケーブル電圧ドループ補償と温度との関係



V_{IN} = 13.5V　　V_{BUS} = 20V (CV)　　I_{LIMIT} = 3.15A (CC)

図 6-32. 定電圧から定電流への遷移



I_{BUS} = 0A

図 6-33. 昇降圧出力電圧レギュレーションと温度との関係

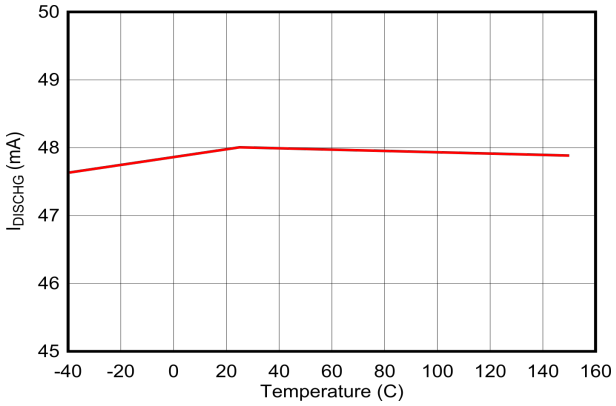


図 6-34. V_{BUS} 放電電流と温度との関係

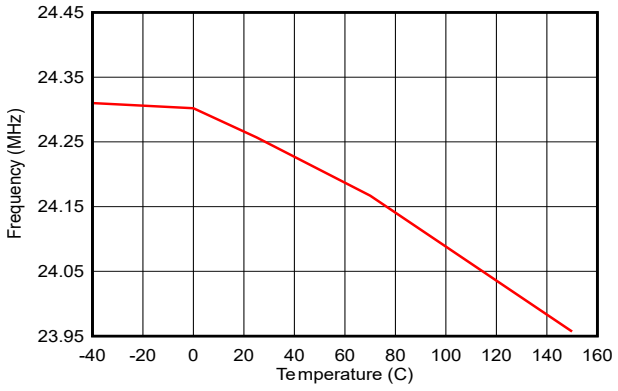


図 6-35. (M0) 24MHz 発振器と温度との関係

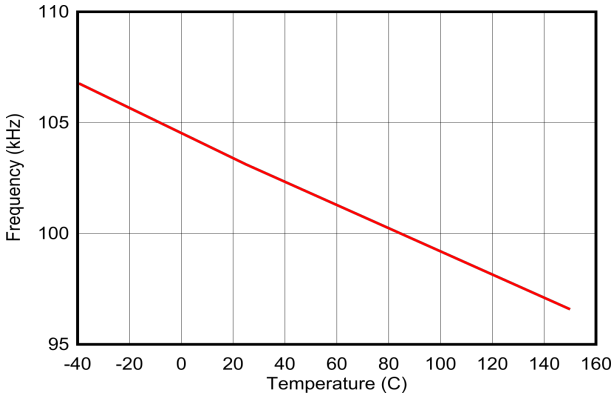


図 6-36. (M0) 100kHz 発振器と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.17 代表的特性 (続き)

特に記述のない限り、V_{IN} = 12V、f_{sw} = 400kHz

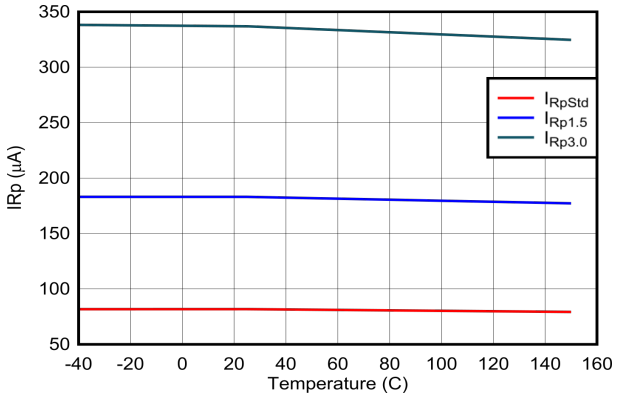


図 6-37. Type-C ケーブル検出：I_{Rp} と温度との関係

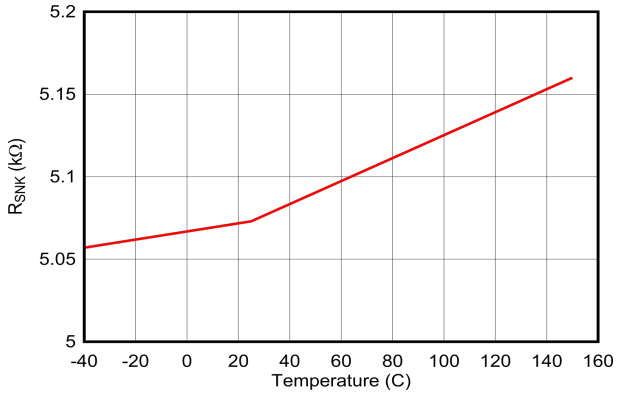


図 6-38. Type-C ケーブル検出：R_{SNK} と温度との関係

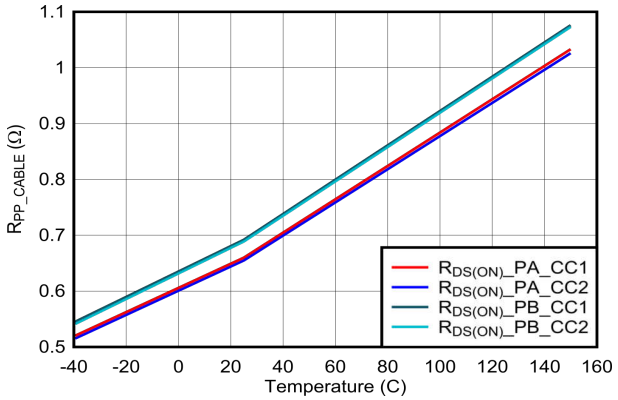


図 6-39. V_{CONN} パワー パス：$R_{DS(ON)}$ と温度との関係

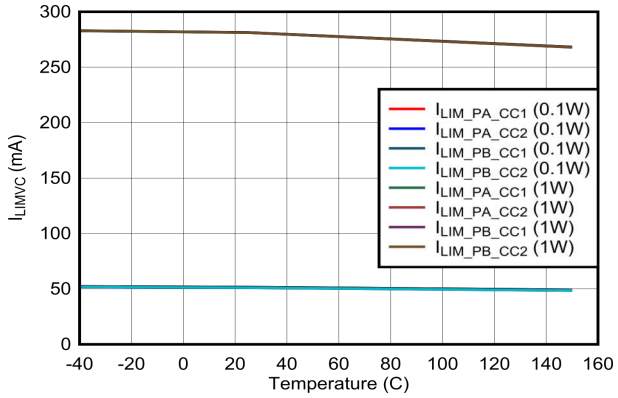


図 6-40. V_{CONN} パワー パス：電流制限と温度との関係

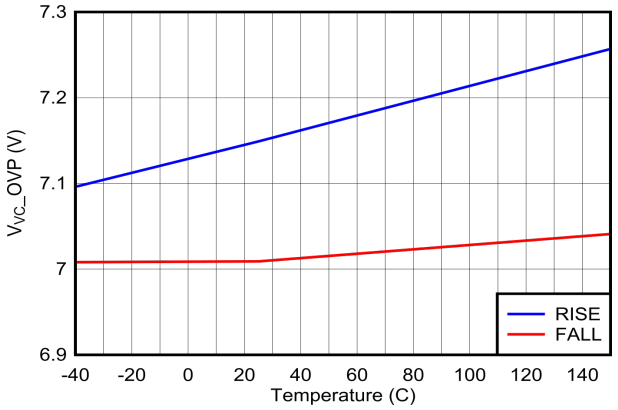


図 6-41. Type-C ケーブル検出、V_{CONN}：過電圧保護スレッショルドと温度との関係

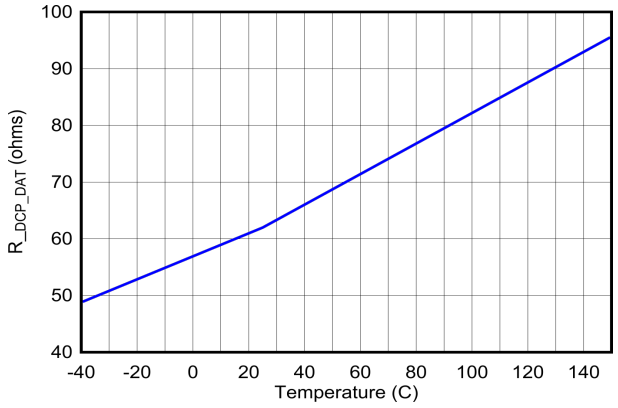


図 6-42. USB BC1.2：DP から DM への短絡抵抗、R_{DCP_DAT}

6.17 代表的特性 (続き)

特に記述のない限り、V_{IN} = 12V、f_{sw} = 400kHz

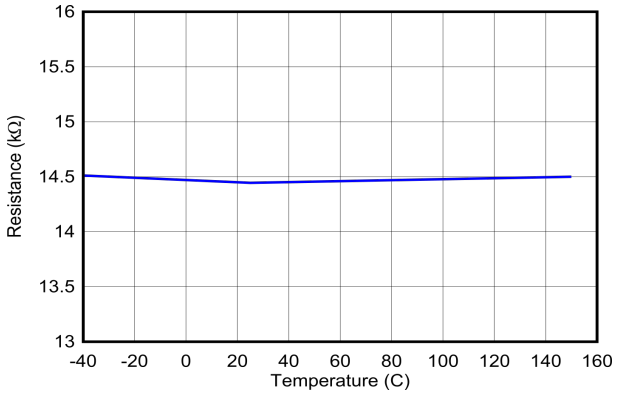


図 6-43. USB BC1.2：DM から AGND への 15kΩ 抵抗、$R_{DM_DWN_15k}$

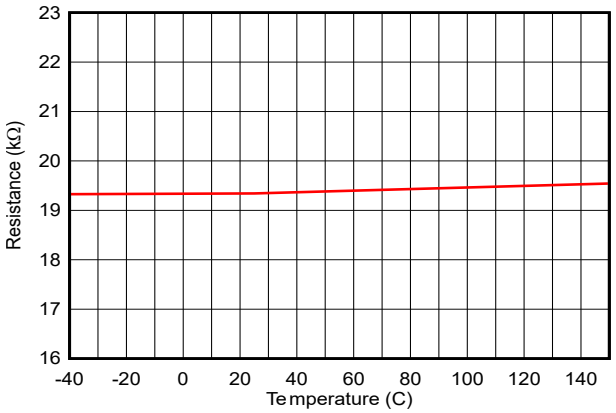


図 6-44. USB BC1.2：DM から AGND への 20kΩ 抵抗、$R_{DM_DWN_20k}$

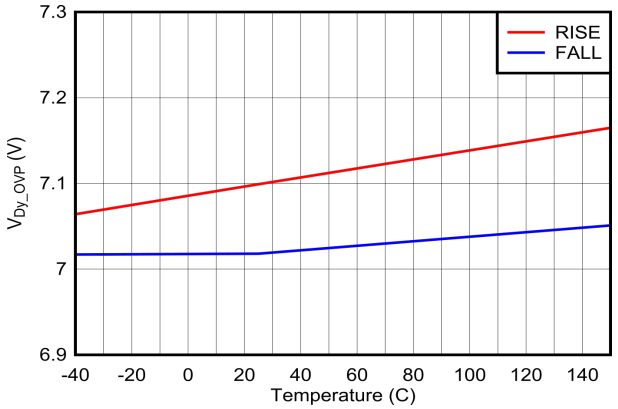
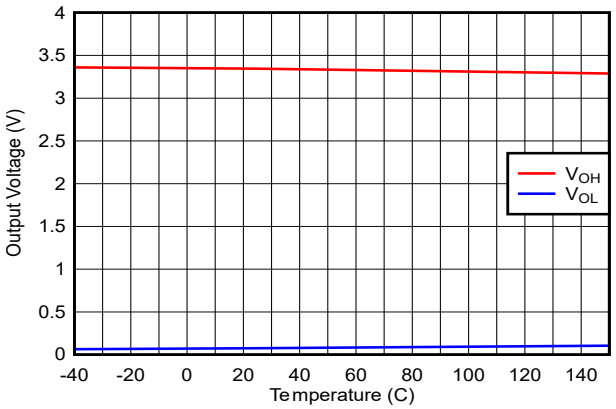
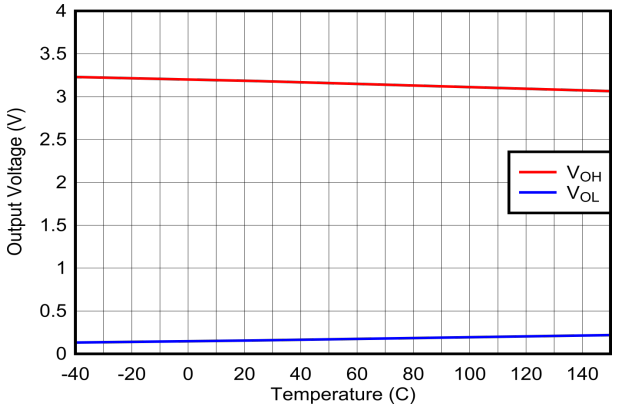


図 6-45. USB BC1.2：DP および DM ピンの過電圧保護スレッショルドと温度との関係



GPIO 0, 1, 4, 7, 8, 9
IO = ±2mA

図 6-46. GPIO：出力電圧、出力電流と温度との関係



GPIO 2, 3, 5, 6
IO = ±5mA

図 6-47. GPIO：出力電圧、出力電流と温度との関係

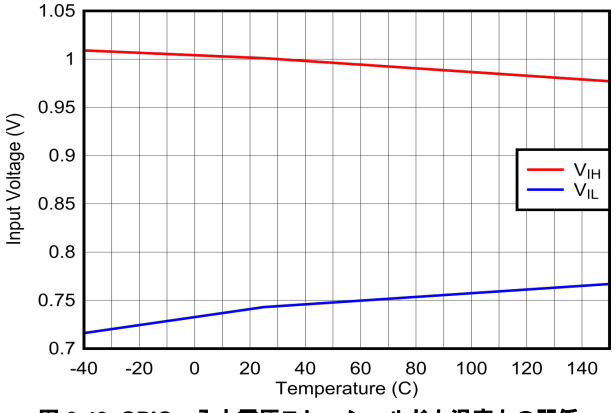


図 6-48. GPIO：入力電圧スレッショルドと温度との関係

Copyright © 2026 Texas Instruments Incorporated

7 パラメータ測定情報

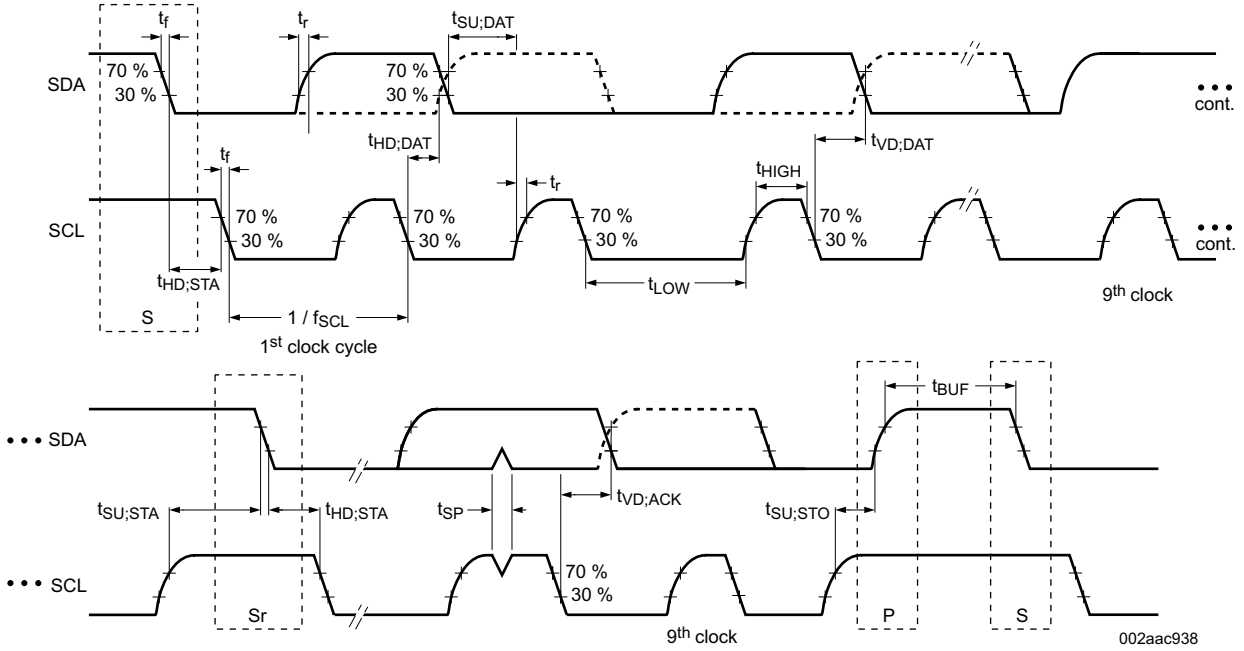


図 7-1. I²C ターゲット インターフェース タイミング

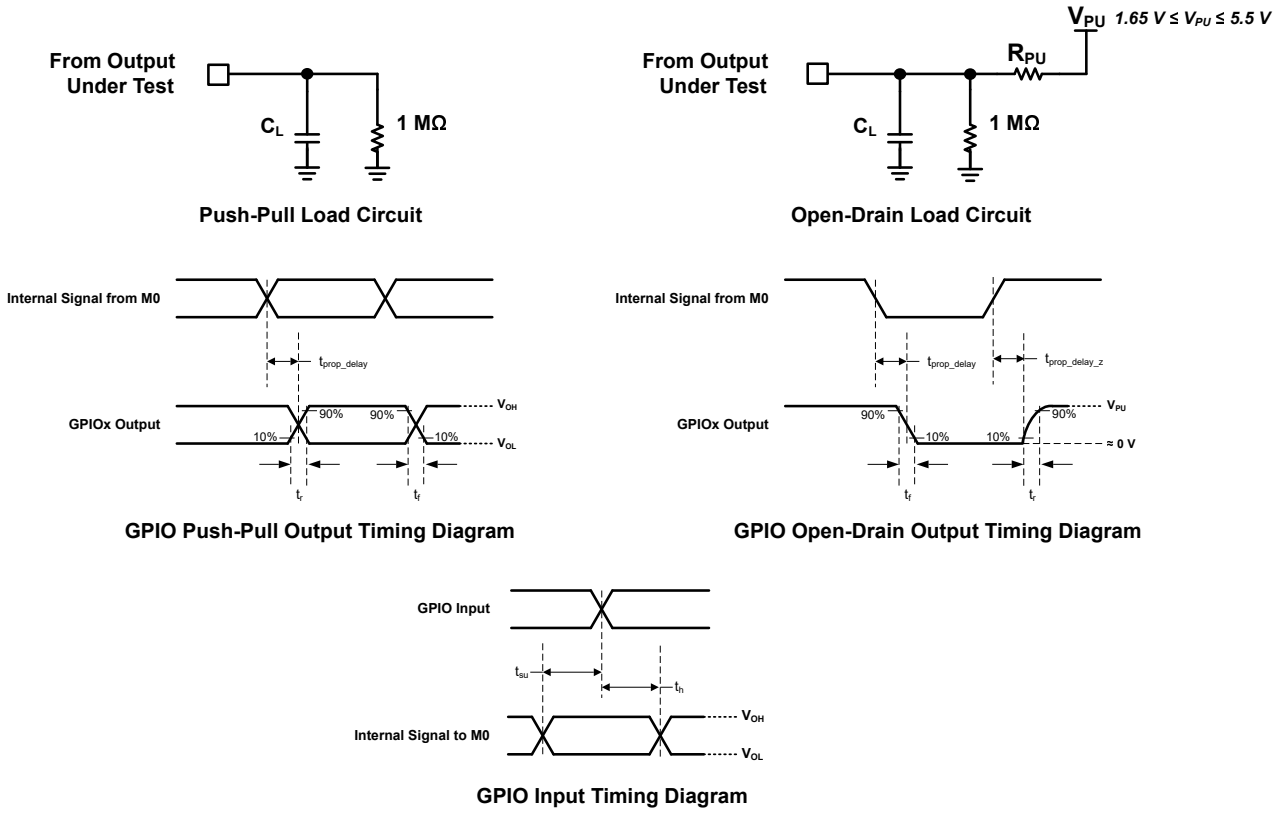


図 7-2. GPIO 出力のタイミング図 (立ち上がり / 立ち下がりと容量性負荷との関係)

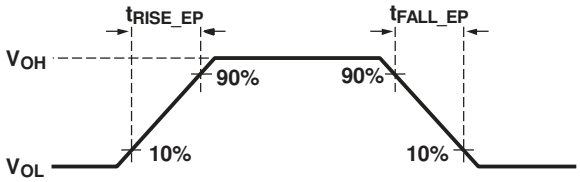


図 7-3. USB エンドポイント トランスミッタの立ち上がり時間および立ち下がり時間

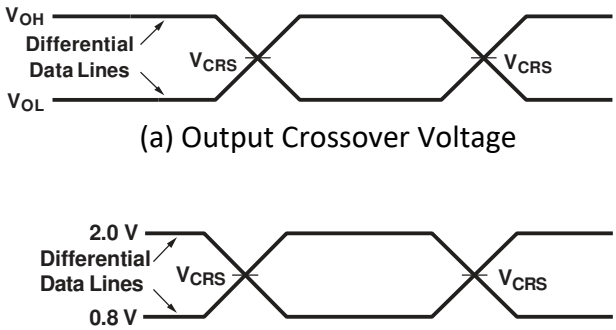


図 7-4. USB エンドポイントのクロスオーバー電圧

Copyright © 2026 Texas Instruments Incorporated

8 詳細説明

8.1 概要

TPS25772-Q1 は、12V の車載バッテリ システムでの使用を目的とした統合型 AEC-Q100 USB パワー デリバリ (USB-PD) 電源です。入力電源ピン、V_{IN}、は、負荷ダンプにクランプされたバッテリ電源、V_{BAT} に接続し、40V (絶対最大定格) を超えないようにする必要があります。

このデバイスは、USB-PD コントローラ、Type-C ケーブル プラグと方向検出回路、USB エンドポイント、USB バッテリ充電規格バージョン 1.2 (BC1.2) 検出回路、デジタル コア、デバイスのパワー マネージメントと監視回路、および 4 つのパワー スイッチを内蔵した昇降圧コンバータの 7 つのサブブロックで構成されています。

USB-PD コントローラは、USB-PD プロトコルの物理層 (PHY) 機能を提供します。USB-PD のデータは、リバーシブルな USB Type-C ケーブルの向きに応じて、Px_CC1 ピンまたは Px_CC2 ピンのいずれかから出力されます。USB-PD 物理層の概要ブロック図、機能の説明、およびより詳細な回路については、「USB-PD 物理層」を参照してください。

ケーブル プラグおよび方向検出用のアナログ回路は、USB Type-C ケーブルの挿入とその向きを自動的に検出します。ケーブル プラグおよび方向検出の概要ブロック図、機能の説明、より詳細な回路については、「ケーブル プラグおよび方向検出」を参照してください。

USB エンドポイントは、構成情報とファームウェア アップデートをダウンロードするために搭載されています。ファームウェアで有効化すると、USB エンドポイントは PA_DP ピンと PA_DM ピンに接続されます。

USB BC1.2 サブブロックには、USB DP および DM データ ラインで信号を送信する従来型 USB 充電方式 (DCP、デバイダ 3, 1.2V モード、および HVDCP など) に対応する回路が含まれています。詳細については「BC 1.2、従来型および高速充電モード (Px_DP、Px_DM)」を参照してください。

パワー マネージメントと監視回路は、デバイスが使用する LDO_5V、LDO_3V3、LDO_1V5 電圧レールを生成します。LDO_5V は、LDO_3V3 および LDO_1V5 レールに電力を供給します。パワー マネージメント回路の概要ブロック図、機能の説明、および詳細な回路については、「内部 LDO レギュレータ」セクションを参照してください。

このデジタル コアには、160kB ROM と 27kB RAM のメモリを搭載した ARM Cortex-M0 が搭載されています。ROM には、デバイス機能を実行するためのファームウェア コードが含まれています。RAM には、グラフィカル ユーザー インターフェイス (GUI) を使用して作成されたアプリケーション構成コードや、製造後のファームウェア更新が保存されます。デジタル コアは、USB ポートの接続ステータスや通信、システム電力バジェットとアロケーション、システムの温度監視と負荷制限、およびフォルト検出と報告など、システムを自律的に管理するためのエンジンです。すべてのデバイスは、外部 EEPROM メモリ、DC/DC コンバータ、USB データ マルチプレクサ / リドライバ、GPIO エクスパンダ、追加の温度センサなどの外部ペリフェラルを制御する、1 つのコントローラ I^2C ポート (I^2C1) を搭載しています。一部のデバイスは、外部プロセッサ、ハブ、あるいは組込みコントローラに接続するための I^2C ターゲット ポート (I^2C2) を搭載しています。内蔵の 8 ビット A/D コンバータ ADC (「ADC」セクションを参照) は、USB ポートの遠隔測定情報を監視します。USB ポートの接続ステータス、電圧、電流、フォルト情報は、I^2C2 ターゲット ポートから読み取られます。デジタル コアの概要ブロック図、およびその機能の説明については、「デジタル コア」セクションを参照してください。

内蔵の昇降圧 DC/DC コンバータは、PA_VBUS パワー ソースに電力を供給します。内蔵 DC/DC は、V_{IN} が V_{OUT} より高いときは降圧モードで動作し、V_{IN} が V_{OUT} より低いときは昇圧モードで動作します。V_{IN} と V_{OUT} がほぼ同じになると、遷移モードで動作します。

デュアル ポート デバイス

TPS25772-Q1 はデュアル USB ポート デバイスです。機能の相違点については、「デバイス比較表」を参照してください。TPS25772-Q1 は、単一 3.3V ～ 21V 出力の内部昇降圧コンバータ、2 つの USB-PD ポート コントローラ (ケーブル プラグと方向検出を提供)、2 つの内部 VCONN ソース パス、従来型 USB バッテリ充電規格 v1.2 専用充電ポート (DCP)、およびデバイダ 3、1.2V、HVDCP モードなど、各ポートの従来型 (USB 非準拠) 充電器検出で構成されています。

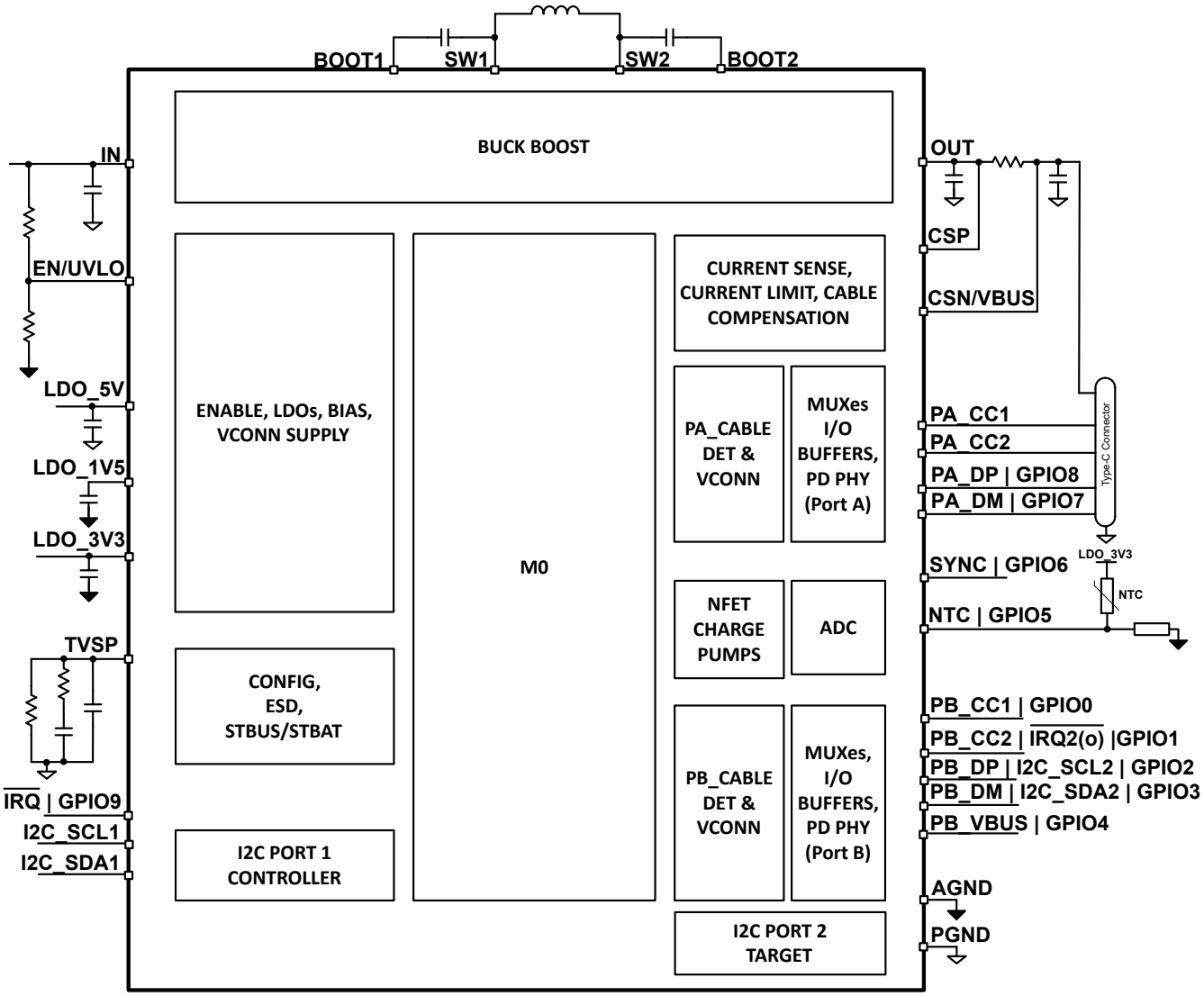
TPS25772-Q1 の PB_VBUS は、外部電源から電力を供給する必要があります。表 8-1 に、この電源の実装を示します。

Copyright © 2026 Texas Instruments Incorporated

表 8-1. サポート対象のデュアル USB ポートの実装

ポート A (PA)	ポート B (PB)	ポート B (PB) の推奨パワー デバイス
USB パワー デリバリ (PPS を含む)	USB パワー デリバリ対応 Type-C (PPS を含む)	TPS55288/289-Q1

8.2 機能ブロック図



8.3 機能説明

8.3.1 デバイスのパワー マネージメントと監視回路

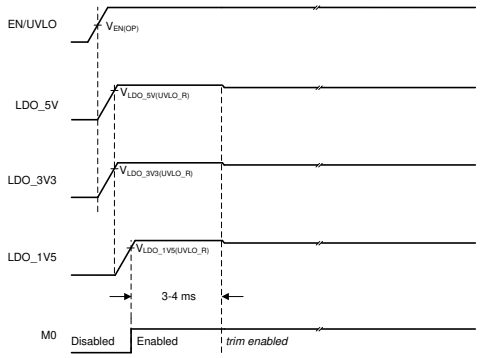
8.3.1.1 VIN UVLO と有効化 / UVLO

TPS25772-Q1 は、内部固定の V_{IN} UVLO を 1 つ、EN/UVLO ピンでユーザーがプログラム可能な UVLO を 1 つ備えています。デバイスを起動するには、両方のスレッショルドをクリアする必要があります。

- 固定の $V_{IN\ (UVLO)}$ は、5V ～ 5.5V の立ち上がりスレッショルドを備えており、適切な動作に十分なヘッドルームを持つ内部回路を有効化できます。
- EN/UVLO ピンは、抵抗でプログラム可能な UVLO スレッショルドと、デバイスの有効化 / 無効化機能をユーザーに提供します。

Copyright © 2026 Texas Instruments Incorporated

EN/UVLO ピンには、3 つの異なる電圧範囲 (シャットダウン、スタンバイ、動作) があります。EN/UVLO ピンがスタンバイ スレッショルド $V_{EN(STBY)}$ を下回る場合、デバイスは低消費電力シャットダウンで無効化されます。EN/UVLO の電圧がスタンバイ スレッショルド $V_{EN(STBY)}$ を上回っているが、動作スレッショルド $V_{EN(OPER)}$ に満たない場合、内部バイアス レールである LDO_5V、LDO_3V3、LDO_1V5 のレギュレータが有効になりますが、残りのデバイス機能は無効になります。EN/UVLO が動作スレッショルド $V_{EN(OPER)}$ を上回り、LDO_5V、LDO_3V3、LDO_1V5 レギュレータがそれぞれの低電圧スレッショルドである UVLO スレッショルドを上回っている場合、デバイスは完全に機能します。EN/UVLO ピンには、シャットダウン モードとスタンバイ モードとの間の固定ヒステリシスが含まれています。



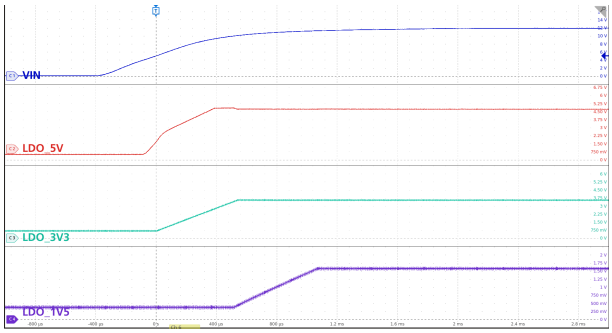


図 8-1. EN/UVLO と LDO のシーケンシング

表 8-2. EN/UVLO と LDO_UVLO の動作

EN/UVLO (1)	LDO	デバイス動作
$V_{EN/UVLO} < V_{EN(LDO_V5V_F)}$	—	シャットダウン:LDO_5V、LDO_3V3、LDO_1V5 がオフ。M0 (MCU) がオフ。
$V_{EN(LDO_V5V_R)} < V_{EN/UVLO} < V_{EN(STBY)}$	—	スタンバイ:LDO_5V、LDO_3V3、LDO_1V5 がオン。M0 (MCU) がオフ。
$V_{EN/UVLO} > V_{EN(OPER)}$	LDO_5V < $V_{LDO_5V(UVLO_R)}$、または LDO_3V3 < $V_{LDO_3V3(UVLO_R)}$、または LDO_1V5 < $V_{LDO_1V5(UVLO_R)}$	LDO_5V、LDO_3V3、LDO_1V5 がオン、M0 (MCU) がオフ。
$V_{EN/UVLO} > V_{EN(OPER)}$	LDO_5V > $V_{LDO_5V(UVLO_R)}$、および LDO_3V3 > $V_{LDO_3V3(UVLO_R)}$、および LDO_1V5 > $V_{LDO_1V5(UVLO_R)}$	動作:M0 (MCU) がオン。

(1) $V_{IN} > V_{IN(UVLO_R)}$ で有効。

場合によっては、内部 $V_{IN(UVLO)}$ と異なる入力 UVLO レベルが必要になります。これは、「UVLO スレッショルドのプログラミング」に示す回路で実現できます。本デバイスがオンにする入力電圧を V_{ON}、オフにする入力電圧を V_{OFF} と呼びます。最初に、R_{ENB} の値を 13kΩ から 22kΩ までの範囲で選択します。式 1 と式 2 を使用して R_{ENT} および V_{OFF} を計算します。

Copyright © 2026 Texas Instruments Incorporated

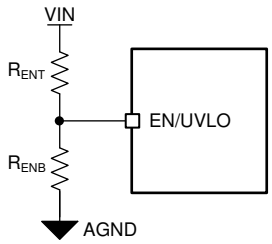


図 8-2. UVLO スレッショルドのプログラミング

$$R_{ENT} = \left(\frac{V_{ON}}{V_{EN(OPER)}} - 1\right) \times R_{ENB} \quad (1)$$

UVLO オン スレッショルドとオフ スレッショルドの間のヒステリシスは、EN/UVLO 分圧抵抗回路の上側抵抗によって設定され、次の式で与えられます。

$$V_{OFF} = \left(1 - \frac{V_{EN(HYS)}}{V_{EN(OPER)}}\right) \times V_{ON} \quad (2)$$

ここで

- V_{ON} = V_{IN} のターンオン電圧
- V_{OFF} = V_{IN} のターンオフ電圧

注: R_{ENT} ≥ 47kΩ

プログラム可能な UVLO が不要な場合は、EN/UVLO ピンを 47kΩ 以上の抵抗で IN ピンに接続します。

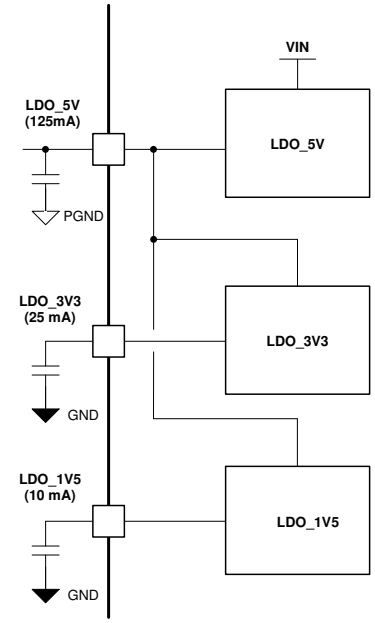
8.3.1.2 内部 LDO レギュレータ

3 つの内部 LDO により、内部回路を動作させるためにレギュレートされた電源が供給されます。

- LDO_5V:昇降圧ゲート駆動回路、LDO_3V3、LDO_1V5、PA および PB VCONN パワー パスに電力を供給します。正常に動作させるには、外部バイパス キャパシタンス C_{LDO_5V} が必要です。C_{LDO_5V} と並列に追加の高周波 0.1µF コンデンサを配置することを強く推奨します。この設計では、C_{LDO_5V} と並列高周波コンデンサを LDO_5V ピンのできるだけ近くに配置します。この静電容量は、1) 昇降圧内部 FET ゲートドライバ用のエネルギーを蓄積し、2) 外部 5V 電源が接続されていないアプリケーションで内部 5V LDO を安定させるために必要です。TPS25772-Q1 は、$V_{LDO_5V(UVLO_R)}$ スレッショルドが満たされるまで動作 (リセット解除) しません。ハード リセットは、V_{LDO_5V} < $V_{LDO_5V(UVLO_F)}$ スレッショルドのときに発生します。LDO_5V からの電流は PGND ピンに戻ります。LDO_5V 出力は、インジケータ LED などの小さな外部負荷に電力を供給できます。外部部品に供給する場合は、合計外部負荷電流が 25mA (最大値) を超えないようにすることを推奨します。
  - 0.1W VCONN:アプリケーション構成 GUI で有効になっている場合、LDO_5V は PA_VCONN および PB_VCONN にそれぞれ 20mA を供給できます。
  - 1W VCONN:アプリケーション構成 GUI で有効にすると、この動作モードには、LDO_5V に接続された外部 4.75 ～ 5.5V の 500mA 対応電源が必要です。LDO_5V のバックフィードが許可されます。
- LDO_3V3:内部アナログ回路、GPIO バッファ、USB PD、USB エンドポイント PHY に電力を供給します。正常に動作させるには、外部バイパス キャパシタンス C_{LDO_3V3} が必要です。I/O バッファおよび PHY からの高周波ノイズをフィルタ処理するため、C_{LDO_3V3} と並列に 0.1µF コンデンサを追加することを強く推奨します。LDO_3V3 出力は、25mA までの外部回路に電力を供給できます。予測される負荷には、EEPROM (5mA)、NTC 抵抗デバイダ 回路 (< 1mA) などがあります。電流は $I_{LDO_3V3(ILIMIT)}$ に制限されます。注:USB PD およびエンドポイント PHY は LDO_3V3 から電流を引き込みます。転送中に CCx または Dx ピンが GND に短絡した場合、引き込まれる電流は電流制限スレッショルドに達します。同様に、いずれかの GPIO ピンがプッシュプル出力として構成されており、GPIO の GND への短絡イベントが発生すると、LDO_3V3 の電流制限に達します。電流は AGND ピンに戻ります。

Copyright © 2026 Texas Instruments Incorporated

- LDO_1V5：デジタル コアに電力を供給します。正常に動作させるには、外部バイパス キャパシタンス C_{LDO_1V5} が必要です。デジタル コアによって生成されるノイズをフィルタ処理するため、C_{LDO_1V5} と並列に 0.1µF コンデンサを追加することを強く推奨します。M0 は、3 つの UVLO_R (rising) スレッショルドすべてを満たすまでリセット状態に保持されます。電流は AGND ピンに戻ります。



Note: LDO_5V max regulation current includes LDO_3V3 (25 mA) and LDO_1V5 (10 mA)

図 8-3. 内部 LDO のピン配置

8.3.2 TVSP デバイス構成と ESD 保護

過渡電圧保護およびファームウェア設定ピン (**T**ransient **V**oltage protection and firmware **S**etting **P**in、**TVSP**) には、1) ブート構成設定 2) USB コネクタ ピンから V_{BUS} または V_{BAT} への短絡保護 3) USB コネクタピンの強化 ESD 保護の 3 つの機能があります。

- **R_{TVSP}**：電源オン時、TVSP ピンと PGND の間の抵抗によって、ブート方法、USB PD ポートの I^2C アドレス、I^2C ロジック スレッショルドが決まります。抵抗値はデバイス固有です。表 8-6 を参照してください。最も一般的な構成は、基本的な TVSP ピン接続に示す R_{TVSP} オープンの構成です。これは TVSP インデックス 0 に対応します。デバイスの初期化とブート時は、通常電源オン後 4 秒以内に、V_{IN} が 7.6V を上回り、TVSP ピンを適切に 5.5V にバイアスできるようにする必要があります。ブートが完了すると、デバイスは完全に V_{IN} の範囲で動作します。
- **C_{TVSP}**：0.1µF コンデンサ (C_{TVSP}) を PGND に接続する必要があります。寄生インダクタンスを最小化するため、C_{TVSP} はできるだけ TVSP ピンの近くに配置します。C_{TVSP} は、コネクタ ピン Px_CCy、Px_DP、Px_DM を強化する集中型保護回路の一部で、V_{BUS} と V_{BAT} への短絡発生時および ESD イベント時の損傷から保護します。内部 TVSP レギュレータ回路を適切に動作させるために、40V 0.1µF コンデンサを推奨します。
- **TVSP ダンパー ネットワーク:**、C_{DAMP} の容量と R_{DAMP} の抵抗で RC ネットワークを形成し、コネクタ ピンの過電圧や ESD イベント中に、デバイス内に過剰な電流が流れることを防止します。
  - **C_{DAMP}**：0.47µF コンデンサを、R_{DAMP} と直列で PGND に接続する必要があります。40V、0.47µF のコンデンサの使用を推奨します。
  - **R_{DAMP}**：10Ω の抵抗を C_{DAMP} と直列で PGND に接続する必要があります。0.25W 定格を推奨します。

Copyright © 2026 Texas Instruments Incorporated

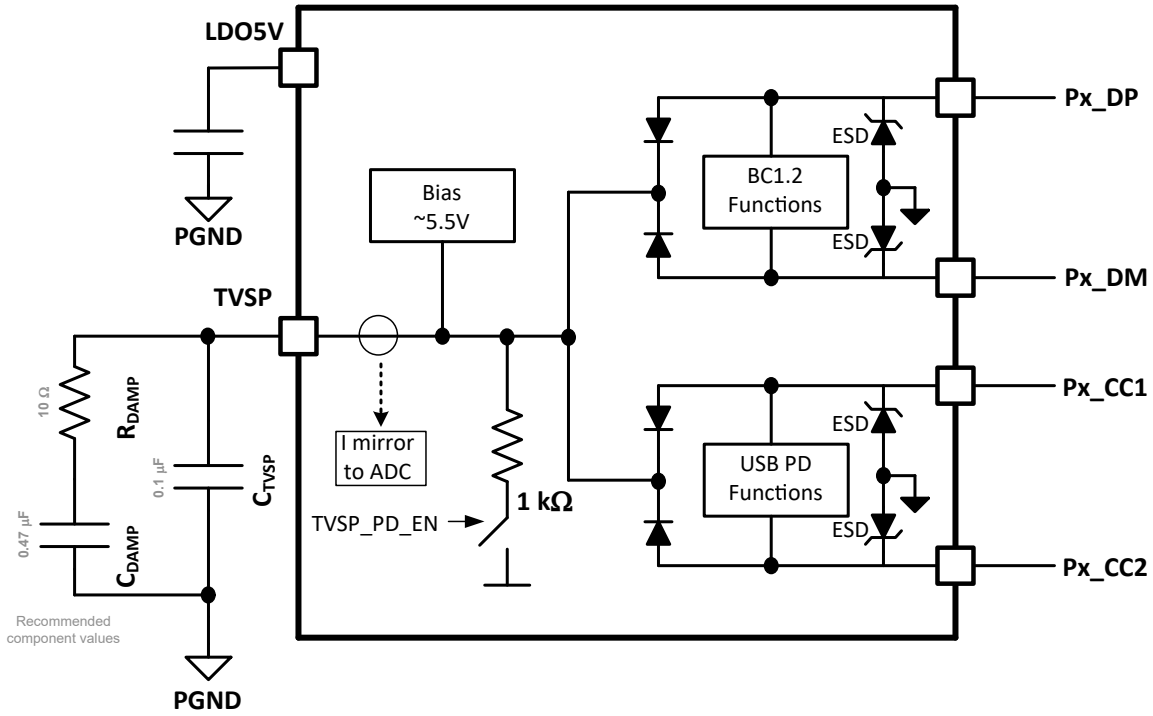


図 8-4. 基本的な TVSP ピン接続

表 8-3. 推奨 TVSP 部品

C_{TVSP}	R_{DAMP}	C_{DAMP}
0.1µF	10 Ω	0.47µF

表 8-4. R_{TVSP} 構成設定 (TPS257xxCQRQLRQ1)

$R_{TVSP\ (kΩ)}$ (1)	TVSP インデックス	ADC 値	I2C ターゲット ポート アドレス (A | B)(2)	I2C ロジック (V_{DD})	ブート モード
オープン	0	≤ 10 (0x0A)	0x22 | 0x26	3.3V	EEPROM
93.1	1	≤ 24 (0x18)	0x23 | 0x27	3.3V	外部ハブ / マイコン
47.5	2	≤ 42 (0x2A)	0x22 | 0x26	1.8V	EEPROM
29.4	3	≤ 63 (0x3F)	0x23 | 0x27	1.8V	外部ハブ / マイコン
20.0	4	≤ 89 (0x59)	0x23 | 0x27	3.3V	EEPROM
14.7	5	≤ 119 (0x77)	0x22 | 0x26	3.3V	外部ハブ / マイコン
11.0	6	≤ 156 (0x9C)	0x23 | 0x27	1.8V	EEPROM
8.45	7	≤ 201 (0xC9)	0x22 | 0x26	1.8V	外部ハブ / マイコン
6.65	8	≤ 255 (0xFF)	0x22 | 0x26	3.3V	ファームウェア アップデート

表 8-5. R_{TVSP} 構成設定 (TPS257xxCAQRQLRQ1)

$R_{TVSP\ (kΩ)}$	TVSP インデックス	ADC 値	I2C ターゲット ポート アドレス (A | B)	I2C ロジック (V_{DD})	ブート モード
オープン	0	≤ 10 (0x0A)	0x22 | 0x26	3.3V	EEPROM
5.6	8	≤ 255 (0xFF)	0x22 | 0x26	3.3V	ファームウェア アップデート

Copyright © 2026 Texas Instruments Incorporated

表 8-6. R_{TVSP} 構成設定 (TPS257xxD/FQRQLRQ1)

$R_{TVSP\ (k\Omega)}$ (1)	TVSP インデックス	ADC 値	I2C ターゲット ポート アドレス (A | B)(2)	I2C ロジック (V_{DD})	ブート モード
オープン	0	≤ 10 (0x0A)	0x22 | 0x26	3.3V	EEPROM
93.1	1	≤ 24 (0x18)	0x23 | 0x27	3.3V	外部ハブ / マイコン
47.5	2	≤ 42 (0x2A)	0x22 | 0x26	1.8V	EEPROM
26.7	3	≤ 63 (0x3F)	0x23 | 0x27	1.8V	外部ハブ / マイコン
18.2	4	≤ 89 (0x59)	0x23 | 0x27	3.3V	EEPROM
13.0	5	≤ 119 (0x77)	0x22 | 0x26	3.3V	外部ハブ / マイコン
9.53	6	≤ 156 (0x9C)	0x23 | 0x27	1.8V	EEPROM
7.5	7	≤ 201 (0xC9)	0x22 | 0x26	1.8V	外部ハブ / マイコン
5.6	8	≤ 255 (0xFF)	0x22 | 0x26	3.3V	ファームウェア アップデート

(1) 1% の抵抗が必要です。
(2) 0x22h = 0100010; 0x26h = 0100110; 0x23h = 0100011; 0x27 = 0100111

TPS25772-Q1 デバイスでは、工場出荷時にプログラムされたデフォルトのアプリケーション構成が電源オン時に適用されます。デフォルトのアプリケーション構成は、ブート モードが EEPROM 用に構成されており、EEPROM 構成がロードされていない場合 (たとえば、EEPROM から提供されるイメージが有効ではない場合や、EEPROM が接続されていない場合) に適用されます。

TPS25762DQRQLRQ1 および TPS25772DQRQLRQ1 に適用されます。デフォルトのアプリケーション構成がロードされる場合、最大ポート出力電力 (ポート PDP) は、R_{TVSP} で定義された TVSP インデックスを使用して設定されます。この動作モードでの有効な TVSP インデックスを「R_{TVSP} ポートの最大 PDP の選択 (TPS25762DQRQLRQ1 および TPS25772DQRQLRQ1)」に、機能設定を「デフォルト アプリケーション構成 (TPS25762DQRQLRQ1 および TPS25772DQRQLRQ1」に示します。

表 8-7. R_{TVSP} ポートの最大 PDP の選択 (TPS25762DQRQLRQ1 および TPS25772DQRQLRQ1)

$R_{TVSP\ (k\Omega)}$	TVSP インデックス	ADC 値	I2C ターゲット ポート アドレス (A | B)	I2C ロジック (V_{DD})	ポート最大 PDP
オープン	0	≤ 10 (0x0A)	0x22 | 0x26	3.3V	60W
47.5	2	≤ 42 (0x2A)	0x22 | 0x26	1.8V	45W
18.2	4	≤ 89 (0x59)	0x23 | 0x27	3.3V	27W
9.53	6	≤ 156 (0x9C)	0x23 | 0x27	1.8V	15W

デフォルトのアプリケーション構成がロードされている場合のデバイス設定は、「デフォルト アプリケーション構成」の設定によって定義されます。

表 8-8. デフォルト アプリケーション構成 (TPS25762DQRQLRQ1 および TPS25772DQRQLRQ1)

パラメータ	TPS25762DQRQLRQ1	TPS25772DQRQLRQ1	コメント
XID	0x00	0x00	
PID	0x00	0x00	
VID	0x0451	0x0451	TI VID
ポートの最小電力	7.5W	7.5W	すべてのポートに適用
ポートの最大電力	60W/45W/27W/15W	60W/45W/27W/15W	TVSP インデックスにより設定。すべてのポートに適用
システムの最大電力	60W/45W/27W/15W	ポートの最大電力 x 2	
ポート PPS	有効	有効	すべてのポートに適用
SPM 電力ポリシー	該当なし	保証されたキャパシティ	
BC1.2	有効	有効	すべてのポートに適用

Copyright © 2026 Texas Instruments Incorporated

表 8-8. デフォルト アプリケーション構成 (TPS25762DQRQLRQ1 および TPS25772DQRQLRQ1) (続き)

パラメータ	TPS25762DQRQLRQ1	TPS25772DQRQLRQ1	コメント
外部 DCDC	該当なし	TPS55288-Q1	I2C アドレス = 0x75
ポート A ILIM オーバーシュート	400mA	400mA	
ポート A APDO ILIM オーバーシュート	50mA	50mA	
ポート A ケーブル補償	無効	無効	
ポート A High ILIM 遅延	有効	有効	
ポート B ILIM オーバーシュート	該当なし	400mA	
ポート B APDO ILIM オーバーシュート	該当なし	50mA	
ポート B ケーブル補償	該当なし	外部	外部 DCDC で設定
ポート B VBUS ブースト	該当なし	0.1V	
ポート B 放電 (GPIO)	該当なし	有効	外部、GPIO9 により制御
内部 DCDC 周波数	400kHz	400kHz	
内部 DCDC ディザリング	10Hz	10Hz	
猶予期間電源オン	15 分	15 分	
猶予期間電源オフ	15 分	15 分	
範囲 3 電源	完全	完全	
範囲 2 電源	60%	60%	システムの最大電力の割合
範囲 1 ～ 2 の立ち上がりスレッショルド	8.96V	8.96V	VIN で測定
範囲 2 ～ 1 の立ち下がりスレッショルド	7.04V	7.04V	VIN で測定
範囲 2 ～ 3 の立ち上がりスレッショルド	11.52V	11.52V	VIN で測定
範囲 3 ～ 2 の立ち下がりスレッショルド	10.08V	10.08V	VIN で測定
サーマル フォールドバック	有効	有効	NTC/PTC 構成
位相 1 の最大電力	60%	60%	システムの最大電力の割合
位相 1 立ち上がりスレッショルド	2.044V	2.044V	
位相 1 立ち下がりスレッショルド	1.988V	1.988V	
位相 2 の最大電力	30%	30%	システムの最大電力の割合
位相 2 立ち上がりスレッショルド	2.1V	2.1V	
位相 2 立ち下がりスレッショルド	2.044V	2.044V	
位相 3 の最大電力	0%	0%	システムの最大電力の割合
位相 3 立ち上がりスレッショルド	2.142V	2.142V	
位相 3 立ち下がりスレッショルド	2.086V	2.086V	

TPS25762FQRQLRQ1 および TPS25772FQRQLRQ1 に適用されます。デフォルトのアプリケーション構成がロードされると、最大ポート出力電力と機能設定は、「デフォルト アプリケーション構成 (TPS25762FQRQLRQ1 および TPS25772FQRQLRQ1)」に示すデフォルトのアプリケーション構成で設定されます。

表 8-9. デフォルト アプリケーション構成 (TPS25762FQRQLRQ1 および TPS25772FQRQLRQ1)

パラメータ	TPS25762FQRQLRQ1	TPS25772FQRQLRQ1	コメント
XID	0x00	0x00	
PID	0x00	0x00	
VID	0x0451	0x0451	TI VID

Copyright © 2026 Texas Instruments Incorporated

表 8-9. デフォルト アプリケーション構成 (TPS25762FQRQLRQ1 および TPS25772FQRQLRQ1) (続き)

パラメータ	TPS25762FQRQLRQ1	TPS25772FQRQLRQ1	コメント
ポートの最小電力	15W	15W	すべてのポートに適用
ポートの最大電力	15W	15W	すべてのポートに適用
システムの最大電力	15W	30W	
ポート PPS	該当なし	該当なし	すべてのポートに適用
SPM 電力ポリシー	該当なし	保証されたキャパシティ	
BC1.2	有効	有効	すべてのポートに適用
外部 DCDC	該当なし	TPS55389-Q1	I2C アドレス = 0x75
ポート A ILIM オーバーシュート	400mA	400mA	固定 PDO、AVS に適用
ポート A APDO ILIM オーバーシュート	該当なし	該当なし	
ポート A ケーブル補償	無効	無効	
ポート A VBUS ブースト	0V	0V	
ポート A High ILIM 遅延	有効	有効	
ポート B ILIM オーバーシュート	該当なし	400mA	固定 PDO、AVS に適用
ポート B APDO ILIM オーバーシュート	該当なし	該当なし	
ポート B ケーブル補償	該当なし	無効	
ポート B VBUS ブースト	該当なし	0V	
ポート B 放電 (GPIO)	該当なし	無効	DCDC により制御
内部 DCDC 周波数	400kHz	400kHz	
内部 DCDC ディザリング	10Hz	10Hz	
猶予期間電源オン	15 分	15 分	
猶予期間電源オフ	15 分	15 分	
範囲 3 電源	完全	完全	
範囲 2 電源	100%	50%	システムの最大電力の割合
範囲 1 ～ 2 の立ち上がりスレッショルド	8.0V	8.0V	VIN で測定
範囲 2 ～ 1 の立ち下がりスレッショルド	5.92V	5.92V	VIN で測定
範囲 2 ～ 3 の立ち上がりスレッショルド	11.52V	11.52V	VIN で測定
範囲 3 ～ 2 の立ち下がりスレッショルド	10.08V	10.08V	VIN で測定
サーマル フォールドバック	無効	有効	NTC/PTC 構成
位相 1 の最大電力	100%	50%	システムの最大電力の割合
位相 1 立ち上がりスレッショルド	2.044V	2.044V	
位相 1 立ち下がりスレッショルド	1.988V	1.988V	
位相 2 の最大電力	100%	50%	システムの最大電力の割合
位相 2 立ち上がりスレッショルド	2.1V	2.1V	
位相 2 立ち下がりスレッショルド	2.044V	2.044V	
位相 3 の最大電力	0%	0%	システムの最大電力の割合
位相 3 立ち上がりスレッショルド	2.142V	2.142V	
位相 3 立ち下がりスレッショルド	2.086V	2.086V	
GPIO0	機能なし	PB_CC1	
GPIO1	機能なし	PB_CC2	

Copyright © 2026 Texas Instruments Incorporated

表 8-9. デフォルト アプリケーション構成 (TPS25762FQRQLRQ1 および TPS25772FQRQLRQ1) (続き)

パラメータ	TPS25762FQRQLRQ1	TPS25772FQRQLRQ1	コメント
GPIO2	機能なし	PB_DP	
GPIO3	機能なし	PB_DM	
GPIO4	機能なし	PB_VBUS	
GPIO5	NTC	NTC	
GPIO6	機能なし	SYNC_OUT	
GPIO7	PA_DM	PA_DM	
GPIO8	PA_DP	PA_DP	
GPIO9	機能なし	機能なし	

「R_{TVSP} 構成設定」に示すように、TVSP インデックス 0 (R_{TVSP} オープン) 以外の構成を必要とするアプリケーションでは、図 8-5 に示すような回路を実装する必要があります。LDO_5V に接続されたバイポーラ トランジスタのベースは、TVSP 抵抗の適切な電源投入シーケンスを提供します。これは TPS25772-Q1 が無効の場合はオフに、TPS25772-Q1 が有効の場合はオンになります。A 2N2222 は、コレクタとエミッタ間のブレークダウン電圧が大きく、低コストで対応範囲も広いため推奨されます。

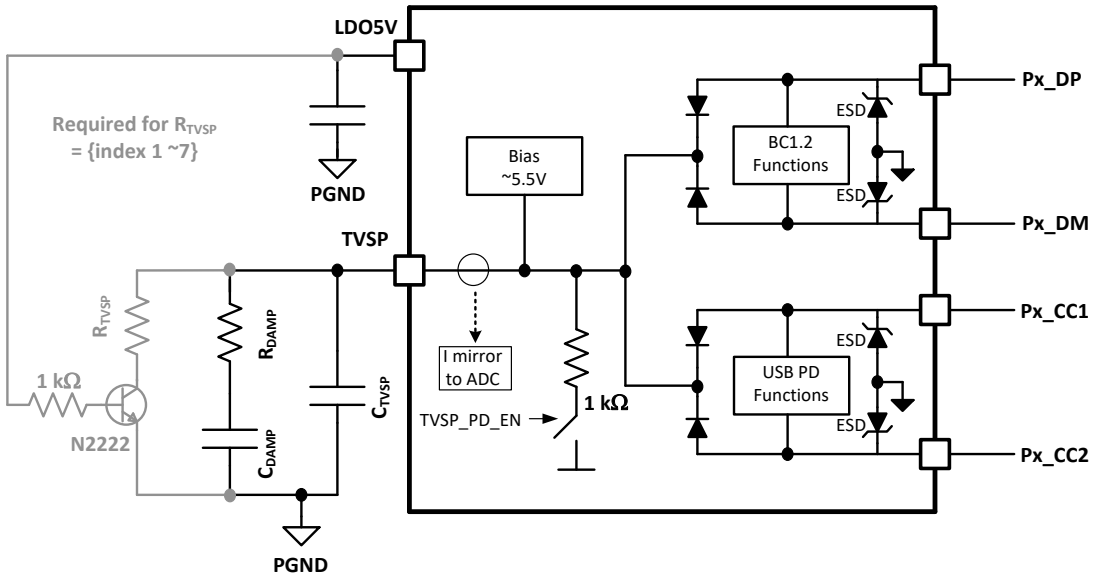


図 8-5. R_{TVSP} の回路構成

EEPROM と外部ハブ / マイコンに加えて、PA_DP および PA_DM ピンの USB エンドポイントを使用してデバイスのファームウェアを更新することもできます。ファームウェアのアップデート モードを有効化するには、TVSP と PGND の間の TVSP インデックス 8 に対応する抵抗を使用して、デバイスをブートします。ブート サイクルは、デバイスの電源を再投入するか、EN/UVLO ピンを瞬間的に $V_{EN\ (OPER)}$ スレッショルドを下回る電圧に下げることで実行します。図 8-6 に、USB エンドポイントのファームウェア アップデート モードを有効にする回路の例を示します。

Copyright © 2026 Texas Instruments Incorporated

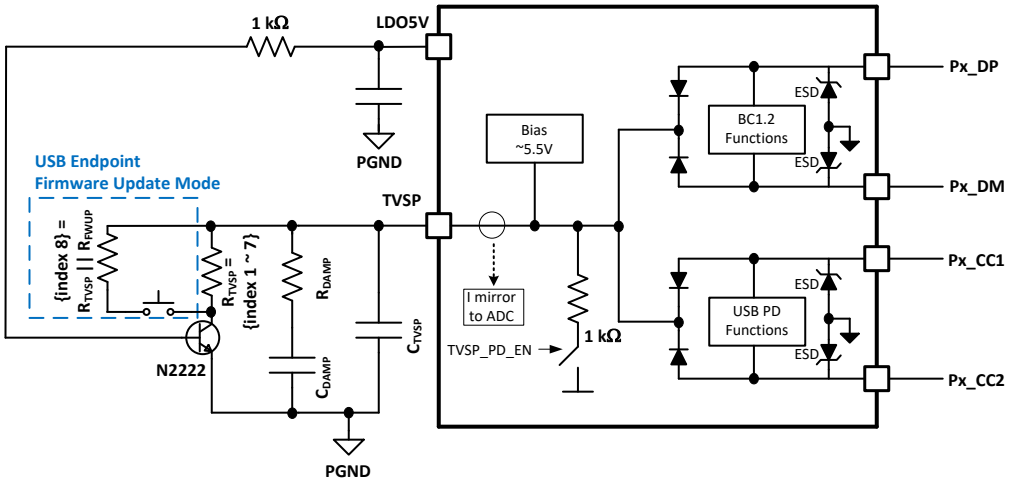


図 8-6. USB エンドポイントのファームウェア アップデート モードを有効にする回路の例

8.3.3 昇降圧レギュレータ

8.3.3.1 昇降圧レギュレータ動作

TPS25772-Q1 デバイスは、固定周波数、電流モード制御の昇降圧コンバータを採用しています。このコンバータは強制連続導通モード (CCM) で動作するため、軽負荷時にインダクタ電流がどちらの方向にも流れるようにできます。パワー トレインは、5 つの N チャネル パワー MOSFET で構成されています。図 8-7 を参照してください。トランジスタ M1 と M2 は、ハイサイドとローサイドの降圧 FET です。トランジスタ M3 と M4 は、ハイサイドとローサイドの昇圧 FET です。トランジスタ M5 は、入力過電圧過渡時に OUT から SW2 への逆導通をブロックします (VIN 電源と VIN 過電圧保護を参照)。

- **IN**:バッテリから電力を受け取ります。IN と PGND の間に入力バルク キャパシタを接続する必要があります。
- **OUT**:スイッチング コンバータから電力を供給します。出力バルク キャパシタは、OUT と PGND の間に接続します。
- **PGND**:スイッチング コンバータのパワー トレインのグランド リターンです。
- **AGND**:パワー トレイン以外のすべてのグランド リターンです。電圧帰還分圧器は AGND に戻ります。PGND と AGND は基板上で互いに接続する必要があります。
- **LDO_5V**:M2 および M4 にゲートドライブ、BOOT1 および BOOT2 に電力を供給するブートストラップ回路に電流を供給します。LDO_5V と PGND との間にバイパス コンデンサを接続する必要があります。LDO_5V の詳細については、「内部 LDO レギュレータ」を参照してください。
- **LDO_3V3**:アナログ回路の電源 LDO_3V3 と AGND との間にバイパス コンデンサを接続する必要があります。LDO_3V3 の詳細については、「内部 LDO レギュレータ」を参照してください。
- **BOOT1**:M1 のゲートドライブを提供します。ブートストラップ コンデンサは、BOOT1 と SW1 の間に接続する必要があります。
- **BOOT2**:M3 のゲートドライブを提供します。ブートストラップ コンデンサは、BOOT2 と SW2 の間に接続する必要があります。
- **SW1**:M1 と M2 を外部インダクタに接続します。
- **SW2**:M3 と M4 を外部インダクタに接続します。
- **CSP**:平均電流センス アンプの正端子。出力バルク キャパシタの正端子に接続します。
- **CSN/BUS**:平均電流センス アンプの負端子。10mΩ 電流センス抵抗は、CSP から CSN/BUS に外部接続されています。

入力電圧 V_{IN} と出力電圧 V_{OUT} に応じて、コンバータは 4 種類の状態のいずれかで動作します。それぞれについて以下のセクションで説明します。

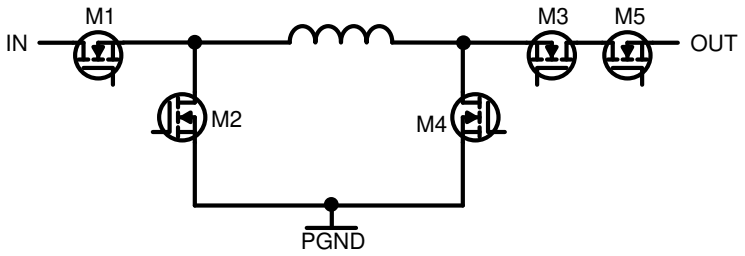


図 8-7. 昇降圧内部パワー FET

降圧状態

入力電圧 V_{IN} が出力電圧 V_{OUT} を大幅に上回ると、コンバータは降圧動作領域に移行し、降圧スイッチング サイクルが無限に連続動作します (降圧状態)。M3 と M5 は常時オンで、M4 は常時オフになっています。スイッチング サイクルが開始されたことをクロックが通知すると、コントローラは M2 をオンにし、M1 をオフにします。このスイッチ構成は、従来の降圧コンバータのオフ時間間隔に対応しています。インダクタ両端の電圧差 V_{SW1} - V_{SW2} は、-V_{OUT} に等しくなります。インダクタ電流 IL は、誤差アンプで設定されたスレッショルド I_{VALLEY} に達するまで低下します。その後、コントローラは M2 をオフにし、M1 をオンにします。このスイッチ構成は、従来の降圧コンバータのオン時間間隔に対応しています。これで、電圧差 V_{SW1} – V_{SW2} は V_{IN} - V_{OUT} と等しくなります。ここで、インダクタ電流が上昇し、コンバータのクロックがスイッチング サイクルの終わりに達したことを通知します。

オン時間 t_{on} は、M1 が導通している時間間隔に等しくなります。オフ時間 t_{off} は、M2 が導通している時間間隔に等しくなります。コンバータは FCCM で動作するため、T 周期は t_{on} と t_{off} の合計に等しくなります。降圧状態では、コントローラは降圧デューティ サイクル D を調整することで電力フローを制御します。これは比率 t_{on}/T と等しくなります。

Copyright © 2026 Texas Instruments Incorporated

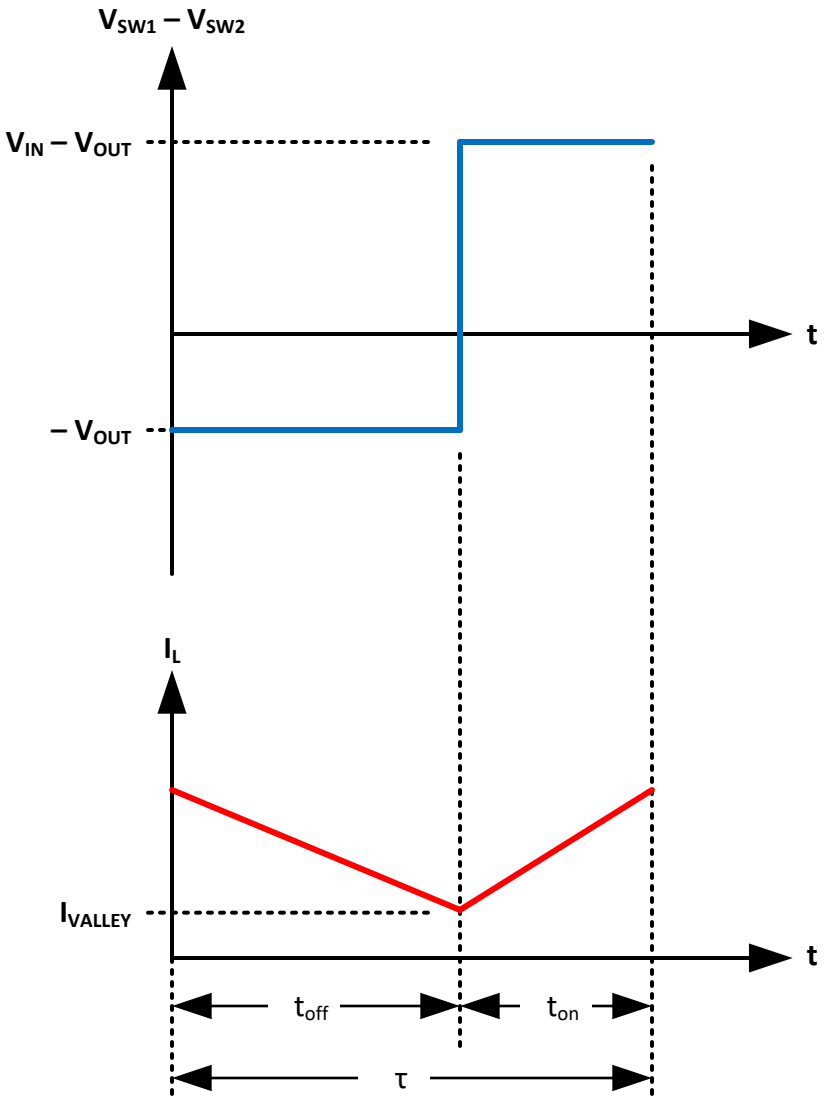


図 8-8. 降圧状態

降圧の遷移状態

入力電圧 V_{IN} が出力電圧 V_{OUT} よりわずかに大きい場合、コンバータは降圧遷移領域に移行し、降圧と昇圧のスイッチング サイクルの降圧遷移状態を交互に実行します。M5 は常時オンです。降圧スイッチング サイクルが開始されたことをクロックが通知すると、コントローラは M2 と M3 をオンにし、M1 と M4 をオフにします。このスイッチ構成は、従来の降圧コンバータのオフ時間に対応しています。インダクタ電流 I_L は、誤差アンプで設定されたスレッショルド I_{VALLEY} に達するまで低下します。その後、コントローラは M2 をオフにし、M1 をオンにします。このスイッチ構成は、従来の降圧コンバータのオン時間に対応しています。インダクタ電流は、降圧スイッチング サイクルの終了がクロックに通知されるまで、ゆっくりと上昇します。次のスイッチング サイクルは、昇圧スイッチング サイクルです。このサイクルが開始されると、コントローラは M3 をオフにし、M4 をオンにします。M2 はオフのままで、M1 と M5 は両方ともオンのままです。このスイッチ構成は、従来の昇圧コンバータのオン時間に対応しています。インダクタ電流 I_L は、固定オン時間が経過するまで急速に上昇します。その後、コントローラは M4 をオフにし、M3 をオンにします。インダクタ電流は、昇圧スイッチング サイクルの終了がクロックに通知されるまで低下します。次のスイッチング サイクルは、別の降圧サイクルです。

Copyright © 2026 Texas Instruments Incorporated

降圧遷移状態では、コントローラは降圧デューティ サイクルを調整することで電力フローを制御します。昇圧デューティ サイクルは固定されたままです。コンバータが降圧遷移状態に移行するのではなく降圧状態に維持されている場合、降圧のオン時間は非常に短くなるため、パルス スキップなしで電力フローを制御することは不可能です。

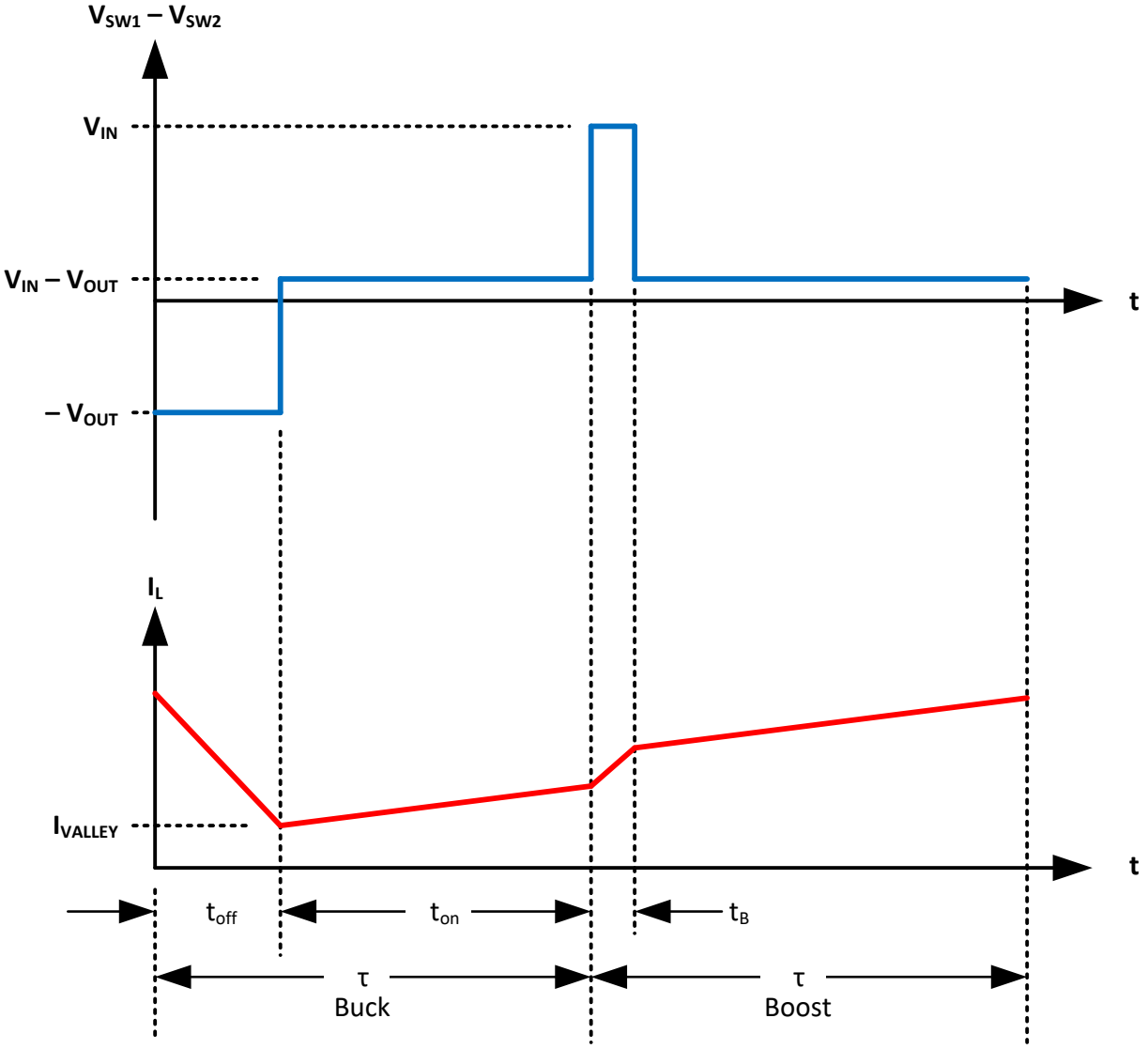


図 8-9. 降圧遷移

昇圧遷移状態

入力電圧 V_{IN} が出力電圧 V_{OUT} よりわずかに小さい場合、コンバータは昇圧遷移領域に移行し、昇圧と降圧のスイッチング サイクルの昇圧遷移状態を交互に実行します。M5 は常時オンです。昇圧スイッチング サイクルが開始されたことをクロックが通知すると、コントローラは M1 と M4 をオンにし、M2 と M3 をオフにします。このスイッチ構成は、従来の昇圧コンバータのオン時間に対応しています。インダクタ電流 I_L は、誤差アンプで設定されたスレッショルド I_{PEAK} に達するまで上昇します。その後、コントローラは M4 をオフにし、M3 をオンにします。このスイッチ構成は、従来の昇圧コンバータのオフ時間に対応しています。インダクタ電流は、昇圧スイッチング サイクルの終了がクロックに通知されるまで、ゆっくりと低下します。次のスイッチング サイクルは、降圧スイッチング サイクルです。このサイクルが開始されると、コントローラは M1 をオフにし、M2 をオンにします。M4 はオフのままで、M3 と M5 は両方ともオンのままです。このスイッチ構成は、従来の降圧コンバータのオフ時間に対応しています。インダクタ電流 I_L は、固定オフ時間が経過するまで急速に低下しま

Copyright © 2026 Texas Instruments Incorporated

す。その後、コントローラは M2 をオフにし、M1 をオンにします。インダクタ電流は、降圧スイッチング サイクルの終了がクロックに通知されるまで上昇します。次のスイッチング サイクルは、別の昇圧サイクルです。

昇圧遷移状態では、コントローラは昇圧デューティ サイクルを調整することで電力フローを制御します。降圧デューティ サイクルは固定されたままです。コンバータが昇圧遷移状態に移行するのではなく昇圧状態に維持されている場合、昇圧のオン時間は非常に短くなるため、パルス スキップなしで電力フローを制御することは不可能です。

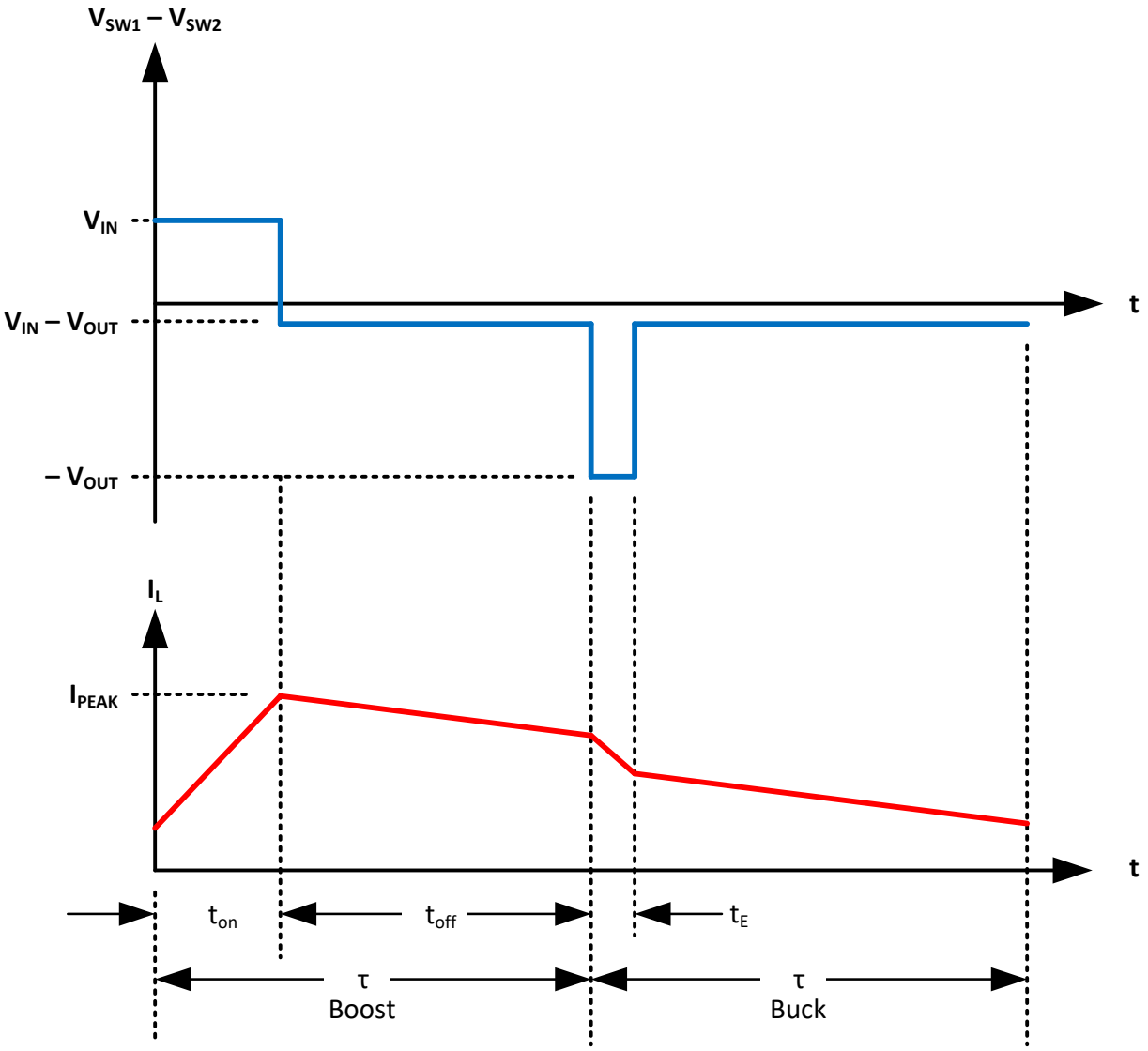


図 8-10. 昇圧遷移

昇圧状態

入力電圧 V_{IN} が出力電圧 V_{OUT} よりも大幅に低い場合、コンバータは昇圧動作領域に移行し、昇圧スイッチングサイクルが無限に連続動作します (昇圧状態)。M1 と M5 は常時オンで、M2 は常時オフになっています。スイッチング サイクルが開始されたことをクロックが通知すると、コントローラは M4 をオンにし、M3 をオフにします。このスイッチ構成は、従来の昇圧コンバータのオン時間間隔に対応しています。インダクタ両端の電圧差 V_{SW1} - V_{SW2} は、V_{IN} に等しくなります。インダクタ電流 I_L は、誤差アンプで設定されたスレッショルド I_{PEAK} に達するまで上昇します。その後、コントローラは M4 をオフにし、M3 をオンにします。このスイッチ構成は、従来の昇圧コンバータのオフ時間間隔に対応しています。これで、

Copyright © 2026 Texas Instruments Incorporated

電圧差 $V_{SW1} – V_{SW2}$ は V_{IN} - V_{OUT} と等しく、負の値になります。ここで、インダクタ電流が低下し、コンバータのクロックがスイッチング サイクルの終わりに達したことを通知します。

オン時間 t_{on} は、M4 が導通している時間間隔に等しくなります。オフ時間 t_{off} は、M3 が導通している時間間隔に等しくなります。コンバータは FCCM で動作するため、τ 周期は t_{on} と t_{off} の合計に等しくなります。昇圧状態では、コントローラは昇圧デューティ サイクル D を調整することで電力フローを制御します。これは比率 $t_{on}/τ$ と等しくなります。

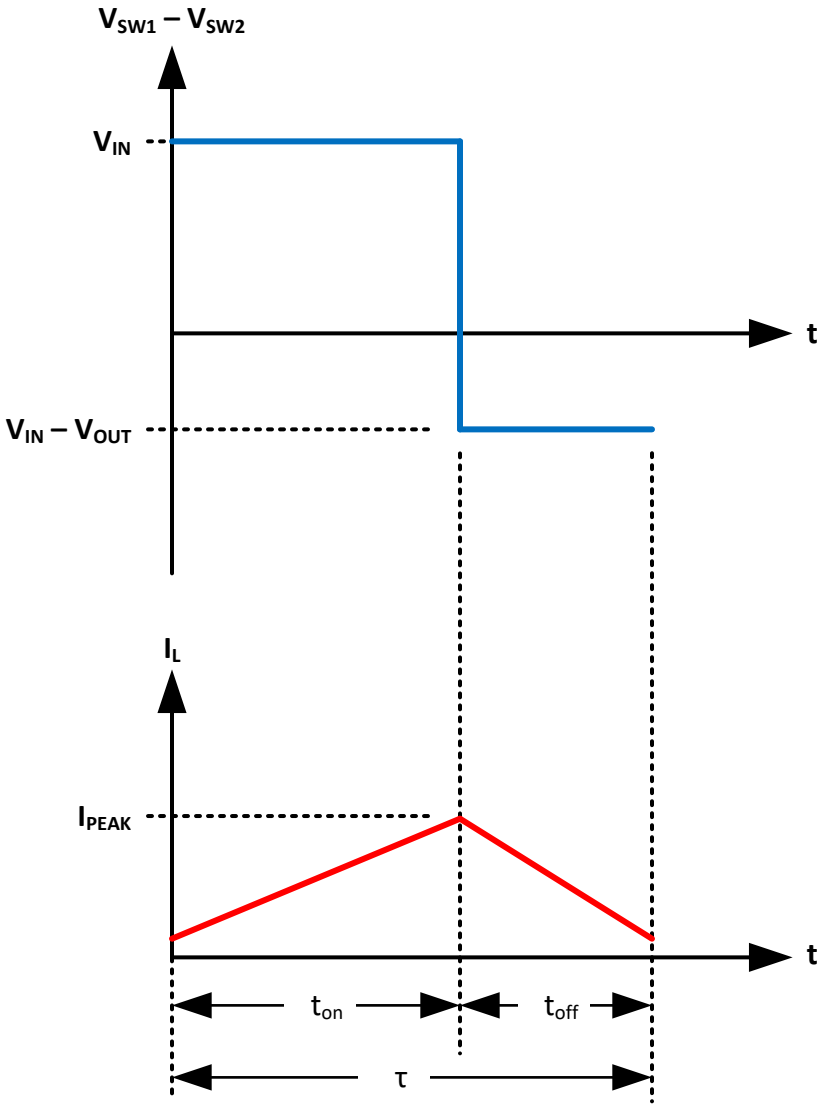


図 8-11. 昇圧状態

動作領域の境界

動作領域 は、4 つの動作領域とそれらの境界を図で示しています。$V_{BUS} > kV_{IN}$ の場合、コンバータの動作は昇圧領域内に維持されます。値 k は 1.2 です。$V_{IN} < V_{BUS} < kV_{IN}$ の場合、コンバータの動作は昇圧遷移領域に入ります。$V_{IN}/k < V_{BUS} < V_{IN}$ の場合、コンバータの動作は降圧遷移領域に入ります。$V_{BUS} < V_{IN}/k$ の場合、コンバータの動作は降圧領域に入ります。V_{IN} が 18 ～ 20V の範囲内にある OVP スレッショルドを超えると、コンバータは動作を停止します。同様に、5 ～ 5.5V の範囲内にある内部 UVLO スレッショルドか、ユーザーがプログラムした EN/UVLO スレッショルド (「VIN UVLO およびイネーブル /UVLO」を参照) のいずれか大きい方を V_{IN} が下回ると、コンバータは動作を停止します。

Copyright © 2026 Texas Instruments Incorporated

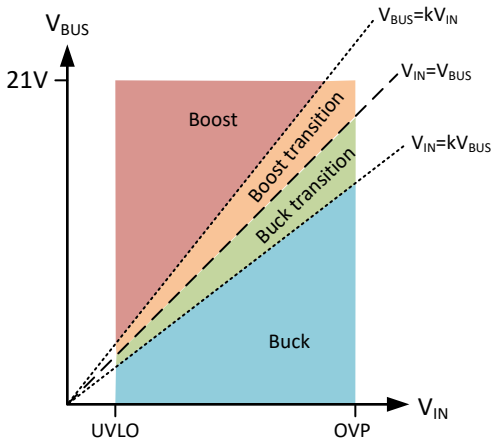


図 8-12. 動作領域

8.3.3.2 スイッチング周波数、周波数ディザリング、位相シフト、同期

PWM 発振器の周波数 (f_{sw}) は、ファームウェアによってアプリケーションの構成 GUI を使用してプログラムされます。スイッチング コンバータは、AM 無線帯域 (520kHz ～ 1730kHz) より低い周波数で動作するように設計されています。以下に示す 3 つの公称 f_{sw} 設定 (300kHz、400kHz、450kHz) を使用できます。

周波数ディザリングは、ファームウェアでアプリケーション GUI を使用することで有効になります。有効にすると、発振周波数の公称値は、三角波変調を使用して ±FS_{SS} (約 ±10%) だけディザリングされます (「三角波変調によるディザリング」を参照)。ディザリング周期 τ_M は、ディザリング変調周波数 FS_{SS_MOD} の逆数です。ファームウェアで選択可能なディザリング変調周波数 FS_{SS_M} として、10kHz および 25kHz を使用できます。ディザリングにより、スイッチングで生成されるスペクトルのピークが拡散されるため、ピーク高調波レベルが低下し、EMI フィルタ設計が容易になります。

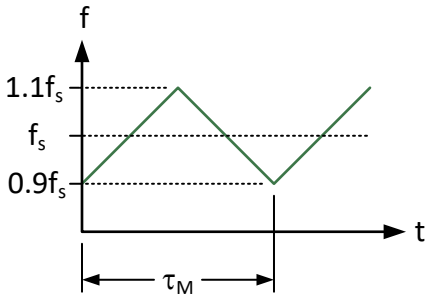


図 8-13. 三角波変調を使用したディザリング

同期が必要な場合は、SYNC ピンを使用してください。このピンはファームウェアで、出力 SYNC(o) または入力 SYNC(i) として構成可能です。

- **SYNC(o):** スイッチング クロックが SYNC(o) ピンから出力されます。この波形のデューティ サイクルは約 50% です。ファームウェアで周波数ディザリングを構成している場合、この信号にもディザリングが反映されます。ファームウェア構成では 4 つの位相設定を利用でき、内部スイッチング クロックに対する SYNC(o) 出力を 0°、90°、120°、または 180° シフトさせることが可能です。SYNC(o) は、TPS25772-Q1 内のスイッチング コンバータ クロックで外部 DC/DC コンバータ クロックを駆動するために使用します。2 個の DC/DC コンバータは位相差がある場合、バッテリからのピーク入力電流が減少し、合計入力バルク容量要件が緩和されます。

Copyright © 2026 Texas Instruments Incorporated

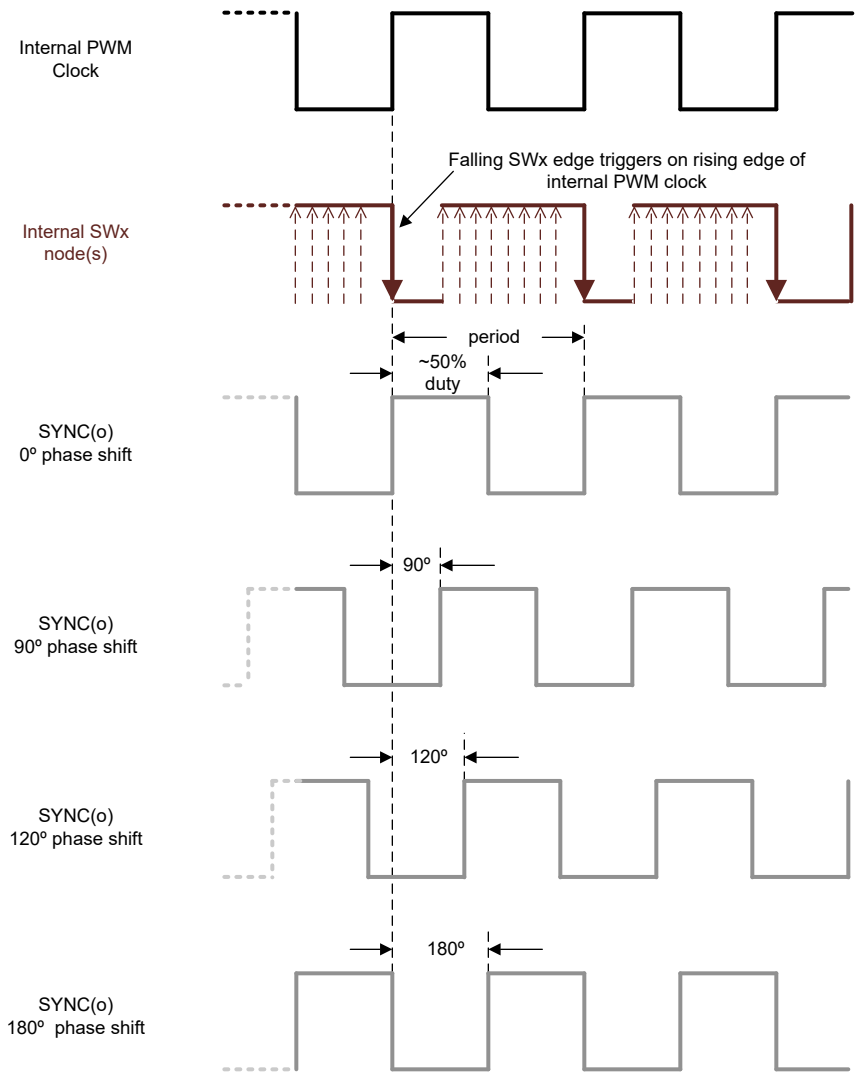


図 8-14. SYNC(o) 位相シフト

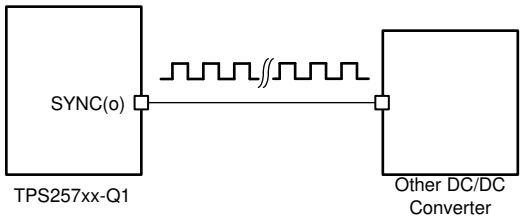


図 8-15. SYNC(o) を使用した外部 DC/DC コンバータの駆動

- **SYNC(i):** 内部クロックは SYNC(i) ピンのパルス列に同期します。この機能は、TPS25772-Q1 を外部クロックで駆動するために使用されます。このクロックの周期は SYNC(i) 周波数範囲の同期要件を満たす必要があります。満たさない場合、TPS25772-Q1 は内部スイッチング クロックを使用します。外部クロックが許容周波数範囲を外れ、その後許容周波数範囲内に戻った場合、TPS25772-Q1 は、表 8-10 の基準を満たす 8 つの連続するクロックをカウントした後、外部クロックから動作を再開します。SYNC(i) を構成した場合、外部クロックの障害に続いて内部クロックで動作しているとき、周波数ディザリングは無効化されます。

Copyright © 2026 Texas Instruments Incorporated

表 8-10. SYNC(i) 周波数範囲内

f_{SW} ファームウェア設定	SYNC(i) 許容周波数範囲	
	最小値	最大値
300kHz	250kHz	353kHz
400kHz	334kHz	470kHz
450kHz	376kHz	530kHz

8.3.3.3 VIN 電源と VIN 過電圧保護

V_{IN} 電源

AGND を基準に測定された入力電源ピン IN の電圧 V_{IN} は、以下の要件を満たす必要があります。

- **過電圧:** 電圧 V_{IN} は、絶対最大定格 40V を超えないようにし、予測される動作条件において 36V を超えることがない。車載アプリケーションでは通常、この要件を満たすために外部過渡サプレッサが必要になります。
- **負荷ダンプ:** コンバータが動作しており、V_{IN} が 18V を超えた場合、正のスルーレートの dV_{IN}/dt が 200V/ms を超えない。
- **ダブル バッテリ:** コンバータが動作していないときは、正のスルーレートの dV_{IN}/dt が 10V/µs を上回らない。入力 EMI フィルタは、入力電圧スルーレートの低減に役立ちます。
- **バッテリの逆接続:** V_{IN} 電圧が -0.3V を下回らないようにする。車載用アプリケーションでは通常、外部の逆電圧ブロック回路が必要です。

この昇降圧スイッチング コンバータは、$6.8V < V_{IN} < 18V$ の入力電源電圧範囲で 65W のフル定格出力電力を供給できます。出力電力レベルが適切にディレーティングされると、入力電圧は UVLO スレッショルドまで降下できます

V_{IN} 過電圧保護回路

TPS25772-Q1 には、負荷ダンプおよびダブル バッテリの状態からパワー トレインを保護する回路が内蔵されています。VIN が約 19V を超えると、コンパレータは入力過電圧状態が発生したと判定します。このコンパレータは、スイッチング コンバータをシャットダウンする信号を送信します。昇降圧の内部パワー FET のトランジスタ M1、M2、M3 はオフになり、トランジスタ M4 がオンになります。ただし、電流は依然としてインダクタを流れます。電流が順方向に (SW1 から SW2 に) または逆方向に (SW2 から SW1 に) 流れる 2 つの場合があります。逆電流は M1 のボディ ダイオードを順方向バイアスします。その後、インダクタの両端の電圧は、このダイオードの順方向電圧と入力電圧の合計に等しくなります。これはインダクタ電圧が急速にゼロまで低下するのに十分です。順方向電流は M2 のボディ ダイオードをバイアスします。インダクタ電流が解放されると、小さなリニア レギュレータが SW1 を約 15V にバイアスします。過電圧状態が解消されると、スイッチング レギュレータは動作を再開します。

8.3.3.4 フィードバック パスおよびエラー アンプ

TPS25772-Q1 には、プログラマブルな電圧フィードバック パスだけでなく、スイッチング コンバータから USB ケーブルに供給される平均電流を制限するために使用されるプログラマブルな平均電流フィードバック パスも搭載されています。電圧フィードバック パスには、ケーブルのドループ補償のための機能も備わっています。フィードバック パスとエラーアンプの簡略化されたブロック図は、IC の関連部分の簡略化されたブロック図を示しています。

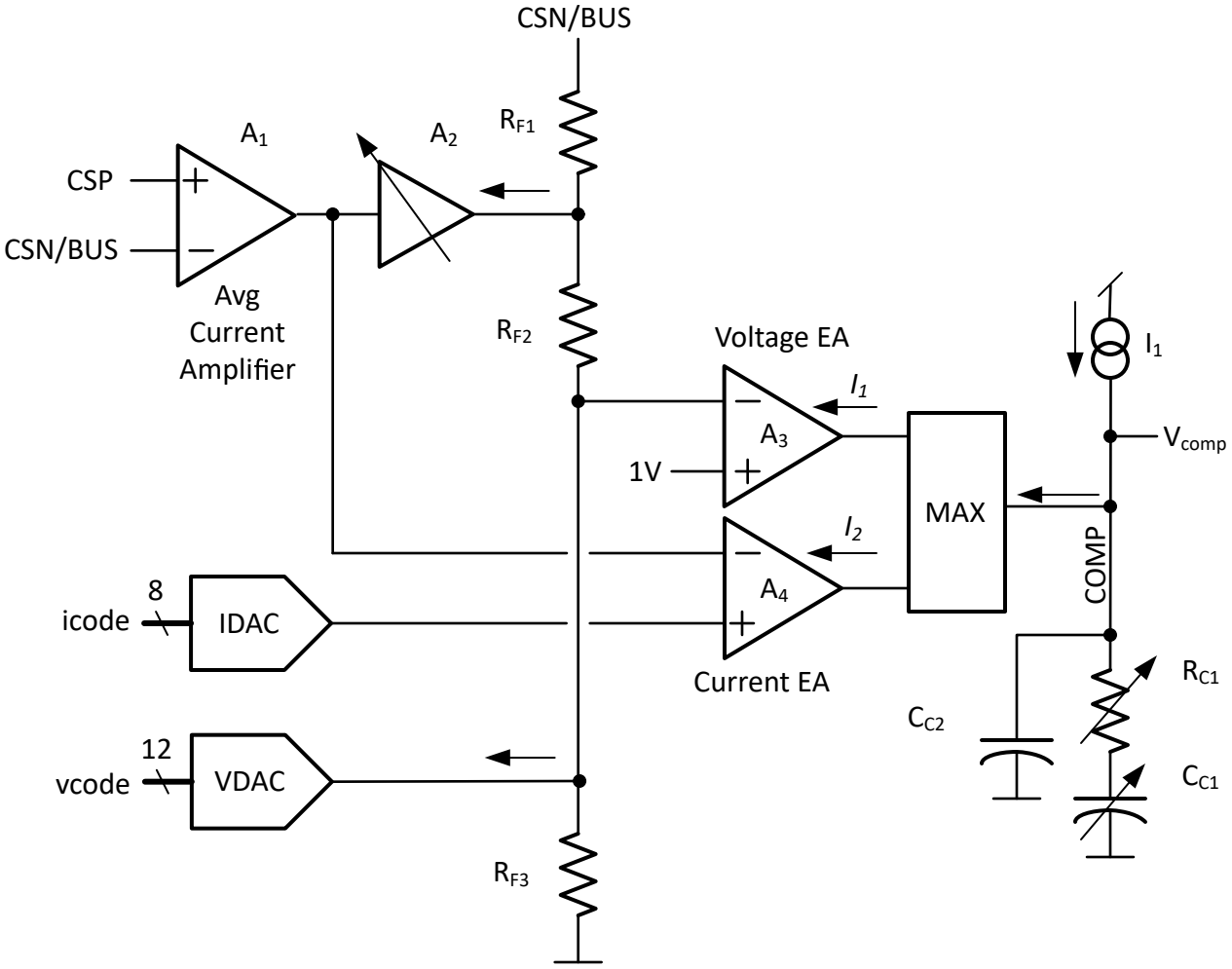


図 8-16. フィードバック パスとエラー アンプの簡略ブロック図。

8.3.3.5 トランスコンダクタと補償

TPS25772-Q1 は、内部的に補償されています。全体的なスロープ補償およびループ補償は、表 9-1 に示すインダクタと容量の値に基づいて内部的に固定されています。

8.3.3.6 出力電圧 DAC、ソフト スタート、ケーブル ドループ補償

昇降圧の出力電圧は CSN/VBUS ピンで安定化されます。12 ビット D/A コンバータ、VDAC、は、デバイスのファームウェアからの指示に従って、$V_{CSP/BUS}$ の電圧を ±20mV 刻みで調整します。

ケーブル検出イベントが成功すると、ファームウェアは VDAC を設定し、$V_{CSN/BUS}$ 出力で測定される電圧が 5V になるようにします。内部クロックにより、VDAC コードが初期値の 0V から最終的な 5V 設定まで上昇し、t_{SS} で $V_{CSN/BUS}$ が 5V まで単調に上昇します。

一部のアプリケーションでは、USB-PD コントローラが USB レセプタクルから 1m 以上離れて配置されます。ファームウェアで構成および有効化されている場合、ケーブル ドループ補償により、VDAC の設定にかかわらず、負荷電流の増加に伴って $V_{CSP/BUS}$ が直線的に上昇します。4 つの V_{OUT_CDC} 範囲が選択可能です。500mV はサポートされている最大のケーブル ドループ電圧であり、USB-PD PPS 合意中はデフォルトで無効化されています。

Copyright © 2026 Texas Instruments Incorporated

8.3.3.7 V_{BUS} 過電圧保護

固定スレッショルドの過電圧コンパレータは、CSN/BUS ピンの過電圧状態を監視します。V_{CSN/BUS_OVP_R} スレッショルドを上回ると、出力 OV 保護回路が、内部 MOSFET をオフにします。$V_{CSN/BUS}$ が V_{CSN/BUS_OVP_F} を下回ると、スイッチングが再開されます。

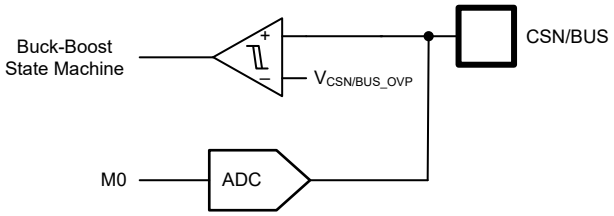


図 8-17. V_{BUS} OVP と UVP

8.3.3.8 V_{BUS} 低電圧保護

PA_VBUS と PB_VBUS の低電圧状態は、内部 ADC によって監視されます。USB の電力供給仕様に従い、TPS25772-Q1 のファームウェアが、USB PD 合意と取り付けられたシンク デバイスに基づきスレッショルドを構成します。

8.3.3.9 電流センス抵抗 (R_{SNS}) および電流制限動作

CSP および CSN/BUS ピンは、平均電流センスアンプ (CSA) への正および負の入力です。TPS25772-Q1 デバイスは、CSP ピンと CSN/BUS ピンの間にあるセンス抵抗 R_{SNS} の両端にあるポート A の負荷電流を検出します。10mΩ、1% のパワー抵抗は、$0 \le I_{OUT} \le 5A$ の範囲にわたって 0 ～ 50mV の検出電圧を供給します。

7 ビットの D/A コンバータ IDAC は ±50mA のステップ電流制限調整機能を搭載しており、デバイスのファームウェアによって自動的にプログラムされます。

8.3.3.10 昇降圧ピーク電流制限

降圧および昇圧のピーク電流制限は、アプリケーション構成 GUI を使用して、ファームウェアで調整できます。選択可能な値については、「電気的特性」の表の「昇降圧レギュレータのピーク電流制限」を参照してください。

ほとんどのアプリケーションでは、モジュールの部品、コネクタ、配線を過電流状態から保護するために、車載用 USB モジュールへの入力電流を制限することが推奨されます。入力電流のワースト ケース条件は、V_{IN} が最小値、$V_{CSN/BUS}$ が最大値 (21V) で、最大値) 3.25A の出力電流を供給しているときです。$V_{IN} < V_{BUS}$ の場合、内部 DC/DC コンバータは昇圧モードで動作します。アプリケーションのピーク電流と推奨インダクタ値との関係を推定する方法については、表 9-6 を参照してください。

降圧ピーク電流制限の選択は、昇圧ピーク電流制限よりもわずかに低く設定します。降圧ピーク制限を昇圧ピーク電流制限に近い値に設定すると、極端な過渡事象が発生した場合に 2 つのピーク電流制限間でリミット サイクルが発生するのを防ぎます。$I_{PEAK(BUCK)} \cong I_{PEAK(BOOST)}$.

インダクタを選択する際には、適切な飽和電流定格 $I_{L(SAT)}$ を持つインダクタを選択することが重要です。TPS25772-Q1 またはインダクタで過大な電流が流れるのを防ぐために、インダクタ $I_{L(SAT)}$ 定格は、「電気的特性」表の最大値 (MAX) $I_{PEAK\ (BOOST)}$ 制限よりも大きくする必要があります。

8.3.4 USB-PD 物理層

図 8-18 に、アナログ プラグおよび方向検出ブロックの簡略バージョンで囲まれた USB PD 物理層ブロックを示します。このブロックは、ポート A およびポート B に適用されます。

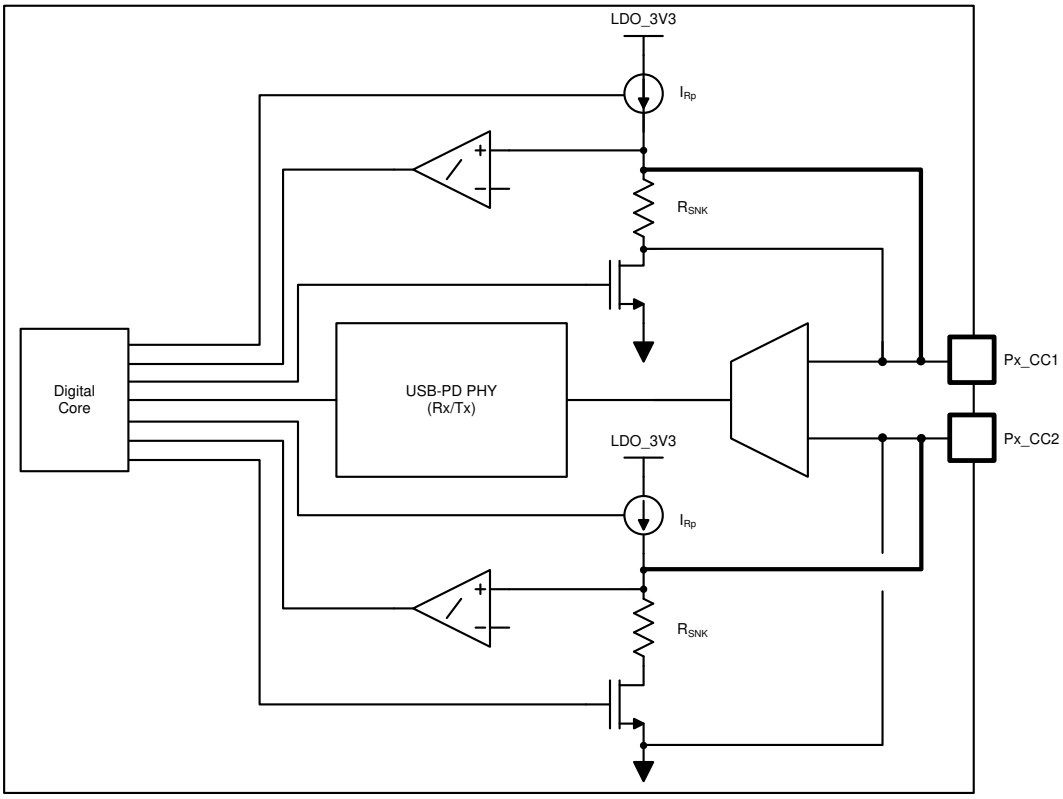


図 8-18. USB-PD 物理層およびプラグと方向の簡素検出回路

USB-PD メッセージは、BMC (二相マーク コーディング) 信号を使用して、USB Type-C システムで送信されます。BMC 信号は、USB-PD BMC トランスミッタ セクションに説明されている Rp (または Rd) ケーブル接続メカニズムによって DC バイアスされた同じピン (Px_CC1 または Px_CC2) に出力されます。

8.3.4.1 USB-PD エンコードと信号処理

図 8-19 に、ベースバンド USB-PD トランスミッタの概略ブロック図を示します。図 8-20 に、ベースバンド USB-PD レシーバのハイレベル ブロック図を示します。

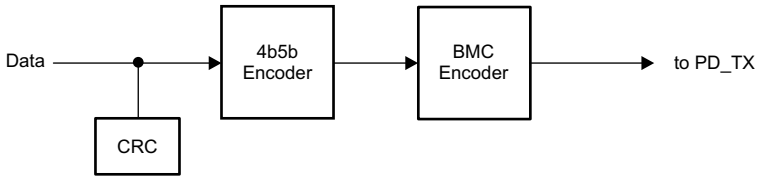


図 8-19. USB-PD ベースバンド トランスミッタのブロック図

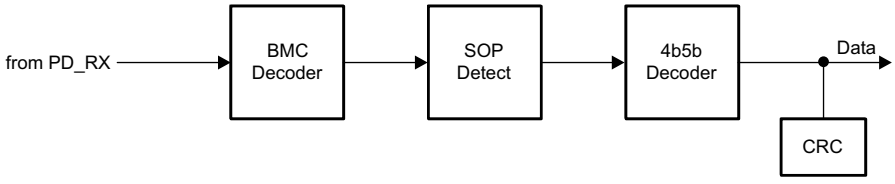


図 8-20. USB-PD ベースバンド レシーバのブロック図

Copyright © 2026 Texas Instruments Incorporated

8.3.4.2 USB-PD バイフェーズ マーク コーディング

TPS25772-Q1 に実装されている USB-PD 物理層は、『USB-PD 規格』に準拠しています。ベースバンド PD 信号に使用されるエンコード方式は、バイフェーズ マーク コーディング (BMC) と呼ばれるマンチェスタ符号のバージョンです。このコードでは、各ビット セルの開始時に遷移が発生し、1 が送信されるビット期間の中間に、2 番目の遷移が発生します。このコーディング方式は、DC 平衡に近いもので、格差が限定されています (任意のパケットの 1/2 ビットに限定されるため、DC レベルは非常に低くなります)。図 8-21 に、バイフェーズ マーク コーディングを示します。

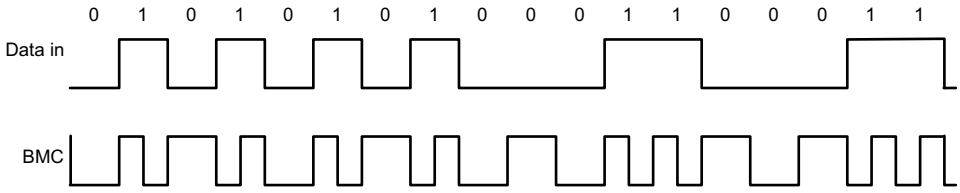


図 8-21. バイフェーズ マーク コーディングの例

USB PD ベースバンド信号は、トライステート ドライバで Px_CC1 または Px_CC2 ピンに駆動されます。トライステート ドライバはスルーレートを制御し、D+/D– および Type-C フル機能ケーブル内の他の信号ラインへの結合を制限します。USB-PD プリアンブルを送信すると、トランスミッタは Low レベルを送信して開始します。もう一方の端のレシーバは、最初のエッジの損失を許容します。トランスミッタは最終ビットをエッジで終了させることで、レシーバが EOP の最終ビットにクロック信号を送ることができるようにします。

8.3.4.3 USB-PD 送信 (TX) および受信 (Rx) マスク

USB-PD ドライバは、定義された USB-PD の BMC TX マスク仕様を満たします。BMC で符号化された「1」は UI の開始時と中間に信号エッジを含み、BMC で符号化された「0」は開始時にのみエッジを含むため、それぞれでマスクが異なります。USB-PD レシーバは、定義された USB-BMC PD Rx マスクを満たしています。Rx 外側マスクの境界は、ケーブルを介したグランド オフセットによる信号振幅の変化に対応するよう規定されています。このため、Rx マスクは TX 外部マスクの境界よりも大きくなります。同様に、Rx 内側マスクの境界は TX 内側マスクの境界よりも小さくなっています。三角形の時間マスクは TX 外側マスクに重ねて適用され、信号遷移時に定義されることで、隣接するより高速なレーンへの影響を最小限に抑えつつ、最小エッジレートを要求します。TX 内部マスクは、立ち上がりおよび立ち下がり時間の最大制限を強制します。詳細については *USB PD の仕様*を参照してください。

8.3.4.4 USB-PD BMC トランスミッタ

TPS25772-Q1 は、USB Type-C ポートあたりの CC ピン ペア (1 ポートにつき 1 ペア) のうち、いずれか一方の Px_CCy ピンを使用して、USB-PD データの送受信を行います。Px_CCy ピンは、ケーブルの向きを判定 (「ケーブル プラグおよび方向の検出」セクションを参照) し、ケーブル / デバイスの接続検出を維持するためにも使用されます。したがって、Px_CCy ピンに DC バイアスが存在します。トランスミッタ ドライバは、送信中に Px_CCy DC バイアスをオーバードライブしますが、ハイ インピーダンス状態に戻り、送信していないときに DC 電圧を Px_CCy ピンに戻すことができます。Px_CC1 または Px_CC2 のどちらかを送信および受信に使用できますが、特定の接続中にはプラグの CC ピンと接続するもののみを使用するため、Px_CC1 と Px_CC2 の間には動的なスイッチングはありません。図 8-22 に、USB-PD BMC TX および RX ドライバのブロック図を示します。

Copyright © 2026 Texas Instruments Incorporated

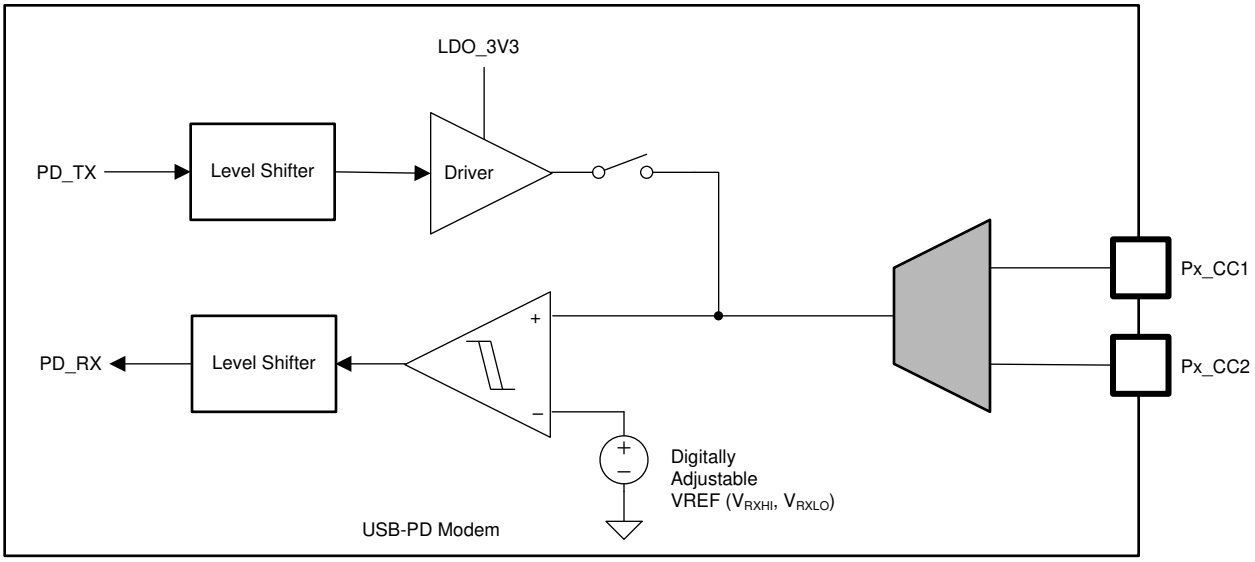


図 8-22. USB-PD BMC TX/Rx のブロック図

図 8-23 に、DC バイアスに加えて、BMC データの送信を示します。なお、DC バイアスは、UFP 接続 を検出するための最小スレッショルドと、ソースに接続されたシンクを検出するための最大スレッショルドの間にあります。結果として得られる DC バイアス レベルは、トランスミッタ ドライバの V_{OH} より高く、または低くなります。

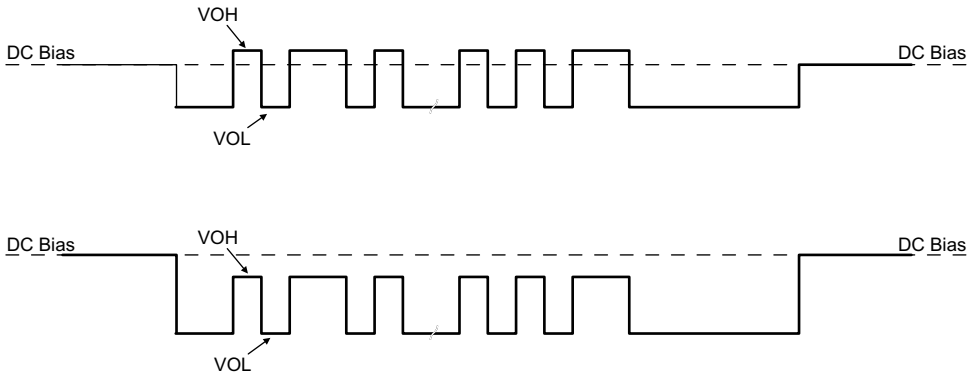


図 8-23. DC バイアスでの TX ドライバの送信

トランスミッタは、Px_CCy ラインにデジタル信号を駆動します。信号ピーク V_{TXHI} は、「*USB-PD 仕様*」で定義されている TX マスクを満たすように設定されます。TX マスクは、ケーブルのファー エンドで測定することに注意してください。

ラインを駆動すると、トランスミッタ ドライバの出力インピーダンスは Z_{DRIVER} になります。Z_{DRIVER} は、ドライバの抵抗とソースのシャント容量によって決まり、これは周波数に依存します。Z_{DRIVER} は、ケーブルのノイズの侵入に影響を与えます。

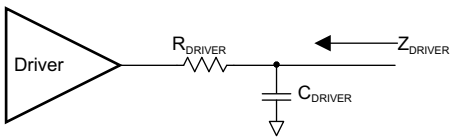


図 8-24. ZDRIVER 回路

Copyright © 2026 Texas Instruments Incorporated

8.3.4.5 USB-PD BMC レシーバ

TPS25772-Q1 のレシーバ ブロックは、USB PD 仕様で定義されている許容 Rx マスクの範囲内にある信号を受信します。受信スレッショルドとヒステリシスは、このマスクから発生します。

図 8-25 に、マルチドロップ USB-PD 接続の例 (CC ワイヤのみ) を示します。この接続には、シンク (デバイス) からソース (ホスト) への標準的な接続がありますが、ケーブル USB-PD Tx/Rx ブロックも含まれています。同時に送信できるのは、いずれか 1 つのシステムのみです。その他のシステムはすべてハイ インピーダンス (Z_{BMCRX}) です。「USB-PD 仕様」には、CC ワイヤ上に存在する容量、および接続検出用の標準的な DC バイアス設定回路も規定されています。

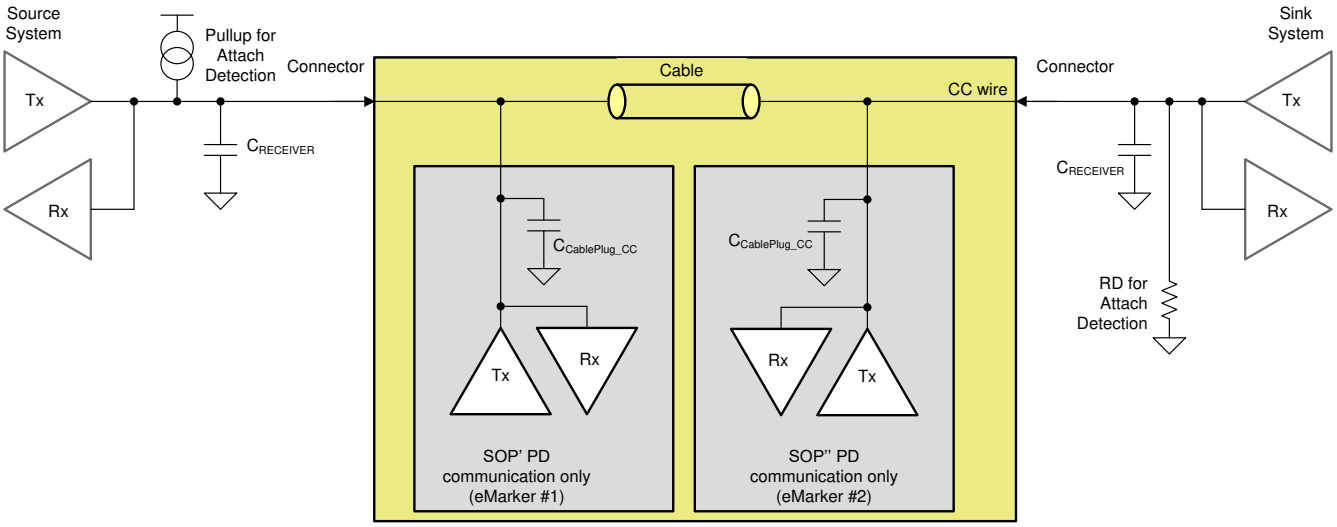


図 8-25. USB-PD マルチドロップ構成の例

8.3.4.6 スケルチ レシーバ

TPS25772-Q1 は、USB PD 仕様で定義されているバス アイドル状態を監視するスケルチ レシーバを内蔵しています。スケルチ レシーバ出力は、送信のソースに関係なく、CC ピンの状態を反映します。

8.3.5 VCONN

内部 VCONN 供給パワー パスはファームウェアで構成可能です。内部の LDO_5V 電源のみを使用すると、ポート A とポート B の両方は 20mA を連続的に引き込むことができます。外部 5V レギュレータが LDO_5V ピンに接続されていて、アプリケーション GUI 設定が有効化されている場合、ポート A とポート B の両方は 200mA を連続的に引き込むことができます。無効化されている場合、ポート A とポート B の両方の VCONN パスにあるブロッキング FET は、高電圧や逆電流から LDO_5V レールを保護します。

VCONN 電源が有効化かつ供給されると、内部 VCONN パワー スイッチの電流制限値は I_{LIMVC} になります。VCONN の負荷電流が I_{LIMVC} を超えると、電流クランプ回路は $t_{iOS_PP_CABLE}$ 内でアクティブになり、スイッチは定電流源として動作します。Px_CC1 または Px_CC2 に電流が流れると、逆電流ブロックは無効化されます。

Copyright © 2026 Texas Instruments Incorporated

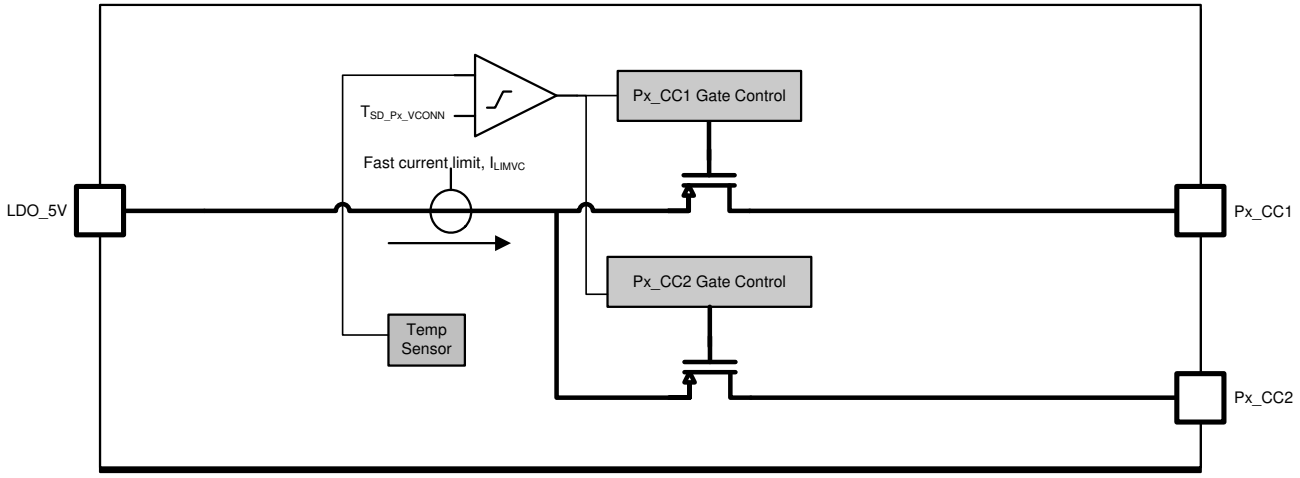


図 8-26. VCONN パワー スイッチ

電流制限モードでの動作時には、VCONN FET の温度が上昇します。$t_{PP_CABLE_off}$ 内に $T_{sensor} > T_{SD_Px_VCONN}$ となったとき、ローカル温度センサは電流制限モードの Px_VCONN パスを無効化します。アプリケーション ファームウェアは、影響を受けたポートで USB Type-C エラー リカバリ状態に入ります。

Px_VCONN を動作させるには、LDO_5V が低電圧誤動作防止スレッショルド ($V_{LDO_5V\ (UVLO_F)}$) を上回ったままになっている必要があります。$V_{LDO_5V\ (UVLO_F)}$ スレッショルドに達すると、$t_{PP_CABLE_off}$ 内に Px_VCONN パスが自動的に無効化されます。

8.3.6 ケーブル接続および方向の検出

図 8-27 に、各 Px_CCy ピン (PA_CC1、PA_CC2、PB_CC1、PB_CC2) のプラグおよび方向検出ブロックを示します。各 CC ピンには同じ検出回路があります。

ポートが Type-C ソースとして動作しているとき、V_{REFx} ノードは、アドバタイズされた Type-C ソースの電流供給能力 $I_{Rp_}$ に対応する V_{SRC} スレッショルドに切り替わります。

ポートが Type-C シンクとして動作しているとき、V_{REFx} ノードは、シンク検出に対応する V_{SNK} スレッショルドに切り替わります。

Copyright © 2026 Texas Instruments Incorporated

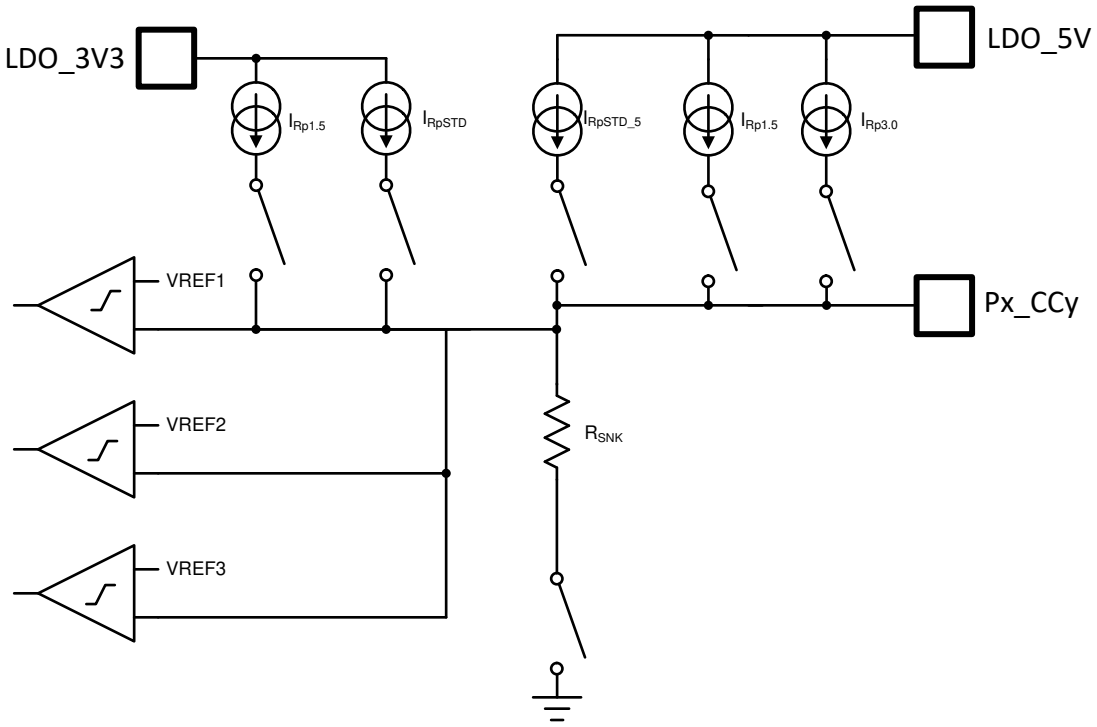


図 8-27. プラグおよび方向検出ブロック

8.3.6.1 ソースとして構成

ポート A またはポート B がソースとして構成されている場合、デバイスは Px_CC1 および Px_CC2 ピンを使用して、ケーブルまたはシンクが接続されていることを検出します。接続解除状態の場合、デバイスはこれらのピンの電圧を監視して、接続されているものがあるかどうかを判定します。詳細については、「*USB Type-C 仕様*」を参照してください。

表 8-11 に、ソースのケーブル検出の状態を示します。

表 8-11. ソースのケーブル検出の状態

Px_CC1	Px_CC2	接続状態	結果として生じるアクション
オープン	オープン	接続なし	両方の Px_CCy ピンが接続されているかどうかを引き続き監視します。Px_VBUS または VCONN に電力が供給されません。
Rd	オープン	シンク接続	Px_CC1 の取り外しを監視します。Px_VBUS に電力は供給されますが、VCONN (Px_CC2) には供給されない場合があります。
オープン	Rd	シンク接続	Px_CC2 の取り外しを監視します。Px_VBUS に電力は供給されますが、VCONN (Px_CC1) には供給されない場合があります。
Ra	オープン	電源ケーブル - UFP 未接続	シンク接続のために Px_CC2 を、ケーブル切り離しのために Px_CC1 を監視します。Px_VBUS または VCONN (Px_CC1) に電力が供給されません。
オープン	Ra	電源ケーブル - UFP 未接続	シンク接続のために Px_CC1 を、ケーブル切り離しのために Px_CC2 を監視します。Px_VBUS または VCONN (Px_CC2) に電力が供給されません。
Ra	Rd	電源ケーブル - UFP 接続	Px_VBUS と VCONN (Px_CC1) に電源を投入し、Px_CC2 のシンク取り外しを監視します。Px_CC1 の取り外しは監視されません。
Rd	Ra	電源ケーブル - UFP 接続	Px_VBUS と VCONN (Px_CC2) に電源を投入し、Px_CC1 のシンク取り外しを監視します。Px_CC2 の取り外しは監視されません。

ポートがソースとして構成されている場合、電流 $I_{Rp1.5A}$ は各 Px_CCy ピンから排除され、各ピンの個別の状態が監視されます。シンクがこのポートに接続されている場合、GND に対して Rd のプルダウン抵抗が存在します。次に、電流 $I_{Rp1.5A}$ が抵抗 Rd の両端に強制的に流れ、Px_CCy ピンに電圧が生成されます。デバイスは、昇降圧レギュレータが有

Copyright © 2026 Texas Instruments Incorporated

効になり 5V で動作するまで、構成済みの $I_{Rp1.5A}$ を適用します。アプリケーション ファームウェアは $I_{Rp1.5A}$ を維持するか、$I_{Rp3.0A}$ に変更します。

Px_CCy ピンが電子的にマークされたケーブルの VCONN 入力に接続されている場合、プルダウン抵抗は異なる (Ra) 値になります。この場合、Px_CCy ピンの電圧が V_{RDstd} を下回ると、電子的にマークされたケーブルをシステムが認識します。

どちらの Rp 電流がアクティブであるかに応じて、$V_{Dstd1.5}$ または $V_{D3.0}$ のスレッショルドが監視され、取り外しが検出されます。接続が認識され、続いて Px_CCy の電圧が t_{CC} の接続解除スレッショルドを上回ると、システムは接続解除を登録します。

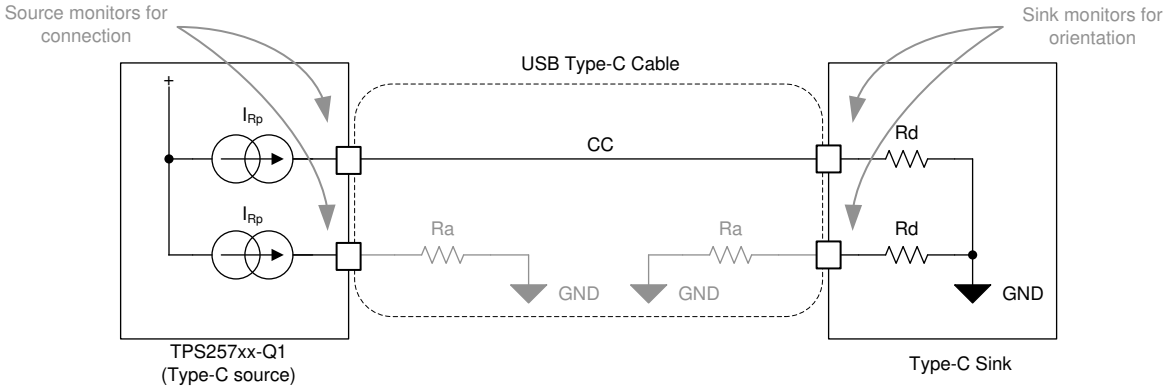


図 8-28. Type-C ケーブル

8.3.6.2 シンクとして構成

TVSP インデックス 8 によるファームウェア更新モードなどで、TPS25772-Q1 ポートがシンクとして構成されている場合、デバイスは各 PA_CCy ピンにプルダウン抵抗 R_{SNK} を提示し、ソースの接続を待機して、ピンの電圧をプルアップします。ソースは、抵抗または電流を印加して PA_CCy ピンをプルアップします。シンクは、VBUS の存在による接続を検出します。シンクは、PA_CCy ピンのプルアップに基づいて、ソースからのアドバタイズ電流を決定します。

8.3.6.3 過電圧保護 (Px_CC1、Px_CC2)

Px_CCy ピンのコンパレータは、CC1 または CC2 の過電圧や、LDO_5V 出力に存在する逆電流を検出します。過電圧イベント中、tPP_CABLE_FSD 内で VCONN は無効になり、関連する USB PD トランスミッタも無効になります。

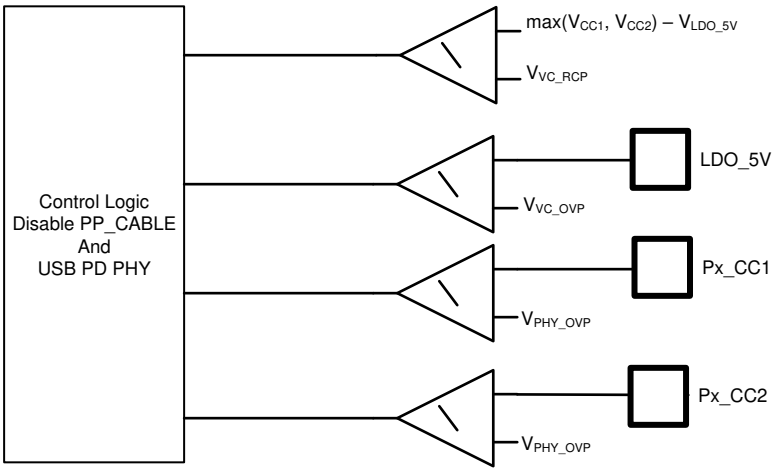


図 8-29. 過電圧および逆電流保護

Copyright © 2026 Texas Instruments Incorporated

8.3.7 ADC

ADC の詳細を 図 8-30 に示します。ADC は 8 ビットの逐次比較型 ADC です。ADC への入力は、デバイス内のさまざまな電圧と電流からの複数の入力に対応するアナログ入力マルチプレクサです。ADC の出力は、アプリケーション ファームウェアによって読み取りおよび利用が可能です。

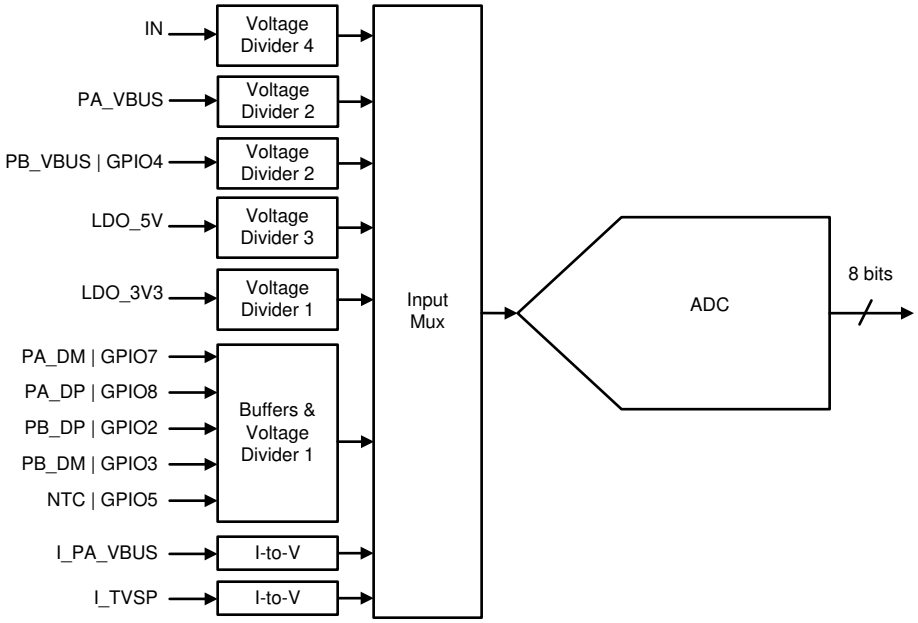


図 8-30. SAR ADC

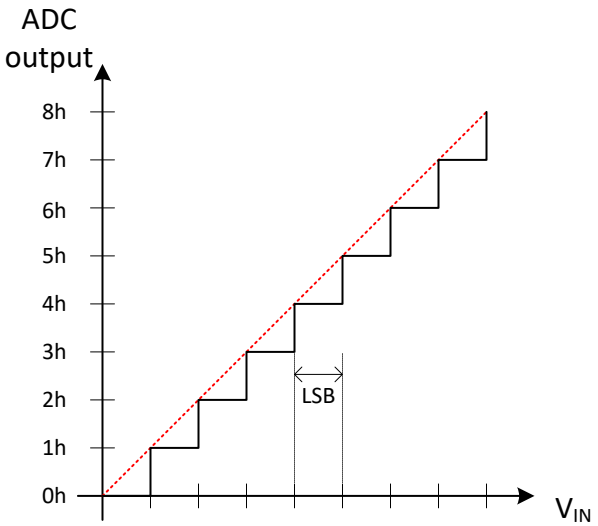


図 8-31. ADC 変換

8.3.7.1 ADC の分圧比

ADC の電圧入力はそれぞれ、1.2V のフルスケール入力に分割されています。ADC 電流検出素子は分圧されていません。

表 8-12 に、各 ADC 入力の分圧比を示します。アプリケーション ファームウェアは、ラウンドロビン自動読み出しモードで自動シーケンス処理される任意のチャネル グループを選択します。

表 8-12. ADC 入力

チャネル	信号	タイプ	分圧比	バッファ
0	I_TVSP	電流	該当なし	なし
1	IN	電圧	17	なし
2	LDO_3V3	電圧	3	なし
3	PA_VBUS	電圧	21	なし
4	GPIO4 | PB_VBUS	電圧	21	なし
5	I_{PA_VBUS}	電流	該当なし	なし
6	GPIO2 | PB_DP	電圧	3	あり
7	GPIO3 | PB_DM	電圧	3	あり
8	GPIO5 | NTC	電圧	3	あり
9	GPIO7 | PA_DM	電圧	3	あり
10	GPIO8 | PA_DP	電圧	3	あり
11	LDO_5V	電圧	5	なし

8.3.8 BC 1.2、レガシー、高速充電モード (Px_DP、Px_DM)

BC 1.2 ダウンストリーム ポート チャージャ エミュレーションでは、アプリケーションの GUI を設定できます。次の充電モードを有効化または無効化できます。

- DCP (専用充電ポート) 短絡モード:
- Divider 3 モード:
- 1.2V モード
- HVDCP (高電圧専用充電ポート) モード

以下の表に、各モードで使用される電圧源、抵抗、コンパレータのハードウェアを示します。記号「X」は、対応するモジュールが実装されていることを表します。

アプリケーション	2.7V SRC	1.2V SRC	R_{DCP_DAT}	R_{DM_DWN} (20kΩ)	V_{DAT_REF}	V_{SEL_REF}
DCP			X			
Divider 3	X					
1.2V		X	X			
HVDCP				X	X	X

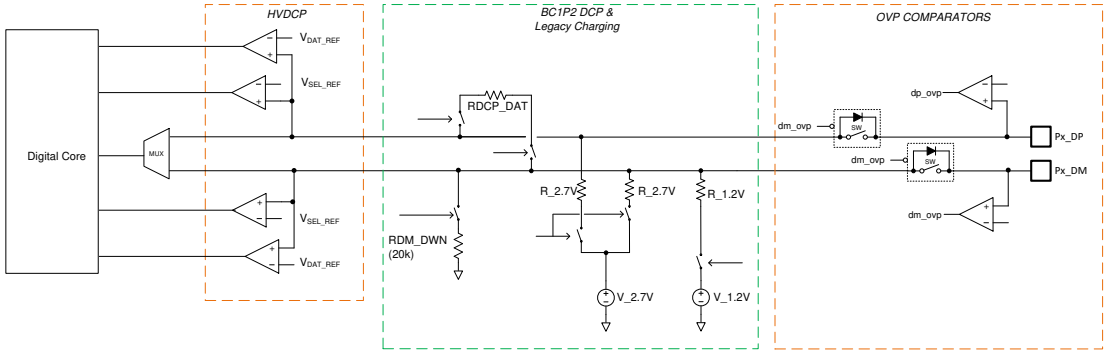


図 8-32. BC1P2 の機能図

Copyright © 2026 Texas Instruments Incorporated

8.3.9 USB 2.0 Low Speed エンドポイント

USB Low Speed エンドポイントは、HID クラス ベースのアクセスをサポートするために使用される USB 2.0 Low Speed (1.5Mbps) インターフェイスです。TPS25772-Q1 はエンドポイント EP0 の制御をサポートしています。このエンドポイントは、ファームウェア更新モード中に USB 2.0 ホストに列挙されます。TVSP インデックス 8 に対応する R_{TVSP} を使用して本デバイスの電源を投入すると、ファームウェア更新モードに入ります。

図 8-33 に、USB エンドポイント物理層を示します。物理層は、アナログ トランシーバ、シリアル インターフェイス エンジン、エンドポイント FIFO で構成され、低速 USB 動作をサポートしています。

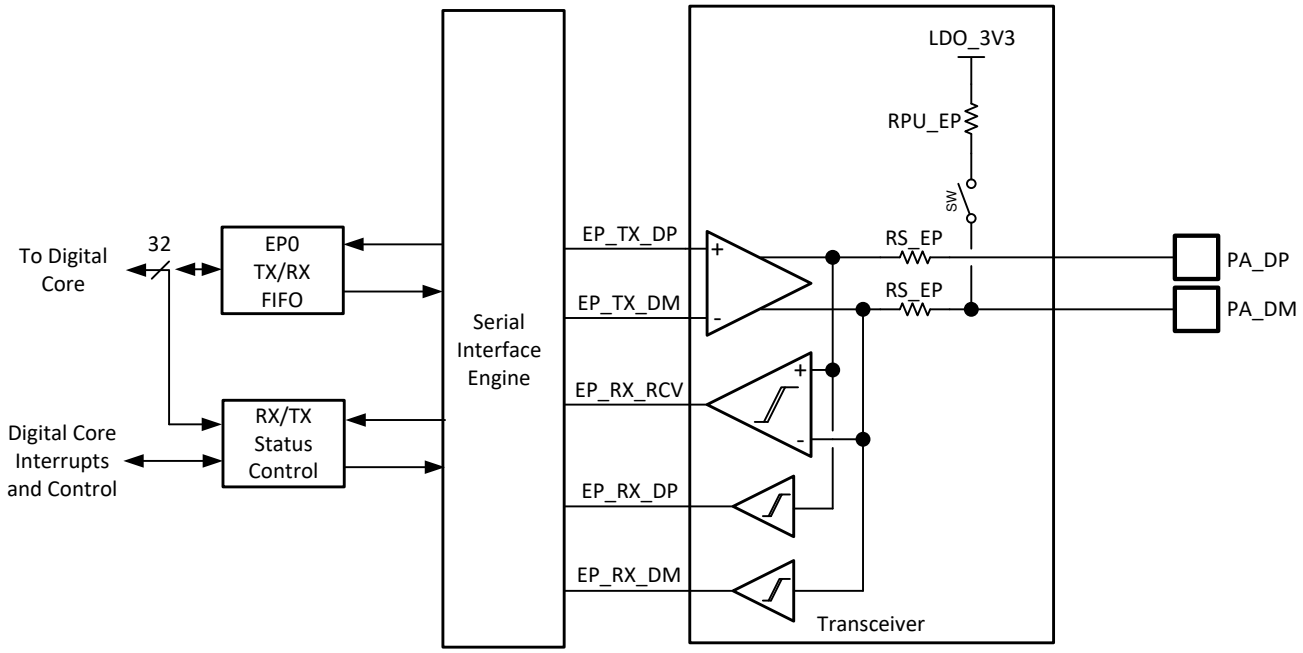


図 8-33. USB エンドポイント PHY

このトランシーバは、完全差動出力ドライバ、差動からシングルエンドへの変換受信バッファ、D+/D- 上の 2 つのシングルエンド受信バッファで独立して構成されています。出力ドライバは、ソース抵抗 RS_EP を介して D+/D- を駆動します。トランシーバの送信モード中、RPU_EP は接続解除されます。

エンドポイントが受信モードのとき、抵抗 RPU_EP は PA_DM ピンに接続されます。RPU_EP 抵抗は、低速モードのみをアドバタイズします。

8.3.10 デジタル インターフェイス

TPS25772-Q1 には、I^2C ターゲット デバイスとの通信に使用する I^2C コントローラが 1 つ内蔵されています。アプリケーションの GUI ファームウェア構成に応じて、I^2C ターゲットと GPIO を利用できます。

8.3.10.1 汎用 GPIO

アプリケーション構成 GUI は、汎用入出力機能を含む多機能ピンを管理します。各バッファは、プッシュプル出力またはオープン ドレイン出力として構成可能です。入力として構成した場合、その信号はグリッチ除去されたデジタル入力、または ADC へのアナログ入力 (指定されたピンのみ) です。プッシュプル出力は、シンプルな CMOS トーテム ポール構造です。アプリケーション GUI を使用して、独立したプルアップおよびプルダウンの有効化を設定します。3.3V 以外の I/O デバイスと接続する場合、出力バッファはオープン ドレイン出力として構成でき、GPIO ピンに外部プルアップ抵抗を接続します。

Copyright © 2026 Texas Instruments Incorporated

8.3.10.2 I²C バッファ

TPS25772-Q1 は、図 8-34 に示すような I²C I/O ドライバを使用した、2 つの I²C インターフェイスを備えています。この I/O は、オープン ドレイン出力とデグリッチ機能付き入力コンパレータで構成されています。

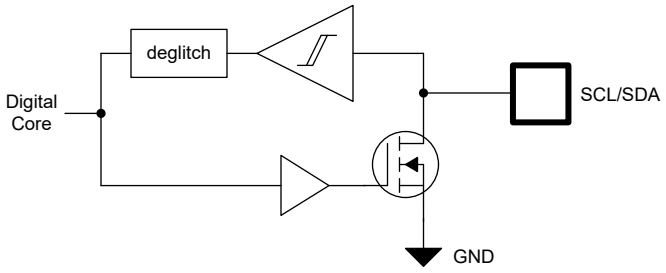


図 8-34. I² C ドライバ

8.3.11 I²C インターフェイス

TPS25772-Q1 には 2 つの I²C ポートがあります。I²C1 はコントローラ インターフェイスです。I²C2 はターゲット インターフェイスです。

I²C1 は、外部ターゲット デバイスの読み取りまたは書き込みに使用できます。I²C1 はブート中に、ターゲット アドレス 0x50 の外部 EEPROM からファームウェア パッチおよびアプリケーション構成データを読み取るように構成されます。

アプリケーション構成に応じて、TPS257xx-Q1TPS25772-Q1 では、マルチファンクション ピン GPIO2 (I² C_SCL2)、GPIO3 (I² C_SDA2) を使用して、ターゲット ポート I²C2 を提供します。TPS25772-Q1 を HUB または MCU 搭載システムで使用する場合、I²C2 ポートは、接続ステータスとテレメトリ情報を提供し、HUB または MCU から I²C1 に接続された EEPROM にファームウェア更新の転送を行います。

$\overline{\text{IRQ}}$ の機能は、ファームウェア アプリケーションの構成によって異なります。$\overline{\text{IRQ}}$ は、I²C1 と I²C2 の両方で同時に利用できるとは限りません。IRQ は次のように利用できます。

- マルチファンクション ピン GPIO9：$\overline{\text{IRQ1(i)}}$、$\overline{\text{IRQ1(o)}}$、$\overline{\text{IRQ2(o)}}$
- マルチファンクション ピン GPIO1：$\overline{\text{IRQ2(o)}}$

ここで、(i) は入力として動作し、(o) は出力として動作します。

I²C 制御を使用しない HUB アプリケーションでは、USB 2.0 仕様に基づき、ポートの過電流状態を報告する $\overline{\text{FAULT}}$ ピンとして GPIO9 を構成できます。

表 8-13. I²C の概要

I2C バス	タイプ	一般的な使用	最大バス周波数
I2C1c	コントローラ	I²C EEPROM、USB Type-C マルチプレクサ、I2C 温度センサ、I2C GPIO エクスパンダ、他の I2C ターゲットに接続します。LDO_5V または LDO_3V3 ピンをプルアップ電圧として使用します。マルチコントローラ構成はサポートされていません。	1MHz (高速モード プラス)
I2C2t	ターゲット	I²C 対応の USB HUB、MCU、車載プロセッサに接続できます。	1MHz (高速モード プラス)

8.3.11.1 I²C インターフェイスの説明

I²C1 および I²C2 ポートは、標準、高速モード、高速モード プラスの I²C インターフェイスをサポートしています。双方向 I²C バスは、シリアル クロック (SCL) ラインとシリアル データ (SDA) ラインで構成されます。両方のラインを、プルアップ抵抗経由で電源に接続する必要があります。データ転送は、バスがビジー状態でない場合のみ開始されます。

コントローラは、START 条件を送信します。START 条件とは、SCL 入力が High のときに、SDA 入力 / 出力が High から Low に遷移して I²C 通信が開始されることです。START 条件の後、デバイスのアドレス バイトが送信されます。データ方向ビット (R/W) を含む最上位ビット (MSB) が最初に送信されます。

Copyright © 2026 Texas Instruments Incorporated

有効なアドレス バイトを受信すると、このデバイスは、ACK 関連のクロック パルスが High のときに SDA 入力 / 出力を Low にするアクノリッジ (ACK) で応答します。I²C バスでは、各クロック パルスの間に 1 つのデータ ビットのみが転送されます。SDA ラインのデータは、クロック周期の High パルス中は安定している必要があります。この時点でデータ ラインが変化すると、制御コマンド (START または STOP) として解釈されるためです。コントローラは STOP 条件を送信します。STOP 条件とは、SCL 入力が High のときに、SDA 入力 / 出力が Low から High に遷移することです。

START 条件と STOP 条件の間に、トランスミッタからレシーバへ任意の数のデータ バイトを転送します。8 ビットの各バイトの後に 1 つの ACK ビットが続きます。レシーバが ACK ビットを送信する前に、トランスミッタは SDA ラインを解放する必要があります。アクノリッジを行うデバイスは、ACK 関連のクロック周期が High パルスのときは SDA ラインが安定して Low を維持できるようにするため、ACK クロック パルスの間は SDA ラインをプルダウンする必要があります。ターゲットのレシーバがアドレス指定されている場合、各バイトを受信した後に ACK を生成する必要があります。同様に、コントローラはターゲットのトランスミッタから受信した各バイトの後に ACK を生成する必要があります。適切な動作を可能にするためには、セットアップ時間とホールド時間の条件を満たす必要があります。

コントローラのレシーバは、最後のバイトがターゲットからクロック出力された後、アクノリッジ (NACK) を生成せずに、データの終了をターゲットのトランスミッタに通知します。これは、コントローラのレシーバで SDA ラインを High に保持することで行われます。この場合、コントローラが STOP 条件を生成できるように、ターゲット トランスミッタはデータ ラインを解放する必要があります。

図 8-35 に、転送の START 条件と STOP 条件を示します。図 8-36 に、ビット転送のための SDA および SCL 信号を示します。図 8-37 に、最後のクロック パルスで ACK または NACK でのデータ転送シーケンスを示します。

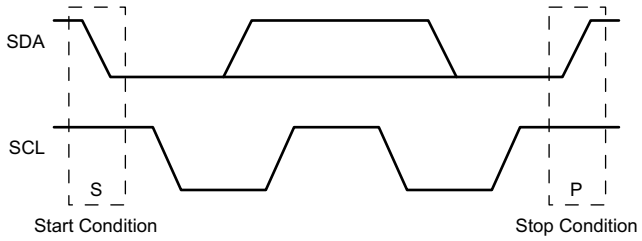


図 8-35. I²C の START 条件と STOP 条件の定義

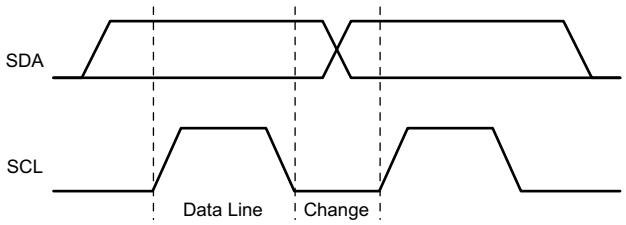


図 8-36. I²C ビット転送

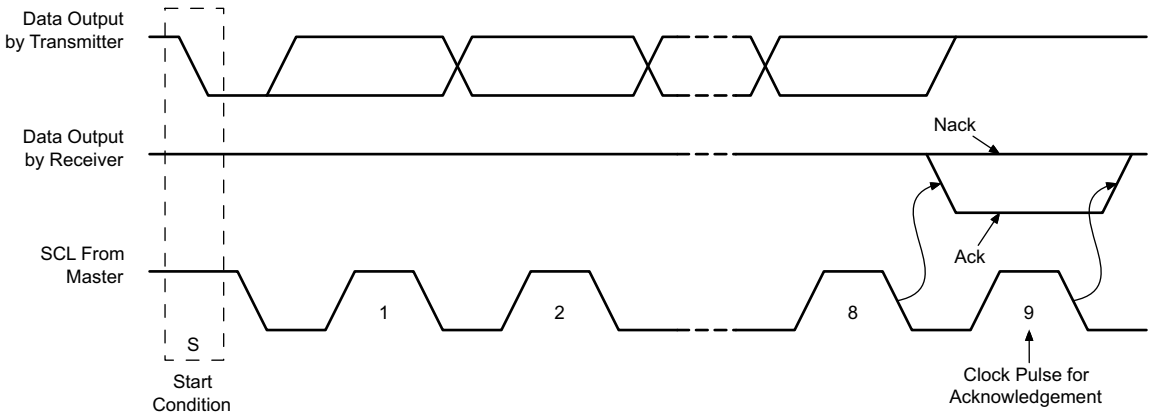


図 8-37. I²C 応答確認

8.3.11.2 I²C クロック ストレッチング

I²C2 のクロック ストレッチング。ターゲット I²C ポートは、バイトを受信 (または送信) した後にクロック ライン (SCL) を Low に保持し、それ以上のデータを処理する準備ができていないことを示します。ターゲットと通信するコントローラは、現在のビットの送信を完了せず、クロック ラインが実際に High になるまで待機する必要があります。目標がクロック ストレッチングの場合、クロック ラインは Low のままです。

コントローラは、クロック ラインが High に遷移してから、さらに最小時間 (標準の 100kbps I²C の場合は 4µs) が経過するまで待機して、クロックを再度 Low にする必要があります。

クロック パルスはストレッチできますが、通常は、これは確認応答ビットの前後の間隔です。

8.3.11.3 I²C アドレス設定

ハブ、マイコン、または車載プロセッサ ホストは、ファームウェア パッチや一般的なステータス通信のロードに I²C_SCL2 / I²C_SDA2 を使用します。ブート プロセスが完了すると、各ポートに、TVSP ピンで決定された一意のターゲット アドレスが割り当てられます。I2C2 バス上の各ポートで使用されるターゲット アドレスは、アプリケーション構成により決定されます。

8.3.11.4 固有アドレス インターフェイス

固有アドレス インターフェイスにより、I²C コントローラと単一の TPS25772-Q1 間の複雑なやり取りが可能になります。I²C ターゲット サブアドレスは、ホスト インターフェイスのプロトコル コマンドの受信または応答に使用されます。図 8-38 と 図 8-39 に、I²C ターゲット インターフェイスの書き込み/読み取りプロトコルを示します。使用する用語を説明するためのキーが 図 8-40 に含まれています。TPS25772-Q1 のホスト インターフェイスは、TPS25772-Q1 で制御される 2 つの USB Type-C ポートのそれぞれを識別するための異なる固有のアドレスを利用します。プロトコル図のキーは、SMBus 仕様に含まれています。ここでも、部分的に繰り返されています。

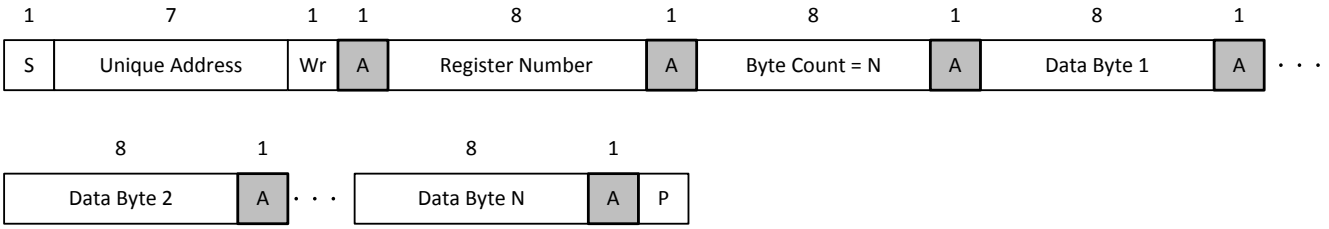


図 8-38. I²C 固有アドレス書き込みレジスタ プロトコル

Copyright © 2026 Texas Instruments Incorporated

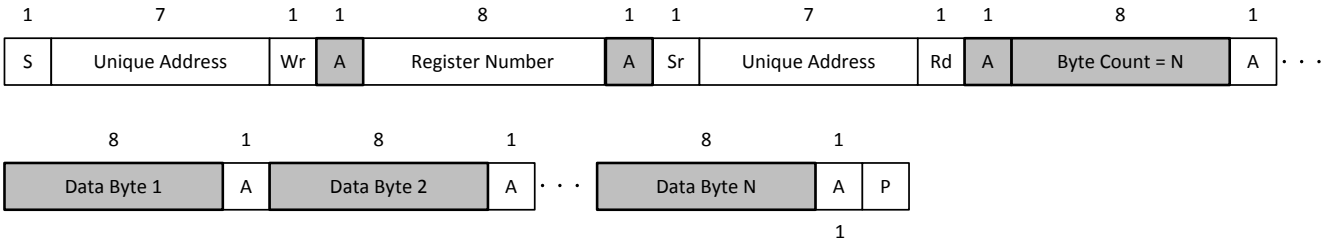


図 8-39. I²C 固有アドレス読み取りレジスタ プロトコル

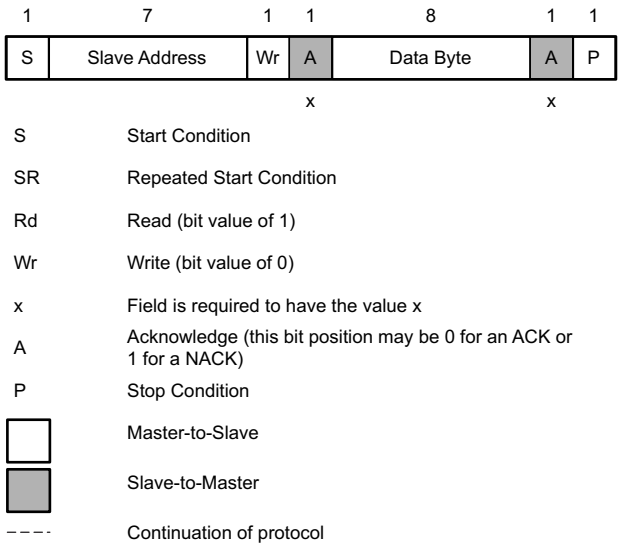


図 8-40. I²C 読み取り / 書き込みのプロトコル キー

8.3.11.5 I²C プルアップ抵抗の計算

R_P の標準値である I²C プルアップ抵抗の値は次の式で与えられます。

$R_P = t_r / (0.8473 \times C_b)$

t_r、C_b、V_{OL} の値については表 8-14 を参照してください。

表 8-14. I2C 仕様に基づくパラメータ

パラメータ		標準モード (最大)	高速モード (最大)	高速モード プラス (最大)	単位
f_{SCL}	SCL クロック周波数	100	400	1000	kHz
t_r	SDA 信号と SCL 信号の両方の立ち上がり時間	1000	300	120	ns
C_b	各バス ラインの容量性負荷	400	400	550	pF
V_{OL}	Low レベル出力電圧 (3mA 電流シンク、V_{DD} > 2V 時)	0.4	0.4	0.4	V
	Low レベル出力電圧 (2mA 電流シンク、V_{DD} ≤ 2V 時)	–	0.2 × V_{DD}	0.2 × V_{DD}	V

I2C プルアップ抵抗の計算に関する背景情報については、アプリケーション レポート「I² C バスのプルアップ抵抗値の計算」を参照してください。

8.3.12 デジタル コア

図 8-41 に、デジタル コアの簡略化されたブロック図を示します。

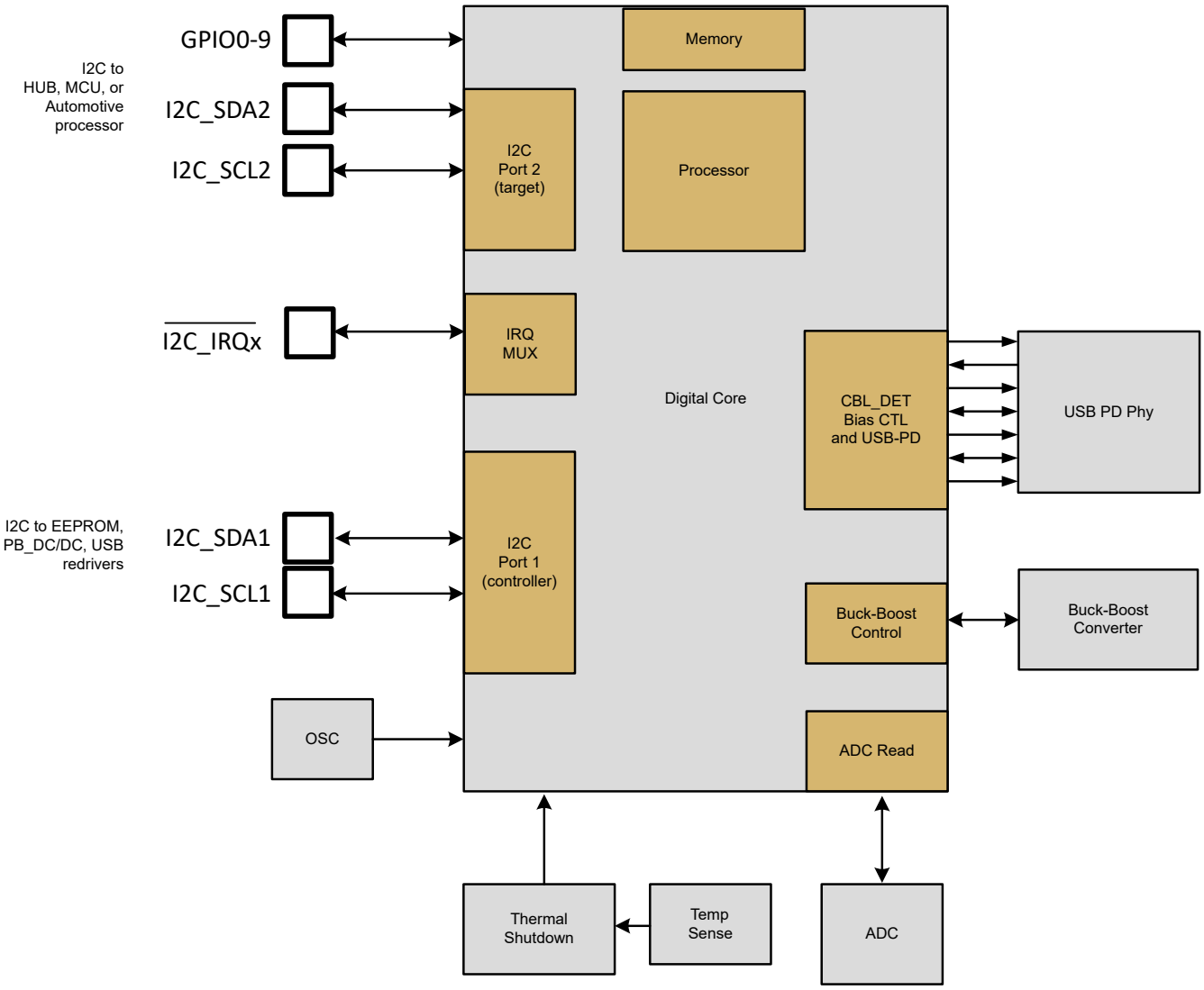


図 8-41. デジタル コアの簡略化されたブロック図

8.3.12.1 デバイス メモリ

デジタル コアは、ROM、SRAM、OTP の組み合わせを内蔵しています。ROM および SRAM は、アプリケーション ファームウェアのストレージおよび動作領域として機能します。OTP には、ブート構成設定が含まれています 27kB の SRAM、160kB の ROM、512 バイトの OTP があります。

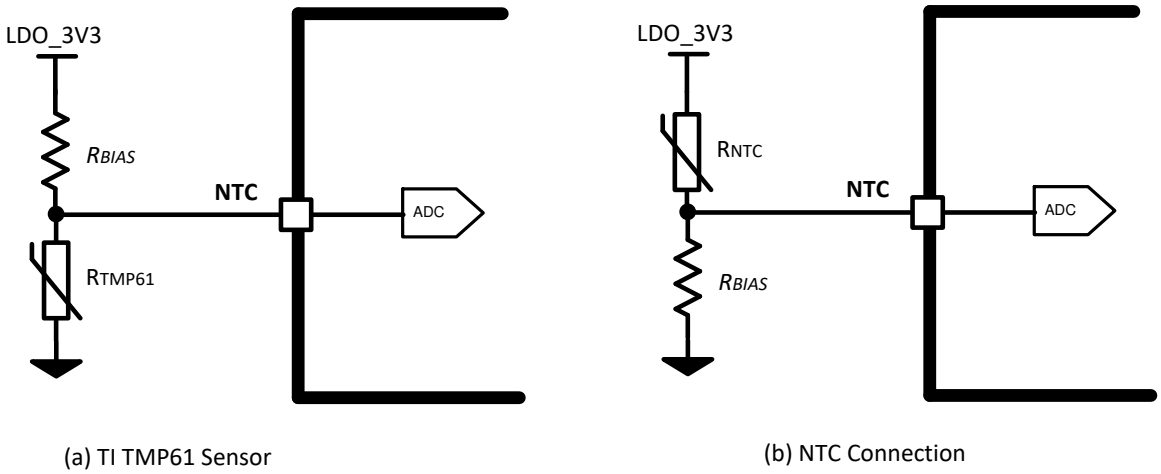
8.3.12.2 コア マイクロプロセッサ

デジタルコアは 24MHz でクロック供給される ARM M0+ で、ゼロ ウェイト状態で動作します。

8.3.13 NTC 入力

NTC ピンは、デバイス ファームウェアによってシステム温度を監視するために使用されます。NTC ピンの電圧の上昇および低下は、それぞれシステム温度の上昇または低下を示します。TPS25772-Q1 の NTC ピンで正の温度勾配を実現するために、図 8-42 に示すように、サーミスタを LDO_3V3 に接続します。

Copyright © 2026 Texas Instruments Incorporated



(a) TI TMP61 Sensor

(b) NTC Connection

図 8-42. サーミスタ接続 (a) PTC、(b) NTC

図 8-43 と図 8-44 を参照してください。さまざまな V_{NTC} 電圧に対するシステム電力管理応答は、アプリケーション構成 GUI を使用して定義されます。

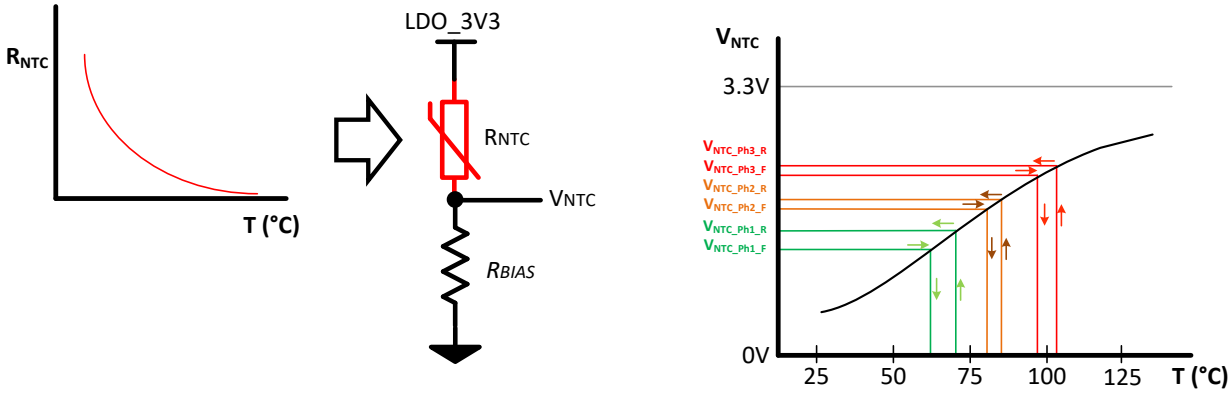


図 8-43. NTC 応答曲線

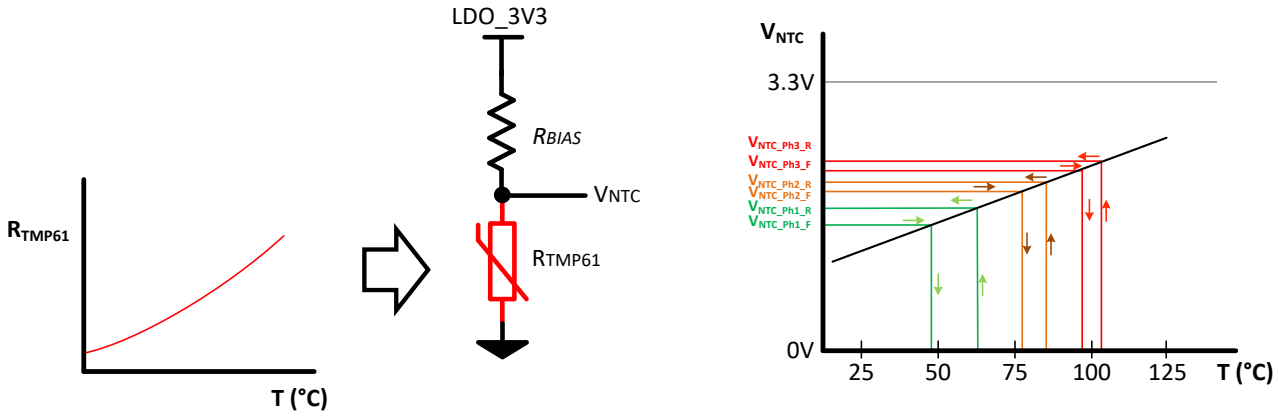


図 8-44. TMP61 の PTC 応答曲線

注

最適な精度を得るため、抵抗デバイダの計算を行うときは、「電気的特性」表の V_{LDO_3V3} 仕様を使用します。

8.3.14 サーマル センサとサーマル シャットダウン

TPS25772-Q1 デバイスには、次の 5 つの内部サーマル センサがあります。

- T_{SD_BB}。昇降圧パワー FET を監視する、2 個のダイオード OR 接続サーマル センサ。アサートされると、昇降圧レギュレータが無効になります。USB-PD エンジンがエラー回復に入ります。
- $T_{SD_PA_VCONN}$。PA_VCONN パスに配置された 1 個のサーマル センサ。過熱イベント中に PA_VCONN FET を開きます。USB-PD エンジンがエラー回復に入ります。
- $T_{SD_PB_VCONN}$。デュアル ポート デバイスに適用されます。PB_VCONN パス内に配置された 1 個のサーマル センサ。過熱イベント中に PB_VCONN FET を開きます。USB-PD エンジンがエラー回復に入ります。
- $T_{SD_PA_VBUS_DISCH}$。PA_VBUS 放電パスに配置された 1 個のサーマル センサ。過熱時に PA_VBUS 放電 FET を開きます。温度が立ち下がりヒステリシスを下回ると、PA_VBUS 放電 FET を閉じます。(T_{SD_HYS}) VBUS 遷移の減少中に、PA_VBUS がファームウェアによって設定された放電スレッショルドを上回っている場合。
- T_{SD_LDO5V}。LDO_5V レギュレータ内に配置された 1 個のサーマル センサ。マスタ サーマル シャットダウンとして動作します。M0 がハード リセットを引き起こす過熱イベント中、デバイスを完全に無効化します。温度がヒステリシスの立ち下がり (T_{SD_HYS}) を下回ると、デバイスの動作が可能になります。

8.4 デバイスの機能モード

シャットダウン モード

EN/UVLO ピンは、TPS25772-Q1 の電気的なオン / オフを制御します。$V_{EN/UVLO}$ が 1.15V (標準値) を下回ると、デバイスはシャットダウン モードになり、Cortex M0 が無効化され、最小限のアナログ機能のみが動作します。EN/UVLO ピンの機能の詳細については、「VIN UVLO およびイネーブル / UVLO」セクションを参照してください。

アクティブ モード

TPS25772-Q1 は、$V_{EN/UVLO}$ が立ち上がりスレッショルド $V_{EN(OPER)}$ を上回り、IN ピンの電源電圧が V_{IN} 低電圧誤動作防止スレッショルド $V_{IN(UVLO_R)}$ を上回っていると、アクティブ モードに移行します。アクティブ モードでは、内部アナログ回路は M0 を有効にし、ROM からファームウェアを実行して完全に動作します。

アクティブ モードが開始されると、ファームウェア ブート コードは TVSP ピンの抵抗を測定し、TVSP インデックス値をデコードしようと試みます。構成とファームウェアのパッチロードが成功すると、デバイスは外部 EEPROM に保存されている構成設定に従って動作を開始する準備が整います。通信エラーが原因で構成とパッチ データが正常にロードされない場合、デバイスは標準的な Type-C 機能を持つポート A のみを有効にして動作を継続します。インデックス値 8 は、TPS25772-Q1 GUI およびポート A 接続を通じて、デバイス構成とファームウェア パッチ情報を更新するように予約されています。デバイスのブートが完了すると、ロードされたアプリケーション構成設定に従って、デバイス ファームウェアが USB 接続を制御および管理します。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

TPS25772-Q1 のアプリケーション構成 GUI には、デフォルトのアプリケーション設定があります。

最も一般的な実装はデュアル ポート USB PD チャージャと、USB ハブ付きデュアル ポート USB PD です。TPS25772-Q1 の設計の詳細については、デバイスの製品フォルダにある該当の評価ボードのコンテンツを参照してください。システム構成オプションについては、「TPS257XX-Q1-GUI 構成ガイド」およびアプリケーション GUI TPS257XX-Q1-GUI を参照してください。

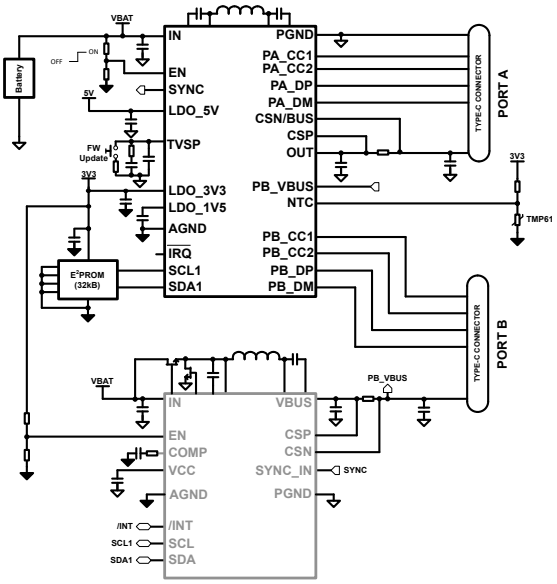


図 9-1. 簡易デュアル USB PD チャージャ

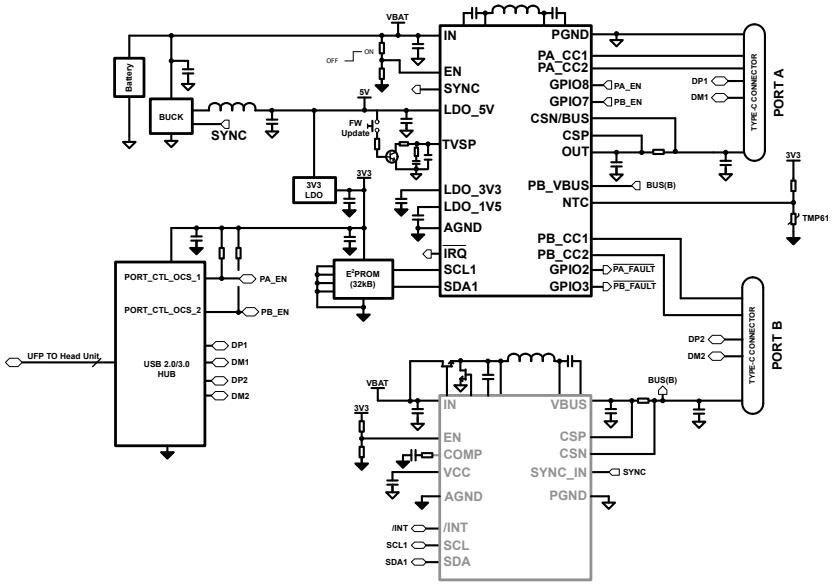


図 9-2. ハブ搭載の簡易デュアル USB PD

「代表的なアプリケーション」では、代表的なチャージャ アプリケーション回路の詳細な設計手順について説明します。

9.2 代表的なアプリケーション

図 9-3 に、65W 出力の車載用パワー デリバリ対応 USB Type-C ポートの代表的な例を示します。このデバイスは内部的に補償されており、表 9-1 に示す部品に最適化されています。

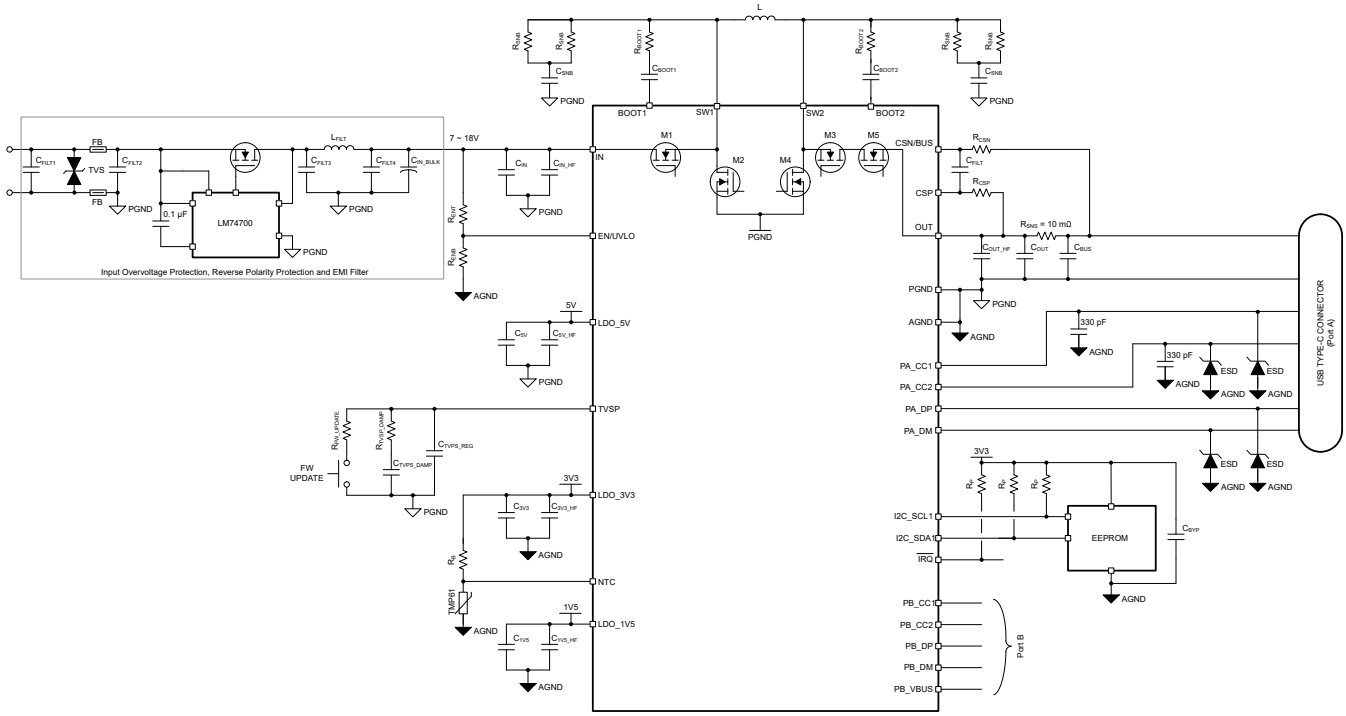


図 9-3. TPS25772-Q1 のアプリケーション回路図

Copyright © 2026 Texas Instruments Incorporated

表 9-1. 推奨されるインダクタ、入力および出力キャパシタンス

f_{SW}	C_{IN} + C_{HF}	L	C_{OUT} + C_{BUS} の最小値	C_{OUT} + C_{HF}	C_{BUS}
300	22µF + 2 × 0.1µF	4.7µH	160µF	30µF + 2 × 0.1µF	130µF + 2 × 0.1F
400	22µF + 2 × 0.1µF	4.7µH	120µF	30µF + 2 × 0.1µF	90µF + 2 × 0.1µF
400	22µF + 2 × 0.1µF	3.3µH	140µF	30µF + 2 × 0.1µF	110µF + 2 × 0.1µF
450	22µF + 2 × 0.1µF	3.3µH	140µF	30µF + 2 × 0.1µF	110µF + 2 × 0.1µF

- 50V 定格のコンデンサを推奨。

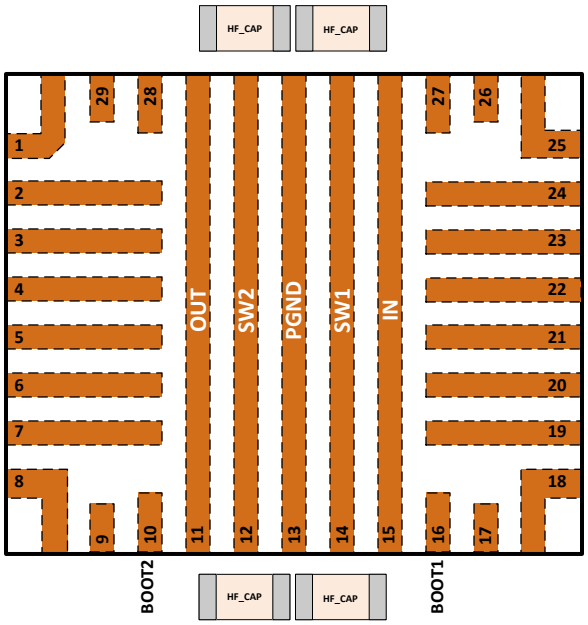


図 9-4. 入力および出力 C_{HF} コンデンサの配置

V_{IN} と V_{OUT} の適切なデカップリングを実現し、堅牢なデバイス動作を実現するには、ノードごとに 2 個の 0.1µF、C_{HF} コンデンサを使用し、IC パッケージの反対側にできるだけピンに近づけて配置します。通常、インダクタは IC パッケージと同じ PCB 層 (上面または底面) に配置します。IC パッケージのインダクタ側の C_{HF} コンデンサは、ビアを使用して PCB の反対側 (底面または上面) に配置します。そのため、インダクタ側の IN ピンおよび OUT ピンからこれらのコンデンサの物理的な位置までのパターン長を最小限に抑えることができます。

表 9-2. SWx のスナバおよび電流センスの推奨フィルタ部品

SW1 (1)		SW2 (2)		CSP および CSN フィルタ (3)		
R_{SNB} (0.25W)	C_{SNB} (50V)	R_{SNB} (0.25W)	C_{SNB} (50V)	R_{CSP} (0.1W)	R_{CSN} (0.1W)	C_{FLT} (50V)
2.2Ω || 2.2Ω	1nF	2.2Ω || 2.2Ω	3.3nF	10 Ω	0 Ω	0.22µF

1. EMI 軽減の必要に応じて、ユーザーの任意で選択(このスナバを使用すると、パワー デリバリ仕様を超える、初期突入電流の大きいデバイスをサポートする場合にも役立ちます)。
2. 堅牢なデバイス動作に**必須**です。
3. USB-IF の電流レギュレーション要件を満たすのに**必須**です。

9.2.1 設計要件

この例では、表 9-3 をターゲット パラメータとして使用します。

表 9-3. 設計における入力

設計パラメータ	数値の例
入力電圧範囲	6.8V ～ 18V (過渡耐性 36V)
UVLO ターンオン電圧	6.5V
USB PD 電力	65W
USB PD V_{BUS} 電圧	5V、9V、15V、20V、3.3 ～ 21V (PPS)
出力	3.3 ～ 21V
負荷電流	PDO：5V、3A、9V、3A、15V、3A、20V、3.25A APDO：3.3 ～ 21V、3A
スイッチング周波数	400kHz
V_{CONN}	0.1W
車載モジュールの最大電流	15A

9.2.2 詳細な設計手順

9.2.2.1 アプリケーション GUI の選択

アプリケーション GUI を使用して、目的の動作条件を選択します。完了したら、設定をプログラミング PC に保存し、ファームウェアを EEPROM に書き込んで、デバイスの電源を再投入します。完了後、TPS25772-Q1 の動作準備が整います。

表 9-4. アプリケーション GUI の選択

パラメータ	GUI の選択
昇降圧入力と USB 入力	
ポート A の V_{BUS} 電力	65W
ポート A の PDO と APDO	PDO：5V、3A、9V、3A、15V、3A、20V、3.25A APDO：3.3 ～ 21V、3A
ポート A の V_{CONN} 電力	0.1W
f_{SW} スイッチング周波数	400kHz
L インダクタ	4.7µH
車載モジュールの最大電流	15A
バッテリ入力低下	
エンジン オン電圧	12.5V
エンジン オフ電圧	11V
エンジン オフ後にタイマー作動	600 秒
熱管理入力	
V_{NTC_PHASE1}	1.65V
NTC_PHASE1 電力、最大値に対する割合	50%
V_{NTC_PHASE2}	2.1V
NTC_PHASE2 電力、最大値に対する割合	30%
V_{NTC_PHASE3}	2.4V
NTC_PHASE3 電力、最大値に対する割合	0% (PA_VBUS 無効)

9.2.2.2 EEPROM の選択

製品寿命の間にテキサス インスツルメンツがリリースしたファームウェア パッチの更新と同様に、ユーザーのアプリケーション構成データを保存するには、EEPROM が必要です。

基本的な要件：

Copyright © 2026 Texas Instruments Incorporated

- 32kB (256kB)
- 7 ビット I2C アドレス (0x50)
- 内部構成:32kB x 8 (合計 256kB)
- 使用中のファームウェア イメージは、1 つの 16kB x 8 パーティションに保存されます。以前のファームウェア イメージは、信頼性を考慮して他の 16kB x 8 パーティションに保持されています。
- ページ サイズ / バッファは 64b でなければなりません

表 9-5. 推奨される EEPROM

メーカー	部品番号
On Semi	CAV24C256
マイクロチップ	24LC256
ST Micro	M24256
Rohm	BRA24T512 = 3AM

9.2.2.3 EN/UVLO

TPS25772-Q1 は、固定 $V_{IN(UVLO)}$ を備えており、立ち上がりおよび立ち下がりスレッショルドは 5 ～ 5.5V の間になります。正確な値については、「昇降圧レギュレータ」を参照してください。立ち下がりスレッショルド $V_{IN\ (UVLO_F)}$ は、バッテリ電圧が低すぎて動作を続行できない場合、デバイスを無効にします。$V_{IN\ (UVLO_R)}$ より高いターンオン電圧を確立するには、IN 電源電圧と EN/UVLO ピンの間に抵抗デバイダを接続します。$V_{EN/UVLO} > V_{EN(OPER)}$ (公称 1.25V) になると、デバイスは低消費電力シャットダウンを終了し、起動を開始します。

この例では、V_{IN} のターンオン電圧として約 6.5V が必要です。以下の式と例を使用して、必要な抵抗の値を決定します。

- 標準値 R_{ENB} = 22kΩ を選択します。
- R_{ENT} を計算します。

$$R_{ENT} = \left(\frac{V_{ON}}{V_{EN(OPER)}} - 1\right) \times R_{ENB} \tag{3}$$

$$R_{ENT} = \left(\frac{6.5\ V}{1.25\ V} - 1\right) \times 22\ k\Omega = 92.4\ k\Omega \tag{4}$$

- 標準値である 91kΩ を選択します。
- 22kΩ と 91kΩ を使用します。式 3 を組み替えると次のようになります。

$$V_{ON} = \left(\frac{R_{ENT}}{R_{ENB}} + 1\right) \times V_{EN(OPER)} \tag{5}$$

$$V_{ON} = \left(\frac{91\ k\Omega}{22\ k\Omega} + 1\right) \times 1.25\ V = 6.42\ V \tag{6}$$

- V_{OFF} を計算します。

$$V_{OFF} = \left(1 - \frac{V_{EN(HYS)}}{V_{EN(OPER)}}\right) \times V_{ON} \tag{7}$$

$$V_{OFF} = \left(1 - \frac{0.1\ V}{1.25\ V}\right) \times 6.42\ V = 5.91\ V \tag{8}$$

- 最後に、選択した抵抗によって、EN/UVLO ピンの最大クランプ電圧がトリガされないことを確認します。36V を最大 V_{IN} 過渡として推定します。

$$V_{EN/UVLO(MAX)} = \left(\frac{V_{IN(MAX)} \times R_{ENB}}{R_{ENT} + R_{ENB}}\right) \tag{9}$$

$$V_{EN/UVLO(MAX)} = \left(\frac{36\ V \times 22\ k\Omega}{22\ k\Omega + 91\ k\Omega}\right) = 7\ V \tag{10}$$

Copyright © 2026 Texas Instruments Incorporated

- この結果である 7V は、EN/UVLO ピンの最大クランプ電圧よりも低くなっています。

9.2.2.4 センス抵抗、R_{SNS}、R_{CSP}、R_{CSN}、C_{FILT}

TPS25772-Q1 では、CSP ピンと CSN/BUS ピンの間に 10mΩ の抵抗が必要です。正確な電流制限レギュレーションを行うには、±1% 以下の精度が必要です。DC 出力電流が 3.25A の場合、抵抗の消費電力は以下の式で表されます。

I^2R、すなわち $(3.25A)^2 \times 0.01\Omega = 0.106W$

定格 0.33W、許容誤差 ±1%、2010 ケースのパワー抵抗を選択します。*部品を選択する際には、メーカーの電力ディレーティング曲線を確認してください。ほとんどの場合、70℃ を上回る温度で最大電力をディレーティングします。*

適切な USB PD PPS 電流制限精度を得るには、CSP および CSN/BUS ピンに RC フィルタ ネットワークが必要です。R_{CSP} = 10Ω、R_{CSN} = 0Ω のフィルタ ネットワークと、フィルタ コンデンサ C_{FILT} = 0.22µF を推奨します。推奨される RC フィルタ部品定格を 表 9-2 に示します。V_{BUS} 放電機能への干渉を避けるため、R_{CSN} は 0Ω とする必要があります。

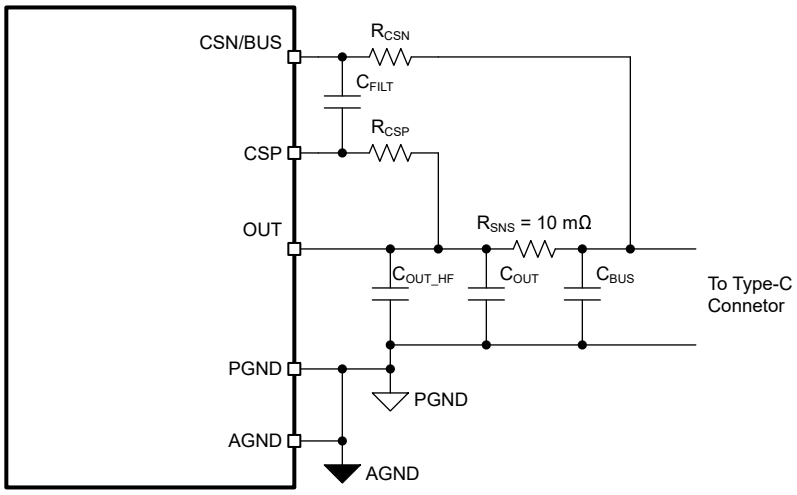


図 9-5. 電流センス アンプ：RC フィルタ部品

9.2.2.5 インダクタ電流

表 9-1 に、目的のスイッチング周波数 f_{SW} に基づく推奨インダクタ値を示します。次の式を使用して、以下の「降圧計算および昇圧計算の結果」表の値を導出しました。

$$D_{BUCK} = \frac{V_{OUT}}{V_{IN(MAX)} \times \eta} \tag{11}$$

$$D_{BOOST} = 1 - \frac{V_{IN(MIN)} \times \eta}{V_{OUT}} \tag{12}$$

ここで、

- $V_{IN(MAX)}$ = 最大入力電圧
- $V_{IN(MIN)}$ = 最小入力電圧
- V_{OUT} = 出力電圧
- D_{BUCK}= 降圧モードの最小デューティ サイクル
- D_{BOOST} = 昇圧モードの最大デューティ サイクル
- η = V_{IN}、V_{OUT}、I_{OUT} で算出した推定効率

Copyright © 2026 Texas Instruments Incorporated

降圧モード

$$I_{SW_BUCK(MAX)} = \frac{\Delta I_{L_BUCK(MAX)}}{2} + I_{OUT} \quad (13)$$

$$\Delta I_{L_BUCK(MAX)} = \frac{(V_{IN(MAX)} - V_{OUT(MIN)}) \times D_{BUCK}}{f_{SW} \times L} \quad (14)$$

ここで、

- $V_{IN(MAX)}$ = 最大入力電圧
- $V_{OUT(MIN)}$ = 最小出力電圧
- I_{OUT} = 最大 DC 出力電流
- $\Delta I_{L\text{-}BUCK(MAX)}$ = 降圧動作時のインダクタを流れる最大リップル電流
- $I_{SW_BUCK(MAX)}$ = 降圧動作時の最大スイッチ電流
- D_{BUCK} = 降圧動作時の最小デューティ サイクル
- f_{SW} = コンバータのスイッチング周波数
- L = 選択したインダクタの値

$$I_{MAXOUT(BUCK)} = I_{PEAK(BUCK)} - \frac{\Delta I_{L_BUCK(MAX)}}{2} \quad (15)$$

ここで、

- $I_{MAXOUT(BUCK)}$ = コンバータによってインダクタを流れる最大供給可能電流
- $I_{PEAK(BUCK)}$ =「電気的特性」表に記載されている降圧スイッチのピーク電流制限
- $\Delta I_{L_BUCK(MAX)}$ = 式 14 で算出したインダクタを流れるリップル電流。

昇圧モード

$$I_{SW_BOOST(MAX)} = \frac{\Delta I_{L_BOOST(MAX)}}{2} + \frac{I_{OUT}}{1 - D_{BOOST}} \quad (16)$$

$$\Delta I_{L_BOOST(MAX)} = \frac{V_{IN(MIN)} \times D_{BOOST}}{f_{SW} \times L} \quad (17)$$

ここで、

- $V_{IN(MIN)}$ = 最小入力電圧
- $V_{OUT(MAX)}$ = 目標出力電圧
- I_{OUT} = 目標出力電流
- $\Delta I_{L_BOOST(MAX)}$ = 昇圧動作時にインダクタを流れる最大リップル電流
- $I_{SW_BOOST(MAX)}$ = 昇圧動作時の最大スイッチ電流
- D_{BOOST} = 昇圧動作時の最大デューティ サイクル
- f_{SW}= コンバータのスイッチング周波数
- L = 選択したインダクタの値

Copyright © 2026 Texas Instruments Incorporated

$$I_{MAXOUT(BOOST)} = \left(I_{PEAK(BOOST)} - \frac{\Delta I_{L_BOOST(MAX)}}{2}\right) \times (1 - D_{BOOST}) \quad (18)$$

ここで、

- $I_{MAXOUT(BOOST)}$ = コンバータによってインダクタを流れる最大供給可能電流
- D_{BOOST} = 昇圧モードの最大デューティ サイクル
- $I_{PEAK(BOOST)}$ =「電気的特性」表に記載されている昇圧スイッチのピーク電流制限
- $\Delta I_{L_MAX(BOOST)}$ = 式 17 で算出したインダクタを流れるリップル電流。

降圧動作

表 9-6 に、以下の条件における $\Delta I_{L_BUCK(MAX)}$ と $I_{SW_BUCK(MAX)}$ を表形式で示します。

- η = 0.95
- $V_{IN(MAX)}$ = 18V
- $V_{OUT(MIN)}$ = 3.3V
- $D_{BUCK(MIN)}$ = 0.193

表 9-6. 降圧計算結果 (L = 4.7µH)、I_{BUS} = 3A

f_{SW} (kHz)	I_{OUT} (A)	$\Delta I_{L_BUCK(MAX)}$ (A)	$I_{SW_BUCK(MAX)}$ (A)
300	3.00	2.87	4.44
400	3.00	2.15	4.08
450	3.00	1.91	3.96
300	3.00	2.01	4.01
400	3.00	1.51	3.76
450	3.00	1.34	3.67

昇圧動作

表 9-6 に、以下の最大出力電力条件における $\Delta I_{L_BOOST(MAX)}$、$I_{SW_BOOST(MAX)}$、推奨 GUI $I_{PEAK(BOOST)}$ (最小値) の設定を表形式で示します。

$I_{SW_BOOST(MAX)} > I_{PEAK(BOOST)}$ (最小値) → V_{BUS} ドロップアウトの可能性があります。

$I_{SW_BOOST(MAX)} < I_{PEAK(BOOST)}$ (最小値) → V_{BUS} は通常どおりにレギュレートされます。

- η = 0.95
- $V_{IN(MIN)}$ = 5.5V ～ 9V
- $V_{OUT(MAX)}$ = 21V
- I_{OUT} = 3A

なお、ここでの計算では、21V 3A のインダクタ ピーク電流がより大きいため、20V 3.25A ではなく 21V 3A を使用しています。

Copyright © 2026 Texas Instruments Incorporated

表 9-7. 昇圧計算結果 (L = 4.7µH)、I_{BUS} = 3A

f_{SW} (kHz)	$V_{IN(MIN)}$ (V)	$D_{BOOST(MAX)}$	$\Delta I_{L_BOOST(MAX)}$ (A)	$I_{SW_BOOST(MAX)}$ (A)	GUI [1] $I_{PEAK(BOOST)}$ (A)
300	5.5	0.751	2.93	13.51	12.3
	6	0.729	3.10	12.62	12.3
	6.5	0.706	3.25	11.83	12.3
	7	0.683	3.39	11.16	12.3
	7.5	0.661	3.52	10.61	10.8
	8	0.638	3.62	10.10	10.8
	8.5	0.615	3.71	9.65	10.8
	9	0.593	3.79	9.27	9.3
400	5.5	0.751	2.20	13.15	12.3
	6	0.729	2.33	12.24	12.3
	6.5	0.706	2.44	11.42	12.3
	7	0.683	2.54	10.73	10.8
	7.5	0.661	2.64	10.17	10.8
	8	0.638	2.71	9.64	10.8
	8.5	0.615	2.78	9.18	9.3
	9	0.593	2.84	8.79	9.3
450	5.5	0.751	1.95	13.02	12.3
	6	0.729	2.07	12.11	12.3
	6.5	0.706	2.17	11.29	12.3
	7	0.683	2.26	10.59	10.8
	7.5	0.661	2.34	10.02	10.8
	8	0.638	2.41	9.49	9.3
	8.5	0.615	2.47	9.03	9.3
	9	0.593	2.51	8.63	9.3

(1) 昇圧ピーク ILIM の最小値を示します。最小値、標準値、最大値については、「電気的特性」表を参照してください。

9.2.2.6 出力コンデンサ

昇圧モードでは、出力コンデンサに高リップル電流が流れます。出力コンデンサの RMS リップル電流は、式 19 で求められます。最小 V_{IN} は最大コンデンサ電流に対応します。

$$I_{COUT(RMS)} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN}} - 1} \tag{19}$$

この例では、最大出力リップル RMS 電流は $I_{COUT(RMS)}$ = 3.18A です。5mΩ の出力コンデンサの ESR では、次のように 34mV の出力リップル電圧が発生します。

$$\Delta V_{RIPPLE(ESR)} = \frac{I_{OUT} \times V_{OUT}}{V_{IN(MIN)}} \times ESR \tag{20}$$

140µF の出力コンデンサ (C_{OUT} + C_{BUS}) では、以下の式で示されるように、26mV の容量性リップル電圧が発生します:

$$\Delta V_{RIPPLE(COUT)} = \frac{I_{OUT} \times \left(1 - \frac{V_{IN(MIN)}}{V_{OUT}}\right)}{C_{OUT} \times F_{sw}} \quad (21)$$

通常、低い ESR と高いリップル電流能力を得るには、セラミック コンデンサとバルク コンデンサを組み合わせて使用する必要があります。「代表的なアプリケーション」セクションの包括的な回路図には、ほとんどのアプリケーションに適した C_{OUT} および C_{BUS} に関する推奨事項が記載されています。

9.2.2.7 入力コンデンサ

降圧モードでは、入力コンデンサから高リップル電流が供給されます。入力コンデンサの RMS 電流は、以下で求められます。

$$I_{CIN(RMS)} = I_{OUT} \sqrt{D \times (1 - D)} \quad (22)$$

最大 RMS 電流は D = 0.5 で発生し、$I_{CIN(RMS)} = I_{OUT}/2 = 1.5A$ になります。大きい di/dt 電流に対して短いパスを提供し、出力電圧リップルを低減するには、セラミック コンデンサとバルク コンデンサを組み合わせて使用します。C_{IN} を選択する場合、まず「代表的なアプリケーション」セクションの表 9-1 を参考にするとよいでしょう。

9.2.3 アプリケーション曲線

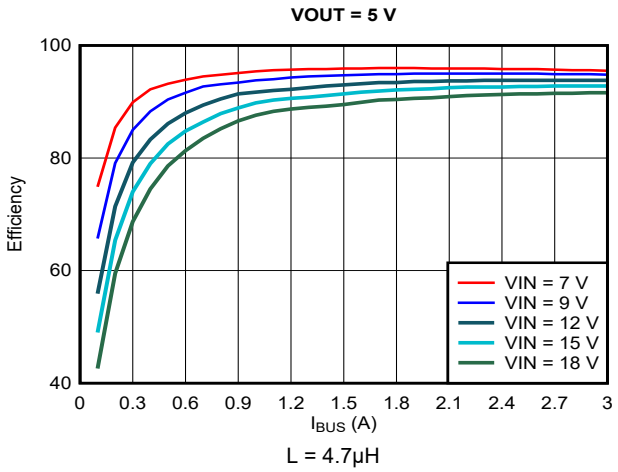


図 9-6. 効率と出力電流 (I_{OUT})、V_{OUT} = 5V との関係

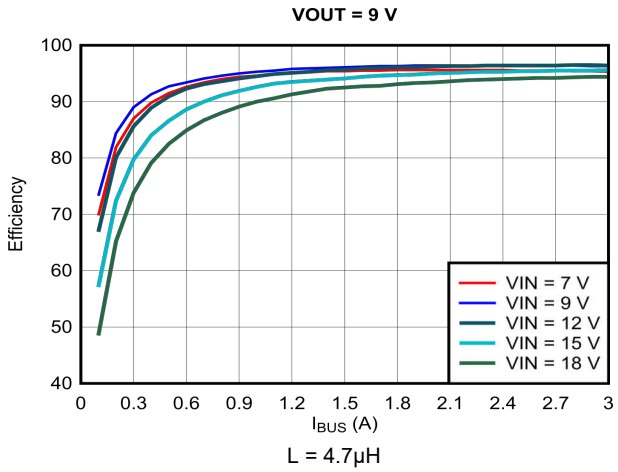


図 9-7. 効率と出力電流 (I_{OUT})、V_{OUT} = 9V との関係

Copyright © 2026 Texas Instruments Incorporated

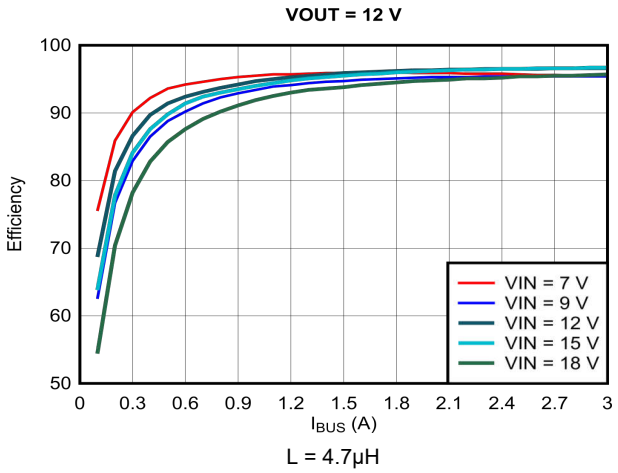


図 9-8. 効率と出力電流 (I_{OUT})、V_{OUT} = 12V との関係

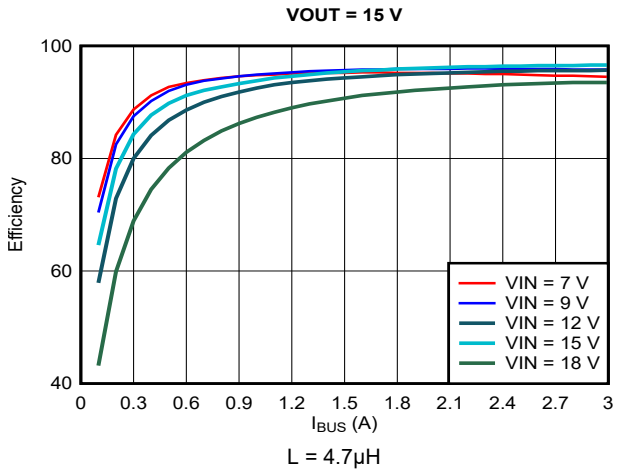


図 9-9. 効率と出力電流 (I_{OUT})、V_{OUT} = 15V との関係

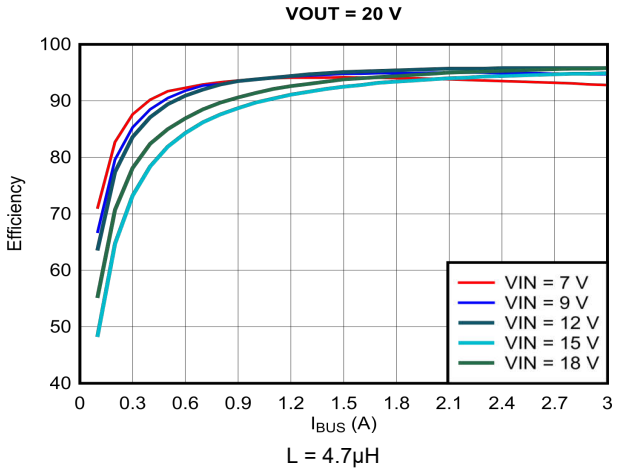


図 9-10. 効率と出力電流 (I_{OUT})、V_{OUT} = 20V との関係

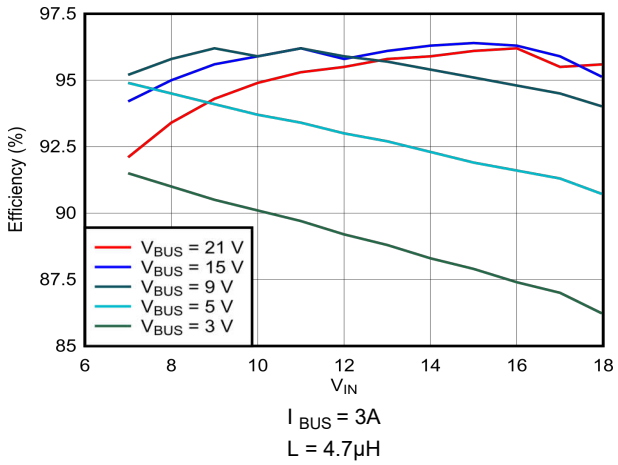


図 9-11. 効率と入力電圧との関係

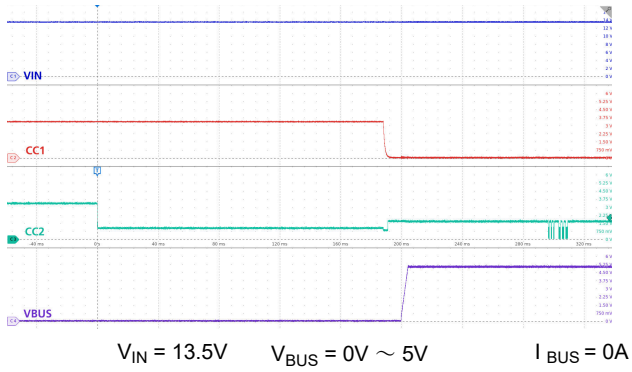


図 9-12. Type-C 接続

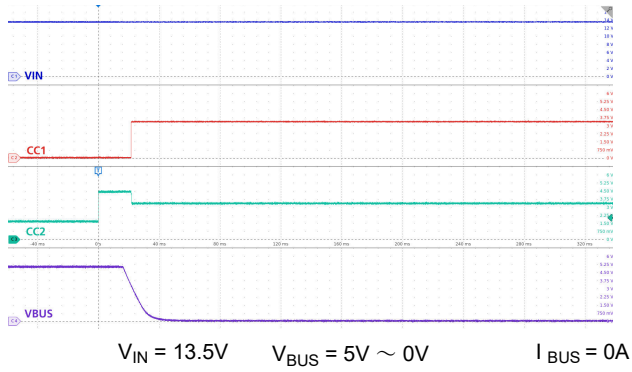
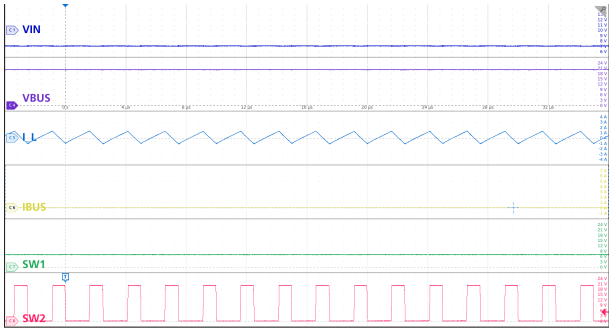
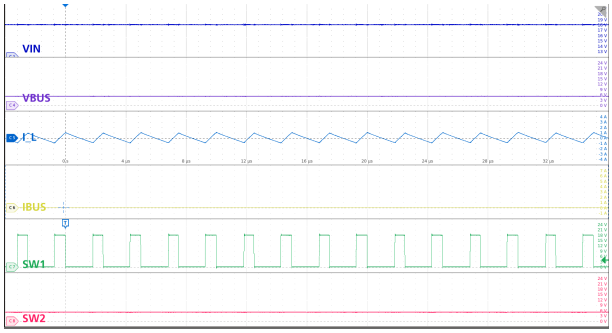


図 9-13. Type-C 接続解除



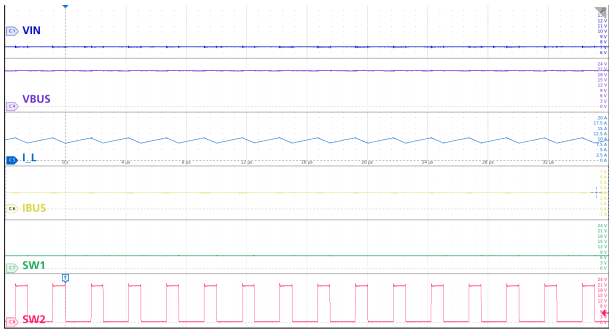
V_{IN} = 7V V_{BUS} = 20V I_{BUS} = 0A

図 9-14. 昇圧モード：低 V_{IN}、無負荷



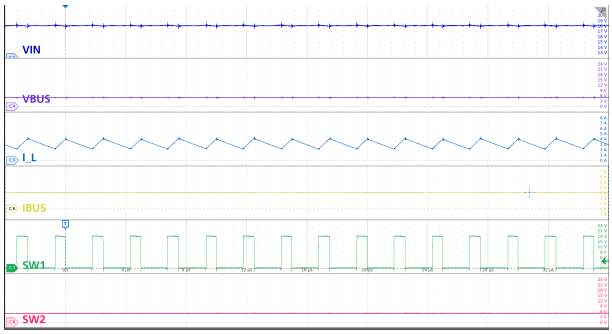
V_{IN} = 18V V_{BUS} = 5V I_{BUS} = 0A

図 9-15. 降圧モード：高 V_{IN}、無負荷



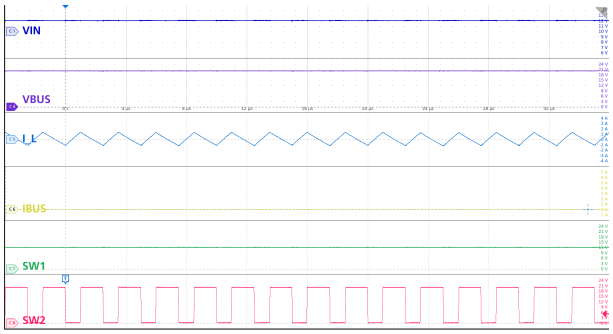
V_{IN} = 7V V_{BUS} = 20V I_{BUS} = 3A

図 9-16. 昇圧モード：低 V_{IN}、3A 負荷



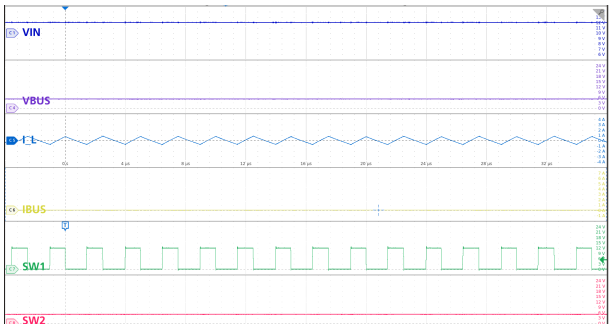
V_{IN} = 18V V_{BUS} = 5V I_{BUS} = 3A

図 9-17. 降圧モード：高 V_{IN}、3A 負荷



V_{IN} = 12V V_{BUS} = 20V I_{BUS} = 0A

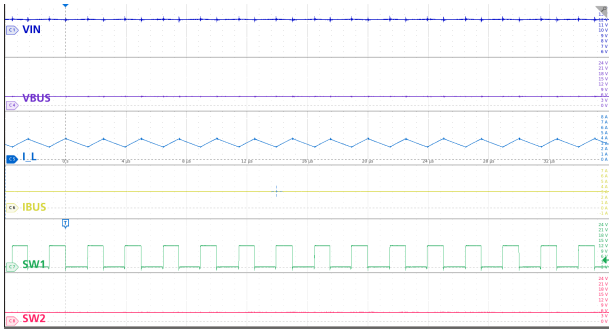
図 9-18. 昇圧モード：公称 V_{IN}、無負荷



V_{IN} = 12V V_{BUS} = 5V I_{BUS} = 0A

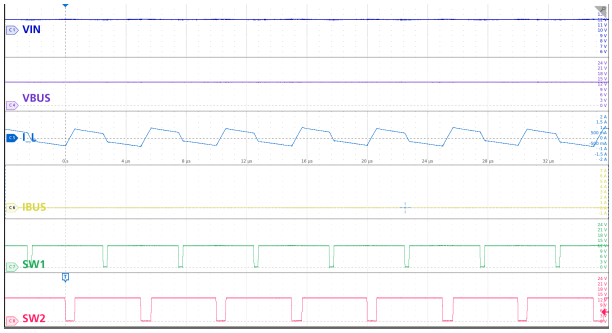
図 9-19. 降圧モード：公称 V_{IN}、無負荷

Copyright © 2026 Texas Instruments Incorporated



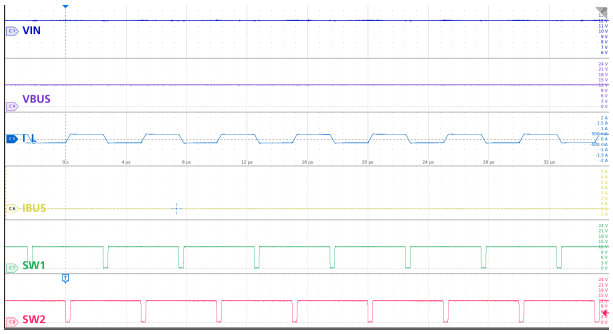
V_{IN} = 12V V_{BUS} = 5V I_{BUS} = 3A

図 9-20. 降圧モード：公称 V_{IN}、3A 負荷



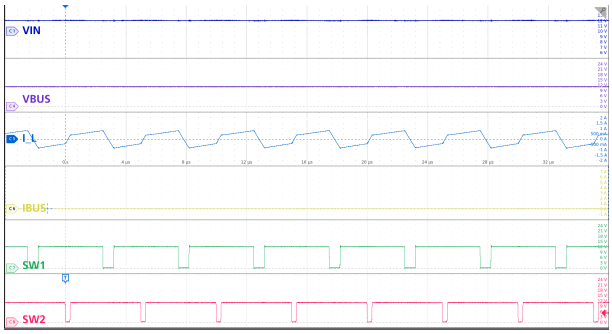
V_{IN} = 12V V_{BUS} = 13V I_{BUS} = 0A

図 9-21. 昇降圧モード：$V_{IN} \lneq V_{BUS}$、無負荷



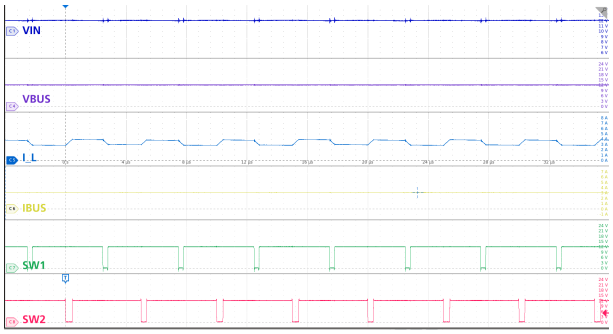
V_{IN} = 12V V_{BUS} = 12V I_{BUS} = 0A

図 9-22. 昇降圧モード：$V_{IN} = V_{BUS}$、無負荷



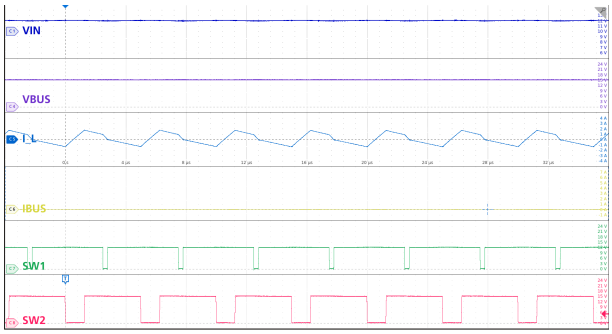
V_{IN} = 12V V_{BUS} = 11V I_{BUS} = 0A

図 9-23. 昇降圧モード：VIN ≳ VBUS、無負荷



V_{IN} = 12V V_{BUS} = 12V I_{BUS} = 3A

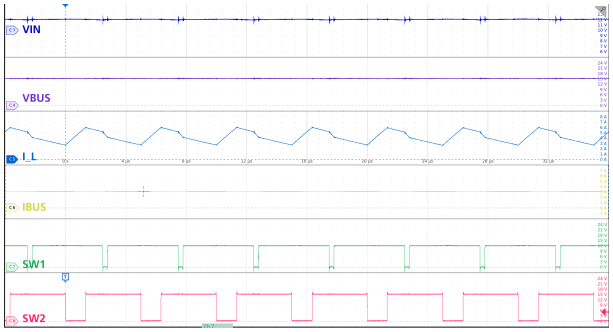
図 9-24. 昇降圧モード：$V_{IN} = V_{BUS}$、3A 負荷



V_{IN} = 12V V_{BUS} = 15V I_{BUS} = 0A

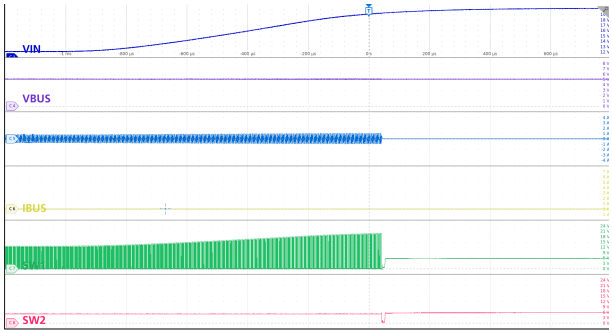
図 9-25. 昇降圧モード：公称 V_{IN}、無負荷

Copyright © 2026 Texas Instruments Incorporated



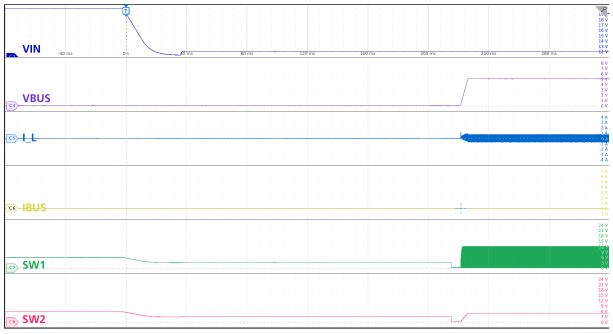
V_{IN} = 12V V_{BUS} = 15V I_{BUS} = 3A

図 9-26. 昇降圧モード：公称 V_{IN}、3A 負荷



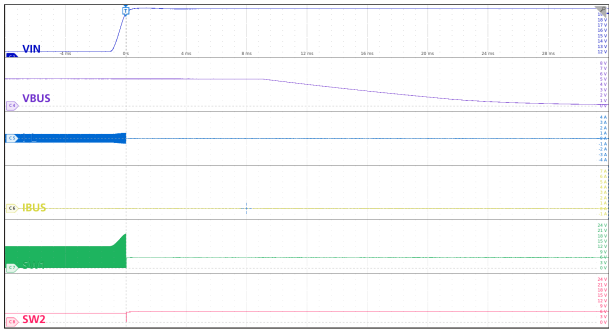
V_{IN} 12V ➔ 20V

図 9-27. $V_{IN(OVP)}$ 進入



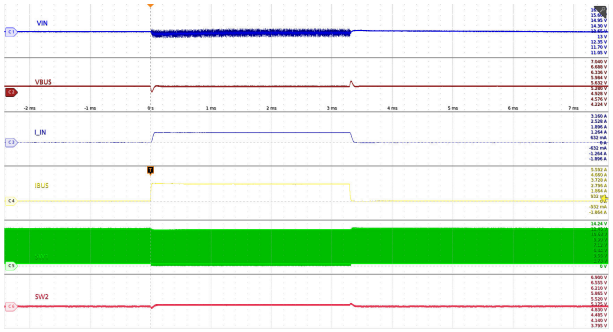
V_{IN} 20V ➔ 12V

図 9-28. $V_{IN(OVP)}$ 回復



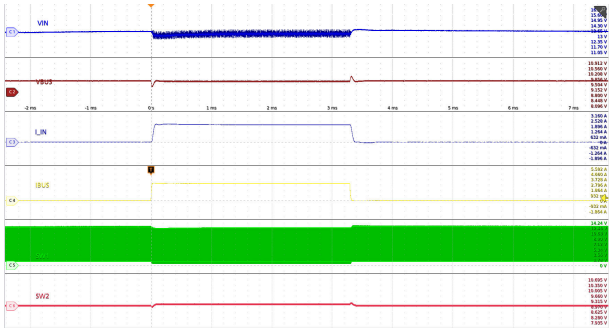
V_{IN} 12V ➔ 20V V_{BUS} = 0V I_{BUS} = 0A

図 9-29. $V_{IN(OVP)}$ 時の V_{BUS} 放電



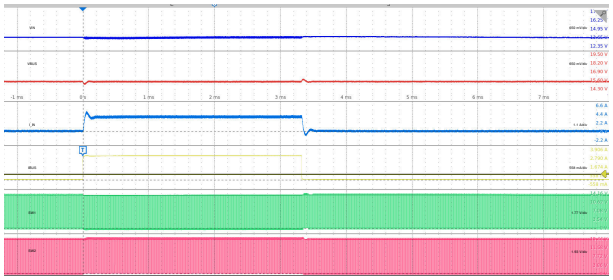
V_{IN} = 13.5V V_{BUS} = 5V I_{BUS} 0A ➔ 3A

図 9-30. 負荷過渡 (降圧)：V_{BUS} = 5V



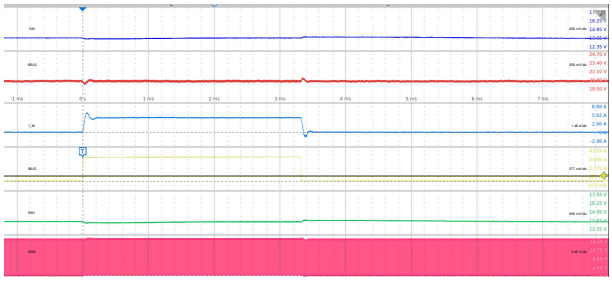
V_{IN} = 13.5V V_{BUS} = 9V I_{BUS} 0A ➔ 3A

図 9-31. 負荷過渡 (降圧)：V_{BUS} = 9V



V_{IN} = 13.5V V_{BUS} = 15V I_{BUS} 0A ➔ 3A

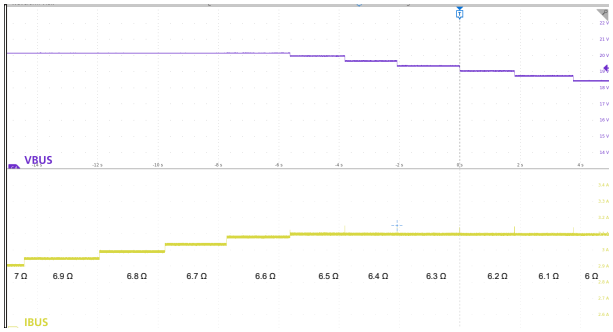
図 9-32. 負荷過渡 (昇降圧)：V_{BUS} = 15V



V_{IN} = 13.5V V_{BUS} = 20V I_{BUS} 0A ➔ 3A

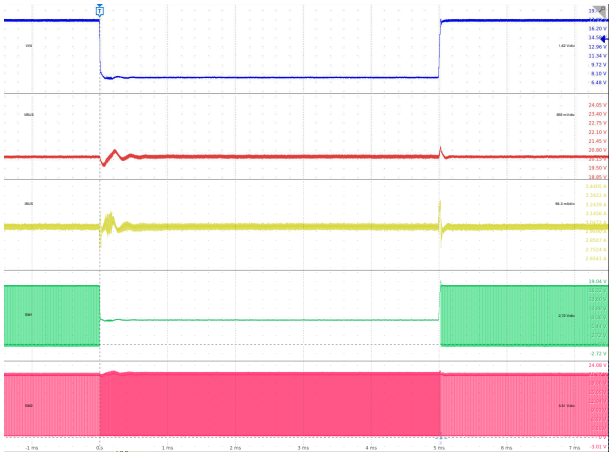
図 9-33. 負荷過渡 (昇圧)：V_{BUS} = 20V

Copyright © 2026 Texas Instruments Incorporated



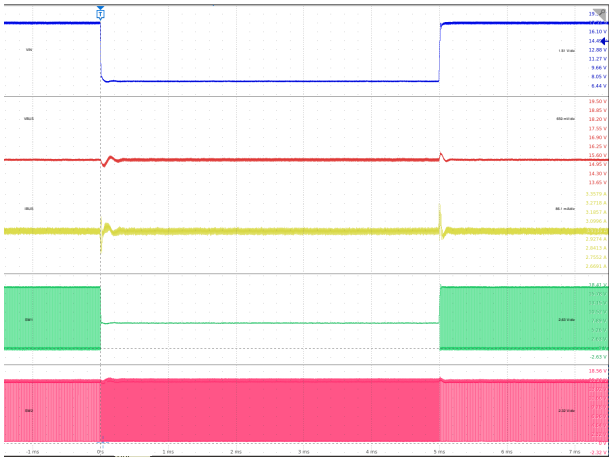
V_{IN}= 12V V_{BUS} = 20V I_{LIMIT} = 3.1A

図 9-34. 電流制限：ステップ型抵抗性負荷



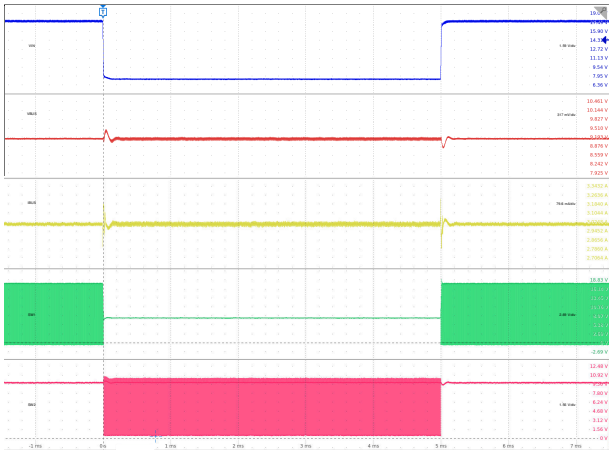
V_{IN} 7V ➔ 18V V_{BUS} = 20V I_{BUS} = 3A

図 9-35. ライン過渡：V_{BUS} = 20V



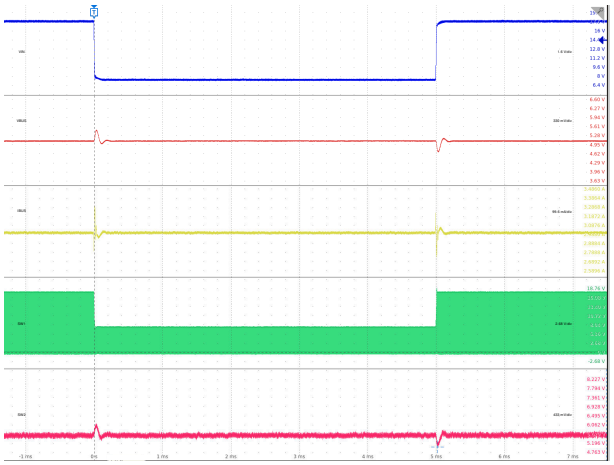
V_{IN} 7V ➔ 18V V_{BUS} = 15V I_{BUS} = 3A

図 9-36. ライン過渡：V_{BUS} = 15V



V_{IN} 7V ➔ 18V V_{BUS} = 9V I_{BUS} = 3A

図 9-37. ライン過渡：V_{BUS} = 9V



V_{IN} 7V ➔ 18V V_{BUS} = 5V I_{BUS} = 3A

図 9-38. ライン過渡：V_{BUS} = 5V

Copyright © 2026 Texas Instruments Incorporated

9.3 電源に関する推奨事項

TPS25772-Q1 はパワー マネージメントデバイスで、指定された V_{IN} 入力範囲において、通常は車載バッテリまたは DC 電圧源で動作します。この電源は、最大インダクタ電流に基づいて、昇圧モード動作で十分な電流を供給できる必要があります。入力電源は、接続ケーブルの寄生インピーダンスによるリンギングを回避するため、アプリケーション ボードの入力に設置されるバルク コンデンサでバイパスされます。一般的には、47 ～ 100µF のアルミ電解コンデンサを選択します。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

PCB の基本的な基板レイアウトでは、ノイズに敏感な信号パスおよび電源パスを分離する必要があります。適切に設計された基板で良好な性能を実現するためには、以下のチェックリストに従う必要があります。

- IN、OUT、および V_{BUS} コンデンサには、バルク コンデンサと、直列インピーダンスの低い小型セラミック コンデンサを組み合わせて使用します。より小さなコンデンサは IC に近づけて配置することにで、高 di/dt のスイッチング電流に対して低インピーダンス パスを提供します。
- 推奨される C_{IN} の値については、表 9-1 を参照してください。入力バイパスコンデンサ C_{IN} および C_{IN_HF} は、降圧動作時の入力スイッチング電流に対するループ エリアを最小限に抑えるため、IN および PGND ピンにできる限り近づけて配置します。C_{IN_HF} コンデンサは、できるだけ近くに配置する必要があります。図 9-4 を参照してください。IN ピンおよび PGND ピンはパッケージの反対側に配置されているため、C_{IN} および C_{IN_HF} を分割し、それぞれのピンの側にコンデンサを配置することを強く推奨します。
- 出力フィルタ コンデンサ C_{OUT} および C_{OUT_HF} は、OUT ピンおよび PGND ピンにできる限り近づけて配置し、昇圧動作時の出力スイッチング電流に対するループ エリアを最小限に抑えます。推奨される C_{OUT} および C_{OUT_HF} の値については、表 9-1 を参照してください。
- 電流センス抵抗とフィルタ部品を配置します。R_{SNS}、R_{CSP}、R_{CSN}、C_{FLT}。電流センス信号のフィルタ コンデンサは、IC CSP および CSN/BUS にできるだけ近づけて配置します。電流センス アンプでオフセットが発生しないようにするため、CSP および CSN 抵抗を経由した R_{SNS} と、CSP ピンおよび CSN/BUS ピンとの間にケルビン接続を使用します。SW1 および SW2 ノードなどのノイズの多い領域を横切らないようにします。表 9-2 の推奨値は、PPS 電流制限精度要件を満たすために必要な微調整を行う際の、有効な目安になります。推奨値から変更逸脱する場合、R_{CSP} は 10Ω を超えないようにしてください。R_{CSN} は 0Ω である必要があります。CFLT は 0.33µF より大きくすることはできません。
- R_{SNS} と USB Type-C コネクタの間に C_{BUS} を配置します。推奨される C_{BUS} 値については、表 9-1 を参照してください。。
- C_{IN}、C_{OUT}、および C_{BUS} のグランド接続は、厚いグランド トレースや多層プレーンを使用し、IC にできるだけ近づけて配置します。
- SW1 および SW2 は高 dv/dt ノードであるため、SW1 および SW2 によるループ面積は最小限にします。
- LDO_5V バイパス・コンデンサ C_{5V} および C_{5V_HF} は、LDO_5V ピンと PGND ピンの間で、IC ピンの近くに配置します。通常は、4.7µF および 0.1µF のセラミック コンデンサを使用します。LDO_5V は、LDO_3V3、LDO_1V5、およびローサイドの降圧および昇圧 MOSFET に電力を供給します。
- LDO_3V3 バイパス コンデンサ (C_{3V3} および C_{3V3_HF}) は、LDO_3V3 ピンと AGND ピンの間で、IC ピンの近くに配置します。通常は、4.7µF および 0.1µF のセラミック コンデンサを使用します。LDO_3V3 は、アナログ IO 回路に電力を供給します。
- LDO_1V5 バイパス コンデンサ (C_{1V5} および C_{1V5_HF}) は、LDO_1V5 ピンと AGND ピンの間で、IC ピンの近くに配置します。通常は、4.7µF および 0.1µF のセラミック コンデンサを使用します。LDO_3V3 は、Cortex-M0 およびデジタル回路に電源を供給します。
- BOOT1 のブートストラップ コンデンサは IC の近くに配置し、BOOT1 ピンおよび SW1 ピンに直接接続します。EMI を低減するには、直列抵抗 R_{BOOT1} を追加します。
- BOOT2 のブートストラップ コンデンサは IC の近くに配置し、BOOT2 ピンおよび SW2 ピンに直接接続します。EMI を低減するには、直列抵抗 R_{BOOT2} を追加します。

Copyright © 2026 Texas Instruments Incorporated

- TVSP ピンは、IC の近くに配置した低 ESR のセラミック コンデンサ C_{TVSP} を使用して、PGND にバイパスさせます。通常は、0.1µF のセラミック コンデンサを使用します。R_{TVSP_DAMP} および C_{TVSP_DAMP} は、C_{TVSP} の近くに並列に追加する必要があります。推奨値は 10Ω と 0.47µF です。
- AGND 接続を流れる電力やスイッチング電流が USB PD モデムや GPIO 信号を乱さないように、電源パスと信号パスを分離してください。PGND および AGND の配線は AGND ピンの近くで接続します。
- USB データ ライン、DP および DM は、IC ピンと USB コネクタの間で差動配線する必要があります。インピーダンス制御は、PCB 層構成に基づいています。差動インピーダンス 90Ω を推奨します。DP および DM USB 信号は、ビアやコーナーを最小限にして配線し、信号反射やインピーダンス変動を低減させます。ビアを使用する必要がある場合は、周囲の空間距離を大きく確保することで、そこでの静電容量を最小化します。各ビアは、信号伝送ラインの連続性を損ない、基板の他の層からの干渉を受ける可能性を高めます。ツイストペア ライン上にテストポイントを設計する際は注意が必要です。スルーホール ピンは推奨されません。パターンを 90° 曲げる必要がある場合は、インピーダンスの不連続性を最小限に抑えて信号反射を低減させるため、1 回の 90° カーブではなく、2 回の 45° カーブまたはアークを使用してください。信号反射を防ぐため、高速 USB 信号にはスタブを設けないでください。スタブが不可避の場合、長さは 200mm 未満にしなければなりません。
- CC ラインを 10mil の配線幅で配線することで、VCONN を介して給電される Type-C ケーブルをサポートするために必要な電流を確保できます。VCONN の詳細については、Type-C の仕様を参照してください。330pF CC コンデンサの GND ピンについては、可能であれば 16mil の配線幅を使用します。
- GPIO 信号は、最上層または最下層で 8mil または 10mil の配線幅を使用してファンアウトします。

9.4.2 レイアウト例

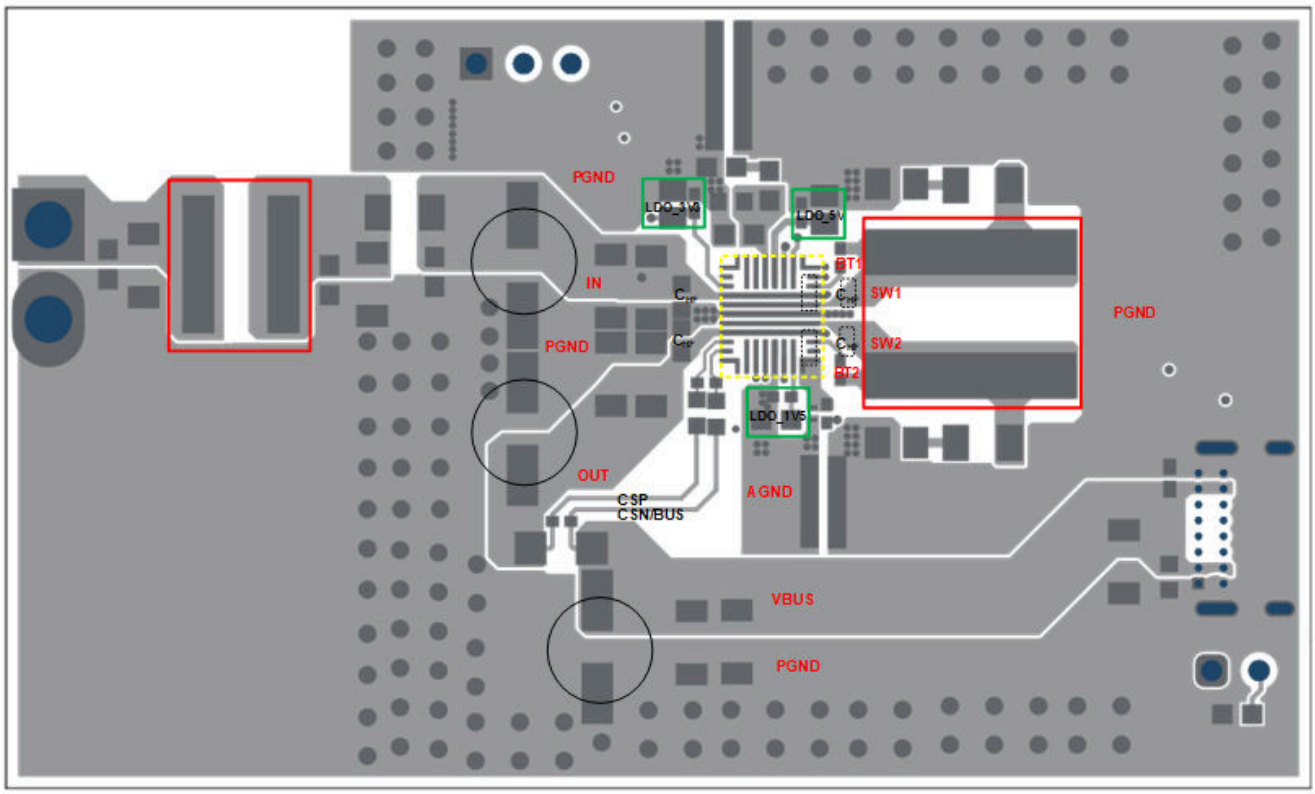


図 9-39. TPS25772-Q1 電力段のレイアウト

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

アプリケーション ノート、ユーザー ガイド、リファレンス デザインなど、最新の技術ドキュメントについては、TI のホームページをご覧ください。

『IC パッケージの熱指標』アプリケーション レポート、『半導体および IC パッケージの熱指標』

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

USB-C™ is a trademark of USB Implementers Forum.
DisplayPort™ is a trademark of Video Electronics Standards Association (VESA).
HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
USB Type-C® is a registered trademark of USB Implementers Forum.
ARM® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (October 2024) to Revision C (October 2026)	Page
• サポートされている USB-PD 仕様準拠バージョンを 3.1 から 3.2 に更新、3.1 TID の一覧を削除。	1
• ドキュメント全体で古い用語を更新。	1
• デバイス比較表に TPS25762FQRQLRQ1、TPS25763FQRQLRQ1、TPS25772FQRQLRQ1 デバイスを追加。	4
• TJ = 85℃ での電源電圧 (VIN) シャットダウン電流の標準仕様値を追加	10
• TPS257xxF-Q1 デバイスを含めるように「TVSP テスト条件」を更新	18

Copyright © 2026 Texas Instruments Incorporated

- TPS25762FQRQLRQ1 および TPS25772FQRQLRQ1 R_{TVSP} 構成設定および EEPROM ブートが利用できない場合のデフォルトのアプリケーション構成設定の説明と表を追加。 37
- TPS25762DQRQLRQ1 および TPS25772DQRQLRQ1 のデフォルトのアプリケーション構成設定の表を更新し、外部 DCDC 用の I2C アドレスを追加。 37
- GUI を使用する際の NTC 電圧設定の定義についての説明を更新。 68

Changes from Revision A (September 2023) to Revision B (October 2024) **Page**

- デバイス比較表に TPS25762DQRQLRQ1、TPS25763DQRQLRQ1、TPS25772DQRQLRQ1 デバイスを追加。 4
- TPS257xxD-Q1 デバイスを含めるように「TVSP テスト条件」を更新 18
- TPS25762DQRQLRQ1 および TPS25772DQRQLRQ1 の R_{TVSP} 構成設定用に更新。EEPROM ブートが利用できない場合のデフォルトのアプリケーション構成。 37

Changes from Revision * (December 2022) to Revision A (September 2023) **Page**

- TPS25762-Q1 および TPS25772-Q1 USB – IF 認定 TID を追加 1
- ウェッタブル フランク パッケージ情報を追加 1
- デバイス比較表に TPS25762CAQRQLRQ1、TPS25772CAQRQLRQ1、TPS25762CQRQLRQ1、TPS25772CQRQLRQ1 デバイスを追加。 4
- TPS25762CAQRQLRQ1 および TPS25772CAQRQLRQ1 の R_{TVSP} 構成設定を追加 37
- TVSP インデックス 0 以外の構成を必要とするアプリケーションの R_{TVSP} の回路構成を追加 (R_{TVSP} オープン)。 37

Copyright © 2026 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

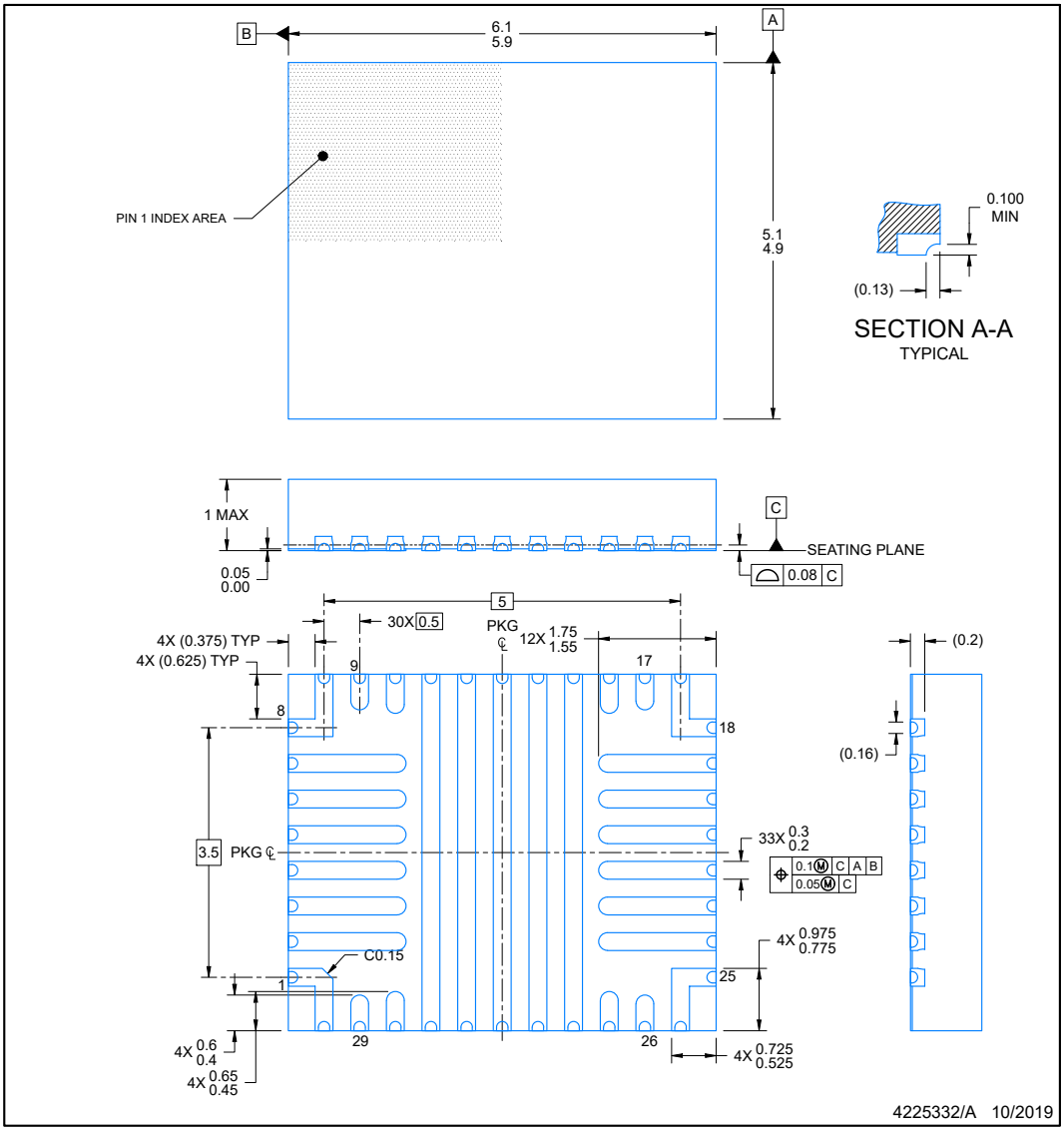
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

RQL0029A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

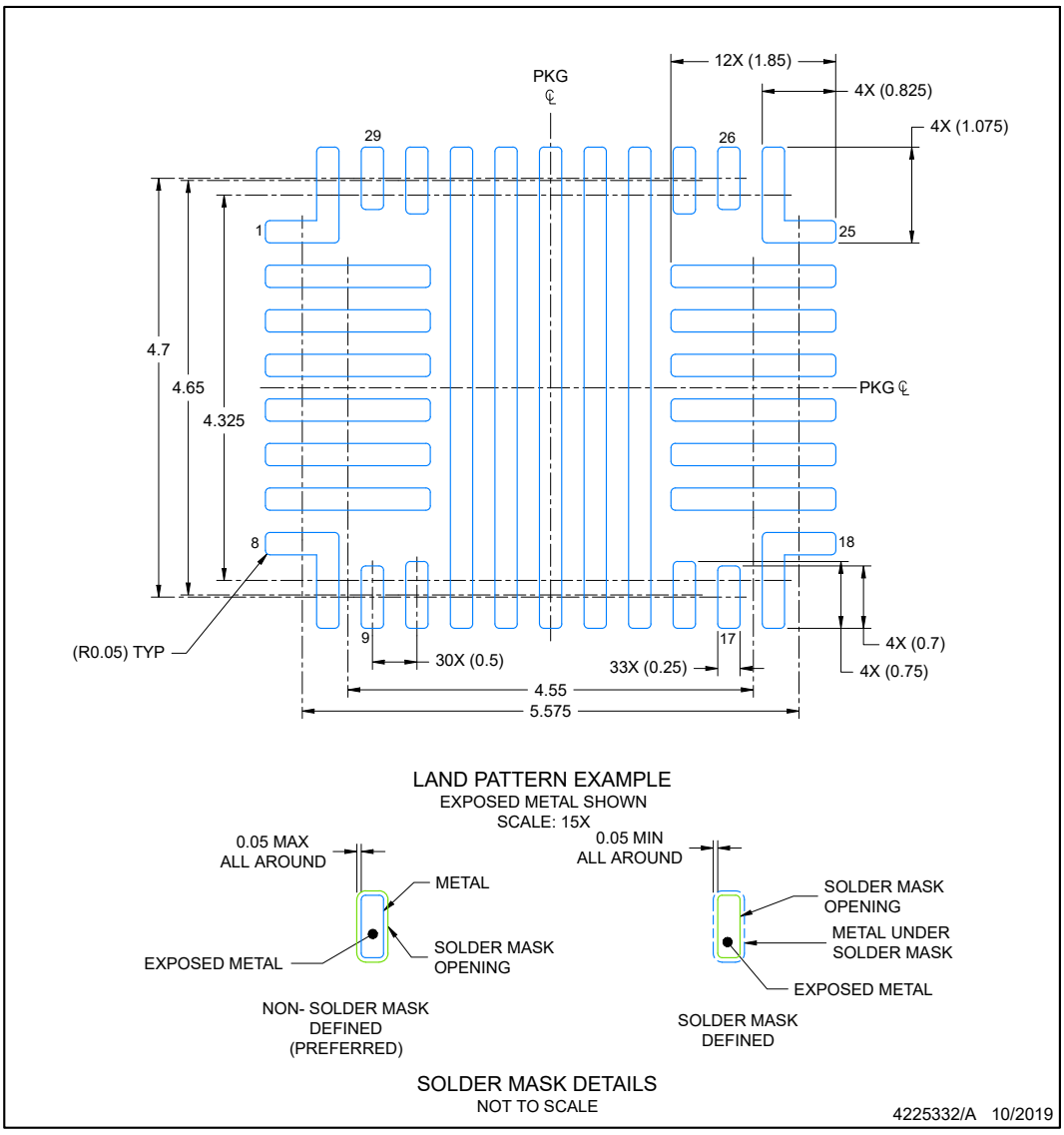
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RQL0029A — **VQFN-HR - 1 mm max height**

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

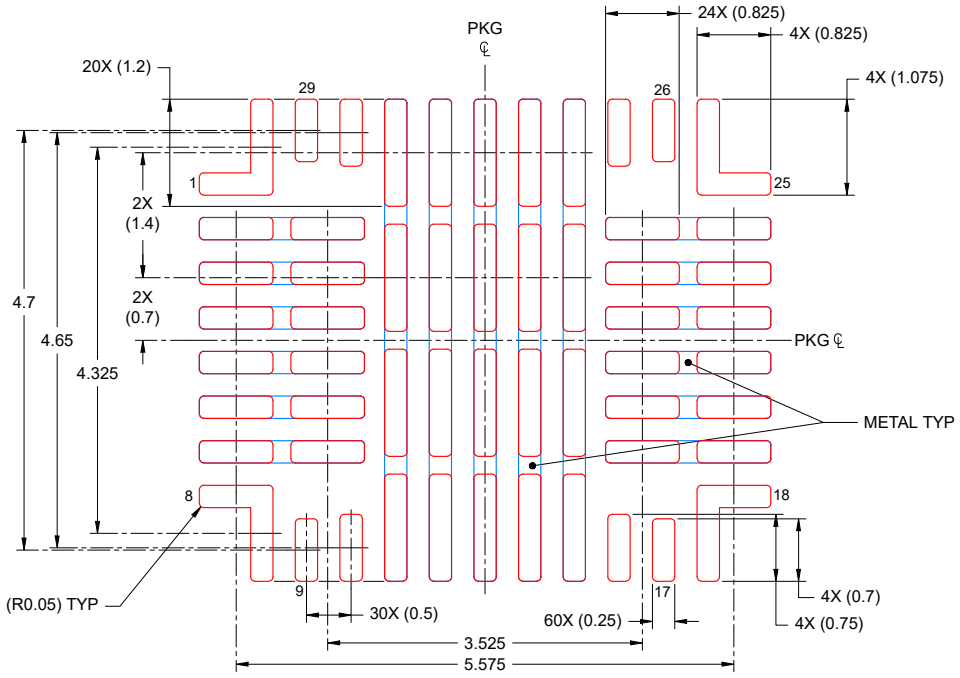
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RQL0029A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

PADS 2-7 & 19-24: 89%
PADS 11-15: 88%
SCALE: 15X

4225332/A 10/2019

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS25772CAQRQLRQ1	Active	Production	VQFN-HR (RQL) | 29	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS25772 CA
TPS25772CAQRQLRQ1.A	Active	Production	VQFN-HR (RQL) | 29	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS25772 CA
TPS25772CQRQLRQ1	Active	Production	VQFN-HR (RQL) | 29	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS25772 C
TPS25772CQRQLRQ1.A	Active	Production	VQFN-HR (RQL) | 29	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS25772 C
TPS25772DQRQLRQ1	Active	Production	VQFN-HR (RQL) | 29	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T25772 D
TPS25772DQRQLRQ1.A	Active	Production	VQFN-HR (RQL) | 29	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T25772 D
TPS25772FQRQLRQ1	Active	Production	VQFN-HR (RQL) | 29	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T25772 F

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

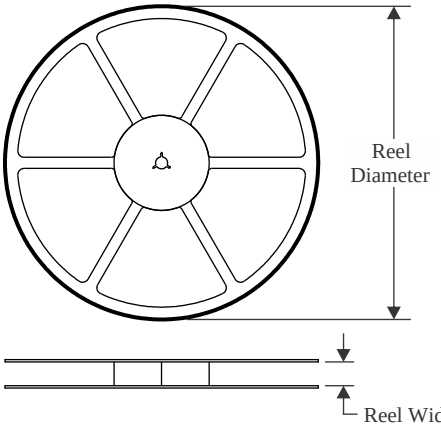
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

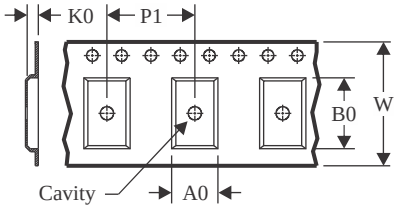
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

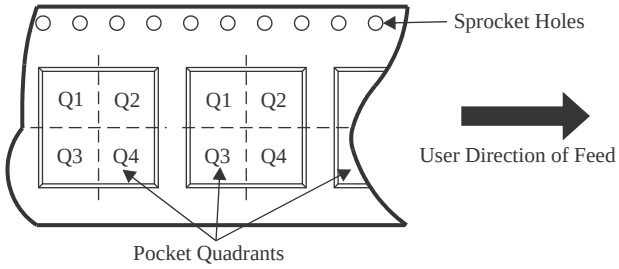


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

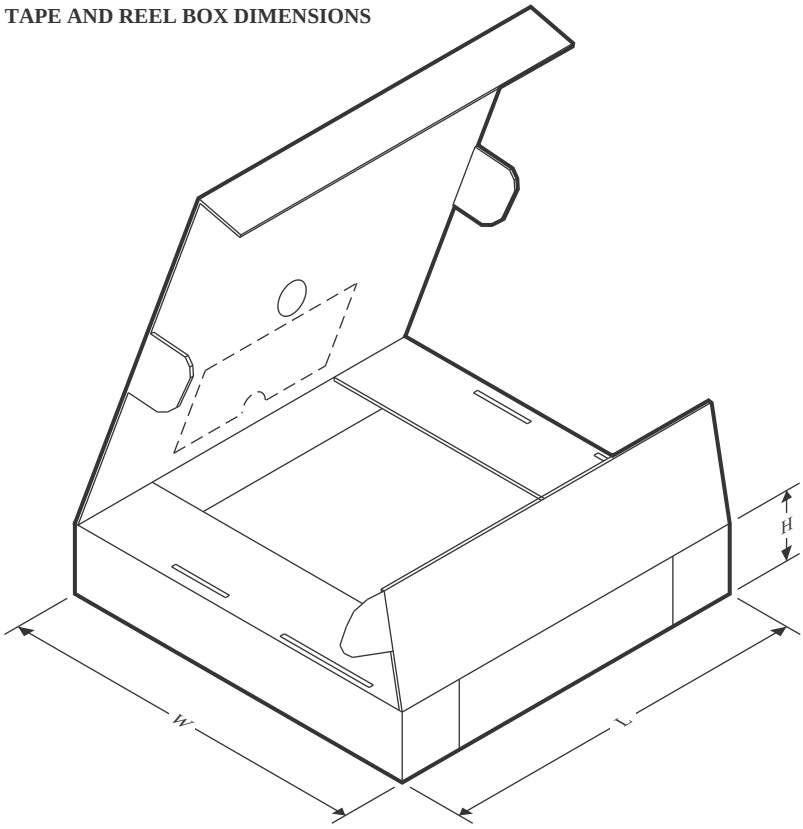
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS25772CAQRQLRQ1	VQFN-HR	RQL	29	3000	330.0	12.4	5.3	6.3	1.15	8.0	12.0	Q2
TPS25772CQRQLRQ1	VQFN-HR	RQL	29	3000	330.0	12.4	5.3	6.3	1.15	8.0	12.0	Q2
TPS25772DQRQLRQ1	VQFN-HR	RQL	29	3000	330.0	12.4	5.3	6.3	1.15	8.0	12.0	Q2
TPS25772FQRQLRQ1	VQFN-HR	RQL	29	3000	330.0	12.4	5.3	6.3	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS25772CAQRQLRQ1	VQFN-HR	RQL	29	3000	367.0	367.0	35.0
TPS25772CQRQLRQ1	VQFN-HR	RQL	29	3000	360.0	360.0	36.0
TPS25772DQRQLRQ1	VQFN-HR	RQL	29	3000	360.0	360.0	36.0
TPS25772FQRQLRQ1	VQFN-HR	RQL	29	3000	367.0	367.0	35.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月