TPS25947xx、2.7V ～ 23V、5.5A、28mΩ 真の逆電流ブロッキング eFuse、入力逆極性保護付き

1 特長

- 広い動作時入力電圧範囲:2.7V ～ 23V
  - 絶対最大電圧 28V
  - -15V までの負の電圧に対応
- 低オン抵抗のバック ツー バック FET を内蔵:R_{ON} = 28.3mΩ (標準値)
- 真の逆電流ブロッキングを実現する理想ダイオード動作
- 高速過電圧保護
  - ピン選択可能なスレッショルド (3.8V、5.7V、13.8V)、5µs (標準値) の応答時間 OR での過電圧クランプ (OVC)
  - 調整可能な過電圧誤動作防止 (OVLO) 1.2µs (標準値) の応答時間
- 負荷電流モニタ出力 (ILM) を備えた過電流保護
  - アクティブ電流制限またはサーキット ブレーカを選択可能
  - 可変スレッショルド (I_{LIM}) 0.5A ～ 6A
    - 精度:±10% (I_{LIM} > 1A)
  - 可変の過渡ブランキング タイマ (ITIMER)、最大 2 × I_{LIM} のピーク電流を許容
  - 出力負荷電流モニタ精度:±6% (I_{OUT} ≥ 1A)
- 高速トリップ応答による短絡保護
  - 500ns の立ち上がり時間 (標準値)
  - 可変 (2 × I_{LIM}) および固定のスレッショルド
- アクティブ High のイネーブル入力、低電圧誤動作防止 (UVLO) スレッショルドを設定可能
- 可変の出力スルー レート (dVdt) 制御
- 過熱保護
- デジタル出力
  - 優先パワー マルチプレクサ制御 (AUXOFF) と故障表示 ($\overline{FLT}$) または
  - 可変スレッショルド (PGTH) 付きのパワー グッド表示 (PG)
- UL 2367 認定
  - ファイル番号 E339631
  - R_{ILM} ≥ 750Ω
- IEC 62368-1 CB 認証
- 小さい占有面積:QFN 2mm × 2mm (0.45mm ピッチ)

2 アプリケーション

- パワー マルチプレクサ / OR 接続
- アダプタの入力保護
- USB PD 保護 - PC、ノート PC、モニタ、ドック
- サーバー、PC マザーボード、アドオン カード
- エンタープライズ ストレージ:RAID/HBA/SAN/eSSD
- 患者モニタ

3 説明

TPS25947xx デバイス ファミリの eFuse は、小さなパッケージに搭載され、高集積な回路保護および電力管理ソリューションです。このデバイスは、非常に少ない数の外付け部品で複数の保護モードを提供し、過負荷、短絡、電圧サージ、逆極性、過剰な突入電流に対して堅牢な保護を行います。双方向 FET が内蔵されており、出力から入力への逆電流が常にブロックされるため、デバイスはパワー マルチプレクサ/OR 接続アプリケーションに最適で、また、入力電源に障害が発生した場合に負荷側のエネルギーを保持するストレージを必要とするシステムにも優れた選択肢となります。デバイスは、リニア OR 接続ベースの方式を採用して DC 逆電流がほぼゼロになっているので、順方向電圧降下と消費電力を最小限にした理想ダイオード動作をエミュレートできます。

出力のスルーレートと突入電流は、外部コンデンサを使用して調整できます。固定の安全な最大電圧 (ピンで選択可能) に出力をクランプする方法と、可変の過電圧スレッショルドを入力が超えた際に出力を遮断する方法のどちらかで、入力過電圧状態から負荷を保護します。このデバイスは、電流をアクティブに制限するか、または回路を遮断することにより、出力過負荷に対応します。出力電流制限スレッショルドおよび過渡過電流ブランキング タイマは、ユーザーが調整可能です。電流制限制御ピンは、アナログ負荷電流モニタとしても機能します。

これらのデバイスは、2mm × 2mm、10 ピンの HotRod™ QFN パッケージで供給され、放熱性能の向上とシステムのフットプリント削減に役立ちます。

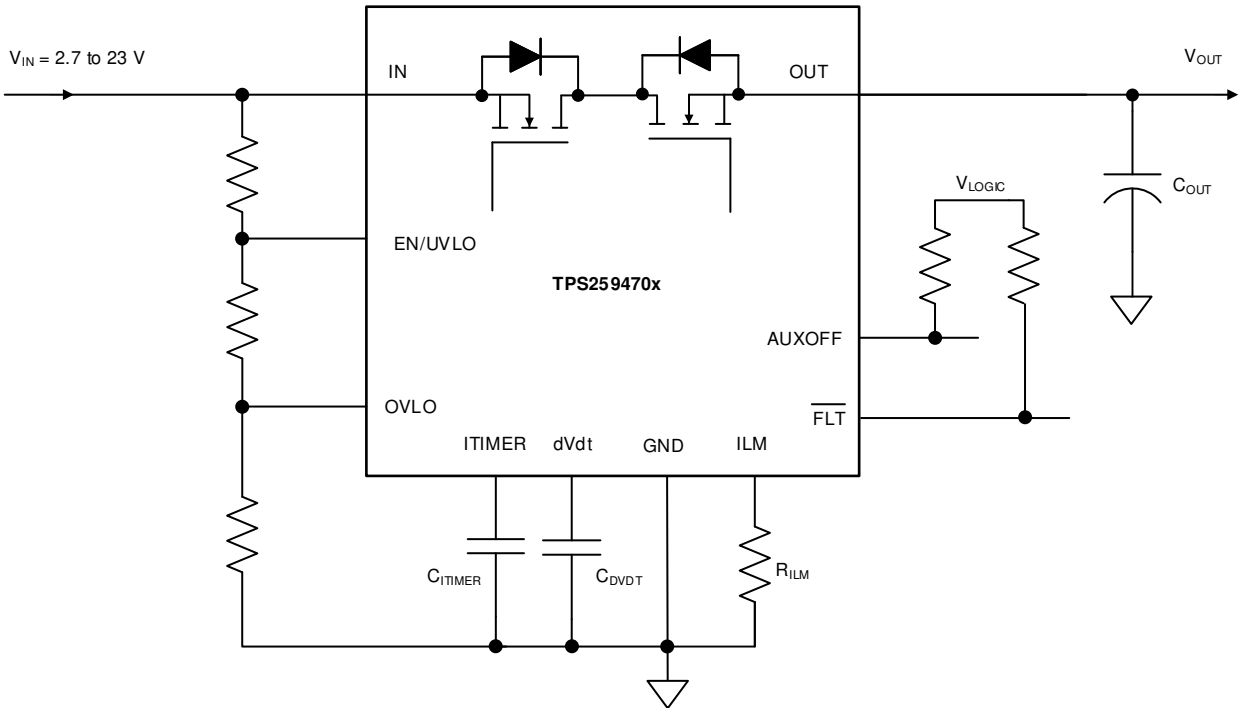
これらのデバイスは、-40℃ ～ +125℃の接合部温度範囲で動作が規定されています。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS25947xxRPW	RPW (QFN、10)	2mm × 2mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....4
5 ピン構成および機能.....5
6 仕様.....7
6.1 絶対最大定格.....7
6.2 ESD 定格.....7
6.3 推奨動作条件.....8
6.4 熱に関する情報.....8
6.5 電気的特性.....8
6.6 タイミング要件.....11
6.7 スイッチング特性.....11
6.8 代表的特性.....13
7 詳細説明.....22
7.1 概要.....22
7.2 機能ブロック図.....23
7.3 機能説明.....26
7.4 デバイスの機能モード.....42
8 アプリケーションと実装.....43
8.1 使用上の注意.....43
8.2 代表的なアプリケーション.....44
8.3 電源に関する推奨事項.....61
8.4 レイアウト.....63
9 デバイスおよびドキュメントのサポート.....66
9.1 ドキュメントのサポート.....66
9.2 ドキュメントの更新通知を受け取る方法.....66
9.3 サポート・リソース.....66
9.4 商標.....66
9.5 静電気放電に関する注意事項.....66
9.6 用語集.....66
10 改訂履歴.....66
11 メカニカル、パッケージ、および注文情報.....68

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

部品番号	過電圧応答	過電流応答	AUXOFF または PG	$\overline{\text{FLT}}$ または PGTH	故障への応答
TPS259470ARPW	調整可能な OVLO	アクティブ電流制限	AUXOFF	$\overline{\text{FLT}}$	自動再試行
TPS259470LRPW					ラッチオフ
TPS259472ARPW	ピン選択可能 OVC (3.8V/5.7V/13.8V)		PG	PGTH	自動再試行
TPS259472LRPW					ラッチオフ
TPS259474ARPW	調整可能な OVLO	サーキット ブレーカ			自動再試行
TPS259474LRPW					ラッチオフ

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

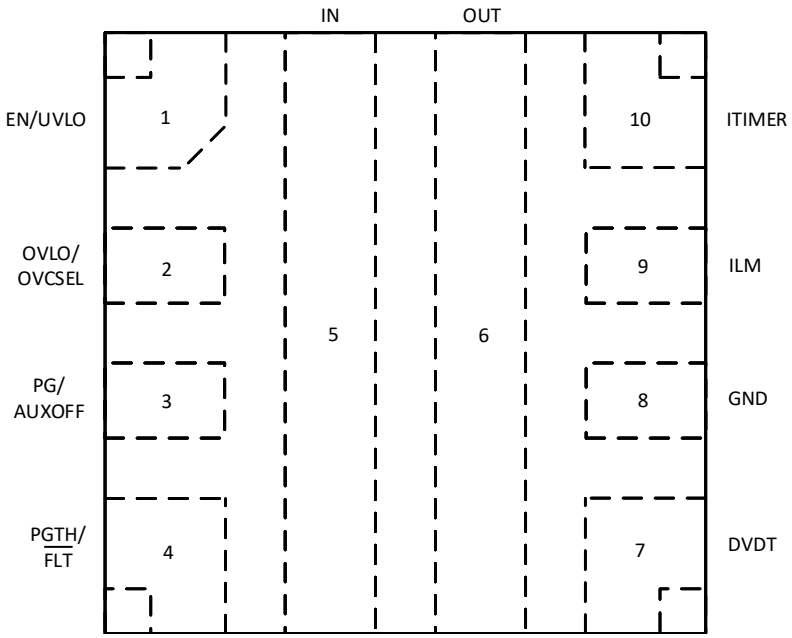


図 5-1. TPS25947xx RPW パッケージ、10 ピン QFN 上面図

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
EN/UVLO	1	アナログ入力	デバイスに対してアクティブ "High" を有効にします。入力電源と GND の間のこのピンで抵抗デバイダを使用することで、低電圧誤動作防止スレッショルドを調整できます。*フローティングのままにしないでください*。詳細については、セクション 7.3.2 を参照してください。
OVLO	2	アナログ入力	**TPS259470x、TPS259474x:** 電源と GND の間のこのピンで抵抗デバイダを使用して、過電圧誤動作防止スレッショルドを調整できます。このピンは、デバイスのロー イネーブルとしても使用できます。*フローティングのままにしないでください*。詳細については、セクション 7.3.3 を参照してください。
OVCSEL		アナログ入力	**TPS259472x:** 過電圧クランプ スレッショルド選択ピン。詳細については、セクション 7.3.4 を参照してください。
PG	3	デジタル出力	**TPS259472x、TPS259474x:** パワー グッド表示。このピンはオープンドレイン信号であり、内部パワー パスが完全にオンになり、PGTH 入力が特定のスレッショルドを超えると、High にアサートされます。詳細については、セクション 7.3.11 を参照してください。
AUXOFF		デジタル出力	**TPS259470x:** 補助チャネル制御信号。このピンはオープン ドレイン信号であり、入力電源が有効になり、チャネルが突入シーケンスを完了すると High にアサートされます。これを使用して、補助電源の eFuse を有効/無効にすることにより、優先パワー マルチプレクシング構成でのスムーズな切り替えを容易にします。詳細については、セクション 7.3.10 を参照してください。
$\overline{\text{FLT}}$	4	デジタル出力	**TPS259470x:** アクティブ Low の故障イベント インジケータ。このピンは、故障が検出されると Low にプルダウンされるオープン ドレイン信号です。詳細については、セクション 7.3.9 を参照してください。
PGTH		アナログ入力	**TPS259472x、TPS259474x:** パワー グッド スレッショルド。詳細については、セクション 7.3.11 を参照してください。
IN	5	電源	電源入力
OUT	6	電源	電力出力
DVDT	7	アナログ出力	このピンと GND との間にコンデンサを接続することで、出力ターンオンのスルーレートが設定されます。ターンオン スルーレートを最速にするには、このピンをフローティングのままにしてください。詳細については、セクション 7.3.5.1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
GND	8	グランド	このピンはすべての内部回路のグランド リファレンスであり、システムの GND に接続する必要があります。
ILM	9	アナログ出力	このピンは出力電流の制限と監視に使用されるデュアル機能ピンです。このピンと GND との間に外付け抵抗を接続することで、起動時および定常状態時の出力電流制限スレッショルドが設定されます。このピン電圧は、出力負荷電流モニタ信号としても使用できます。*フローティングのままにしないでください*。詳細については、セクション 7.3.5.2 または セクション 7.3.5.3 を参照してください。
ITIMER	10	アナログ出力	このピンと GND との間のコンデンサにより、デバイスの過電流応答が動作する前に、出力電流が電流制限を一時的に超えることができる (ただし、高速トリップ スレッショルドより低い) 過電流ブランキング間隔が設定されます。過電流イベントへの応答を最速にするには、このピンをオープンのままにします。詳細については、セクション 7.3.5.3 または セクション 7.3.5.2 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		ピン	最小値	最大値	単位
V_{IN}	最大入力電圧範囲:–40℃ ≤ T_J ≤ 125℃	IN	最大 (–15、V_{OUT} – 21)	28	V
	最大入力電圧範囲:–10℃ ≤ T_J ≤ 125℃		最大 (–15、V_{OUT} – 22)	28	V
$SR_{IN(R)}$	最大入力電圧の立ち上がりスルーレート	IN		100	V/µs
$SR_{IN(F)}$	最大入力電圧の立ち下がりスルーレート	IN		10	V/µs
V_{OUT}	最大出力電圧範囲:–40℃ ≤ T_J ≤ 125℃	OUT	-0.3	最小 (28、V_{IN} + 21)	
	最大出力電圧範囲:–10℃ ≤ T_J ≤ 125℃		-0.3	最小 (28、V_{IN} + 22)	
$V_{OUT,PLS}$	最小出力電圧パルス (1µs 未満)	OUT	-0.8		
$V_{EN/UVLO}$	イネーブル ピンの最大電圧範囲(2)	EN/UVLO	-0.3	6.5	V
V_{OVLO}	OVLO ピンの最大電圧範囲 (TPS259470x/4x) (2)	OVLO	-0.3	6.5	V
V_{OVCSEL}	OVCSEL ピンの最大電圧範囲 (TPS259472x)	OVCSEL	内部的に制限		V
V_{dVdT}	dVdT ピンの最大電圧範囲	dVdt	内部的に制限		V
V_{ITIMER}	ITIMER ピンの最大電圧範囲	ITIMER	内部的に制限		V
V_{PGTH}	PGTH ピンの最大電圧範囲 (TPS259472x/4x) (2)	PGTH	-0.3	6.5	V
V_{AUXOFF}	AUXOFF ピンの最大電圧範囲 (TPS259470x)	AUXOFF	-0.3	6.5	V
V_{PG}	PG ピンの最大電圧範囲 (TPS259472x/4x)	PG	-0.3	6.5	V
V_{FLTB}	$\overline{FLT}$ ピンの最大電圧範囲 (TPS259470x) (2)	$\overline{FLT}$	-0.3	6.5	V
V_{ILM}	ILM ピンの最大電圧範囲	ILM	内部的に制限		V
I_{MAX}	最大連続スイッチ電流	IN から OUT	内部的に制限		A
T_J	接合部温度		内部的に制限		°C
T_{LEAD}	最大リード温度			300	°C
T_{STG}	保存温度		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本デバイスが動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) このピンが V_{IN} へのプルアップ抵抗を備えている場合、IN が逆極性にさらされる可能性のある条件下での電流を制限するため、350kΩ 以上の抵抗値を使用することを推奨します。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		ピン	最小値	最大値	単位
V_{IN}	入力電圧範囲	IN	2.7	23 (1)	V
V_{OUT}	出力電圧範囲	OUT		最小 (23、V_{IN} + 20)	V
$V_{EN/UVLO}$	イネーブル ピン電圧範囲	EN/UVLO		5 (2)	V
V_{OVLO}	OVLO ピンの電圧範囲 (TPS259470x/4x)	OVLO	0.5	1.5	V
V_{dVdT}	dVdt コンデンサの電圧定格	dVdt	V_{IN} + 5V (3)		V
V_{FLTB}	$\overline{FLT}$ ピンの電圧範囲 (TPS259470x)	$\overline{FLT}$		5 (4)	V
V_{PGTH}	PGTH ピンの電圧範囲 (TPS259472x/4x)	PGTH		5 (4)	V
V_{AUXOFF}	AUXOFF ピンの電圧範囲 (TPS259470x)	AUXOFF		5 (4)	V
V_{PG}	PG ピンの電圧範囲 (TPS259472x/4x)	PG		5 (4)	V
V_{ITIMER}	ITIMER ピンのコンデンサの電圧定格	ITIMER	4		V
R_{ILM}	ILM ピンの抵抗	ILM	549	6650	Ω
I_{MAX}	連続スイッチ電流、T_J ≤ 125°C	IN から OUT		5.5	A
T_J	接合部温度		-40	125	°C

(1) 「電気的特性」セクションに記載されているように、TPS259472x バリアントでは、入力動作電圧を選択した出力電圧クランプ スレッショルドに制限する必要があります
(2) 電源電圧が 5V 未満の場合は、EN ピンを IN に直接プルアップしても問題ありません。5V を超える電源電圧、または入力電源で逆極性にさらされる可能性のあるシステムでは 、最小値の 350kΩ を持つプルアップ抵抗を使用することを推奨します。
(3) 電源が異なるパワー マルチプレクサ/OR 接続のシナリオでは、各デバイスの dVdt コンデンサ定格は 2 つのレールのうちの高い方に基づいて選択する必要があります。
(4) 入力電源の逆極性にさらされる可能性があるシステムでは、このピンが入力電源を基準としている場合は、最小値の 350kΩ を持つプルアップ抵抗を使用して、ピンを流れる電流を制限することを推奨します。

6.4 熱に関する情報

熱評価基準(1)		TPS25947xx RPW (QFN) 10 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	41.7 (2)	°C/W
		74.5 (3)	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	20 (2)	°C/W
		27.6 (3)	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) デバイスの下に 8 つのサーマル ビアを持つカスタム 4 層 PCB (2s2p) に実装したデバイスで行ったシミュレーションに基づきます。
(3) デバイスの下にサーマル ビアが配置されていない JEDEC 4 層 PCB (2s2p) に実装したデバイスで行ったシミュレーションに基づきます。

6.5 電気的特性

(特に記述がない場合のテスト条件) –40°C ≤ T_J ≤ 125°C、V_{IN} = 12V、OUT = オープン、$V_{EN/UVLO}$ = 2V、V_{OVLO} = 0V (TPS259470x/4x)、OVCSEL = 390kΩ から GND (TPS259472x)、R_{ILM} = 549Ω、dVdT = オープン、ITIMER = オープン、AUXOFF = オープン (TPS259470x)、$\overline{FLT}$ = オープン (TPS259470x)、PGTH = オープン (TPS259472x/4x)、PG = オープン (TPS259472x/4x)。すべての電圧の基準は GND。

試験パラメータ	説明	最小値	標準値	最大値	単位
入力電源 (IN)					
$V_{UVP(R)}$	IN 電源 UVP 立ち上がりスレッショルド	2.44	2.53	2.64	V
$V_{UVP(F)}$	IN 電源 UVP 立ち下がりスレッショルド	2.35	2.42	2.55	V

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

(特に記述がない場合のテスト条件) –40°C ≤ T_J ≤ 125°C、V_{IN} = 12V、OUT = オープン、$V_{EN/UVLO}$ = 2V、V_{OVLO} = 0V (TPS259470x/4x)、OVCSEL = 390kΩ から GND (TPS259472x)、R_{ILM} = 549Ω、dVdT = オープン、ITIMER = オープン、AUXOFF = オープン (TPS259470x)、$\overline{FLT}$ = オープン (TPS259470x)、PGTH = オープン (TPS259472x/4x)、PG = オープン (TPS259472x/4x)。すべての電圧の基準は GND。

試験パラメータ	説明	最小値	標準値	最大値	単位
$I_{Q(ON)}$	IN 電源静止電流 (TPS259470x)		428	610	µA
	IN 電源静止電流 (TPS259472x)		426	610	µA
	IN 電源静止電流 (TPS259474x)		428	610	µA
	RCB 時の IN 電源静止電流、V_{OUT} = V_{IN} + 1V		193		µA
	OVC 時の IN 電源電流 (TPS259472x)		445	625	µA
$I_{Q(OFF)}$	IN 電源無効状態電流 ($V_{SD(F)}$ < V_{EN} < $V_{UVLO(F)}$)		73	130	µA
I_{SD}	IN 電源シャットダウン電流 (V_{EN} < $V_{SD(F)}$)		4.4	28.7	µA
$I_{Q(OVLO)}$	IN 電源オフ電流 (OVLO 状態)、V_{OUT} = V_{IN} + 1V		190	267	µA
$I_{INLKG(IRPP)}$	IN 電源リーク電流 (V_{IN} = –14V、V_{OUT} = 0V)		-3.7		µA
$I_{OUTLKG(OVLO)}$	OUT リーク電流 (OVLO 状態)、V_{OUT} > V_{IN}		319	443	µA
オン抵抗 (IN - OUT)					
R_{ON}	V_{IN} = 12V、I_{OUT} = 3A、T_J = 25°C		28.2		mΩ
	2.7 ≤ V_{IN} ≤ 23V、I_{OUT} = 3A、–40°C ≤ T_J ≤ 125°C			45	mΩ
イネーブル/低電圧誤動作防止 (EN/UVLO)					
$V_{UVLO(R)}$	UVLO 立ち上がりスレッショルド	1.183	1.20	1.223	V
$V_{UVLO(F)}$	UVLO 立ち下がりスレッショルド	1.076	1.09	1.116	V
$V_{SD(F)}$	最小のシャットダウン電流の EN/UVLO 立ち下がりスレッショルド	0.45	0.74		V
I_{ENLKG}	EN/UVLO リーク電流	-0.1		0.1	µA
過電圧誤動作防止 (OVLO) - TPS259470x/4x					
$V_{OV(R)}$	OVLO 立ち上がりスレッショルド	1.183	1.20	1.223	V
$V_{OV(F)}$	OVLO 立ち下がりスレッショルド	1.076	1.09	1.116	V
I_{OVLKG}	OVLO ピンのリーク電流、0.5V < V_{OVLO} < 1.5V	-0.1		0.1	µA
出力電圧クランプ (OUT) - TPS259472x					
V_{OVC}	過電圧クランプ スレッショルド、OVCSEL = GND に短絡	3.65	3.88	4.1	V
	過電圧クランプ スレッショルド、OVCSEL = オープン	5.25	5.74	6.2	V
	過電圧クランプ スレッショルド、OVCSEL = 390kΩ から GND	13.2	13.85	14.5	V
V_{CLAMP}	クランプ時の出力電圧、OVCSEL = GND に短絡、I_{OUT} = 10mA	3.2	3.82	4.2	V
	クランプ時の出力電圧、OVCSEL = オープン、I_{OUT} = 10mA	5.0	5.68	6.12	V
	クランプ時の出力電圧、OVCSEL = 390kΩ から GND、I_{OUT} = 10mA	13.0	13.79	14.6	V
過電流保護 (OUT)					
I_{LIM}	過電流スレッショルド、R_{ILM} = 6.65kΩ	0.425	0.500	0.575	A
	過電流スレッショルド、R_{ILM} = 3.32kΩ	0.850	1.007	1.150	A
	過電流スレッショルド、R_{ILM} = 1.65kΩ	1.800	2.028	2.200	A
	過電流スレッショルド、R_{ILM} = 750Ω	3.960	4.452	4.840	A
	過電流スレッショルド、R_{ILM} = 549Ω	5.400	6.068	6.600	A

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

(特に記述がない場合のテスト条件) –40°C ≤ T_J ≤ 125°C、V_{IN} = 12V、OUT = オープン、$V_{EN/UVLO}$ = 2V、V_{OVLO} = 0V (TPS259470x/4x)、OVCSEL = 390kΩ から GND (TPS259472x)、R_{ILM} = 549Ω、dVdT = オープン、ITIMER = オープン、AUXOFF = オープン (TPS259470x)、$\overline{FLT}$ = オープン (TPS259470x)、PGTH = オープン (TPS259472x/4x)、PG = オープン (TPS259472x/4x)。すべての電圧の基準は GND。

試験パラメータ	説明	最小値	標準値	最大値	単位
I_{FLT}	サーキット ブレーカのスレッショルド、ILM ピン オープン (単一障害点)		0.1		A
	サーキット ブレーカのスレッショルド、ILM ピンを GND に短絡 (単一障害点)		1.1	2.1	A
I_{SCGain}	スケーラブルな高速トリップ スレッショルド (I_{SC}):I_{LIM} 比		201		%
I_{FT}	固定高速トリップの電流スレッショルド		22.2		A
V_{FB}	電流制限フォールドバックを終了するための V_{OUT} スレッショルド		1.9		V
過電流フォルト タイマ (ITIMER)					
V_{INT}	ITIMER ピンの内部プルアップ電圧	2.3	2.57	2.72	V
R_{ITIMER}	ITIMER ピンの内部プルアップ抵抗		15		kΩ
I_{ITIMER}	ITIMER ピンの内部放電電流、I_{OUT} > I_{LIM}	1.2	1.8	2.5	µA
ΔV_{ITIMER}	ITIMER 放電差動電圧スレッショルド	1.286	1.51	1.741	V
出力負荷電流モニタ (ILM)					
G_{IMON}	アナログ負荷電流モニタ ゲイン (I_{MON} :I_{OUT})、I_{OUT} = 0.5A ～ 1A、I_{OUT} < I_{LIM}	165	182	200	µA/A
	アナログ負荷電流モニタ ゲイン (I_{MON} :I_{OUT})、I_{OUT} = 1A ～ 5.5A、I_{OUT} < I_{LIM}	165	182	200	µA/A
逆電流ブロッキング (IN - OUT)					
V_{FWD}	V_{IN} – V_{OUT} 順方向レギュレーション電圧、I_{OUT} = 10mA	4.7	16.9		mV
V_{REVTH}	BFET の高速ターンオフのための V_{IN} – V_{OUT} スレッショルド (逆電流ブロッキングを開始)	-36.45	-29.3	-22.3	mV
V_{FWDTH}	BFET の高速ターンオンのための V_{IN} – V_{OUT} スレッショルド (逆電流ブロッキングを終了)	83	104.1	125	mV
$I_{REVLKG(OFF)}$	電源オフ状態時の OUT リーク電流 (V_{OUT} = 12V、V_{IN} = 0V)		4.86		µA
I_{REVLKG}	逆リーク電流、(V_{OUT} – V_{IN}) = 21.5V		10.1		µA
$I_{OUTLKG(RCB)}$	RCB でのオン状態時の OUT リーク電流、V_{OUT} = V_{IN} + 1V		234		µA
パワーグッド表示 (PG) - TPS259472x/4x または補助チャネル制御 (AUXOFF) - TPS259470x					
V_{PGD}	デアサート時の PG/AUXOFF ピン電圧。V_{IN} < $V_{UVP(F)}$、V_{EN} < $V_{SD(F)}$、弱プルアップ (I_{PG} = 26µA)		0.67	1	V
	デアサート時の PG/AUXOFF ピン電圧、V_{IN} < $V_{UVP(F)}$、V_{EN} < $V_{SD(F)}$、強プルアップ (I_{PG} = 242µA)		0.79	1	V
	デアサート時の PG/AUXOFF ピン電圧、V_{IN} > $V_{UVP(R)}$		0		V
I_{PGLKG}	PG/AUXOFF ピンのリーク電流、PG/AUXOFF アサート		0.9	3	µA
パワーグッド スレッショルド (PGTH) - TPS259472x/4x					
$V_{PGTH(R)}$	PGTH 立ち上がりスレッショルド	1.183	1.20	1.223	V
$V_{PGTH(F)}$	PGTH 立ち下がりスレッショルド	1.076	1.09	1.116	V
$I_{PGTHLKG}$	PGTH のリーク電流	-0.1		0.3	µA
故障表示 ($\overline{FLT}$) - TPS259470x					
I_{FLTLKG}	$\overline{FLT}$ リーク電流	-1		1	µA
R_{FLT}	$\overline{FLT}$ 内部プルダウン抵抗		12.3		Ω
過熱保護 (OTP)					

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

(特に記述がない場合のテスト条件) –40°C ≤ T_J ≤ 125°C、V_{IN} = 12V、OUT = オープン、$V_{EN/UVLO}$ = 2V、V_{OVLO} = 0V (TPS259470x/4x)、OVCSEL = 390kΩ から GND (TPS259472x)、R_{ILM} = 549Ω、dVdT = オープン、ITIMER = オープン、AUXOFF = オープン (TPS259470x)、$\overline{FLT}$ = オープン (TPS259470x)、PGTH = オープン (TPS259472x/4x)、PG = オープン (TPS259472x/4x)。すべての電圧の基準は GND。

試験パラメータ	説明	最小値	標準値	最大値	単位
TSD	サーマル シャットダウンの立ち上がりスレッショルド、T_J ↑		154		°C
TSD_{HYS}	サーマル シャットダウンのヒステリシス、T_J ↓		10		°C
DVDT					
I_{dVdt}	dVdt ピンの充電電流	0.81	2.21	3.82	µA

6.6 タイミング要件

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{OVLO}	過電圧誤動作防止の応答時間 (TPS259470x/4x)	V_{OVLO} > $V_{OV(R)}$ から V_{OUT} ↓		1.2		µs
t_{OVC}	過電圧クランプの応答時間 (TPS259472x)	V_{IN} > V_{OVC} から V_{OUT} ↓		5		µs
t_{CB}	サーキット ブレーカの応答時間 (TPS259474x)	I_{OUT} > 1.2 × I_{LIM} および ITIMER 期限切れから I_{OUT} ↓		2		µs
t_{LIM}	電流制限の応答時間 (TPS259470x/2x)	I_{OUT} > 1.2 × I_{LIM} および ITIMER 期限切れから I_{OUT} セトリングから I_{LIM} の 5% 以内		400		µs
t_{SC}	スケーラブルな高速トリップの応答時間	I_{OUT} > 3 × I_{LIM} から I_{OUT} ↓		500		ns
t_{FT}	固定高速トリップ応答時間	I_{OUT} > I_{FT} から I_{OUT} ↓		500		ns
t_{RST}	故障後の自動再試行間隔 (TPS25947xA)			110		ms
t_{SWOV}	OVLO 高速復帰の応答時間 (TPS259470x)	V_{OVLO} < $V_{OV(F)}$ から V_{OUT} ↑		90		µs
t_{SWRCB}	逆電流ブロックの復帰時間	(V_{IN} – V_{OUT}) > V_{FWDTH} から V_{OUT} ↑		50		µs
t_{RCB}	逆電流ブロックのコンパレータの応答時間	(V_{OUT} – V_{IN}) > 1.3 × V_{REVTH} から BFET OFF		1		µs
t_{PGA}	PG アサート グリッチ除去 (TPS259472x/4x)			12		µs
t_{PGD}	PG デアサート グリッチ除去 (TPS259472x/4x)			12		µs

6.7 スイッチング特性

出力の立ち上がりスルー レートは内部的に制御され、動作電圧範囲の全体にわたって一定であるため、ターンオン タイミングが負荷条件の影響を受けないことが保証されます。立ち上がりスルー レートは、dVdt ピンとグランドの間に容量を追加することで調整できます。C_{dVdt} が大きくなると、立ち上がりスルー レート (SR) が低下します。詳細については、「スルー レートおよび突入電流制御 (dVdt)」セクションを参照してください。ただし、ターンオフ遅延時間と立ち下がり時間は負荷容量 (C_{OUT}) および負荷抵抗 (R_L) の RC 時定数に依存します。スイッチング特性は、電源が定常状態で利用可能で、デバイスがイネーブルになる前に負荷電圧が完全に放電されているパワーアップ シーケンスに対してのみ有効です。標準値は T_J = 25°C 時に測定 (特に記述のない限り)。R_L = 100 Ω、C_{OUT} = 1µF

パラメータ		V_{IN}	C_{dVdt} = Open	C_{dVdt} = 1800pF	C_{dVdt} = 3300pF	単位
SR_{ON}	出力立ち上がりスルー レート	2.7V	12.14	0.87	0.5	V/ms
		12V	28.1	1.09	0.61	
		23V	44.78	1.25	0.71	
$t_{D,ON}$	ターン オン遅延	2.7V	0.09	0.6	0.97	ms
		12V	0.1	1.32	2.35	
		23V	0.11	1.99	3.69	

Copyright © 2026 Texas Instruments Incorporated

出力の立ち上がりスルー レートは内部的に制御され、動作電圧範囲の全体にわたって一定であるため、ターンオン タイミングが負荷条件の影響を受けないことが保証されます。立ち上がりスルー レートは、dVdt ピンとグランドの間に容量を追加することで調整できます。C_{dVdt} が大きくなると、立ち上がりスルー レート (SR) が低下します。詳細については、「スルー レートおよび突入電流制御 (dVdt)」セクションを参照してください。ただし、ターンオフ遅延時間と立ち下がり時間は負荷容量 (C_{OUT}) および負荷抵抗 (R_L) の RC 時定数に依存します。スイッチング特性は、電源が定常状態で利用可能で、デバイスがイネーブルになる前に負荷電圧が完全に放電されているパワーアップ シーケンスに対してのみ有効です。標準値は T_J = 25°C 時に測定 (特に記述のない限り)。R_L = 100 Ω、C_{OUT} = 1µF

パラメータ		V_{IN}	C_{dVdt} = Open	C_{dVdt} = 1800pF	C_{dVdt} = 3300pF	単位
t_R	立ち上がり時間	2.7V	0.17	2.51	4.33	ms
		12V	0.35	8.1	15.37	
		23V	0.40	14.4	25.89	
t_{ON}	ターンオン時間	2.7V	0.27	3.11	5.31	ms
		12V	0.45	10.08	17.72	
		23V	0.50	16.41	29.57	
$t_{D,OFF}$	ターンオフ遅延時間	2.7V	64.44	64.44	64.44	µs
		12V	25.32	25.32	25.32	
		23V	23.02	23.02	23.02	

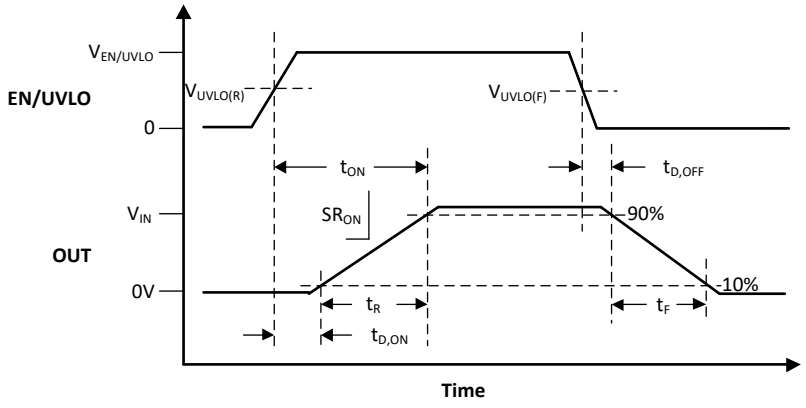


図 6-1. TPS25947xx のスイッチング時間

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性

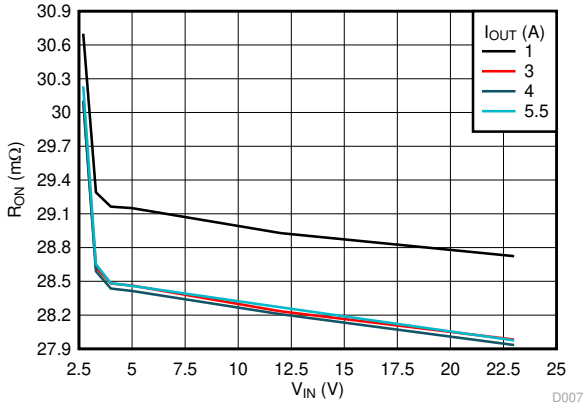


図 6-2. オン抵抗と電源電圧との関係

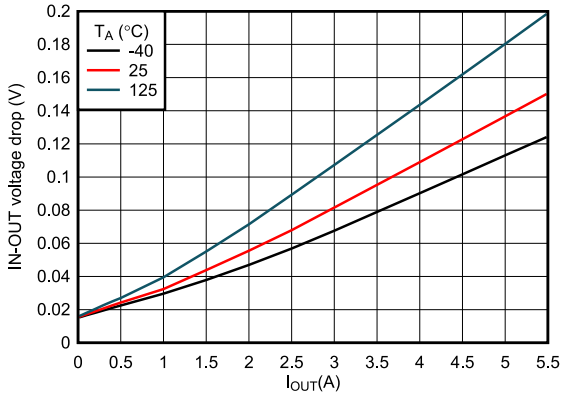


図 6-3. 順方向電圧降下と負荷電流との関係

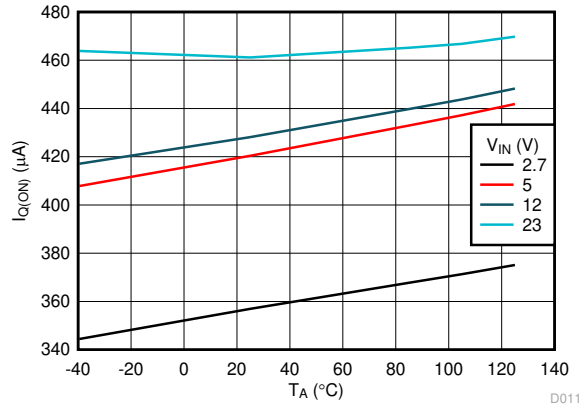


図 6-4. IN 静止電流と温度との関係 (TPS259470x、TPS2594704x バリアント)

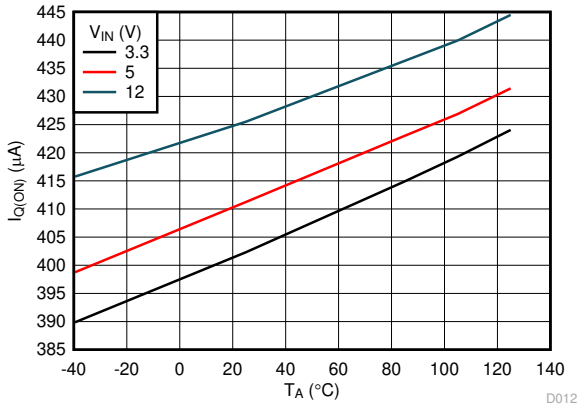


図 6-5. IN 静止電流と温度との関係 (TPS259472x バリアント)

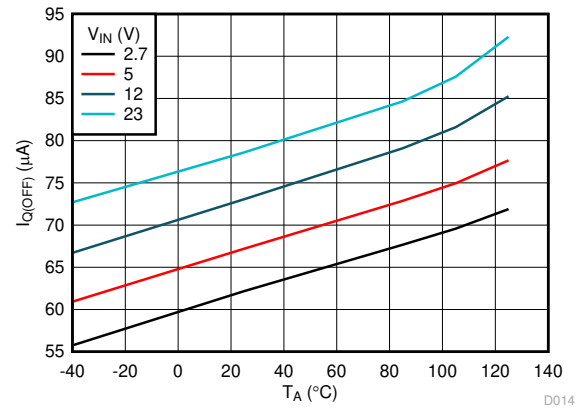


図 6-6. IN オフ状態 (UVLO) 電流と温度との関係

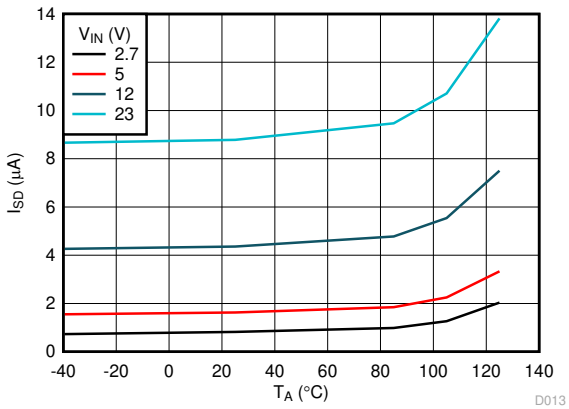


図 6-7. IN シャットダウン電流と温度との関係

6.8 代表的特性 (続き)

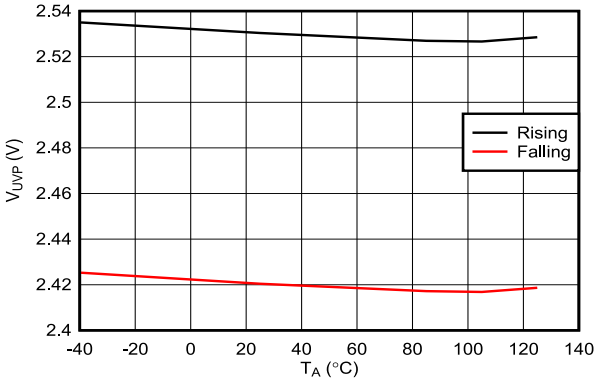


図 6-8. IN 低電圧スレッショルドと温度との関係

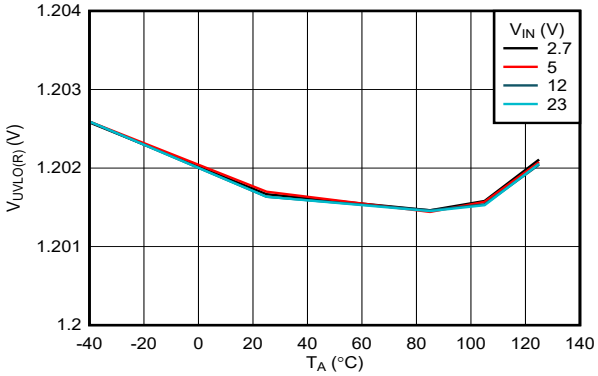


図 6-9. EN/UVLO 立ち上がりスレッショルドと温度の関係

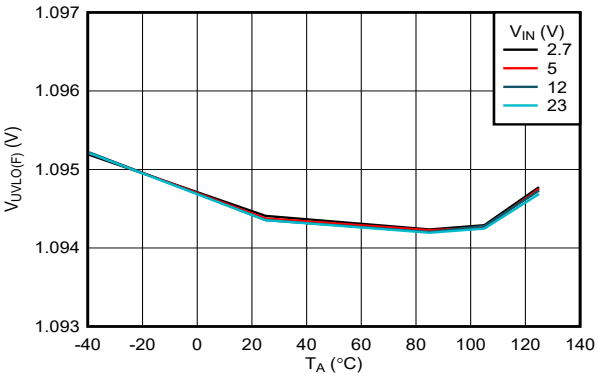


図 6-10. EN/UVLO 立ち下がりスレッショルドと温度との関係

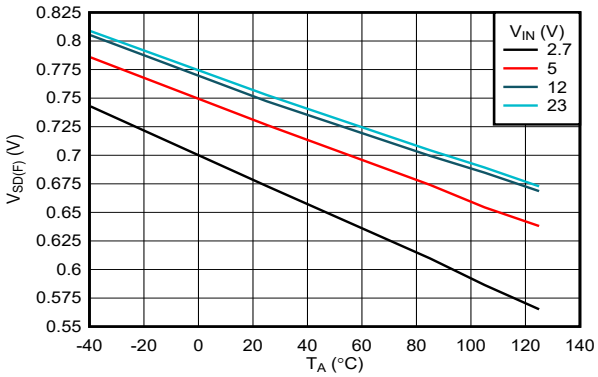


図 6-11. EN/UVLO シャットダウン立ち下がりスレッショルドと温度との関係

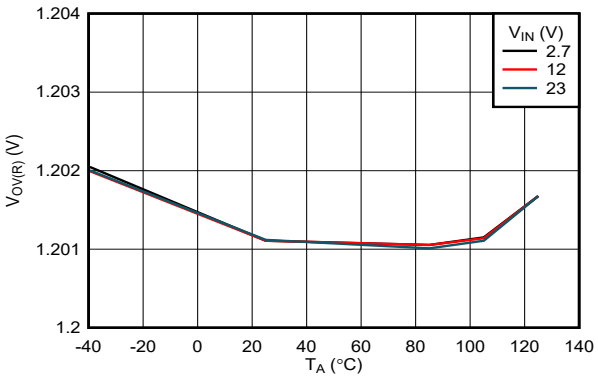


図 6-12. OVLO 立ち上がりスレッショルドと温度との関係

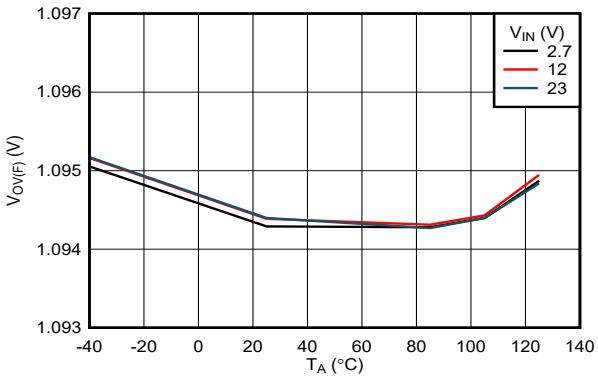


図 6-13. OVLO 立ち下がりスレッショルドと温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

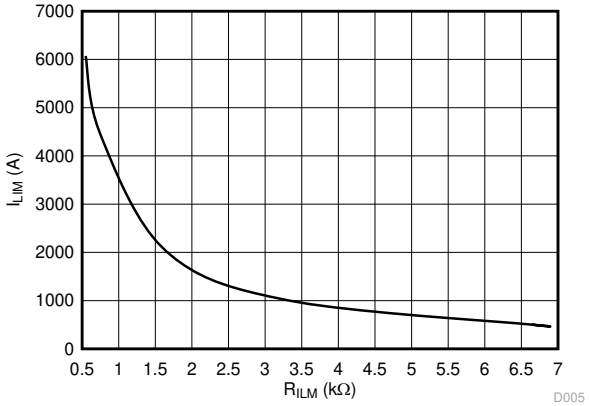


図 6-14. 過電流スレッショルドと ILM 抵抗との関係

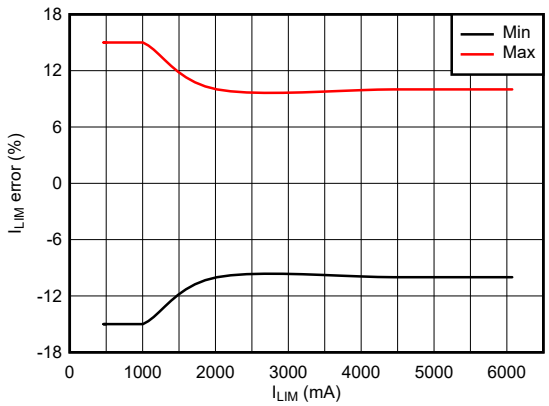


図 6-15. 過電流スレッショルド精度 (プロセス、電圧、温度全体)

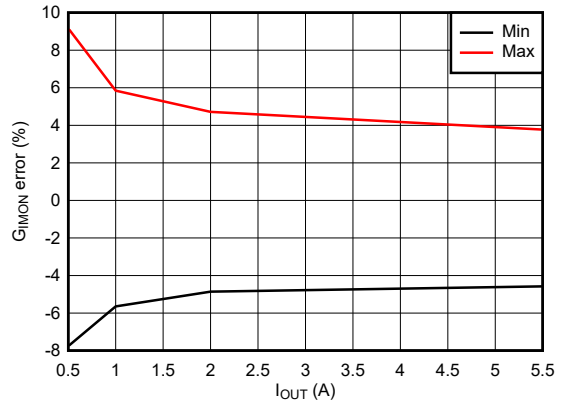


図 6-16. アナログ電流モニタのゲイン精度

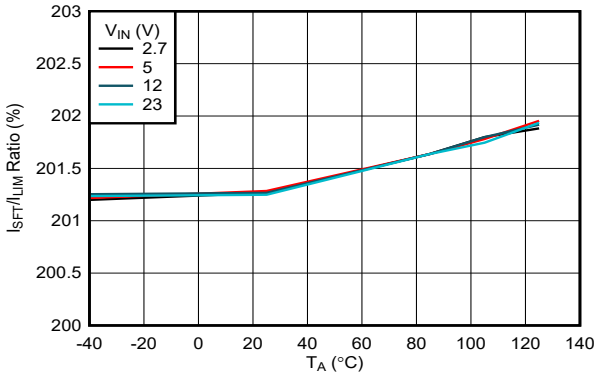


図 6-17. スケーラブルな高速トリップ スレッショルド：電流制限スレッショルド (I_{LIM}) 比と温度との関係

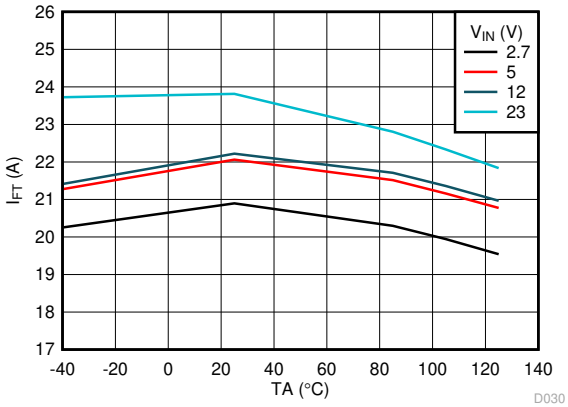


図 6-18. 定常状態固定高速トリップ電流スレッショルドと温度との関係

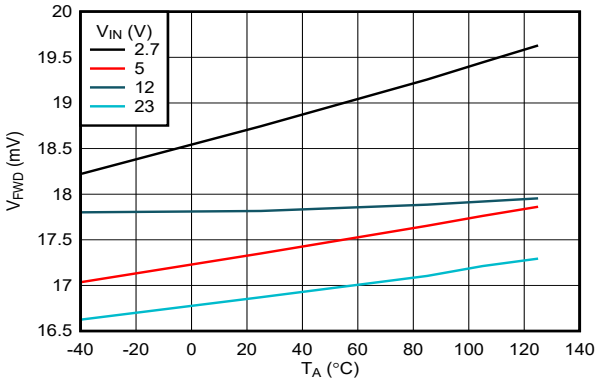


図 6-19. RCB - 順方向レギュレーション電圧と温度との関係

6.8 代表的特性 (続き)

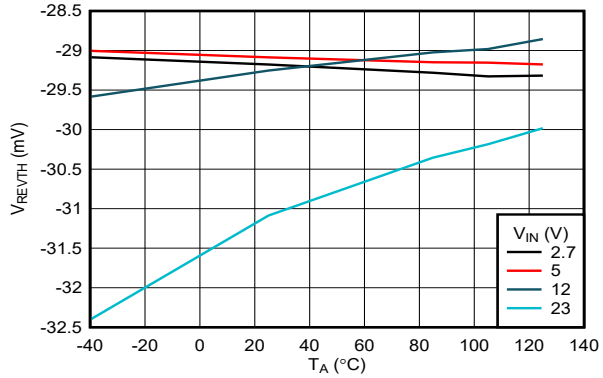


図 6-20. RCB - 逆方向コンパレータ スレッショルドと温度との関係

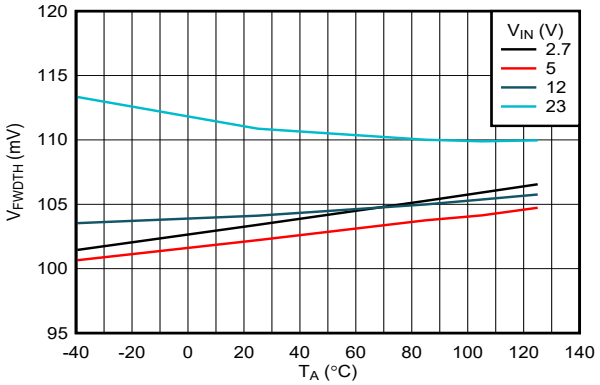


図 6-21. RCB 順方向コンパレータ スレッショルドと温度との関係

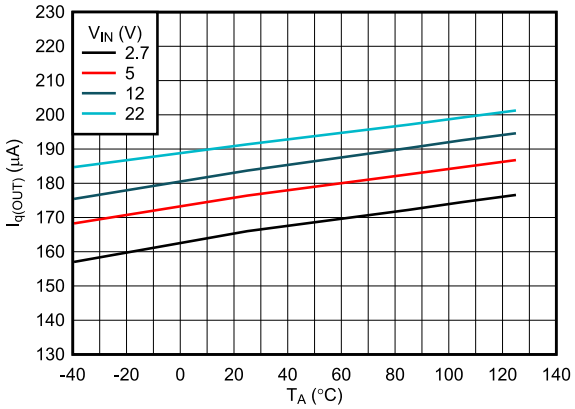


図 6-22. オン状態の逆電流ブロック中の OUT リーク電流

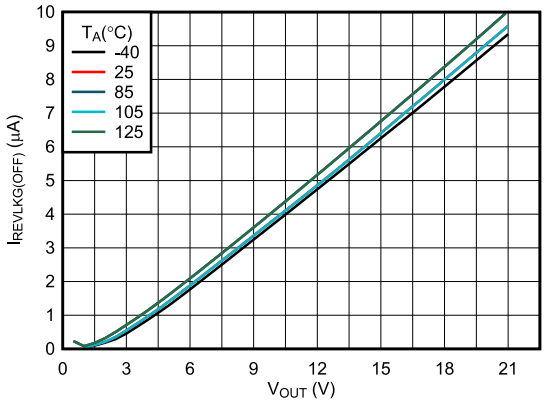


図 6-23. オフ状態での逆リーク電流

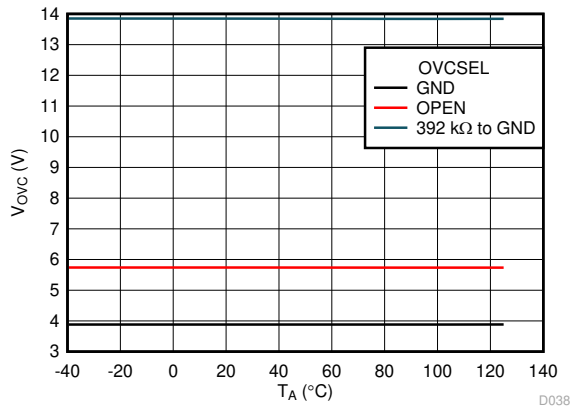


図 6-24. OVC スレッショルドと温度との関係

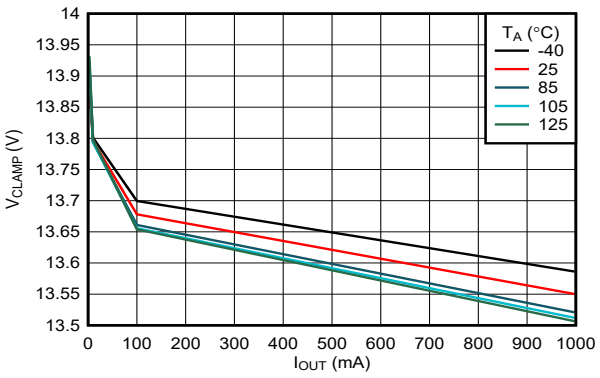


図 6-25. OVC クランプ電圧 (OVCSEL = 392kΩ から GND へ) と負荷電流との関係

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

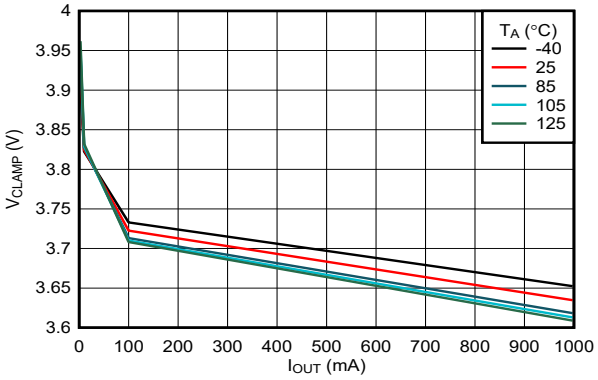


図 6-26. OVC クランプ電圧 (OVCSEL = GND) と負荷電流との関係

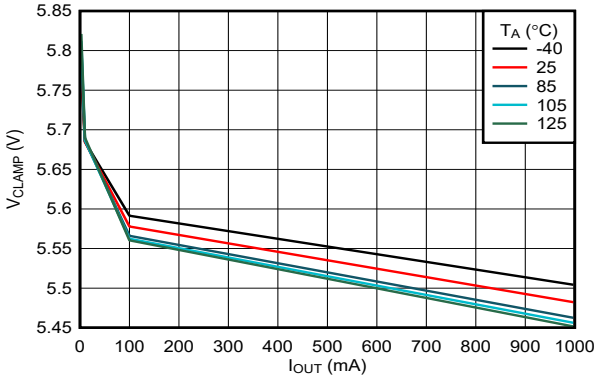


図 6-27. OVC クランプ電圧 (OVCSEL = オープン) と負荷電流との関係

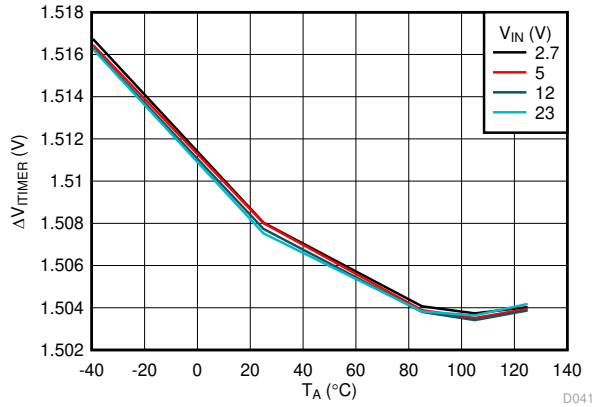


図 6-28. ITIMER 放電の差動電圧スレッショルドと温度との関係

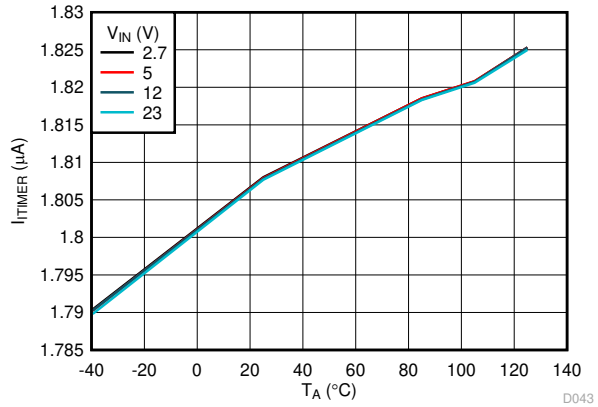


図 6-29. ITIMER の放電電流と温度との関係

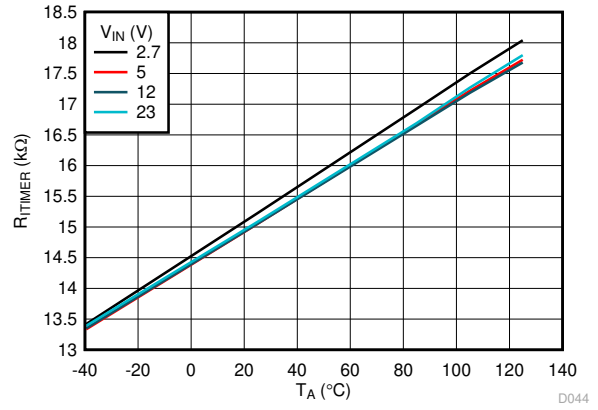


図 6-30. ITIMER 内部プルアップ抵抗と温度との関係

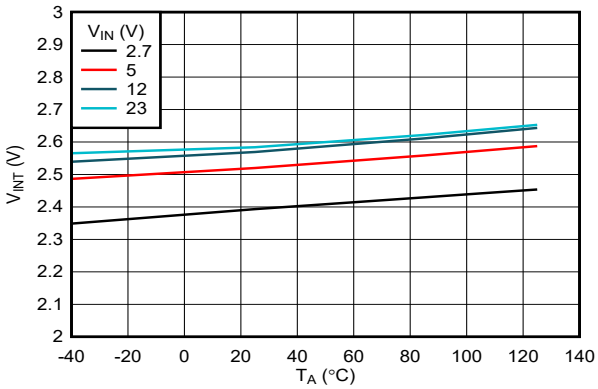


図 6-31. ITIMER 内部プルアップ電圧と温度との関係

6.8 代表的特性 (続き)

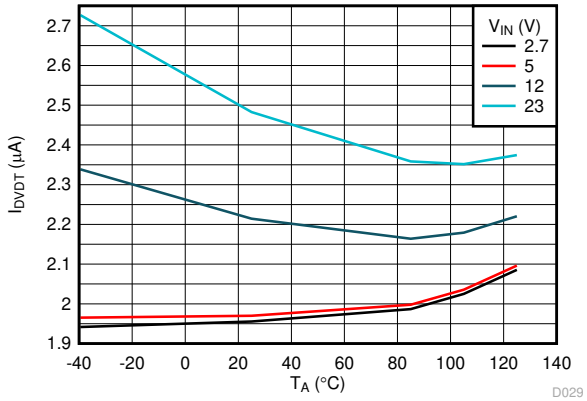


図 6-32. DVDT 充電電流と温度との関係

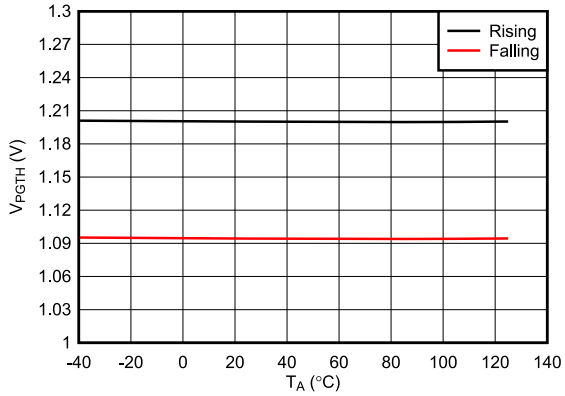


図 6-33. PGTH スレッショルドと温度との関係

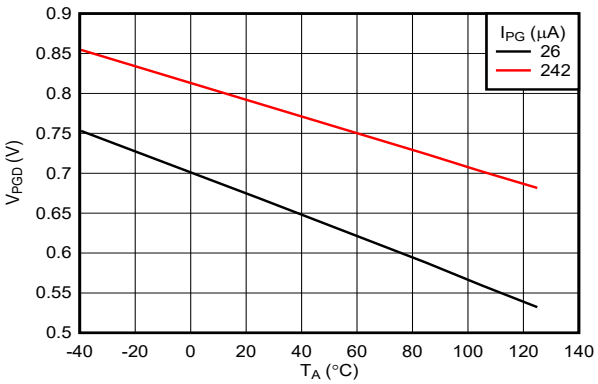


図 6-34. 入力電源なしの PG Low 電圧と温度との関係

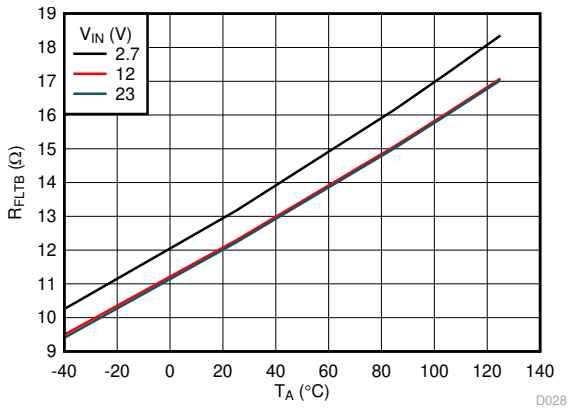


図 6-35. FLTb ピンのプルダウン抵抗と温度との関係

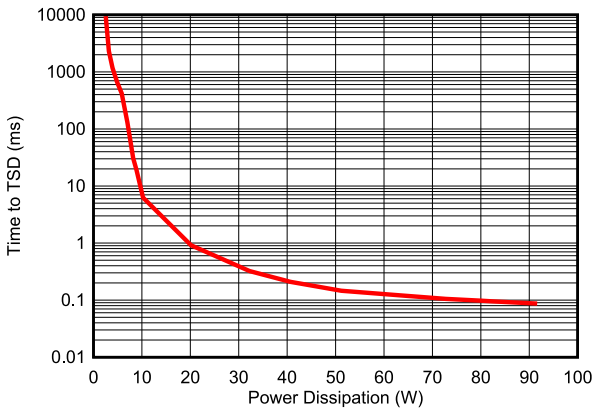


図 6-36. 突入状態中のサーマル シャットダウンまでの時間

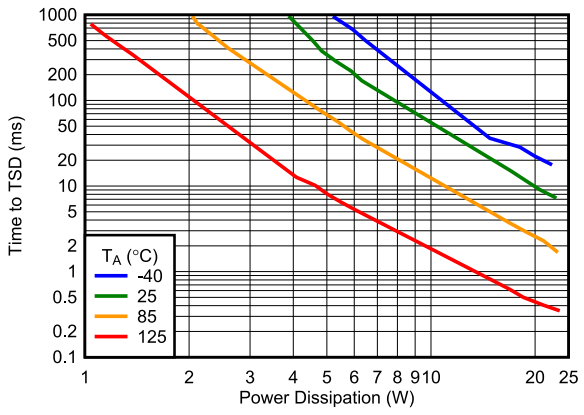
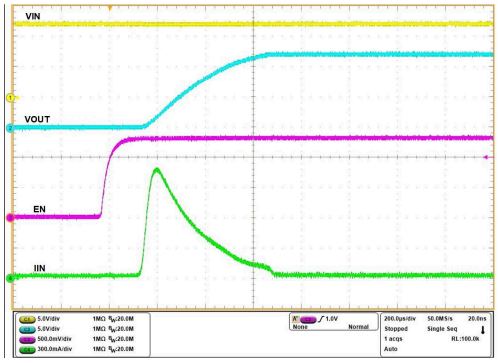


図 6-37. 定常状態時のサーマル シャットダウンまでの時間

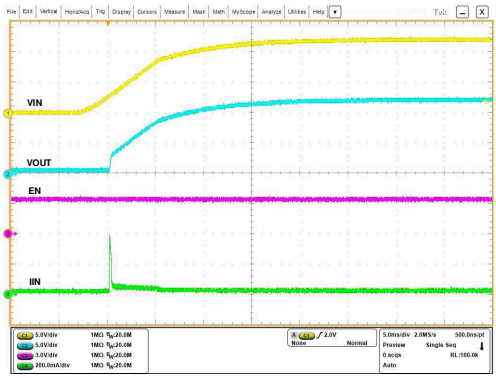
Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)



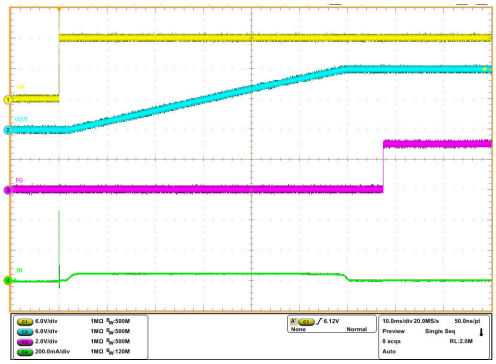
V_{IN} = 12V、C_{OUT} = 30µF、C_{dVdt} = オープン、$V_{EN/UVLO}$ は最大 1.4V までステップ アップ

図 6-38. イネーブルでのスタートアップ



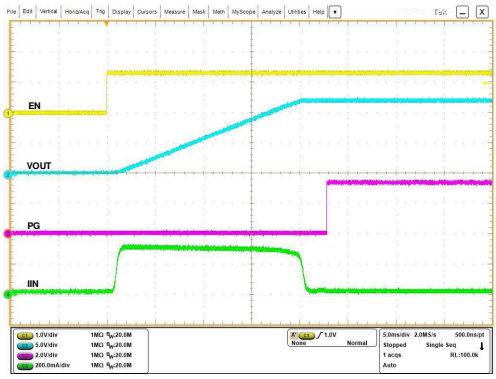
$V_{EN/UVLO}$ = 3.3V、C_{OUT} = 30µF、C_{dVdt} = Open、V_{IN} は 12V までランプアップ

図 6-39. 電源でのスタートアップ



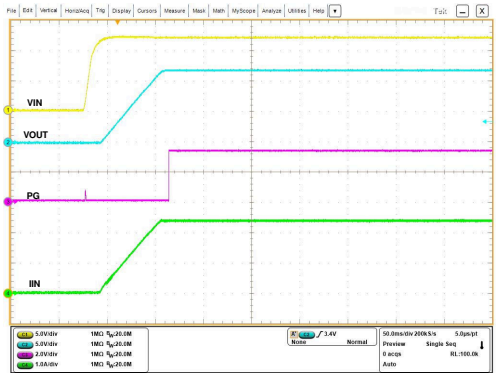
C_{OUT} = 220µF、C_{dVdt} = 10nF、EN/UVLO を抵抗ラダー経由で IN に接続、12V ホットプラグで IN に接続

図 6-40. 入力ホットプラグ



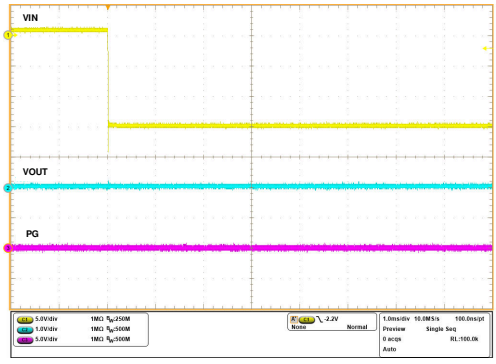
V_{IN} = 12V、C_{OUT} = 470µF、C_{dVdt} = 3300pF、$V_{EN/UVLO}$ は 1.4V までステップ アップ

図 6-41. 容量性負荷による突入電流



V_{IN} = 12V、C_{OUT} = 470µF、R_{OUT} = 5Ω、C_{dVdt} = 3300pF、$V_{EN/UVLO}$ は 1.4V までステップ アップ

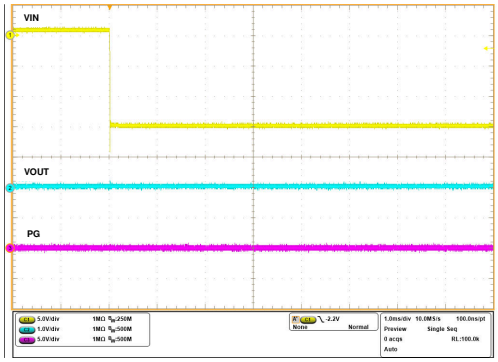
図 6-42. 抵抗性および容量性負荷による突入電流



C_{OUT} = 220µF、PG は 3V にプルアップ、–15V ホットプラグで IN に接続

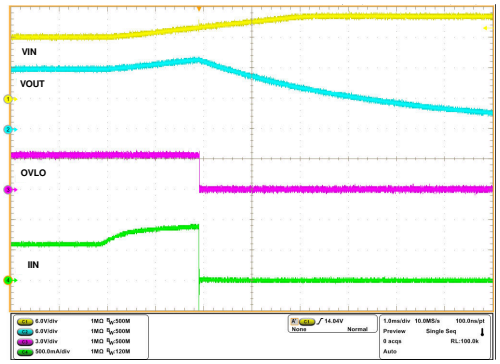
図 6-43. 入力逆極性保護 — 高速ランプ

6.8 代表的特性 (続き)



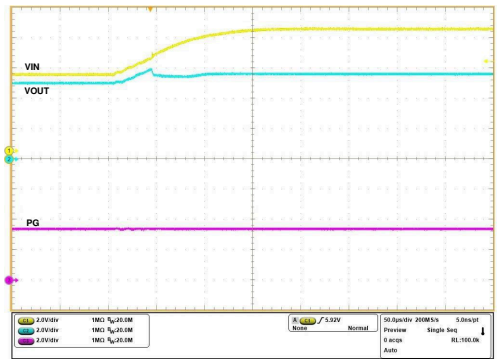
C_{OUT} = 220µF、PG は 3V にプルアップ、V_{IN} は 0V から –15V にランプダウンした後、0V にランプアップ

図 6-44. 入力逆極性保護 — 低速ランプ



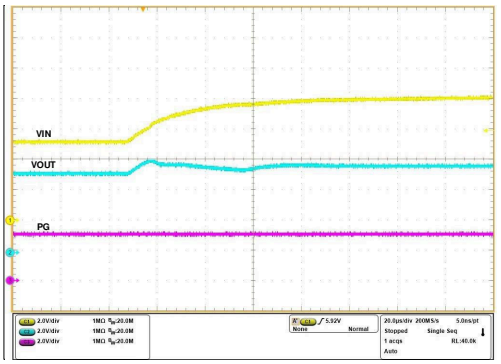
C_{OUT} = 220µF、R_{OUT} = 20Ω、V_{IN} 過電圧スレッショルドを 13.2V に設定、V_{IN} は 12V から 16V にランプアップ

図 6-45. 過電圧誤動作防止応答 - TPS259470x/4x



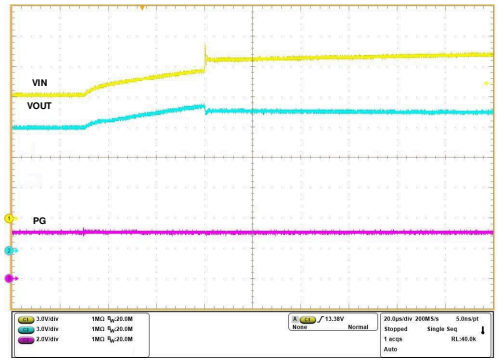
R_{OVCSEL} = GND、C_{OUT} = 220µF、I_{OUT} = 120mA、V_{IN} は 3.3V から 6V にランプアップ

図 6-46. 過電圧クランプの応答 - TPS259472x



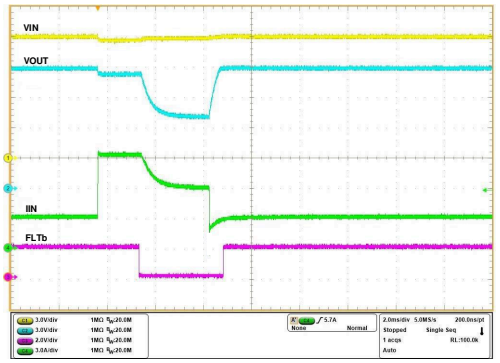
R_{OVCSEL} = オープン、C_{OUT} = 220µF、I_{OUT} = 150mA、V_{IN} は 5V から 8V にランプアップ

図 6-47. 過電圧クランプの応答 - TPS259472x



R_{OVCSEL} = 390kΩ、C_{OUT} = 220µF、I_{OUT} = 300mA、V_{IN} は 12V から 16.5V にランプアップ

図 6-48. 過電圧クランプの応答 - TPS259472x

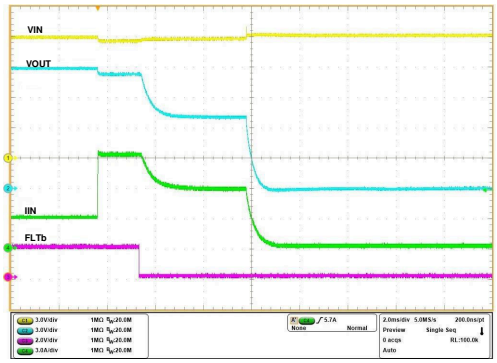


V_{IN} = 12V、C_{ITIMER} = 2.2nF、C_{OUT} = 220µF、R_{ILM} = 549Ω、I_{OUT} は 5ms 以内に 3A → 9A → 3A にステップ

図 6-49. アクティブ電流制限応答 - TPS259470x

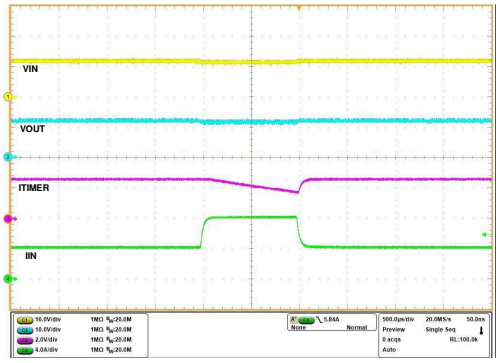
Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)



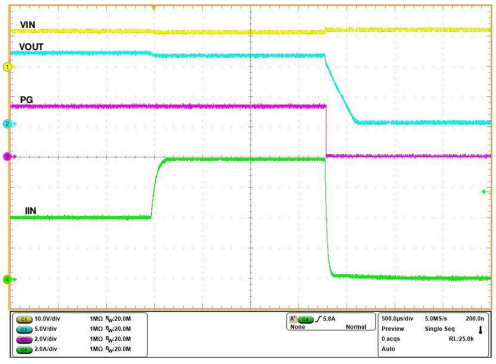
V_{IN} = 12V、C_{ITIMER} = 2.2nF、C_{OUT} = 220µF、R_{ILM} = 549Ω、I_{OUT} は 3A → 9A にステップ アップ

図 6-50. アクティブ電流制限応答後の TSD - TPS259470x



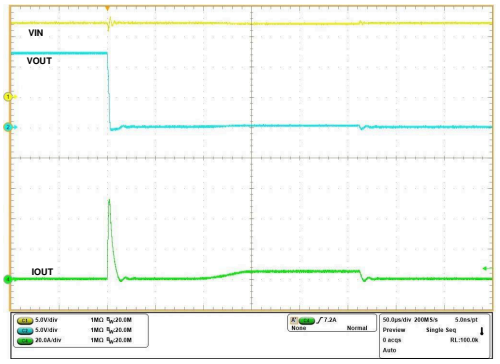
V_{IN} = 12V、C_{ITIMER} = 2.2nF、C_{OUT} = 470µF、R_{ILM} = 549Ω、I_{OUT} は 1ms 以内に 4A → 8A→ 4A にランプ

図 6-51. 過渡過電流ブランキング タイマの応答 - TPS259474x



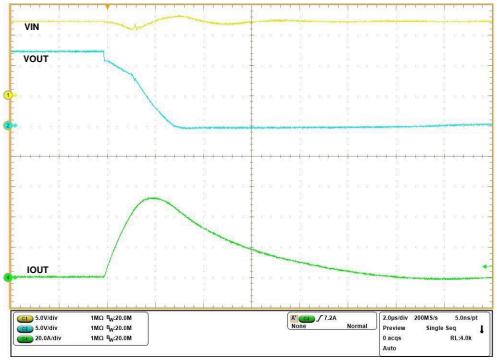
V_{IN} = 12V、C_{ITIMER} = 2.2nF、C_{OUT} = 470µF、R_{ILM} = 549Ω、I_{OUT} は 4A → 8A にランプアップ

図 6-52. サーキット ブレーカの応答 - TPS259474x



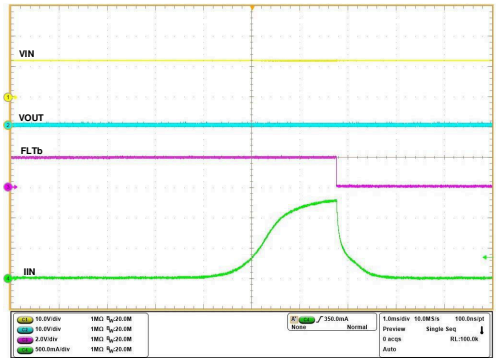
V_{IN} = 12V、R_{ILM} = 549Ω、$V_{EN/UVLO}$ = 3.3V、OUT は オープン → (ステップして) GND に短絡

図 6-53. 定常状態時の出力短絡保護



V_{IN} = 12V、R_{ILM} = 549Ω、$V_{EN/UVLO}$ = 3.3V、OUT は オープン → (ステップして) GND に短絡

図 6-54. 定常状態時の出力短絡 (拡大表示)



V_{IN} = 12V、C_{OUT} = Open、OUT は GND に短絡、R_{ILM} = 1650Ω、$V_{EN/UVLO}$ は 0V から 3.3V にステップアップ

図 6-55. 短絡時の電源立ち上げ

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TPS25947xx は、システム内で安全な電力供給を検証するために使用されるパワー パスを内蔵した eFuse です。デバイスは、IN バスを監視することで動作を開始します。入力電源電圧 (VIN) が低電圧保護スレッショルド (VUVP) を上回ると、デバイスは EN/UVLO ピンをサンプリングします。このピンが高レベル (> VUVLO) になると、内部パワー パス (BFET+HFET) が導通し始め、電流が IN から OUT に流れることができるようになります。EN/UVLO が Low (< VUVLO) に保持されると、内部パワー パスがオフになります。入力に逆電圧が印加された場合、パワー パスはオフに維持され、出力負荷を保護します。

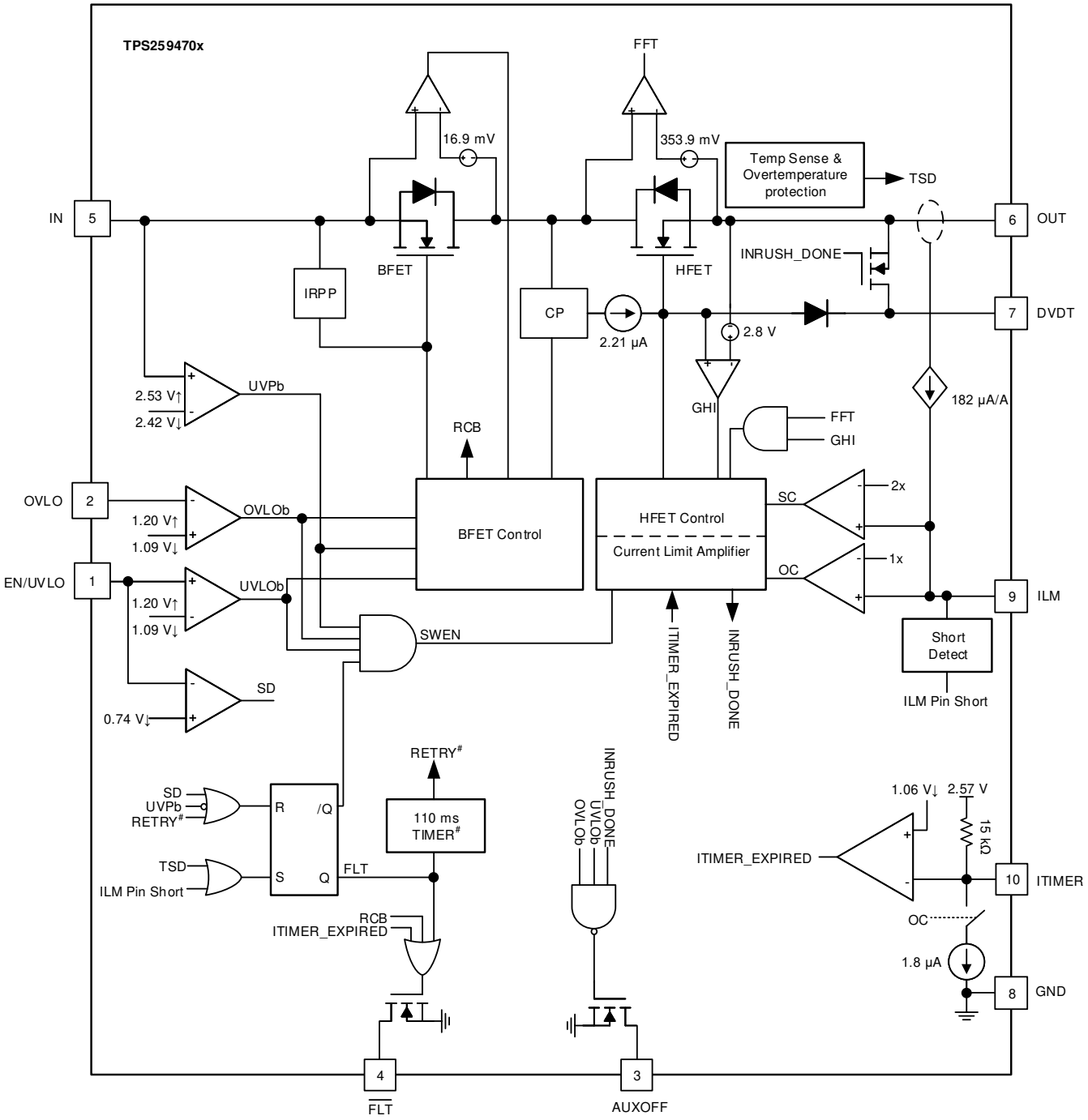
起動シーケンスが正常に完了した後、デバイスは負荷電流および入力電圧のアクティブな監視を開始します。そして、内部 HFET を制御することにより、ユーザーが調整可能な過電流制限スレッショルド (I_{LIM}) を超えないようにするとともに、過電圧スパイクを選択されているスレッショルド電圧 (V_{OVC}) に安全にクランプするか、またはユーザーが調整可能な過電圧誤動作防止スレッショルド (V_{OVLO}) を超えた時点で過電圧スパイクをカットオフします。このデバイスは、短絡イベント時の重大な過電流に対する高速な保護機能も備えています。これにより、有害なレベルの電圧や電流からシステムを安全な状態に保つことができます。同時に、ユーザーが調整可能な過電流ブランキング タイマを使用して、システムは eFuse をトリップせずに、負荷電流の中程度の過渡ピークに対応できます。これにより、過渡耐性のある実際の故障に対する堅牢な保護オプションが維持されるため、システムの稼働時間を最大限に延ばすことができます。

このデバイスには理想ダイオードのように動作する逆電流ブロック FET (BFET) が内蔵されています。BFET は、順方向の導通モードで一定の小さな順方向電圧降下 (V_{FWD}) を維持するようリニアに安定化され、出力電圧が入力電圧を超えると、逆電流をブロックするため完全にオフになります。

このデバイスには、デバイスの温度 (T_J) が推奨動作条件を超えた場合にデバイス自体を保護するため、サーマル センサベースのシャットダウン メカニズムも内蔵されています。

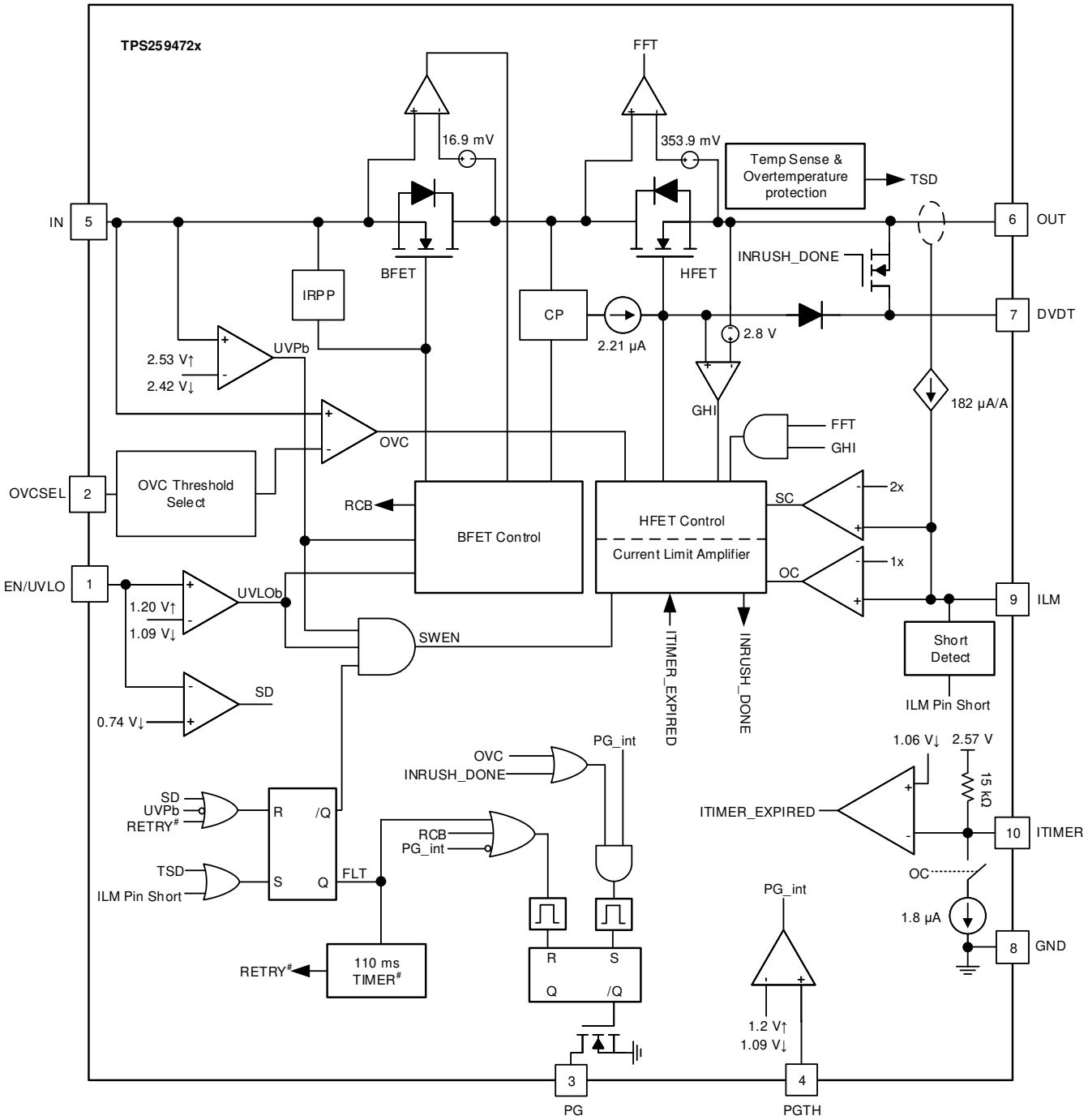
Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図



Not applicable to Latch-off variants (TPS259470L)

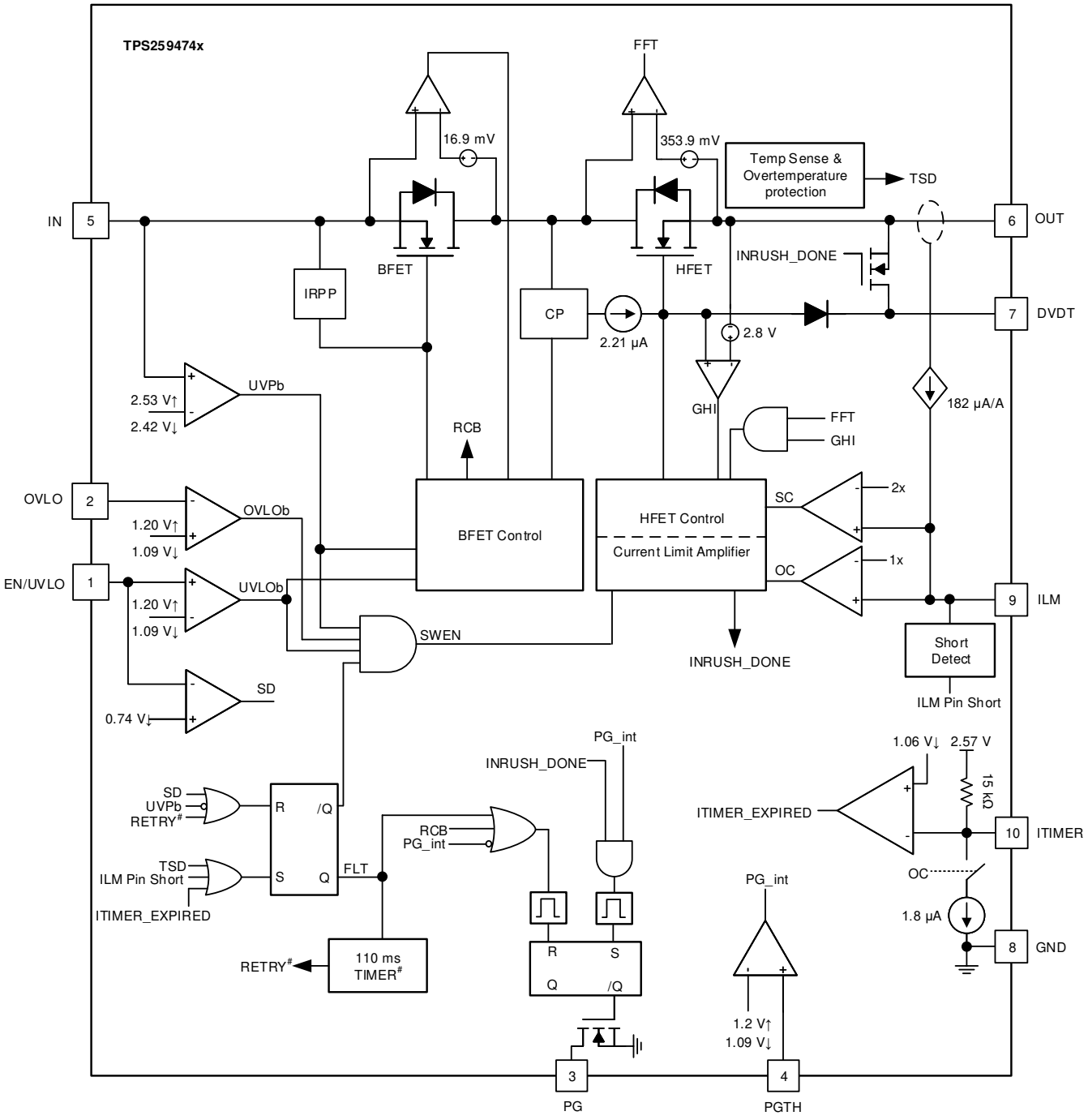
図 7-1. TPS259470x のブロック図



Not applicable to Latch-off variants (TPS259472L)

図 7-2. TPS259472x のブロック図

Copyright © 2026 Texas Instruments Incorporated



Not applicable to Latch-off variants (TPS259474L)

図 7-3. TPS259474x のブロック図

7.3 機能説明

TPS25947xx eFuse は、小型で機能豊富高な電力管理デバイスであり、システム故障発生時の検出、保護、および表示報告を行います。

7.3.1 入力逆極性保護

TPS25947xx デバイスは、入力電源ピンに印加される定常状態の負電圧から内部的に保護されています。デバイスは、出力に負電圧が現れるのを阻止することで、負荷回路を保護します。この状態では、出力から入力に逆電流は流れません。デバイスが入力で処理できる負の最低電圧は、-15V または V_{OUT} – 21V のどちらか高い方に制限されます。また、入力電源に接続されているすべての信号ピン (EN/UVLO、OVLO、PGTH など) には、逆極性状態でこれらのピンから流れ出る電流を制限するのに十分な大きさのプルアップ抵抗を備えている必要があります。詳細については、「絶対最大定格」表も参照してください。

7.3.2 低電圧誤動作防止 (UVLO および UVP)

TPS25947xx は、印加された電圧がシステムまたはデバイスの正常な動作に必要なレベルを下回った場合に備えて、IN に低電圧保護を実装しています。低電圧保護のデフォルト誤動作防止スレッショルドは V_{UVP} で、この値は内部で固定されています。また、EN/UVLO ピンに UVLO コンパレータを搭載しているため、外部から低電圧保護スレッショルドをユーザー定義の値に調整することもできます。図 7-4 および 式 1 に、抵抗デバイダを使用して、特定の電源電圧に対して UVLO 設定ポイントを設定する方法を示します。

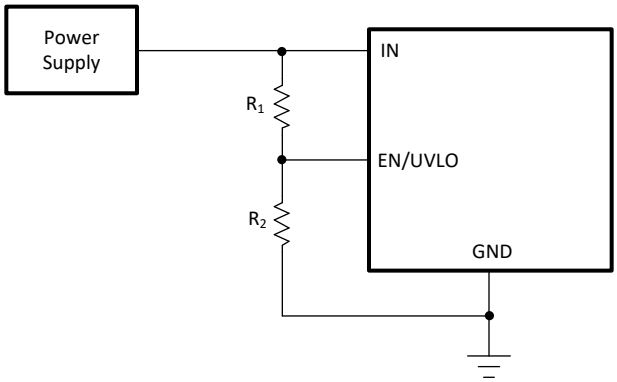


図 7-4. 可変低電圧保護

$$V_{IN(UV)} = \frac{V_{UVLO} \times [R1 + R2]}{R2} \quad (1)$$

7.3.3 過電圧誤動作防止 (OVLO)

TPS259470x/4x バリアント は過電圧誤動作防止機能を実装しており、入力過電圧状態から負荷を保護します。OVLO ピンの OVLO コンパレータは過電圧誤動作防止スレッショルドをユーザー定義の値に調整することもできます。OVLO ピンの電圧が OVLO 立ち上がりスレッショルド $V_{OV(R)}$ を超えると、デバイスは出力への電力を遮断します。その後、デバイスは OVLO ピンの電圧が OVLO 立ち下がりスレッショルド $V_{OV(F)}$ を下回るまで待機した後、出力電力が再度オンになります。ヒステリシスを提供するため、立ち上がりスレッショルドと立ち下がりスレッショルドはわずかに異なります。図 7-5 および 式 2 に、抵抗デバイダを使用して、特定の電源電圧に対して OVLO 設定ポイントを設定する方法を示します。

Copyright © 2026 Texas Instruments Incorporated

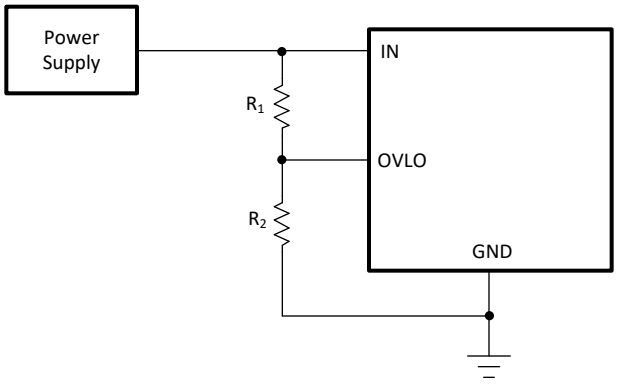


図 7-5. 調整可能な過電圧保護機能

$$V_{IN(OV)} = \frac{V_{OV} \times [R1 + R2]}{R2} \quad (2)$$

OVLO イベントからの復帰時、TPS259470x バリアントは突入電流制御 (dVdt) をバイパスし、電流制限モードで起動することで、より迅速なターン オンを実現し、電源電圧のドループを最小限に抑えます。

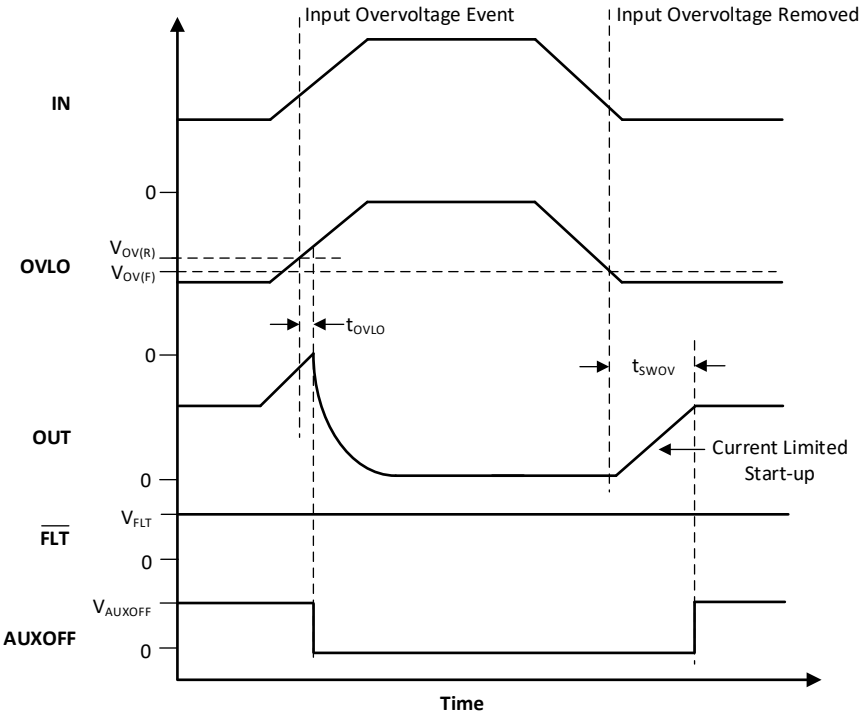


図 7-6. TPS259470x の過電圧誤動作防止および復帰

OVLO イベントからの復帰中は、TPS259474x バリアントは突入電流制御 (dVdt) により起動します。

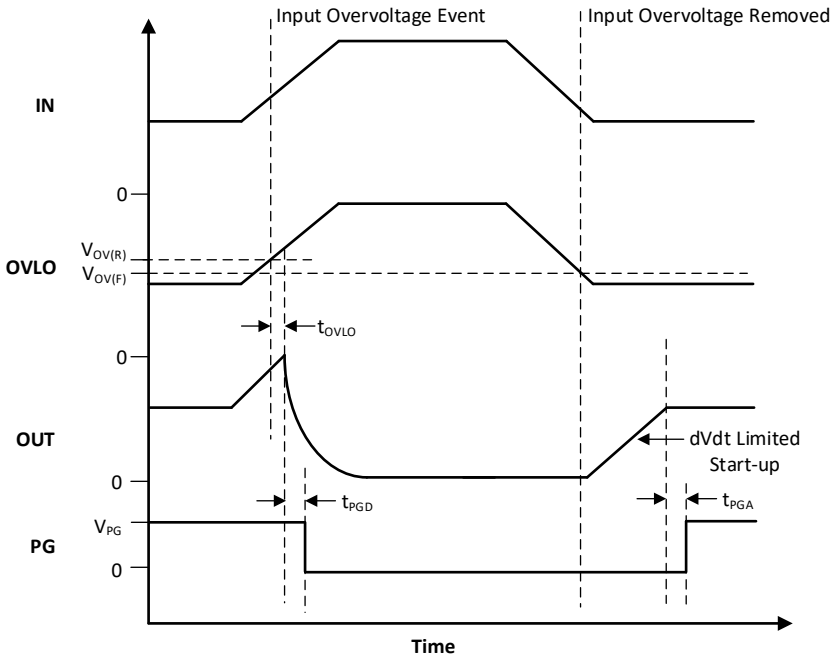


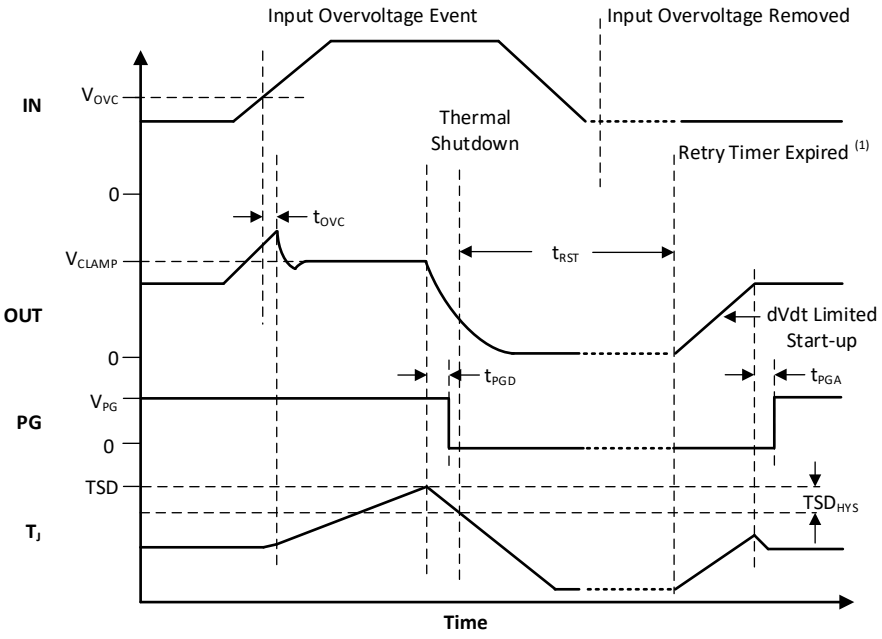
図 7-7. TPS259474x の過電圧誤動作防止および復帰

7.3.4 過電圧クランプ (OVC)

TPS259472x バリアントは、出力に電圧クランプを実装しており、入力過電圧時にシステムを保護します。入力が過電圧クランプ スレッショルド (V_{OVC}) を超えたことをデバイスが検出すると、t_{OVC} 以内に素早く応答し、出力の立ち上がりをさらに停止した後、入力に過電圧状態が存在している限り HFET を線形的にレギュレートして出力電圧を V_{CLAMP} 未満にクランプします。

デバイスが長時間クランプ状態にとどまると、部品内部の消費電力が大きくなり、最終的にサーマル シャットダウン (TSD) につながる可能性があります。TSD の故障により部品がシャットダウンすると、部品はラッチ オフ状態を維持するか (TPS259472L バリアント)、または固定遅延後に自動的に再起動します (TPS259472A バリアント)。過熱に対するデバイスの応答の詳細については、「過熱保護 (OTP)」を参照してください。

Copyright © 2026 Texas Instruments Incorporated



(1) Applicable only for TPS259472A (Auto-retry variant)

図 7-8. TPS259472x 過電圧応答 (自動再試行)

OVCSEL ピンを使用して構成できる 3 つの過電圧クランプ スレッショルドのオプションがあります。

表 7-1. TPS259472x の過電圧クランプ スレッショルドの選択

OVCSEL ピン接続	過電圧クランプ スレッショルド
GND へ短絡	3.8V
オープン	5.7V
390kΩ 抵抗を介して GND に接続	13.8V

7.3.5 突入電流、過電流および短絡保護

TPS25947xx には、過電流に対する 4 つのレベルの保護が組み込まれています。

1. 突入電流制御のための調整可能なスルー レート (dVdt)
2. 起動時または定常状態時の過電流保護のための可変スレッショルド (I_{LIM})
3. 起動時または定常状態時の深刻な過電流に対する高速トリップ応答のための可変スレッショルド (I_{SC})
4. 定常状態時のハード出力短絡に対する迅速な保護を目的とした、高速トリップ応答のための固定スレッショルド (I_{FT})

7.3.5.1 スルー レート (dVdt) および突入電流制御

ホットプラグ イベント時や起動時の大きな出力キャパシタンスの充電中に、大きな突入電流が発生する可能性があります。突入電流を適切に管理しないと、突入電流により入力コネクタが損傷する、またはシステム電源が低下する可能性があります。その結果システムの他の場所で予期しない再起動が発生します。ターンオン時の突入電流は、負荷容量と立ち上がりスルーレートに正比例します。式 3 を使用して、与えられた負荷容量 (C_{OUT}) について突入電流 (I_{INRUSH}) を制限するのに必要なスルーレート (SR) を計算できます。

$$SR\left(\frac{V}{ms}\right) = \frac{I_{INRUSH}(mA)}{C_{OUT}(F)} \quad (3)$$

dVdt ピンにコンデンサを接続することで、立ち上がりスルーレートを制御し、ターンオン時の突入電流を低減できます。特定のスルーレートを生成するために必要な C_{dVdt} 容量は、式 4 を使用して計算できます。

$$C_{dVdt}(pF) = \frac{2000}{SR\left(\frac{V}{ms}\right)} \quad (4)$$

dVdt ピンをオープンのままにし、最も高速な出力スルーレートを実現できます。

注

TI は、C_{dVdt} > 10nF の場合、dVdt ピンのコンデンサと直列に 100Ω の抵抗を追加することを推奨します。

7.3.5.2 回路ブレーカ

TPS259474x (サーキット ブレーカ) バリアントは、出力過電流状態に対して、ユーザーが調整可能な一時的故障ブランキング時間経過後に出力をオフにすることで応答します。負荷電流が、ILM ピン抵抗 (R_{ILM}) によって設定された過電流スレッショルド (I_{LIM}) を超え、かつ高速トリップスレッショルド (2x I_{LIM}) を下回っている場合、デバイスは内部 1.8µA プルダウン電流を用いて、ITIMER ピンのコンデンサの放電を開始します。ITIMER ピン コンデンサ (C_{ITIMER}) が ΔV_{ITIMER} によって放電される前に負荷電流が I_{LIM} を下回った場合、ITIMER は内部的で V_{INT} までプルアップされてリセットされ、サーキット ブレーカ動作は発生しません。これにより、短時間の負荷過渡パルスは、回路をトリップさせることなくデバイスを通過できます。過電流状態が持続する場合、C_{ITIMER} は放電を継続し、ΔV_{ITIMER} によって放電された後に、サーキット ブレーカ動作により HFET が直ちにオフになります。同時に、C_{ITIMER} は V_{INT} まで充電されるため、次の過電流イベントの前にデフォルト状態になります。これにより、すべての過電流イベントに対して、完全なブランキング タイマ間隔が確保されます。式 5 を使用して、過電流スレッショルドに対する R_{ILM} 値を計算できます。

$$R_{ILM}(\Omega) = \frac{3334}{I_{ILM}(A)} \quad (5)$$

注

1. ILM ピンをオープンにすると、電流制限値はほぼゼロに設定され、出力側にわずかでも負荷がかかるだけで、部品が回路を遮断します。
2. 通常動作中に ILM ピンを接地すると、故障として検出され、部品はシャットダウンされます。ピンの短絡状態が検出される前に、部品がこの状態を許容する最小電流 (I_{FLT}) が存在します。

過渡を許容する時間は、ITIMER ピンとグランドの間の適切なコンデンサ値を使用して調整できます。目的の過渡過電流ブランキング間隔を設定するために必要な C_{ITIMER} 値は、式 6 を使用して計算できます。

$$t_{ITIMER}(ms) = \frac{\Delta V_{ITIMER}(V) \times \Delta C_{ITIMER}(nF)}{I_{ITIMER}(\mu A)} \quad (6)$$

Copyright © 2026 Texas Instruments Incorporated

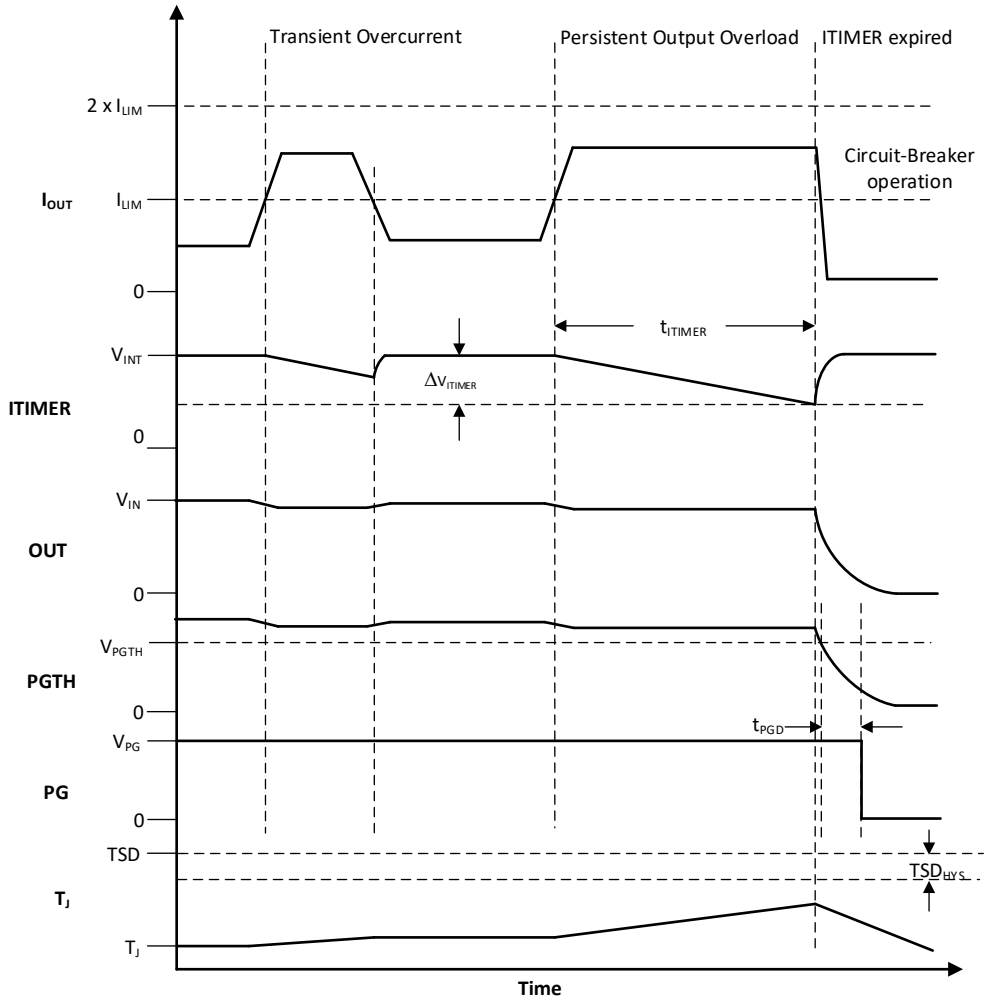


図 7-9. TPS259474x の過電流応答

注

1. ITIMER ピンをオープンのままにすると、本デバイスが最小限の遅延で回路を切断できるようになります。
2. ITIMER ピンをグランドに短絡すると、過電流応答遅延は最小になりますが (ITIMER ピンの開放状態と同様)、デバイスの電流消費は増加します。これは推奨動作モードではありません。
3. ITIMER cap 値を大きくすると、過電流ブランキング期間は延長されますが、同時に、ITIMER cap が V_{INT} まで再充電されるのに要する時間も長くなります。ITIMER cap が完全に再充電される前に次の過電流イベントが発生した場合、ITIMER の期限切れスレッショルドまで放電するのに要する時間が短くなるため、意図したよりもブランキング間隔が短くなります。

回路ブレーカの故障により部品がシャットダウンした後、部品はラッチ オフ状態を維持するか (TPS259474L バリアント)、または固定遅延後に自動的に再起動します (TPS259474A バリアント)。

7.3.5.3 アクティブ電流制限

TPS259470x/2x (アクティブ電流制限) バリアントは、出力過電流状態に応答して、ユーザーによる調整が可能な過渡故障ブランキング間隔の後に、電流をアクティブに制限します。負荷電流が、ILM ピン抵抗 (R_{ILM}) で設定された過電流スレッショルド (I_{LIM}) を超えても、短絡スレッショルド ($2 \times I_{LIM}$) を下回ったままになると、デバイスは内部 1.8µA プルダウン電流を使用して ITIMER ピン コンデンサの放電を開始します。ITIMER コンデンサ (C_{ITIMER}) が ΔV_{ITIMER} によって放電される前に、負荷電流が過電流スレッショルドを下回ると、ITIMER は内部で V_{INT} へプルアップすることでリセットされ、電

流制限アクションは開始されません。これにより、短い負荷過渡パルスが電流を制限せずにデバイスを通過できるようになります。過電流状態が続くと、C_{ITIMER} は放電を続け、ΔV_{ITIMER} によって放電されると、電流制限によって HFET のレギュレーションが開始され、電流が、設定された過電流スレッショルド (I_{LIM}) にアクティブに制限されます。同時に、C_{ITIMER} は V_{INT} まで充電されるため、次の過電流イベントの前にデフォルト状態になります。これにより、すべての過電流イベントに対して、完全なブランキング タイマ間隔が確保されます。式 7 を使用して、目的の過電流スレッショルドに対する R_{ILM} 値を計算できます。

$$R_{ILM}(\Omega) = \frac{3334}{I_{ILM}(A)} \quad (7)$$

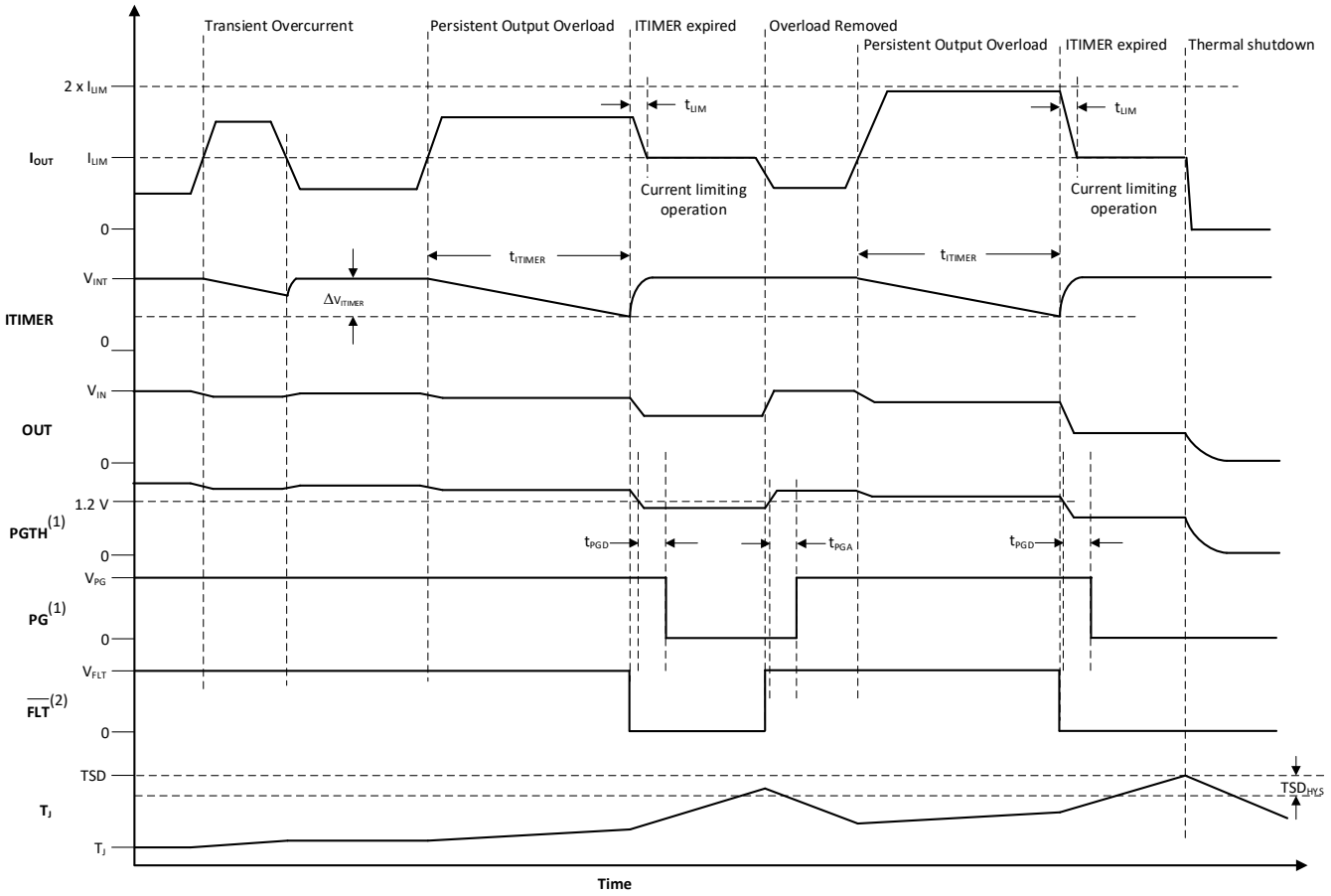
注

1. ILM ピンをオープンにすると、電流制限値はほぼゼロに設定され、出力側にわずかな負荷がかかるだけで、デバイスは電流制限モードに移行します。
2. 電流制限回路は、フォールドバック メカニズムを採用しています。フォールドバック領域の電流制限スレッショルド ($0V < V_{OUT} < V_{FB}$) は、定常状態の電流制限スレッショルド (I_{LIM}) よりも低くなります。
3. 通常動作中に ILM ピンを接地すると、故障として検出され、部品はシャットダウンされます。ピンの短絡状態が検出される前に、部品がこの状態を許容する最小電流 (I_{FLT}) が存在します。

過渡を許容する時間は、ITIMER ピンとグランドの間の適切なコンデンサ値を使用して調整できます。目的の過渡過電流ブランキング間隔を設定するために必要な C_{ITIMER} 値は、式 8 を使用して計算できます。

$$t_{ITIMER}(ms) = \frac{\Delta V_{ITIMER}(V) \times \Delta C_{ITIMER}(nF)}{I_{ITIMER}(\mu A)} \quad (8)$$

Copyright © 2026 Texas Instruments Incorporated



(1) Applicable only to TPS259472x/4x variants
(2) Applicable only to TPS259470x variants

図 7-10. TPS259470x/2x のアクティブ電流制限応答

注

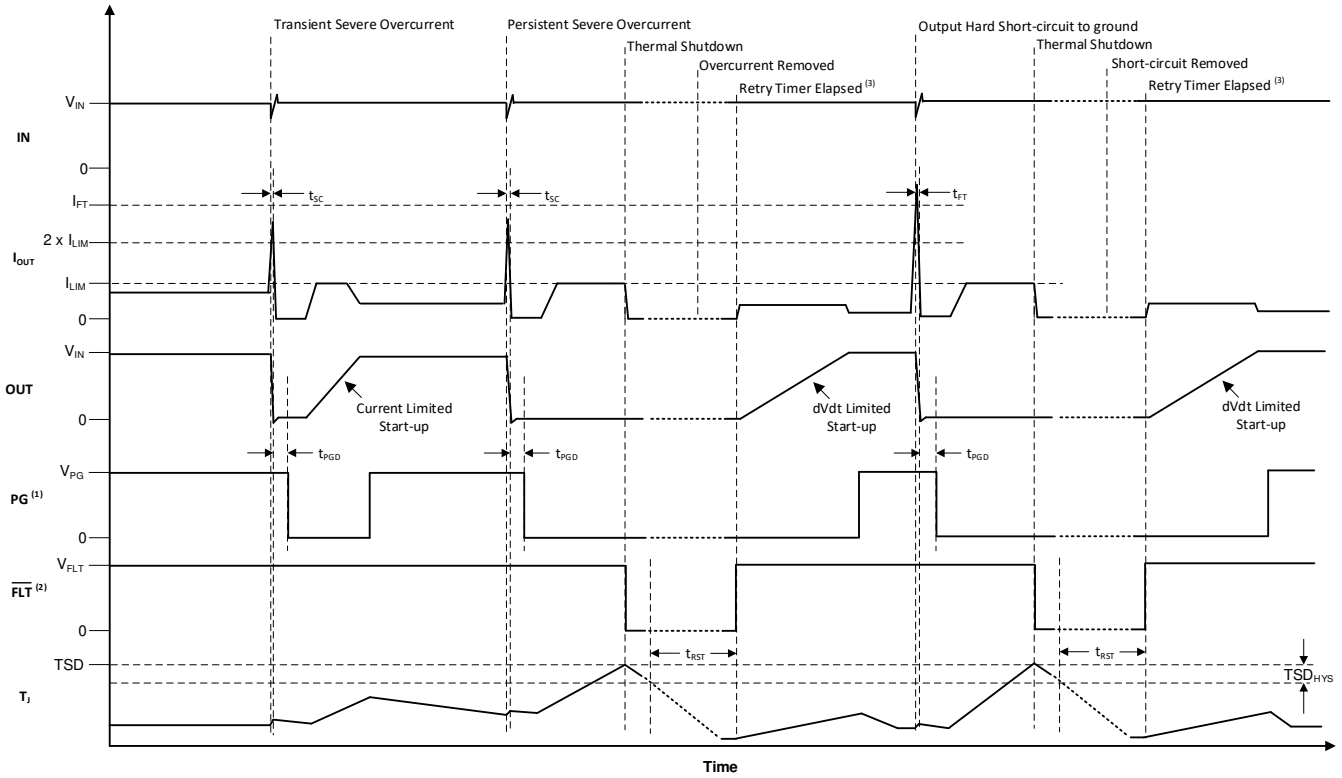
1. ITIMER ピンをオープンのままにすると、部品が最小限の遅延で電流を制限できるようになります。
2. ITIMER ピンをグランドに短絡すると、過電流応答遅延は最小になりますが (ITIMER ピンの開放状態と同様)、デバイスの電流消費は増加します。これは推奨動作モードではありません。
3. R_{ILM} に基づくアクティブ電流制限は、TPS259470x/2x (電流制限) および TPS259474x (サーキット ブレーカ) の両バリアントにおいて、起動時にアクティブになります。起動電流が I_{LIM} を超えた場合、デバイスは電流を設定した制限にレギュレートします。しかし、起動中は、電流制限は ITIMER 遅延を待機せずに開始されます。
4. TPS259472x バリアントでは、過電圧クランプ状態中に過電流イベントが発生した場合、ITIMER 遅延を待たずに電流制限が作動します。
5. C_{ITIMER} の値を大きくすると過電流ブランキング間隔が延長されますが、C_{ITIMER} が V_{INT} に再充電されるまでに必要な時間も延長されます。C_{ITIMER} が完全に再充電される前に次の過電流イベントが発生した場合、ITIMER の期限切れスレッショルドまで放電するのに要する時間が短くなるため、意図したよりもブランキング間隔が短くなります。

アクティブ電流制限中、出力電圧降下により HFET 全体のデバイス消費電力が増加します。デバイスの内部温度 (T_J) がサーマル シャットダウン スレッショルド (TSD) を超えると、HFET がオフになります。TSD の故障により部品がシャットダウ

ンした後、部品はラッチ オフ状態を維持するか (TPS25947xL バリアント)、または固定遅延後に自動的に再起動します (TPS25947xA バリアント)。過熱に対するデバイスの応答の詳細については、「過熱保護 (OTP)」を参照してください。

7.3.5.4 短絡保護

出力短絡発生中は、本デバイスを流れる電流が非常に急速に増加します。重大な過電流状態が検出されると、デバイスによって高速トリップ応答がトリガされ、電流が安全なレベルに制限されます。内部高速トリップ コンパレータは、2 × I_{LIM} と等しいスケーラブルなスレッショルド (I_{SC}) を採用しています。これにより、ユーザーは一部の低電流システムには高すぎる可能性がある固定スレッショルドを使用する代わりに、高速トリップ スレッショルドを調整できます。また、このデバイスは、固定高速トリップ スレッショルド (I_{FT}) を採用して、定常状態時のハード短絡に対する高速保護を実現します。固定高速トリップ スレッショルドは、ユーザーが調整できる、スケーラブルな高速トリップ スレッショルドの最大推奨値よりも高くなります。電流が I_{SC} または I_{FT} を超えると、HFET が t_{FT} 内に完全にオフになります。その後、デバイスはグリッチ除去期間 (30µs) の後、dVdt によって制限された方法ではなく、電流制限された方法で HFET をオンに戻すように試みます。これにより、過渡過電流イベントが発生した後に HFET は迅速に復帰し、出力電圧のドループを最小化できます。ただし、故障が持続する場合、デバイスは電流制限状態のままになり、接合部温度が上昇し、最終的にはサーマル シャットダウンに移行します。過熱に対するデバイスの応答の詳細については、「過熱保護 (OTP)」セクションを参照してください。



(1) Applicable only to TPS259472x/4x variants
(2) Applicable only to TPS259470x variants
(3) Applicable only to TPS25947xA variants

図 7-11. TPS25947xx の短絡応答

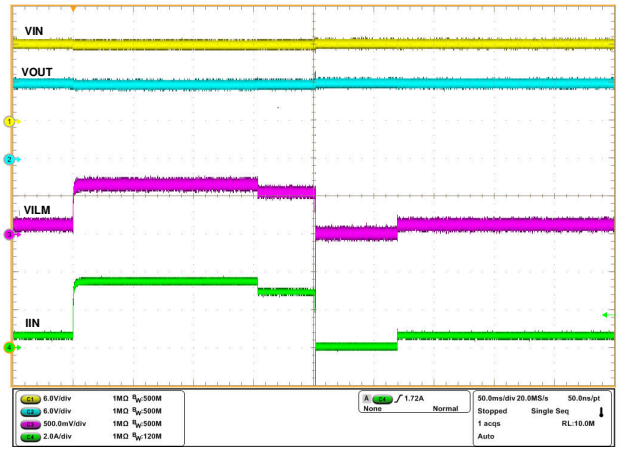
7.3.6 アナログ負荷電流モニタ

デバイスでは、FET を流れる電流に比例したアナログ電流センス出力を ILM ピンに供給することで、システムが出力負荷電流を正確に監視できるようになります。ユーザーは、R_{ILM} の全体で電圧 (V_{ILM}) を検出し、出力負荷電流の測定値を取得できます。

Copyright © 2026 Texas Instruments Incorporated

$$I_{OUT}(A) = \frac{V_{ILM}(\mu V)}{R_{ILM}(\Omega) \times G_{IMON}\left(\frac{\mu A}{A}\right)} \quad (9)$$

以下の波形は、出力での負荷ステップに対する ILM 信号応答を示しています。



V_{IN} = 12V、C_{OUT} = 22µF、R_{ILM} = 1150Ω、I_{OUT} は 0A ～ 3.5A の範囲で動的に変動

図 7-12. アナログ負荷電流モニタ応答

注

ILM ピンは、容量性負荷の影響を受けやすくなっています。安定した動作を確立するため、ILM ピンの寄生容量性負荷が < 50pF になるように、慎重な設計およびレイアウトが必要です。

7.3.7 逆電流保護

デバイスは、理想ダイオードのように機能し、あらゆる状態の下で OUT から IN へ逆電流が流れるのをブロックします。このデバイスには、共通ドレイン構成で接続された双方向 MOSFET が内蔵されています。IN ピンと OUT ピンの間の電圧降下は絶えず監視され、V_{FWD} での順方向電圧降下をレギュレートするために、必要に応じてブロック FET (BFET) のゲート ドライブが調整されます。この閉ループ レギュレーション方式 (リニア OR 接続制御) により、逆電流イベント時に MOSFET を穏やかにオフにでき、DC 逆電流をゼロにします。

また、このデバイスは、過渡逆電流に対する高速応答 (t_{RCB}) を提供するため、従来のコンパレータ (V_{REVTH}) による逆電流ブロック メカニズムも使用しています。デバイスが逆電流ブロック状態に移行すると、(V_{IN} – V_{OUT}) の順方向降下が V_{FWDTH} を超えるまで待機してから、高速な復帰を実行して完全な順方向導通状態に到達します。これにより、電源ノイズやリップルが逆電流ブロック応答に影響を与えないようにするための十分なヒステリシスが得られます。逆電流ブロックからの復帰は非常に高速です (t_{SWRCB})。これにより、確実に電源ドループを最小化でき、電源のマルチプレクシング/OR 接続や USB の高速ロール スワップ (FRS) などのアプリケーションに役立ちます。

Copyright © 2026 Texas Instruments Incorporated

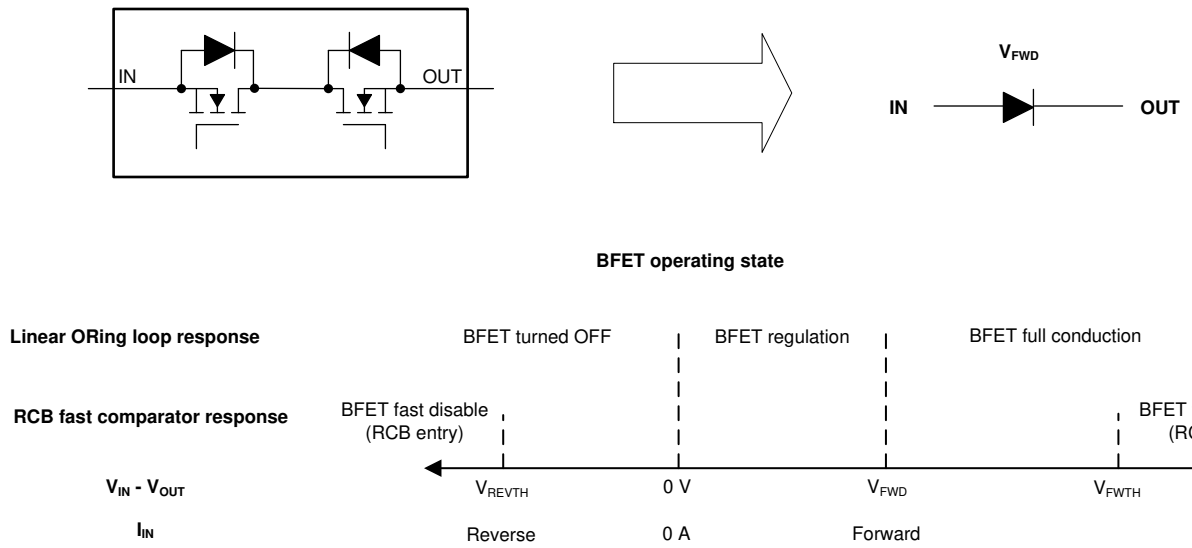


図 7-13. 逆電流ブロック応答

以下の波形は、さまざまなシナリオにおける逆電流ブロックの性能を示しています。

出力での高速な電圧ステップ (ホットプラグなど) 中は、高速コンパレータ ベースの逆電流ブロック メカニズムにより、入力レールでのジャンプ/グリッチを最小限に抑えられます。

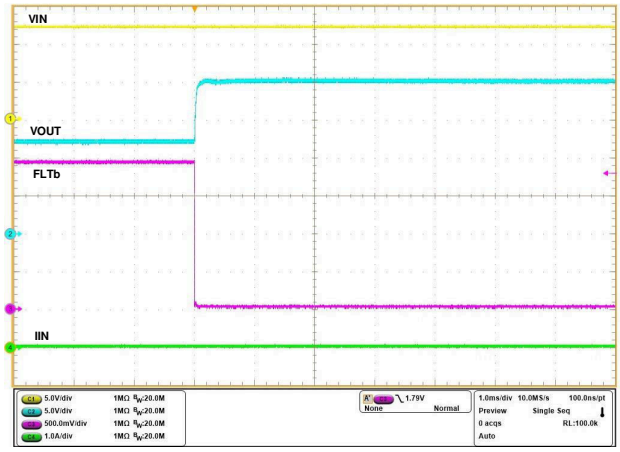


図 7-14. 出力での高速電圧ステップ時の逆電流ブロック性能

出力での低速な電圧ランプ中は、リニア OR 接続ベースの逆電流ブロック メカニズムにより、OUT から IN に DC 電流が流れないことが保証され、入力レールが低速で出力電圧まで充電されないようにできます。

Copyright © 2026 Texas Instruments Incorporated

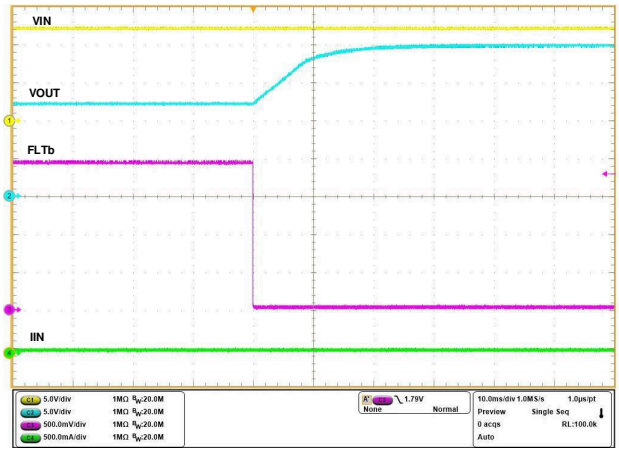


図 7-15. 出力での低速な電圧ランプ時の逆電流ブロック性能

出力ストレージ素子 (バルク キャパシタまたはスーパー キャパシタ) が最大電圧まで充電されている間に入力電源がドループしたり接続解除されたりした場合、リニア OR 接続方式により、OUT から IN への自己放電が最小化されます。これにより、重要な電源バックアップ アプリケーションで、出力ストレージ素子の最大ホールドアップ時間を確保できます。

また、入力電圧を検知して電源が接続されているかどうかを検出するアプリケーションでの電源の存在の誤表示も防止します。

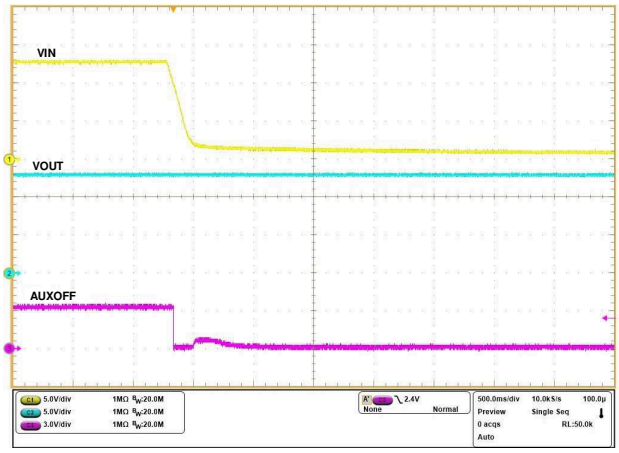


図 7-16. 入力電源故障時の逆電流ブロック性能

7.3.8 過熱保護 (OTP)

このデバイスは内部ダイ温度 (T_J) を常に監視し、温度が安全動作レベル (TSD) を超えると即座に部品をシャットダウンして、デバイスを損傷から保護します。接合部温度が十分に低下するまで (つまり、ダイ温度が (TSD – TSD_{HYS}) を下回るまで)、デバイスはオンに戻りません。

TPS25947xL (ラッチオフ バリアント) は熱的過負荷を検出するとシャットダウンし、デバイスの電源をオフにして再サイクルするか、再度有効になるまでラッチオフ状態を維持します。TPS25947xA (自動再試行バリアント) が熱的過負荷を検出すると、温度が TSD_{HYS} によって十分に下がるまでオフに維持されます。その後、デバイスは t_{RST} の追加の遅延時間オフのまま維持され、その後デバイスがイネーブルのままなら、自動的にオンを試みます。

表 7-2. サーマル シャットダウン

デバイス	TSD 開始	TSD 終了
TPS25947xL (ラッチオフ)	$T_J \geq TSD$	$T_J < TSD – TSD_{HYS}$ V_{IN} が 0V にサイクルされ、$V_{UVP(R)}$ を上回る、または EN/UVLO が $V_{SD(F)}$ より低くトグルされる
TPS25947xA (自動再試行)	$T_J \geq TSD$	$T_J < TSD – TSD_{HYS}$ V_{IN} が 0V にサイクルされ、$V_{UVP(R)}$ を上回る、または EN/UVLO が $V_{SD(F)}$ より低くトグルされる、あるいは $_{RST}$ タイマが期限切れになる

7.3.9 故障応答および表示 ($\overline{FLT}$)

次の表は、各種故障条件に対するデバイスの応答をまとめたものです。また、TPS259470x バリアントでは、アクティブ "Low" の外部故障表示 ($\overline{FLT}$) ピンを利用できます。

表 7-3. 故障のまとめ

イベント	保護応答	内部でラッチされた故障	$\overline{FLT}$ ピンのステータス (1)	$\overline{FLT}$ のアサート遅延(1)
過熱	シャットダウン	Y	L	
低電圧 (UVP または UVLO)	シャットダウン	N	H	
入力逆極性	シャットダウン	N	H	
入力過電圧	シャットダウン(1) (2)	N	H	
	電圧クランプ(2)	N	該当なし	
過渡過電流 ($I_{LIM} < I_{OUT} < 2 \times I_{LIM}$)	なし	N	N	
継続的な過電流	サーキット ブレーカ(3)	Y	該当なし	
継続的な過電流	電流制限(4)	N	L	t_{ITIMER}
GND への出力短絡	電流制限によるサーキット ブレーカ	N	H	
ILM ピンは開放 (定常状態中)	シャットダウン	N	L	t_{ITIMER}
ILM ピンは GND へ短絡	シャットダウン	Y	L	t_{ITIMER}
逆電流 ($(V_{OUT} – V_{IN}) > V_{REVTH}$)	逆電流保護	N	L	

(1) TPS259470x バリアントにのみ適用。
(2) TPS259472x バリアントにのみ適用。
(3) TPS259474x バリアントにのみ適用。
(4) TPS259470x/2x バリアントにのみ適用。

Copyright © 2026 Texas Instruments Incorporated

内部でラッチされた故障は、部品の電源をサイクルする (V_{IN} を 0V にプルする) か、EN/UVLO ピンの電圧を V_{SD} 未満にプルすることでクリアできます。これにより、TPS259470x バリアントの $\overline{FLT}$ ピンも解放され、TPS25947xA (自動再試行) バリアントの t_{RST} タイマがリセットされます。

ラッチされた故障では、EN/UVLO を UVLO スレッショルドよりもわずかに低くプルしても、デバイスに影響はありません。これは、TPS25947xL (ラッチオフ) および TPS25947xA (自動再試行) 両方のバリアントに当てはまります。

TPS25947xA (自動再試行) バリアントでは、故障後に t_{RST} タイマが期限切れになると、デバイスが自動的に再起動し、$\overline{FLT}$ ピンがデアサートされます (TPS259470A バリアント)。

7.3.10 補助チャネル制御 (AUXOFF)

TPS259470x バリアントは、優先入力電源が有効範囲 (UVP/UVLO より高く、OVLO スレッショルドを下回っている) に達し、デバイスが突入シーケンスを正常に完了したことを示すアクティブ High デジタル出力 (AUXOFF) を備えています。AUXOFF ピンはオープンドレイン信号であり、外部電源にプルアップする必要があります。

パワーアップ後、AUXOFF ピンは初期状態で Low にプルされます。デバイスは突入シーケンスを開始し、HFET が制御された方法でオンになります。FET ゲート電圧がフル オーバードライブに達し、突入シーケンスが完了し、デバイスが最大出力を供給できることを示すと、AUXOFF ピンが High にアサートされます。その後、入力電源が無効になった (UVP/UVLO 未満、または OVLO スレッショルドを上回っている) 場合にのみ、AUXOFF ピンがデアサートされます。負荷側のイベント/故障で AUXOFF のデアサートを制御することはできません。

2 つの TPS259470x デバイスを優先パワー マルチプレクサ構成で接続する場合に、このピンを使用して補助チャネルを制御します。また、ダウンストリーム負荷またはシステム スーパーバイザへの電源の有効ステータス表示としても使用できます。

表 7-4. TPS259470x AUXOFF 表示のまとめ

イベント	AUXOFF ピン
低電圧 (UVP または UVLO)	L
入力逆極性	L
過電圧 (OVLO)	L
突入電流	L
定常状態	H
過電流	H
短絡	H
ILM ピンは開放	H
ILM ピンは GND へ短絡	H
逆電流 ($(V_{OUT} – V_{IN}) > V_{REVTH}$)	H
過熱	H

デバイスに電源が供給されていない場合、AUXOFF ピンは Low のままであることが期待されています。しかし、この状態では、このピンを 0V まで完全に引き下げるためのアクティブ プルダウンはありません。AUXOFF ピンが、デバイスの電源が入っていない場合でも存在する独立した電源にプルアップされている場合、プルアップ電源電圧と抵抗によって決まるピンのシンク電流に応じて、このピンにわずかな電圧が生じることがあります。シンク電流を最小化して、この状態で関連する外部回路によってロジック HIGH として検出されないよう、このピン電圧を十分に低く維持します。これにより、優先パワー マルチプレクサ構成で補助チャネルが誤ってオフになることを防止できます。

Copyright © 2026 Texas Instruments Incorporated

7.3.11 パワー グッド表示 (PG)

TPS259472x、TPS259474x バリアントは、パワーグッド通知信号として機能するアクティブ High デジタル出力 (PG) を備えており、デバイスの状態情報とともに PGTH ピンの電圧に応じて High にアサートされます。PG はオープン ドレインのピンであり、外部電源にプルアップする必要があります。

パワーアップ後、PG は初期状態で Low に引き下げられます。デバイスは突入シーケンスを開始し、HFET が制御された方法でオンになります。HFET ゲート電圧がフル オーバー ドライブに達し (これにより突入電流シーケンスの完了が示される)、かつ PGTH の電圧が $V_{PGTH(R)}$ を上回った場合、グリッチ除去時間 (t_{PGA}) 経過後に PG 信号がアサートされます。

通常動作時、PGTH の電圧が $V_{PGTH(F)}$ を下回るか、またはデバイスが故障 (過電流を除く) を検出すると、PG はデアサートされます。PG のデアサート時のグリッチ除去時間は t_{PGD} です。

Copyright © 2026 Texas Instruments Incorporated

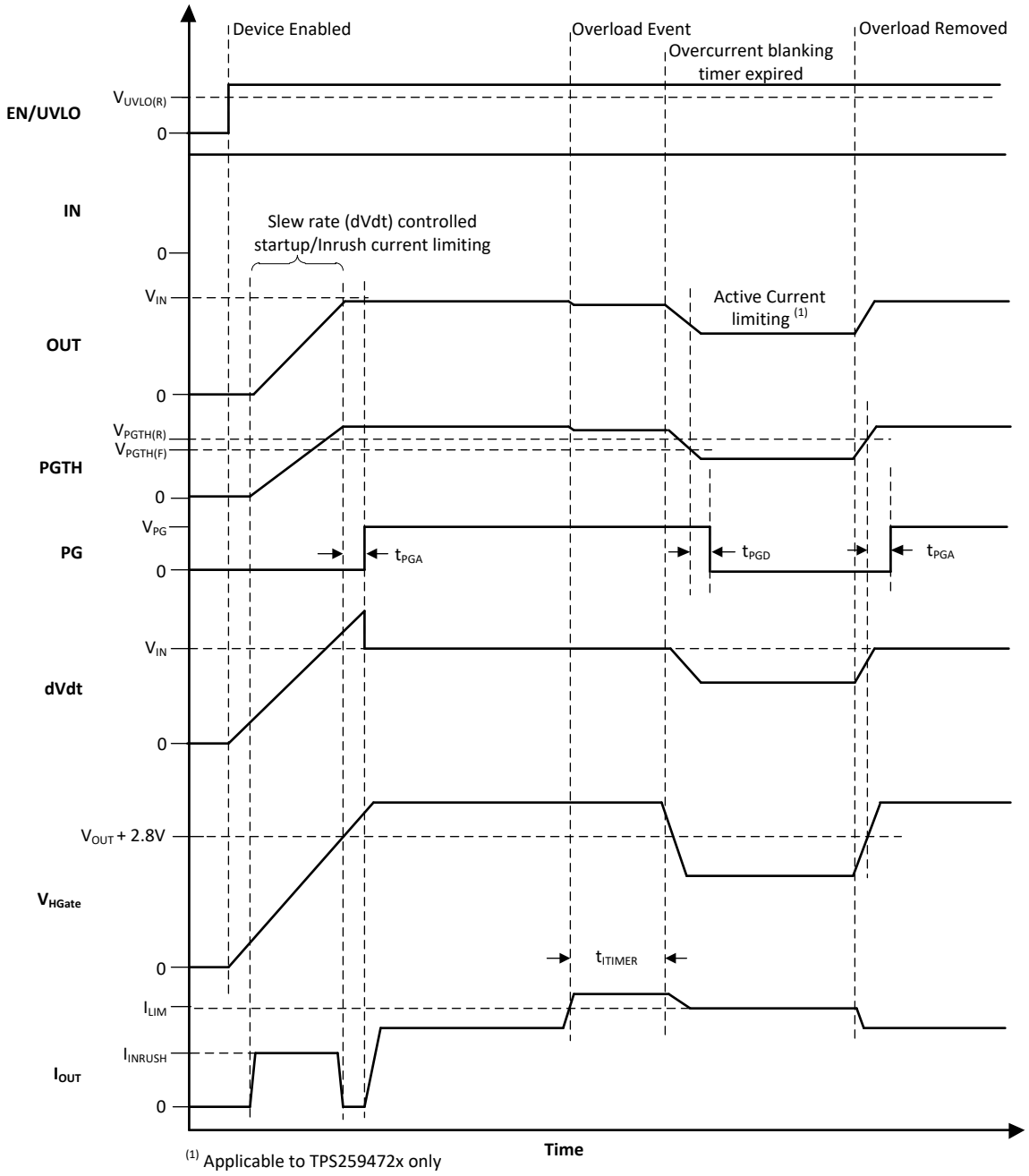


図 7-17. TPS259472x、TPS259474x PG タイミング図

表 7-5. TPS259472x、TPS259474x PG 表示のまとめ

イベント	保護応答	PG ピン	PG 遅延
低電圧 (UVP または UVLO)	シャットダウン	L	
入力逆極性	シャットダウン	L	
過電圧 (OVC) (TPS259472x のみ)	クランプ	H (PGTH ピン電圧が > $V_{PGTH(R)}$ の場合) L (PGTH ピン電圧が < $V_{PGTH(F)}$ の場合)	t_{PGA} t_{PGD}

表 7-5. TPS259472x、TPS259474x PG 表示のまとめ (続き)

イベント	保護応答	PG ピン	PG 遅延
過電圧 (OVLO) (TPS259474x のみ)	シャットダウン	L (PGTH ピン電圧が < $V_{PGTH(F)}$ の場合)	t_{PGD}
定常状態	該当なし	H (PGTH ピン電圧が > $V_{PGTH(R)}$ の場合) L (PGTH ピン電圧が < $V_{PGTH(F)}$ の場合)	t_{PGA} t_{PGD}
過渡過電流	該当なし	H (PGTH ピン電圧が > $V_{PGTH(R)}$ の場合) L (PGTH ピン電圧が < $V_{PGTH(F)}$ の場合)	t_{PGA} t_{PGD}
持続的過負荷 (TPS259472x のみ)	電流制限	H (PGTH ピン電圧が > $V_{PGTH(R)}$ の場合) L (PGTH ピン電圧が < $V_{PGTH(F)}$ の場合)	t_{PGA} t_{PGD}
持続的過負荷 (TPS259474x のみ)	シャットダウン	L	
GND への出力短絡	高速トリップ後の電流制限	H (PGTH ピン電圧が > $V_{PGTH(R)}$ の場合) L (PGTH ピン電圧が < $V_{PGTH(F)}$ の場合)	t_{PGA} t_{PGD}
ILM ピンは開放	シャットダウン	L (PGTH ピン電圧が < $V_{PGTH(F)}$ の場合)	t_{PGD}
ILM ピンは GND へ短絡	シャットダウン	L (PGTH ピン電圧が < $V_{PGTH(F)}$ の場合)	t_{PGD}
逆電流 ((V_{OUT} – V_{IN}) > V_{REVTH})	逆電流ブロッキング	L	t_{PGD}
過熱	シャットダウン	L	

デバイスに電源が供給されていない場合、PG ピンは Low のままであることが期待されています。しかし、この状態では、このピンを 0V まで完全に引き下げるためのアクティブ プルダウンはありません。PG ピンが、デバイスの電源が入っていない場合でも存在する独立した電源にプルアップされている場合、プルアップ電源電圧と抵抗によって決まるピンのシンク電流に応じて、このピンにわずかな電圧が生じることがあります。シンク電流を最小化して、この状態で関連する外部回路によってロジック HIGH として検出されないよう、このピン電圧を十分に低く維持します。

7.4 デバイスの機能モード

表 7-6. TPS259472x の過電圧クランプ スレッショルドの選択

OVCSEL ピン接続	過電圧クランプ スレッショルド
GND へ短絡	3.8V
オープン	5.7V
390kΩ 抵抗を介して GND に接続	13.8V

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPS25947xx は、2.7V ～ 23V、5.5A の eFuse であり、一般に電源レールの保護用途に使用されます。デバイスは、2.7V ～ 23V で動作し、調整可能な過電圧保護および低電圧保護機能を備えています。デバイスは、突入電流を制御する機能を搭載しており、入力逆極性や逆電流状態からの保護を実現します。デバイスは、アダプタの入力保護、USB PD ポートの保護、サーバー/PC マザーボード/アドオン カード、エンタープライズ ストレージ (RAID/HBA/SAN/eSSD)、モニタ、ドックなど、多様なシステムで使用できます。以降のセクションで説明する設計手順を使用すると、アプリケーションの要件に基づいてサポート部品の値を選択できます。さらに、スプレッドシート設計ツールである「TPS25947xx 設計カリキュレータ」を Web 製品フォルダで入手できます。

8.1.1 シングル デバイス、自己制御型

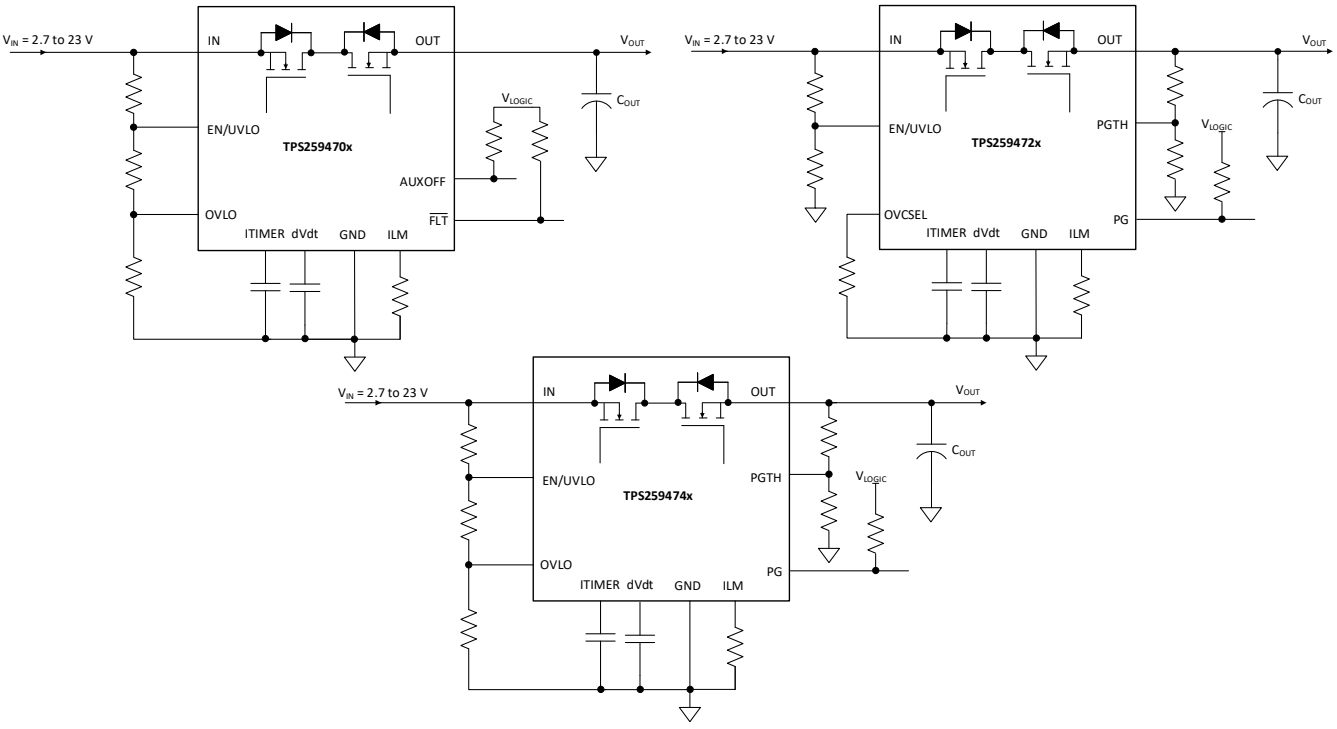


図 8-1. シングル デバイス、自己制御型

その他のバリエーション:

ホスト マイコン制御システムでは、EN/UVLO または OVLO をホスト GPIO から駆動して、デバイスを制御することもできます。

電流監視の目的で、ILM ピンをマイコンの ADC 入力に接続できます。

Copyright © 2026 Texas Instruments Incorporated

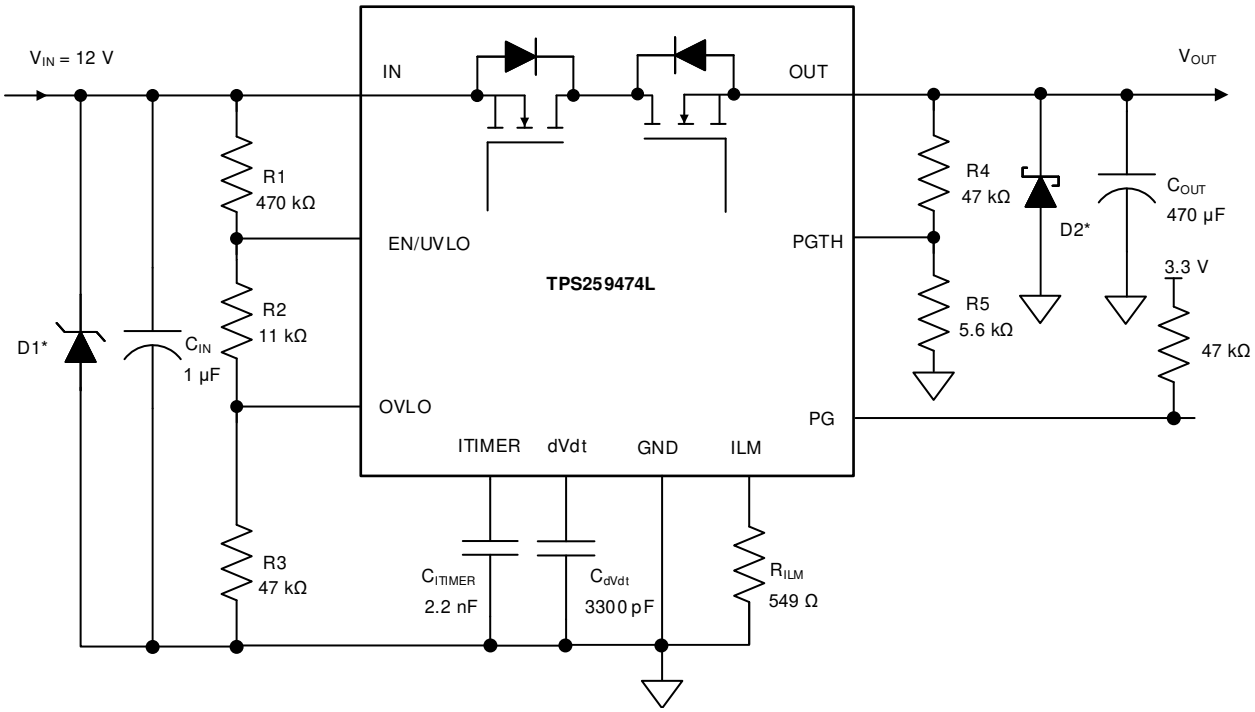
注

TI は、安定した動作を確保するために、ILM ピンの寄生容量は 50pF 未満にすることを推奨します。

TPS259472x/4x バリアントでは、V_{IN} と V_{OUT} のどちらかを使用して PGTH 抵抗デバイダを駆動でき、パワーグッド表示のためにどの電源を監視する必要があるかに応じて設定できます。

8.2 代表的なアプリケーション

TPS259474x は、PCIe カードの入力電源保護に使用できます。フルサイズの x16 グラフィック カードは、+12V (66W) で最大 5.5A を消費できます。一般的な PCIe スロットは、最大 6A の電流を供給する能力があります。負荷側での過電流または短絡イベント中、TPS259474x はデバイスをオフにすることでこの故障イベントに迅速に応答します。これにより、負荷を損傷から保護し、入力電源のドループを防止できます。ITIMER 機能を使用すると、eFuse をトリップせずに短時間のピーク電流を通過させることができるため、グラフィック カードの過渡負荷電流プロファイルを満たすことができます。



入力および出力インダクタンスに応じた過渡保護のために必要なオプションの回路部品。詳細については、「過渡保護」セクションを参照してください。

図 8-2. PCIe カード入力電源保護

8.2.1 設計要件

表 8-1. 設計パラメータ

パラメータ	値
入力電源電圧 (V_{IN})	12V
低電圧スレッショルド ($V_{IN(UV)}$)	10.8V
過電圧スレッショルド ($V_{IN(OV)}$)	13.2V
出力パワー グッド スレッショルド (V_{PG})	11.4V
最大連続電流	5.5A
負荷過渡ブランキング間隔 (t_{ITIMER})	2ms
出力キャパシタンス (C_{OUT})	470µF

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 設計パラメータ (続き)

パラメータ	値
出力立ち上がり時間 (t_R)	20ms
過電流スレッショルド (I_{LIM})	6A
過電流応答	サーキット ブレーカ
故障応答	ラッチオフ

8.2.2 詳細な設計手順

8.2.2.1 デバイスの選択

アプリケーションでは、故障後のラッチオフ応答を備えた過電流に対するサーキット ブレーカ応答が必要なため、「デバイス比較表」を参照して、TPS259474L バリアントを選択します。

8.2.2.2 低電圧および過電圧スレッショルドの設定

電源の低電圧および過電圧スレッショルドは、抵抗 R1、R2、R3 を使用して設定します。これらの値は、式 10 および 式 11 を使用して計算できます。

$$V_{IN(UV)} = \frac{V_{UVLO(R)} \times [R1 + R2 + R3]}{R2 + R3} \quad (10)$$

$$V_{IN(OV)} = \frac{V_{OV(R)} \times [R1 + R2 + R3]}{R3} \quad (11)$$

ここで、$V_{UVLO(R)}$ は UVLO の立ち上がりスレッショルド、$V_{OV(R)}$ は OVLO の立ち上がりスレッショルドです。R1、R2、R3 は入力電源 V_{IN} から電流をリークするため、入力電源 V_{IN} からのリーク電流の許容範囲を考慮して、これらの抵抗を選択する必要があります。電源から R1、R2、R3 によって引き出される電流は、IR123 = V_{IN}/ (R1 + R2 + R3) です。ただし、この抵抗列に外部のアクティブ部品が接続されたことによるリーク電流は、これらの計算に誤差を生じさせる可能性があります。したがって、抵抗列電流 = IR123 は、EN/UVLO および OVLO ピンで予測されるリーク電流の 20 倍になるよう選択する必要があります。

デバイスの電気的仕様では、EN/UVLO と OVLO の両方のリーク電流が 0.1µA (最大値)、$V_{OV(R)}$ = 1.2V、$V_{UVLO(R)}$ = 1.2V となります。設計要件から、$V_{IN(OV)}$ = 13.2V、$V_{IN(UV)}$ = 10.8V です。式を解くには、まず R1 = 470kΩ の値を選択し、上式を用いて R2 = 10.7kΩ と R3 = 48kΩ を求めます。

標準の 1% 抵抗で最も近い値を使用すると、R1 = 470kΩ、R2 = 11kΩ、R3 = 47kΩ とあります。

8.2.2.3 出力電圧立ち上がり時間の設定 (t_R)

適切な設計には、動的 (起動) 条件と定常状態条件の両方において、デバイスの接合部温度を絶対最大定格よりも低く維持する必要があります。動的な電力ストレスは安定しているストレスよりも数桁大きいため、適切な起動時間とシステム容量に必要な突入電流制限を決定して、起動時のサーマル シャットダウンを防止することが重要です。

適切な出力立ち上がり時間を実現するために必要なスルーレート (SR) は、次のようにして計算できます。

$$SR\left(\frac{V}{ms}\right) = \frac{V_{IN(V)}}{t_{R(ms)}} = \frac{12V}{20ms} = 0.6\frac{V}{ms} \quad (12)$$

このスルーレートを実現するために必要な C_{dVdt} は、次のように計算できます。

$$C_{dVdt}(pF) = \frac{2000}{SR\left(\frac{V}{ms}\right)} = \frac{2000}{0.6} = 3333pF \quad (13)$$

コンデンサの最も近い標準値として 3300pF を選択します。

このスルーレートの場合、突入電流は次のように計算できます。

$$I_{INRUSH}(mA) = SR\left(\frac{V}{ms}\right) \times C_{OUT}(\mu F) = 0.6 \times 470 = 282mA \quad (14)$$

突入時の部品内部での平均消費電力は、次のように計算できます。

$$PD_{INRUSH}(W) = \frac{I_{INRUSH}(A) \times V_{IN}(V)}{2} = \frac{0.282 \times 12}{2} = 1.69W \quad (15)$$

起動時の障害を避けるため、与えられた消費電力に対して、デバイスのサーマル シャットダウン時間をランプアップ時間 t_R よりも長くする必要があります。図 8-3 に、サーマル シャットダウン制限を示します。電力が 1.69W の場合、シャットダウン時間は 10s 以上で、t_R = 20ms と比較して非常に長くなっています。したがって、このアプリケーションの起動時間として 20ms を使用しても安全です。

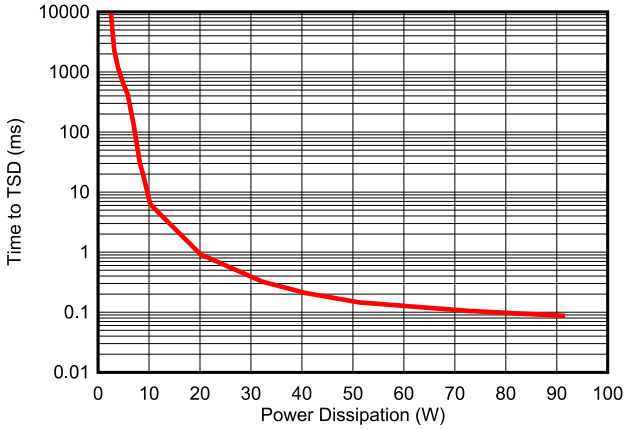


図 8-3. 突入電流時のサーマル シャットダウンのプロット

8.2.2.4 パワーグッド アサーション スレッショルドの設定

パワーグッド アサート スレッショルドは、PGTH ピンに接続されている抵抗 R4 および R5 を使用して設定できます。この値は次のように計算できます。

$$V_{PG} = \frac{V_{PGTH(R)} \times [R4 + R5]}{R5} \quad (16)$$

R4 と R5 は出力レール V_{OUT} から電流をリークするため、リーク電流を最小化するように、これらの抵抗を選択する必要があります。電源から R4、R5 によって引き込まれた電流は、IR45 = V_{OUT}/(R4 + R5) です。ただし、この抵抗列に外部のアクティブ部品が接続されたことによるリーク電流は、これらの計算に誤差を生じさせる可能性があります。したがって、抵抗列の電流 IR123 は、想定される PGTH リーク電流の 20 倍となるように選択する必要があります。

デバイスの電気的仕様では、PGTH のリーク電流が 1µA (最大)、$V_{PGTH(R)}$ = 1.2V で、設計要件では V_{PG} = 11.4V となります。式を解くには、まず R4 = 47kΩ の値を選択し、R5 = 5.52kΩ を計算します。R5 = 5.6kΩ として、最も近い 1% 標準抵抗値を選択します。

8.2.2.5 過電流スレッショルドの設定 (I_{LIM})

過電流保護 (サーキット ブレーカ) スレッショルドは、R_{ILM} 抵抗を使用して設定できます。この抵抗の値は、次のように計算できます。

$$R_{ILM}(\Omega) = \frac{3334}{I_{ILM}(A)} = \frac{3334}{6A} = 555.6\Omega \quad (17)$$

549Ω として、最も近い 1% 標準抵抗値を選択します。

Copyright © 2026 Texas Instruments Incorporated

8.2.2.6 過電流ブランキング間隔の設定 (t_{ITIMER})

過電流ブランキング タイマの間隔は、C_{ITIMER} コンデンサを使用して設定できます。この値は次のように計算できます。

$$C_{ITIMER}(nF) = \frac{t_{ITIMER}(ms) \times I_{ITIMER}(\mu A)}{\Delta V_{ITIMER}(V)} = \frac{2 \times 1.8}{1.51} = 2.38nF \quad (18)$$

コンデンサの最も近い標準値として 2.2nF を選択します。

8.2.3 アプリケーション曲線

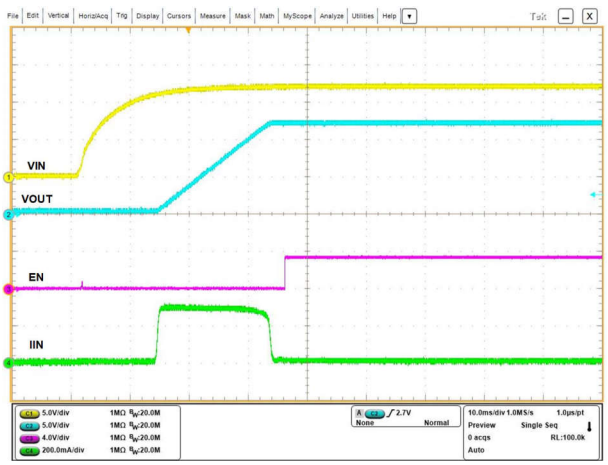


図 8-4. パワーアップ

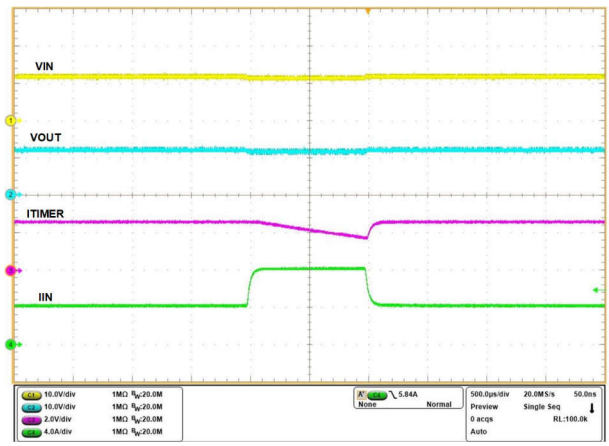


図 8-5. 過渡過負荷

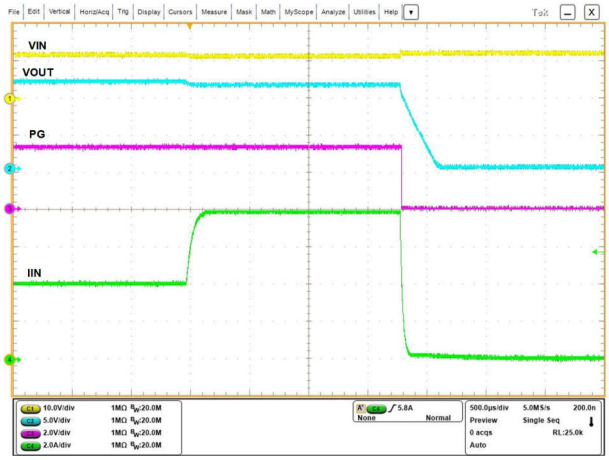


図 8-6. サーキット ブレーカ応答

8.2.4 アクティブ OR 接続

以下の図 8-7 に一般的な冗長電源構成を示します。ショットキー OR 接続ダイオードは、バッテリを使用する壁面アダプタやホールドアップ ストレージ コンデンサの並列動作など、並列電源の接続に一般的に使用されています。OR 接続ダイオードを使用した場合の短所は、高い電圧降下と関連する電力損失です。TPS259470x/4x は、低抵抗の双方向 FET を内蔵しており、シンプルで効率的なソリューションを提供します。次の図 8-7 に、TPS249474x デバイスを使用したアクティブ OR 接続の実装を示します。

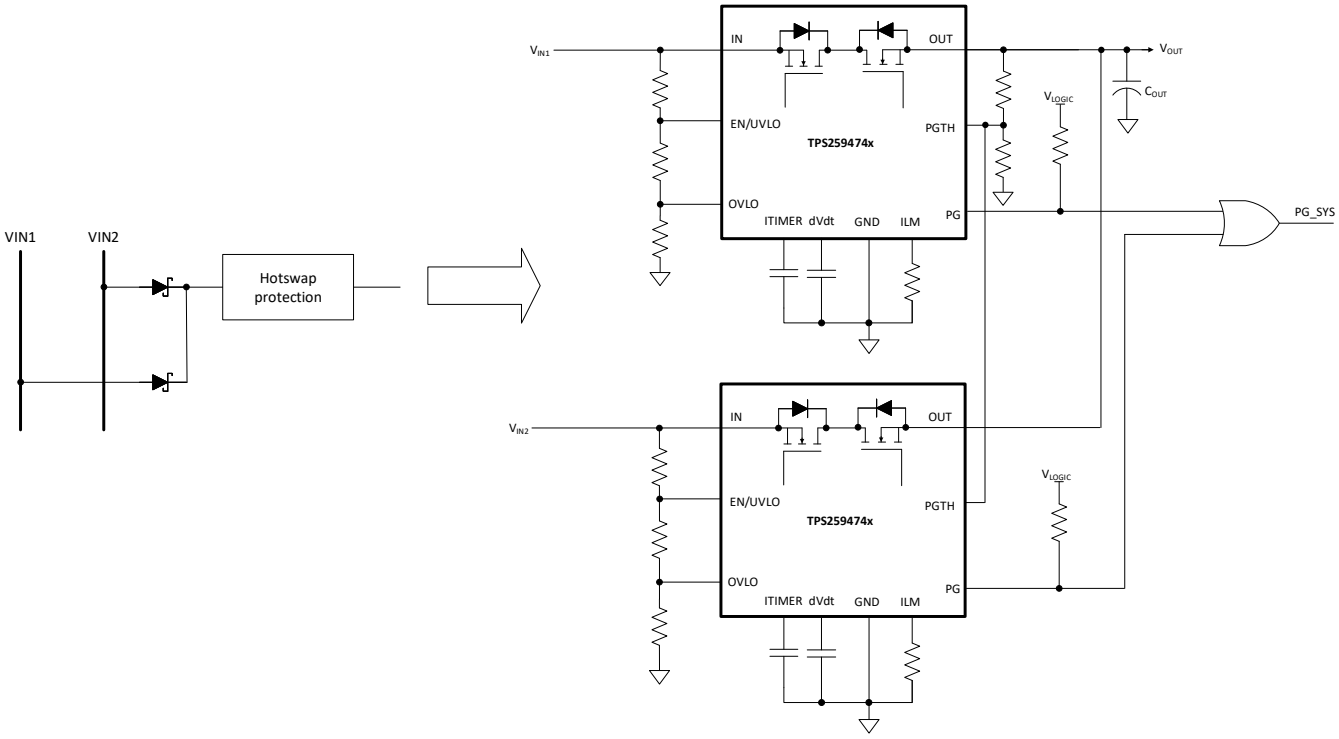


図 8-7. 2 つのデバイス、アクティブ OR 接続構成

TPS25947xx のリニア OR 接続メカニズムにより、どちらかの電源で高速または低速のランプが発生した場合に、一方の電源からもう一方の電源に逆電流が流れないことが保証されます。

以下の波形は、電源レールが順にランプアップされたときのアクティブ OR 接続動作を示しています。

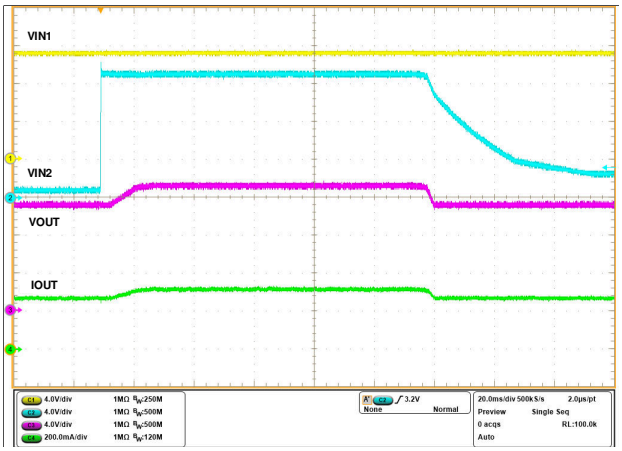


図 8-8. アクティブ OR 接続応答

Copyright © 2026 Texas Instruments Incorporated

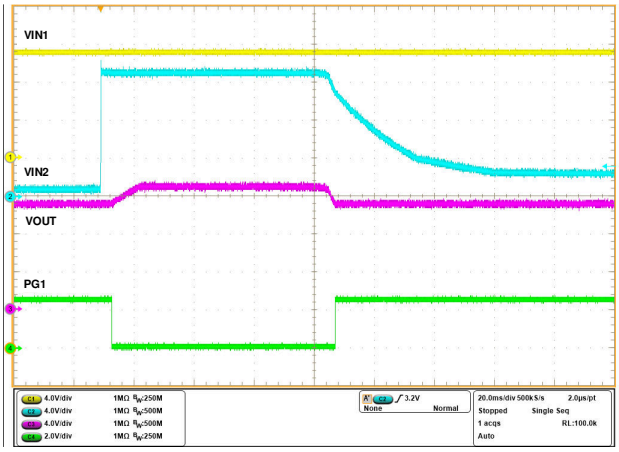


図 8-9. アクティブ OR 接続応答

バス電圧 (IN1 および IN2) が一致していると、各パスのデバイスは順方向の電圧降下を検出し、オンになって負荷電流を供給します。この期間中、電流は、各デバイス間の差動電圧降下比に応じてレール間で共有されます。

電源の OR 接続に加えて、このデバイスは過電圧、過剰な突入電流、過負荷、短絡故障から常にシステムを保護します。

注

1. TPS259472x (OVC バリアント) は、OR 接続アプリケーションでの使用には推奨されません。デバイスがクランプ状態の間、もう一方のチャネルによって出力が強制的に高い電圧になった場合、デバイスが損傷する可能性があります。
2. OR 接続は、類似した 2 つのレール間、または類似していないレール間で実行できます。電圧の組み合わせが偏っている OR 接続の場合は、低電圧側のチャネル デバイスの PGTH、EN、OVLO ピンに関連する回路部品を設計する際、他方のチャネルに高電圧が印加されたとしても、ピンの絶対最大定格が超過しないように配慮してください。また、dVdt ピンのコンデンサ定格は、2 つの電源のうち最も高いものに基づいて選択する必要があります。詳細については、「推奨動作条件」表を参照してください。

8.2.5 優先パワー マルチプレクシング

PCIe カード、タブレット、ポータブル バッテリ駆動機器などの 2 つのエネルギー ソースを使用するアプリケーションでは、いずれかの電源を他方より優先する必要があります。たとえば、主電源 (壁面アダプタ) は、内部バッテリのバックアップ電源よりも優先されます。これらのアプリケーションでは、メイン入力電圧がユーザー定義のスレッショルドを下回った場合にのみ、メイン電源からバックアップ電源への切り替えを必要とします。TPS25947xx デバイスは、優先パワー マルチプレクシングのニーズに対してシンプルなオプションを実現します。

以下の 図 8-10 に、TPS259470x デバイスを使用した標準的な優先パワー マルチプレクシングの実装を示します。1 次 (優先) 電源 (IN1) が存在し、有効範囲内にある場合 (UV/OV 状態ではない)、補助電源電圧 (V_{IN2}) が 1 次電源電圧 (V_{IN1}) 以上か未満かに関係なく、1 次パスのデバイス パスが OUT バスに電力を供給します。補助パスにあるデバイスは、1 次パス デバイスからの AUXOFF 信号を使用して OVLO ピンを強制的に "High" にすることでオフ状態に保持されます。

1 次電源電圧がユーザー定義の有効な動作範囲を外れると (UV/OV 状態)、1 次パス デバイスは AUXOFF をデアサートします。これにより、補助パス デバイスをオンにすることが通知され、システムは補助電源から動作を開始します。この遷移中、補助パス デバイスは dVdt によって制限された起動をバイパスし、t_{SWOV} 内で電力の供給を開始するための高速な復帰を実行します。

1 次電源が復帰すると、1 次パス デバイスは定義されたスルーレートで完全にオンになり、その後、AUXOFF ピンが "High" にアサートされて、補助パス デバイスがオフになります。これにより、出力電圧ドループが最小限で、貫通電流なしに、補助電源から 1 次電源へのシームレスな遷移が可能になります。

Copyright © 2026 Texas Instruments Incorporated

パワー マルチプレクシング アプリケーションにおける重要な検討事項は、ある電源から他の電源への切り替え時に出力バスがドループする最小電圧です。この場合、最小電圧は、出力負荷電流 (I_{LOAD})、出力バス ホールドアップ容量 (C_{OUT})、切り替え時間 (t_{SW}) など複数の要因に依存します。

1 次電源 (V_{IN1}) から補助電源 (V_{IN2}) へのスイッチング時、最小バス電圧は 式 19 を使用して計算できます。ここで、切り替え時間 (t_{SW}) は、TPS259470x のバリアントが完全にオンになり、負荷への電流の供給を開始するために必要な高速 OVLO 復帰時間 (t_{SWOV}) に等しくなります。

$$V_{OUT(min)}(V) = \min[V_{IN1}, V_{IN2}] - \frac{t_{SW}(\mu s) \times I_{LOAD}(A)}{C_{OUT}(\mu F)} \quad (19)$$

補助電源 (V_{IN2}) から 1 次電源 (V_{IN1}) へのスイッチング時、最小バス電圧は 式 20 を使用して計算できます。ここで、最大切り替え時間は、最初に V_{IN1} が V_{IN2} と等しいか、それ未満であるかに応じて、RCB 復帰時間 (t_{SWRCB}) と等しくなります。

$$V_{OUT(min)}(V) = \min[V_{IN1}, V_{IN2}] - V_{FWDTH}(V) - \frac{t_{SWRCB}(\mu s) \times I_{LOAD}(A)}{C_{OUT}(\mu F)} \quad (20)$$

デバイスの AUXOFF ピンは、2 つの電源のうちどちらが有効で、負荷に電力を供給しているかを識別するためのデジタル表示として使用できます。

Copyright © 2026 Texas Instruments Incorporated

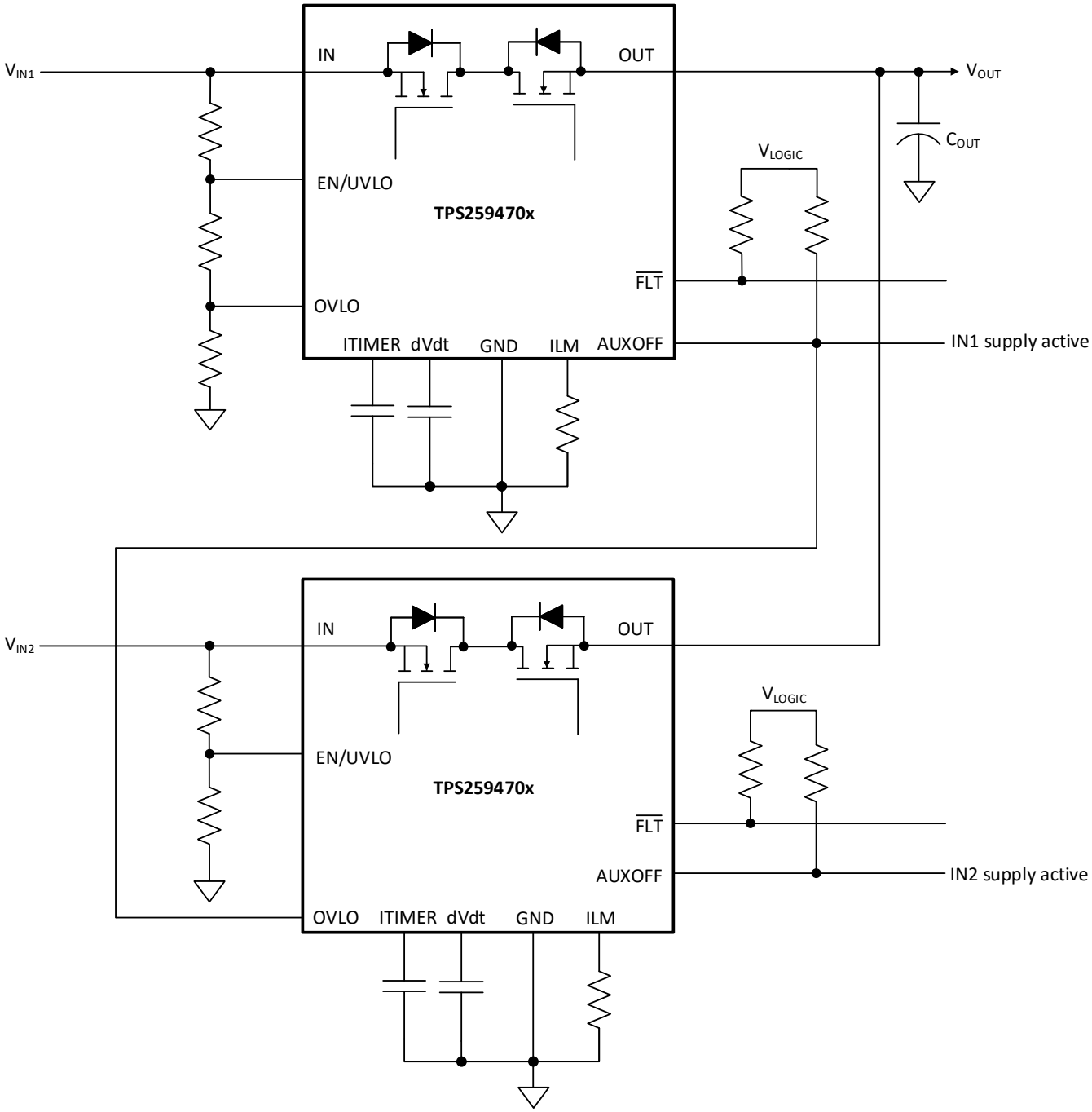


図 8-10. 2 つの TPS259470x を使用した優先パワー マルチプレクシング - オプション 1

この構成は、両方のチャネルのアクティブ電流制限保護と 1 次チャネルの過電圧保護など、複数の利点を備えた、最もコンパクトな優先されるパワー マルチプレクシング ソリューションを提供します。また、1 次側から補助側への切り替え時間が最も短縮されますが、その代償として、1 次パスがアクティブである間、補助パスの静止電流がわずかに増加します。また、使用する外付け部品は最少ですが、補助チャネルで過電圧保護をバイパスするという犠牲をはらいます。

以下の波形は、優先パワー マルチプレクシング構成における TPS259470x の性能を示しています。

Copyright © 2026 Texas Instruments Incorporated

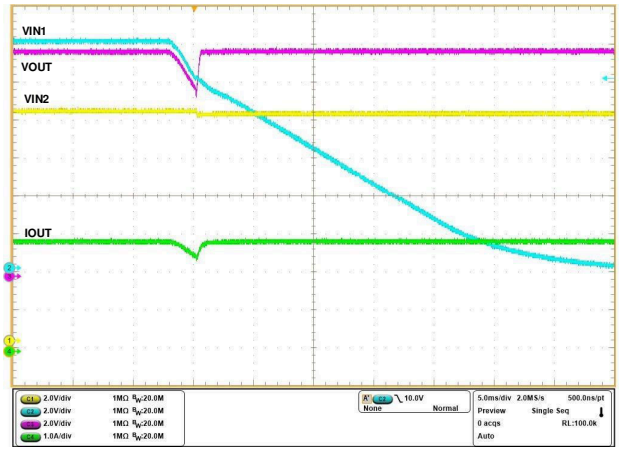


図 8-11. TPS259470x パワー マルチプレクサ - 1 次電源から補助電源への切り替え

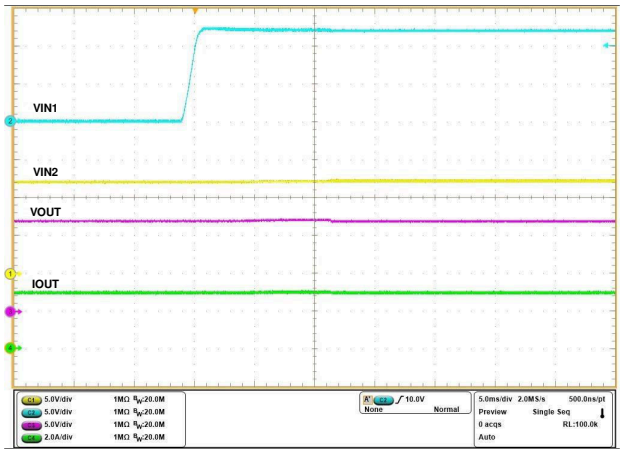


図 8-12. TPS259470x パワー マルチプレクサ - 補助電源から 1 次電源への切り替え

両方のチャネルで過電圧保護が必要な場合、上記のバリエーションを構成できます。以下の 図 8-13 に示されているように、この場合は、補助パス デバイスの OVLO ピンを駆動するために追加の信号 N-FET が必要です。切り替え時間は、以前の構成と同様です。

Copyright © 2026 Texas Instruments Incorporated

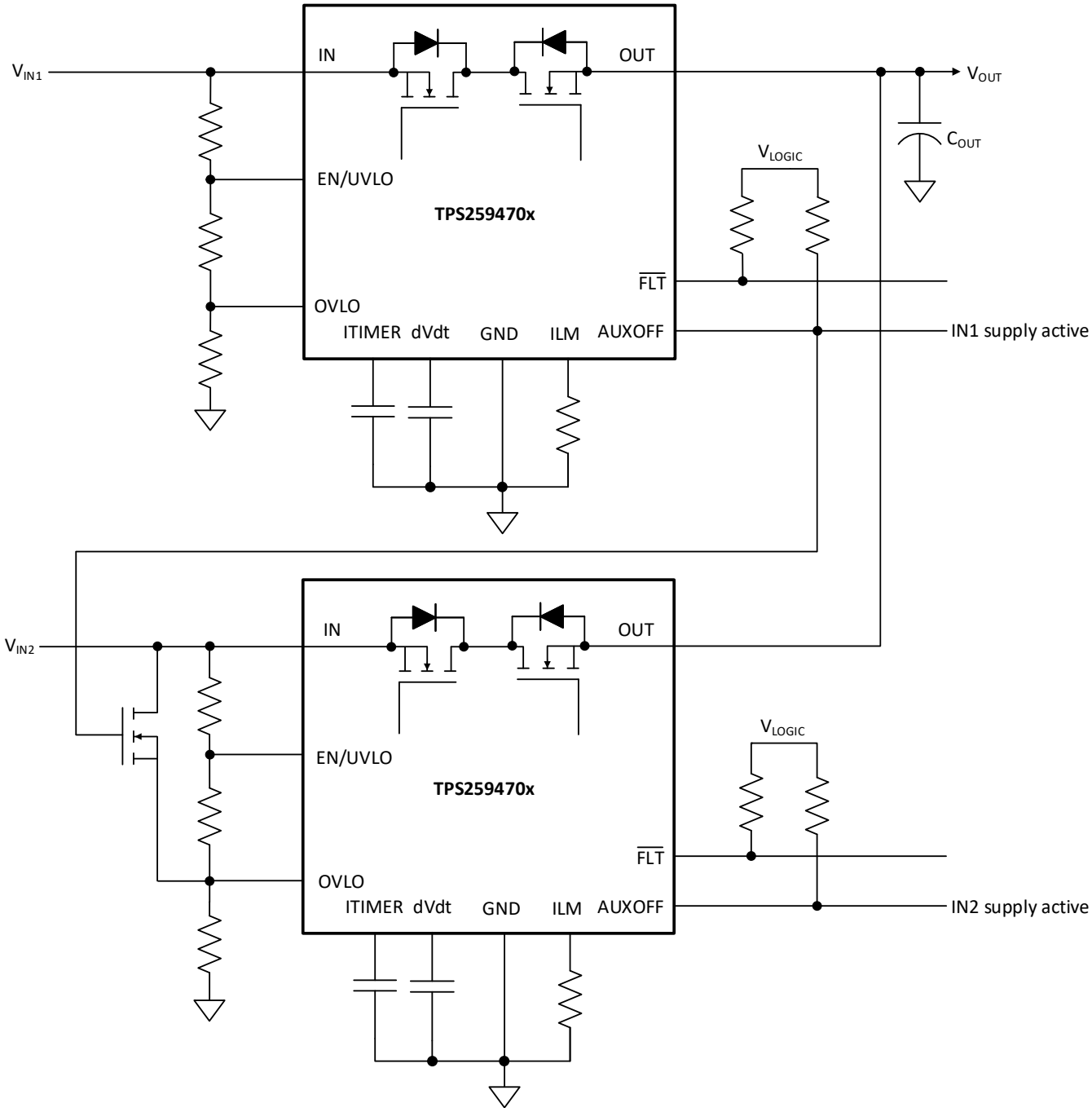


図 8-13. 2 つの TPS259470x を使用した優先パワー マルチプレクシング - オプション 2

図 8-14 に示されているように、前述の構成のもう 1 つのバリエーションにより、1 次チャネルがアクティブである間、補助チャネルの静止電流が最小になりますが、補助パス デバイスの EN/UVLO ピンを駆動するために、追加の N-FET が必要になります。同時に、前の構成に比べて、1 次側電源から補助電源への切り替え遅延が長くなります。

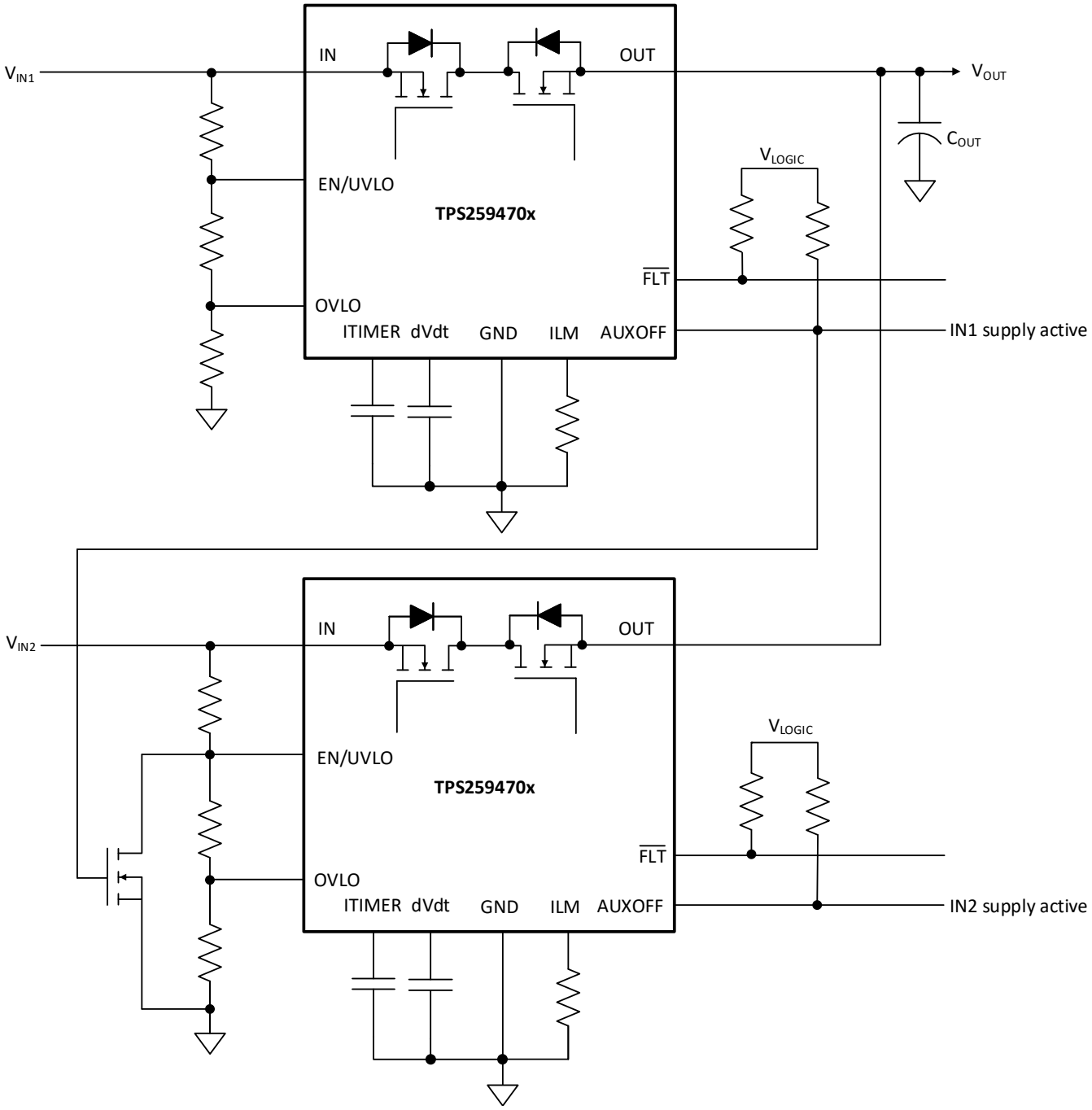


図 8-14. 2 つの TPS259470x を使用した優先パワー マルチプレクシング - オプション 3

高い電源レールから低い電源レールに切り替えるとき、最小バス電圧は 式 21 を使用して計算できます。この場合、切り替え時間は、デバイスが逆電流ブロック状態 (t_{SWRCB}) から復帰するのに必要な時間に等しくなります。

$$V_{OUT(min)}(V) = \min[V_{IN1}, V_{IN2}] - V_{FWDTH}(V) - \frac{t_{SWRCB}(\mu s) \times I_{LOAD}(A)}{C_{OUT}(\mu F)} \quad (21)$$

低い電源レールから高い電源レールに切り替えるとき、最小バス電圧は 式 22 を使用して計算できます。ここで、切り替え時間 (t_{SW}) は、デバイスが完全にオンになり、負荷への電流の供給を開始するために必要な時間です。これは、デバイス

Copyright © 2026 Texas Instruments Incorporated

のターンオン時間 (t_{ON}) に等しくなります。この時間には、dVdt コンデンサ (C_{dVdt}) とバス電圧により決定されるターンオン遅延 ($t_{D,ON}$) と立ち上がり時間 (t_R) が含まれます。

$$V_{OUT(min)}(V) = \min[V_{IN1}, V_{IN2}] - \frac{t_{SW}(\mu s) \times I_{LOAD}(A)}{C_{OUT}(\mu F)} \quad (22)$$

これまでのすべての構成は、アクティブ電流制限保護応答を備えた優先パワー マルチプレクシング ソリューションを提供します。以下の 図 8-15 に示されているように、サーキット ブレーカ応答が望ましい場合は、TPS259474x デバイスを使用してオプションを実装することができます。ここでは、1 次パス デバイスの EN/UVLO 信号を使用して、補助パス デバイスの OVLO を制御します。これにより、1 次電源がユーザー定義の低電圧 (UVLO) スレッショルドを下回ったときにのみ、補助パス デバイスがオンになることを確認できます。この構成では、両方のチャネルで電源過電圧保護を利用することができません。デバイスの PG ピンは、2 つの電源のうちどちらが有効で、負荷に電力を供給しているかを識別するためのデジタル表示として使用できます。

Copyright © 2026 Texas Instruments Incorporated

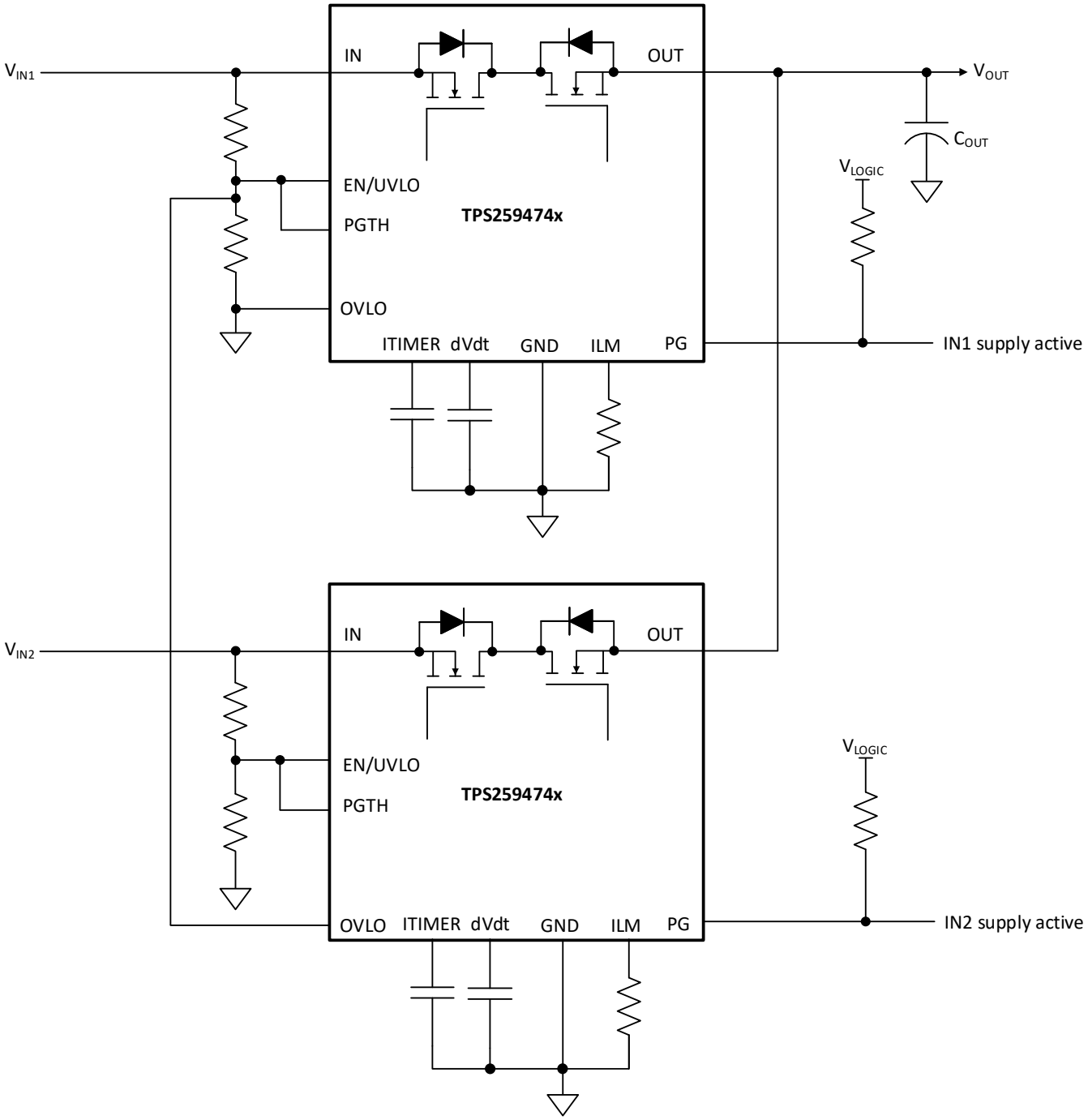


図 8-15. 2 つの TPS259474x を使用した優先パワー マルチプレクシング

一方の電源レールから他方の電源レールへ切り替えるとき、最小バス電圧は 式 23 を使用して計算できます。ここで、最大切り替え時間 (t_{SW}) は、デバイスがオンになり、負荷への電力の供給を開始するために必要な時間です。これは、デバイスのターンオン時間 (t_{ON}) に等しくなります。この時間には、dVdt コンデンサ (C_{dVdt}) とバス電圧により決定されるターンオン遅延 ($t_{D,ON}$) と立ち上がり時間 (t_R) が含まれます。

$$V_{OUT(min)}(V) = \min[V_{IN1}, V_{IN2}] - \frac{t_{SW}(\mu s) \times I_{LOAD}(A)}{C_{OUT}(\mu F)} \quad (23)$$

Copyright © 2026 Texas Instruments Incorporated

注

1. TPS259472x (OVC バリアント) は、パワー マルチプレクシングまたは OR 接続アプリケーションでの使用には推奨されません。デバイスがクランプ状態の間、もう一方のチャネルによって出力が強制的に高い電圧になった場合、デバイスが損傷する可能性があります。
2. パワー マルチプレクシングは、2 つの類似のレール (12V の 1 次と 12V の補助、3.3V の 1 次と 3.3V 補助など) 間、または異なるレール (12V の 1 次と 5V 補助、またはその逆など) 間で実行できます。
3. 異なる電圧を組み合わせたパワー マルチプレクシングの場合は、低電圧側のチャネル デバイスの PGTH、EN、OVLO ピンに関連する回路部品を設計する際、他方のチャネルに高電圧が印加されたとしても、ピンの絶対最大定格が超過しないように配慮してください。また、dVdt ピンのコンデンサ定格は、2 つの電源のうち最も高いものに基づいて選択する必要があります。詳細については、「推奨動作条件」表を参照してください。

8.2.6 USB PD ポートの保護

PC、ノート PC、ドッキング ステーション、モニタなどの最終製品は USB PD ポートを備えており、DFP (ソース)、UFP (シンク)、または DRP (ソース + シンク) として構成可能です。以下の 図 8-16 に示されているように、TPS259470x は個別に使用すること、または LM73100 と組み合わせて使用することができ、USB PD ポートのパワー パス保護要件を処理できます。

TPS259470x は、ソース パスで過電流および短絡保護を実現すると同時に、ポートから内部ソースの電源レールへの逆電流をブロックします。逆電流ブロックからの高速復帰 (t_{SWRCB}) により、高速なロール スワップ (FRS) イベント中の電源ドループを最小化できます。また、PD コントローラは OVLO ピンをロー イネーブル信号として使用して、パワー パスを制御することもできます。OVLO ピンを High に保持すると、デバイスはシンク モードでオフ状態に維持され、両方向の電流をブロックできます。PD コントローラは、電力の供給を開始する必要があると判断した後、OVLO ピンを Low にして、t_{SWOV} 以内にオフからオンへの高速回復をトリガし、FRS タイミング要件を満たすことができます。

LM73100 はシンク パスの過電圧保護を行うと同時に、内部シンク レールからポートへの逆電流をブロックします。

TPS259470x および LM73100 のリニア OR 接続メカニズムにより、どちらかの電源で高速または低速のランプが発生した場合に、一方の電源からもう一方の電源に逆電流が流れないことが保証されます。

Copyright © 2026 Texas Instruments Incorporated

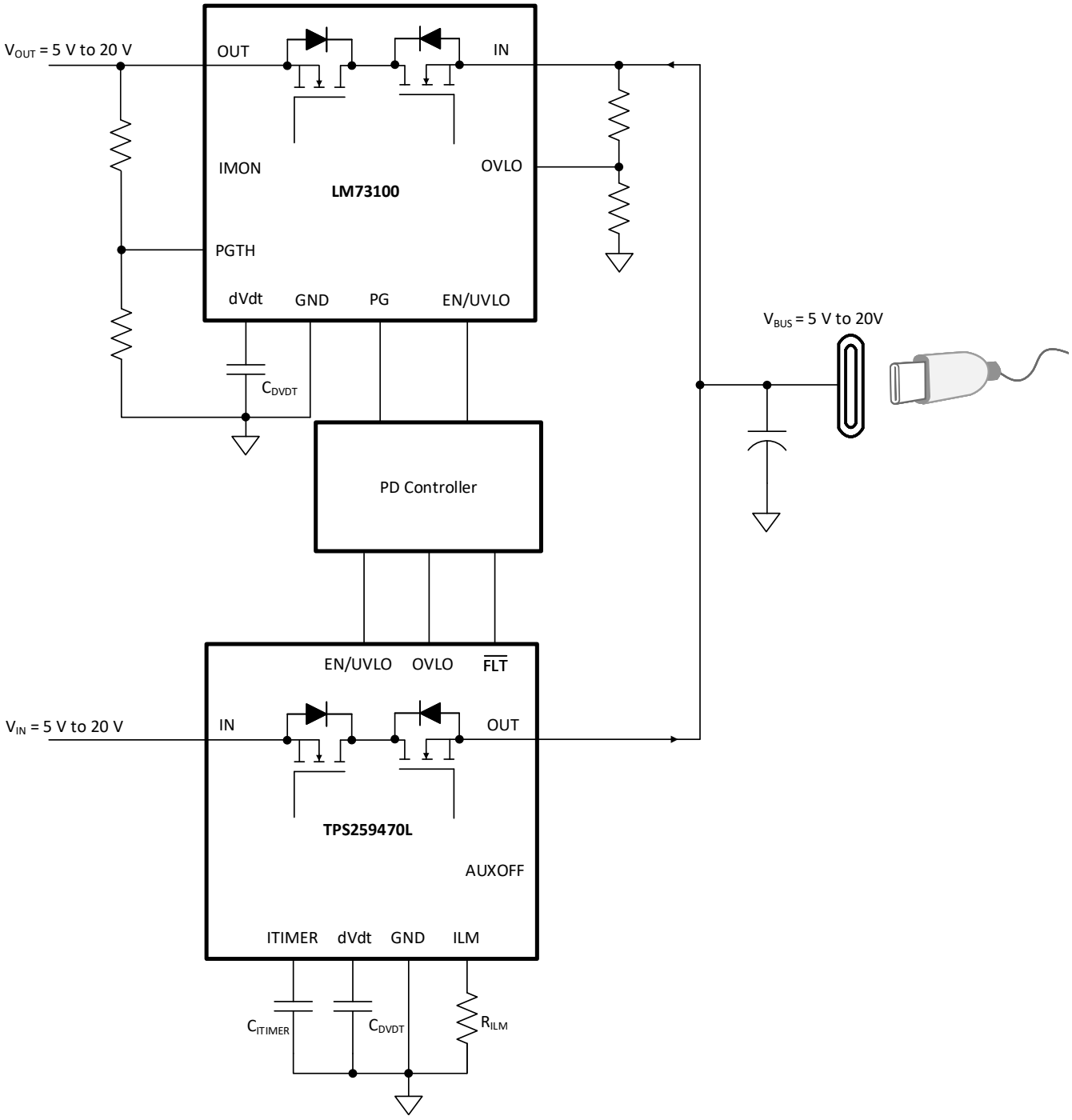
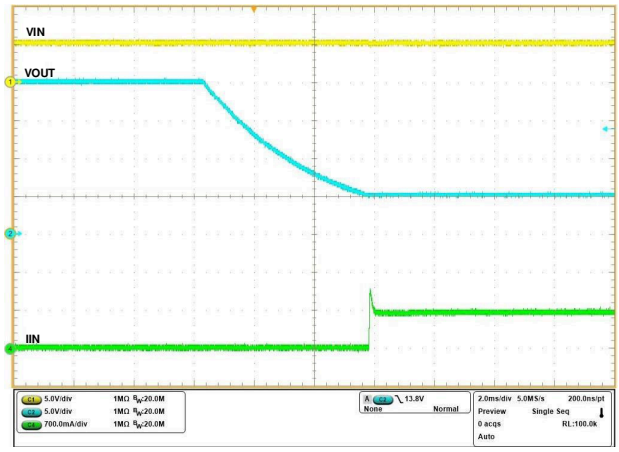


図 8-16. USB PD ポートの保護

以下の波形は、20V ソースが USB バスに接続されていないときの TPS259470x の動作を示しています。TPS259470x は最初、逆電流がブロックされている状態です。バス電圧がドループを開始すると、TPS259470x は状態を終了し、t_{SWRCB} 以内に vSafe5V(min) を上回るバス電圧を回復するための高速充電を実行します。これにより、USB FRS (高速ロール スワップ) の要件を満たします。

Copyright © 2026 Texas Instruments Incorporated



V_{IN} = 5V、C_{OUT} = 10µF、R_{OUT} = 8Ω、V_{OUT} = 20V は当初は接続済みで、その後に接続解除

図 8-17. TPS259470x 5V ソース パス — USB 高速ロール スワップ応答

8.2.7 並列動作

図 8-18 に示されているように、より大きな定常電流を必要とするアプリケーションでは、2 つの TPS25947xx デバイスを並列接続して使用できます。この構成では、1 番目のデバイスが始めにオンになり、突入電流を制限します。2 番目のデバイスは、1 番目のデバイスの AUXOFF/PG 信号を使用して EN/UVLO ピンを Low に駆動することで、オフ状態に保持されます。突入シーケンスが完了すると、最初のデバイスは AUXOFF/PG ピンを High にアサートし、2 番目のデバイスをオンにします。2 番目のデバイスは、AUXOFF/PG 信号をアサートして、完全にオンになったことを示します。これは、並列組み合わせが完全な定常状態電流を供給できる状態であることをシステムに示します。

定常状態になると、両方のデバイスはほぼ等しく電流を共有します。R_{ON} の部品間のバラつきや PCB パターン抵抗の不一致に応じて、電流にわずかなスキューが発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

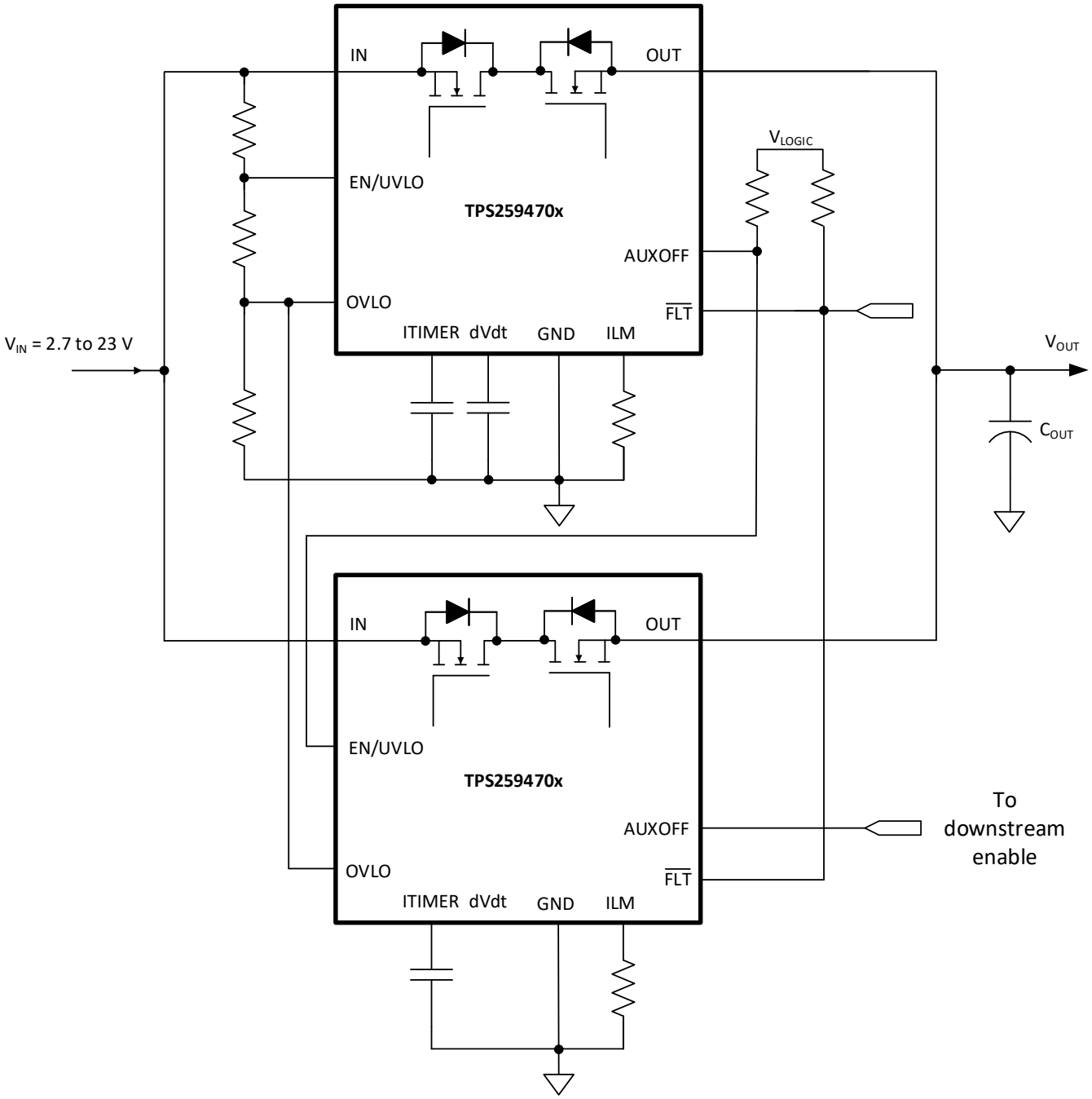


図 8-18. 高い定常状態の電流能力を実現するために並列接続されたデバイス

以下の波形は、起動時と定常状態時の並列構成の動作を示しています。

Copyright © 2026 Texas Instruments Incorporated

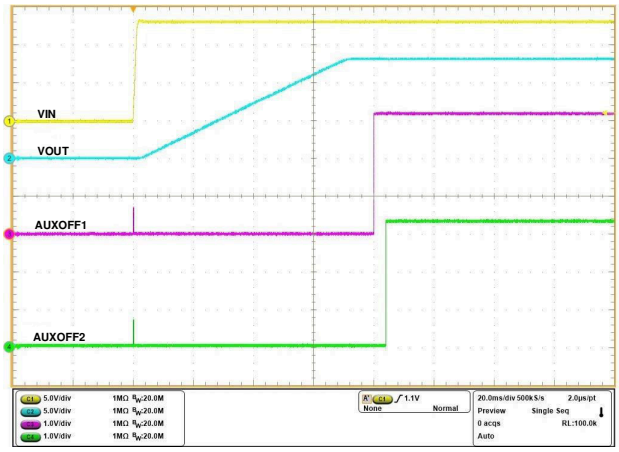


図 8-19. 起動時の並列デバイス シーケンシング

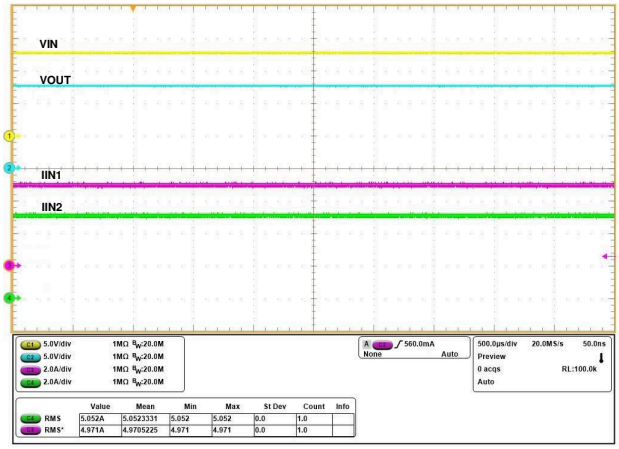


図 8-20. 定常状態での並列デバイスの負荷電流

8.3 電源に関する推奨事項

TPS25947xx デバイスは、2.7V ≤ V_{IN} ≤ 23V の電源電圧範囲向けに設計されています。入力電源がデバイスから数インチ以上離れている場合、TI は 0.1µF を超える入力セラミック バイパス コンデンサを使用することを推奨しています。過電流および短絡状態での電圧ドループを防止するため、電源の定格は設定された電流制限値よりも高く設定する必要があります。

デバイスが入力で処理できる負の最小電圧は、–15V または V_{OUT} –21V のいずれか高い方に制限されます。入力電源から生成される低電圧信号 (例:EN/UVLO、OVLO、PGTH) については、逆極性状態において当該ピンに流れる電流を < 10µA に制限するため、十分に大きなプルアップ抵抗が必要です。詳細については、「絶対最大定格」表も参照してください。

8.3.1 過渡保護

デバイスが電流フローに割り込むタイミングで、短絡および過負荷電流による制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何等かの策を講じない場合は、上記の過渡現象によって、デバイスの絶対最大定格を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
- PCB には、大きい GND プレーンを使用します。
- 負のスパイクを吸収するために、OUT ピン接地からショットキー ダイオードを接続します。

Copyright © 2026 Texas Instruments Incorporated

- デバイスのすぐ近くの OUT ピンに 1µF 以上の低 ESR コンデンサを接続します。
- 低値のセラミック コンデンサ (C_{IN} = 1µF) を使用して、エネルギーを吸収し、過渡現象を減衰させます。誘導性リンギング時の正の電圧変動に耐えるため、コンデンサの電圧定格は入力電源電圧の少なくとも 2 倍である必要があります。

  入力容量の近似値は、式 24 を使用して推定できます。

$$V_{SPIKE(Absolute)} = V_{IN} + I_{LOAD} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (24)$$

  ここで、

  – V_{IN} は公称電源電圧です。
  – • I_{LOAD} は負荷電流です。
  – L_{IN} はソースから見た実効インダクタンスに等しい値です。
  – C_{IN} は入力に存在する容量です。
- 一部のアプリケーションでは、過渡状態においてデバイスの絶対最大定格を超えないように、過渡電圧サプレッサ (TVS) の追加が必要になる場合があります。場合によっては、過渡の最大振幅がデバイスの絶対最大定格を下回った場合でも、TVS は過度のエネルギー ダンプを吸収し、IC の入力電源ピンに非常に高速な過渡電圧が生じて内部制御回路に結合し、予期しない動作を引き起こすのを防ぐのに役立ちます。

注

TI は、システムで入力逆極性が発生する可能性がある場合、双方向 TVS または逆方向ブロッキング ダイオードを TVS と直列に使用することを推奨します。

- USB-C ポートなど、電源ケーブルをデバイスの出力に接続できるアプリケーションでは、OUT から IN までの過度の電圧ストレスが、デバイスの絶対最大定格を超える可能性があります。TI は、電圧を安全なレベルに保つため、OUT から IN に TVS ダイオードを追加することを推奨します。

オプションの保護部品を使用した回路実装例を、図 8-21 に示します。

Copyright © 2026 Texas Instruments Incorporated

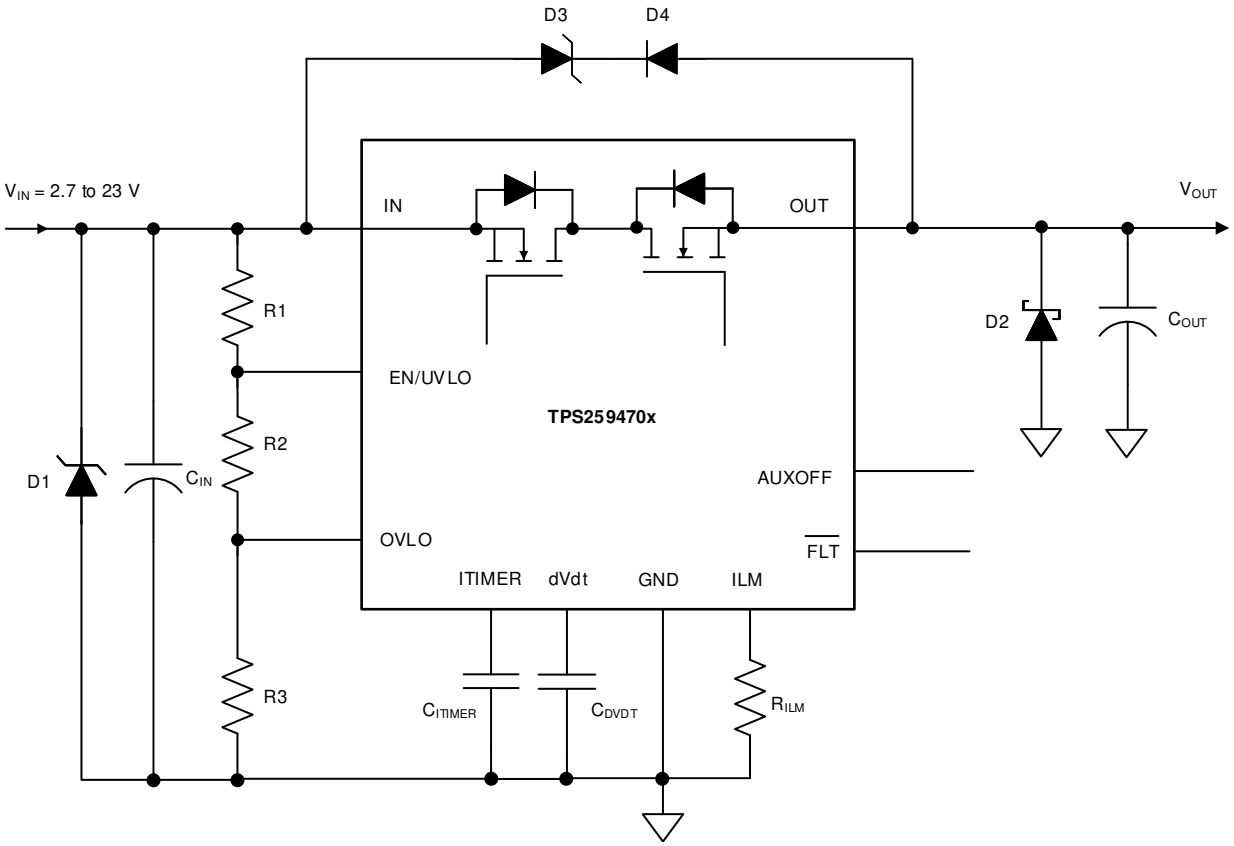


図 8-21. オプションの保護部品を使用した回路実装

8.3.2 出力短絡測定

再現可能で同様の短絡テスト結果を得るということは困難です。結果のばらつきの原因には、次のようなものがあります。

- ソース バイパス
- 入力リード線
- 回路レイアウト
- 部品選定
- 出力短絡方法
- 短絡の相対位置
- 計測

実際の短絡は、微視的に跳ね返ったり弧を描いたりするため、ある程度のランダム性を示します。現実的な結果を得るために、設定と方法が使用されていることを確認します。すべての設定は異なっているため、このデータシートの波形とまったく同じような波形が見られることを期待しないでください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- すべての用途に対して、TI は 0.1µF 以上のセラミック デカップリング コンデンサを、IN 端子と GND 端子の間に使用することを推奨します。
- デカップリング コンデンサの最適な配置は、デバイスの IN および GND 端子にできるだけ近づけて配置します。バイパス コンデンサ接続部、IC の IN 端子、および GND 端子によって形成されるループ面積を最小限に抑えるよう注意してください。
- 大電流を流すパワー パス接続はできる限り短くし、全負荷電流の 2 倍以上が流れるようにサイズを調整する必要があります。

Copyright © 2026 Texas Instruments Incorporated

- GND 端子は、IC の端子で極力短いパターンを使用して PCB グランド プレーンに接続する必要があります。PCB の接地は、基板上の銅プレーンまたはアイランドである必要があります。TI は、eFuse には個別のグランド プレーン アイランドを配置することを推奨します。このプレーンは高い電流を流さず、eFuse の重要なアナログ信号のすべてに対して、低ノイズのグランド基準としての役割を果たします。本デバイスのグランド プレーンは、スター接続を使用してシステムの電源グランド プレーンに接続する必要があります。
- IN および OUT ピンを使用して放熱を行います。サーマル ビアを使って、PCB 層の上層と下層にある、できるだけ多くの銅の面積に接続します。デバイスの下にあるビアは、IN および OUT パッドの両端の電圧勾配を最小限に抑え、デバイス全体で電流を均一に分配するのにも役立ちます。これは、最良のオン抵抗と電流センスの精度を実現するために不可欠です。
- 次のサポート部品を接続ピンの近くに配置します。
  - R_{ILM}
  - C_{dVdT}
  - C_{ITIMER}
  - EEN/UVLO、OVLO/OVCSEL、PGTH ピンの抵抗
- 部品のもう一方の端を、最短のパターン長でデバイスの GND ピンに接続します。電流制限、過電流ブランキング間隔およびソフトスタート タイミングに対する寄生効果を極力低減するために、R_{ILM}、C_{ITIMER}、C_{dVdt} 部品からデバイスへのパターン配線は極力短くする必要があります。TI は、安定した動作を確保するために、ILM ピンの寄生容量は 50pF 未満にすることを推奨します。これらのトレースは基板上のスイッチング信号と結合しないでください。
- ILM ピンのバイアス電流はデバイスの過電流保護動作を直接制御するため、これらのノードの PCB 配線はノイズの多い (スイッチング) 信号から遠ざける必要があります。
- TVS、スナバ、コンデンサ、ダイオードなどの保護デバイスは、物理的に保護対象のデバイスの近くに配置する必要があります。インダクタンスを減らすため、これらの保護デバイスは短いパターンで配線する必要があります。たとえば、誘導性負荷のスイッチングによる負の過渡に対処するために、TI は保護ショットキー ダイオードを推奨します。TI は、OUT と GND の間に、1µF 以上のセラミック デカップリング コンデンサを追加することも推奨します。このような部品は、OUT ピンに物理的に近い場所に配置する必要があります。ショットキー ダイオード/バイパス コンデンサ接続部、IC の OUT ピン、および GND 端子によって形成されるループ面積を最小限に抑えるよう注意してください。

8.4.2 レイアウト例

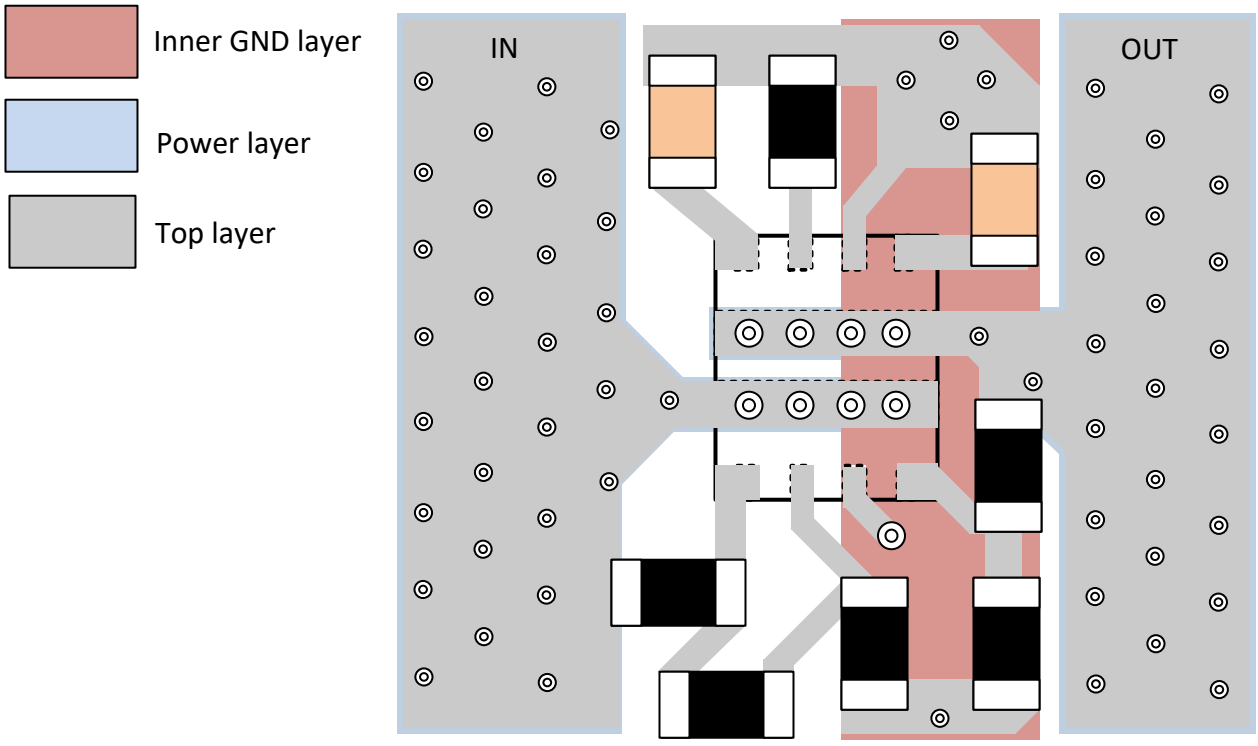


図 8-22. レイアウト例 — PGTH を基準とする TPS259474x 1 つ

Copyright © 2026 Texas Instruments Incorporated

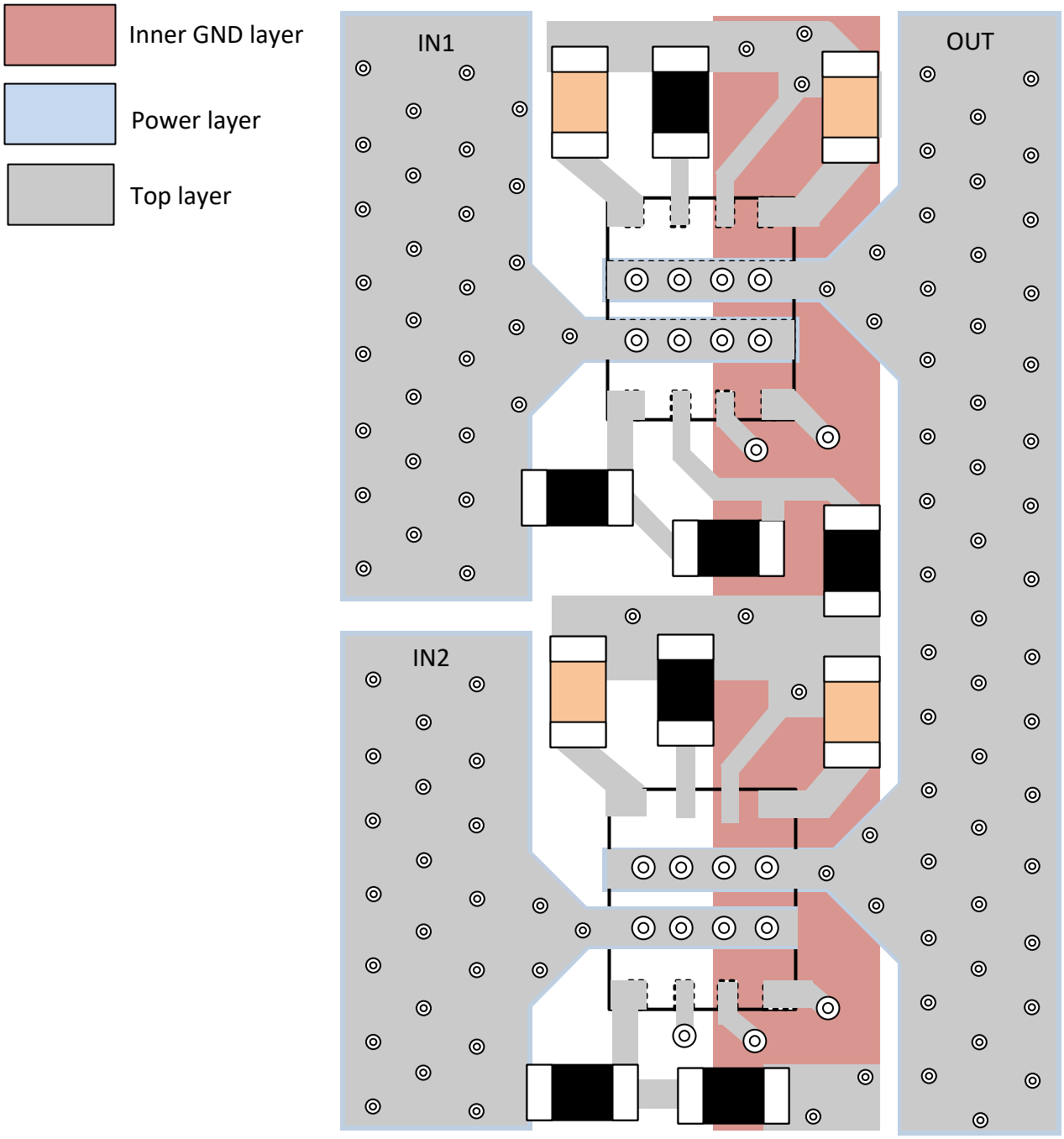


図 8-23. レイアウト例 – パワー マルチプレクサ構成の TPS259470x 2 つ

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『TPS25947EVM eFuse 評価基板』ユーザー ガイド
- テキサス インスツルメンツ、『TPS25947xx 設計カリキュレータ』
- テキサス インスツルメンツ、『USB Type-C システムにおける TPS25947 と LM73100 による高速ロール スワップ、リニア OR 接続』アプリケーション概要
- テキサス インスツルメンツ、『スマート電気メーターにおける eFuse』アプリケーション概要

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (March 2022) to Revision C (May 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• $SR_{IN(R)}$ および $SR_{IN(F)}$ を「絶対最大定格」に追加	7

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision A (March 2021) to Revision B (March 2022) **Page**

- UIL/IEC 認証ステータスを更新 1
- ESD 定格を修正し、CDM 試験が JS-002 に準拠したことを明示 7
- 画像のフォーマットを更新 13
- 表 7-5 を更新 40

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS259470ARPWR	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2A9H
TPS259470ARPWR.A	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2A9H
TPS259470ARPWR.B	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2A9H
TPS259470LRPWR	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2A8H
TPS259470LRPWR.A	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2A8H
TPS259470LRPWR.B	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2A8H
TPS259472ARPWR	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2ABH
TPS259472ARPWR.A	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2ABH
TPS259472ARPWR.B	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2ABH
TPS259472LRPWR	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2AAH
TPS259472LRPWR.A	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2AAH
TPS259472LRPWR.B	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2AAH
TPS259474ARPWR	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2ADH
TPS259474ARPWR.A	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2ADH
TPS259474ARPWR.B	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2ADH
TPS259474LRPWR	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2ACH
TPS259474LRPWR.A	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2ACH
TPS259474LRPWR.B	Active	Production	VQFN-HR (RPW) | 10	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2ACH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

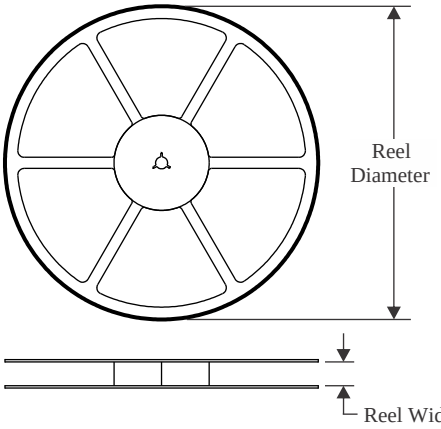
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

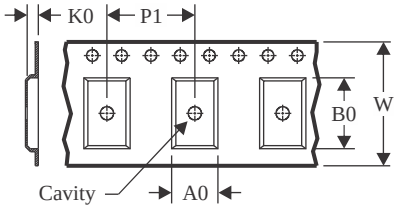
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

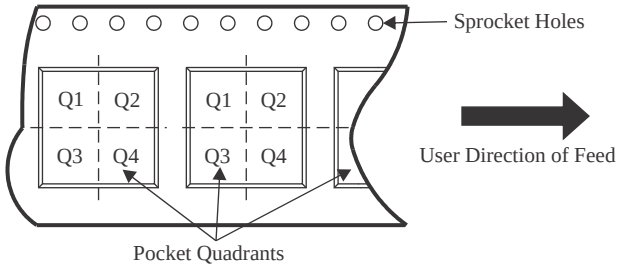


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

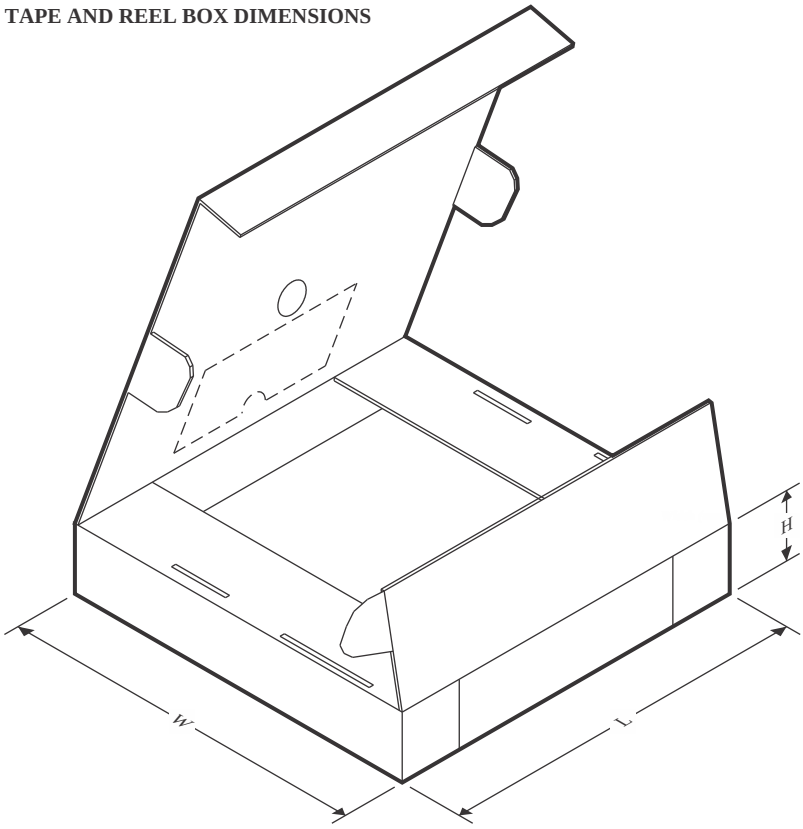
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS259470ARPWR	VQFN-HR	RPW	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS259470LRPWR	VQFN-HR	RPW	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS259472ARPWR	VQFN-HR	RPW	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS259472LRPWR	VQFN-HR	RPW	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS259474ARPWR	VQFN-HR	RPW	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS259474LRPWR	VQFN-HR	RPW	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

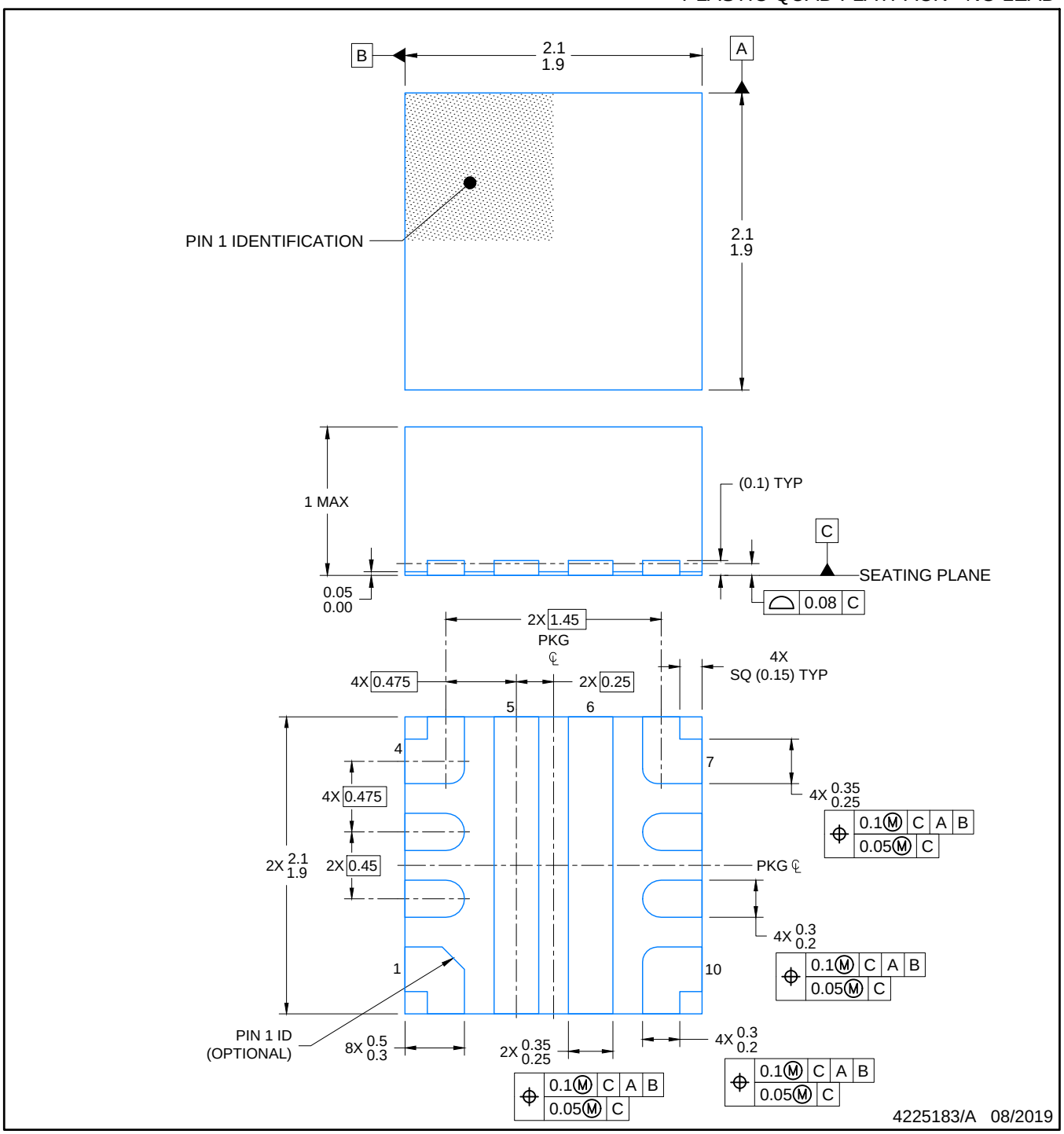
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS259470ARPWR	VQFN-HR	RPW	10	3000	210.0	185.0	35.0
TPS259470LRPWR	VQFN-HR	RPW	10	3000	210.0	185.0	35.0
TPS259472ARPWR	VQFN-HR	RPW	10	3000	210.0	185.0	35.0
TPS259472LRPWR	VQFN-HR	RPW	10	3000	210.0	185.0	35.0
TPS259474ARPWR	VQFN-HR	RPW	10	3000	210.0	185.0	35.0
TPS259474LRPWR	VQFN-HR	RPW	10	3000	210.0	185.0	35.0

PACKAGE OUTLINE

RPW0010A

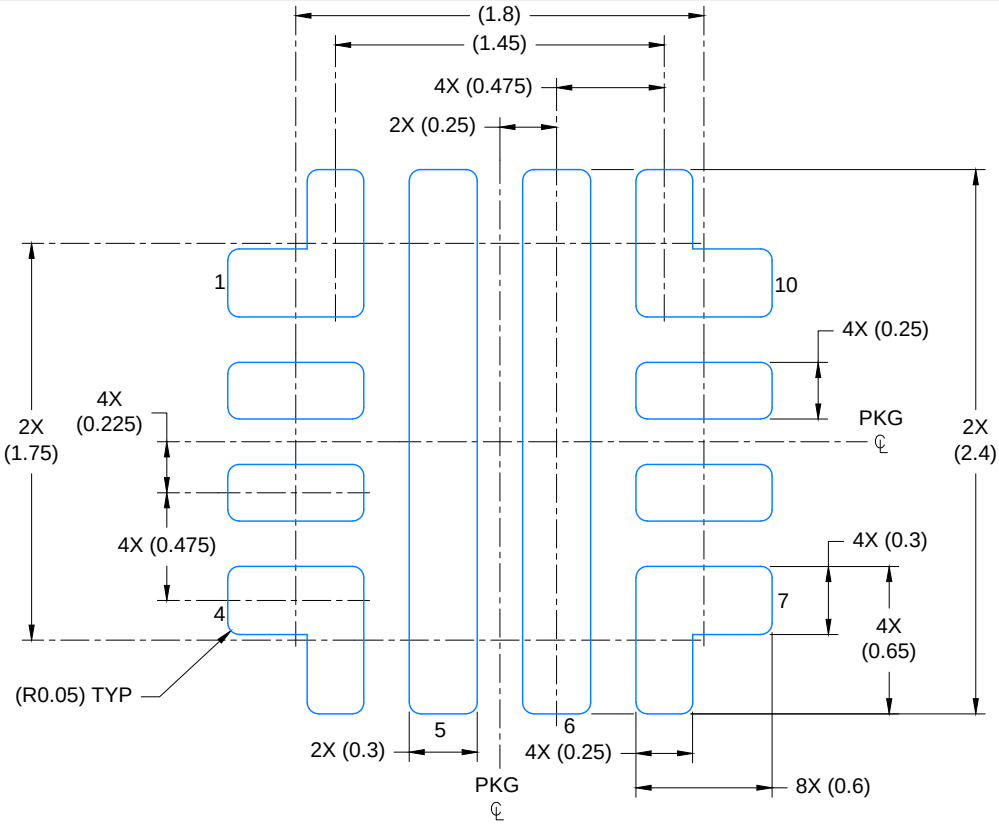
VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



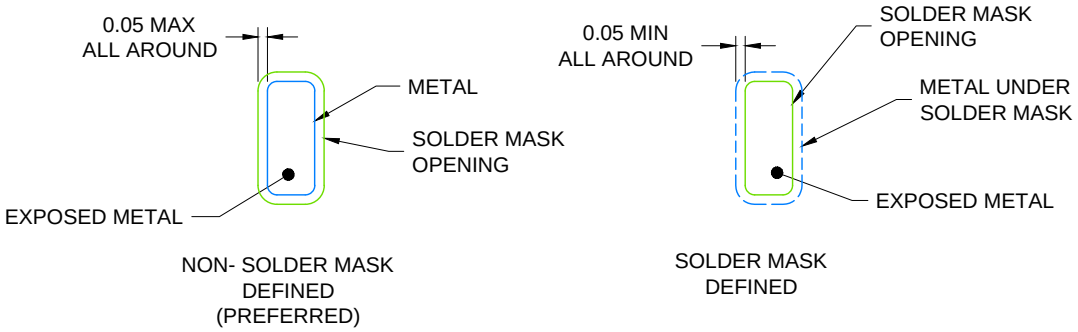
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

SCALE: 30X



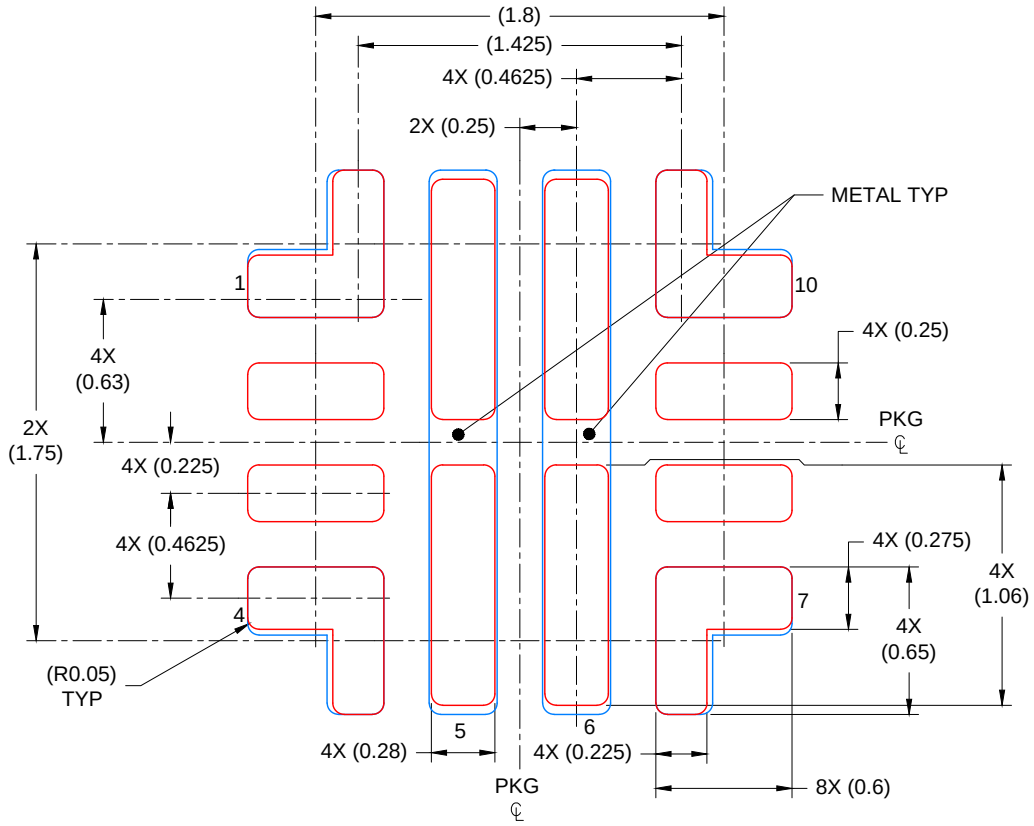
SOLDER MASK DETAILS

NOT TO SCALE

4225183/A 08/2019

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.100 mm THICK STENCIL

PADS 1, 4,7 & 10: 93%; PADS 5 & 6: 82%
SCALE: 30X

4225183/A 08/2019

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月