

TPS25948xx 3.5V ~ 23V、12.2mΩ、8A の eFuse、双方向電力供給機能付き

1 特長

- 広い動作時入力電圧範囲: 3.5V ~ 23V
 - 絶対最大電圧 28V
 - IN と OUT のどちらからでも電力供給可能
- 低オン抵抗のバック ツー バック FET を内蔵: $R_{ON} = 12.2m\Omega$ (標準値)
- 真の逆電流ブロッキング (RCB) を実現する理想ダイオード動作
 - 外部ピン制御 (RCBCTRL) により RCB をディセーブルにし、定常状態で双方向の電力供給を許可して USB OTG または DRP 動作をサポート
- 高速過電圧保護
 - 調整可能な過電圧誤動作防止 (OVLO) 1μs (標準値) の応答時間
- 負荷電流監視出力 (ILM) を備えた過電流保護
 - アクティブな電流制限応答
 - 調整可能なスレッシュホールド (I_{LIM}) 1A~9A
 - $I_{LIM} > 3A$ の場合、±10% の精度 (最大)
 - 可変の過渡ブランピング タイマ (ITIMER)、 I_{LIM} を超えるピーク電流を許容
 - 出力負荷電流監視精度: ±6% (標準値) ($I_{OUT} \geq 3A$)
- 高速トリップ応答による短絡保護
 - < 1μs (標準値) の応答時間
 - 可変スレッシュホールドと固定スレッシュホールド
- アクティブ High のイネーブル入力、低電圧誤動作防止 (UVLO) スレッシュホールドを設定可能
- 可変の出力スルー レート (dVdt) 制御
- 過熱保護
- デジタル出力: 電源グッド (SPLYGD/SPLYGD) およびフォルト表示 (FLT)
- UL 2367 認定 (予定)
- IEC 62368-1 CB 認証 (予定)
- IEC 61000-4-5: 28V (IN)
- 小さい占有面積: PowerWCSP 2.4mm × 1.7mm、0.5mm ピッチ

2 アプリケーション

- アダプタとチャージャの入力保護
- USB PD 保護: スマートフォン、タブレット、PC、ノート PC、モニタ、ドック
- サーバー マザー ボード、アドオン カード
- エンタープライズ ストレージ: HBA、SAN、eSSD
- パワー マルチプレクシングと OR 接続

3 説明

TPS25948xx ファミリの eFuse は、高集積の回路保護および電源管理ソリューションで、小型パッケージで提供されます。このデバイスは、少ない数の外付け部品で複数の保護モードを提供し、過負荷、短絡、電圧サージ、過剰な突入電流に対して堅牢な保護を行います。双方向 FET が内蔵されており、出力から入力への逆電流が常にブロックされるため、このデバイスをパワー マルチプレクサや OR 接続アプリケーション向けに設計することができます。また、このデバイスは入力電源に障害が発生した場合に負荷側のエネルギーをバックアップ電源にする必要があるシステムにも適しています。これらのデバイスは、リニア OR 接続ベースの方式を採用して DC 逆電流をほぼゼロにしているので、順方向電圧降下と消費電力を最小限にした理想ダイオード動作をエミュレートできます。また、このデバイスには、逆電流ブロックをディセーブルにして、定常状態で双方向の電力供給を可能にする外部ピン制御オプションもあります。

出力のスルー レートと突入電流は、単一の外付けコンデンサを使用して調整できます。入力が過電圧スレッシュホールド (調整可能) を上回った場合は、出力を遮断することにより負荷を入力過電圧状態から保護します。このデバイスは、電流をアクティブに制限することで、出力過負荷に対応します。出力電流制限スレッシュホールドおよび過渡過電流ブランピング タイマは、ユーザーが調整可能です。電流制限制御ピンは、アナログ負荷電流モニタとしても機能します。

これらのデバイスは、熱性能の向上とシステム フットプリントの低減を実現するため、2.4mm × 1.7mm の 12 ボールパワー ウェハер チップ スケール パッケージ (PowerWCSP) で供給されます。

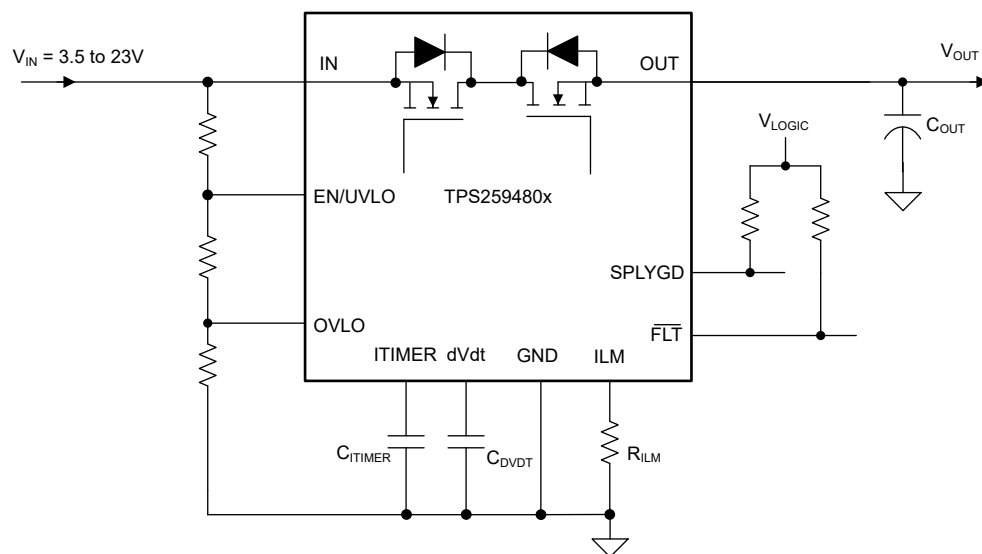
これらのデバイスは、-40°C ~ +125°C の接合部温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TPS25948xxYWP	YWP (PWCS, 12)	2.43mm × 1.71mm

- 利用可能なすべてのバリエーションについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





概略回路図

目次

1 特長	1	8 アプリケーションと実装	38
2 アプリケーション	1	8.1 使用上の注意.....	38
3 説明	1	8.2 シングル デバイス、自己制御型.....	38
4 デバイス比較表	4	8.3 代表的なアプリケーション.....	39
5 ピン構成および機能	5	8.4 アクティブ OR 接続.....	45
6 仕様	7	8.5 優先パワー マルチプレキシング.....	46
6.1 絶対最大定格.....	7	8.6 並列動作.....	52
6.2 ESD 定格.....	7	8.7 USB PD ポートの保護.....	53
6.3 推奨動作条件.....	7	8.8 電源に関する推奨事項.....	54
6.4 熱に関する情報.....	8	8.9 レイアウト.....	55
6.5 電気的特性.....	8	9 デバイスおよびドキュメントのサポート	58
6.6 タイミング要件.....	11	9.1 ドキュメントのサポート.....	58
6.7 スイッチング特性.....	11	9.2 ドキュメントの更新通知を受け取る方法.....	58
6.8 代表的特性.....	13	9.3 サポート・リソース.....	58
7 詳細説明	20	9.4 商標.....	58
7.1 概要.....	20	9.5 静電気放電に関する注意事項.....	58
7.2 機能ブロック図.....	21	9.6 用語集.....	58
7.3 機能説明.....	25	10 改訂履歴	58
7.4 デバイスの機能モード.....	37	11 メカニカル、パッケージ、および注文情報	60

4 デバイス比較表

部品番号	定常状態 高速トリップのスレッシュ ホールド	SPLYGD の極性	FLT または RCBCTRL	故障への応答	EN/VULO の極性
TPS259480AYWP	調整可能 (2 × I _{LIM})	アクティブ HIGH	FLT	自動再試行	アクティブ HIGH
TPS259480LYWP				ラッチオフ	
TPS259482AYWP			RCBCTRL	自動再試行	
TPS259482LYWP				ラッチオフ	
TPS259481AYWP	固定	自動再試行			
TPS259481LYWP		ラッチオフ			
TPS259483AYWP		アクティブ HIGH		自動再試行	
TPS259484AYWP	調整可能 (2 × I _{LIM})	アクティブ HIGH			自動再試行

5 ピン構成および機能

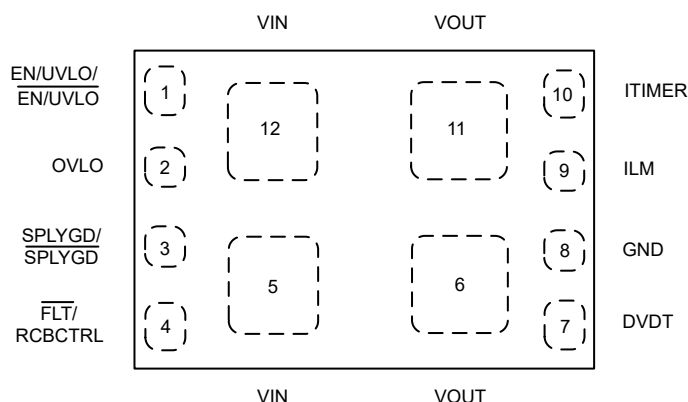


図 5-1. YWP パッケージ、12 ボール PWCSP (上面図)

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
EN/UVLO	1	アナログ 入力	デバイスに対してアクティブ "High" を有効にします。入力電源と GND の間のこのピンで抵抗デバイスを使用することで、低電圧誤動作防止スレッシュホールドを調整できます。フローティングのままにしないでください。詳細については、 セクション 7.3.1 を参照してください。
EN/UVLO		アナログ 入力	デバイスに対するローイネーブル。デバイスを自動的にオンにするには、"Low" に設定します。"High" に設定するとデバイスが無効化されます。フローティングのままにしないでください。"High" および "Low" のスレッシュホールドについては、EN/UVLO の電気的特性の表を参照してください。
OVLO	2	アナログ 入力	電源と GND の間のこのピンで抵抗デバイスを使用して、過電圧誤動作防止スレッシュホールドを調整できます。このピンは、デバイスのローイネーブルとしても使用できます。フローティングのままにしないでください。詳細については、 セクション 7.3.2 を参照してください。
SPLYGD	3	デジタル 出力	TPS259480x/2x/3x: アクティブ "High" の電源グッド表示。これはオープンドレイン信号であり、入力電源が有効になり、チャネルが突入シーケンスを完了すると "High" にアサートされます。これを使用して、補助電源の eFuse を有効 / 無効にすることにより、優先パワー マルチプレクシング構成でのスムーズな切り替えを容易にします。詳細については、 を参照してください。セクション 7.3.8
SPLYGD		デジタル 出力	TPS259481x: アクティブ "Low" の電源グッド表示。これはオープンドレイン信号であり、入力電源が有効になり、チャネルが突入シーケンスを完了すると "Low" にアサートされます。これを使用して、補助電源の eFuse を有効 / 無効にすることにより、優先パワー マルチプレクシング構成でのスムーズな切り替えを容易にします。詳細については、 を参照してください。セクション 7.3.8
FLT	4	デジタル 出力	TPS259480x: アクティブ "Low" の故障イベント インジケータ。これは、故障が検出されると "Low" にプルダウンされるオープンドレイン信号です。詳細については、 を参照してください。セクション 7.3.7
RCBCTRL		デジタル 入力	TPS259481x/2x/3x: アクティブ "High" の逆電流ブロック イネーブル入力。このピンをフローティングのままにするか、"High" にプルすると、常に逆電流ブロックが有効になります。このピンを "Low" にすると、定常状態で逆電流ブロックが無効になり、双方向の電流フローが有効化されます。
IN	5, 12	電源	電源入力。
OUT	6, 11	電源	電力出力。
DVDT	7	アナログ 出力	このピンと GND との間にコンデンサを接続することで、出力ターンオンのスルーレートを設定されます。ターンオン スルーレートを最速にするには、このピンをフローティングのままにしてください。詳細については、 セクション 7.3.3.1 を参照してください。
GND	8	グランド	これはすべての内部回路のグランド基準であり、システムの GND に接続する必要があります。

表 5-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
ILM	9	アナログ 出力	これは出力電流の制限と監視に使用されるデュアル機能ピンです。このピンと GND との間に外付け抵抗を接続することで、起動時および定常状態時の出力電流制限スレッシュホールドが設定されます。このピン電圧は、出力負荷電流の監視信号としても使用できます。フローティングのままにしないでください。詳細については、を参照してください。 セクション 7.3.3.2
ITIMER	10	アナログ 出力	このピンと GND との間のコンデンサにより、デバイスの過電流応答が動作する前に、出力電流が電流制限を一時的に超えることができる (ただし、高速トリップ スレッシュホールドより低い) 過電流ブランキング間隔が設定されます。過電流イベントへの応答を最速にするには、このピンをオープンのままにします。詳細については、を参照してください。 セクション 7.3.3.2

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ		ピン	最小値	最大値	単位
V _{IN,MAX}	最大入力電圧範囲、 $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$	IN	-0.3	28	V
SR _{IN(R)}	最大入力電圧の立ち上がりスループレート			100	V/ μs
SR _{IN(F)}	最大入力電圧の立ち下がりスループレート			10	V/ μs
V _{OUT,MAX}	最大出力電圧範囲、 $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$	OUT	-0.3	最小 (28, V _{IN} + 21)	
V _{OUT,MAX}	最大出力電圧範囲、 $-10^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$	OUT	-0.3	最小 (28, V _{IN} + 22)	
V _{OUT,MAX,PLS}	最小出力電圧パルス (1 μs 未満)	OUT	-0.8		
V _{EN/UVLO,MAX}	イネーブル ピンの最大電圧範囲	EN/UVLO	-0.3	6.5	V
V _{OVLO,MAX}	OVLO ピンの最大電圧範囲	OVLO	-0.3	6.5	V
V _{dVdt,MAX}	dVdt ピンの最大電圧範囲	dVdt	内部的に制限		V
V _{ITIMER,MAX}	ITIMER ピンの最大電圧範囲	ITIMER	内部的に制限		V
V _{RCBCTRL,MAX}	RCBCTRL ピンの最大電圧範囲	RCBCTRL	-0.3	6.5	V
V _{SPLYGD,MAX}	SPLYGD/SPLYGD ピンの最大電圧範囲	SPLYGD/SPLYGD	-0.3	6.5	V
V _{FLT,MAX}	FLT ピンの最大電圧範囲	FLT	-0.3	6.5	V
V _{ILM,MAX}	ILM ピンの最大電圧範囲	ILM	内部的に制限		V
I _{MAX}	最大連続スイッチ電流	IN から OUT または OUT から IN へ	内部的に制限		A
T _{J,MAX}	動作時最大接合部温度		内部的に制限		$^{\circ}\text{C}$
T _{LEAD,MAX}	最大リード温度			300	$^{\circ}\text{C}$
T _{STG,MAX}	最大保管温度		-65	150	$^{\circ}\text{C}$

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。推奨動作条件の範囲外で絶対最大定格の範囲内で使用すると、デバイスが完全に機能しなくなる可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		ピン	最小値	最大値	単位
V _{IN}	入力電圧範囲	IN	3.5	23	V
V _{OUT}	出力電圧範囲	OUT		最小 (23, V _{IN} + 20)	V
V _{EN/UVLO}	イネーブル ピンの電圧範囲	EN/UVLO		5 ⁽¹⁾	V
V _{OVLO}	OVLO ピンの電圧範囲	OVLO	0.5	1.5	V

6.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		ピン	最小値	最大値	単位
V_{dVdt}	dVdT コンデンサの電圧定格	dVdt	$V_{IN} + 5V^{(2)}$		V
$V_{RCBCTRL}$	RCBCTRL ピンの電圧範囲	RCBCTRL		5	V
V_{FLTb}	FLTb ピンの電圧範囲	FLTb		5	V
V_{SPLYGD}	SPLYGD/SPLYGD ピンの電圧範囲	SPLYGD/SPLYGD		5	V
V_{ITIMER}	ITIMER ピンのコンデンサの電圧定格	ITIMER	4		V
R_{ILM}	ILM ピンの抵抗	ILM	536	4834	Ω
I_{LOAD}	連続スイッチ電流、 $T_J \leq 125^\circ\text{C}$	IN から OUT または OUT から IN へ		8	A
T_J	接合部温度		-40	125	$^\circ\text{C}$

- 電源電圧が 5V 未満の場合は、EN ピンを IN に直接プルアップしても問題ありません。電源電圧が 5V を超える場合は抵抗デバイダを使用して電圧を降圧することを推奨します。
- 電源が異なる PowerMUX のシナリオでは、各デバイスの dVdt コンデンサ定格は 2 つのレールのうちの高い方に基づいて選択する必要があります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS25948xx	単位
		YWP (PWCSP)	
		12 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	33.4 ⁽²⁾	$^\circ\text{C/W}$
Ψ_{JT}	接合部から上面への特性パラメータ	0.3 ⁽²⁾	$^\circ\text{C/W}$
Ψ_{JB}	接合部から基板への特性パラメータ	11.2 ⁽²⁾	$^\circ\text{C/W}$

- 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
- カスタム PCB レイアウト 2s2p

6.5 電気的特性

(特に注記がない場合のテスト条件) $-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、OUT = オープン、 $V_{EN/UVLO} = 2\text{V}$ 、 $V_{OVLO} = 0\text{V}$ 、 $R_{ILM} = 536\Omega$ 、dVdT = オープン、ITIMER = オープン、SPLYGD/SPLYGD = オープン、FLT = TPS259480x に対してオープン、RCBCTRL = TPS259481x/2x/3x に対してオープン。すべての電圧の基準は GND。

試験パラメータ	説明	最小値	標準値	最大値	単位
入力電源 (IN)					
$V_{UVP(R),IN}$	IN 電源の低電圧保護の立ち上がりスレッショルド	2.7	3.0	3.3	V
$V_{UVP(F),IN}$	IN 電源の低電圧保護の立ち下がりスレッショルド	2.2	2.4	2.65	V
$I_{Q(ON),IN}$	IN から電力供給時の、IN 電源が ON の状態の静止電流 ($V_{EN} > V_{UVLO(R)}$)		439	640	μA
$I_{Q(OFF,UVLO),IN}$	IN から電力供給時の、IN 電源が OFF の状態の電流、 $V_{SD(F)} < V_{EN} < V_{UVLO(R)}$ TPS259480x/1x/2x/3x バリエーションのみ		73	193	μA
$I_{Q(OFF,UVLO),IN}$	IN から電力供給時の、IN 電源が OFF の状態の電流、 $V_{EN} > V_{UVLO(R)}$ TPS259484x のバリエーションのみ		73	193	μA
$I_{OUTLKG(ON)}$	IN から電力供給時の、OUT 電源のリーク電流		432	640	μA
$I_{OUTLKG(OFF)}$	IN から電力供給時の、OUT 電源のリーク電流 (UVLO 条件 ($V_{SD(F)} < V_{EN} < V_{UVLO(R)}$)) TPS259480x/1x/2x/3x のバリエーションのみ		7	29	μA
$I_{OUTLKG(OFF)}$	IN から電力供給時の、OUT 電源のリーク電流 (UVLO 条件 ($V_{EN} > V_{UVLO(R)}$)) TPS259484x のバリエーションのみ		7	29	μA

6.5 電気的特性 (続き)

(特に注記がない場合のテスト条件) $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$, $V_{IN} = 12\text{V}$, $\text{OUT} = \text{オープン}$, $V_{EN/UVLO} = 2\text{V}$, $V_{OVLO} = 0\text{V}$, $R_{ILM} = 536\Omega$, $dVdT = \text{オープン}$, $\text{ITIMER} = \text{オープン}$, $\text{SPLYGD}/\text{SPLYGD} = \text{オープン}$, $\text{FLT} = \text{TPS259480x}$ に対してオープン、 $\text{RCBCTRL} = \text{TPS259481x}/2\text{x}/3\text{x}$ に対してオープン。すべての電圧の基準は GND。

試験パラメータ	説明	最小値	標準値	最大値	単位
$I_{SD(IN)}$	IN から電力供給時の IN 電源シャットダウン電流、 $V_{EN} < V_{SD(F)}$ TPS259480x/1x/2x/3x バリエーションのみ		7	12	μA
$V_{UVP(R),OUT}$	OUT 電源の低電圧保護の立ち上がりスレッショルド	2.7	3.0	3.3	V
$V_{UVP(F),OUT}$	OUT 電源の低電圧保護の立ち下がりスレッショルド	2.2	2.4	2.65	V
出力電源 (OUT)					
$I_{Q(ON,OUT)}$	OUT から電力供給時の、OUT 電源が ON の状態の静止電流、 $V_{EN} > V_{UVLO(R)}$ TPS259480x/1x/2x/3x のバリエーションのみ		422	640	μA
$I_{Q(ON,OUT)}$	OUT から電力供給時の、OUT 電源が ON の状態の静止電流、 $V_{EN} < V_{UVLO(R)}$ TPS259484x のバリエーションのみ		422	640	μA
$I_{Q(OFF,UVLO,OUT)}$	OUT から電力供給時の、OUT 電源が OFF の状態の電流、 $V_{SD(F)} < V_{EN} < V_{UVLO(R)}$ TPS259480x/1x/2x/3x のバリエーションのみ		71	110	μA
$I_{Q(OFF,UVLO,OUT)}$	OUT から電力供給時の、OUT 電源が OFF の状態の電流、 $V_{EN} > V_{UVLO(R)}$ TPS259484x のバリエーションのみ		71	110	μA
$I_{SD(OUT)}$	OUT から電力供給時の、OUT 電源シャットダウン電流、 $V_{EN} < V_{SD(F)}$ TPS259480x/1x/2x/3x のバリエーションのみ		7	29	μA
オン抵抗 (IN - OUT)					
R_{ON}	$V_{IN} = 12\text{V}$, $I_{OUT} = 3\text{A}$, $T_J = 25^{\circ}\text{C}$		12.2	15	m Ω
	$3.5 \leq V_{IN} \leq 23\text{V}$, $I_{OUT} = 3\text{A}$, $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$			20	m Ω
イネーブル / 低電圧誤動作防止 (EN/UVLO)					
$V_{UVLO(R)}$	FET をオンにするための、EN/UVLO ピンの立ち上がりスレッショルド TPS259480x/1x/2x/3x のバリエーションのみ	1.17	1.2	1.23	V
$V_{UVLO(R)}$	FET を OFF にするための EN/UVLO ピンの立ち上がりスレッショルド TPS259484x のバリエーションのみ	1.17	1.2	1.23	V
$V_{UVLO(F)}$	FET をオフにするための EN/UVLO ピンの立ち下がりスレッショルド TPS259480x/1x/2x/3x のバリエーションのみ	1.07	1.1	1.12	V
$V_{UVLO(F)}$	FET を ON にするための EN/UVLO ピンの立ち下がりスレッショルド TPS259484x のバリエーションのみ	1.07	1.1	1.12	V
$V_{SD(F)}$	最小のシャットダウン電流のための EN/UVLO 立ち下がりスレッショルド TPS259480x/1x/2x/3x のバリエーションのみ	0.54	0.75		V
I_{ENLKG}	EN/UVLO ピンのリーク電流	-0.1		0.1	μA
過電圧誤動作防止 (OVLO)					
$V_{OV(R)}$	OVLO ピンの立ち上がりスレッショルド	1.18	1.2	1.23	V
$V_{OV(F)}$	OVLO ピンの立ち下がりスレッショルド	1.07	1.1	1.12	V
I_{OVLKG}	OVLO ピンのリーク電流 ($0.5\text{V} < V_{OVLO} < 1.5\text{V}$)	-0.1		0.1	μA
出力負荷電流モニタ (IMON)					
G_{IMON}	アナログ負荷電流のモニタ ゲイン ($\text{IMON}:I_{OUT}$)、 $I_{OUT} = 1\text{A}$, $I_{OUT} < I_{LIM}$	114	133	154	$\mu\text{A/A}$
G_{IMON}	アナログ負荷電流のモニタ ゲイン ($\text{IMON}:I_{OUT}$)、 $I_{OUT} = 3\text{A}$ $\sim 8\text{A}$, $I_{OUT} < I_{LIM}$	116	133	149	$\mu\text{A/A}$

6.5 電気的特性 (続き)

(特に注記がない場合のテスト条件) $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$, $V_{IN} = 12\text{V}$, $\text{OUT} = \text{オープン}$, $V_{EN/UVLO} = 2\text{V}$, $V_{OVLO} = 0\text{V}$, $R_{ILM} = 536\Omega$, $dVdT = \text{オープン}$, $\text{ITIMER} = \text{オープン}$, $\text{SPLYGD}/\text{SPLYGD} = \text{オープン}$, $\text{FLT} = \text{TPS259480x}$ に対してオープン、 $\text{RCBCTRL} = \text{TPS259481x}/2\text{x}/3\text{x}$ に対してオープン。すべての電圧の基準は GND。

試験パラメータ	説明	最小値	標準値	最大値	単位
過電流保護 (OUT)					
I_{LIM}	過電流スレッショルド, $R_{\text{ILM}} = 2.43\text{k}\Omega$	1.75	1.99	2.25	A
	過電流スレッショルド, $R_{\text{ILM}} = 1.62\text{k}\Omega$	2.7	2.98	3.3	A
	過電流スレッショルド, $R_{\text{ILM}} = 604\Omega$	7.2	8	8.7	A
I_{FLT}	サーキット ブレーカのスレッショルド, ILM ピン オープン (単一障害点)			0.1	A
	サーキット ブレーカのスレッショルド, ILM ピンを GND に短絡 (単一障害点)		1.4	2.5	A
I_{SCGain}	スケーラブルな高速トリップ電流スレッショルド ($I_{\text{SC}}:I_{\text{LIM}}$ 比 (TPS259480x/2x バリエーションの場合は、定常状態 / 起動、TPS259481x/3x バリエーションの場合は起動))	170%	184%	240%	
I_{FFT}	固定高速トリップ電流スレッショルド, TPS259480x/2x バリエーションのみ	16.9	25.1	31.0	A
	固定高速トリップ電流スレッショルド, TPS259481x/3x バリエーションのみ	15	22.8	29	A
V_{FB}	電流制限フォールドバックを終了するための V_{OUT} スレッショルド	1.5	1.9	2.3	V
過電流フォルト タイマ (ITIMER)					
V_{INT}	ITIMER ピンの内部プルアップ電圧	2.3	2.6	2.7	V
R_{ITIMER}	ITIMER ピンの内部プルアップ抵抗		15.7		k Ω
I_{ITIMER}	ITIMER ピンの放電電流, $I_{\text{OUT}} > I_{\text{LIM}}$	1.5	1.9	2.45	μA
ΔV_{ITIMER}	ITIMER 放電差動電圧スレッショルド	1.28	1.51	1.75	V
逆電流ブロッキング (IN - OUT)					
V_{FWD}	$V_{\text{IN}} - V_{\text{OUT}}$ 順方向レギュレーション電圧, $I_{\text{OUT}} = 10\text{mA}$	0.1	10.6	24.5	mV
V_{REVTH}	BFET の高速ターンオフのための $V_{\text{IN}} - V_{\text{OUT}}$ スレッショルド (逆電流ブロッキングを開始)	-44.8	-29.5	-14.8	mV
V_{FWDTH}	BFET の高速ターンオンのための $V_{\text{IN}} - V_{\text{OUT}}$ スレッショルド (逆電流ブロッキングを終了)	70	105.9	140	mV
I_{REVLKG}	逆電流ブロッキング状態での逆リーク電流	-2	-1.1		μA
電源グッド表示 (SPLYGD/SPLYGD)					
V_{SPLYGD}	SPLYGD ピンの低電圧 $V_{\text{IN}} > 3.3\text{V}$, 強いプルアップ			600	mV
V_{SPLYGD}	SPLYGD ピンの低電圧 $V_{\text{IN}} < 3.3\text{V}$, $\text{EN} < V_{\text{SD(F)}}$, 弱いプルアップ		650	930	mV
V_{SPLYGD}	SPLYGD ピンの低電圧 $V_{\text{IN}} < 3.3\text{V}$, $\text{EN} < V_{\text{SD(F)}}$, 強いプルアップ		785	990	mV
$I_{\text{SPLYGDLKG}}$	SPLYGD の高リーク電流	-3		3	μA
$I_{\text{SPLYGDBLKG}}$	SPLYGD の高リーク電流	-3		3	μA
フォルト表示 (FLT) または逆方向ブロッキング制御 (RCBCTRL)					
I_{FLTBLKG}	$\overline{\text{FLT}}$ リーク電流	-1		1	μA
R_{FLTB}	$\overline{\text{FLT}}$ ピンの内部プルダウン抵抗, TPS259480x バリエーションのみ		11.8		Ω
I_{RCBCTRL}	RCBCTRL ピンの内部プルアップ電流, TPS259481x/2x/3x バリエーションのみ		5		μA

6.5 電気的特性 (続き)

(特に注記がない場合のテスト条件) $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $\text{OUT} = \text{オープン}$ 、 $V_{EN/UVLO} = 2\text{V}$ 、 $V_{OVLO} = 0\text{V}$ 、 $R_{ILM} = 536\Omega$ 、 $dVdt = \text{オープン}$ 、 $\text{ITIMER} = \text{オープン}$ 、 $\text{SPLYGD}/\text{SPLYGD} = \text{オープン}$ 、 $\text{FLT} = \text{TPS259480x}$ に対してオープン、 $\text{RCBCTRL} = \text{TPS259481x}/2\text{x}/3\text{x}$ に対してオープン。すべての電圧の基準は GND。

試験パラメータ	説明	最小値	標準値	最大値	単位
$V_{IH,RCBCTRL}$	RCBCTRL ピンのロジック "High" 検出スレッショルド、TPS259481x/2x/3x バリエーションのみ	1.09	1.15	1.2	V
$V_{IL,RCBCTRL}$	RCBCTRL ピンのロジック "Low" 検出スレッショルド、TPS259481x/2x/3x バリエーションのみ	1.0	1.0	1.11	V
過熱保護 (OTP)					
TSD	サーマル シャットダウンの立ち上がりスレッショルド、 T_J の立ち上がり		154		$^{\circ}\text{C}$
TSD _{HYS}	サーマル シャットダウン ヒステリシス、 T_J 立ち下がり		10		$^{\circ}\text{C}$
スルーレート制御 (DVDT)					
I_{dvdt}	dVdt ピンの充電電流	2.6	5.3	9	μA

6.6 タイミング要件

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{OVLO}	過電圧誤動作防止の応答時間	$V_{OVLO} > V_{OV(R)}$ から $V_{OUT} \downarrow$		1		μs
t_{LIM}	電流制限の応答時間	$I_{OUT} > 1.2 \times I_{LIM}$ および ITIMER 期限切れから I_{OUT} セットリングから I_{LIM} の 5% 以内		250		μs
t_{SC}	スケーラブルな高速トリップ応答時間 (TPS259480x/2x のみ)	$I_{OUT} > 3 \times I_{LIM}$ から $I_{OUT} \downarrow$		900		ns
t_{FT}	固定高速トリップ応答時間	$I_{OUT} > I_{FFT}$ から $I_{OUT} \downarrow$		750		ns
t_{RST}	故障後の自動再試行間隔 (TPS25948xA のみ)			103		ms
t_{SWOV}	OVLO 高速復帰の応答時間	$V_{OVLO} < V_{OV(F)}$ から $V_{OUT} \uparrow$		85.3		μs
t_{SWRCB}	逆電流ブロックの復帰時間	$(V_{IN} - V_{OUT}) > V_{FWDTH}$ から $V_{OUT} \uparrow$		46.5		μs
t_{RCB}	逆電流ブロックのコンパレータの応答時間	$(V_{OUT} - V_{IN}) > 1.3 \times V_{REVTH}$ から BFET OFF		1.1		μs
$t_{SPLYGDA}$	電源グッド アサートのグリッチ除去			14.7		μs
$t_{SPLYGDD}$	電源グッド デアサートのグリッチ除去			14.3		μs

6.7 スイッチング特性

出力の立ち上がりスルー レートは内部的に制御され、動作電圧範囲の全体にわたって一定であるため、ターンオン タイミングが負荷条件の影響を受けないようにしています。立ち上がりスルー レートは、dVdt ピンとグラウンドの間に容量を追加することで調整できます。 C_{dVdt} が大きくなると、立ち上がりスルー レート (SR) が低下します。詳細については、「スルー レートおよび突入電流制御 (dVdt)」セクションを参照してください。ただし、ターンオフ遅延時間と立ち下がり時間は負荷容量 (C_{OUT}) および負荷抵抗 (R_L) の RC 時定数に依存します。スイッチング特性は、電源が定常状態で利用可能で、デバイスがイネーブルになる前に負荷電圧が完全に放電されているパワーアップ シーケンスに対してのみ有効です。標準値は $T_J = 25^{\circ}\text{C}$ 時に測定 (特に記述のない限り)。 $R_{OUT} = 100\Omega$ 、 $C_{OUT} = 1\mu\text{F}$

パラメータ		V_{IN}	$C_{dVdt} = \text{Open}$	$C_{dVdt} = 3.3\text{nF}$	$C_{dVdt} = 6.8\text{nF}$	単位
$t_{D,ON}$	ターン オン遅延	3.5	0.15	0.78	1.31	ms
		12	0.17	1.04	2.04	ms
		23	0.18	1.60	3.44	ms
SR_{ON}	出力立ち上がりスルー レート	3.5	14.40	1.25	0.58	V/ms
		12	25.30	1.36	0.60	V/ms
		23	38.30	1.44	0.65	V/ms

6.7 スイッチング特性 (続き)

出力の立ち上がりスループレートは内部的に制御され、動作電圧範囲の全体にわたって一定であるため、ターンオン タイミングが負荷条件の影響を受けないようにしています。立ち上がりスループレートは、 dV/dt ピンとグラウンドの間に容量を追加することで調整できます。 C_{dVdt} が大きくなると、立ち上がりスループレート (SR) が低下します。詳細については、「スループレートおよび突入電流制御 (dV/dt)」セクションを参照してください。ただし、ターンオフ遅延時間と立ち下がり時間は負荷容量 (C_{OUT}) および負荷抵抗 (R_L) の RC 時定数に依存します。スイッチング特性は、電源が定常状態で利用可能で、デバイスがイネーブルになる前に負荷電圧が完全に放電されているパワーアップ シーケンスに対してのみ有効です。標準値は $T_J = 25^\circ\text{C}$ 時に測定 (特に記述のない限り)。 $R_{OUT} = 100\Omega$, $C_{OUT} = 1\mu\text{F}$

パラメータ		VIN	$C_{dVdt} = \text{Open}$	$C_{dVdt} = 3.3\text{nF}$	$C_{dVdt} = 6.8\text{nF}$	単位
t_R	立ち上がり時間	3.5	0.20	2.12	4.59	ms
		12	0.36	7.04	17.08	ms
		23	0.47	12.83	27.70	ms
t_{ON}	ターンオン時間	3.5	0.41	2.88	5.89	ms
		12	0.55	8.09	19.14	ms
		23	0.65	14.66	31.20	ms
$t_{D,OFF}$	ターンオフ遅延時間	3.5	17.30	17.30	17.30	μs
		12	15.80	15.80	15.80	μs
		23	13.50	13.50	13.50	μs
t_F	立ち下がり時間	3.5	R_{OUT} と C_{OUT} に依存します			μs
		12				
		23				

6.8 代表的特性

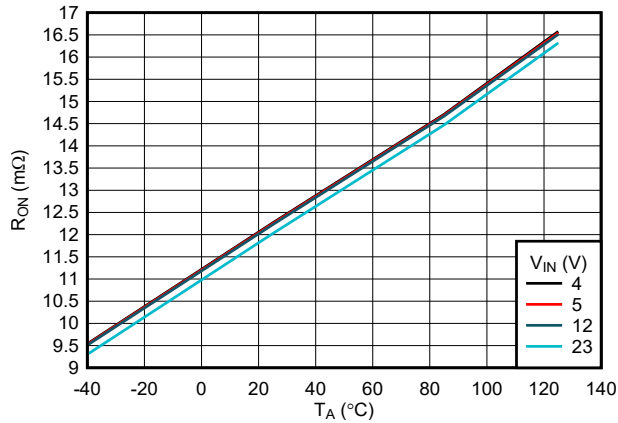


図 6-1. オン抵抗と温度との関係

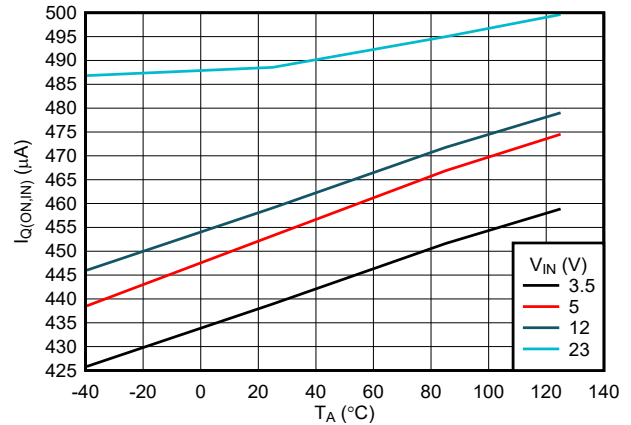


図 6-2. IN 静止電流と温度との関係

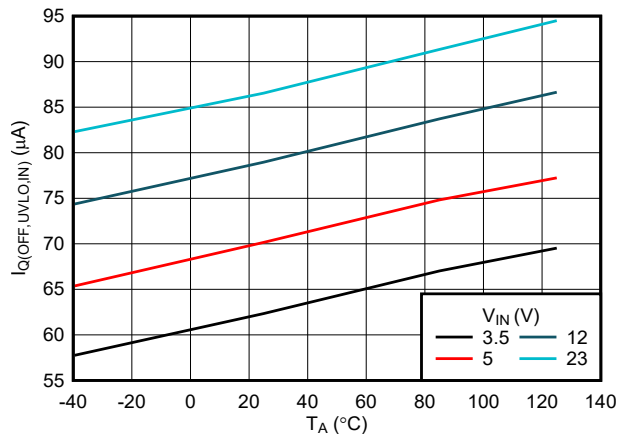


図 6-3. IN オフ状態 (UVLO) 電流と温度との関係

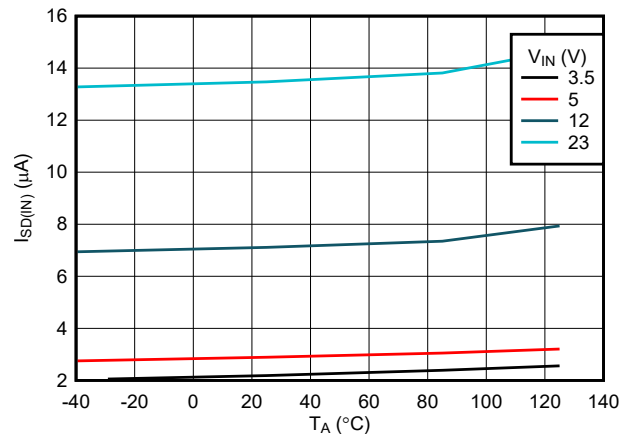


図 6-4. IN シャットダウン電流と温度との関係

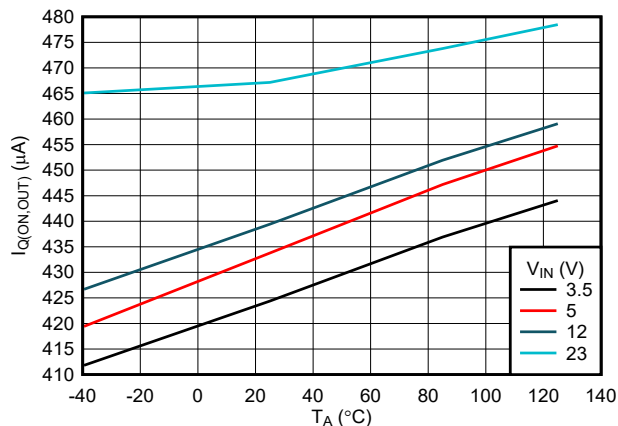


図 6-5. OUT 静止電流と温度との関係

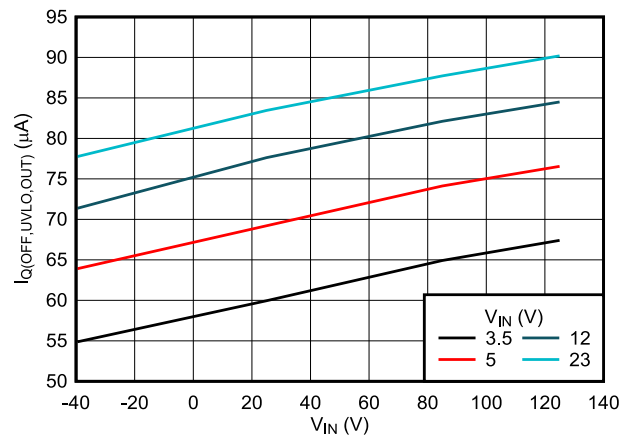


図 6-6. OUT オフ状態 (UVLO) 電流と温度との関係

6.8 代表的特性 (続き)

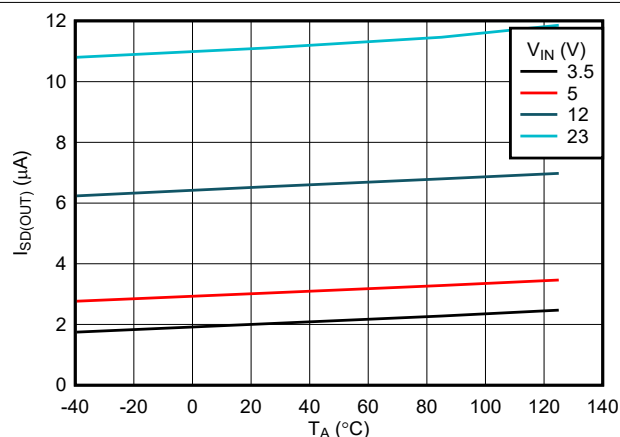


図 6-7. OUT シャットダウン電流と温度との関係

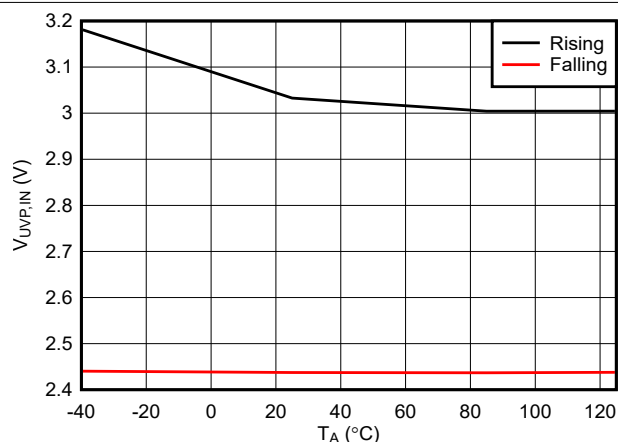


図 6-8. IN 低電圧スレッシュホールドと温度との関係

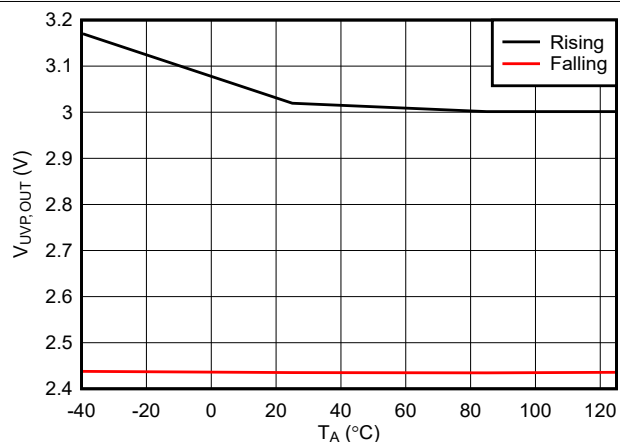


図 6-9. OUT 低電圧スレッシュホールドと温度との関係

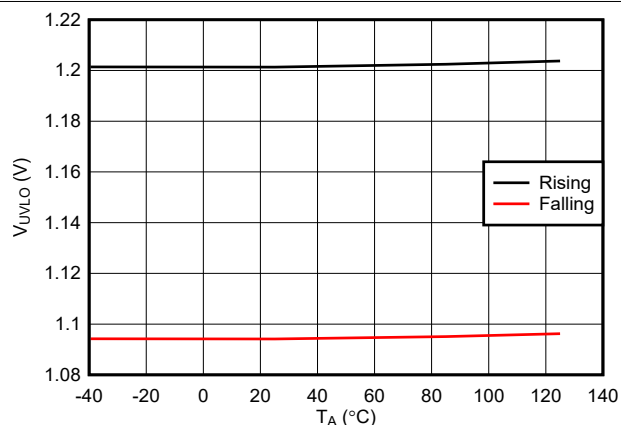


図 6-10. EN/UVLO FET ターン オフ スレッシュホールドと温度との関係

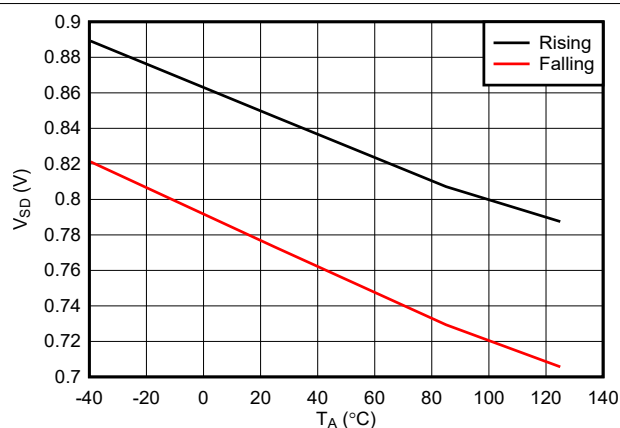


図 6-11. EN/UVLO シャットダウン スレッシュホールドと温度との関係

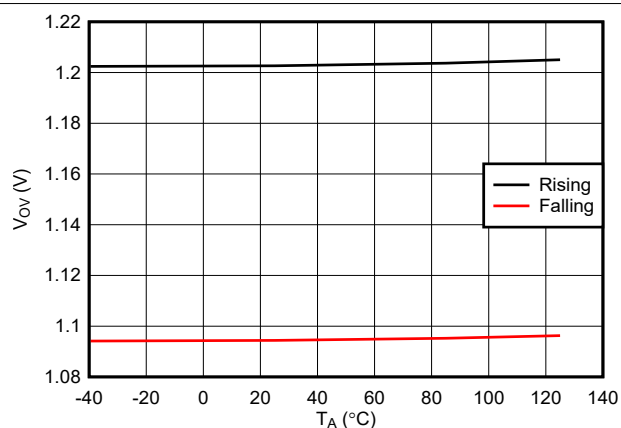


図 6-12. OVLO スレッシュホールドと温度との関係

6.8 代表的特性 (続き)

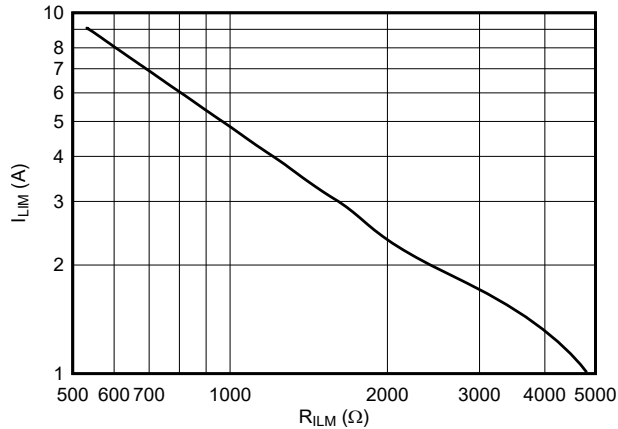


図 6-13. 過電流スレッシュホールドと ILM 抵抗との関係

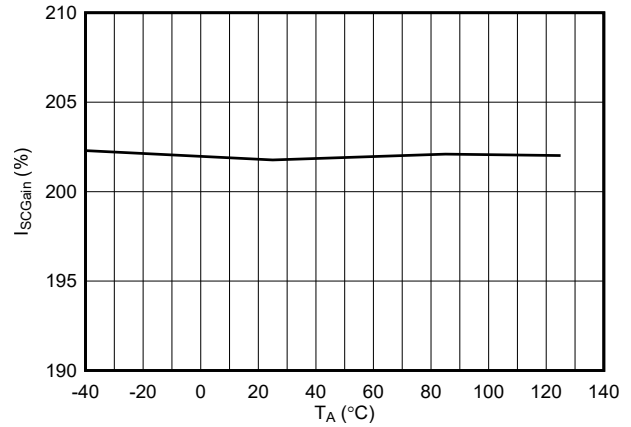


図 6-14. 定常状態スケーラブル高速トリップスレッシュホールド：電流制限スレッシュホールド (I_{LIM}) 比と温度との関係 (TPS259480x/2x)

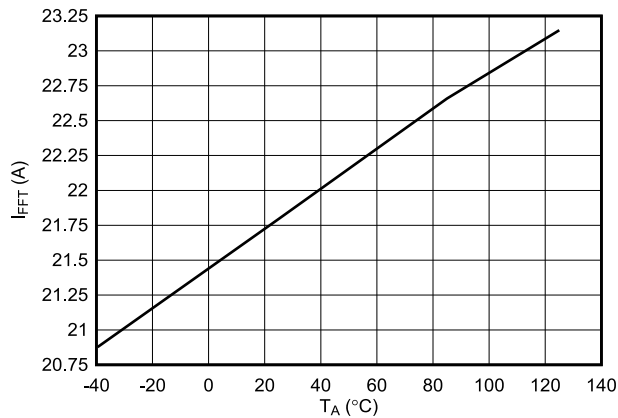


図 6-15. 定常状態固定高速トリップ電流スレッシュホールドと温度との関係 (TPS259481x/3x)

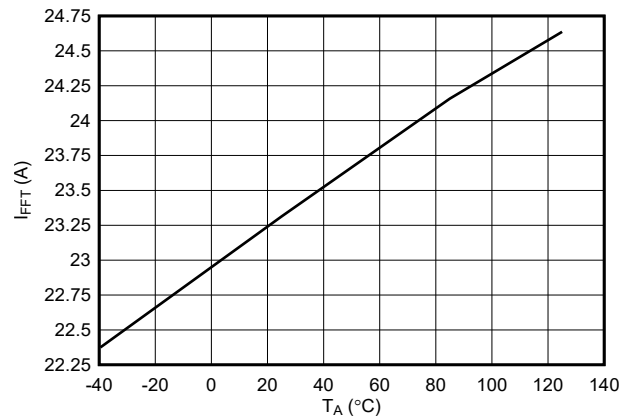


図 6-16. 定常状態固定高速トリップ電流スレッシュホールドと温度との関係 (TPS259480x/2x)

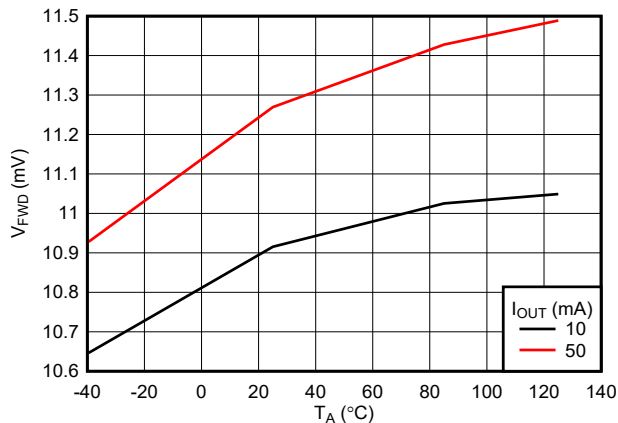


図 6-17. RCB - 順方向レギュレーション電圧と温度との関係

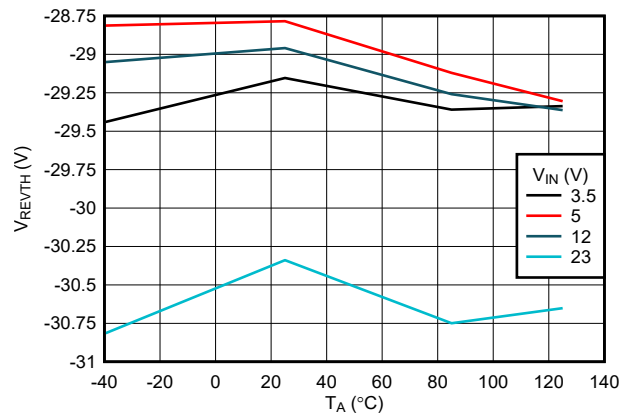


図 6-18. RCB - 逆方向コンパレータ スレッシュホールドと温度との関係

6.8 代表的特性 (続き)

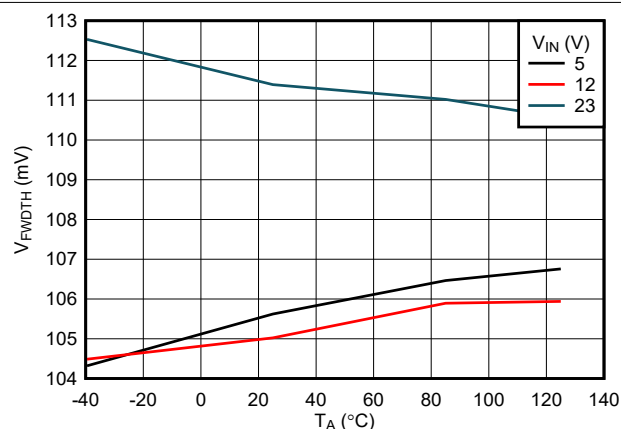


図 6-19. RCB 順方向コンパレータ スレッシュホールドと温度との関係

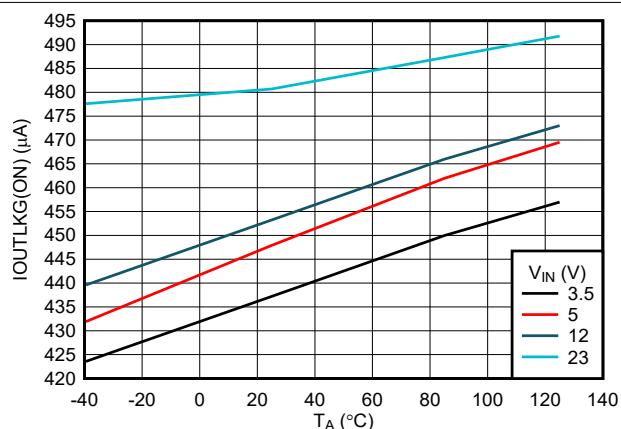


図 6-20. オン状態の逆電流ブロック中の OUT リーク電流

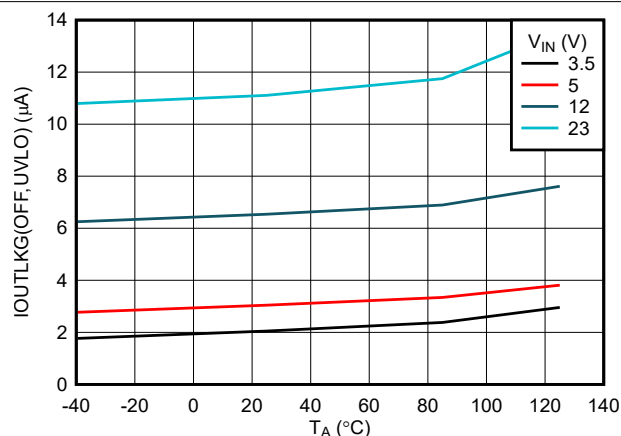


図 6-21. オフ状態での逆リーク電流

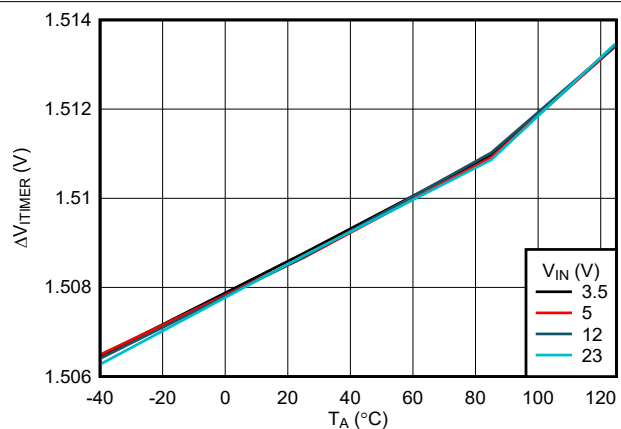


図 6-22. ITIMER 放電の差動電圧スレッシュホールドと温度との関係

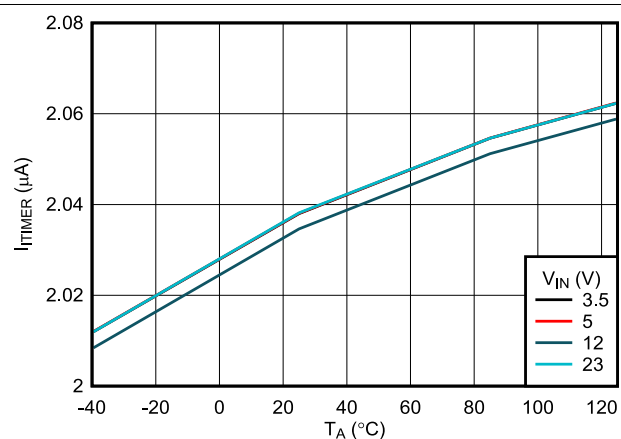


図 6-23. ITIMER の放電電流と温度との関係

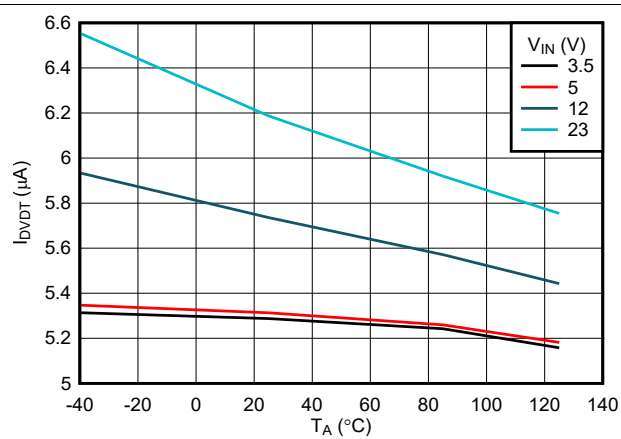


図 6-24. DVDVT 充電電流と温度との関係

6.8 代表的特性 (続き)

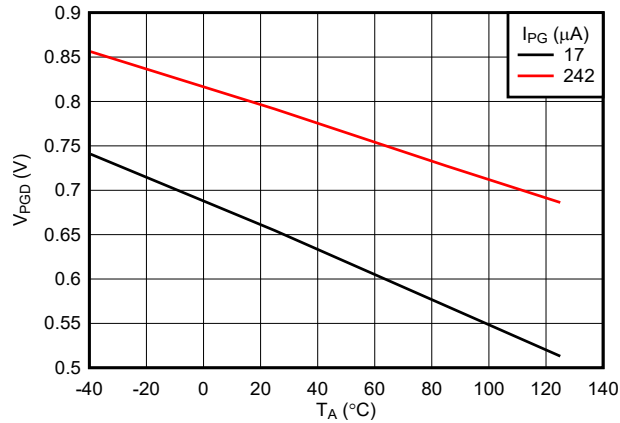


図 6-25. 入力電源なしの PG Low 電圧と温度との関係

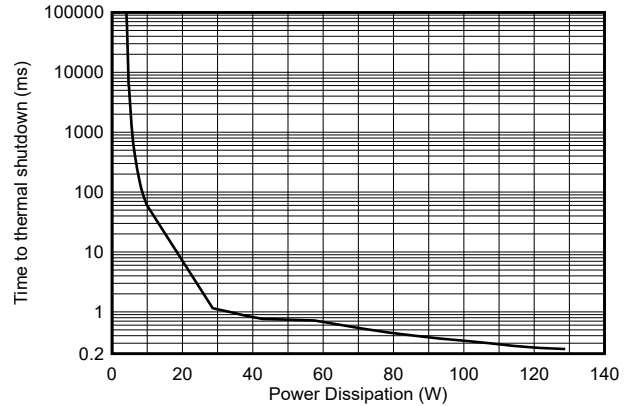
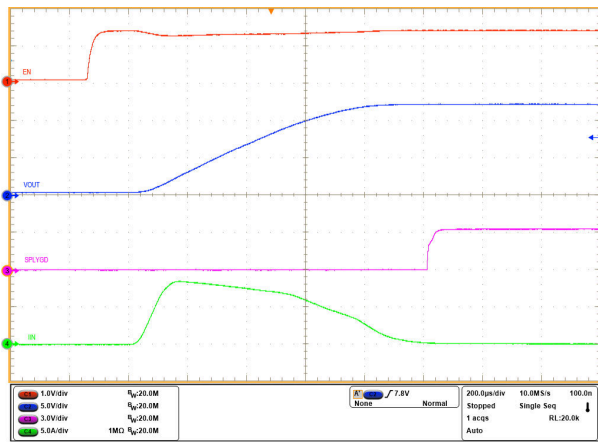
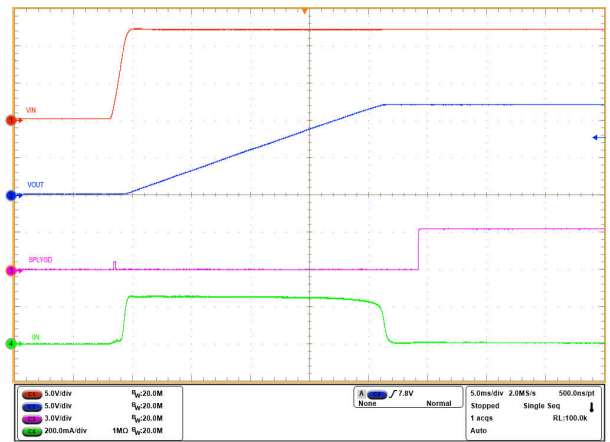


図 6-26. 突入状態中のサーマル シャットダウンまでの時間



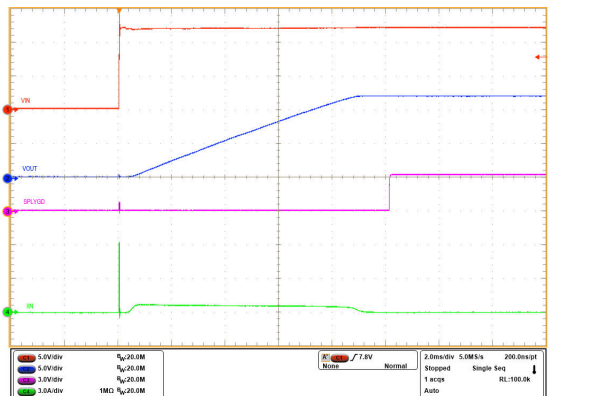
$V_{IN} = 12V$, $C_{OUT} = 220\mu F$, $C_{dVdt} = \text{オープン}$, $V_{EN/UVLO}$ は最大 2V までステップ アップ

図 6-27. イネーブル状態での起動



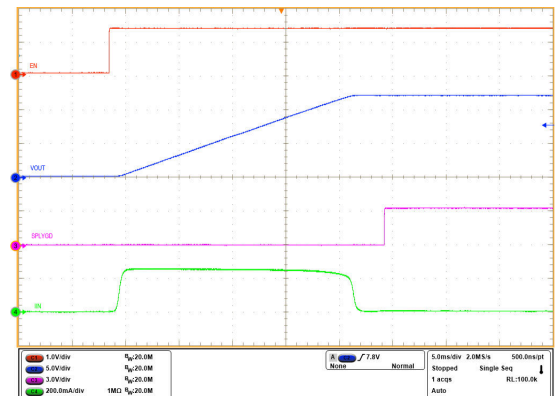
$V_{EN/UVLO} = 2V$, $C_{OUT} = 220\mu F$, $C_{dVdt} = 10nF$, V_{IN} は 12V まで上昇

図 6-28. 電源を使用した起動



$C_{IN} = 0.1\mu F$, $C_{OUT} = 220\mu F$, $C_{dVdt} = 10nF$, $EN/UVLO$ を抵抗ラダー経由で IN に接続、12V ホットプラグで IN に接続

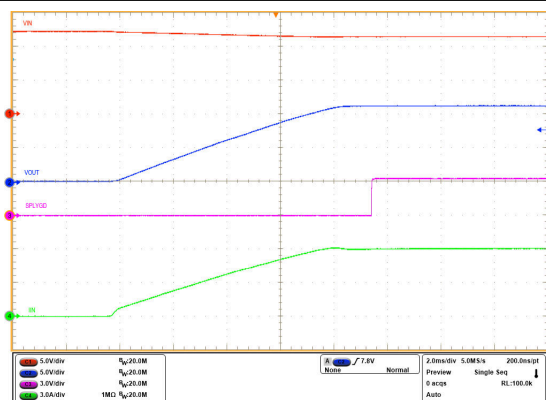
図 6-29. 入力ホットプラグ



$V_{IN} = 12V$, $C_{OUT} = 220\mu F$, $C_{dVdt} = 10nF$, $V_{EN/UVLO}$ は 2V までステップ アップ

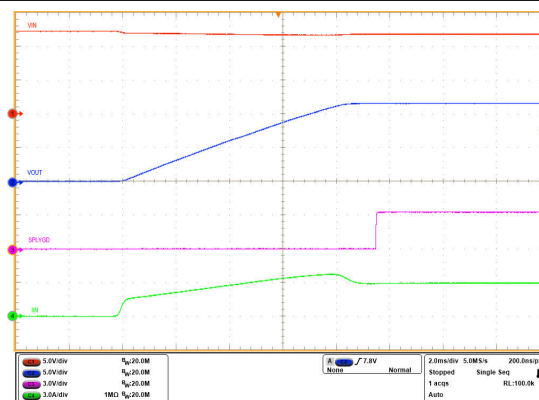
図 6-30. 容量性負荷による突入電流

6.8 代表的特性 (続き)



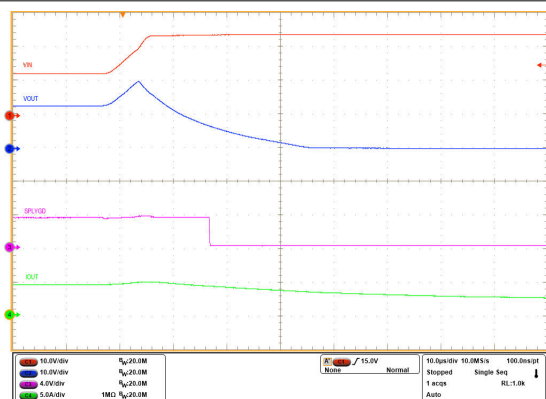
$V_{IN} = 12V$, $C_{OUT} = 220\mu F$, $R_{OUT} = 2\Omega$, $C_{dVdt} = 3300pF$, $V_{EN}/UVLO$ は 2V までステップ アップ

図 6-31. 抵抗性および容量性負荷による突入電流



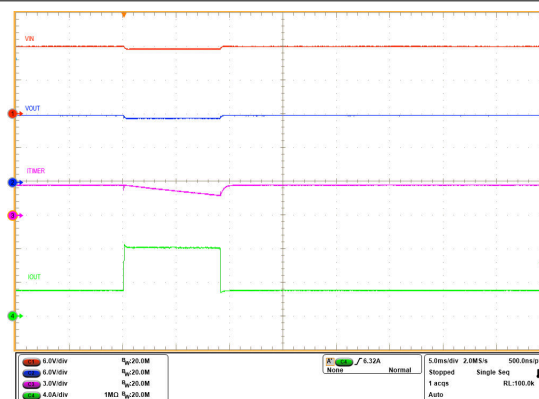
$V_{IN} = 12V$, $C_{OUT} = 690\mu F$, $R_{OUT} = 4\Omega$, $C_{dVdt} = 3300pF$, $V_{EN}/UVLO$ は 2V までステップ アップ

図 6-32. 抵抗性および容量性負荷による突入電流



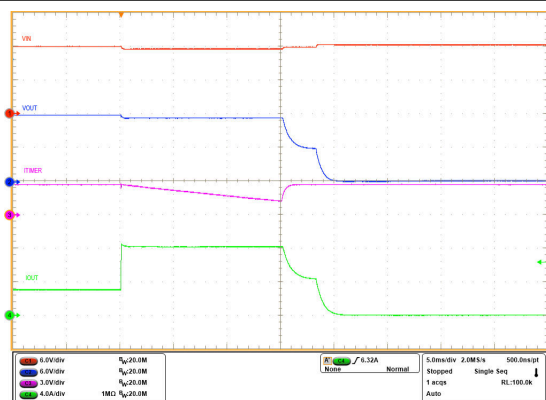
V_{IN} 過電圧スレッショルドを 20V に設定、 V_{IN} を 12V から 23V に上昇

図 6-33. 過電圧誤動作防止の応答



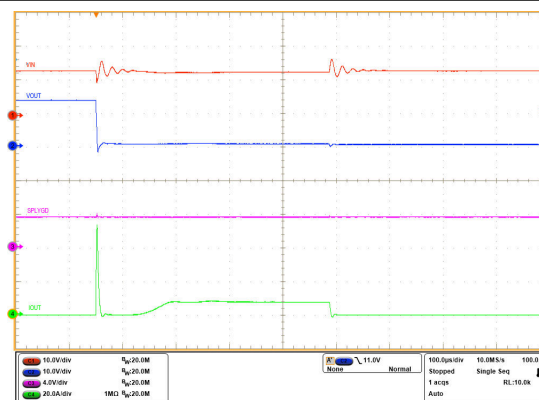
$V_{IN} = 12V$, $C_{ITIMER} = 22nF$, $C_{OUT} = 220\mu F$, I_{LIM} を 4.5A に設定、 I_{OUT} は 9ms 以内に 3A → 8A → 3A にランブ

図 6-34. 過渡過電流ブランキング タイマの応答



$V_{IN} = 12V$, $C_{ITIMER} = 22nF$, $C_{OUT} = 220\mu F$, I_{LIM} を 4.5A に設定、 I_{OUT} を 3A → 9A にステップ アップ

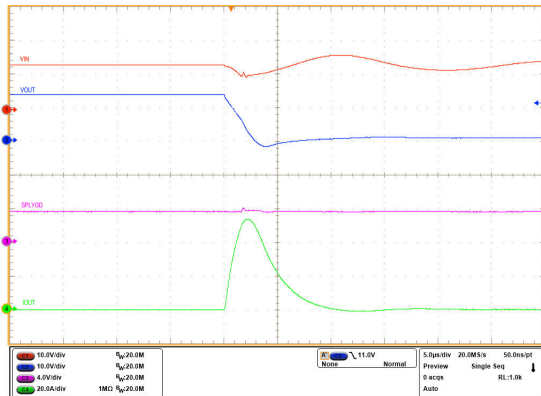
図 6-35. アクティブ電流制限応答後の TSD



$V_{IN} = 12V$, I_{LIM} を 9A に設定、 $V_{EN}/UVLO = 2V$, OUT を Open からステップして → GND に短絡

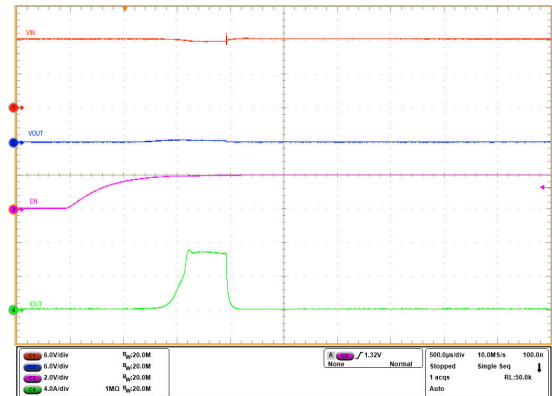
図 6-36. 定常状態時の出力短絡保護

6.8 代表的特性 (続き)



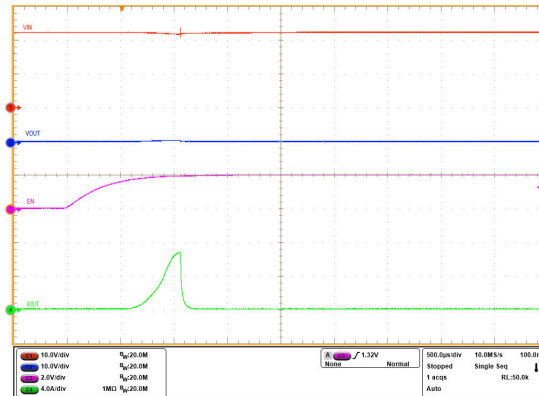
$V_{IN} = 12V$, I_{LIM} を 9A に設定、 $V_{EN/UVLO} = 2V$ 、OUT を Open からステップして → GND に短絡

図 6-37. 定常状態時の出力短絡 (拡大表示)



$V_{IN} = 12V$ 、OUT を GND に短絡、 I_{LIM} を 4.5A に設定、 $V_{EN/UVLO}$ を 0V から 2V にステップ

図 6-38. 短絡時の電源立ち上げ



$V_{IN} = 22V$ 、OUT を GND に短絡、 I_{LIM} を 9A に設定、 $V_{EN/UVLO}$ を 0V から 2V にステップ

図 6-39. 短絡時の電源立ち上げ

7 詳細説明

7.1 概要

TPS25948xx は、システム内で安全な電力供給を確立するために使用されるパワー パスを内蔵した **eFuse** です。デバイスは、IN および OUT バス電圧を監視することによって動作を開始します。電源電圧 (V_{IN} または V_{OUT}) が低電圧保護スレッショルド (V_{UVP}) を超えると、デバイスは **EN/UVLO** ピンをサンプリングします。このピンが高レベル ($> V_{UVLO}$) になると、内部パワー パス (**BFET+HFET**) が導通し始め、電流が IN から OUT に流れることができますようになります。EN/UVLO が "Low" ($< V_{UVLO}$) に保持されると、内部パワー パスがオフになり、IN と OUT の間に電流が流れるのを阻止します。

起動シーケンスが成功した後、デバイスは負荷電流とバス電圧をアクティブに監視し、内部 **HFET** を制御してユーザーが調整可能な過電流制限スレッショルド (I_{LIM}) を超過しないようにし、負荷電流とバス電圧がユーザーが調整可能な過電圧誤動作防止スレッショルド (V_{OVLO}) を超過すると、過電圧スパイクをカットオフします。このデバイスは、短絡イベント時の重大な過電流に対する高速な保護機能も備えています。これにより、有害なレベルの電圧や電流からシステムを安全な状態に保つことができます。同時に、ユーザーが調整可能な過電流ブランキング タイマを使用して、システムは **eFuse** をトリップせずに、負荷電流の中程度の過渡ピークに対応できます。これにより、過渡耐性のある実際の故障に対する堅牢な保護ソリューションが維持されるため、システムの稼働時間を最大限にすることができます。

このデバイスには理想ダイオードのように動作する逆電流ブロック **FET (BFET)** が内蔵されています。**BFET** は、順方向の導通モードで一定の小さな順方向電圧降下 (V_{FWD}) を維持するようリニアに安定化され、出力電圧が入力電圧を超えると、逆電流をブロックするため完全にオフになります。一部のデバイス バリエーションでは、外部ピン制御 (**RCBCTRL**) を使用して逆電流ブロックを無効化することができ、双方向電流フローを可能にして **USB On-the-Go** や **DRP** (デュアル ロール ポート) などのアプリケーションをサポートできます。

このデバイスには、デバイスの温度 (T_J) が推奨動作条件を超えた場合にデバイス自体を保護するため、サーマル センサベースのシャットダウン メカニズムも内蔵されています。

7.2 機能ブロック図

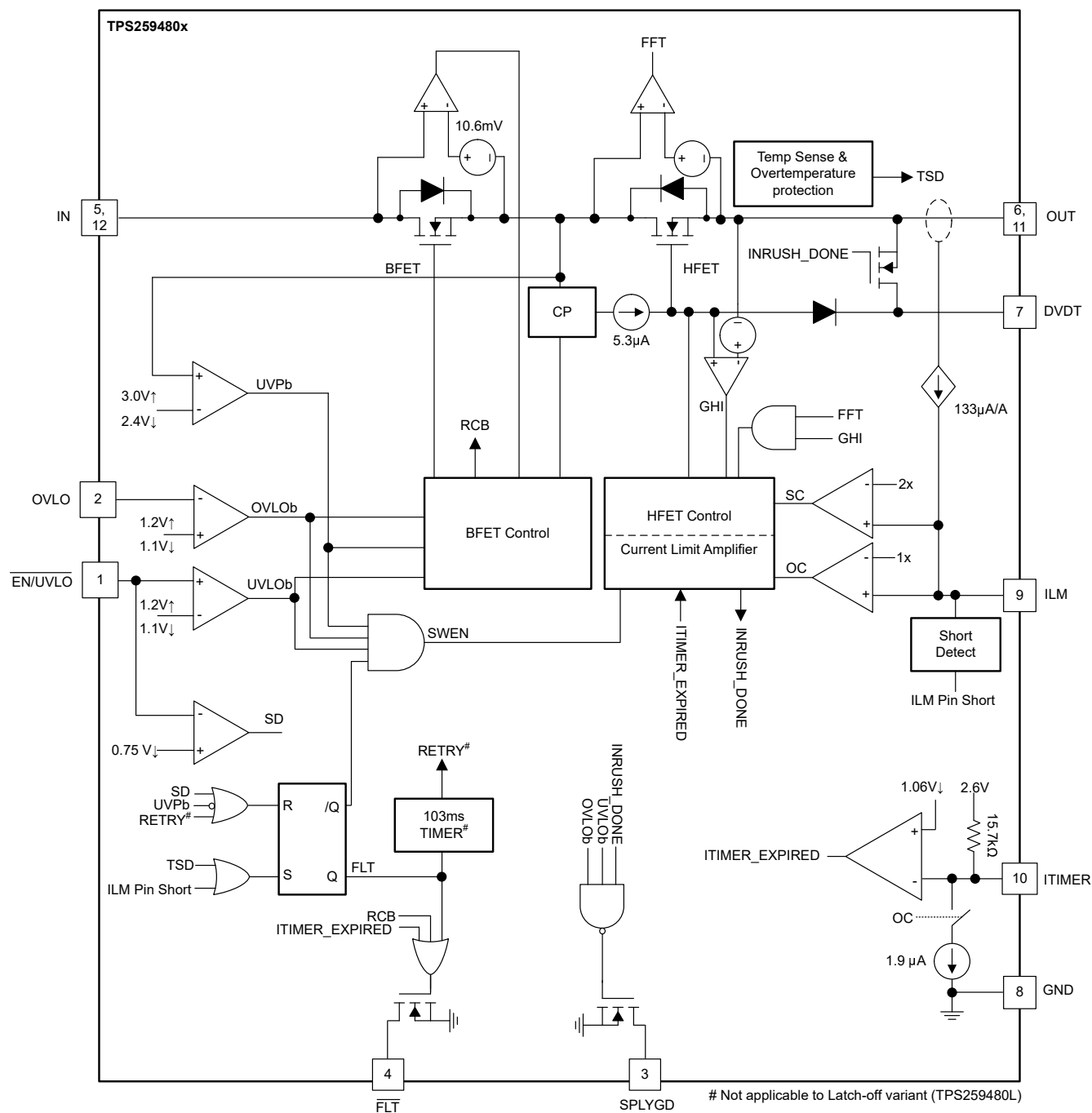
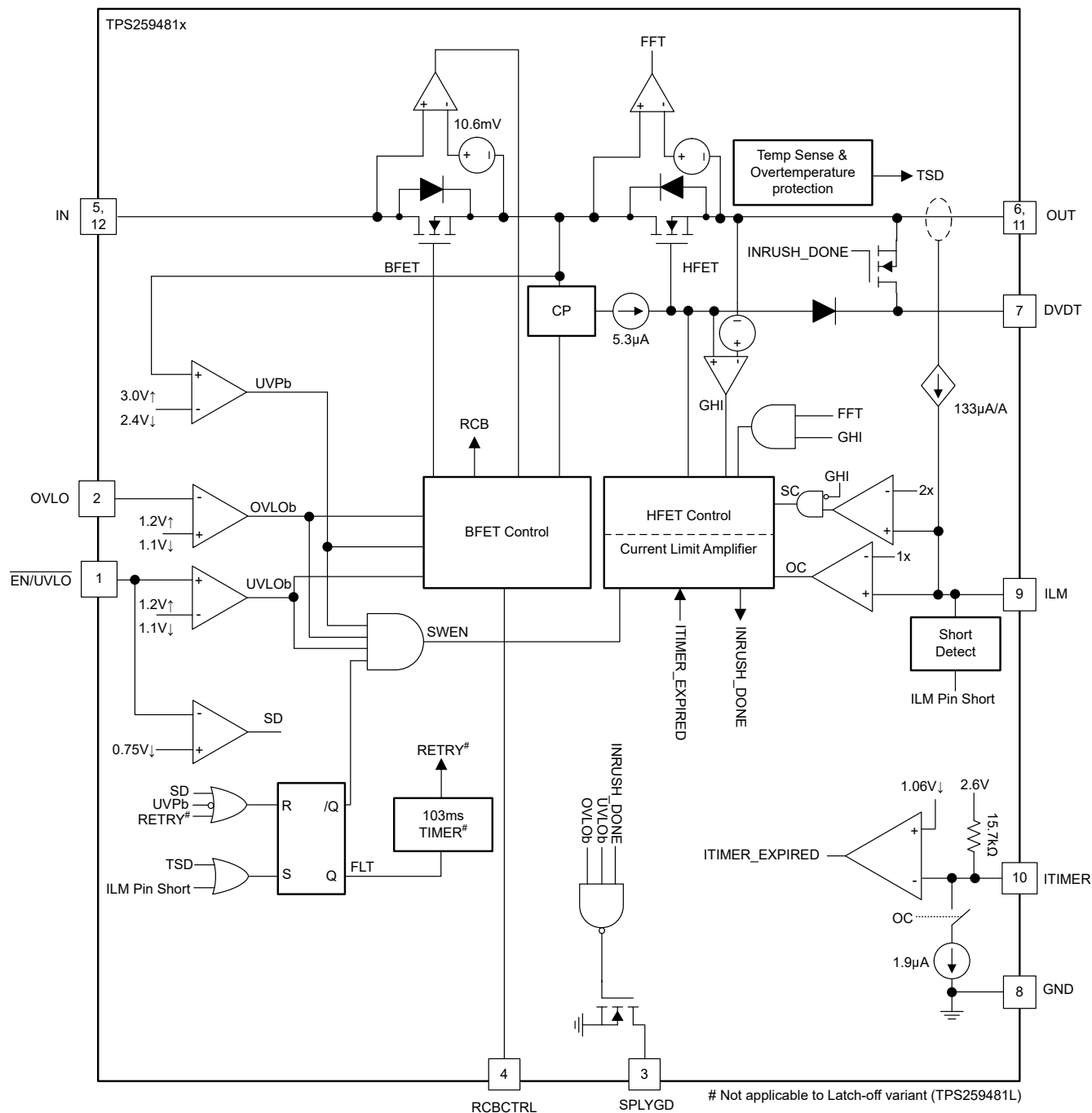


図 7-1. TPS259480x のブロック図



SPLYGD の極性が TPS259481 とは反転していることを除き、TPS259483 のブロック図も同じです

図 7-2. TPS259481x のブロック図

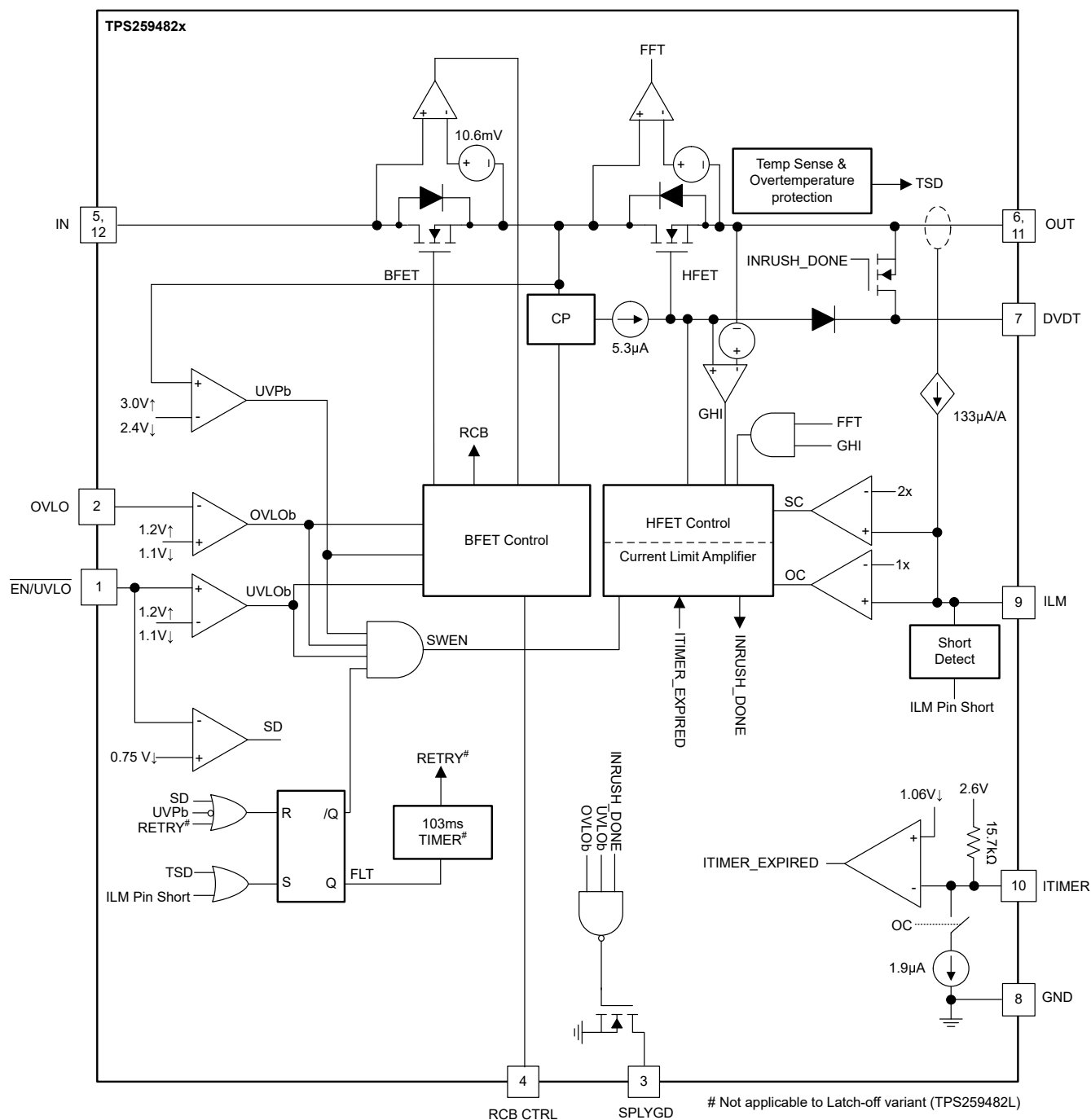


図 7-3. TPS25948x のブロック図

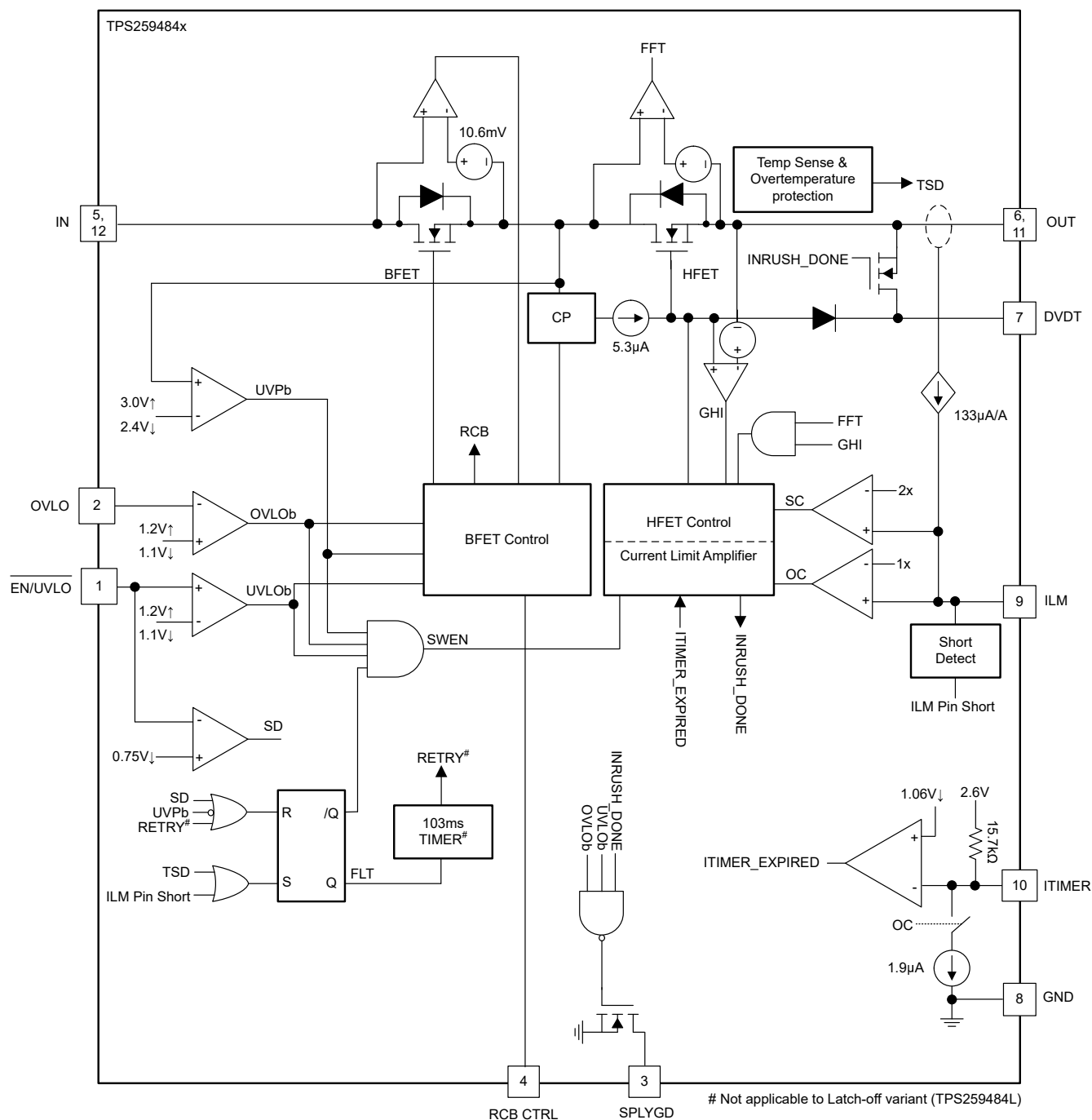


図 7-4. TPS259484 のブロック図

7.3 機能説明

TPS25948xx eFuse は、小型で機能豊富高なパワー マネージメント デバイスであり、システム故障イベント時の検出、保護、および表示を行います。

7.3.1 低電圧誤動作防止 (UVLO および UVP)

TPS259481x/2x/3x は、印加された電圧が低くなりすぎて、システムまたはデバイスが正常に動作できない場合に備えて、IN および OUT に低電圧保護機能を実装しています。低電圧保護のデフォルト誤動作防止スレッシュホールドは V_{UVP} で、この値は内部で固定されています。また、EN/UVLO ピンに UVLO コンパレータを搭載しているため、外部から低電圧保護スレッシュホールドをユーザー定義の値に調整することもできます。図 7-5 および式 1 に、抵抗デバイダを使用して、特定の電源電圧に対して UVLO 設定ポイントを設定する方法を示します。

TPS259484 の場合、このデバイスにはアクティブ "Low" の EN が実装されています。これは、自動オンが望ましいアプリケーションで特に役立ちます。 $V_{IN(UVP(R))}$ を超えるとデバイスが自動的にオンになることを確認するため、ピンを接地します。VIN が $V_{IN(UVP(F))}$ を下回ると、デバイスがオフになります。または、マイコンの出力を使用し、EN/UVLO 立ち上がりスレッシュホールドよりも高く設定してデバイスをオフにし、ピンを EN/UVLO 立ち下がりスレッシュホールドより低くプルダウンすることによってデバイスをオンにします。

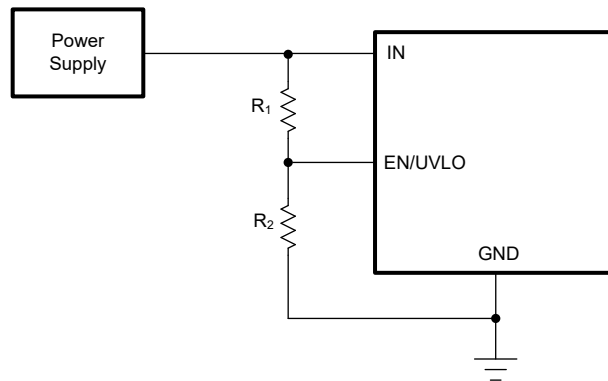


図 7-5. 可変低電圧保護

$$V_{IN(UV)} = V_{UVLO(F)} \times \frac{R_1 + R_2}{R_2} \quad (1)$$

7.3.2 過電圧誤動作防止 (OVLO)

TPS25948xx を使用すると、バスに過電圧保護機能を実装して、電源過電圧状態からシステムをシールドできます。OVLO ピンは高速コンパレータを搭載しているため、外部から過電圧誤動作防止スレッシュホールドをユーザー定義の値に調整することもできます。OVLO ピンの電圧が OVLO 立ち上がりスレッシュホールド $V_{OV(R)}$ を超えると、デバイスは両方の FET をオフにし、パワー パスを遮断します。その後、デバイスが OVLO ピンの電圧が OVLO 立ち下がりスレッシュホールド $V_{OV(F)}$ を下回るまで待機した後、FET が再度オンになります。ヒステリシスを提供するため、立ち上がりスレッシュホールドと立ち下がりスレッシュホールドはわずかに異なります。図 7-6 および式 2 に、抵抗デバイダを使用して、特定の電源電圧に対して OVLO 設定ポイントを設定する方法を示します。

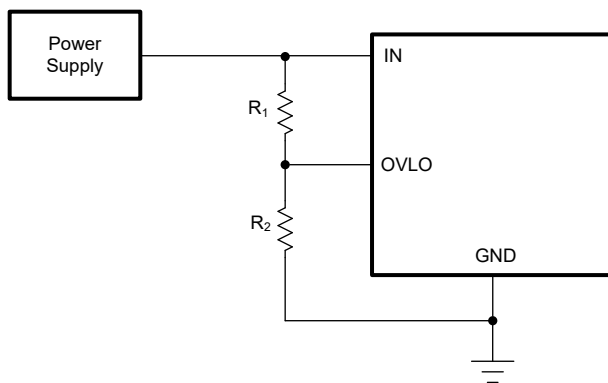


図 7-6. 調整可能な過電圧保護機能

$$V_{IN(OV)} = V_{OV(F)} \times \frac{R1 + R2}{R2} \quad (2)$$

OVLO イベントからの復帰中に、TPS25948xx は突入制御 (dVdt) をバイパスし、電流が制限された方法で起動することで、より高速なターン オンを実現し、電源過渡状況時の電源ドループを最小化します。

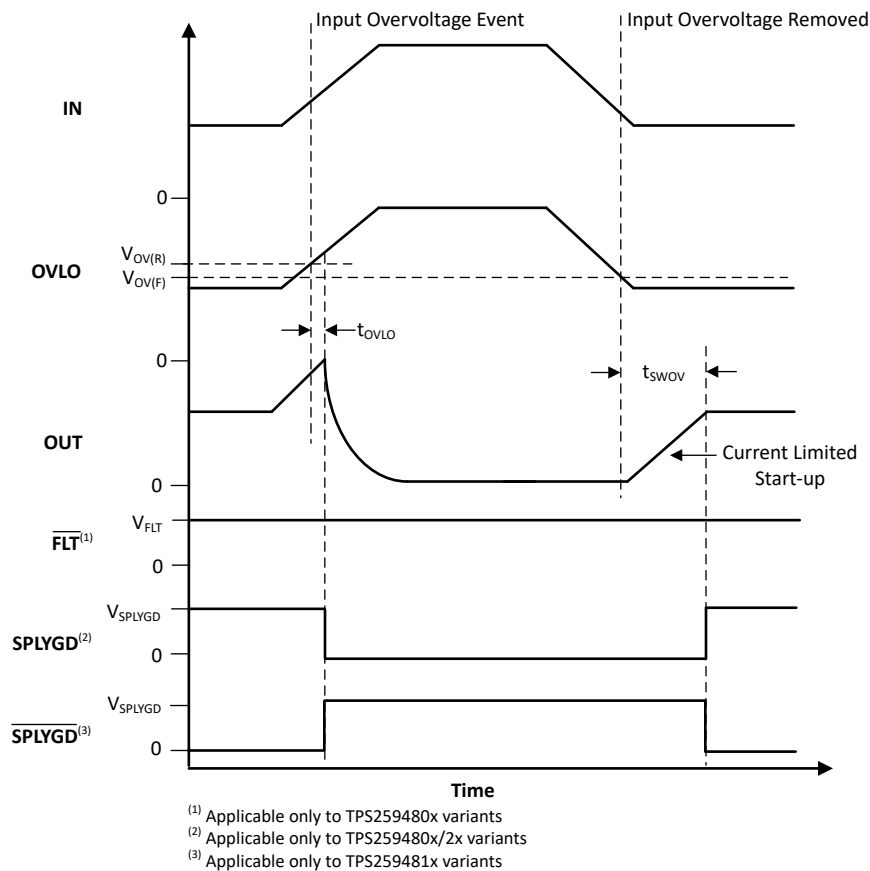


図 7-7. TPS25948xx の過電圧誤動作防止および復帰

7.3.3 突入電流、過電流および短絡保護

TPS25948xx には、過電流に対する 4 つのレベルの保護が組み込まれています。

1. 突入電流制御のための調整可能なスルー レート (dVdt)

2. 起動時または定常状態時の過電流保護のための可変スレッショルド (I_{LIM})
3. 起動時または定常状態時の深刻な過電流に対する高速トリップ応答のための可変スレッショルド (I_{SC})
4. 定常状態時のハード出力短絡に対する迅速な保護を目的とした、高速トリップ応答のための固定スレッショルド (I_{FFT})

7.3.3.1 スルー レート (dVdt) および突入電流制御

ホットプラグ イベント時や起動時の大きな出力キャパシタンスの充電中に、大きな突入電流が発生する可能性があります。突入電流を適切に管理しないと、突入電流により入力コネクタが損傷し、システム電源が低下する可能性があります。その結果システムの他の場所で予期しない再起動が発生します。ターンオン時の突入電流は、負荷容量と立ち上がりスルーレートに正比例します。

式 3 を使用して、与えられた負荷容量 (C_{OUT}) について突入電流 (I_{INRUSH}) を制限するのに必要なスルーレート (SR) を計算できます。

$$I_{INRUSH} \text{ (mA)} = C_{OUT} \text{ (}\mu\text{F)} \times SR_{ON} \text{ (V/ms)} \quad (3)$$

dVdt ピンにコンデンサを接続することで、立ち上がりスルーレートを制御し、ターンオン時の突入電流を低減できます。特定のスルーレートを生成するために必要な C_{dVdt} 容量は、次の式を使用して計算できます。

$$C_{DVDT} \text{ (pF)} = \frac{5000}{SR_{ON} \text{ (V/ms)}} \quad (4)$$

dVdt ピンをオープンのままにし、最も高速な出力スルーレートを実現できます。

注

1. 上記のスルーレートの計算は、 $C_{dVdt} > 1\text{nF}$ に対して有効です。 C_{dVdt} 値が低い場合は、内部ゲート容量が支配的になり、実際のスルーレートが計算とずれる可能性があります。
2. 起動時のスルーレート制御は HFET でのみ実行されるため、IN から OUT への突入電流の制御が可能です。
3. $C_{dVdt} > 10\text{nF}$ の場合は、dVdt ピンのコンデンサと直列に 100Ω の抵抗を追加することを推奨します。

7.3.3.2 アクティブ電流制限

TPS25948xx は、出力過電流状態に反応して、ユーザーによる調整が可能な過渡故障ブランキング間隔の後に、電流をアクティブに制限します。負荷電流が、ILM ピン抵抗 (R_{ILM}) で設定された過電流スレッショルド (I_{LIM}) を超えても、短絡スレッショルド (バリエーションに応じて $2 \times I_{LIM}$ または I_{FFT}) を下回ったままになると、デバイスは内部の $1.9\mu\text{A}$ プルダウン電流を使用して ITIMER ピン コンデンサの放電を開始します。ITIMER コンデンサ (C_{ITIMER}) が ΔV_{ITIMER} によって放電される前に、負荷電流が過電流スレッショルドを下回ると、ITIMER は内部で V_{INT} へプルアップすることでリセットされ、電流制限アクションは開始されません。これにより、短い負荷過渡パルスが電流を制限せずにデバイスを通過できるようになります。過電流状態が続くと、 C_{ITIMER} は放電を続け、 ΔV_{ITIMER} によって放電されると、電流制限によって HFET のレギュレーションが開始され、電流が、設定された過電流スレッショルド (I_{LIM}) にアクティブに制限されます。同時に、 C_{ITIMER} は V_{INT} まで充電されるため、次の過電流イベントの前にデフォルト状態になります。これにより、すべての過電流イベントに対して、完全なブランキング タイマ間隔が確保されます。式 5 を使用して、目的の過電流スレッショルドに対する R_{ILM} 値を計算できます。

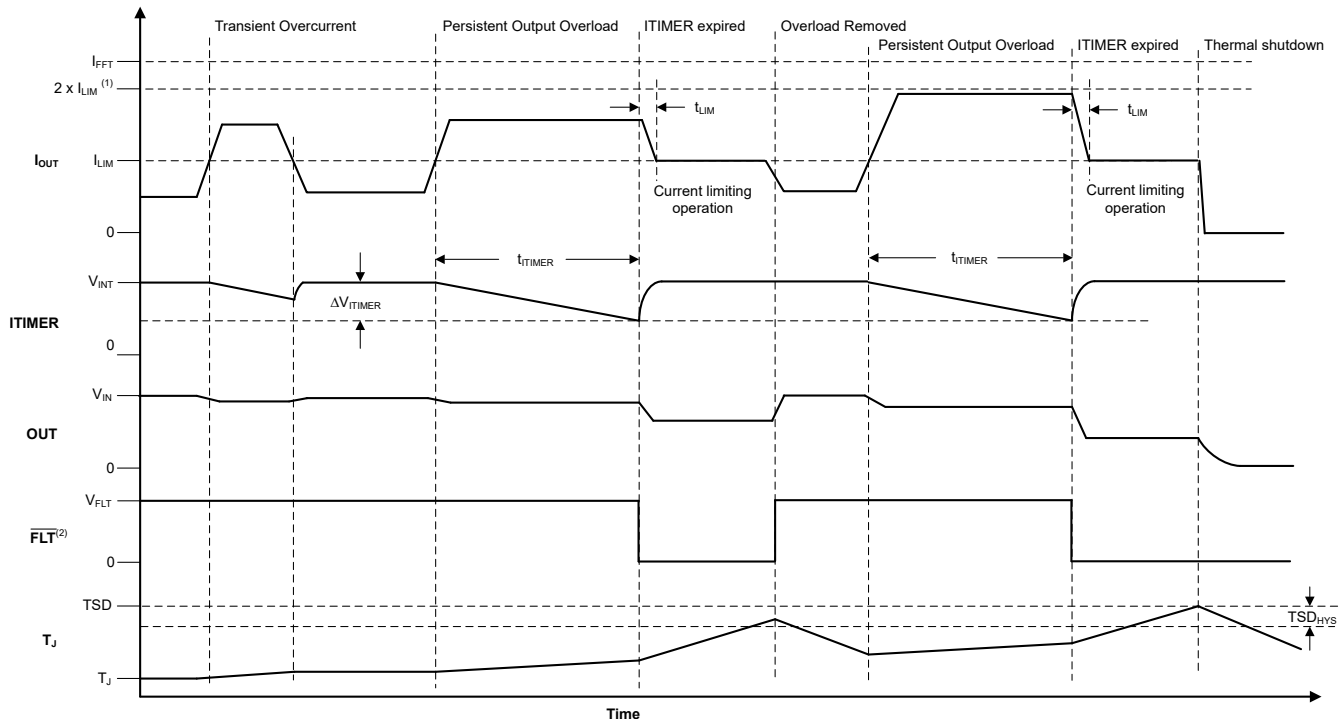
$$R_{ILM} \text{ (}\Omega\text{)} = \frac{4834}{I_{LIM} \text{ (A)}} \quad (5)$$

注

1. TPS259480x/2x バリエントは、ITIMER 期間の間、 $2 \times I_{LIM}$ までの最大過渡負荷電流を許容します。TPS259481x/3x バリエントを使用すると、ITIMER 期間の間、最大 I_{FFT} の過渡負荷電流を供給できます。
2. ILM ピンをオープンのままにすると、電流制限が 0 に設定され、部品が電流制限に入るか、出力でわずかな負荷で高速トリップが実行されます。
3. 電流制限回路は、フォールドバック メカニズムを採用しています。フォールドバック領域の電流制限スレッシュホールド ($0V < V_{OUT} < V_{FB}$) は、定常状態の電流制限スレッシュホールド (I_{LIM}) よりも低くなります。
4. 通常動作中に ILM ピンを接地すると、故障として検出され、部品はシャットダウンされます。ピンの短絡状態が検出される前に、部品がこの状態を許容する最小電流 (I_{FLT}) が存在します。

過渡を許容する時間は、ITIMER ピンとグランドの間の適切なコンデンサ値を使用して調整できます。目的の過渡過電流ブランキング間隔を設定するために必要な C_{ITIMER} 値は、式 6 を使用して計算できます。

$$C_{ITIMER} \text{ (nF)} = \frac{t_{ITIMER} \text{ (ms)} \times I_{ITIMER} \text{ (}\mu\text{A)}}{\Delta V_{ITIMER} \text{ (V)}} \quad (6)$$



⁽¹⁾ Applicable only to TPS259480x/2x variants

⁽²⁾ Applicable only to TPS259480x variants

図 7-8. TPS25948xx のアクティブな電流制限応答

注

1. ITIMER ピンをオープンのままにすると、部品が最小限の遅延で電流を制限できるようになります。
2. ITIMER ピンをグランドに短絡すると、過電流応答遅延は最小になりますが (ITIMER ピンの開放状態と同様)、デバイスの電流消費は増加します。これは推奨動作モードではありません。
3. R_{ILIM} に基づくアクティブ電流制限が有効になります。起動電流が I_{LIM} を超えた場合、デバイスは電流を設定した制限にレギュレートします。ただし、起動中は、電流の制限は ITIMER の遅延を待機せずに開始されます。
4. C_{ITIMER} の値を大きくすると過電流ブランキング間隔が延長されますが、 C_{ITIMER} が V_{INT} に再充電されるまでに必要な時間も延長されます。 C_{ITIMER} が完全に再充電される前に次の過電流イベントが発生した場合、ITIMER の期限切れスレッシュホールドまで放電するのに要する時間が短くなるため、意図したよりもブランキング間隔が短くなります。

アクティブ電流制限中、出力電圧降下により HFET 全体のデバイス消費電力が増加します。デバイスの内部温度 (T_J) がサーマル シャットダウン スレッシュホールド (TSD) を超えると、HFET がオフになります。TSD の故障により部品がシャットダウンすると、部品はラッチ オフ状態を維持するか (TPS25948xL バリエント)、または固定遅延後に自動的に再起動します (TPS25948xA バリエント)。過熱に対するデバイスの応答の詳細については、「[過熱保護 \(OTP\)](#)」を参照してください。

7.3.3.3 短絡保護

出力短絡発生中は、本デバイスを流れる電流が非常に急速に増加します。重大な過電流状態が検出されると、デバイスによって高速トリップ応答がトリガされ、電流が安全なレベルに制限されます。TPS259480x/2x のバリエントでは、内部の高速トリップ コンパレータがスケラブルなスレッシュホールド ($I_{SC} = 2 \times I_{LIM}$) を採用しています。これにより、ユーザーは一部の低電流システムには高すぎる可能性がある固定スレッシュホールドを使用する代わりに、高速トリップ スレッシュホールドを調整できます。また、このデバイスは、固定高速トリップ スレッシュホールド (I_{FFT}) を採用して、定常状態時のハード短絡に対する高速保護を実現します。固定高速トリップ スレッシュホールドは、ユーザーが調整できる、スケラブルな高速トリップ スレッシュホールドの最大推奨値よりも高くなります。TPS259481x/3x のバリエントは、固定の高速トリップ スレッシュホールドのみを採用しています。電流が I_{SC} または I_{FFT} を超えると、HFET が t_{SC} または t_{FT} 内に完全にオフになります。その後、デバイスはグリッチ除去期間 (30 μ s) の後、 dV/dt によって制限された方法ではなく、電流制限された方法で HFET をオンに戻すように試みます。これにより、過渡過電流イベントが発生した後に HFET は迅速に復帰し、出力電圧のドループを最小化できます。ただし、故障が持続する場合、デバイスは電流制限状態のままになり、接合部温度が上昇し、最終的にはサーマル シャットダウンに移行します。過熱に対するデバイスの応答の詳細については、「[過熱保護 \(OTP\)](#)」セクションを参照してください。

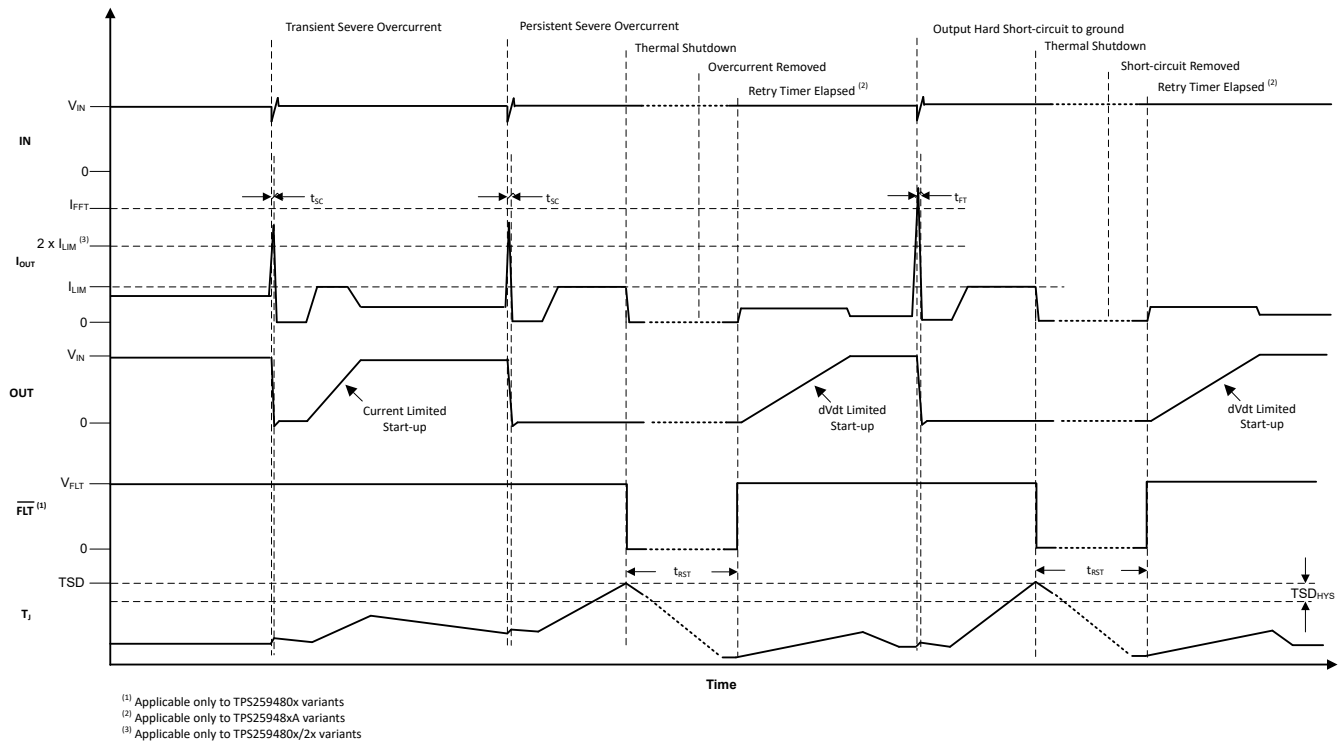


図 7-9. TPS259480x/2x の短絡応答

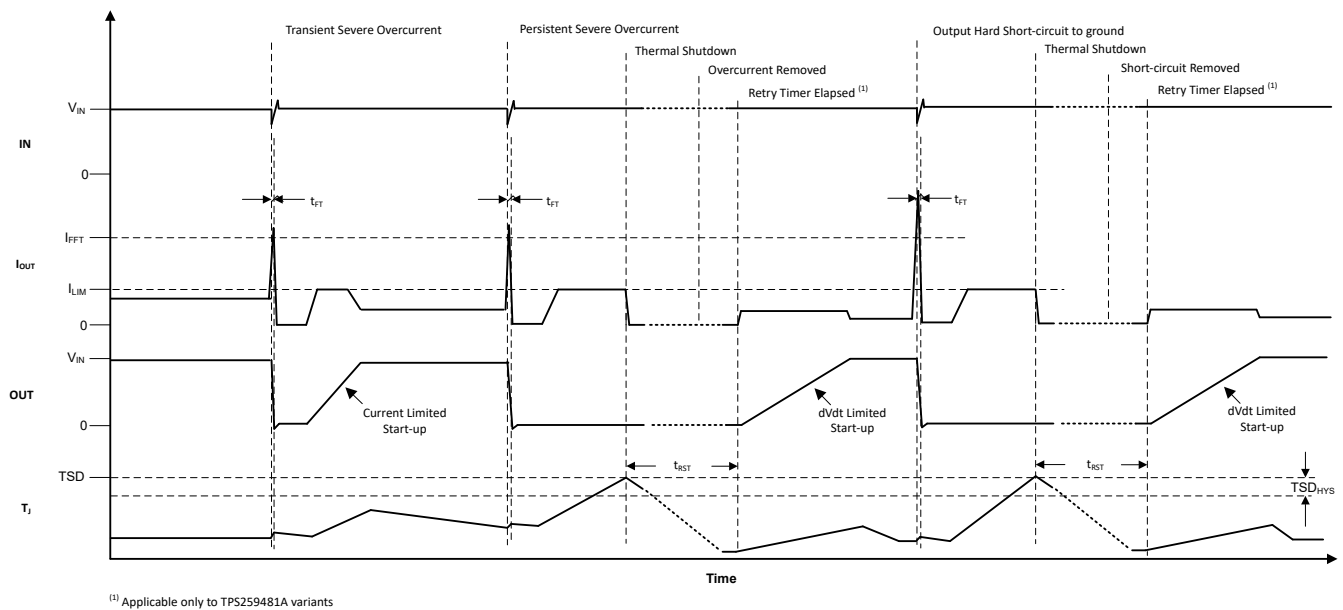
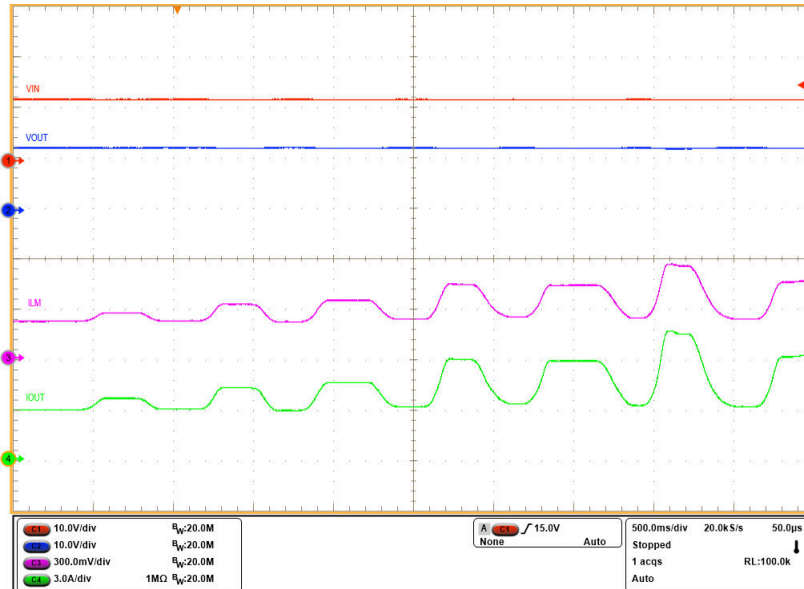


図 7-10. TPS259481x/3x の短絡応答

7.3.4 アナログ負荷電流モニタ

TPS25948xx では、FET を流れる電流に比例したアナログ電流センス出力を ILM ピンに供給することで、システムが出力負荷電流を正確に監視できるようになります。ユーザーは、 R_{ILM} の全体で電圧 (V_{ILM}) を検出し、出力負荷電流の測定値を取得できます。

$$\text{ILOAD (A)} = \frac{\text{VIMON } (\mu\text{V})}{\text{RILM } (\Omega) \times \text{GIMON } (\mu\text{A/A})} \quad (7)$$



$V_{IN} = 12V$, $C_{OUT} = 220\mu F$, $R_{ILM} = 536\Omega$, I_{OUT} は 3A と 8A の間で動的に変動

図 7-11. アナログ負荷電流モニタ応答

注

ILM ピンは、容量性負荷の影響を受けやすくなっています。安定した動作のため、ILM ピンの寄生容量性負荷が 50pF 未満になるように、慎重な設計およびレイアウトが必要です。

7.3.5 逆電流保護

TPS25948xx は、理想ダイオードのように機能し、あらゆる状態の下で OUT から IN へ逆電流が流れるのをブロックします。このデバイスには、共通ドレイン構成で接続された双方向 MOSFET が内蔵されています。IN ピンと OUT ピンの間の電圧降下は絶えず監視され、 V_{FWD} での順方向電圧降下をレギュレートするために、必要に応じてブロック FET (BFET) のゲートドライブが調整されます。この閉ループレギュレーション方式 (リニア OR 接続制御) により、逆電流イベント時に MOSFET を穏やかにオフにでき、DC 逆電流をほぼゼロにします。

また、このデバイスは、過渡逆電流に対する高速応答 (t_{RCB}) を提供するため、従来のコンパレータ (V_{REVTH}) による逆電流ブロック メカニズムも使用しています。デバイスが逆電流ブロック状態に移行すると、($V_{IN} - V_{OUT}$) の順方向降下が V_{FWDTH} を超えるまで待機してから、高速な復帰を実行して完全な順方向導通状態に到達します。これにより、電源ノイズやリップルが逆電流ブロック応答に影響を与えないようにするための、十分なヒステリシスが得られます。逆電流ブロックからの復帰は非常に高速です (t_{SWRCB})。これにより、確実に電源ドループを最小化でき、電源のマルチプレクシング / OR 接続や USB の高速ロール スワップ (FRS) などのアプリケーションに役立ちます。

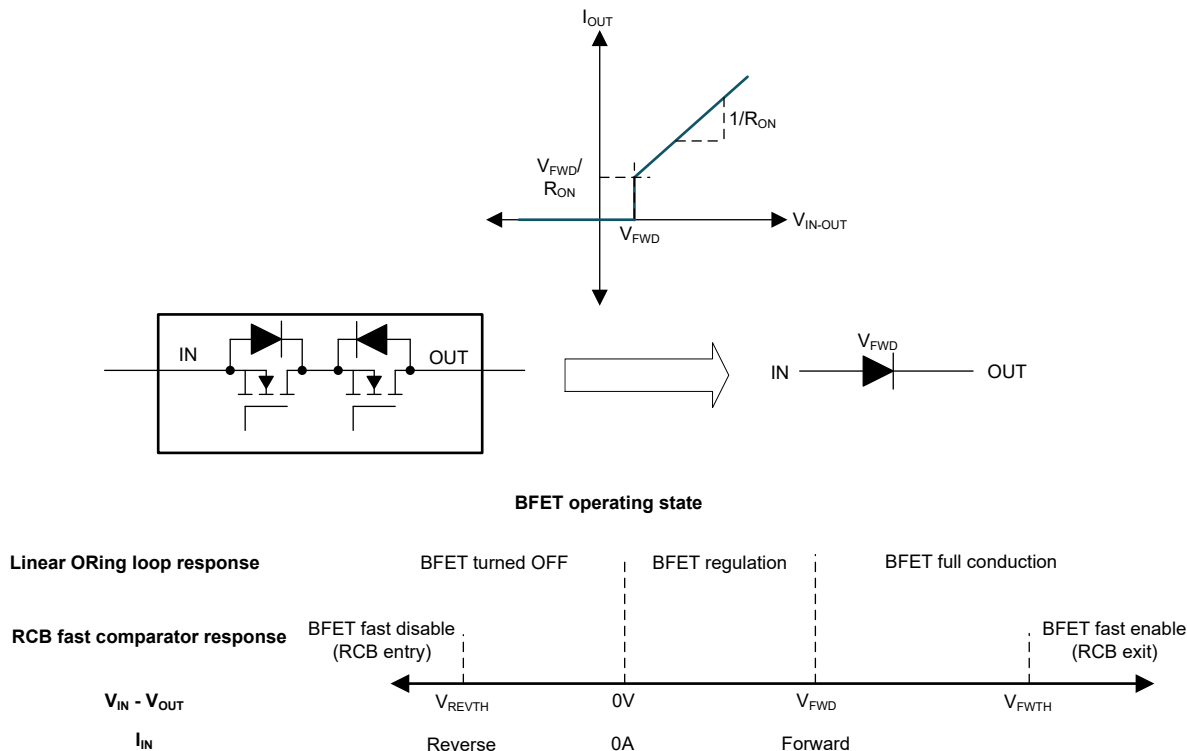


図 7-12. 逆電流ブロック応答

以下の波形は、さまざまなシナリオにおける逆電流ブロックの性能を示しています。

出力での高速な電圧ステップ (ホットプラグなど) 中は、高速コンパレータ ベースの逆電流ブロック メカニズムにより、入力レールでのジャンプやグリッチを最小限に抑えられます。

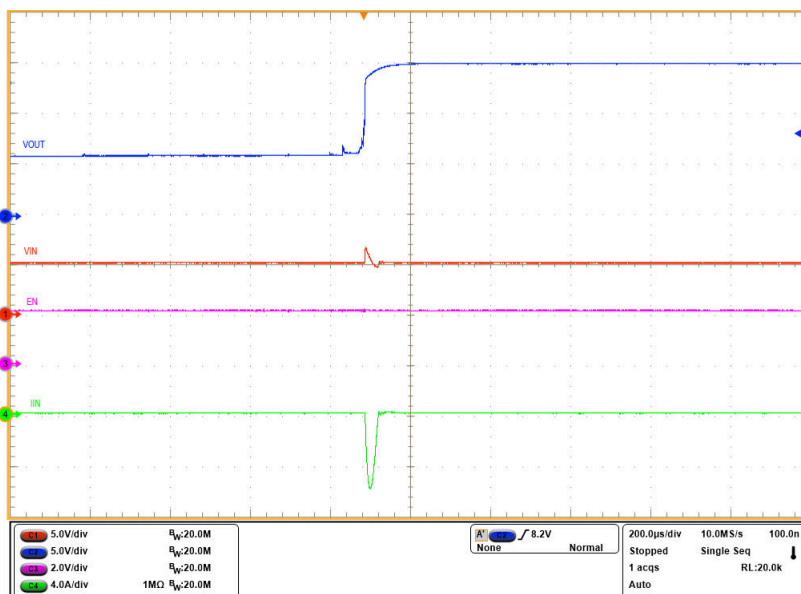


図 7-13. 出力での高速電圧ステップ時の逆電流ブロック性能

出力での低速な電圧ランプ中は、リニア OR 接続ベースの逆電流ブロック メカニズムにより、OUT から IN に DC 電流がほぼ流れないことが保証され、入力レールが低速で出力電圧まで充電されないようにできます。

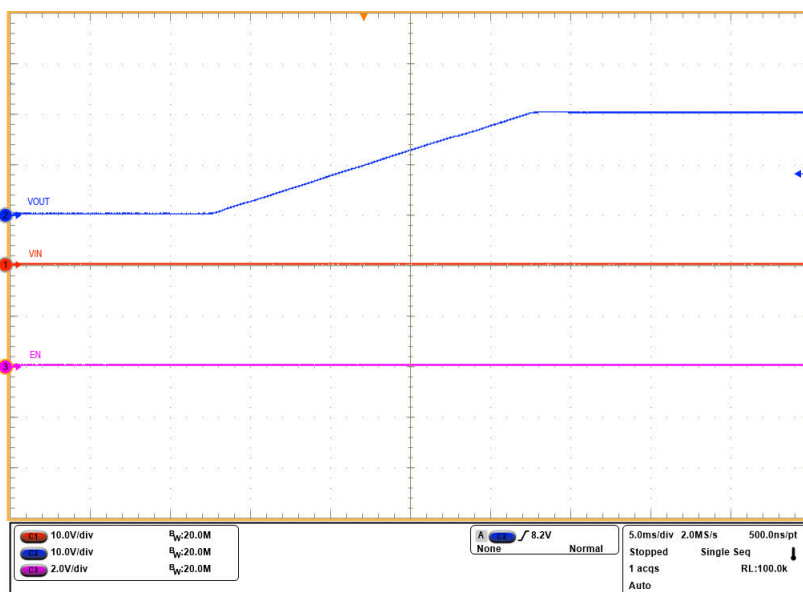


図 7-14. 出力での低速な電圧ランプ時の逆電流ブロック性能

出力ストレージ素子 (バルク キャパシタまたはスーパー キャパシタ) が最大電圧まで充電されている間に入力電源がドロップしたり接続解除されたりした場合、リニア OR 接続方式により、OUT から IN への自己放電が最小化されます。これにより、重要な電源バックアップ アプリケーションで、出力ストレージ素子の最大ホールドアップ時間を確保できます。

また、入力電圧を検知して電源が接続されているかどうかを検出するアプリケーションでの電源の存在の誤表示も防止します。

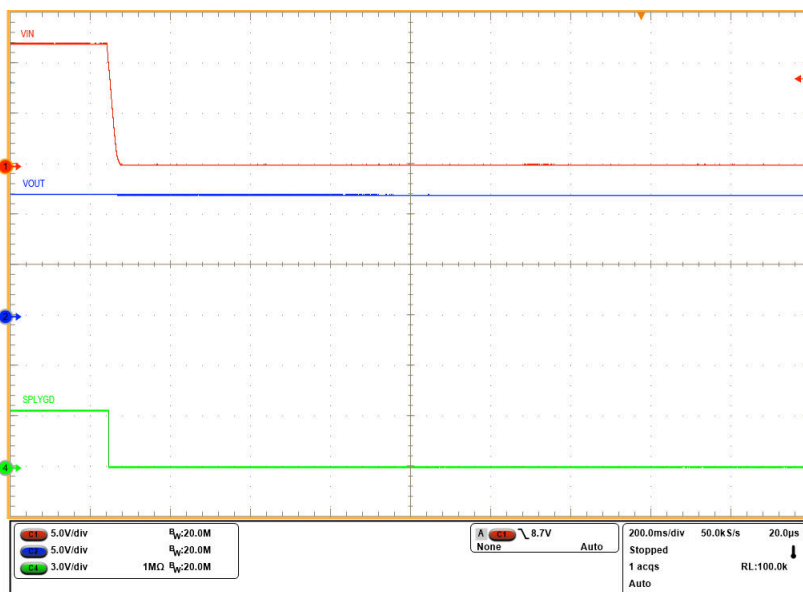


図 7-15. 入力電源故障時の逆電流ブロック性能

TPS259481x/2x/3x バリエントでは、RCBCTRL ピンを使用して逆電流ブロック方式を無効にするオプションがあります。RCBCTRL ピンをフローティングのままにするか、"High" にプルすると、定常状態中に逆電流ブロックが有効にされ、ピンを "Low" にプルすると無効にされます。

注

RCBCTRL ピンは、定常状態でのみ、逆電流ブロックのメカニズムを制御します。無効の状態、または逆電流ブロックが常に有効な故障状態の間は、何の影響も及ぼしません。

7.3.6 過熱保護 (OTP)

TPS25948xx は内部ダイ温度 (T_J) を常に監視し、温度が安全動作レベル (TSD) を超えると即座に部品をシャットダウンして、デバイスを損傷から保護します。接合部温度が十分に低下するまで (つまり、ダイ温度が $(TSD - TSD_{HYS})$ を下回るまで)、デバイスはオンに戻りません。

TPS25948xL (ラッチオフ バリエント) は熱的過負荷を検出するとシャットダウンし、デバイスの電源をオフにして再サイクルするか再度イネーブルになるまで、ラッチオフ状態を維持します。TPS25948xA (自動再試行バリエント) が熱的過負荷を検出すると、温度が TSD_{HYS} によって十分に下がるまでオフに維持されます。その後、デバイスは追加の t_{RST} の遅延時間の間オフのまま維持され、その後デバイスがイネーブルのままなら、自動的に起動を試みます。

表 7-1. サーマル シャットダウン

デバイス	TSD 開始	TSD 終了
TPS25948xL (ラッチオフ)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ V_{IN} が 0V にサイクルされ、 $V_{UVP(R)}$ を上回る、または EN/UVLO が $V_{SD(F)}$ より低くトグルされる
TPS25948xA (自動再試行)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ V_{IN} が 0V にサイクルされ、 $V_{UVP(R)}$ を上回る、または EN/UVLO が $V_{SD(F)}$ より低くトグルされる、あるいは t_{RST} タイマが期限切れになる

7.3.7 フォルト応答および表示 (FLT)

次の表は、各種故障条件に対するデバイスの応答をまとめたものです。また、TPS259480x バリエントでは、アクティブ "Low" の外部故障表示 (FLT) ピンを利用できます。

表 7-2. 故障のまとめ

EVENT	保護応答	内部でラッチされた故障	FLT ピンのステータス ⁽¹⁾	FLT アサート遅延 ⁽¹⁾
過熱	シャットダウン	Y	L	
低電圧 (UVP または UVLO)	シャットダウン	N	H	
入力過電圧	シャットダウン	N	H	
過渡過電流 ($I_{LIM} < I_{OUT} < 2 \times I_{LIM}$ または t_{TIMER} 未満の期間の間は I_{FFT})	なし	N	H	
継続的な過電流	電流制限	N	L	t_{TIMER}
GND への出力短絡	電流制限によるサーキットブレーカ	N	H	
ILM ピンは開放 (定常状態中)	シャットダウン	N	H	
ILM ピンは GND へ短絡	シャットダウン	Y	L	
逆電流 ($(V_{OUT} - V_{IN}) > V_{REVTH}$)	逆電流保護	N	H	

(1) TPS259480x バリエントにのみ適用。

内部でラッチされた故障は、部品の電源をサイクルする (V_{IN} を 0V にプルする) か、EN/UVLO ピンの電圧を $V_{SD(F)}$ 未満にプルすることでクリアできます。これにより、TPS259480x バリエーション用の $\overline{FLT}$ ピンのプルダウンも解放され、TPS25948xA (自動再試行) バリエーションの t_{RST} タイマがリセットされます。

ラッチされた故障では、EN/UVLO を UVLO スレッシュホールドよりもわずかに低くプルしても、デバイスに影響はありません。これは、TPS25948xL (ラッチオフ) および TPS25948xA (自動再試行) 両方のバリエーションに当てはまります。

TPS25948xA (自動再試行) バリエーションでは、故障後に t_{RST} タイマが期限切れになると、デバイスが自動的に再起動し、 $\overline{FLT}$ ピンがデアサートされます (TPS259480A バリエーション)。

7.3.8 電源グッド表示 (SPLYGD/ $\overline{SPLYGD}$)

TPS25948xx は、優先入力電源が有効範囲 (UVP/UVLO より高く、OVLO スレッシュホールドを下回っている) に達し、デバイスが突入シーケンスを正常に完了したことを示すデジタル出力 (SPLYGD/ $\overline{SPLYGD}$) を備えています。SPLYGD/ $\overline{SPLYGD}$ ピンは、外部電源にプルアップする必要があるオープンドレイン信号です。TPS259480x/2x/3x バリエーションの場合、SPLYGD はアクティブ "High" 出力です。TPS259481x バリエーションの場合、 $\overline{SPLYGD}$ はアクティブ "Low" 出力です。

パワーアップ後、SPLYGD/ $\overline{SPLYGD}$ ピンは最初にデアサートされます。デバイスは突入シーケンスを開始し、HFET が制御された方法でオンになります。FET ゲート電圧がフルにオーバードライブに達し、突入シーケンスが完了し、デバイスが最大出力を供給できることを示すと、SPLYGD/ $\overline{SPLYGD}$ ピンがアサートされます。その後、入力電源が無効になった (UVP/UVLO 未満、または OVLO スレッシュホールドを上回っている) 場合にのみ、SPLYGD/ $\overline{SPLYGD}$ ピンがデアサートされます。負荷側のイベント / 故障で SPLYGD/ $\overline{SPLYGD}$ のデアサートを制御することはできません。

2 個の TPS25948xx デバイスを優先パワー マルチプレクサ構成で接続する場合に、このピンを使用して補助チャネルを制御します。また、ダウンストリーム負荷またはシステム スーパーバイザへの電源の有効ステータス表示としても使用できます。

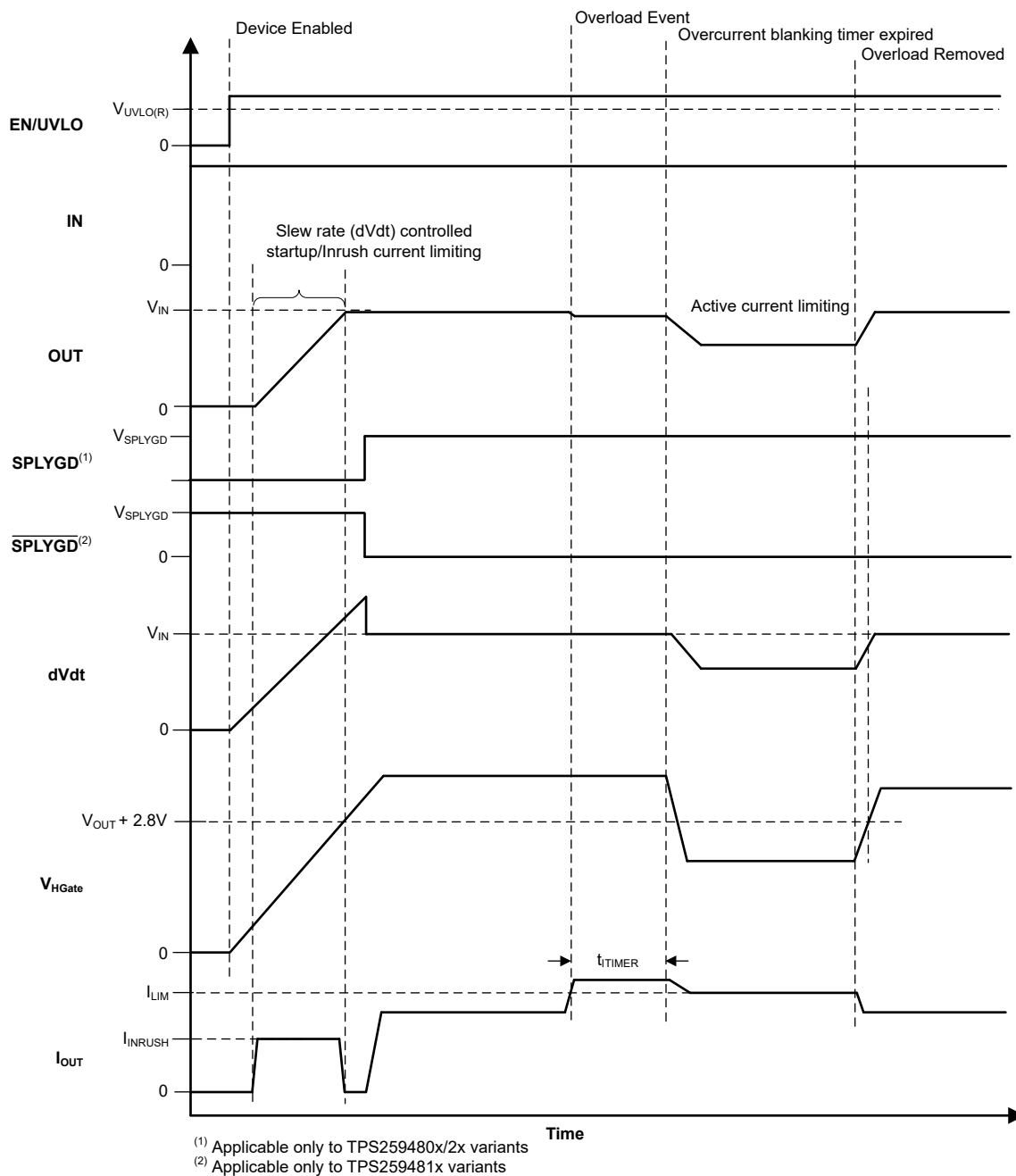


図 7-16. TPS25948xx SPLYGD の動作

表 7-3. TPS25948xx SPLYGD/SPLYGD 表示のまとめ

イベント / 状態	SPLYGD ピン ⁽¹⁾	$\overline{\text{SPLYGD}}$ ピン ⁽²⁾
電源ブラウンアウト (UVP)	L	L
シャットダウン ($\text{EN} < V_{\text{SD}}$)	L	L
低電圧 (UVLO)	L	H
過電圧 (OVLO)	L	H
突入電流	L	H
定常状態	H	L
過電流	H	L
短絡	H	L
ILM ピンは開放	H	L
ILM ピンは GND へ短絡	H	L
逆電流 ($(V_{\text{OUT}} - V_{\text{IN}}) > V_{\text{REVTH}}$)	H	L
過熱	H	L

- (1) TPS259480x/2x/3x バリエーションにのみ適用されます。
(2) TPS259481x バリエーションにのみ適用されます。

デバイスに電源が供給されていない場合、SPLYGD ピンは Low のままであることが期待されています。しかし、この状態では、このピンを 0V まで完全に引き下げるためのアクティブ プルダウンはありません。SPLYGD ピンが、デバイスの電源が入っていない場合でも存在する独立した電源にプルアップされている場合、プルアップ電源電圧と抵抗によって決まるピンのシンク電流に応じて、このピンにわずかな電圧が生じることがあります。シンク電流を最小化して、この状態で関連する外部回路によってロジック HIGH として検出されないよう、このピン電圧を十分に低く維持します。これにより、優先パワー マルチプレクサ構成で補助チャネルが誤ってオフになることを防止できます。

7.4 デバイスの機能モード

表 7-4. TPS259481x/2x/3x の逆電流ブロック動作

RCBCTRL ピンの接続	定常状態での逆電流ブロック
"Low"	ディセーブル
オープンまたは "High"	有効

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPS25948x は、3.5V ~ 23V、8A の eFuse であり、一般に電源レールの保護用途に使用されます。このデバイスは 3.5V ~ 23V で動作し、調整可能な過電圧保護および低電圧保護を備えています。突入電流を制御し、逆電流の条件から保護することができます。アダプタやチャージャの入力保護、スマートフォンの USB PD 保護、タブレット、PC、ノート PC、モニタ、ドック、サーバーと PC のマザー ボード、アドオン カード、エンタープライズ ストレージ (RAID/HBA/SAN/eSSD)、パワー マルチプレクシング / OR 接続など、各種のシステムで使用できます。以降のセクションで説明する設計手順を使用すると、アプリケーションの要件に基づいてサポート部品の値を選択できます。さらに、スプレッドシート設計ツールである [TPS25948x 設計カリキュレータ](#) を Web の製品フォルダで入手できます。

8.2 シングル デバイス、自己制御型

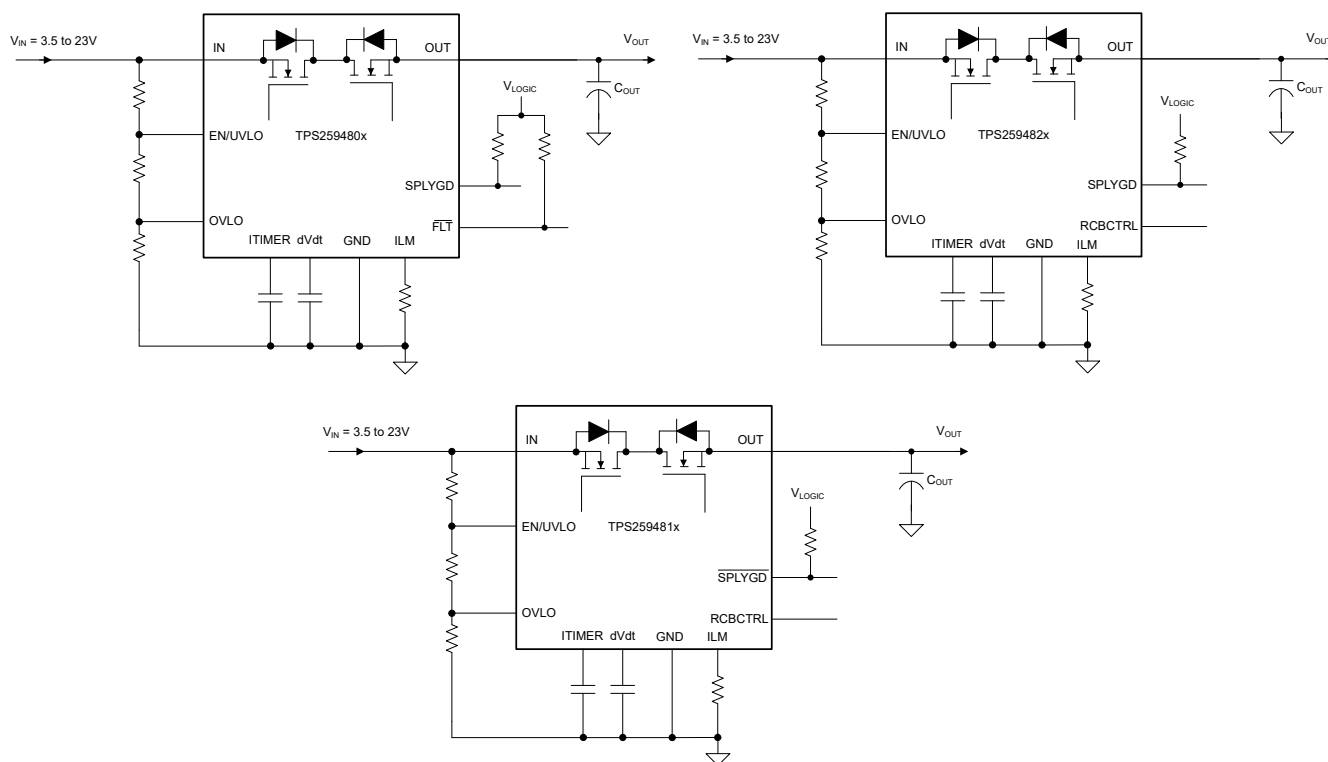


図 8-1. シングル デバイス、自己制御型

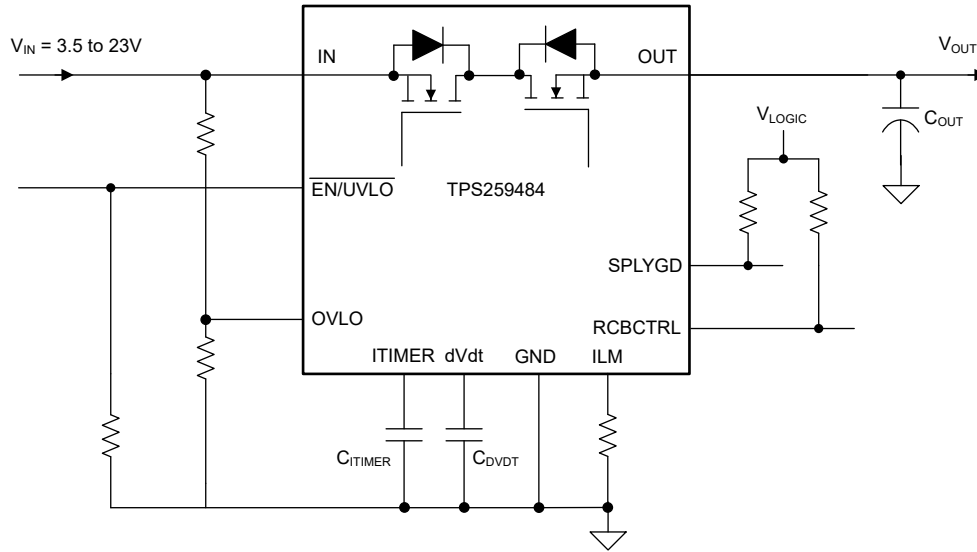


図 8-2. シングル デバイス、自己制御型 TPS25948

その他のバリエーション:

ホスト マイコン制御システムでは、EN/UVLO または OVLO をホスト GPIO から駆動して、デバイスを制御することもできます。

電流監視の目的で、ILM ピンをマイコンの ADC 入力に接続できます。

注

安定した動作を確保するために、ILM ピンの寄生容量は 50pF 未満にすることを推奨します。

8.3 代表的なアプリケーション

スマートフォンには USB OTG 機能が搭載されており、USB ポートによって電話のバッテリーを充電するだけでなく、スマートフォンを USB ホストとして機能させ、ヘッドフォンやペン ドライブなどの外部アクセサリに電力を供給することができます。一部のスマートフォンはワイヤレス充電パスもサポートしており、このパスを使用して他のデバイスにワイヤレスで電力を共有することもできます。TPS259482x は図 8-5 に示すように、そのようなアプリケーションで双方向の電力スイッチとして使用できます。USB パワー パスとしてポートに外部チャージャが接続されている場合、TPS259482x は IN ピンから OUT ピンへの導通パスを提供します。また、バッテリー チャージャ IC はバッテリーを充電するように構成されており、内部回路にも電力を供給します。また、TPS259482x は過電圧と過電流に対する保護も備えています。ヘッドフォンなどのアクセサリが USB ポートに接続されている別の使用事例のシナリオでは、電話マイコンがこれを検出し、バッテリー チャージャが OTG 昇圧モードに構成されて、バッテリーから USB ポートに電力を供給します。また、マイコンは RCBCTRL ピンをプルダウンして TPS259482x の OUT ピンから IN ピンに電流が流れるようにし、TPS259482x を有効にして、アクセサリに大きな電力を供給できる低インピーダンスのパワー パスを確立します。同様に、TPS259482x はワイヤレス充電や電力共有サブシステムで、制御された双方向電力のフローも提供します。

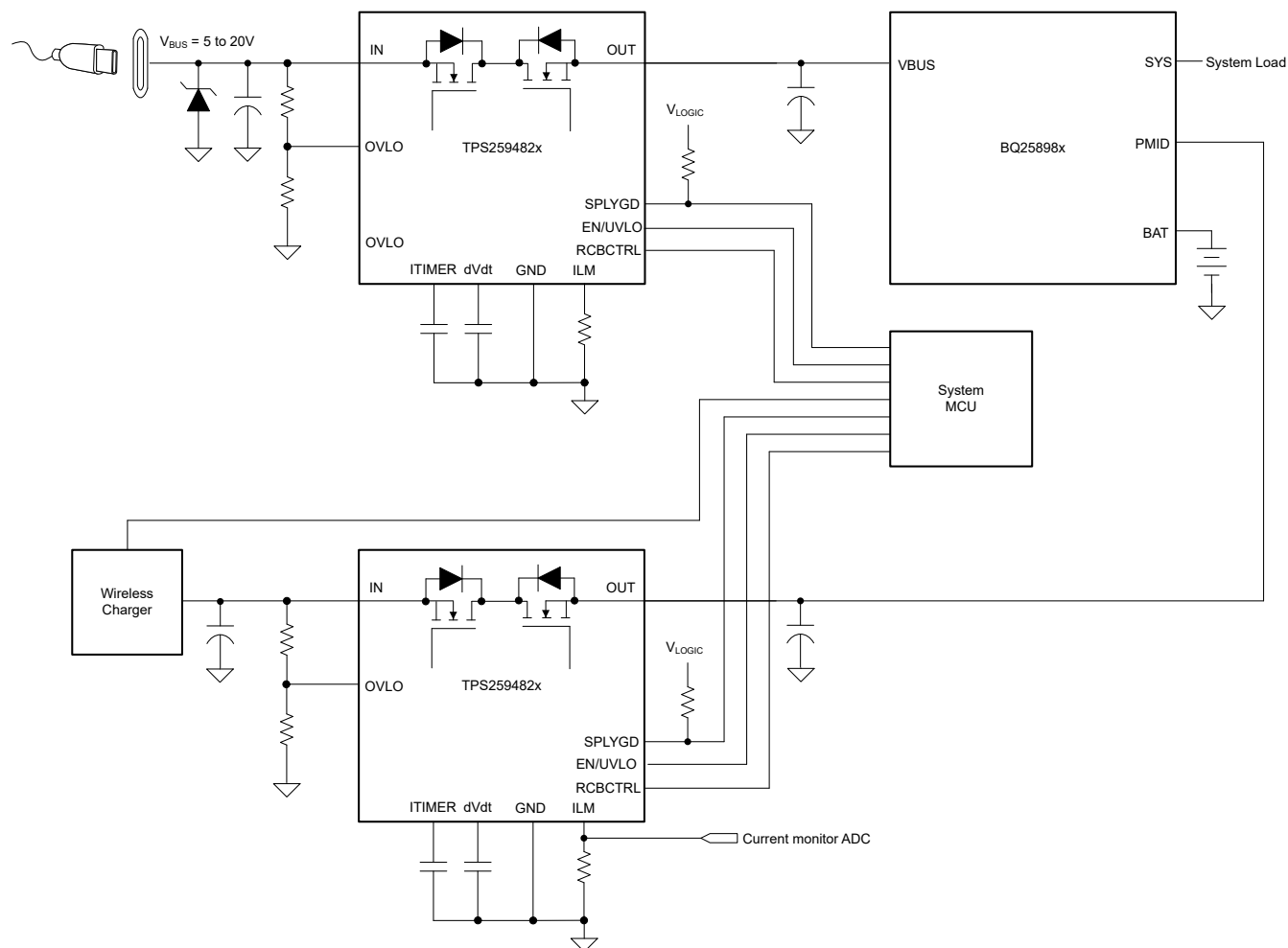


図 8-3. スマートフォンのパワーパスの例

POS 端子、PCIe カード、タブレット、ポータブル バッテリ駆動機器など、2 つ以上のエネルギー ソースを使用するアプリケーションは、1 つのソースを別ソースのよりも優先する必要があります。たとえば、主電源 (壁面アダプタ) は、内部バッテリーのバックアップ電源よりも優先されます。これらのアプリケーションでは、メイン入力電圧がユーザー定義のスレッシュホールドを下回った場合にのみ、メイン電源からバックアップ電源への切り替えを必要とします。TPS25948x デバイスは、優先パワー マルチプレクシングのニーズに対してシンプルなおソリューションを実現します。アクティブ "Low" EN を使用すると、各デバイスに対してデバイスを有効にするために、IN から抵抗デバイダが不要になります。さらに、優先パワー マルチプレクシングを実現するために、優先度の高いデバイスの SPLYGD を使用して、優先度の低いパワーパスの EN を、TPS25948x の EN に接続することによってオフにします。これにより、EN ピンがアクティブ High の場合、EN ピンに追加のインバータが不要になります。アクティブ "Low" 機能を備えているため、抵抗デバイダと FET (信号反転用) が不要になり、パワー マルチプレクサ実装のコストを削減できます。

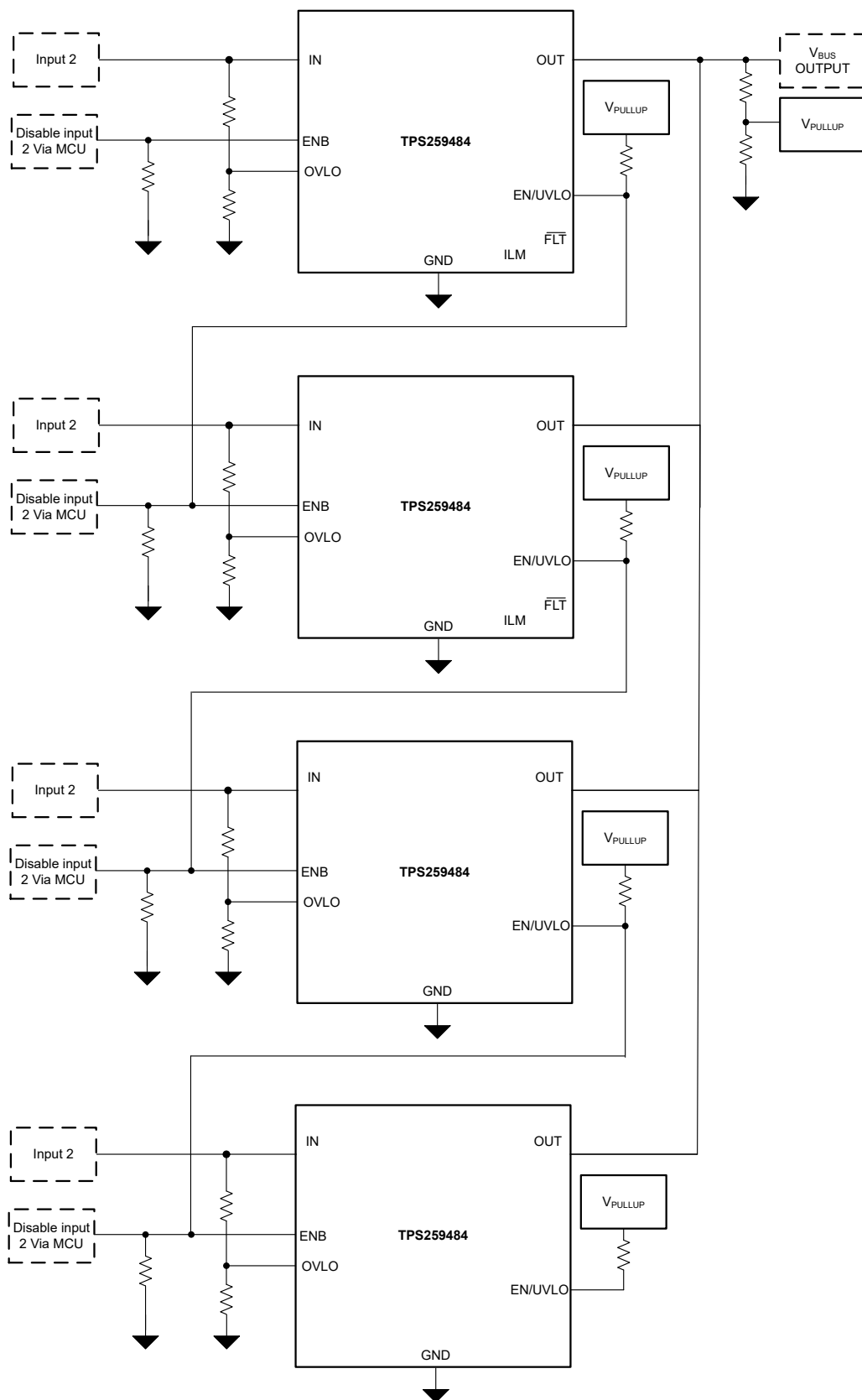
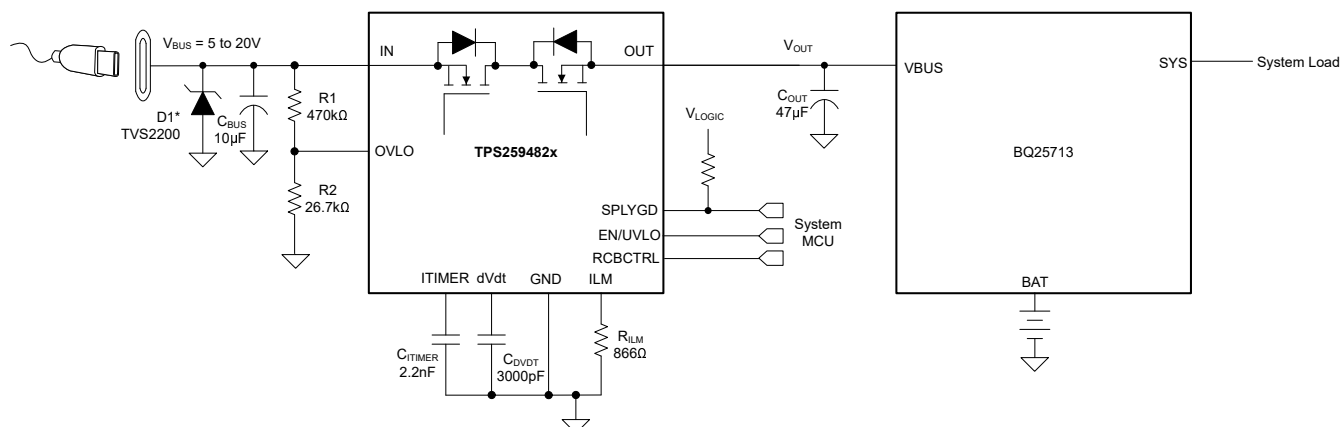


図 8-4. 4 × TPS25948 を使用した優先パワー マルチプレクシング



* 入力および出力インダクタンスに応じた過渡保護のために必要な、オプションの回路部品。詳細については、[セクション 8.8.1](#) を参照してください。

図 8-5. USB On-The-Go ポート保護の設計例

8.3.1 設計要件

表 8-1. 設計パラメータ

パラメータ	値
充電時のバス電圧 (V_{IN})	20V
充電時の過電圧保護スレッショルド ($V_{IN(OV)}$)	22V
最大連続充電電流	5A
充電中の負荷過渡ブランキング間隔 (t_{ITIMER})	2ms
出力キャパシタンス (C_{OUT})	47μF
出力立ち上がり時間 (t_R)	12ms
充電中の過電流スレッショルド (I_{ILIM})	5.5A

8.3.2 詳細な設計手順

8.3.2.1 過電圧スレッショルドの設定

電源の過電圧スレッショルドは、抵抗 $R1$ および $R2$ を使用して設定します。これらの値は次のようにして計算できます。

$$V_{IN(OV)} = \frac{V_{OV(R)} \times (R1 + R2)}{R2} \quad (8)$$

ここで $V_{OV(R)}$ は $OVLO$ の立ち上がりスレッショルドです。 $R1$ 、 $R2$ は入力電源 V_{IN} から電流をリークするため、入力電源 V_{IN} からのリーク電流の許容範囲を考慮して、これらの抵抗を選択する必要があります。電源から $R1$ 、 $R2$ によって引き込まれた電流は、 $I_{R12} = V_{IN} / (R1 + R2)$ です。ただし、この抵抗列に外部のアクティブ部品が接続されたことによるリーク電流は、これらの計算に誤差を生じさせる可能性があります。したがって、抵抗列電流 I_{R12} は、 $OVLO$ ピンで予測されるリーク電流の 20 倍になるよう選択する必要があります。

デバイスの電氣的仕様から、 $OVLO$ のリーク電流は 0.1μA (最大)、 $V_{OV(R)} = 1.2V$ になります。設計要件から、 $V_{IN(OV)} = 22V$ です。式を解くには、まず $R1 = 470k\Omega$ の値を選択し、式 8 を使用して $R2 = 27.11k\Omega$ を計算します。

標準の 1% 抵抗で最も近い値を使用すると、 $R1 = 470k\Omega$ 、 $R2 = 26.7k\Omega$ となります。

8.3.2.2 出力電圧立ち上がり時間の設定 (t_R)

適切な設計には、動的 (起動) 条件と定常状態条件の両方において、デバイスの接合部温度を絶対最大定格よりも低く維持する必要があります。動的な電力ストレスは安定しているストレスよりも数桁大きいため、適切な起動時間とシステム容量に必要な突入電流制限を決定して、起動時のサーマル シャットダウンを防止することが重要です。

適切な出力立ち上がり時間を実現するために必要なスルーレート (SR) は、次のようにして計算できます。

$$SR (V/ms) = \frac{VIN (V)}{t_R (ms)} = \frac{20 V}{12 ms} = 1.67 V/ms \quad (9)$$

このスルーレートを実現するために必要な C_{dVdt} は、次のように計算できます。

$$C_{dVdt} (pF) = \frac{5000}{SR (V/ms)} = \frac{5000}{1.67} = 2994 pF \quad (10)$$

コンデンサの最も近い標準値として 3000pF を選択します。

このスルーレートの場合、突入電流は次のように計算できます。

$$I_{INRUSH} (mA) = SR (V/ms) \times C_{OUT} (\mu F) = 1.67 \times 47 = 79 mA \quad (11)$$

突入時の部品内部での平均消費電力は、次のように計算できます。

$$PD_{INRUSH} (W) = \frac{I_{INRUSH} (A) \times VIN (V)}{2} = \frac{0.079 \times 20}{2} = 0.8 W \quad (12)$$

起動時の障害を避けるため、与えられた消費電力に対して、デバイスのサーマル シャットダウン時間をランプアップ時間 t_R よりも長くする必要があります。図 8-6 に、サーマル シャットダウン制限を示します。電力が 0.8W の場合、シャットダウン時間は 10s 以上で、 $t_R = 12ms$ と比較して非常に長くなっています。したがって、このアプリケーションの起動時間として 12ms を使用しても安全です。

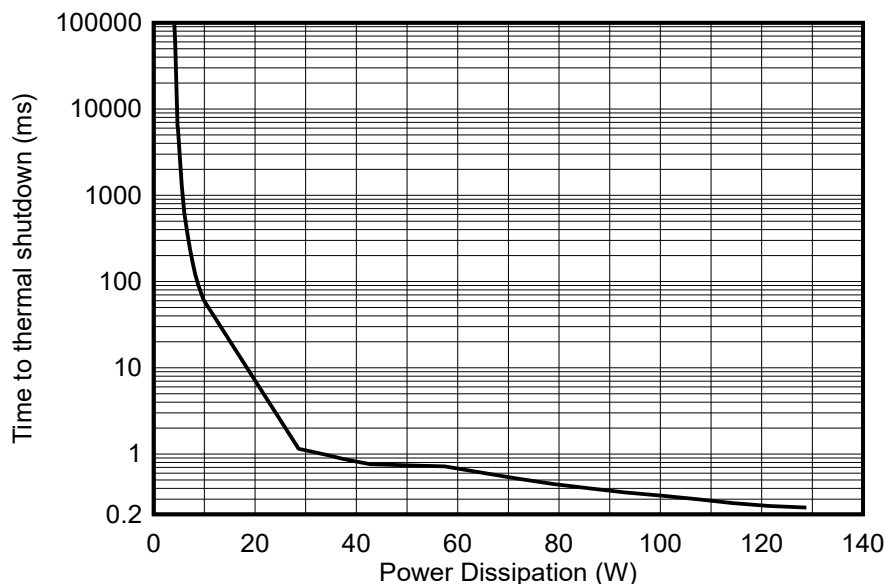


図 8-6. 突入電流時のサーマル シャットダウンのプロット

8.3.2.3 過電流スレッシュホールドの設定 (I_{LIM})

過電流保護スレッシュホールドは、 R_{ILM} 抵抗を使用して設定できます。この抵抗の値は、次のように計算できます。

$$R_{ILIM} (\Omega) = \frac{4834}{I_{LIM} (A)} = \frac{4834}{5.5 A} = 879 \Omega \quad (13)$$

最も近い 1% の標準抵抗値として 866Ω を選択します。

8.3.2.4 過電流ブランキング間隔の設定 (t_{ITIMER})

過電流ブランキング タイマの間隔は、 C_{ITIMER} コンデンサを使用して設定できます。この値は次のように計算できます。

$$C_{ITIMER} (nF) = \frac{t_{ITIMER} (ms) \times I_{ITIMER} (\mu A)}{\Delta V_{ITIMER} (V)} = \frac{2 \times 1.9}{1.51} = 2.51 nF \quad (14)$$

コンデンサの最も近い標準値として 2.2nF を選択します。

8.3.3 アプリケーション曲線

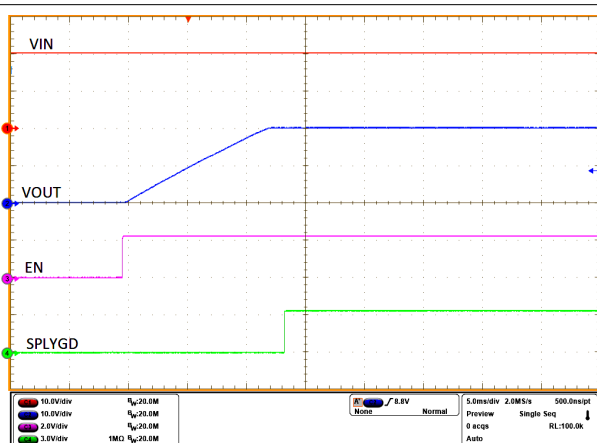


図 8-7. パワーアップ

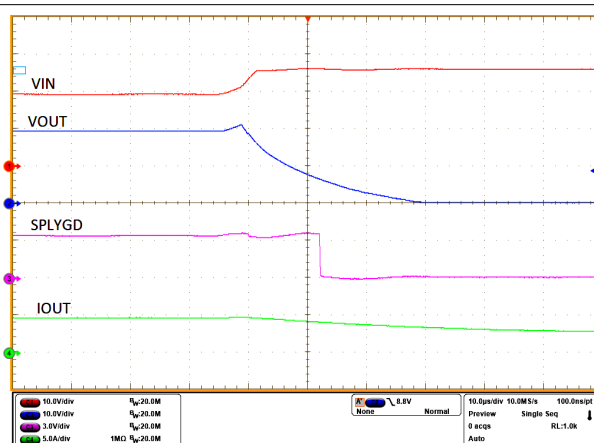


図 8-8. 過電圧保護

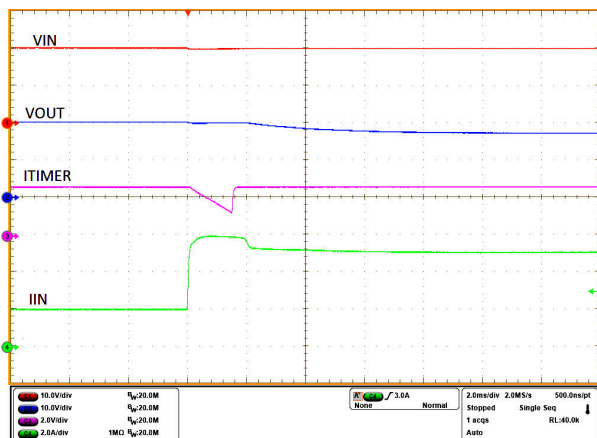


図 8-9. 過電流保護

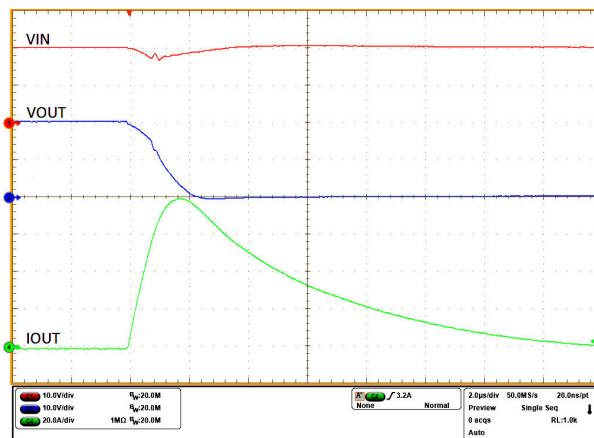


図 8-10. 出力保護での短絡

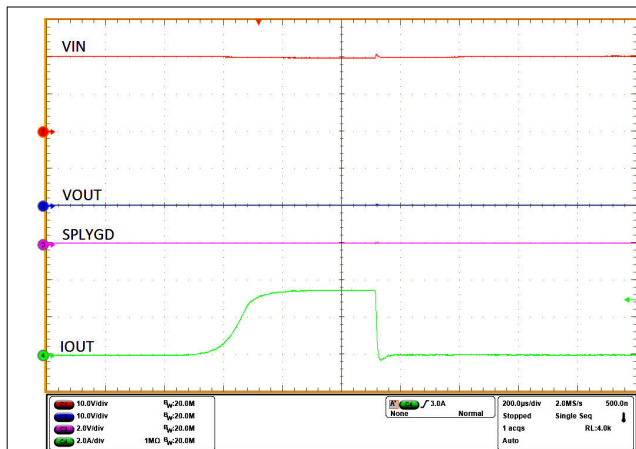


図 8-11. ウェークアップからの短絡保護

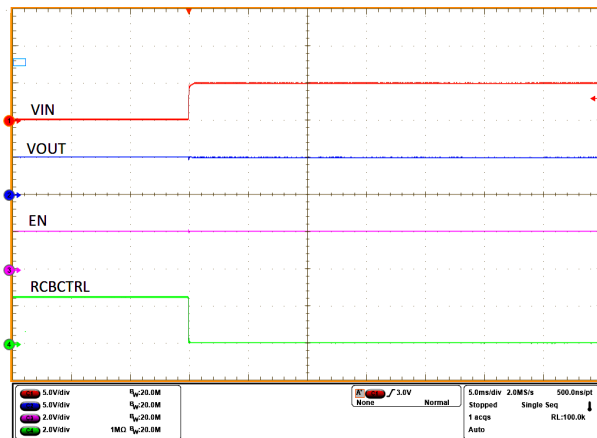


図 8-12. OTG モードでのパワーアップ

8.4 アクティブ OR 接続

以下の図 8-13 に一般的な冗長電源構成を示します。ショットキー OR 接続ダイオードは、バッテリーを使用する壁面アダプタやホールドアップ ストレージ コンデンサの並列動作など、並列電源の接続に一般的に使用されています。OR 接続ダイオードを使用した場合の短所は、高い電圧降下と関連する電力損失です。TPS25948xx は、低抵抗の双方向 FET を内蔵しており、シンプルで効率的なソリューションを提供します。次の図 8-13 に、TPS259480x デバイスを使用したアクティブ OR 接続の実装を示します。

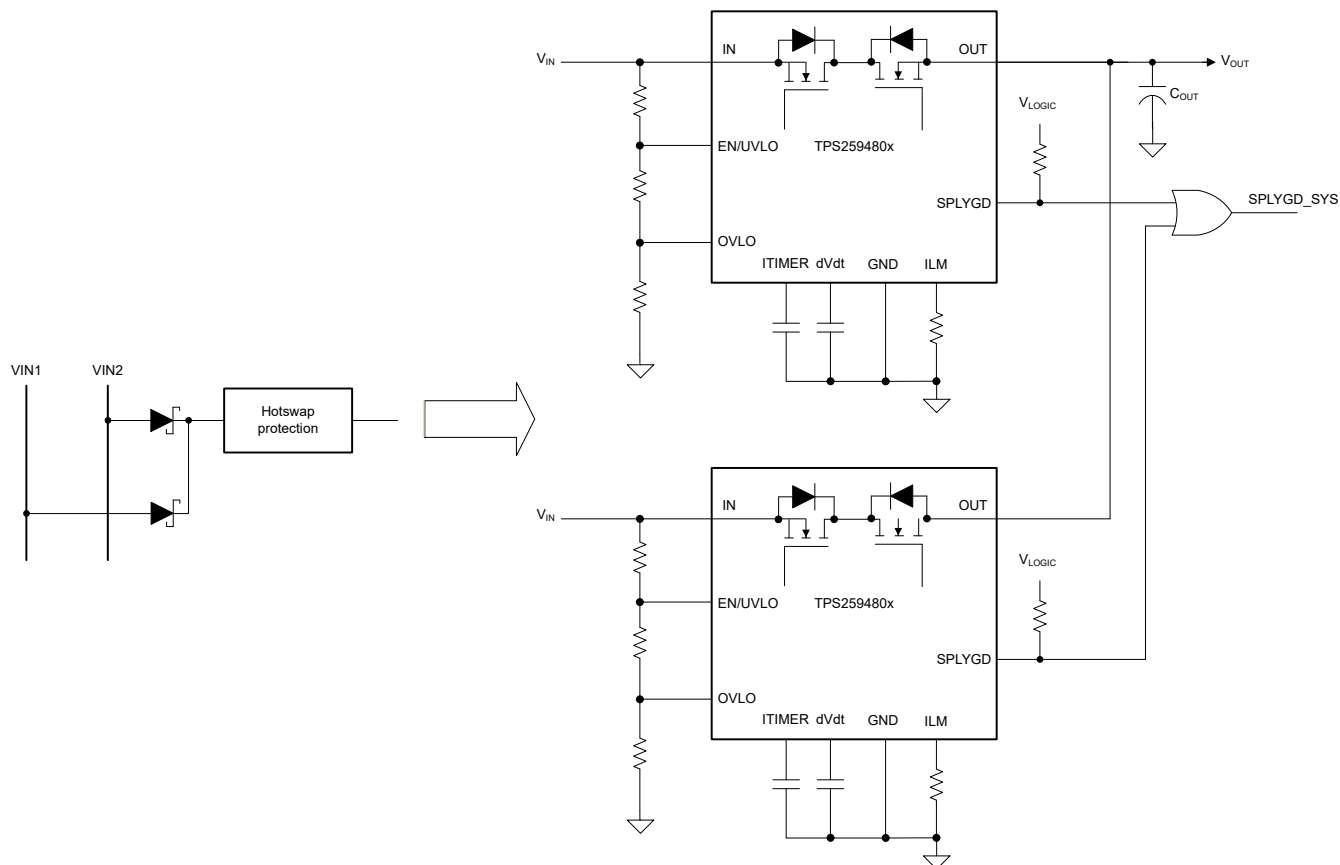


図 8-13. 2 つのデバイス、アクティブ OR 接続構成

TPS25948xx のリニア OR 接続メカニズムにより、どちらかの電源で高速または低速のランプが発生したときに、一方の電源からもう一方の電源に逆電流が流れないことが保証されます。

以下の波形は、電源レールが順にランプ アップされたときのアクティブ OR 接続動作を示しています。

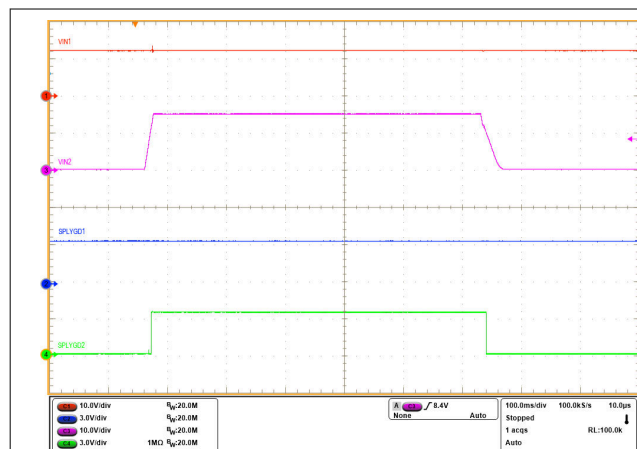


図 8-14. アクティブ OR 接続応答

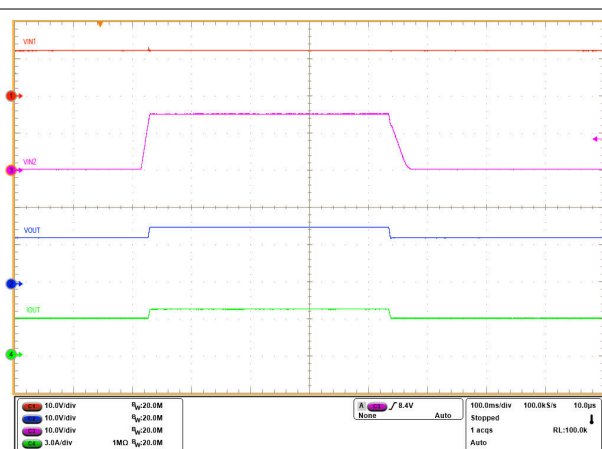


図 8-15. アクティブ OR 接続応答

バス電圧 (IN1 および IN2) が一致していると、各パスのデバイスは順方向の電圧降下を検出し、オンになって負荷電流を供給します。この期間中、電流は、各デバイス間の差動電圧降下比に応じてレール間で共有されます。

電源の OR 接続に加えて、このデバイスは過電圧、過剰な突入電流、過負荷、短絡故障から常にシステムを保護します。

注

OR 接続は、類似した 2 つのレール間、または類似していないレール間で実行できます。電圧に差がある組み合わせでの OR 接続の場合、dVdt ピンのコンデンサ定格は、2 つの電源のうち高い方に基づいて選択します。詳細については、「推奨動作条件」の表を参照してください。

8.5 優先パワー マルチプレクシング

PCIe カード、タブレット、ポータブル バッテリ駆動機器などの 2 つのエネルギー ソースを使用するアプリケーションでは、いずれかの電源を他方より優先する必要があります。たとえば、主電源 (壁面アダプタ) は、内部バッテリーのバックアップ電源よりも優先されます。これらのアプリケーションでは、メイン入力電圧がユーザー定義のスレッシュホールドを下回った場合にのみ、メイン電源からバックアップ電源への切り替えを必要とします。TPS25948xx デバイスは、優先パワー マルチプレクシングのニーズに対してシンプルなソリューションを実現します。

図 8-16 に、TPS259480x デバイスを使用した標準的な優先パワー マルチプレクシングの実装を示します。1 次 (優先) 電源 (IN1) が存在し、有効範囲内にある場合 (UV/OV 状態ではない)、補助電源電圧 (VIN2) が 1 次電源電圧 (VIN1) 以上か未満かに関係なく、1 次パスのデバイスが OUT バスに電力を供給します。補助パスにあるデバイスは、1 次パス デバイスからの SPLYGD 信号を使用して OVLO ピンを強制的に "High" にすることでオフ状態に保持されます。

1 次電源電圧がユーザー定義の有効な動作範囲を外れると (UV/OV 状態)、1 次パス デバイスは SPLYGD をデアサートします。これにより、補助パス デバイスをオンにすることが通知され、システムは補助電源から動作を開始します。この遷移中、補助パス デバイスは dVdt によって制限された起動をバイパスし、tswov 内で電力の供給を開始するための高速な復帰を実行します。

1 次電源が復帰すると、1 次パス デバイスは定義されたスルーレートで完全にオンになり、その後、SPLYGD ピンが "High" にアサートされて、補助パス デバイスがオフになります。これにより、出力電圧ドループが最小限で、貫通電流なしに、補助電源から 1 次電源へのシームレスな遷移が可能になります。

パワー マルチプレクシング アプリケーションにおける重要な検討事項は、ある電源から他の電源への切り替え時に出力バスがドループする最小電圧です。この場合、最小電圧は、出力負荷電流 (I_{LOAD})、出力バス ホールドアップ容量 (C_{OUT})、切り替え時間 (t_{SW}) など複数の要因に依存します。

1 次電源 (V_{IN1}) から補助電源 (V_{IN2}) へのスイッチング時、最小バス電圧は式 15 を使用して計算できます。ここで、切り替え時間 (t_{SW}) は、TPS259480x のバリエーションが完全にオンになり、負荷への電流の供給を開始するために必要な高速 OVLO 復帰時間 (t_{SWOV}) に等しくなります。

$$V_{OUT,min} (V) = \min (V_{IN1}, V_{IN2}) - \frac{t_{SW} (\mu s) \times I_{LOAD} (A)}{C_{OUT} (\mu F)} \quad (15)$$

補助電源 (V_{IN2}) から 1 次電源 (V_{IN1}) へのスイッチングでは、最小バス電圧は式 16 を使用して計算できます。ここで、最大切り替え時間は、最初に V_{IN1} が V_{IN2} と等しいか、それ未満であるかに応じて、RCB 復帰時間 (t_{SWRCB}) と等しくなります。

$$V_{OUT,min} (V) = \min (V_{IN1}, V_{IN2}) - V_{FWDTH} (V) - \frac{t_{SWRCB} (\mu s) \times I_{LOAD} (A)}{C_{OUT} (\mu F)} \quad (16)$$

デバイスの SPLYGD ピンは、2 つの電源のうちどちらが有効で、負荷に電力を供給しているか識別するためのデジタル表示として使用できます。

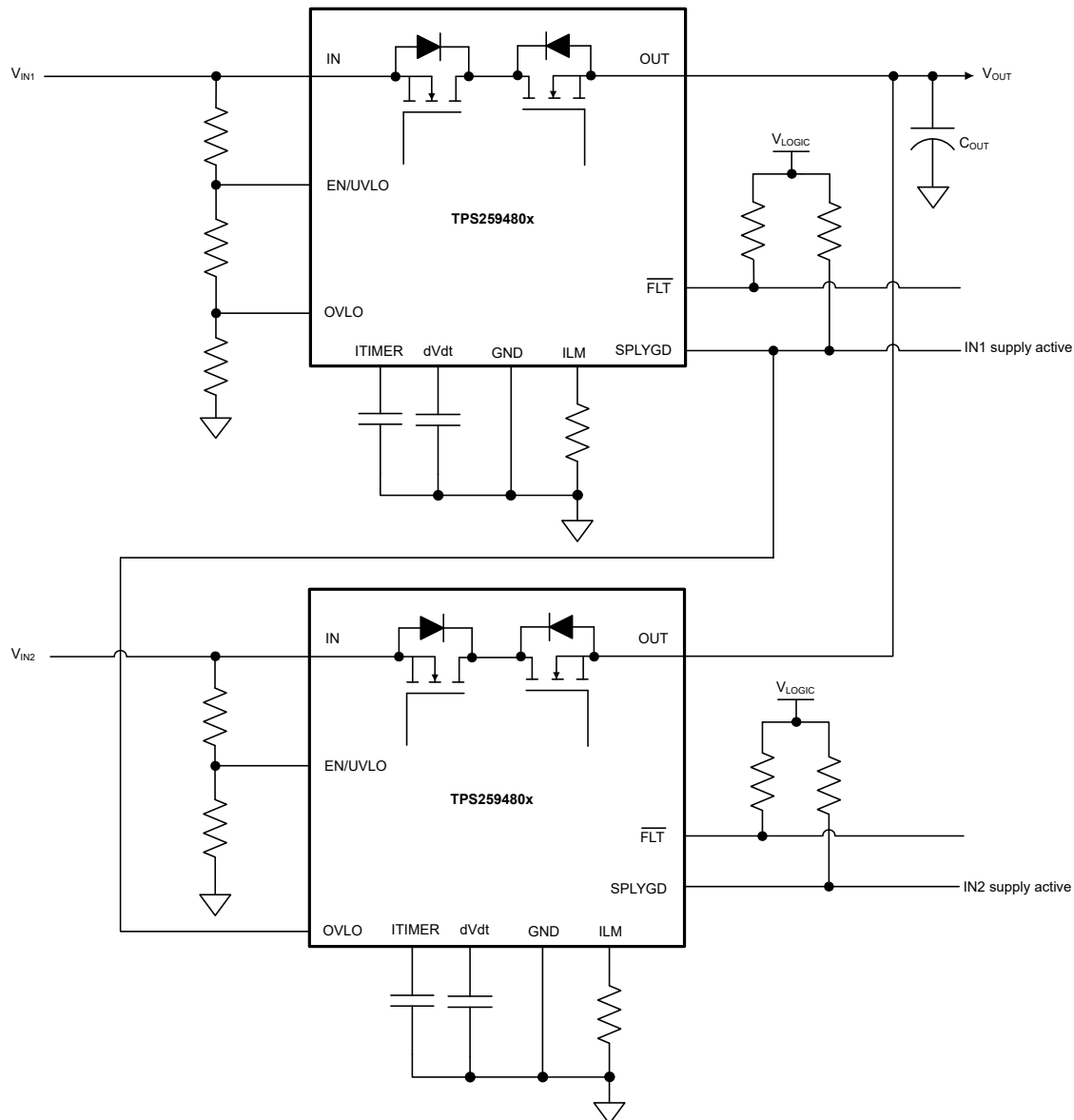


図 8-16. 2 × TPS25948x を使用した優先パワー マルチプレクシング - オプション 1

この構成は、両方のチャネルのアクティブ電流制限保護と 1 次チャネルの過電圧保護など、複数の利点を備えた、最もコンパクトな優先されるパワー マルチプレクシング ソリューションを提供します。また、1 次側から補助側への切り替え時間が最も短縮されますが、その代償として、1 次パスがアクティブである間、補助パスの静止電流がわずかに増加します。また、使用する外付け部品は最少ですが、補助チャネルで過電圧保護をバイパスするという犠牲をはらいます。

以下の波形は、優先パワー マルチプレクシング構成における TPS25948x の性能を示しています。

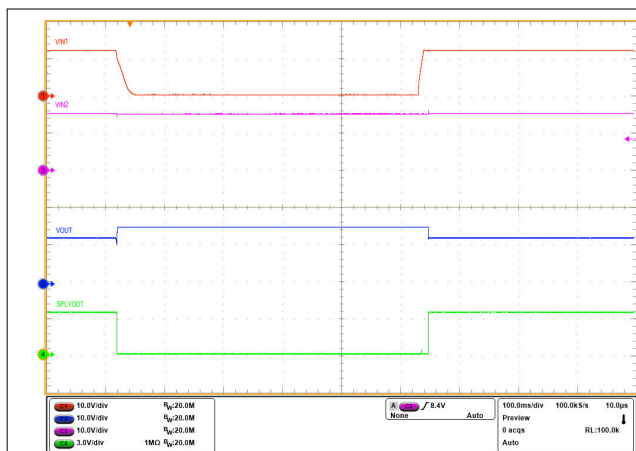


図 8-17. TPS259480x パワー マルチプレクサ - 1 次電源と補助電源の切り替え

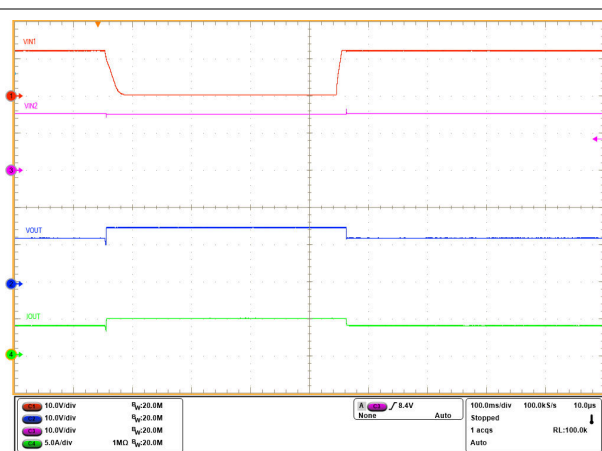


図 8-18. TPS259480x パワー マルチプレクサ - 1 次電源と補助電源の切り替え

両方のチャンネルで過電圧保護が必要な場合、上記のバリエーションを構成できます。この場合は、補助パス デバイスの OVLO ピンを駆動するために追加の信号 N-FET が必要です (図 8-19 を参照)。切り替え時間は、以前の構成と同様です。

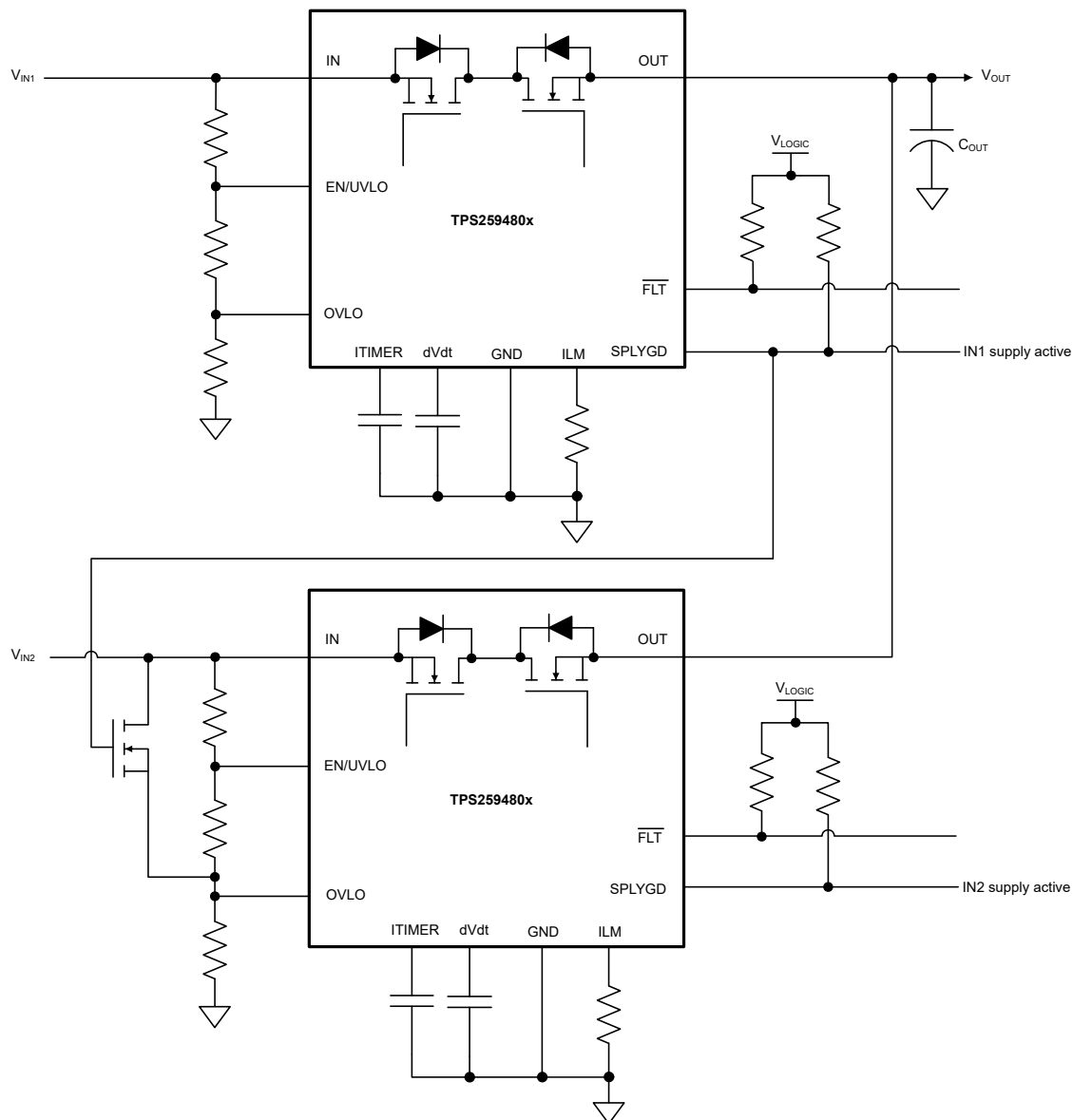


図 8-19. 2 × TPS25948x を使用した優先パワー マルチプレクシング - オプション 2

先ほどの構成のもう 1 つのバリエーションにより、1 次チャンネルがアクティブである間、補助チャンネルの静止電流が最小になります。図 8-20 に示すように、補助パス デバイスの EN/UVLO ピンを駆動するために、ドライブに対して N-FET の追加が必要になります。同時に、前の構成に比べて、1 次側電源から補助電源への切り替え遅延が長くなります。

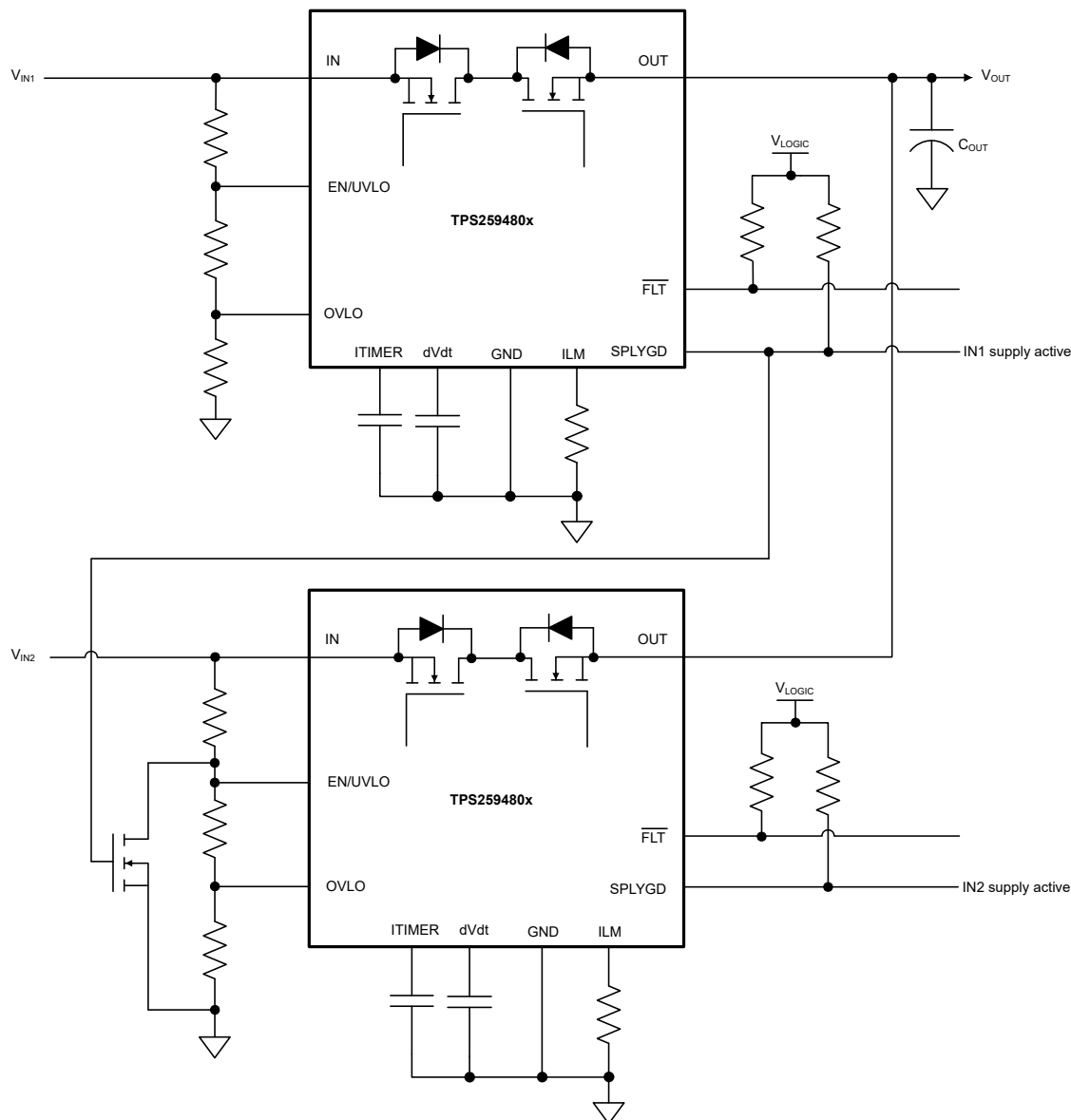


図 8-20. 2 × TPS25948x を使用した優先パワー マルチプレクシング - オプション 3

高い電源レールから低い電源レールに切り替えるとき、最小バス電圧は式 17 を使用して計算できます。この場合、切り替え時間は、デバイスが逆電流ブロック状態 (t_{SWRCB}) から復帰するのに必要な時間に等しくなります。

$$V_{OUT,min} (V) = \min (V_{IN1}, V_{IN2}) - V_{FWDTH} (V) - \frac{t_{SWRCB} (\mu s) \times I_{LOAD} (A)}{C_{OUT} (\mu F)} \quad (17)$$

低い電源レールから高い電源レールに切り替えるとき、最小バス電圧は式 18 を使用して計算できます。ここで、切り替え時間 (t_{SW}) は、デバイスが完全にオンになり、負荷への電流の供給を開始するために必要な時間です。これは、デバイスのターンオン時間 (t_{ON}) に等しくなります。この時間には、 dV/dt コンデンサ (C_{dVdt}) とバス電圧により決定されるターンオン遅延 ($t_{D,ON}$) と立ち上がり時間 (t_R) が含まれます。

$$V_{OUT,min} (V) = \min (V_{IN1}, V_{IN2}) - \frac{t_{SW} (\mu s) \times I_{LOAD} (A)}{C_{OUT} (\mu F)} \quad (18)$$

注

1. パワー マルチプレキシングは、2 つの類似のレール (12V の 1 次と 12V の補助、3.3V の 1 次と 3.3V 補助など) 間、または異なるレール (12V の 1 次と 5V 補助、またはその逆など) 間で実行できます。
2. 異なる電圧を組み合わせたパワー マルチプレキシングのケースでは、低電圧チャネル デバイスの EN/OVLO ピンの回路部品的设计に注意して、他のチャネルにより高い電圧が存在しても、これらのピンの絶対最大定格を超えないようにする必要があります。また、dVdt ピンのコンデンサ定格は、2 つの電源のうち最も高いものに基づいて選択する必要があります。詳細については、「推奨動作条件」の表を参照してください。

8.6 並列動作

より大きな定常電流を必要とするアプリケーションでは、図 8-21 に示すように、2 つ以上の TPS25948x デバイスを並列接続して使用できます。この構成では、1 番目のデバイスが始めにオンになり、突入電流を制限します。2 番目のデバイスは、1 番目のデバイスの SPLYGD 信号を使用して EN/UVLO ピンを "Low" に駆動することで、オフ状態に保持されます。突入シーケンスが完了すると、最初のデバイスは SPLYGD ピンを "High" にアサートし、2 番目のデバイスをオンにします。2 番目のデバイスは、SPLYGD 信号をアサートして、完全にオンになったことを示します。これは、並列組み合わせが完全な定常状態電流を供給できる状態であることをシステムに示します。

定常状態になると、両方のデバイスはほぼ等しく電流を共有します。 R_{ON} の部品間のバラつきや PCB パターン抵抗の不一致に応じて、電流にわずかなスキューが発生する可能性があります。

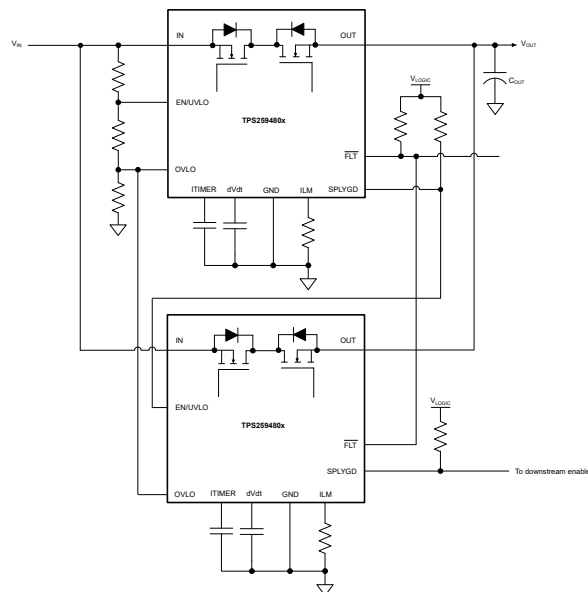


図 8-21. 高い定常状態の電流能力を実現するために並列接続されたデバイス

以下の波形は、起動時と定常状態時の並列構成の動作を示しています。

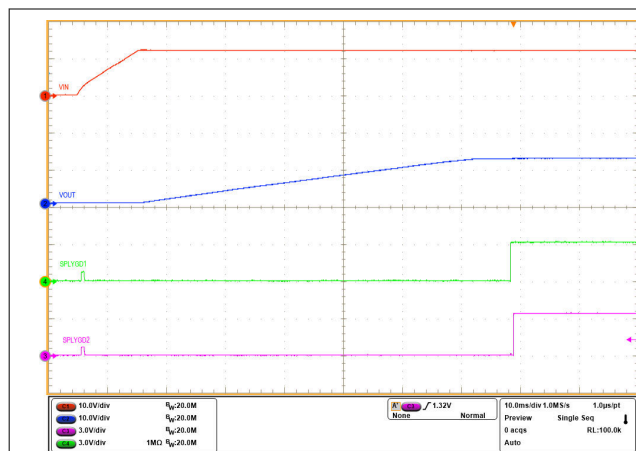


図 8-22. 起動時の並列デバイスシーケンシング

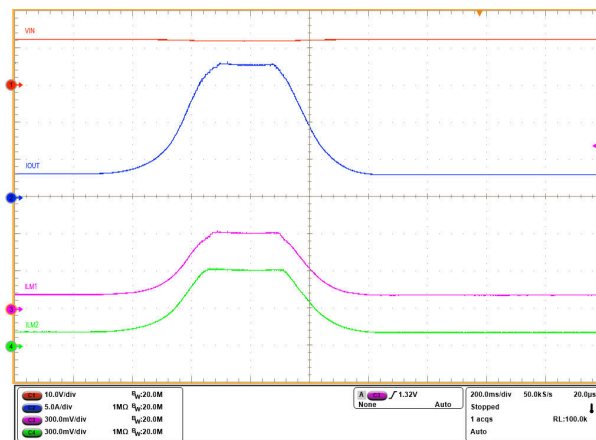


図 8-23. 定常状態での並列デバイスの負荷電流

8.7 USB PD ポートの保護

PC、ノート PC、ドッキング ステーション、モニタなどの最終製品は USB PD ポートを備えており、DFP (ソース)、UFP (シンク)、または DRP (ソース + シンク) として構成可能です。以下の図 8-24 に示すように、TPS25948xx を USB PD ポート向けの統合型パワー パス ソリューションとして使用できます。

TPS25948xx は、過電圧、過電流、短絡に対する保護など、USB パワー パスに必要なすべての基本的な保護機能を備えているほか、監視や制御を行います。TPS25948xx のリニア OR 接続メカニズムにより、どちらかの電源で高速または低速のランプが発生した場合に、一方の電源からもう一方の電源に逆電流が流れないことが保証されます。

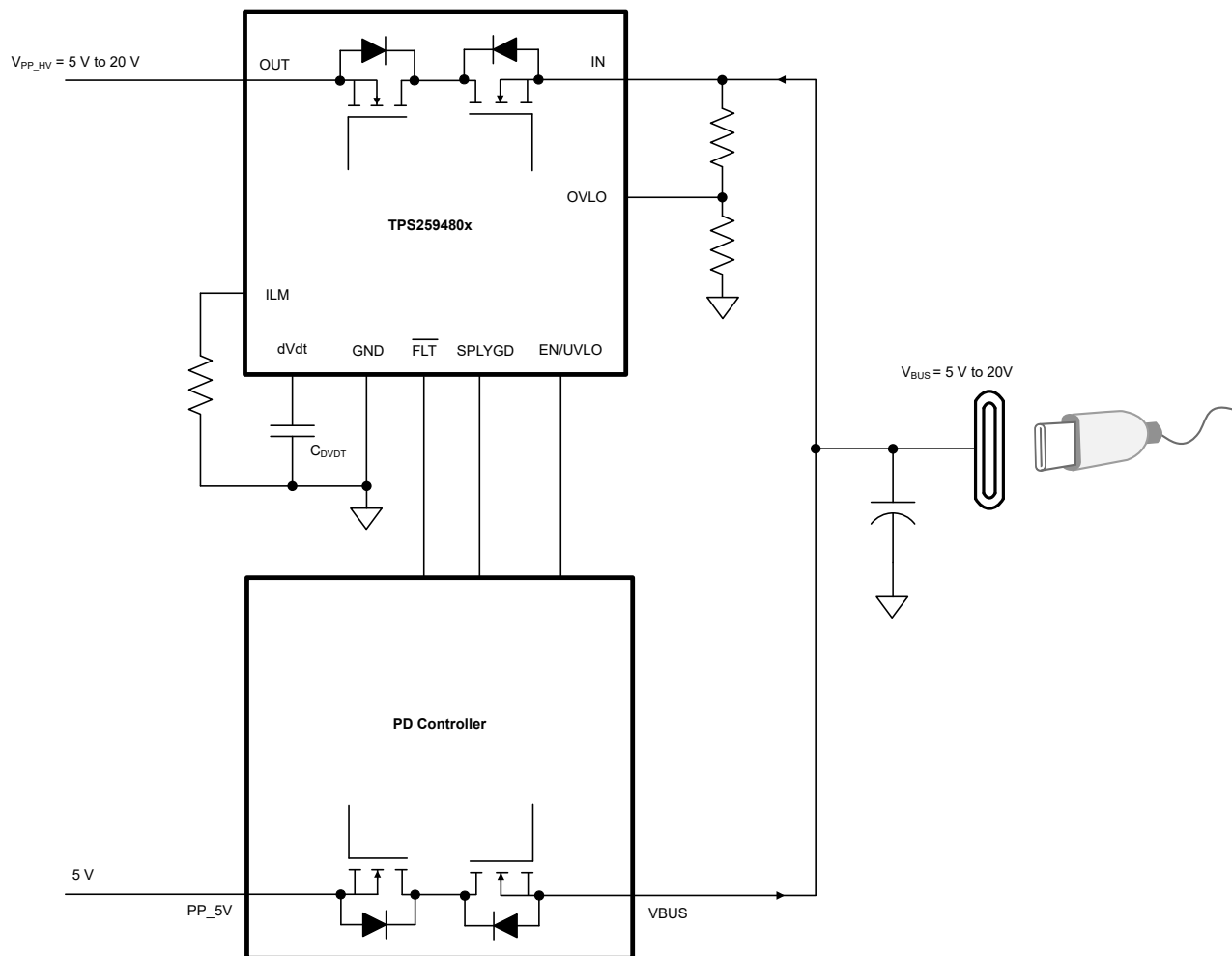


図 8-24. USB PD ポートの保護

8.8 電源に関する推奨事項

TPS25948x デバイスは、 $3.5\text{V} \leq V_{\text{IN}}$ または $V_{\text{OUT}} \leq 23\text{V}$ の電源電圧範囲に設計されています。入力電源がデバイスから数インチ以上離れている場合は、 $0.1\mu\text{F}$ よりも高い入力セラミック バイパス コンデンサの使用を推奨します。過電流および短絡状態での電圧ドロップを防止するため、電源の定格は設定された電流制限値よりも高く設定する必要があります。

8.8.1 過渡保護

デバイスが電流フローに割り込むタイミングで、短絡および過負荷電流による制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何等かの策を講じない場合は、上記の過渡現象によって、デバイスの絶対最大定格を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
- PCB には、大きい GND プレーンを使用します。
- 負のスパイクを吸収するために、OUT ピン接地からショットキー ダイオードを接続します。
- デバイスのすぐ近くの OUT ピンに $1\mu\text{F}$ 以上の低 ESR コンデンサを接続します。
- 低値のセラミック コンデンサ ($C_{\text{IN}} = 1\mu\text{F}$) を使用して、エネルギーを吸収し、過渡現象を減衰させます。誘導性リング時の正の電圧変動に耐えるため、コンデンサの電圧定格は入力電源電圧の少なくとも 2 倍である必要があります。

入力容量の近似値は、次の式を使用して推定できます。

$$V_{SPIKE}(ABSOLUTE) = V_{IN} + I_{LOAD} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (19)$$

ここで、

- V_{IN} は公称電源電圧です。
- I_{LOAD} は負荷電流です。
- L_{IN} はソースから見た実効インダクタンスに等しい値です。
- C_{IN} は入力に存在する容量です。
- 一部のアプリケーションでは、過渡状態においてデバイスの絶対最大定格を超えないように、過渡電圧サプレッサ (TVS) の追加が必要になる場合があります。場合によっては、過渡の最大振幅がデバイスの絶対最大定格を下回った場合でも、TVS は過度のエネルギー ダンプを吸収し、IC の入力電源ピンに非常に高速な過渡電圧が生じて内部制御回路に結合し、予期しない動作を引き起こすのを防ぐのに役立ちます。
- USB-C ポートなど、電源ケーブルをデバイスの出力に接続できるアプリケーションでは、OUT から IN までの過度の電圧ストレスが、デバイスの絶対最大定格を超える可能性があります。電圧を安全なレベルに保つため、OUT から IN に TVS ダイオードを追加することを推奨します。

オプションの保護部品を使用した回路実装例を、図 8-25 に示します。

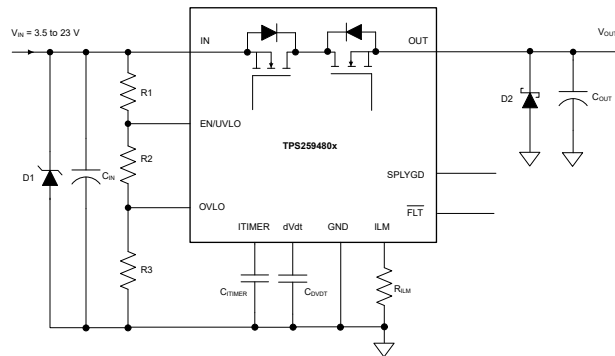


図 8-25. オプションの保護部品を使用した回路実装

8.8.2 出力短絡測定

再現可能で同様の短絡テスト結果を得るということは困難です。結果のばらつきの原因には、次のようなものがあります。

- ソース バイパス
- 入力リード線
- 回路レイアウト
- 部品選定
- 出力短絡方法
- 短絡の相対位置
- 計測

実際の短絡は、微視的に跳ね返ったり弧を描いたりするため、ある程度のランダム性を示します。現実的な結果を得るために、設定と方法が使用されていることを確認します。設定はそれぞれ異なっているため、このデータシートの波形とまったく同じような波形が見られることを期待しないでください。

8.9 レイアウト

8.9.1 レイアウトのガイドライン

- すべての用途に対して、0.1μF 以上のセラミック デカップリング コンデンサを、IN 端子と GND 端子の間に使用することを推奨します。

- デカップリング コンデンサの最適な配置は、デバイスの **IN** および **GND** 端子にできるだけ近づけて配置します。バイパス コンデンサ接続、**IN** 端子、および **IC** の **GND** 端子によって形成されるループ領域を最小限に抑えるように注意する必要があります。
- 大電流を流すパワー パス接続はできる限り短くし、全負荷電流の 2 倍以上が流れるようにサイズを調整する必要があります。
- **GND** 端子は、**IC** の端子で極力短いパターンを使用して **PCB** グランド プレーンに接続する必要があります。**PCB** の接地は、基板上の銅プレーンまたはアイランドである必要があります。**eFuse** には個別のグランド プレーン アイランドを配置することを推奨します。このプレーンは高い電流を流さず、**eFuse** の重要なアナログ信号のすべてに対して、低ノイズのグランド基準としての役割を果たします。本デバイスのグランド プレーンは、スター接続を使用してシステムの電源グランド プレーンに接続する必要があります。
- **IN** および **OUT** パッドを使用して放熱を行います。サーマル ビアを使って、**PCB** 層の上層と下層にある、できるだけ多くの銅の面積に接続します。デバイスの下にあるビアは、**IN** および **OUT** パッドの両端の電圧勾配を最小限に抑え、デバイス全体で電流を均一に分配するのにも役立ちます。これは、最良のオン抵抗と電流センスの精度を実現するために不可欠です。
- 次のサポート部品を接続ピンの近くに配置します。
 - R_{ILM}
 - C_{dVdT}
 - C_{ITIMER}
 - **EN/UVLO** ピンと **OVLO** ピンの抵抗
- 部品のもう一方の端を、最短のパターン長でデバイスの **GND** ピンに接続します。電流制限、過電流ブランキング インターバルおよびソフト スタート タイミングに対する寄生効果を極力低減するために、 R_{ILM} 、 C_{ITIMER} および C_{dVdT} 部品からデバイスへのパターン配線は極力短くする必要があります。安定した動作を確保するために、**ILM** ピンの寄生容量は **50pF** 未満にすることを推奨します。これらのトレースは基板上のスイッチング信号と結合しないでください。
- **ILM** ピンのバイアス電流はデバイスの過電流保護動作を直接制御するため、これらのノードの **PCB** 配線はノイズの多い (スイッチング) 信号から遠ざける必要があります。
- **TVS**、スナバ、コンデンサ、ダイオードなどの保護デバイスは、物理的に保護対象のデバイスの近くに配置する必要があります。インダクタンスを減らすため、これらの保護デバイスは短いパターンで配線する必要があります。たとえば、誘導性負荷のスイッチングによる負の過渡に対処するためには、保護ショットキー ダイオードを推奨します。**OUT** と **GND** の間に、**1μF** 以上のセラミック デカップリング コンデンサを追加することも推奨します。このような部品は、**OUT** ピンに物理的に近い場所に配置する必要があります。ショットキー ダイオード / バイパス コンデンサ接続、**OUT** ピン、および **IC** の **GND** 端子によって形成されるループ領域を最小限に抑えるように注意する必要があります。

8.9.2 レイアウト例

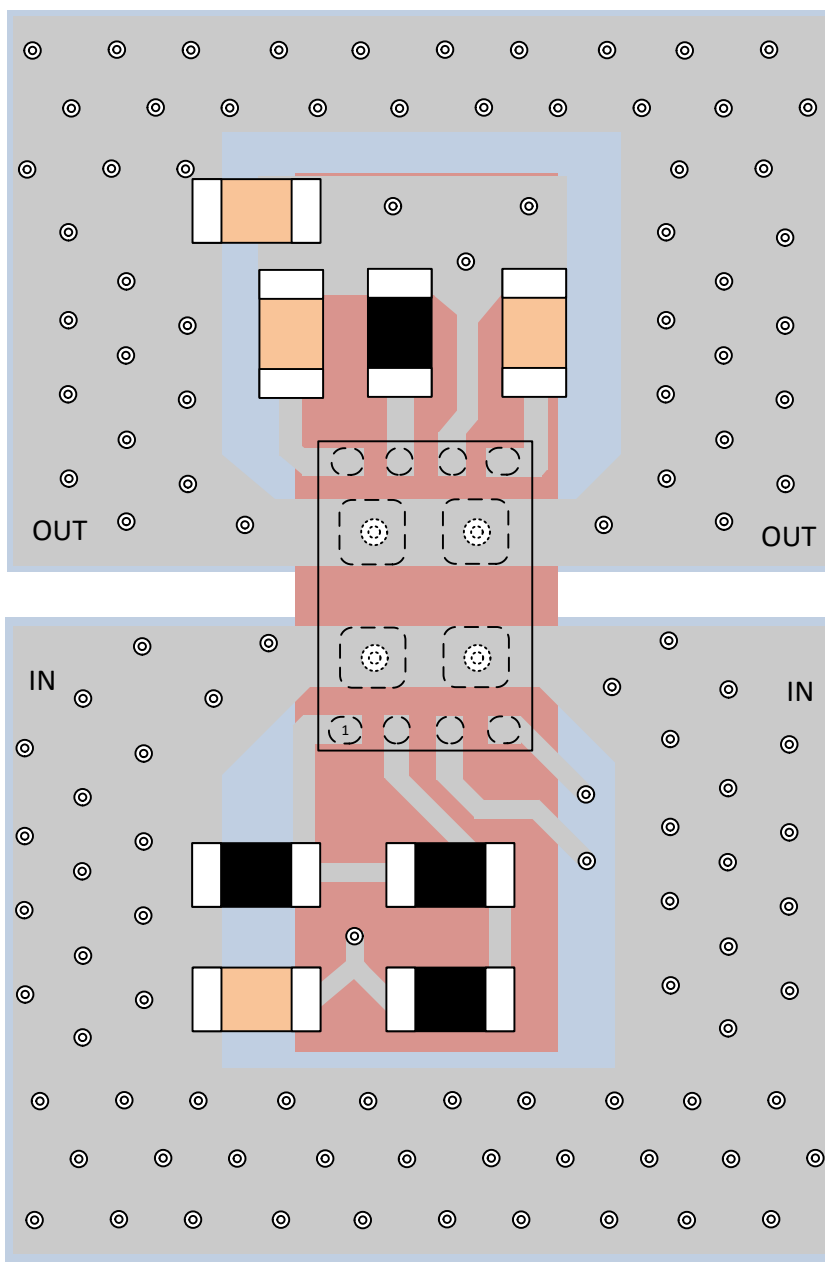
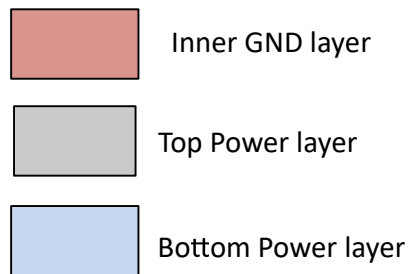


図 8-26. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- [TPS25948EVM eFuse 評価ボード](#)
- [TPS25948x デザイン カリキュレータ](#)
- [アプリケーション ブリーフ — USB Type-C 保護用の eFuse](#)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (August 2025) to Revision D (April 2026)	Page
• 「デバイス比較表」に EN/VULO の極性を追加.....	4
• 「デバイス比較表」に TPS259484AYWP を追加.....	4
• 「ピン構成および機能」に EN/UVLO のアクティブ "Low" を追加.....	5
• $SR_{IN(R)}$ および $SR_{IN(F)}$ を「絶対最大定格」に追加.....	7
• 「電気的特性」の表に TPS259484x のバリエーションを追加.....	8
• TPS259484 の機能ブロック図を追加.....	21
• 「低電圧誤動作防止 (UVLO および UVP)」セクションを更新して、TPS259484 と TPS259481x/2x/3x を分離.....	25
• 「シングル デバイス、自己制御型」セクションに図を追加.....	38
• 「代表的なアプリケーション」セクションを更新.....	39

Changes from Revision B (June 2024) to Revision C (August 2025)	Page
• TPS259483 OPN を追加.....	4
• 「ピンの機能」の表に TPS259483 を追加.....	5
• 該当する場合、「電気的特性」表の「説明」列にも TPS259483 を追加.....	8
• 該当する場合、TPS259483 を追加.....	13

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS259480AYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259480A
TPS259480AYWPR.A	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259480A
TPS259480LYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259480L
TPS259480LYWPR.A	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259480L
TPS259481AYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259481A
TPS259481AYWPR.A	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259481A
TPS259481LYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259481L
TPS259481LYWPR.A	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259481L
TPS259482AYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259482A
TPS259482AYWPR.A	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259482A
TPS259482LYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259482L
TPS259482LYWPR.A	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259482L
TPS259483AYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259483A
TPS259484AYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259484A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

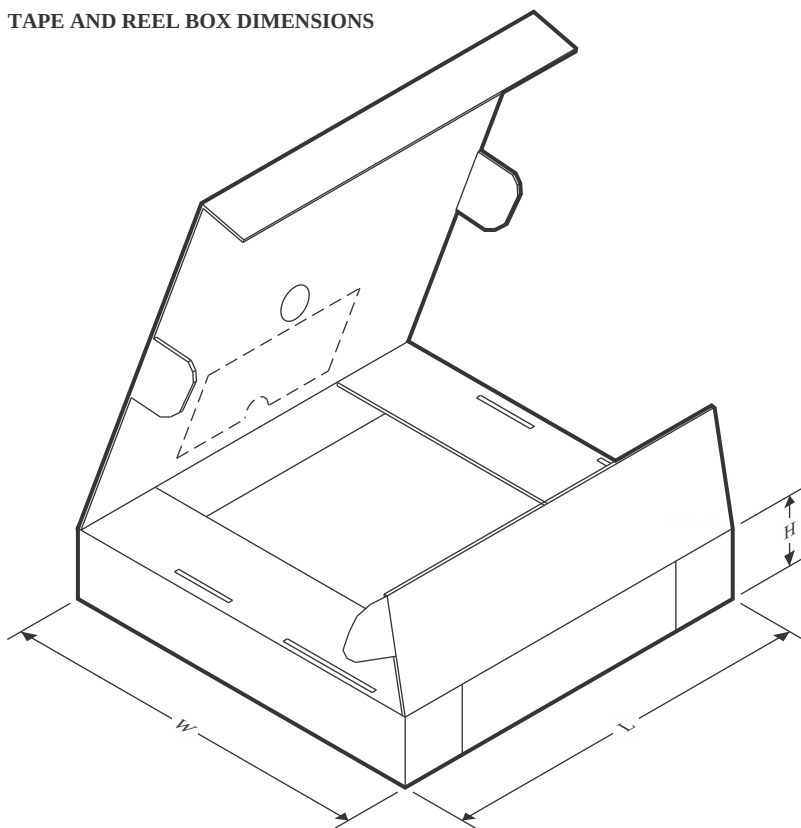
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS259480AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259480LYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259481AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259481LYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.63	0.53	4.0	8.0	Q2
TPS259481LYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259482AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259482AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.63	0.53	4.0	8.0	Q2
TPS259482LYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.63	0.53	4.0	8.0	Q2
TPS259482LYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259483AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259483AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.63	0.53	4.0	8.0	Q2
TPS259484AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.63	0.53	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS259480AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259480LYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259481AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259481LYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259481LYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259482AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259482AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259482LYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259482LYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259483AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259483AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259484AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0

PowerWCSP - 0.376 mm max height

Technical drawing of a mechanical part showing two views: a top view and a front view.

Top View Dimensions:

- Horizontal dimensions: 2.471 (Max), 2.431 (Min)
- Vertical dimensions: 1.758 (Max), 1.718 (Min)
- Feature: PIN A1 INDEX AREA

Front View Dimensions and Features:

- Overall width: 0.376 MAX
- Central width: 0.10
- Bottom width: 0.07
- Feature 1: 2X 0.675
- Feature 2: 2X 0.45
- Feature 3: 2X 0.225
- Feature 4: 2X 0.225
- Feature 5: 2X 0.45
- Feature 6: 2X 0.675
- Feature 7: 2X 0.675
- Feature 8: 2X 0.45
- Feature 9: 2X 0.225
- Feature 10: 2X 0.225
- Feature 11: 2X 0.45
- Feature 12: 2X 0.675
- Feature 13: 2X 0.675
- Feature 14: 2X 0.45
- Feature 15: 2X 0.225
- Feature 16: 2X 0.225
- Feature 17: 2X 0.45
- Feature 18: 2X 0.675
- Feature 19: 2X 0.675
- Feature 20: 2X 0.45
- Feature 21: 2X 0.225
- Feature 22: 2X 0.225
- Feature 23: 2X 0.45
- Feature 24: 2X 0.675
- Feature 25: 2X 0.675
- Feature 26: 2X 0.45
- Feature 27: 2X 0.225
- Feature 28: 2X 0.225
- Feature 29: 2X 0.45
- Feature 30: 2X 0.675
- Feature 31: 2X 0.675
- Feature 32: 2X 0.45
- Feature 33: 2X 0.225
- Feature 34: 2X 0.225
- Feature 35: 2X 0.45
- Feature 36: 2X 0.675
- Feature 37: 2X 0.675
- Feature 38: 2X 0.45
- Feature 39: 2X 0.225
- Feature 40: 2X 0.225
- Feature 41: 2X 0.45
- Feature 42: 2X 0.675
- Feature 43: 2X 0.675
- Feature 44: 2X 0.45
- Feature 45: 2X 0.225
- Feature 46: 2X 0.225
- Feature 47: 2X 0.45
- Feature 48: 2X 0.675
- Feature 49: 2X 0.675
- Feature 50: 2X 0.45
- Feature 51: 2X 0.225
- Feature 52: 2X 0.225
- Feature 53: 2X 0.45
- Feature 54: 2X 0.675
- Feature 55: 2X 0.675
- Feature 56: 2X 0.45
- Feature 57: 2X 0.225
- Feature 58: 2X 0.225
- Feature 59: 2X 0.45
- Feature 60: 2X 0.675
- Feature 61: 2X 0.675
- Feature 62: 2X 0.45
- Feature 63: 2X 0.225
- Feature 64: 2X 0.225
- Feature 65: 2X 0.45
- Feature 66: 2X 0.675
- Feature 67: 2X 0.675
- Feature 68: 2X 0.45
- Feature 69: 2X 0.225
- Feature 70: 2X 0.225
- Feature 71: 2X 0.45
- Feature 72: 2X 0.675
- Feature 73: 2X 0.675
- Feature 74: 2X 0.45
- Feature 75: 2X 0.225
- Feature 76: 2X 0.225
- Feature 77: 2X 0.45
- Feature 78: 2X 0.675
- Feature 79: 2X 0.675
- Feature 80: 2X 0.45
- Feature 81: 2X 0.225
- Feature 82: 2X 0.225
- Feature 83: 2X 0.45
- Feature 84: 2X 0.675
- Feature 85: 2X 0.675
- Feature 86: 2X 0.45
- Feature 87: 2X 0.225
- Feature 88: 2X 0.225
- Feature 89: 2X 0.45
- Feature 90: 2X 0.675
- Feature 91: 2X 0.675
- Feature 92: 2X 0.45
- Feature 93: 2X 0.225
- Feature 94: 2X 0.225
- Feature 95: 2X 0.45
- Feature 96: 2X 0.675
- Feature 97: 2X 0.675
- Feature 98: 2X 0.45
- Feature 99: 2X 0.225
- Feature 100: 2X 0.225
- Feature 101: 2X 0.45
- Feature 102: 2X 0.675
- Feature 103: 2X 0.675
- Feature 104: 2X 0.45
- Feature 105: 2X 0.225
- Feature 106: 2X 0.225
- Feature 107: 2X 0.45
- Feature 108: 2X 0.675
- Feature 109: 2X 0.675
- Feature 110: 2X 0.45
- Feature 111: 2X 0.225
- Feature 112: 2X 0.225
- Feature 113: 2X 0.45
- Feature 114: 2X 0.675
- Feature 115: 2X 0.675
- Feature 116: 2X 0.45
- Feature 117: 2X 0.225
- Feature 118: 2X 0.225
- Feature 119: 2X 0.45
- Feature 120: 2X 0.675
- Feature 121: 2X 0.675
- Feature 122: 2X 0.45
- Feature 123: 2X 0.225
- Feature 124: 2X 0.225
- Feature 125: 2X 0.45
- Feature 126: 2X 0.675
- Feature 127: 2X 0.675
- Feature 128: 2X 0.45
- Feature 129: 2X 0.225
- Feature 130: 2X 0.225
- Feature 131: 2X 0.45
- Feature 132: 2X 0.675
- Feature 133: 2X 0.675
- Feature 134: 2X 0.45
- Feature 135: 2X 0.225
- Feature 136: 2X 0.225
- Feature 137: 2X 0.45
- Feature 138: 2X 0.675
- Feature 139: 2X 0.675
- Feature 140: 2X 0.45
- Feature 141: 2X 0.225
- Feature 142: 2X 0.225
- Feature 143: 2X 0.45
- Feature 144: 2X 0.675
- Feature 145: 2X 0.675
- Feature 146: 2X 0.45
- Feature 147: 2X 0.225
- Feature 148: 2X 0.225
- Feature 149: 2X 0.45
- Feature 150: 2X 0.675
- Feature 151: 2X 0.675
- Feature 152: 2X 0.45
- Feature 153: 2X 0.225
- Feature 154: 2X 0.225
- Feature 155: 2X 0.45
- Feature 156: 2X 0.675
- Feature 157: 2X 0.675
- Feature 158: 2X 0.45
- Feature 159: 2X 0.225
- Feature 160: 2X 0.225
- Feature 161: 2X 0.45
- Feature 162: 2X 0.675
- Feature 163: 2X 0.675
- Feature 164: 2X 0.45
- Feature 165: 2X 0.225
- Feature 166: 2X 0.225
- Feature 167: 2X 0.45
- Feature 168: 2X 0.675
- Feature 169: 2X 0.675
- Feature 170: 2X 0.45
- Feature 171: 2X 0.225
- Feature 172: 2X 0.225
- Feature 173: 2X 0.45
- Feature 174: 2X 0.675
- Feature 175: 2X 0.675
- Feature 176: 2X 0.45
- Feature 177: 2X 0.225
- Feature 178: 2X 0.225
- Feature 179: 2X 0.45
- Feature 180: 2X 0.675
- Feature 181: 2X 0.675
- Feature 182: 2X 0.45
- Feature 183: 2X 0.225
- Feature 184: 2X 0.225
- Feature 18

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

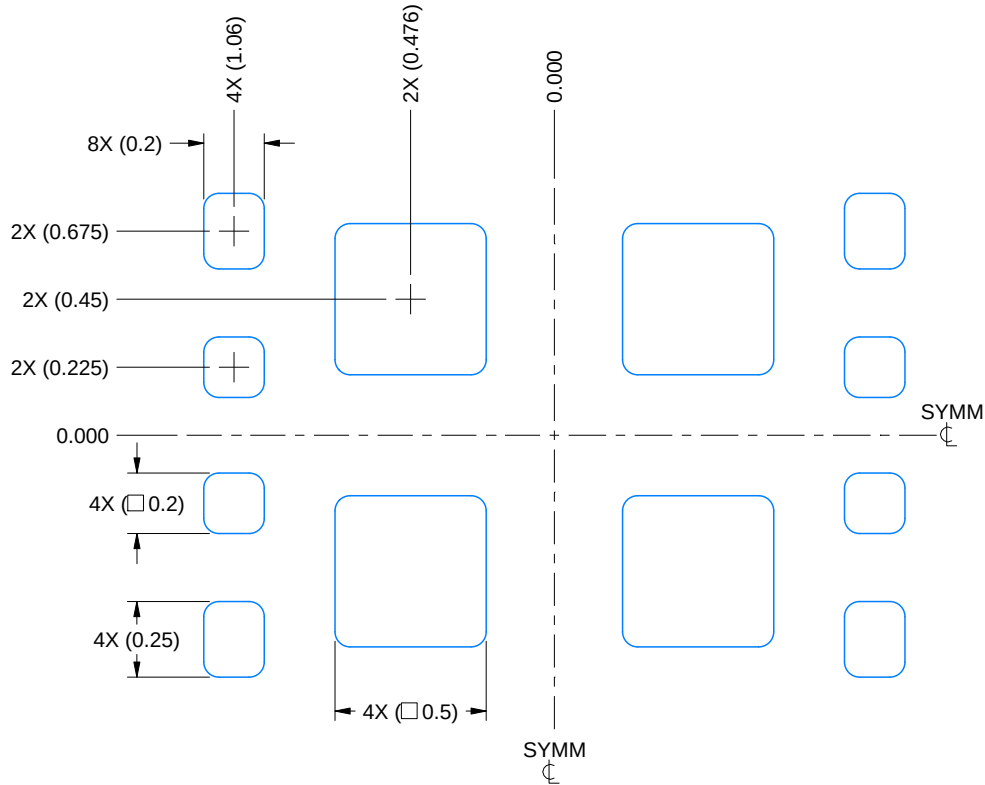
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

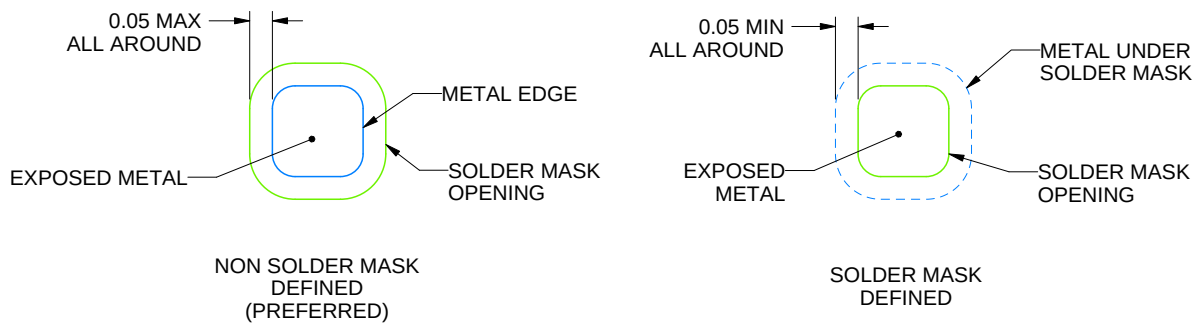
YWP0012A

PowerWCSP - 0.376 mm max height

POWER CHIP SCALE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X



SOLDER MASK DETAILS
NOT TO SCALE

4228640/A 04/2022

NOTES: (continued)

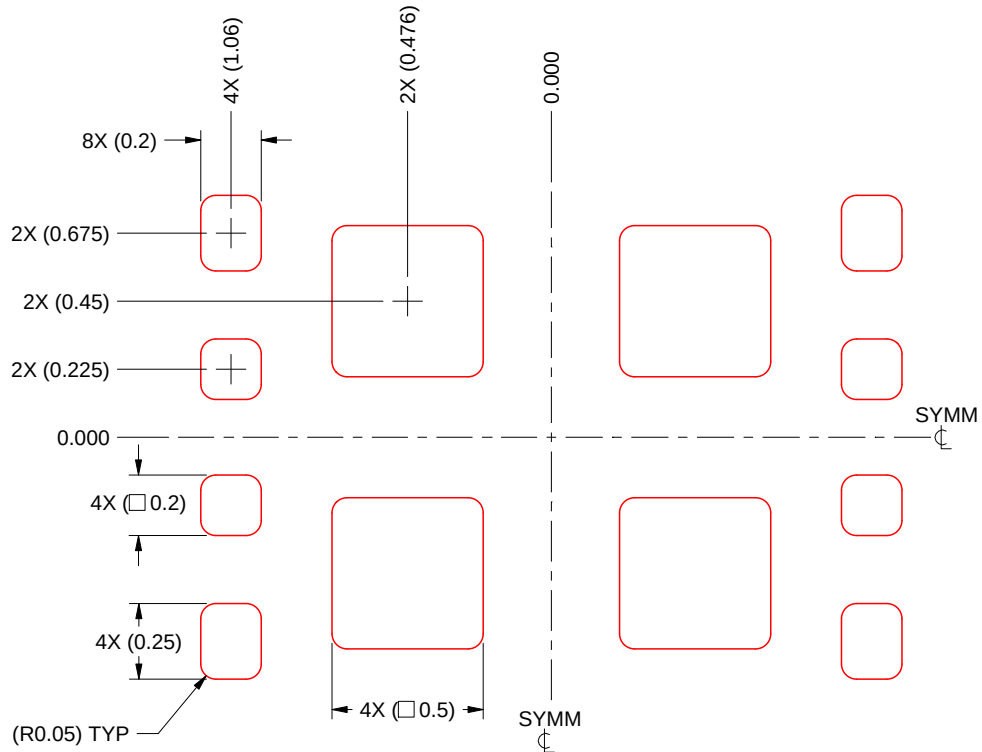
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).

EXAMPLE STENCIL DESIGN

YWP0012A

PowerWCSP - 0.376 mm max height

POWER CHIP SCALE PACKAGE



SOLDER PASTE EXAMPLE
 BASED ON 0.075 mm THICK STENCIL
 SCALE: 40X

4228640/A 04/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月