TPS25982 2.7V～24V、2.7mΩ、15A スマート eFuse - ホットスワップ保護機能内蔵、精度 1.5% の負荷電流監視と調整可能な過渡フォルト管理

1 特長

- 幅広い入力電圧範囲:2.7V ～ 24V
  - 絶対最大電圧 30V
- 低オン抵抗:R_{ON} = 2.7mΩ (代表値)
- 調整可能な電流制限スレッショルド
  - 範囲:2A ～ 15A
  - 精度:±8% (I_{LIM} > 5A での標準値)
- サーキット ブレーカと電流リミッタのオプション
- 調整可能な過電流ブランキング タイマ
  - トリップなしに負荷過渡を処理
- 正確な電流モニタ出力
  - ±1.5% (25℃、I_{OUT} > 3A での標準値)
- フォルト応答をユーザーが設定可能
  - ラッチ オフまたは自動再試行
  - 再試行回数 (有限または無限)
  - 再試行間隔
- 堅牢な短絡保護機能
  - 高速トリップ応答時間:400ns 未満 (代表値)
  - 100 万回の電源投入時の短絡イベントに対してテストされています
  - 入力過渡応答への耐性 - 不要なトリップなし
- 可変出力スルー レート (dVdt) 制御
- 調整可能な低電圧誤動作防止
- 過電圧誤動作防止 (固定 3.7V、7.6V、16.9V および OVLO オプションなし)
- 過熱保護機能を内蔵
- パワー グッド表示
- 可変の負荷検出およびハンドシェイク タイマ
- UL 2367 認定
  - ファイル番号 E339631
  - R_{ILIM} ≥ 182Ω
- IEC 62368 CB 認証
- 小さい占有面積:4mm × 4mm QFN パッケージ

2 アプリケーション

- ホットスワップ、ホットプラグ
- サーバーのスタンバイ レール、PCIe ライザー、アドオン カード、ファン モジュールの保護
- ルータおよびスイッチの光モジュール保護
- 産業用 PC
- デジタル TV

3 説明

TPS25982 デバイス ファミリの eFuse は、小さなパッケージに搭載され、高集積な回路保護および電力管理ソリューションです。これらのデバイスは、広い入力電圧範囲で動作します。I*R 電圧降下を最小限に抑える必要がある低電圧システムから、低い電力散逸を必要とする、より高電圧の大電流システムまで、1 つの部品で対応できます。これらの製品は、過負荷、短絡、電圧サージ、過剰な突入電流に対処する、信頼性の高い保護機能を実現します。

過電圧事象は内部のカットオフ回路により制限されます。過電圧スレッショルドを選択できるように、複数のデバイス オプションが用意されています。

過電流状態に対する応答 (サーキット ブレーカまたはアクティブ電流リミッタ) を選択するための複数のデバイス オプションもあります。過電流制限および高速トリップ (短絡) スレッショルドは、1 つの外付け抵抗で設定できます。これらのデバイスは、過渡事象と実際のフォルトとを識別して、過電流応答をインテリジェントに管理するため、フォルトに対する保護の堅牢性を損なわずに、システムはライン過渡や負荷過渡の間も中断なく動作できます。デバイスは、フォルト シャットダウン後、ラッチ オフに維持されるか、または自動的に再試行を行うかを設定可能です。自動再試行の回数や再試行の間隔は、コンデンサで設定できます。これによって、リモート システムは一時的なフォルトから自動的に復元できるとともに、持続的なフォルトが原因で電源にいつまでもストレスがかかることがないようになります。

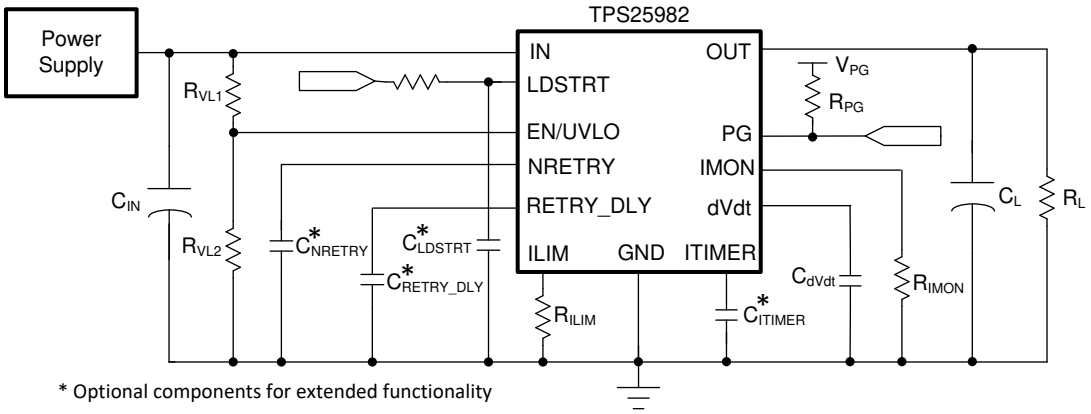
TPS25982 デバイスは、小型の 4mm × 4mm QFN パッケージで供給されます。これらのデバイスは、-15℃ ～ 125℃の接合部温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS25982	RGE (QFN、24)	4.0mm × 4.0mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



概略回路図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....4
5 ピン構成および機能.....5
6 仕様.....7
6.1 絶対最大定格.....7
6.2 ESD 定格.....7
6.3 推奨動作条件.....7
6.4 熱に関する情報.....8
6.5 電気的特性.....8
6.6 タイミング要件.....10
6.7 スイッチング特性.....11
6.8 代表的特性.....12
7 詳細説明.....20
7.1 概要.....20
7.2 機能ブロック図.....20
7.3 機能説明.....21
7.4 フォルト応答.....30
7.5 デバイスの機能モード.....32
8 アプリケーションと実装.....34
8.1 使用上の注意.....34
8.2 代表的なアプリケーション：データセンター サーバーのスタンバイ電源レール保護.....34
8.3 システム例.....41
8.4 電源に関する推奨事項.....44
8.5 レイアウト.....46
9 デバイスおよびドキュメントのサポート.....48
9.1 ドキュメントのサポート.....48
9.2 ドキュメントの更新通知を受け取る方法.....48
9.3 サポート・リソース.....48
9.4 商標.....48
9.5 静電気放電に関する注意事項.....48
9.6 用語集.....48
10 改訂履歴.....48
11 メカニカル、パッケージ、および注文情報.....49

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

部品番号	過電圧ロックアウト スレッショルド	過電流応答
	標準 (V)	
TPS259822LNRGE	3.7	アクティブ電流リミッタ
TPS259823LNRGE	7.6	アクティブ電流リミッタ
TPS259824LNRGE	16.9	アクティブ電流リミッタ
TPS259827LNRGE	OVLO なし	アクティブ電流リミッタ
TPS259822ONRGE	3.7	サーキット ブレーカ
TPS259823ONRGE	7.6	サーキット ブレーカ
TPS259824ONRGE	16.9	サーキット ブレーカ
TPS259827ONRGE	OVLO なし	サーキット ブレーカ

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

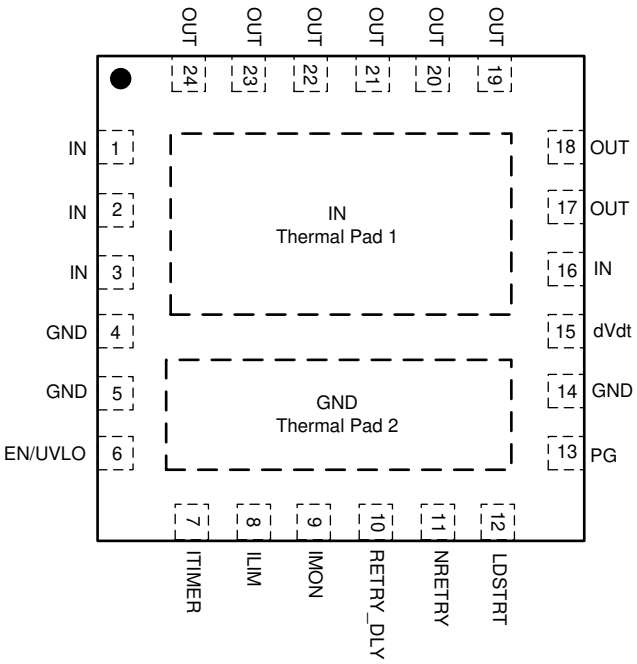


図 5-1. RGE 24 ピン QFN 上面図

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
OUT	17、18、19、20、21、22、23、24	電源	電力出力
IN	1、2、3、16、パッド	熱 / 電力	電源入力。露出パッドは、適切な放熱を確保し、デバイス内部の電流分布を最適な状態に維持するために、入力電源プレーンへ均一にはんだ付けする必要があります。
GND	4、5、14、パッド 2	グランド	システム グランドに接続します
EN/UVLO	6	アナログ入力	デバイスに対してアクティブ "High" を有効にします。入力電源と GND の間のこのピンで抵抗デバイダを使用することで、低電圧誤動作防止スレッショルドを調整できます。**フローティングのままにしないでください。**
ITIMER	7	アナログ出力	このピンと GND との間のコンデンサにより、デバイスの過電流応答が動作する前に、出力電流が電流制限を一時的に超えることができる (ただし、高速トリップ スレッショルドより低い) 過電流ブランキング間隔が設定されます。過電流イベントへの応答を最速にするには、このピンをオープンのままにします。詳細については、「ITIMER 機能モードの概要」も参照してください。
ILIM	8	アナログ出力	このピンから GND へ接続された外部抵抗によって、出力電流制限スレッショルドおよび高速トリップ スレッショルドが設定されます。**フローティングのままにしないでください。**
IMON	9	アナログ出力	アナログ出力負荷電流モニタ。このピンは、負荷電流に比例した電流を出力します。この電流は、このピンから GND へ適切な抵抗を接続することで、電圧信号に変換できます。
RETRY_DLY	10	アナログ出力	このピンから GND に接続されたコンデンサによって、故障によるシャットダウン後にデバイスが自動再起動を試みるまでの待機時間が設定されます。故障発生後にラッチ オフ動作 (自動再試行なし) とする場合は、このピンを GND に接続してください。詳細については「故障応答」セクションを参照してください。
NRETRY	11	アナログ出力	このピンから GND に接続されたコンデンサによって、故障によるシャットダウン後にデバイスが自動再起動を試みる回数が設定されます。無制限に再試行させる場合は、このピンを GND に接続します。詳細については「故障応答」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
LDSTRT	12	アナログ入力	負荷検出 / ハンドシェイク信号。このピンから GND に接続されたコンデンサによって、PG アサーション後、デバイスを ON 状態に維持するためにこのピンを Low に引き下げなければならない時間が設定されます。負荷検出 / ハンドシェイク機能を使用しない場合は、GND に接続してください。詳細については、「負荷検出 / ハンドシェイク (LDSTRT)」セクションも参照してください。**フローティングのままにしないでください。**
PG	13	デジタル出力	アクティブ "High" の電源グッド表示。このピンは、FET が完全にオンし、出力が最大電圧に到達したときにアサートされます。これはオープンドレイン出力であり、外部電源への外部プルアップ抵抗が必要です。V_{IN} < V_{UVP} の場合、このピンはロジック Low に維持されます。
dVdt	15	アナログ出力	このピンと GND との間にコンデンサを接続することで、出力ターンオンのスルーレートが設定されます。起動時に最速のスルーレートとする場合は、このピンをオープン状態のままにします。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		ピン	最小値	最大値	単位
V_{IN}	最大入力電圧範囲	IN	-0.3	30	V
V_{OUT}	最大出力電圧範囲	OUT	-0.8	最小 (30、V_{IN} + 0.3)	V
$V_{EN/UVLO}$	イネーブル ピンの最大電圧範囲	EN/UVLO	-0.3	7	V
V_{LDSTRT}	LDSTRT ピンの最大電圧範囲	LDSTRT		7	V
V_{dVdt}	dVdt ピンの最大電圧範囲	dVdt	内部的に制限		V
V_{PG}	PG ピンの最大電圧範囲	PG	-0.3	7	V
V_{ITIMER}	ITIMER ピンの最大電圧範囲	ITIMER	内部的に制限		V
V_{NRETRY}	NRETRY ピンの最大電圧範囲	NRETRY	内部的に制限		V
V_{RETRY_DLY}	RETRY_DLY ピン最大電圧範囲	RETRY_DLY	内部的に制限		V
I_{MAX}	最大連続スイッチ電流	IN から OUT	内部的に制限		A
T_J	接合部温度		内部的に制限		℃
T_{LEAD}	最大半田付け温度			300	℃
T_{stg}	保存温度		-65	150	℃

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 規格 JESD22-C101 準拠、すべてのピン(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		ピン	最小値	最大値	単位
V_{IN}	入力電圧範囲	IN	2.7	24	V
V_{OUT}	出力電圧範囲	OUT		V_{IN} + 0.3	V
$V_{EN/UVLO}$	イネーブル ピン電圧範囲	EN/UVLO		6(1)	V
V_{LDSTRT}	LDSTRT ピンのコンデンサの電圧定格	LDSTRT	4		V
V_{dVdT}	dVdT ピン コンデンサ電圧定格	dVdt	V_{IN} + 4		V
V_{PG}	PG ピンの電圧範囲	PG		6(2)	V
V_{ITIMER}	ITIMER ピンのコンデンサの電圧定格	ITIMER	4		V
V_{NRETRY}	NRETRY ピンのコンデンサの電圧定格	NRETRY	4		V
V_{RETRY_DLY}	RETRY_DLY ピンのコンデンサの電圧定格	RETRY_DLY	4		V
R_{ILIM}	ILIM ピンの抵抗	ILIM	82	1650	Ω

Copyright © 2026 Texas Instruments Incorporated

6.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		ピン	最小値	最大値	単位
I_{MAX}	連続スイッチ電流	IN から OUT		15	A
T_J	接合部温度		-15	125	°C

(1) 電源電圧が 6V 未満の場合は、EN ピンを IN に直接プルアップしても問題ありません。電源電圧が 6V を超える場合、EN ピンの電圧が規定範囲内にあることを確認するため、IN、EN、および GND 間に適切な抵抗分圧回路を使用することを推奨します。
(2) 電源電圧が 6V 未満の場合、PG ピンは抵抗を介して IN または OUT にプルアップしても問題ありません。電源電圧が 6V を超える場合は 、降圧電源を使用して、PG ピンの電圧が規定の制限範囲内であることを確認することをお勧めします。

6.4 熱に関する情報

熱評価基準(1) (2)		TPS25982X RGE (QFN) 24 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	34.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	36.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	11.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	11.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) 最小推奨パッド サイズ (2oz Cu) および 3 x 2 ビア アレイを備えた JEDEC 4 層 PCB (2s2p) 上にデバイスを実装して実施したシミュレーションに基づいています。

6.5 電気的特性

(特に記述のない限りテスト条件) –40°C ≤ T_J ≤ 125°C、TPS259824x/7x の場合 V_{IN} = 12V、TPS259823x の場合 5V、TPS259822x の場合 3.3V、$V_{EN/UVLO}$ = 2V、R_{ILIM} = 1650Ω、C_{dVdT} = オープン、OUT = オープン。すべての電圧の基準は GND です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電源 (IN)						
V_{IN}	入力電圧範囲		2.7		24	V
I_Q	IN 静止時電流	$V_{EN} \geq V_{UVLO(R)}$		800	1200	µA
I_{SD}	IN シャットダウン電流	$V_{SD} < V_{EN} < V_{UVLO}$		204	300	µA
		$V_{EN} < V_{SD}$		3.67	20	µA
V_{UVP}	IN 低電圧保護スレッショルド	V_{IN} 立ち上がり	2.46	2.53	2.6	V
		V_{IN} 立ち下がり	2.35	2.42	2.49	V
過電圧保護 (IN)						
$V_{OVP(R)}$	過電圧保護スレッショルド	TPS259822x、V_{IN} 立ち上がり	3.62	3.7	3.76	V
		TPS259823x、V_{IN} 立ち上がり	7.39	7.6	7.76	V
		TPS259824x、V_{IN} 立ち上がり	16.32	16.9	17.31	V
$V_{OVP(F)}$		TPS259822x、V_{IN} 立ち下がり	3.52	3.6	3.66	V
		TPS259823x、V_{IN} 立ち下がり	7.22	7.4	7.55	V
		TPS259824x、V_{IN} 立ち下がり	15.80	16.4	16.81	V
出力電流モニタ (IMON)						
G_{IMON}	電流モニタ ゲイン (I_{IMON}:I_{OUT})	3A ≤ I_{OUT} ≤ min(15A, I_{LIM})、–40°C ≤ T_A ≤ 75°C	238.6	246	253.4	µA/A

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

(特に記述のない限りテスト条件) –40°C ≤ T_J ≤ 125°C、TPS259824x/7x の場合 V_{IN} = 12V、TPS259823x の場合 5V、TPS259822x の場合 3.3V、$V_{EN/UVLO}$ = 2V、R_{ILIM} = 1650Ω、C_{dVdT} = オープン、OUT = オープン。すべての電圧の基準は GND です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力電流制限 (ILIM)						
I_{LIM}	I_{OUT} 電流制限スレッショルド	R_{ILIM} = 773Ω、T_J = 25°C	1.76	2	2.17	A
		R_{ILIM} = 773Ω、T_J = -40 ～ 125°C	1.53	2	2.43	A
		R_{ILIM} = 300Ω、T_J = 25°C	4.75	4.98	5.23	A
		R_{ILIM} = 300Ω、T_J = -40 ～ 125°C	4.36	4.98	5.66	A
		R_{ILIM} = 182Ω、T_J = 25°C	7.77	8.13	8.54	A
		R_{ILIM} = 182Ω、T_J = -40 ～ 125°C	7.23	8.13	9.07	A
		R_{ILIM} = 100Ω、T_J = 25°C	13.56	14.71	15.66	A
		R_{ILIM} = 100Ω、T_J = -40 ～ 125°C	12.85	14.71	15.99	A
		R I_{LIM} = オープン		0		A
I_{CB}	ILIM ピンが GND に短絡した状態 (単一故障) における I_{OUT} サーキット ブレーカ スレッショルド	R_{ILIM} = GND に短絡、T_J = 25°C			20	A
I_{SC}	短絡高速トリップ スレッショルド			210		% I_{LIM}
オン抵抗 (IN - OUT)						
R_{ON}	オン状態抵抗	T_J = 25℃、I_{OUT} = 2A		2.7	3.2	mΩ
		T_J = -40 to 125℃、I_{OUT} = 2A			4.5	mΩ
イネーブル / 低電圧誤動作防止 (EN/UVLO)						
$V_{UVLO(R)}$	EN/UVLO ピン電圧スレッショルド	V_{EN} 立ち上がり	1.18	1.2	1.23	V
$V_{UVLO(F)}$		V_{EN} 立ち下がり	1.08	1.1	1.13	V
V_{SD}	最小シャットダウン電流時の EN/UVLO ピン電圧スレッショルド	V_{EN} 立ち下がり	0.59	0.8		V
I_{ENLKG}	EN/UVLO ピンのリーク電流				0.1	µA
パワー グッド表示 (PG)						
V_{PGD}	PG ピンの低電圧 (PG デアサート時)	V_{IN} < V_{UVP}、V_{EN} < V_{SD}、I_{PG} = 26µA		651	786	mV
		V_{IN} = 3.3V、I_{PG} ≤ 5mA		320		mV
		V_{IN} ≥ 5V、I_{PG} ≤ 5mA		100		mV
I_{PGLKG}	PG ピンのリーク電流 (PG アサート時)	PG を 10kΩ を介して 5V にプルアップ			1.7	µA
$R_{ON(PGA)}$	PG がアサートされたときの R_{ON}			4.2		mΩ
V_{PGTHD}	V_{IN}> V_{OUT}、PG がデアサートされるスレッショルド		0.224	0.326	0.450	V
自動再試行遅延間隔 (RETRY_DLY)						
$V_{RETRY_DLY(R)}$	RETRY_DLY 発振器コンパレータ スレッショルド			1.1		V
$V_{RETRY_DLY(F)}$				0.35		V
$V_{RETRY_DLY_HYS}$	RETRY_DLY 発振器のヒステリシス		0.65	0.75	0.85	V
I_{RETRY_DLY}	RETRY_DLY ピンのバイアス電流		1.7	2.05	2.5	µA
自動再試行の回数 (NRETRY)						
$V_{NRETRY(R)}$	NRETRY 発振器コンパレータ スレッショルド			1.1		V
$V_{NRETRY(F)}$				0.35		V
V_{NRETRY_HYS}	NRETRY 発振器のヒステリシス		0.65	0.75	0.85	V
I_{NRETRY}	NRETRY ピンのバイアス電流		1.7	2.05	2.5	µA

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

(特に記述のない限りテスト条件) –40°C ≤ T_J ≤ 125°C、TPS259824x/7x の場合 V_{IN} = 12V、TPS259823x の場合 5V、TPS259822x の場合 3.3V、$V_{EN/UVLO}$ = 2V、R_{ILIM} = 1650Ω、C_{dVdT} = オープン、OUT = オープン。すべての電圧の基準は GND です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電流故障タイマ (ITIMER)						
I_{ITIMER}	ITIMER 放電電流	I_{SC} > I_{OUT} > I_{LIM}	1.4	2.1	2.8	µA
R_{ITIMER}	ITIMER 内部プルアップ抵抗	I_{OUT} < I_{LIM}		23		kΩ
V_{INT}	ITIMER ピンのデフォルト電圧	I_{OUT} < I_{LIM}		2.5		V
V_{ITIMER}	ITIMER コンパレータ立ち下がりスレッショルド	I_{SC} > I_{OUT} > I_{LIM}、ITIMER 電圧立ち上がり		1.53		V
ΔV_{ITIMER}	ITIMER コンパレータ電圧スレッショルド デルタ	I_{SC} > I_{OUT} > I_{LIM}、ITIMER 電圧の立ち下がり	0.7	0.98	1.3	V
LDSTRT						
V_{LDSTRT}	LDSTRT 立ち上がりスレッショルド	LDSTRT 電圧の立ち上がり	1.1	1.21	1.3	V
I_{LDSTRT}	LDSTRT 充電電流	PG がアサートされました	1.7	2.05	2.4	µA
R_{LDSTRT}	LDSTRT ピンのプルダウン抵抗			31		Ω
過熱保護						
TSD	サーマル シャットダウン スレッショルド	T_J 立ち上がり		150		℃
TSDHys	サーマル シャットダウンのヒステリシス	T_J 立ち下がり		10		℃
dVdt						
I_{dVdt}	dVdt ピンの充電電流		2	4.6	6.33	µA

6.6 タイミング要件

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{OVP}	過電圧保護応答時間 (1)	V_{IN} > $V_{OVLO(R)}$ ～ V_{OUT} ↓、TPS259822x		1.5		µs
		V_{IN} > $V_{OVLO(R)}$ ～ V_{OUT} ↓、TPS259823x		5		µs
		V_{IN} > $V_{OVLO(R)}$ ～ V_{OUT} ↓、TPS259824x		5		µs
t_{LIM}	電流制限の応答時間 (2)	I_{OUT} > I_{LIM} + 30%、ITIMER 期限切れから I_{OUT} ≤ I_{LIM}		270		µs
t_{SC}	短絡応答時間	I_{OUT} > 3x I_{LIM} ～ V_{OUT} がオフになります		400		ns
t_{PGD}	PG アサート / デアサート時のグリッチ除去(3)	V_G > (V_{IN} + 3.6V) ～ PG ↑ または (V_{IN} - V_{OUT}) > V_{PGTHD} ～ PG ↓		120		µs

(1) 図 7-2 を参照してください。
(2) 図 7-4 を参照してください。
(3) 図 7-6 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.7 スイッチング特性

出力の立ち上がりスルーレートは内部的に制御され、動作電圧範囲の全体にわたって一定であるため、ターンオン タイミングが負荷条件の影響を受けないことが保証されます。立ち上がりスルー レートは、dVdt ピンとグランドの間に容量を追加することで調整できます。C_{dVdt} が大きくなると、立ち上がりスルーレート (SR) が低下します。詳細については、「スルー レートおよび突入電流制御 (dVdt)」セクションを参照してください。ただし、ターンオフ遅延時間と立ち下がり時間は負荷容量 (C_{OUT}) および負荷抵抗 (R_L) の RC 時定数に依存します。スイッチング特性は、電源が定常状態で利用可能で、デバイスがイネーブルになる前に負荷電圧が完全に放電されているパワーアップ シーケンスに対してのみ有効です。標準値は T_J = 25℃ 時に測定 (特に記述のない限り)。R_L = 3.6 Ω、C_{OUT} = 1mF

パラメータ		V_{IN}	C_{dVdt} = Open	C_{dVdt} = 3300pF	C_{dVdt} = 6800pF	単位
SR_{ON}	出力立ち上がりスルー レート	2.7V	6.26	1.39	0.68	V/ms
		12V	7.35	1.4	0.68	
		24V	7.4	1.4	0.68	
$t_{D,ON}$	ターン オン遅延	2.7V	1.3	1.49	1.7	ms
		12V	1.24	2.1	3.01	
		24V	1.2	2.91	4.74	
t_R	立ち上がり時間	2.7V	0.67	1.63	3.35	ms
		12V	1.35	6.99	14.41	
		24V	2.66	13.77	28.41	
t_{ON}	ターンオン時間	2.7V	1.97	3.12	5.05	ms
		12V	2.59	9.09	17.42	
		24V	3.86	16.68	33.15	
$t_{D,OFF}$	ターンオフ遅延時間	2.7V	151	152	152	µs
		12V	212	212	212	
		24V	262	262	262	

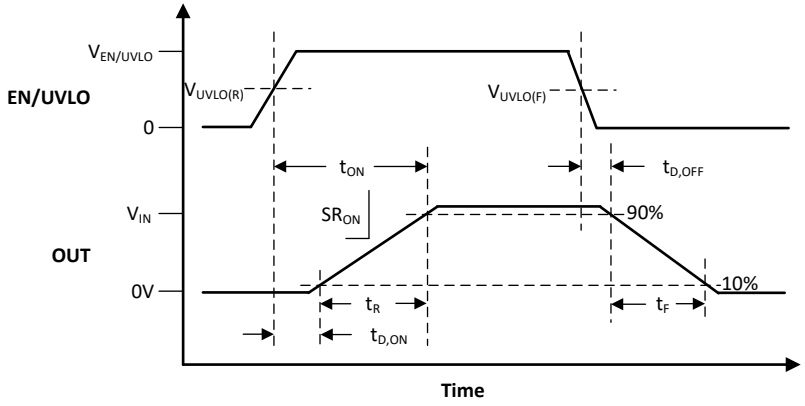


図 6-1. TPS25982 のスイッチング時間

6.8 代表的特性

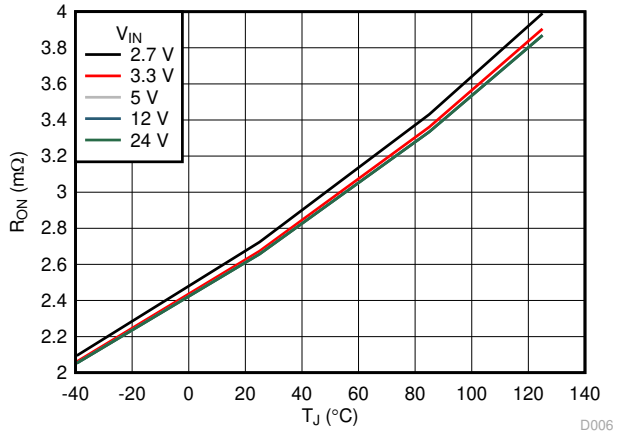


図 6-2. オン抵抗と温度との関係

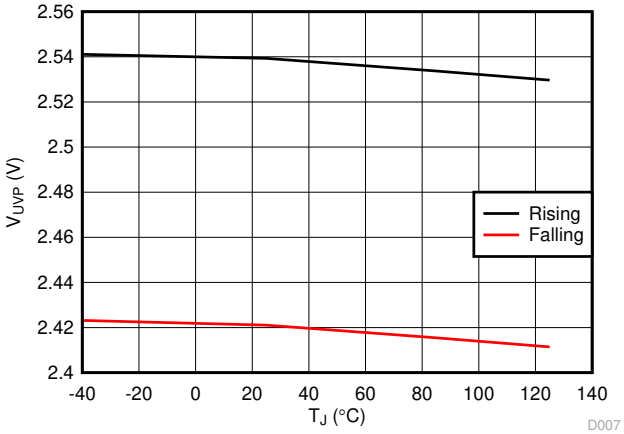
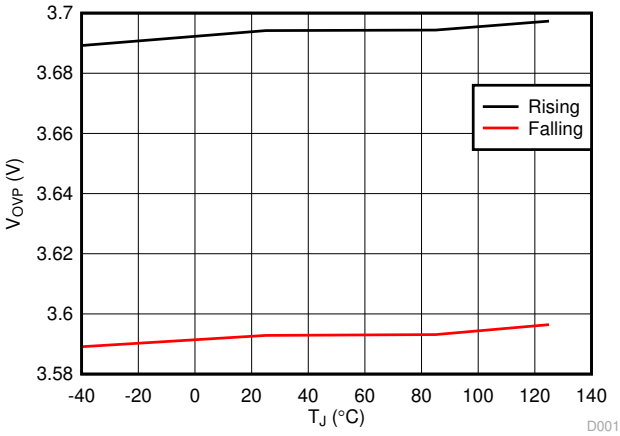
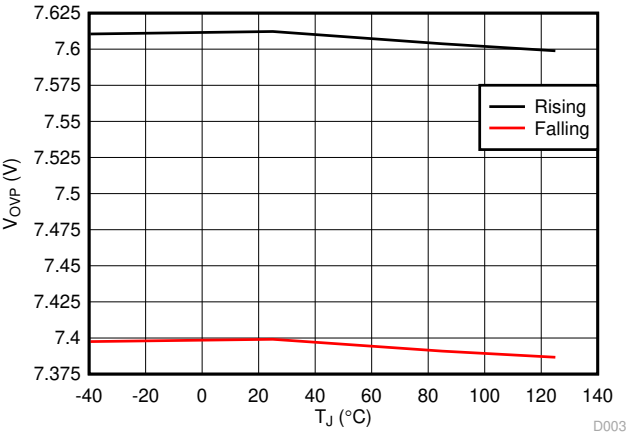


図 6-3. 電源 UVP スレッショルドと温度との関係



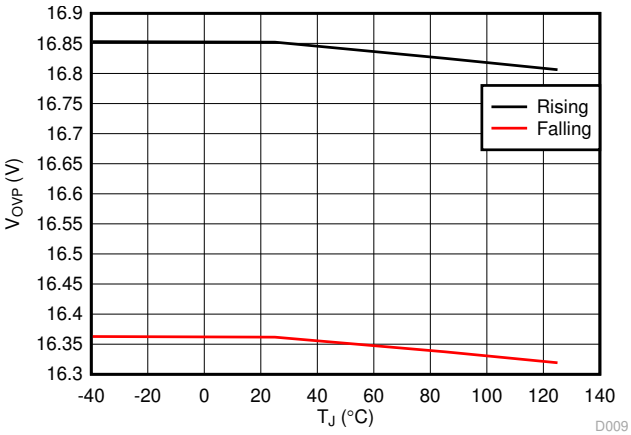
TPS259822x のバリエーション

図 6-4. 電源 OVP スレッショルドと温度との関係



TPS259823x のバリエーション

図 6-5. 電源 OVP スレッショルドと温度との関係



TPS259824x のバリエーション

図 6-6. 電源 OVP スレッショルドと温度との関係

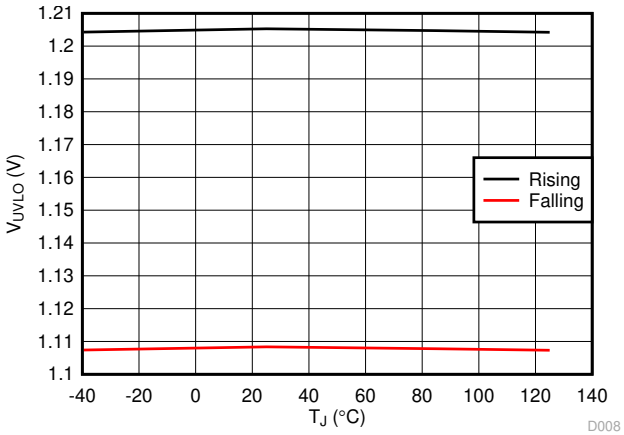
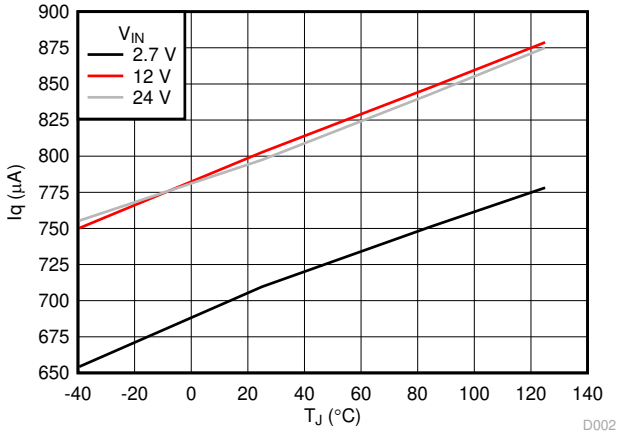


図 6-7. EN/UVLO スレッショルドと温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)



V_{ENUVLO} = 2V、OUT = オープン

図 6-8. 静止電流と温度との関係

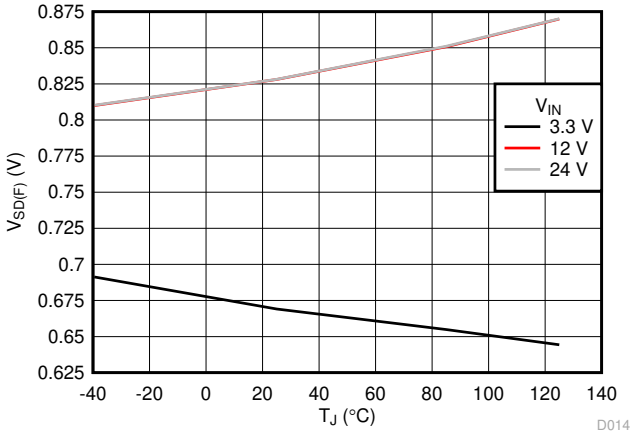
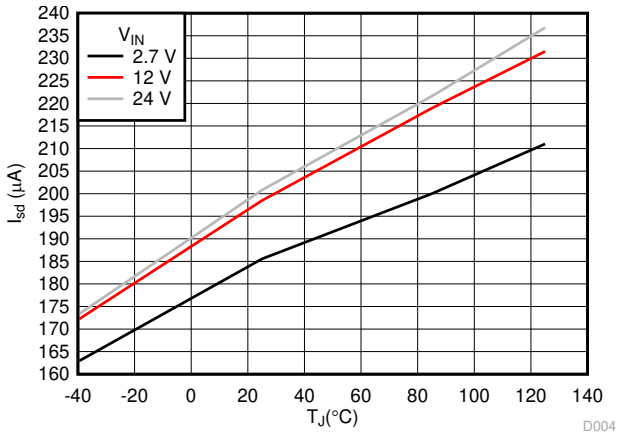
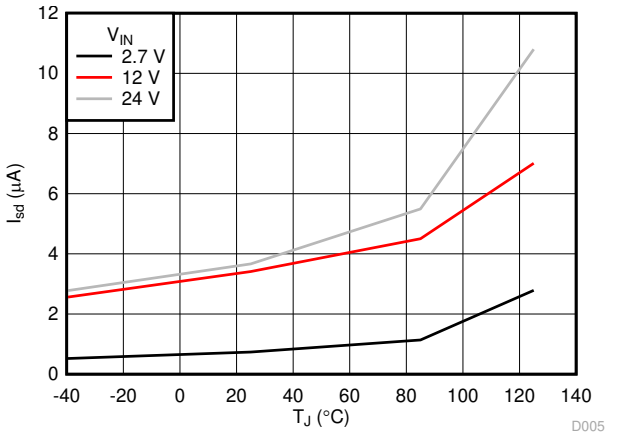


図 6-9. 最小消費電流時の EN/UVLO 立ち下がりスレッショルド



V_{ENUVLO} = 1V、OUT = オープン

図 6-10. シャットダウン電流と温度との関係



V_{ENUVLO} = 0V、OUT = オープン

図 6-11. ディープ シャットダウン電流と温度との関係

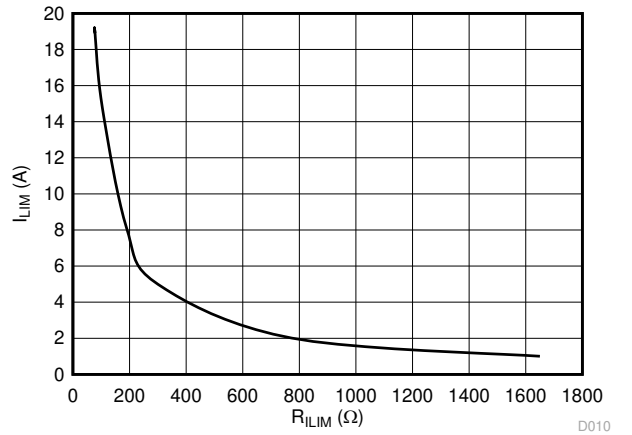
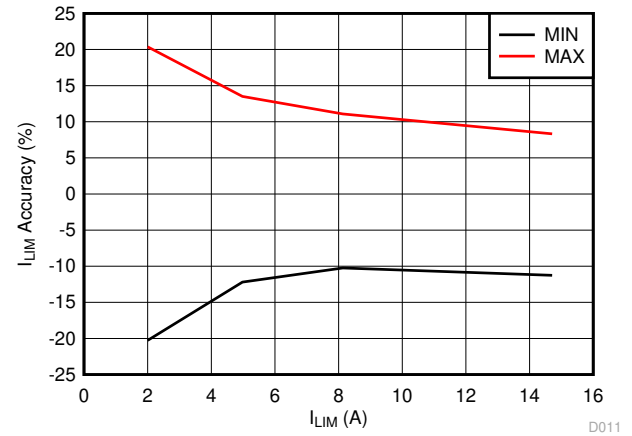


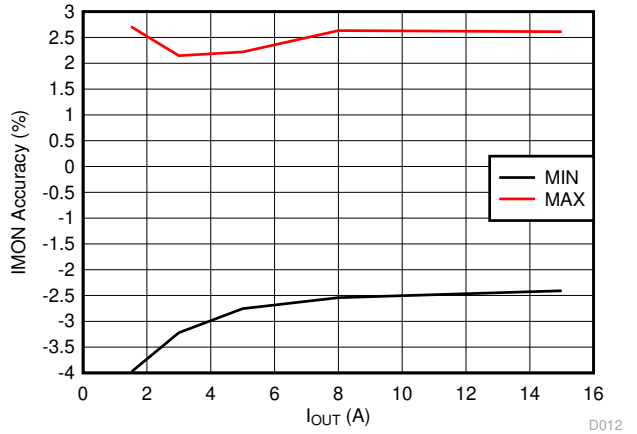
図 6-12. 出力電流制限 (I_{LIM}) と R_{ILIM} との関係



プロセス、電圧、および温度の各条件範囲

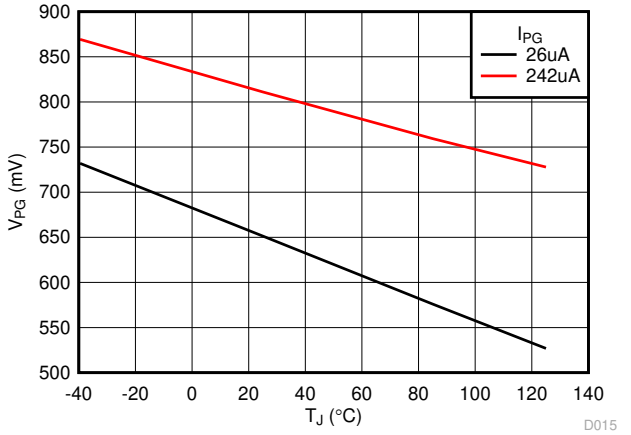
図 6-13. 出力電流制限 (I_{LIM}) 精度

6.8 代表的特性 (続き)



プロセス、電圧、温度の各条件範囲、246µA/A の平均値で正規化

図 6-14. 出力電流モニタ ゲイン (G_{IMON}) 精度



V_{IN} = 0V

図 6-15. パワーグッド出力電圧 (デアサート状態) と温度との関係

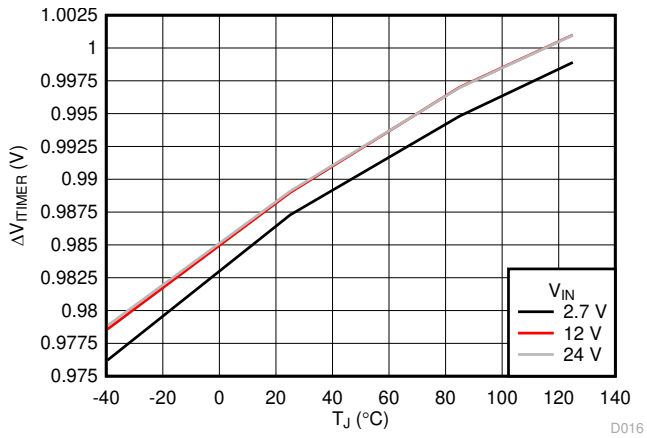


図 6-16. ITIMER 電圧スレッショルド デルタと温度との関係

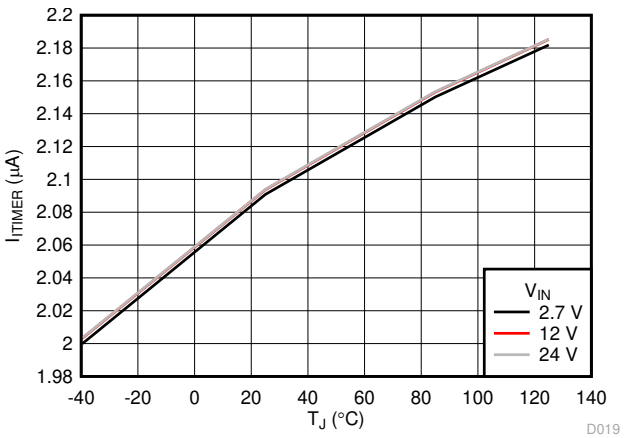


図 6-17. ITIMER の放電電流と温度との関係

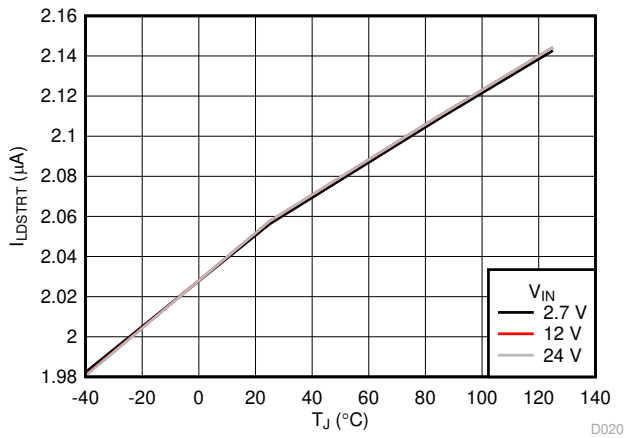


図 6-18. LDSTRT 充電電流と温度との関係

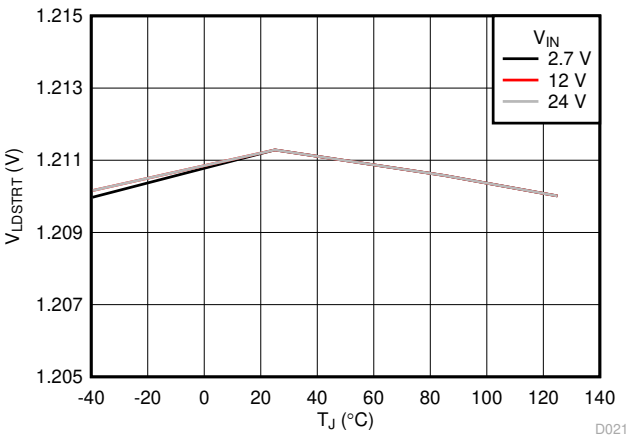


図 6-19. LDSTRT スレッショルドと温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

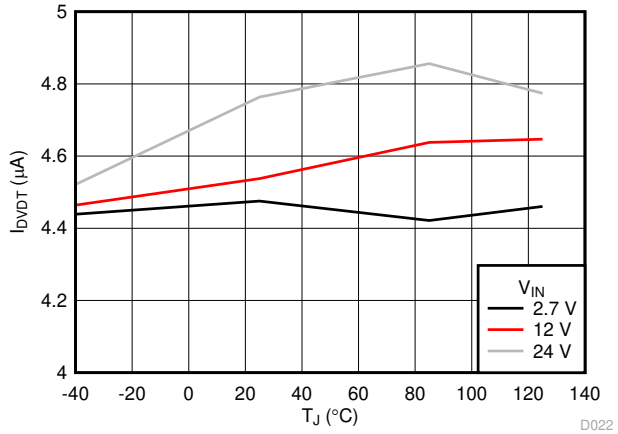


図 6-20. DVDT 充電電流と温度との関係

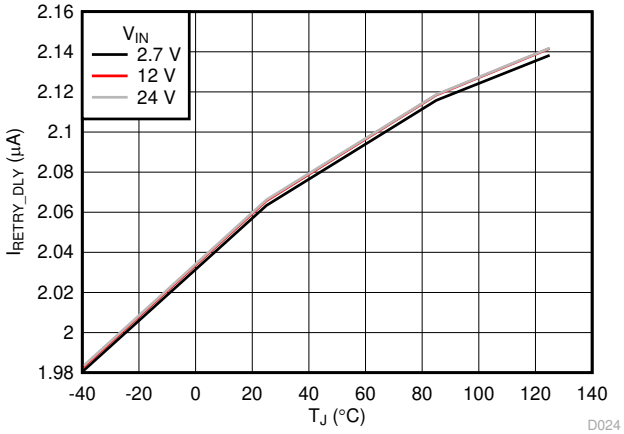


図 6-21. RETRY_DLY バイアス電流と温度との関係

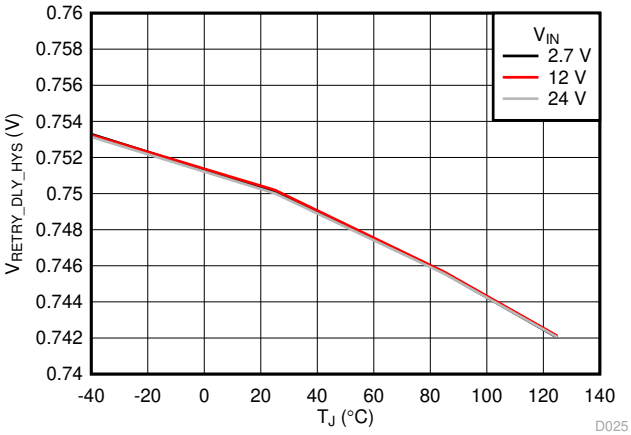


図 6-22. RETRY_DLY 発振器のヒステリシスと温度との関係

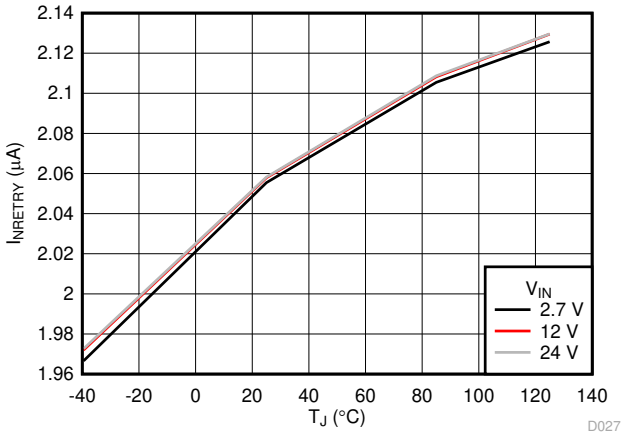


図 6-23. NRETRY バイアス電流と温度との関係

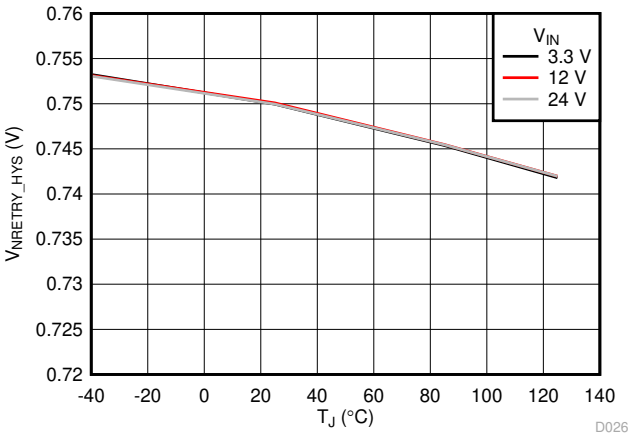


図 6-24. NRETRY 発振器のヒステリシスと温度との関係

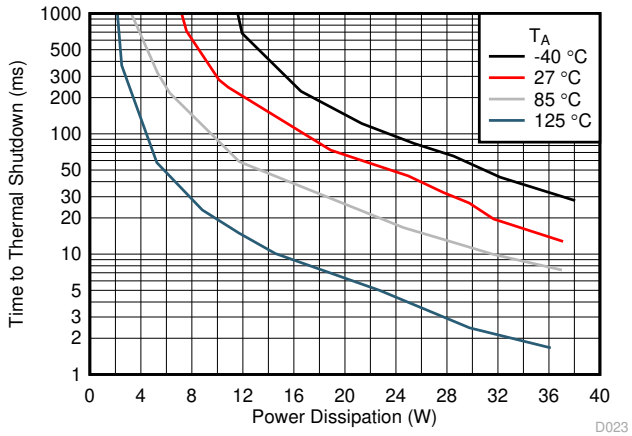


図 6-25. サーマル シャットダウン プロット — 定常状態

6.8 代表的特性 (続き)

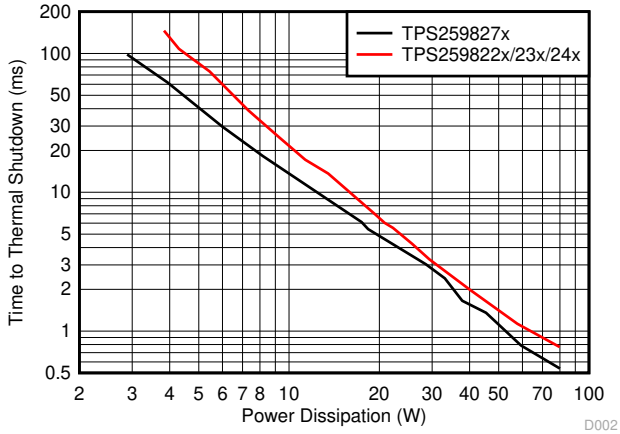
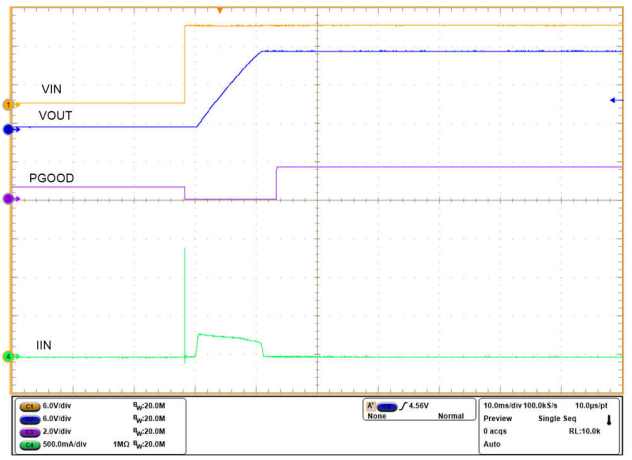
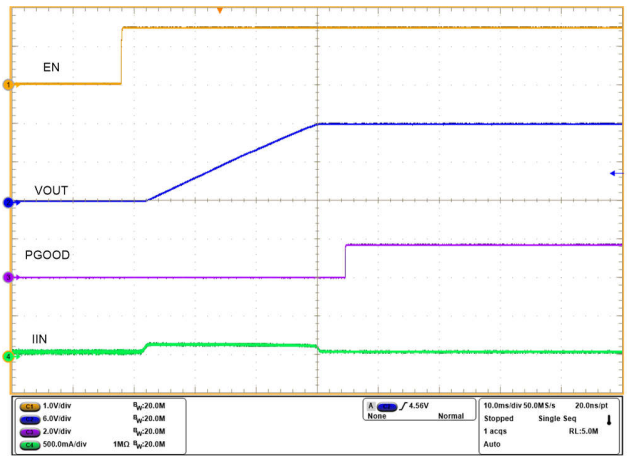


図 6-26. サーマル シャットダウン プロット — 突入電流 / 過負荷



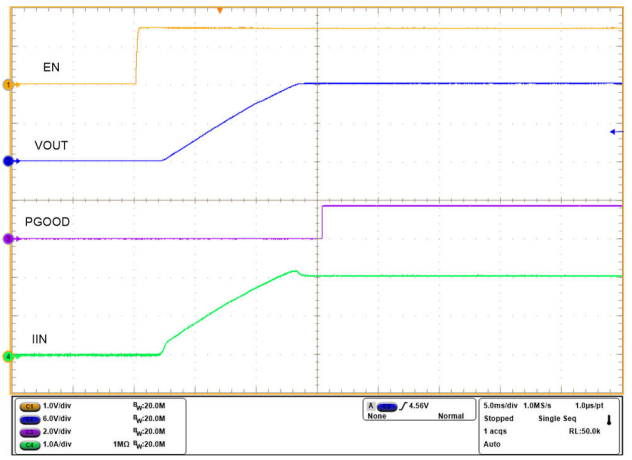
C_{IN} = 1µF C_{OUT} = 220µF C_{dVdt} = 3.3nF

図 6-27. ホットプラグ



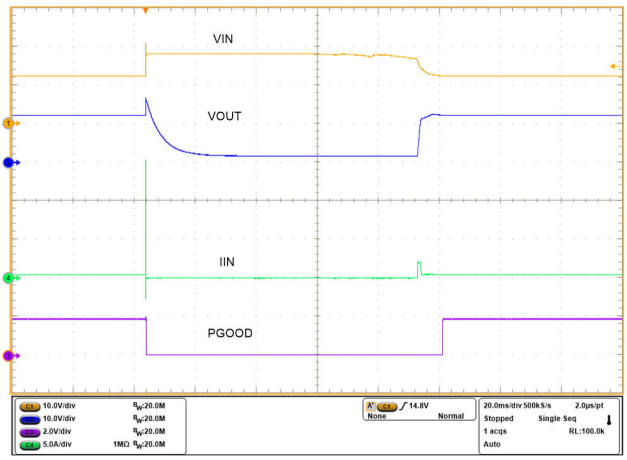
C_{OUT} = 220µF C_{dVdt} = 10nF R_{OUT} = オープン

図 6-28. EN-dVdt 制限付きの起動



C_{OUT} = 220µF C_{dVdt} = 3.3nF R_{OUT} = 6Ω

図 6-29. 抵抗負荷への EN 起動 - dVdt 制限あり

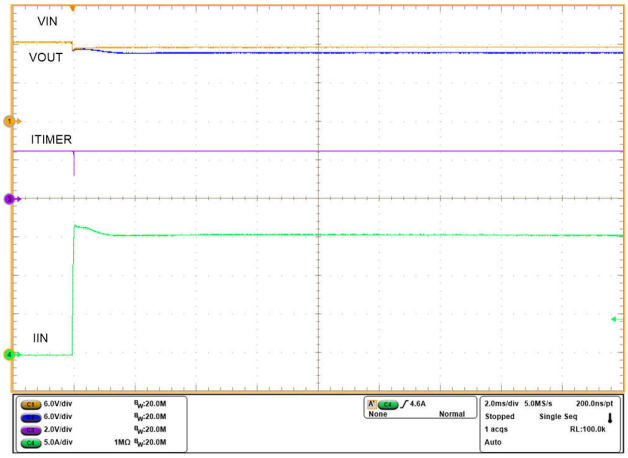


TPS259824x (16.7V OVP バリアント)

図 6-30. 過電圧保護

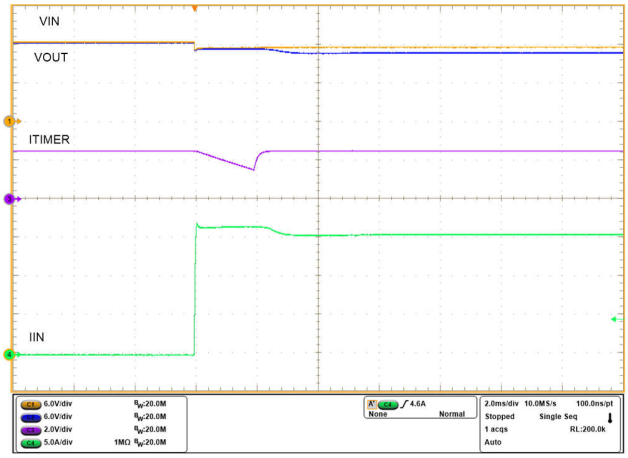
Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)



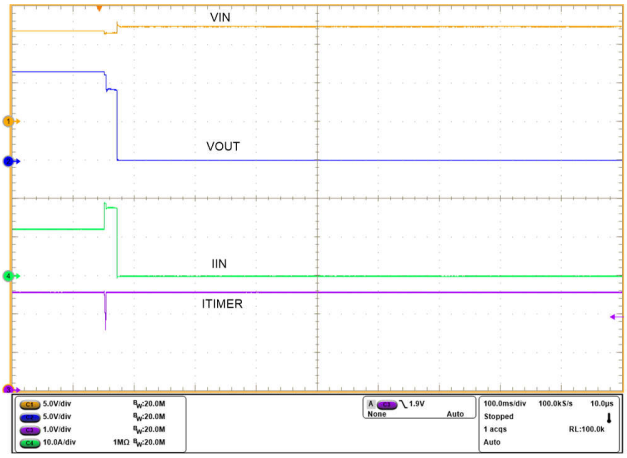
R_{ILIM} = 100Ω　C_{ITIMER} = オープン

図 6-31. 過渡過電流ブランキングなしの電流制限



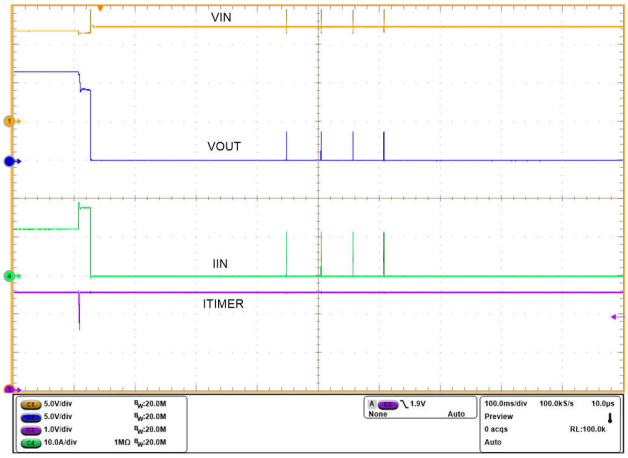
R_{ILIM} = 100Ω　C_{ITIMER} = 4.7nF

図 6-32. 過渡過電流ブランキングありの電流制限



R_{ILIM} = 100Ω　C_{ITIMER} = 4.7nF　RETRY_DLY = GND に短絡

図 6-33. 電流制限に続くサーマル シャットダウン - ラッチオフ

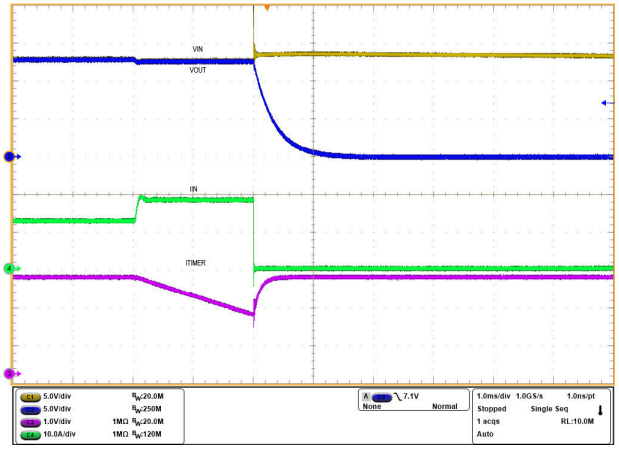


R_{ILIM} = 100Ω　C_{ITIMER} = 4.7nF　C_{RETRY_DLY} = 1nF、C_{NRETRY} = オープン

図 6-34. 電流制限に続くサーマル シャットダウン - 自動再試行

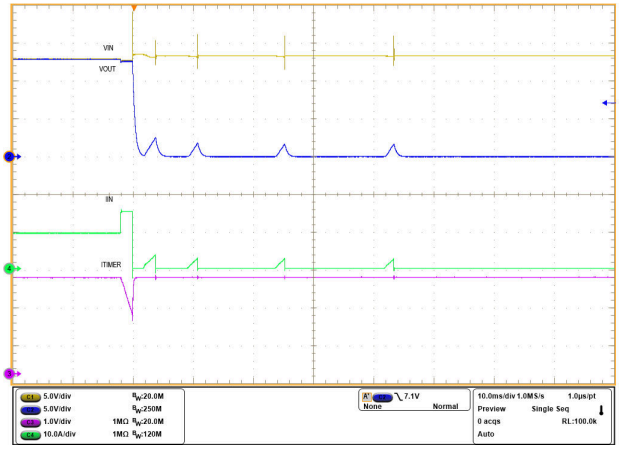
Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)



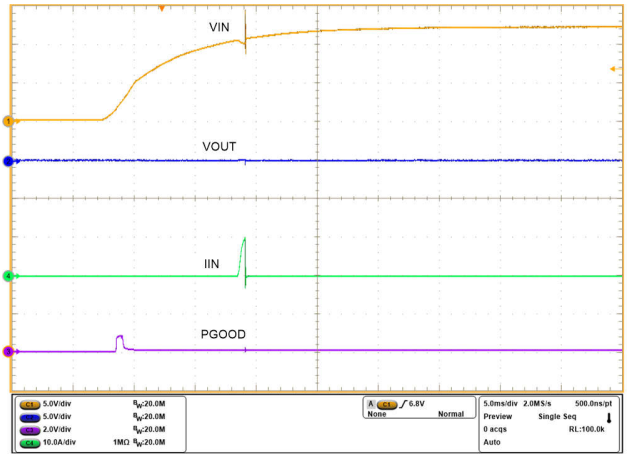
R_{ILIM} = 100Ω　　C_{ITIMER} = 4.7nF

図 6-35. 過渡過電流ブランキング機能付きサーキット ブレーカ



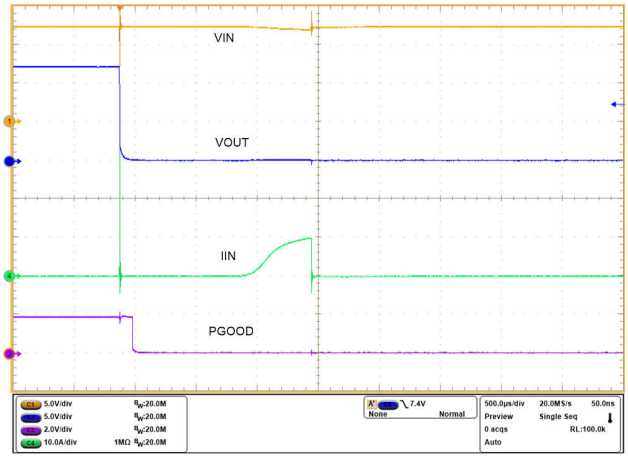
R_{ILIM} = 100Ω　　C_{ITIMER} = 4.7nF　C_{RETRY_DLY} = オープン、C_{NRETRY} = オープン

図 6-36. サーキット ブレーカ — 自動再試行



R_{ILIM} = 100Ω

図 6-37. 出力短絡状態での電源投入

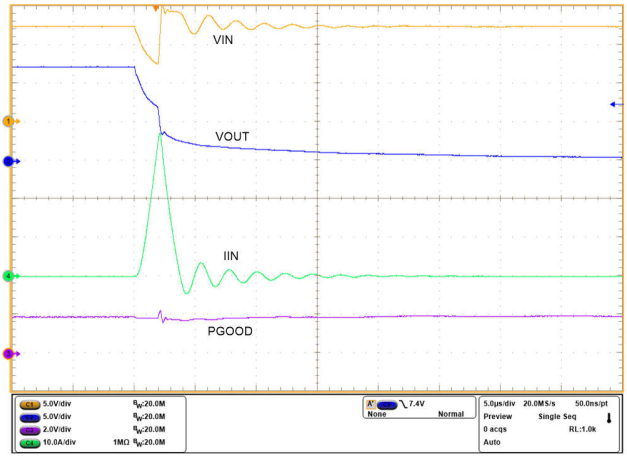


R_{ILIM} = 100Ω

図 6-38. オン時の出力ハード短絡

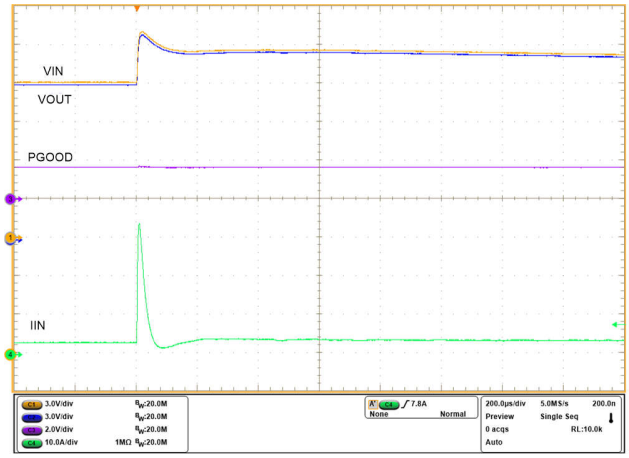
Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)



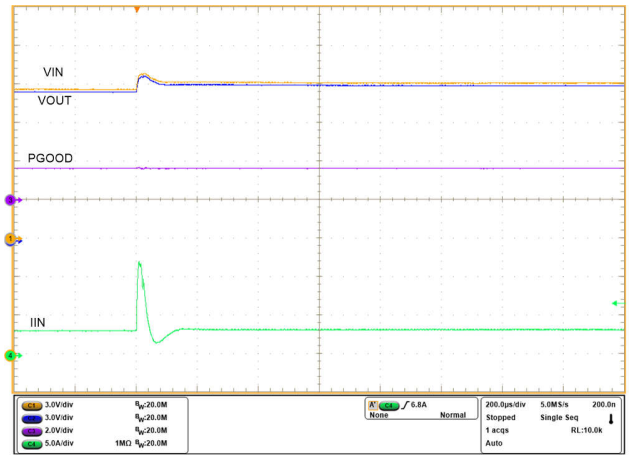
R_{ILIM} = 100Ω

図 6-39. オン時の出力ハード短絡 (拡大図)



R_{ILIM} = 332Ω

図 6-40. 電源ライン過渡耐性 - 入力電圧ステップ



R_{ILIM} = 511Ω

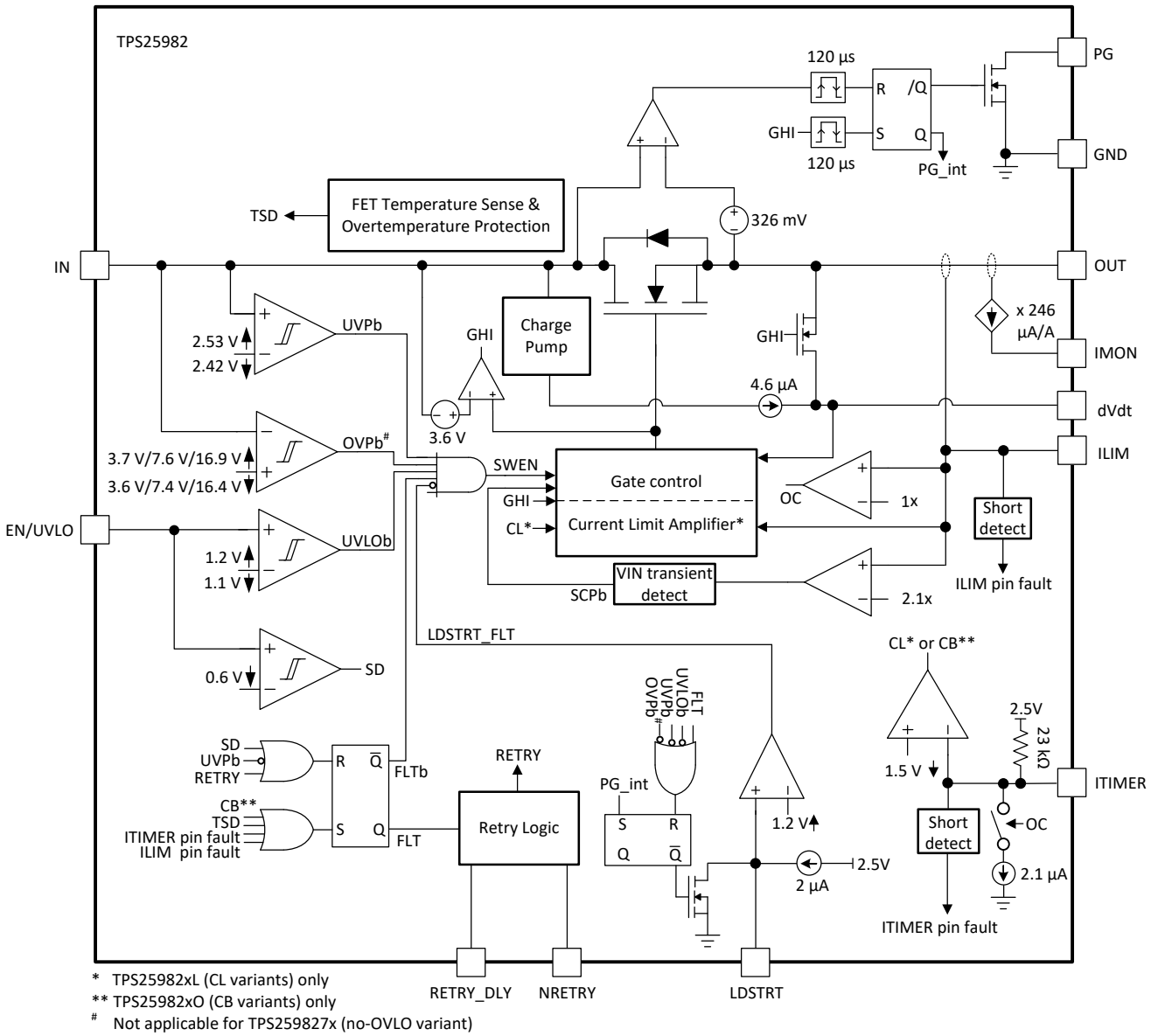
図 6-41. 電源ライン過渡耐性 - 隣接負荷ホットアンプラグ

7 詳細説明

7.1 概要

TPS25982 デバイスは、負荷電圧および負荷電流を管理するために使用される、電源スイッチ内蔵のスマート eFuse です。デバイスは、IN バスを監視することで動作を開始します。V_{IN} が低電圧保護スレッショルド (V_{UVP}) を上回り、過電圧保護スレッショルド (V_{OVP}) を下回ると、デバイスは EN/UVLO ピンをサンプリングします。このピンが High レベルになると、内部 MOSFET が導通し始め、電流が IN から OUT に流れます。EN/UVLO が Low に保持されると、内部 MOSFET がオフになります。正常な起動シーケンス完了後、デバイスは負荷電流および入力電圧を継続的に監視し、有害な過電流および過電圧状態から負荷を保護します。このデバイスは、内蔵サーマル センス回路にも使用して、デバイス内部温度 (T_J) が安全動作条件を超えた場合にシャットダウンして自己保護を行います。

7.2 機能ブロック図



* TPS25982xL (CL variants) only
** TPS25982xO (CB variants) only
\# Not applicable for TPS259827x (no-OVLO variant)

Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

TPS25982 eFuse は、小型で機能豊富高な電力管理デバイスであり、システム故障発生時の検出、保護、および表示報告を行います。

7.3.1 低電圧保護 (UVLO および UVP)

TPS25982 は、入力電圧がダウンストリーム負荷またはデバイス自身が正常に動作するには低すぎる場合に出力をオフにするため、IN ピンに低電圧保護機能を実装しています。低電圧保護機能には、V_{UVP} の内部デフォルトスレッショルドが設定されています。必要に応じて、EN/UVLO ピンの UVLO コンパレータを使用して、V_{UVP} よりも高いユーザー定義の低電圧保護スレッショルドを設定することもできます。図 7-1 および 式 1 は、電源から GND への抵抗分圧回路を使用して、所定の電源電圧レベルに対する UVLO 設定値を設定する方法を示しています。

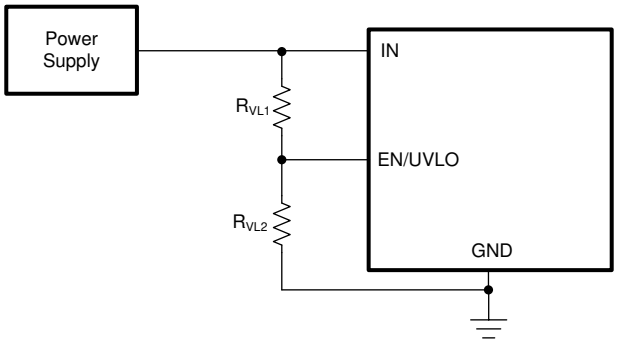


図 7-1. 可変電源 UVLO スレッショルド

$$VIN_{UVLO} = \frac{V_{UVLO(R)} \times [R_{VL1} + R_{VL2}]}{R_{VL2}} \quad (1)$$

抵抗分圧ネットワークを介して電源からグランドへ常時流れるリーク電流を最小限に抑えるため、抵抗値は十分大きく設定する必要があります。同時に、抵抗分圧比の誤差を最小限に抑えるため、抵抗ネットワークを流れる電流は、EN/UVLO ピンのリーク電流より十分大きく (20 倍) 保つ必要があります。

7.3.2 過電圧保護 (OVP)

TPS25982 は、入力過電圧時に出力負荷を保護するため、IN ピンに過電圧ロックアウト (OVLO) 機能を実装しています。入力が過電圧保護スレッショルド ($V_{OVP(R)}$) を超えると、デバイスは t_{OVP} 以内に出力をオフにします。入力に過電圧状態が存在している間、デバイスは無効状態を維持し、出力はオフになります。入力電圧が通常動作範囲に戻ると、デバイスは通常どおり起動を試みます。

Copyright © 2026 Texas Instruments Incorporated

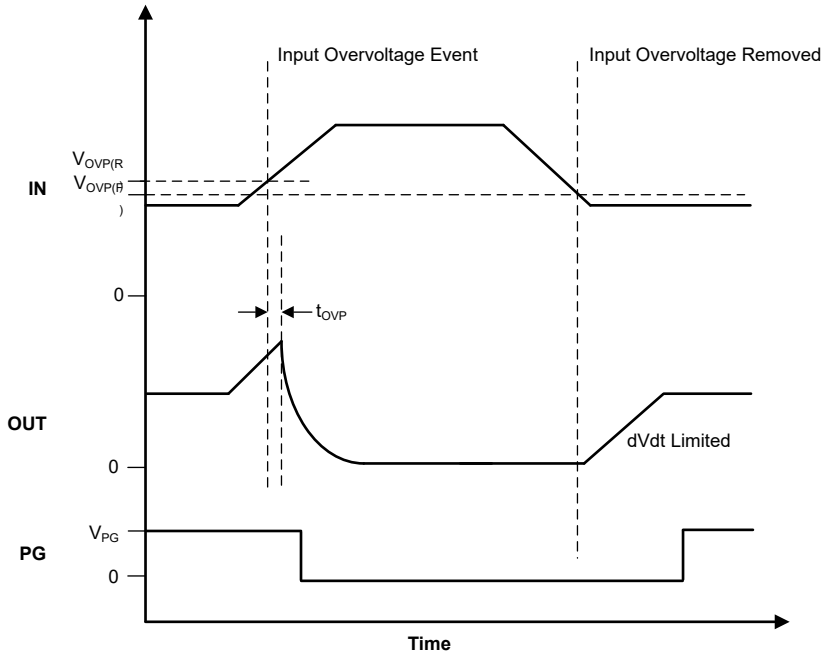


図 7-2. 過電圧応答

固定過電圧スレッショルドが異なる複数のデバイス オプションが用意されており、内部過電圧保護機能を持たないタイプも含まれています。利用可能なオプションのリストについては、「デバイス比較表」を参照してください。

7.3.3 突入電流、過電流、および短絡保護

TPS25982 デバイスには、過電流に対する 3 段階の保護機能が組み込まれています:

- 突入電流制御のための調整可能なスルー レート (dVdt)
- 調整可能な過電流保護 (調整可能なブランキング タイマ付き) - 軽度の過負荷状態から保護するサーキット ブレーカまたはアクティブ電流リミッタ
- 重大な過電流 (短絡) 故障から迅速に保護するための調整可能な高速トリップ応答

7.3.3.1 スルーレートおよび突入電流制御 (dVdt)

ホットプラグ イベント時や大きな出力容量の充電中に、大きな突入電流が発生する可能性があります。突入電流が制御されていない場合、入力コネクタを損傷したり、システム電源電圧を低下させて、システム内の他の部分で予期しない再起動を引き起こしたりする可能性があります。TPS25982 は、起動時の突入電流を管理するため、出力スルーレート (dVdt) 制御機能を内蔵しています。突入電流は、負荷容量および立ち上がりスルー レートに比例します。次の式を使用して、所定の負荷容量 (C_{OUT}) に対して突入電流 (I_{INRUSH}) を制限するために必要なスルーレート (SR) を計算できます:

$$SR\left(\frac{V}{ms}\right) = \frac{I_{INRUSH}(mA)}{C_{OUT}(\mu F)} \quad (2)$$

立ち上がりスルーレートを制御してターンオン時の突入電流を低減するため、外部コンデンサを dVdt ピンへ接続できます。特定のスルーレートを生成するために必要な C_{dVdt} 容量は、次の式を使用して計算できます:

$$CdVdt(pF) = \frac{4600}{SR\left(\frac{V}{ms}\right)} \quad (3)$$

dVdt ピンをオープンのままにし、最も高速な出力スルーレートを実現できます。

Copyright © 2026 Texas Instruments Incorporated

7.3.3.2 サーキット ブレーカ

TPS25982xO (サーキット ブレーカ) バリアントは、出力過電流状態に対して、ユーザーが調整可能な一時的故障ブランキング時間経過後に出力をオフにすることで応答します。負荷電流が、設定された電流制限スレッショルド (ILIM ピン抵抗 R_{ILIM} によって設定される I_{LIM}) を超え、かつ高速トリップ スレッショルド (2.1 × I_{LIM}) 未満である場合、デバイスは内部プルダウン電流 (I_{ITIMER}) を使用して ITIMER ピンのコンデンサの放電を開始します。ITIMER コンデンサの電圧が ΔV_{ITIMER} だけ低下する前に負荷電流が電流制限しきい値未満へ下がった場合、サーキット ブレーカ動作は実行されず、ITIMER は内部的に V_{INT} へプルアップされてリセットされます。これにより、短時間の過渡的な過電流パルスは、回路をトリップさせることなくデバイスを通過できます。過電流状態が続く場合、ITIMER コンデンサは放電を継続し、ΔV_{ITIMER} によって低下すると、サーキットブレーカの動作により FET が直ちにオフになります。目的の電流制限スレッショルドに対する R_{ILIM} 値は、次の式を使用して計算できます。

$$R_{ILIM(\Omega)} = \frac{1460}{I_{ILIM(A)} - 0.11} \quad (4)$$

注

ILIM ピンをオープン状態のままにすると、電流制限値はゼロに設定され、負荷電流が検出されると直ちに FET がオフになります。通常動作中に ILIM ピンを接地すると、故障として検出され、部品はシャットダウンされます。ILIM ピンの GND 短絡故障検出回路では、デバイスを流れる最小負荷電流 (I_{CB}) が必要です。これにより、単一故障発生時でも eFuse の堅牢性の高い動作が確保されます。故障後のデバイスの動作の詳細については、「故障応答」セクションを参照してください。

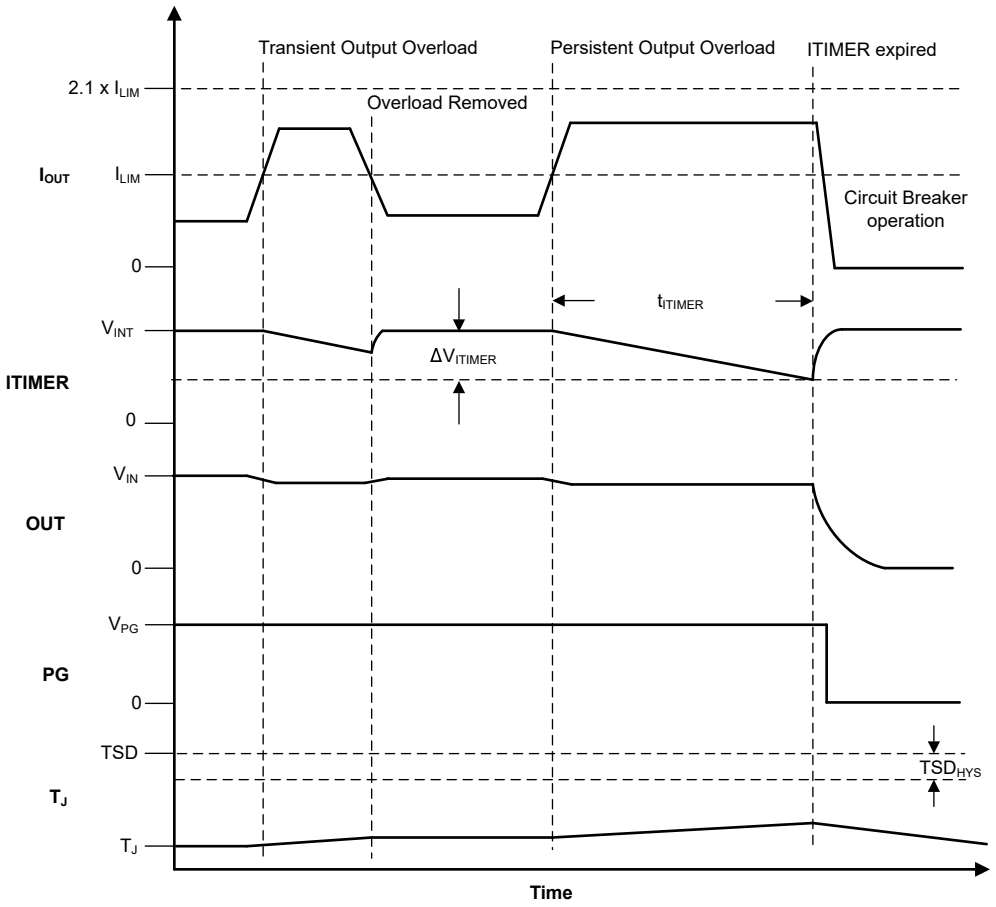


図 7-3. サーキット ブレーカ応答

負荷トランジェントを許容する時間は、ITIMER ピンとグランド間に接続する適切なコンデンサ値によって調整できます。過渡過電流ブランキング期間は、式 5 を使用して計算できます。

$$t_{ITIMIER}(ms) = \frac{C_{ITIMIER}(nF) \times \Delta v_{ITIMIER}(V)}{R_{ILIM}(\Omega)} \quad (5)$$

ITIMER ピンをオープンのままにすると、本デバイスが最小限の遅延で回路を切断できるようになります。

表 7-1. デバイス ITIMER の機能モードの概要

ITIMER ピン接続	過電流応答前のタイマ遅延
オープン	0s
グランドに接続されたコンデンサ	式 5 に従う
GND への短絡	ITIMER ピン故障 — 部品シャットオフ

注

1. ITIMER ピンをグランドに短絡すると故障として検出され、デバイスはシャットダウンします。これにより、単一故障状態の場合でも、eFuse の堅牢な動作が確保されます。故障後のデバイスの動作の詳細については、「故障応答」セクションを参照してください。
2. より大きな ITIMER コンデンサを使用すると、起動時の充電時間が長くなり、デバイスが定常状態に到達した後でも ITIMER 電圧がピン短絡検出スレッショルド未満のままである場合、誤った故障のアサーションが発生することがあります。これを回避するため、ITIMER コンデンサの最大値は、以下の式で推奨される値以内に制限することを推奨します。

$$C_{ITIMIER} < \frac{t_{GHI}}{53000} \quad (6)$$

$$t_{GHI} = t_{D,ON} + C_{dvdt} \times \frac{V_{IN} + 3.6V}{I_{dvdt}} \quad (7)$$

ここで

- t_{GHI} は、デバイスが定常状態に達するまでに要する時間
- $t_{D,ON}$ はデバイスのターンオン遅延
- C_{dvdt} は dVdt 容量
- I_{dvdt} は dVdt 充電電流

dVdt コンデンサ値を適切に増やすことで、ITIMER ピンの誤った故障アサーションを回避し、必要に応じてより長い ITIMER 時間を実現することが可能ですが、その代償として起動時間が長くなります。

サーキット ブレーカ故障によってデバイスがシャットダウンした後は、ラッチ オフ状態を維持するようにも、自動的に再起動するようにも設定できます。詳細については、「故障応答」セクションを参照してください。

7.3.3.3 アクティブ電流制限

TPS25982xL (電流リミッタ) バリアントは、ユーザーが調整可能な故障ブランキング間隔をおいて、設定した制限値に電流をアクティブにレギュレートすることで、出力過電流状態に応答します。負荷電流が、設定された電流制限スレッショルド (ILIM ピン抵抗 R_{ILIM} によって設定される I_{LIM}) を超え、かつ高速トリップ スレッショルド (2.1 × I_{LIM}) 未満である場合、デバイスは内部プルダウン電流 (I_{ITIMER}) を使用して ITIMER ピンのコンデンサの放電を開始します。ITIMER コンデンサ電圧が ΔV_{ITIMER} だけ低下する前に負荷電流が電流制限スレッショルドを下回ると、電流制限動作は作動せず、ITIMER は内部で V_{INT} にプルアップされてリセットされます。これにより、短い過渡過電流パルスが電流を制限せずにデバイスを通過できるようになります。過電流状態が続くと、ITIMER コンデンサは放電を続け、ΔV_{ITIMER} 分低下すると、デバイスは

Copyright © 2026 Texas Instruments Incorporated

FET のゲート電圧を制御して、設定された I_{LIM} レベルに出力電流を能動的に制限します。負荷電流が I_{LIM} を下回ると、デバイスは電流制限を終了します。式 8 を使用して、目的の電流制限に対する R_{ILIM} 値を計算できます。

$$R_{ILIM(\Omega)} = \frac{1460}{I_{ILIM(A)} - 0.11} \quad (8)$$

注

ILIM ピンをオープン状態のままにすると、電流制限値はゼロに設定され、負荷電流が検出されると直ちに FET がオフになります。通常動作中に ILIM ピンを接地すると、故障として検出され、部品はシャットダウンされます。ILIM ピンの GND 短絡故障検出回路では、デバイスを流れる最小負荷電流 (I_{CB}) が必要です。これにより、単一故障発生時でも eFuse の堅牢性の高い動作が確保されます。故障後のデバイスの動作の詳細については、「故障応答」セクションを参照してください。

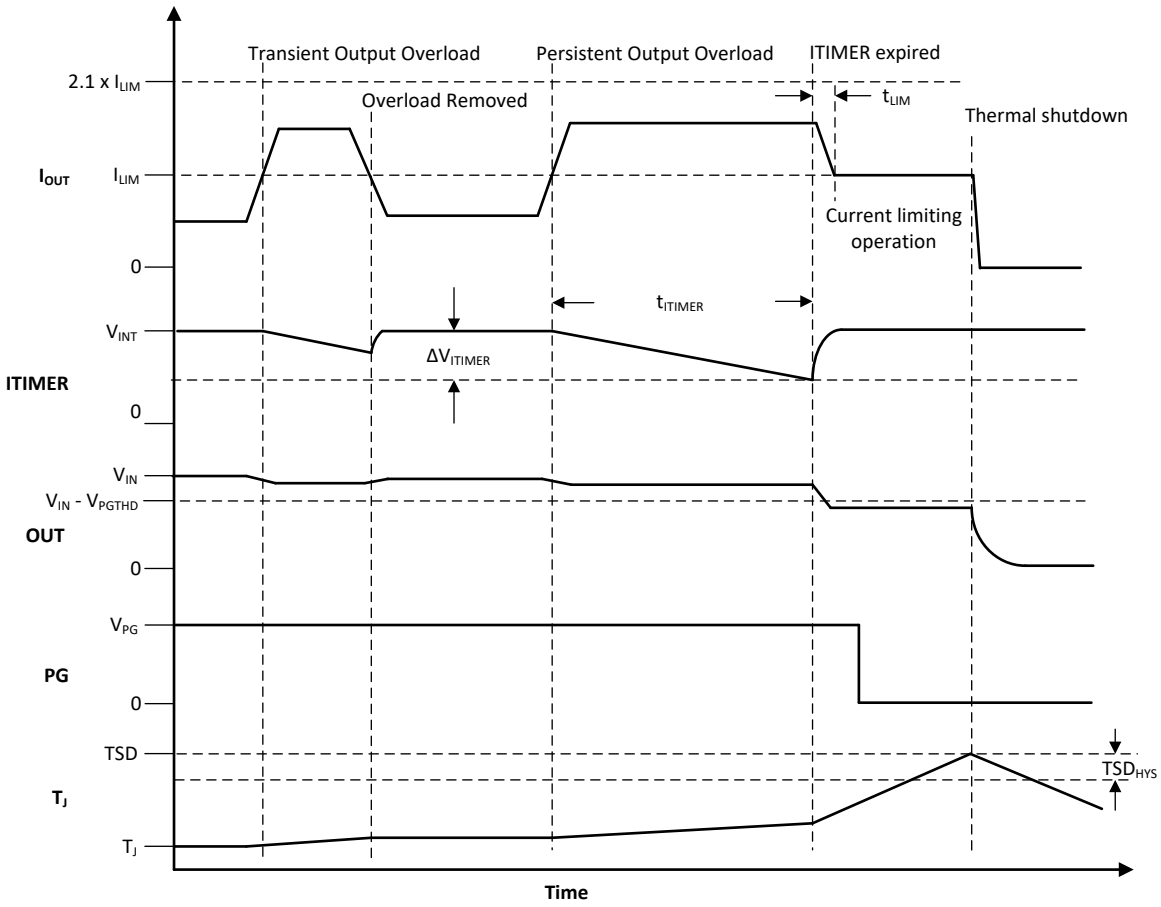


図 7-4. アクティブな電流制限応答

負荷トランジェントを許容する時間は、ITIMER ピンとグランド間に接続する適切なコンデンサ値によって調整できます。過渡過電流ブランキング期間は、式 9 を使用して計算できます。

$$t_{ITIMIER(ms)} = \frac{C_{ITIMIER(nF)} \times \Delta v_{ITIMIER(V)}}{I_{ITIMIER(\mu A)}} \quad (9)$$

ITIMER ピンをオープンのままにすると、部品が最小限の遅延で電流制限を有効化します。詳細については、「ITIMER 機能モードの概要」を参照してください。

Copyright © 2026 Texas Instruments Incorporated

注

1. R_{ILIM} に基づく電流制限は、電流制限バリアントとサーキット ブレーカのどちらのバリアントでも、起動時にアクティブになります。起動電流が I_{LIM} を超えた場合、デバイスは電流を設定した制限にレギュレートします。ただし、起動中は、電流の制限は ITIMER の遅延を待機せずに開始されます。
2. ITIMER ピンをグランドに短絡すると故障として検出され、デバイスはシャットダウンします。これにより、単一故障状態の場合でも、eFuse の堅牢な動作が確保されます。故障後のデバイスの動作の詳細については、「故障応答」セクションを参照してください。
3. より大きな ITIMER コンデンサを使用すると、起動時の充電時間が長くなり、デバイスが定常状態に到達した後でも ITIMER 電圧がピン短絡検出スレッショルド未満のままである場合、誤った故障のアサーションが発生する可能性があります。これを回避するため、ITIMER コンデンサの最大値は、以下の式で推奨される値以内に制限することを推奨します。

$$C_{ITIMIER} < \frac{t_{GHI}}{53000} \quad (10)$$

$$t_{GHI} = t_{D,ON} + C_{dvdt} \times \frac{V_{IN} + 3.6V}{I_{dvdt}} \quad (11)$$

ここで

- t_{GHI} は、デバイスが定常状態に達するまでに要する時間
- $t_{D,ON}$ はデバイスのターンオン遅延
- C_{dvdt} は dVdt 容量
- I_{dvdt} は dVdt 充電電流

dVdt コンデンサ値を適切に増やすことで、ITIMER ピンの誤った故障アサーションを回避し、必要に応じてより長い ITIMER 時間を実現することが可能ですが、その代償として起動時間が長くなります。

電流レギュレーション中、出力電圧降下により FET 全体のデバイス消費電力が増加します。デバイスの内部温度 (T_J) がサーマル シャットダウン スレッショルド (TSD) を超えると、FET がオフになります。過熱に対するデバイスの応答の詳細については、「過熱保護 (OTP)」を参照してください。

7.3.3.4 短絡保護

出力短絡発生中は、本デバイスを流れる電流が非常に急速に増加します。出力短絡が検出されると、内部高速トリップ コンパレータが t_{SC} 以内に出力をオフにします。コンパレータは、2.1 × I_{LIM} と等しいスケーラブルなスレッショルドを採用しています。これにより、すべてのシステムに適しているとは限らない固定しきい値を使用するのではなく、システム要件に応じて高速トリップ スレッショルドを調整できるようになります。高速トリップ発生後、デバイスは電流制限モードで再起動し、高速トリップが一時的なイベントによって発生した場合に、負荷への電力供給を迅速に回復しようとします。ただし、故障が持続する場合、デバイスは電流制限状態のままになり、接合部温度が上昇し、最終的にはサーマル シャットダウンに移行します。過熱に対するデバイスの応答の詳細については、「過熱保護 (OTP)」セクションを参照してください。

サーバーや通信機器など、共通の電源バックプレーンに複数のホット プラガブル カードが接続されているシステムでは、誘導性を持つバックプレーンを介して大電流がスイッチングされることにより、電源にトランジェントが発生する場合があります。これにより、隣接するカードで電流スパイクが発生し、スパイクが eFuse の高速トリップ コンパレータを意図せず動作させるほど大きくなる可能性があります。TPS25982 は独自のアルゴリズムを使用して、このような場合の不要なトリップを防止し、中断のないシステム動作を実現しています。

Copyright © 2026 Texas Instruments Incorporated

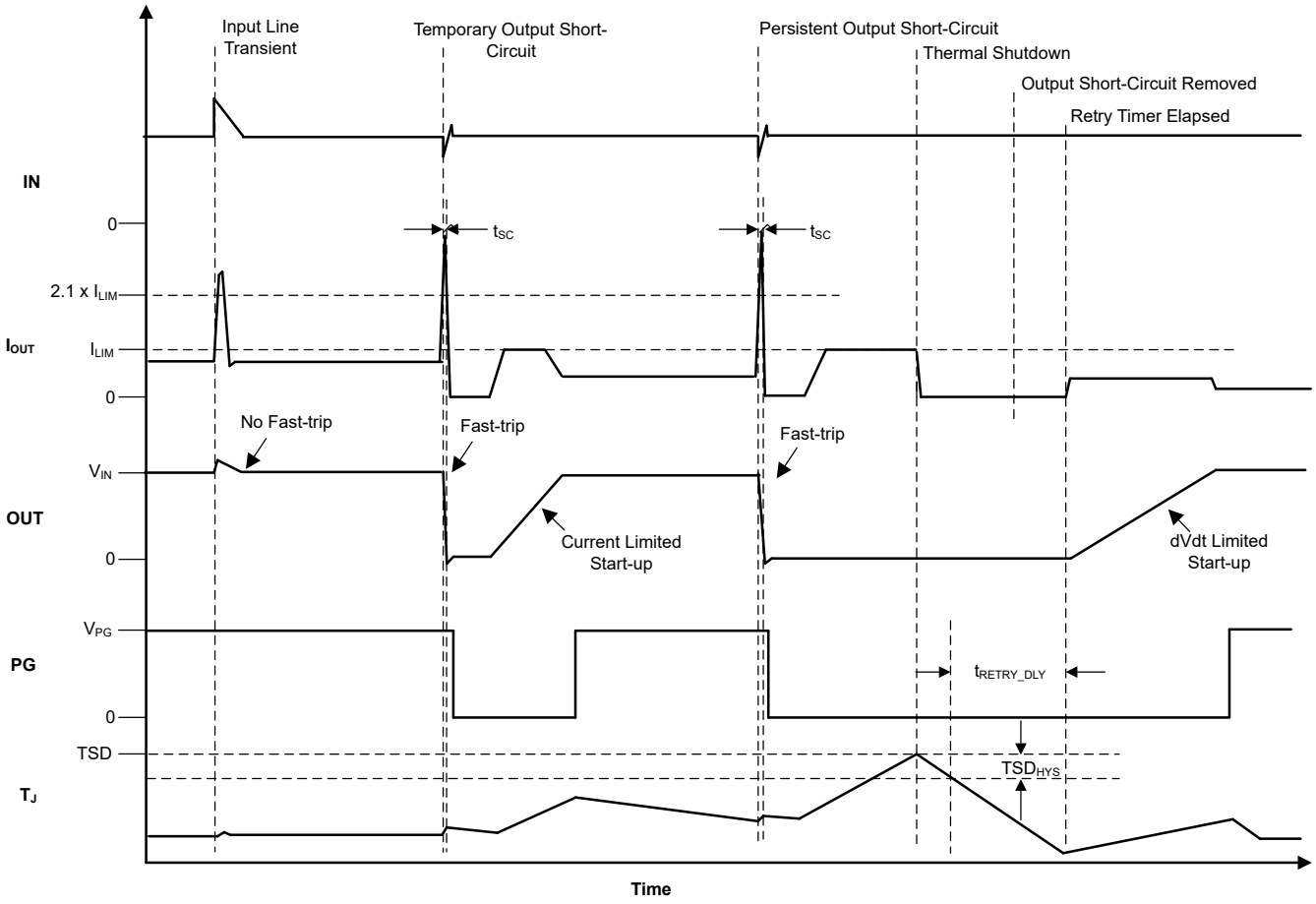


図 7-5. 入力ライン過渡応答と出力短絡応答

注

電流制限 / サーキット ブレーカ ループが入力ライン過渡検出ロジックへ干渉するのを防ぐため、TI は ITIMER 間隔を 100µs より大きく設定することを推奨しています。ITIMER の詳細については、表 7-1 を参照してください。

7.3.4 過熱保護 (OTP)

このデバイスは内部ダイ温度 (T_J) を常に監視し、温度が安全動作レベル (TSD) を超えると即座に部品をシャットダウンして、デバイスを損傷から保護します。デバイスは、ダイ温度が十分に低下し、すなわちダイ温度が (TSD - TSDHys) を下回るまで再びオンになりません。その後、デバイスはラッチ オフ状態を維持する設定、または自動再起動する設定のいずれかに構成できます。詳細については、「故障応答」セクションを参照してください。

7.3.5 アナログ負荷電流モニタ (IMON)

このデバイスは、FET を流れる電流に比例したアナログ電流を IMON ピンから出力することで、システムが出力負荷電流を高精度に監視できるようにします。ユーザーは、IMON からグランドへ抵抗を接続することで、この信号を電圧へ変換し、その電圧を A/D コンバータの入力へ供給できます。IMON 内部のアンプは、チョッパ方式のオフセット キャンセル技術を採用しており、時間経過や温度変化がある場合でも、低電流領域で高精度な測定を実現します。

$$V_{IMON}(V) = G_{IMON}\left(\frac{\mu A}{A}\right) \times I_{OUT}(A) \times R_{IMON}(\Omega) \quad (12)$$

IMON ピンの内部アンプがリニアに動作するのに十分なヘッドルームを備えていることを確認するため、最大 IMON 電圧を VIMON (最大値) の推奨値に示された値に制限してください。

表 7-2. $V_{IMON(MAX)}$ の推奨値

V_{IN}	推奨される $V_{IMON(MAX)}$
2.7V	1V
3.3V	1.8V
> 5 V	3.3V

グリッチを除去し、滑らかな平均電流測定値を得るために、IMON 出力に RC ローパス フィルタを追加することを検討してください。TI は、10kΩ 以上の直列抵抗を使用することを推奨しています。

7.3.6 パワー グッド (PG)

PG はアクティブ High のオープン ドレイン出力であり、FET が完全にオンしていること、および出力電圧が最大値に達していることを示します。電源投入後、PG は初期状態では Low にプルダウンされます。ゲート ドライバ回路は、内部チャージ ポンプからゲート容量の充電を開始します。FET ゲート電圧が (V_{IN} + 3.6V) に達すると、グリッチ除去時間 (t_{PGD}) が経過した後に PG がアサートされます。通常動作中、V_{OUT} が (V_{IN} - V_{PGTHD}) を下回ると、グリッチ除去時間 (t_{PGD}) 後に PG がアサート解除されます。

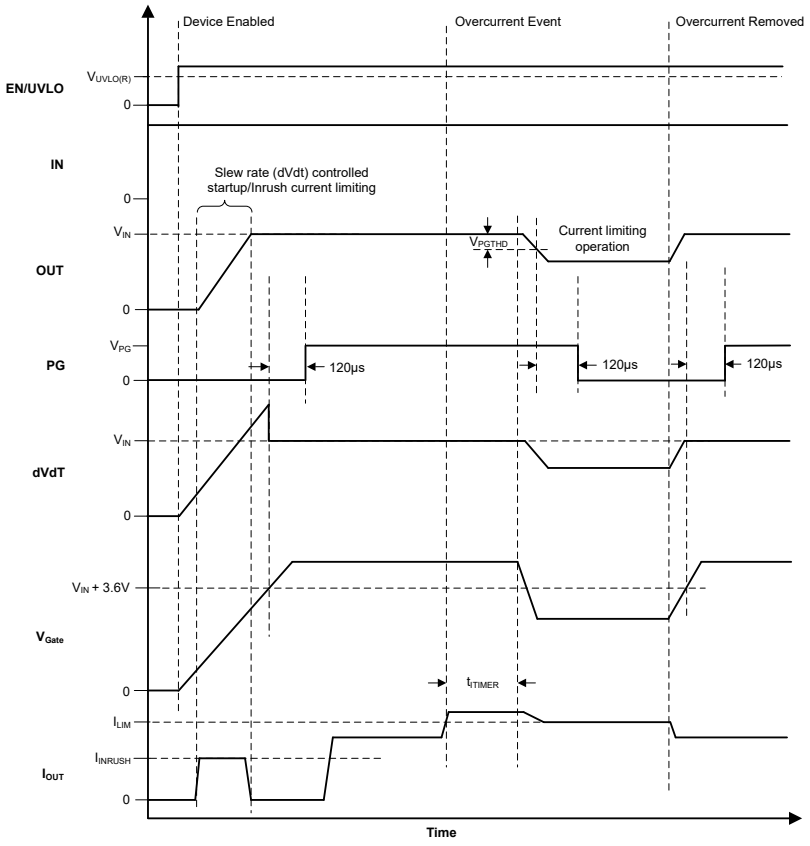


図 7-6. パワーグッドのアサートとデアサート

Copyright © 2026 Texas Instruments Incorporated

注

1.デバイスに電源が供給されていない場合、PG ピンは Low のままであることが期待されています。しかし、この状態では、このピンを 0V まで完全に引き下げるためのアクティブ プルダウンはありません。PG ピンが、TPS25982 の電源がオフの状態でも存在する独立した電源へプルアップされている場合、プルアップ電源電圧および抵抗値に依存するピン シンク電流に応じて、このピンに小さな電圧が現れることがあります。シンク電流を最小化して、この状態で関連する外部回路によってロジック HIGH として検出されないよう、このピン電圧を十分に低く維持します。

2.PG ピンは、起動時に MOSFET の故障状態を検出するために使用できます。デバイスの電源投入および有効化後、長時間にわたって PG がアサートされない場合、内部 MOSFET の故障を示している可能性があります。

7.3.7 負荷検出 / ハンドシェイク (LDSTRT)

LDSTRT ピンは、下流の負荷回路が存在し、正常に起動したことを TPS25982 に通知するためのメカニズムを提供します。これにより、システムは、どのような条件で負荷に電力を供給するかを追加で制御でき、負荷が存在しない場合や、想定された起動時間内に有効なハンドシェイク信号を提供できない場合には、電力を遮断できます。

TPS25982 がスタートアップシーケンスを完了し、出力がフル電圧に達すると、PG 信号をアサートします。同時に、内部電流源 (I_{LDSTRT}) を使用して LDSTRT ピンのコンデンサ (C_{LDSTRT}) の充電も開始します。負荷回路がピンを Low にプルする前に、LDSTRT ピン電圧が V_{LDSTRT} を超えると、TPS25982 はその状態を LDSTRT 故障として検出し、FET をオフにして負荷への電源供給を停止します。LDSTRT 故障をトリガするまでの時間は、次の式から計算できます:

$$t_{LDSTRT}(ms) = \frac{C_{LDSTRT}(nF) \times v_{LDSTRT}(V)}{I_{LDSTRT}(\mu A)} \quad (13)$$

通常動作中に、負荷回路が LDSTRT ピンへのアクティブなプルダウンを解除すると、コンデンサ C_{LDSTRT} は再び充電を開始し、最終的にその電圧が V_{LDSTRT} に達すると、LDSTRT 故障によるシャットダウンが発生します。

TPS25982 が LDSTRT 故障によってオフになると、次の 3 つの方法で再びオンにできます:

- LDSTRT ピンが Low に駆動されます
- 入力電源電圧が Low (< $V_{UVP(F)}$) に駆動され、その後 High (> $V_{UVP(R)}$) に駆動されます
- EN/UVLO 電圧が Low (< V_{SD}) に駆動され、High (> $V_{UVLO(R)}$) に駆動されます

この機能が必要ない場合は、LDSTRT ピンをグランドに接続してください。

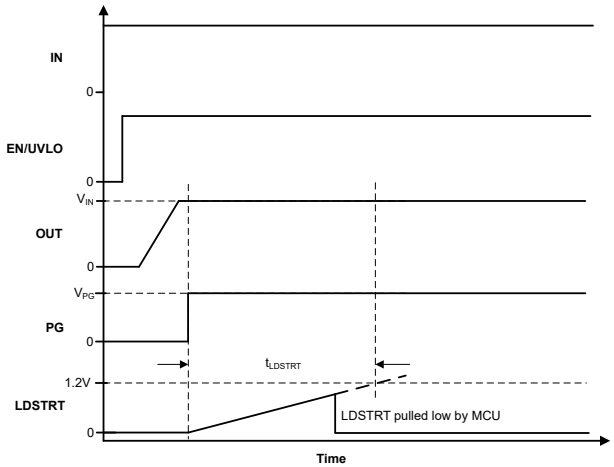


図 7-7. 正常な LDSTRT ハンドシェイク

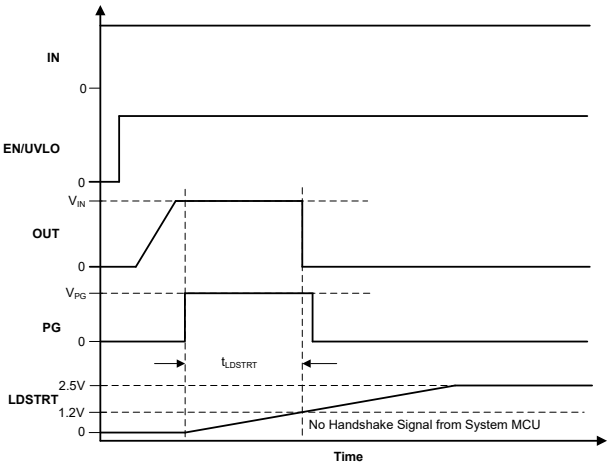


図 7-8. LDSTRT ハンドシェイクに失敗

LDSTRT ピンは、負荷またはモジュールが接続されている場合にのみ出力電力を供給する、負荷検出機能またはモジュール検出機能の実装にも使用できます。この機能の代表的な用途として、スイッチやルータなどのネットワーク機器における光モジュール用電源レールがあります。LDSTRT ピンは、モジュールが挿入されたときにモジュール側によって Low にプルダウンされる、モジュール コネクタ上の対応ピンに接続する必要があります。そのような信号の一例が、QSFP-DD モジュールの ModPrsL 信号です。

この方式では、最初に TPS25982 が起動または有効化されると、出力が充電され、PG がアサートされます。モジュールが接続されていない場合、LDSTRT ピンには外部プルダウンが存在しないため、内部プルアップによってピン電圧が上昇し始めます。LDSTRT ピンの電圧が V_{LDSTRT} を超えると、TPS25982 は出力電力をオフにします。後からモジュールが接続されると、LDSTRT ピンはモジュールによって Low にプルダウンされ、TPS25982 は出力電源をオンにします。

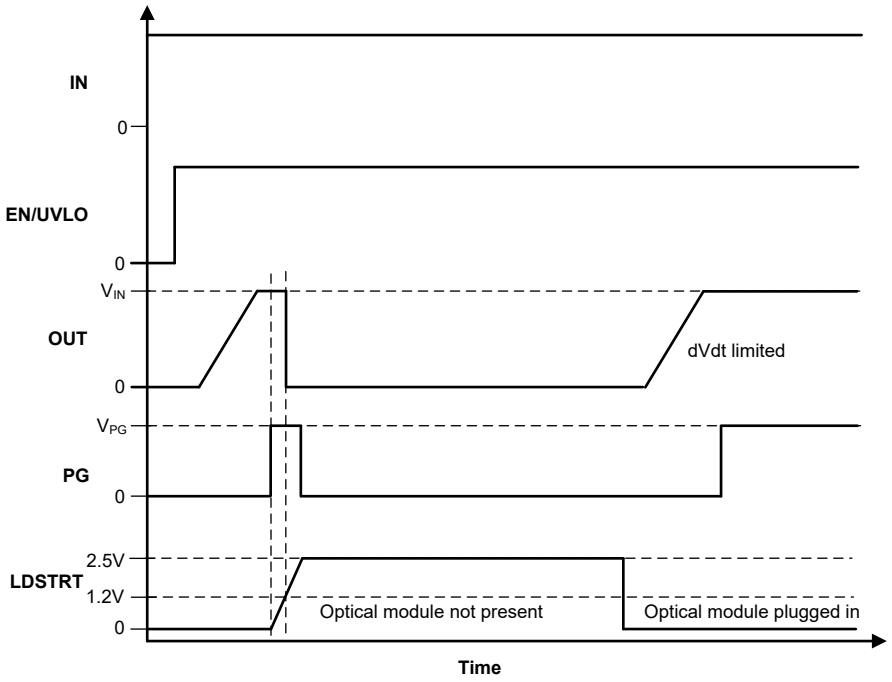


図 7-9. LDSTRT を使用した光学モジュール プラグイン検出

7.4 フォルト応答

以下のイベントにより内部故障がトリガされ、デバイスがシャットダウンします:

- 過熱保護
- サーキット ブレーカの動作
- ITIMER ピンの GND への短絡
- ILIM ピンの GND への短絡

デバイスが故障によりシャットダウンすると、その後関連する外部故障が解消されたとしても、故障は内部でラッチされたままとなり、ラッチがリセットされるまで出力は再びオンになりません。故障ラッチは、以下のいずれかの方法で外部からリセットできます:

- 入力電源電圧が Low に駆動される (< $V_{UVP(F)}$)
- EN/UVLO 電圧が Low に駆動される (< V_{SD})

また、故障ラッチは内部の自動再試行ロジックによってリセットされることもあります。ユーザーは、自動再試行機能を完全に無効にする (ラッチオフ動作) か、あるいはラッチオフになるまで無制限に、あるいは一定回数まで自動再試行を行うようにデバイスを設定することができます。自動再試行の動作は、RETRY_DLY ピンと NRETRY ピンの接続によって制御されます。

Copyright © 2026 Texas Instruments Incorporated

表 7-3. ピン設定可能な故障対応

EN/UVLO	RETRY_DLY	NRETRY	デバイスの状態
L	X	X	ディセーブル
H	GND への短絡	X	自動再試行なし (ラッチオフ)
H	オープン	オープン	最小遅延時間で 4 回自動再試行した後、ラッチオフ
H	オープン	GND への短絡	最小遅延時間で無制限に自動再試行
H	コンデンサを GND に	コンデンサを GND に	式 14 および式 15 に従った自動再試行遅延時間および再試行回数
H	コンデンサを GND に	オープン	式 14 に従った有限の再試行遅延時間で 4 回自動再試行を行った後、ラッチオフ
H	コンデンサを GND に	GND への短絡	式 14 に従った有限の再試行間遅延時間で無制限に自動再試行

有限回の自動再試行と有限の自動再試行遅延を設定するには、まず次の式を用いて RETRY_DLY ピンのコンデンサ値を選択します。

$$t_{RETRY_DLY}(\mu s) = \frac{128 \times \left[C_{RETRY_DLY}(pF) + 4pF\right] \times V_{RETRY_DLY_HYS}(V)}{I_{RETRY_DLY}(\mu A)} \quad (14)$$

次に、次の式を用いて、NRETRY ピンのコンデンサ容量を選択します。

$$N_{RETRY} = \frac{4 \times I_{RETRY_DLY}(\mu A) \times C_{NRETRY}(pF)}{I_{NRETRY}(\mu A) \times \left[C_{RETRY_DLY}(pF) + 4pF\right]} \quad (15)$$

自動再試行の回数は、表 7-4 に示すように、特定の離散的なレベルに量子化されます。

表 7-4. NRETRY の量子化レベル

式 15 から算出された NRETRY 値	実際の NRETRY 値
0 < N < 4	4
4 < N < 16	16
16 < N < 64	64
64 < N < 256	256
256 < N < 1024	1024

表 7-5. NRETRY と RETRY_DLY の組み合わせの例

自動再試行遅延	915ms	416ms	91.7ms	9.3ms	3ms
RETRY_DLY コンデンサ	22nF	10nF	2.2nF	220pF	68pF
自動再試行回数	NRETRY コンデンサ				
4	オープン				
16	47nF	22nF	4.7nF	1nF	220pF
64	0.22µF	0.1µF	22nF	2.2nF	1nF
256	1µF	0.47µF	0.1µF	10nF	4.7nF
1024	3.3µF	1.5µF	0.47µF	33nF	10nF
無限	GND への短絡				

計算を簡略化するためのスプレッドシート設計ツール「TPS25982xx 設計カリキュレータ」もご利用いただけます。

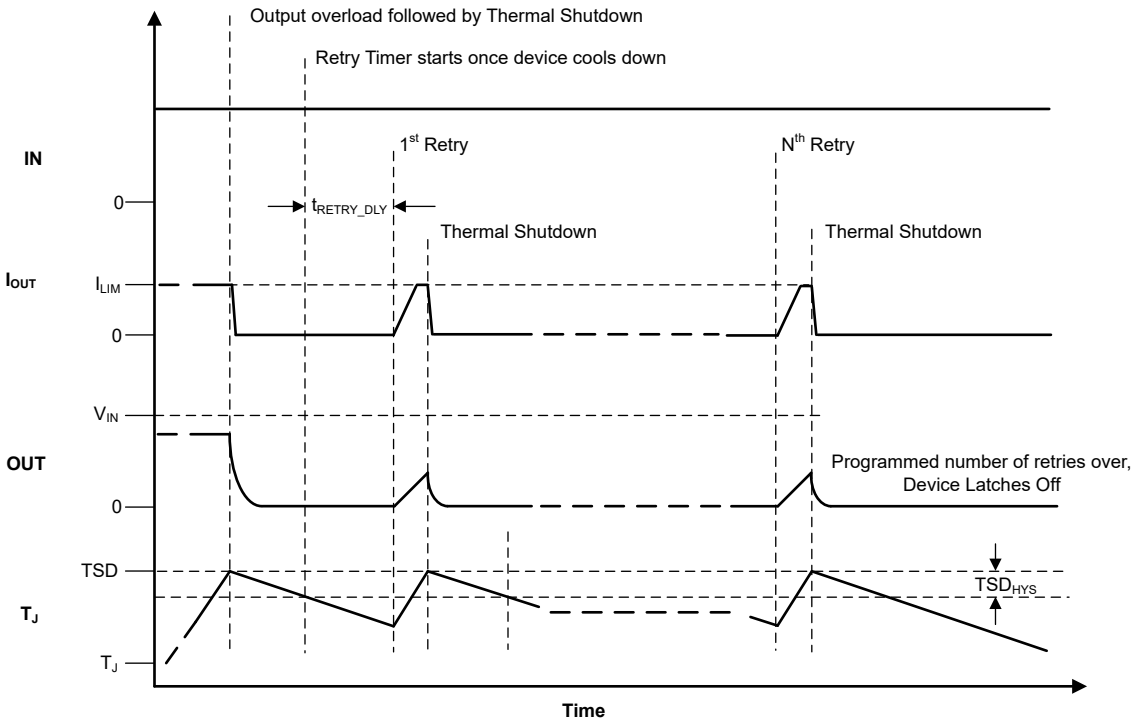


図 7-10. 故障後の自動再試行

自動再試行ロジックには、時間的に大きく離れた場所で 2 回連続して故障が発生した場合、カウントをゼロにリセットする仕組みが備わっています。これにより、その後の故障に対する自動再試行の応答は、前回の故障の続きとしてではなく、新たなシーケンスとして処理されるようになります。シャットダウンおよびその後の自動再試行サイクルを引き起こした故障が最終的に解消され、かつ最後の故障発生時から 7 回の再試行遅延タイマ周期に相当する時間、その故障が再発しない場合、自動再試行ロジックは内部の自動再試行カウントをゼロにリセットします。

7.5 デバイスの機能モード

TPS25982 は、各ピンの接続設定によって、さまざまな機能モードを構成できます。

表 7-6. LDSTRT ハンドシェイク機能モード

EN/UVLO	LDSTRT	デバイスの状態
L	X	ディセーブル
H	L	ON
H	H	OFF

詳細については、「負荷検出 / ハンドシェイク (LDSTRT)」セクションを参照してください。

表 7-7. 故障応答の機能モード

EN/UVLO	RETRY_DLY	NRETRY	デバイスの状態
L	X	X	ディセーブル
H	GND への短絡	X	自動再試行なし (ラッチオフ)
H	オープン	オープン	最小遅延時間で 4 回自動再試行した後、ラッチオフ
H	オープン	GND への短絡	最小遅延時間で無制限に自動再試行
H	コンデンサを GND に	コンデンサを GND に	式 14 および式 15 に従った自動再試行遅延時間および再試行回数
H	コンデンサを GND に	オープン	式 14 に従った有限の再試行遅延時間で 4 回自動再試行を行った後、ラッチオフ

Copyright © 2026 Texas Instruments Incorporated

表 7-7. 故障応答の機能モード (続き)

EN/UVLO	RETRY_DLY	NRETRY	デバイスの状態
H	コンデンサを GND に	GND への短絡	式 14 に従った有限の再試行間遅延時間で無制限に自動再試行

詳細については「故障応答」セクションを参照してください。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPS25982 デバイスは、通常ホット スワップおよび電源レール保護アプリケーション向けに使用される、統合型 15A eFuse です。2.7V ～ 24V で動作し、調整可能な過電流保護および低電圧保護機能を備えています。また、複数の固定内部スレッショルドから選択可能な過電圧保護機能も備えています。このデバイスは突入電流の制御を支援し、自動再試行回数および再試行遅延時間を柔軟に設定できます。調整可能な過電流ブランキング タイマにより、制限動作やトリップ動作を行うことなく、一時的な過電流パルスを許容する機能が提供されます。これらのデバイスは、サーバーのスタンバイレール、PCIe カード、SSD、HDD、光モジュール、ルータ、スイッチなどのシステムにおいて、ソース、負荷、および内部 MOSFET を、損傷を引き起こす可能性のある事象から保護します。

以下の設計手順を使用して、アプリケーション要件に基づき、サポート部品の値を選択できます。さらに、スプレッドシート設計ツールである「TPS25982xx 設計カリキュレータ」を Web 製品フォルダで入手できます。

8.2 代表的なアプリケーション：データセンター サーバーのスタンバイ電源レール保護

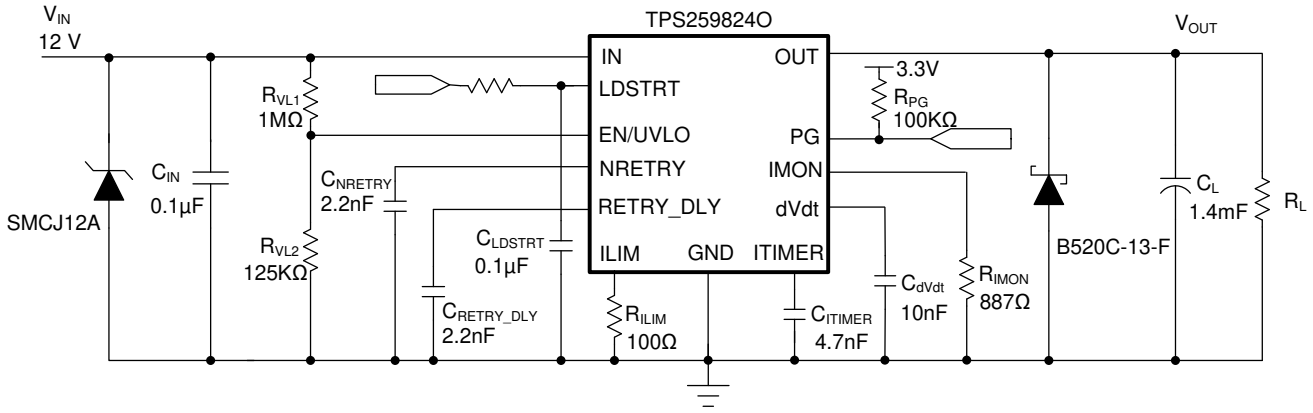


図 8-1. 代表的なアプリケーション回路図 — サーバー スタンバイ レールの保護

8.2.1 設計要件

このアプリケーション例の設計パラメータを、表 8-1 に示します。

表 8-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧、V_{IN}	12V
低電圧誤動作防止設定点、VIN_{UVLO}	10.8V
最大負荷電流、I_{OUT}	12A
電流制限、I_{LIM}	15A
過渡過電流ブランキング時間 (t_{ITIMER})	2ms
負荷容量 (C_{OUT})	1.4mF
起動時の負荷、$R_{L(SU)}$	10 Ω
出力電圧ランプ時間、T_{dVdt}	20ms
最大周囲温度、T_A	70°C

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 設計パラメータ (続き)

設計パラメータ	数値の例
LDSTRT ハンドシェイク遅延、t_{LDSTRT}	60ms
再試行遅延、t_{RETRY_DLY}	100ms
再試行の回数、N_{RETRY}	4

8.2.2 詳細な設計手順

8.2.2.1 デバイスの選択

この設計例では、公差±10% の 12V システム動作電圧を想定しています。定格負荷電流は 12A です。電流が 15A を超えた場合、デバイスは回路を遮断して再起動する前に、2ms の間は過負荷電流を許容する必要があります。したがって、TPS259824O バリアントを選択します。(デバイス オプションについては、デバイス比較表を参照してください。)周囲温度範囲は 20℃ ～ 70℃です。負荷には、最小入力容量 1.4mF および起動時の抵抗負荷 10Ω があります。ダウンストリーム負荷は、PG 信号がアサートされた後にのみオンになります。

8.2.2.2 電流制限スレッショルドの設定：R_{ILIM} の選択

ILIM ピンの R_{ILIM} 抵抗によって過負荷電流制限値が設定され、その値は 式 16 を使用して計算できます。

$$R_{ILIM(\Omega)} = \frac{1460}{I_{ILIM(A)} - 0.11} \quad (16)$$

I_{LIM} = 15A の場合、R_{ILIM} 値は 98.05Ω と計算されます。使用可能な最も近い標準値を選択します：100Ω、1%。「電気的特性」表を参照すると、R_{ILIM} 値が 100Ω における温度範囲全体の最小電流制限が 12.85A であることが確認できます。これは、公称定格負荷電流 (12A) よりも高く、通常条件では安定した動作を確立できます。

8.2.2.3 低電圧誤動作防止の設定点

低電圧誤作動防止 (UVLO) のトリップ ポイントは、デバイスの IN、EN/UVLO、および GND ピン間に接続された外部抵抗分圧ネットワーク R_{VL1} および R_{VL2} を使用して調整されます。低電圧設定に必要な抵抗値は、式 17 を使用して計算されます。

$$VIN_{UVLO} = \frac{V_{UVLO(R)} \times [R_{VL1} + R_{VL2}]}{R_{VL2}} \quad (17)$$

TI は、電源から引き込まれた入力電流を最小限に抑えるため、R_{VL1} および R_{VL2} に高い抵抗値を使用することを推奨しています。ただし、この抵抗列に外部のアクティブ部品が接続されたことによるリーク電流は、これらの計算に誤差を生じさせる可能性があります。そのため、抵抗分圧回路を流れる電流 I_{RVL12} は、リーク電流 (I_{ENLKG}) より十分大きく、少なくとも 20 倍に設定する必要があります。

デバイスの電気的仕様から、UVLO 立ち上がりスレッショルド $V_{UVLO(R)}$ = 1.2V となります。設計要件から、VIN_{UVLO} = 10.8V です。最初に R_{VL1} = 1MΩ の値を選択し、式 17 を使用して R_{VL2} = 125kΩ を計算します。

直近の標準的な 1% 抵抗値を使用：R_{VL1} = 1MΩ および R_{VL2} = 125kΩ

8.2.2.4 電流監視抵抗の選択：R_{IMON}

IMON ピン V_{IMON} の電圧は出力負荷電流に比例します。これを下流システムの ADC に接続して、システムの動作条件と状態を監視できます。R_{IMON} は、最大負荷電流およびフルスケール負荷電流時の最大 IMON ピン電圧に基づいて選定する必要があります。最大 IMON ピン電圧は、使用する ADC の入力電圧範囲、または「VIMON(Max) 推奨値」に示される値のうち、より低い方に基づいて選定する必要があります。R_{IMON} は、式 18 で設定します。

$$R_{IMON(\Omega)} = \frac{V_{IMONmax(V)}}{I_{OUTmax(A)} \times 246 \times 10^{-6}} \quad (18)$$

I_{LIM} = 15A の場合、ADC の動作範囲が 0V ～ 3.3V であると考えると、R_{IMON} は以下のように計算されます

$$R_{IMON} = \frac{3.3}{15 \times 246 \times 10^{-6}} = 894\Omega \quad (19)$$

R_{IMON} に 式 19 に示されている値よりも小さい値を選択すると、負荷電流の最大値に対して ADC の制限を超えないようにすることができます。使用可能な最も近い標準値を選択します：887Ω、1%。

8.2.2.5 出力電圧ランプ時間の設定 (T_{dVdt})

適切な設計には、動的 (起動) 条件と定常状態条件の両方において、デバイスの接合部温度を絶対最大定格よりも低く維持する必要があります。動的電力ストレスは多くの場合、静的ストレスより一桁大きくなるため、負荷あり / なしの起動時にサーマル シャットダウンを回避するには、システム容量に応じて必要な適切な起動時間および突入電流制限値を決定することが重要です。

必要なランプアップ コンデンサ C_{dVdt} は、可能な 2 つの場合を考慮して計算されます (ケース 1：負荷なしの起動：電流を消費する出力コンデンサ C_{OUT} およびケース 2：負荷ありの起動：出力容量 C_{OUT} および負荷消費電流)

8.2.2.5.1 ケース 1：負荷なしの起動：出力容量 C_{OUT} のみが電流を引き込む

起動時には、出力コンデンサが充電されるにつれて、内部 FET にかかる電圧降下および消費電力は減少します。起動時にデバイスで消費される平均電力は、式 20 で計算されます

$$P_{D(INRUSH)} = 0.5 \times V_{IN} \times I_{INRUSH} \quad (20)$$

ここで、I_{INRUSH} は突入電流で、式 21 で決定されます

$$I_{INRUSH} = C_{OUT} \times \frac{V_{IN}}{T_{dVdt}} \quad (21)$$

式 20 は、出力電圧が最終値に達するまで、負荷が (コンデンサ充電電流を除いて) 電流を消費しないことを前提としています。

8.2.2.5.2 ケース 2：負荷ありの起動：出力容量 C_{OUT} および負荷が電流を引き込む

ターンオン シーケンス中に負荷が電流を消費すると、追加の電力が消費されます。起動時の $R_{L(SU)}$ 中の抵抗性負荷を考慮すると、T_{dVdt} 時間中の出力電圧の増加に比例して負荷電流が上昇します。式 22 は、抵抗性負荷による充電時間中の内部 FET の平均消費電力を示します。

$$P_{D(LOAD)} = \frac{1}{6} \times \frac{V_{IN}^2}{R_{L(SU)}} \quad (22)$$

式 23 はスタートアップ時のデバイス内で消費される合計電力を示します

$$P_{D(STARTUP)} = P_{D(INRUSH)} + P_{D(LOAD)} \quad (23)$$

選択したスタートアップ時間における負荷あり / なし時の電力損失は、「スタートアップ中のサーマル シャットダウン特性」のグラフに示されているスタートアップ時のサーマル シャットダウン制限値を超えないものとします

Copyright © 2026 Texas Instruments Incorporated

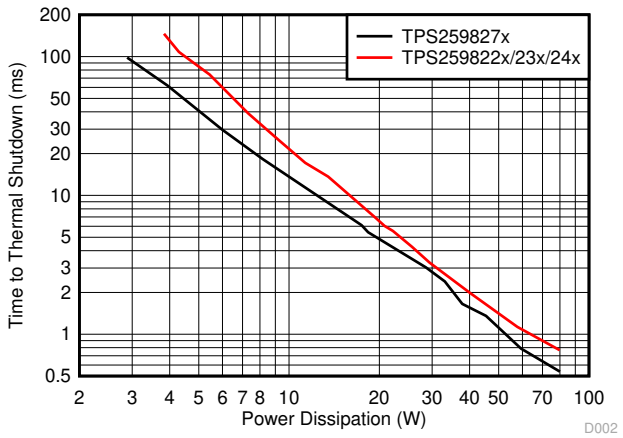


図 8-2. 起動時のサーマル シャットダウンのプロット

検討中の設計例では、出力電圧を 20ms で立ち上げる必要があり、12V レールでは 0.6V/ms のスルーレートが必要になります。

0.6V/ms のスルーレートを設定するために dVdt ピンに必要な C_{dVdt} 容量は、式 24 で計算できます

$$C_{dVdt}(pF) = \frac{4600}{SR\left(\frac{V}{ms}\right)} = 7666pF \quad (24)$$

dVdt コンデンサは、スタートアップ時に、通常は V_{IN}+ 4V にさらされます。高電圧バイアスにより、実効コンデンサ容量が低下します。そのため、計算値より 20% 高い値を選定することが推奨され、この場合は 9.2nF となります。最も近い 10% 標準値を選択します:10nF

10nF の C_{dVdt} 容量により、スルーレートは 0.46V/ms、出力ランプ時間 T_{dVdt} が 26ms に設定されます。

ランプアップ時に負荷容量 C_{OUT} が引き込む突入電流は、式 25 を使って計算できます。

$$I_{INRUSH} = 1.4mF \times \frac{12V}{26ms} = 0.65A \quad (25)$$

突入時の電力損失は、式 26 を使って計算できます。

$$P_{D(INRUSH)} = 0.5 \times 12 \times 0.65 = 3.9W \quad (26)$$

3.9W の電力損失に対して正常にスタートアップさせるには、デバイスの熱シャットダウン時間がランプアップ時間 T_{dVdt} より長くなるようにする必要があります。*図 8-2* に起動時のサーマルシャットダウン制限を示します。電源が 3.9W の場合、シャットダウン時間は約 100ms です。したがって、出力に負荷がない場合は、26 ms をスタートアップ時間として安全に使用できます。

スタートアップ時に 10Ω の負荷が存在する場合に追加の消費電力は、式 27 で計算されます。

$$P_{D(LOAD)} = \frac{1}{6} \times \frac{12^2}{10} = 2.4W \quad (27)$$

スタートアップ時のデバイスの総消費電力は、式 28 で計算できます。

$$P_{D(STARTUP)} = 3.9 + 2.4 = 6.3W \quad (28)$$

スタートアップ時のサーマル シャットダウン プロットから、6.3W のサーマ ルシャットダウン時間は約 40ms です。負荷、部品公差、入力電圧などのシステム パラメーターの変動を考慮できるよう、30% のマージンを持たせることが安全です。したがって、スタートアップ負荷が 10Ω の場合、C_{dVdt} コンデンサに 10nF を使用しても許容範囲内に十分収まります。

Copyright © 2026 Texas Instruments Incorporated

C_{OUT} が大きい場合、起動時の消費電力を低減する必要があります。これは、C_{dVdt} コンデンサの値を大きくすることで実現できます。Web 上で入手可能なスプレッドシート ツール TPS25982xx 設計カリキュレータ を使用して、反復的な計算を実行できます。

8.2.2.6 ロード ハンドシェイク (LDSTRT) 遅延の設定

正常な起動を示すため、負荷回路は LDSTRT ピン上のコンデンサ C_{LDSTRT} によって設定された時間内に、LDSTRT ピンを Low にプルダウンすることで、TPS25982 にハンドシェイク信号を送る必要があります。PG がアサートされると、デバイスは 2µA の電流を C_{LDSTRT} に供給します。ハンドシェイクを成功させるには、C_{LDSTRT} が 1.2V まで充電される前に、負荷回路が LDSTRT ピンをプルダウンする必要があります。

60ms のハンドシェイク遅延の設計要件を満たす場合は、式 29 を使用して C_{LDSTRT} を計算します

$$C_{LDSTRT} = I_{LDSTRT} \times \frac{t_{LDSTRT}}{V_{LDSTRT}} = 2\mu A \times \frac{60ms}{1.2V} = 0.1\mu A \quad (29)$$

使用可能な最も近い標準値を選択します：0.1µF、10%

8.2.2.7 過渡過電流ブランキング間隔の設定 (t_{ITIMER})

説明の設計例では、2ms の持続時間にわたって過電流過渡が許容されます。このブランキング間隔を設定するには、ITIMER ピンとグランドの間に適切なコンデンサ C_{ITIMER} を選択します。t_{ITIMER} を 2ms に設定するための C_{ITIMER} の値は、式 30 を用いて算出できます。

$$C_{ITIMER}(nF) = \frac{t_{ITIMER}(ms)}{0.47} = 4.255nF \quad (30)$$

使用可能な最も近い標準値を選択します：4.7nF、10%

8.2.2.8 自動再試行遅延と再試行回数の設定

リトライ間の時間遅延は、RETRY_DLY ピンのコンデンサ C_{RETRY_DLY} を選択することでプログラムできます。100ms の自動リトライ遅延を設定するための C_{RETRY_DLY} の値は、式 31 で計算できます。

$$C_{RETRY_DLY}(pF) = \frac{t_{RETRY_DLY}(\mu s)}{46.83} - 4pF = 2131.38pF \quad (31)$$

使用可能な最も近い標準値を選択します：2.2nF、10%

自動再試行の回数は、式 32 を使って、NRETRY ピンのコンデンサ C_{NRETRY} で設定できます

$$N_{RETRY} = \frac{4 \times C_{RETRY}(pF)}{C_{RETRY_DLY}(pF) + 4pF} \quad (32)$$

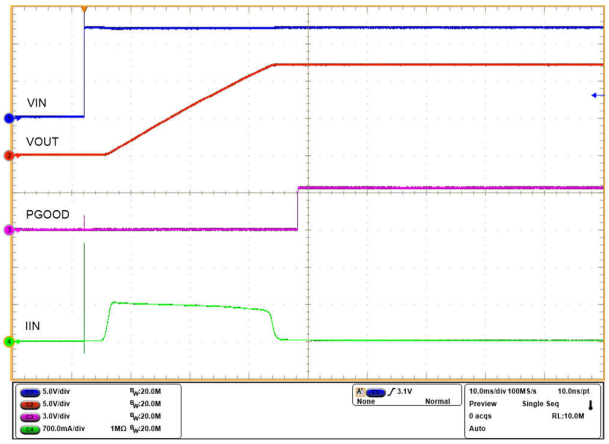
この設計例では、故障によってデバイスがシャットダウンした後、4 回再試行することが要求されています。自動再試行の回数は、「セクション 7.4」で説明されているように、個別ステップで調整できるため、N_{RETRY} が 4 より小さくなるように C_{NRETRY} を選択します。式 33 を使用して C_{NRETRY} を計算します。

$$C_{NRETRY}(pF) < \frac{N_{RETRY} \times [C_{RETRY_DLY}(pF) + 4pF]}{4} < 2204pF \quad (33)$$

使用可能な最も近い標準値を選択します：2.2nF、10%

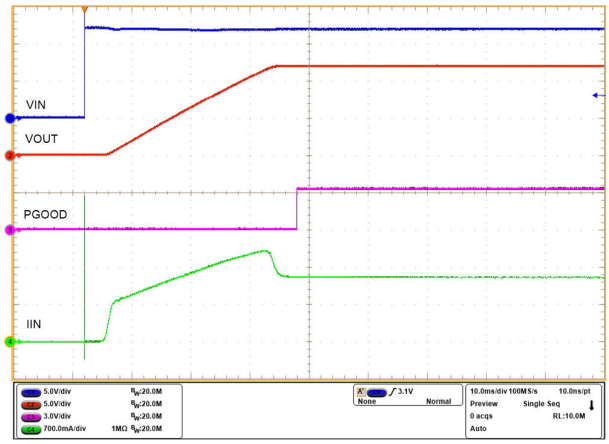
Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線



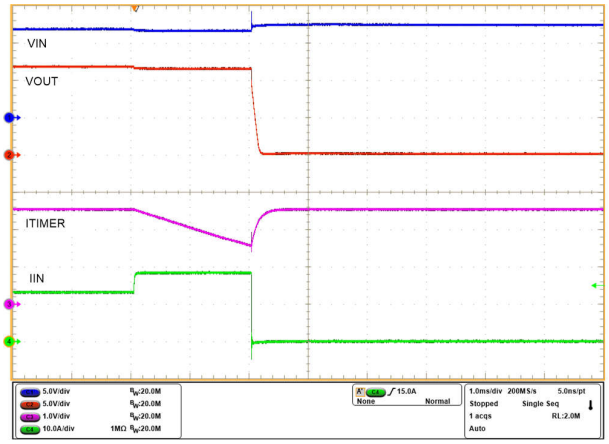
C_{OUT} = 1.4mF　C_{dVdt} = 10nF　$R_{L(SU)}$ = オープン

図 8-3. 出力時の負荷なしのホットプラグ スタートアップ - dVdt 制限



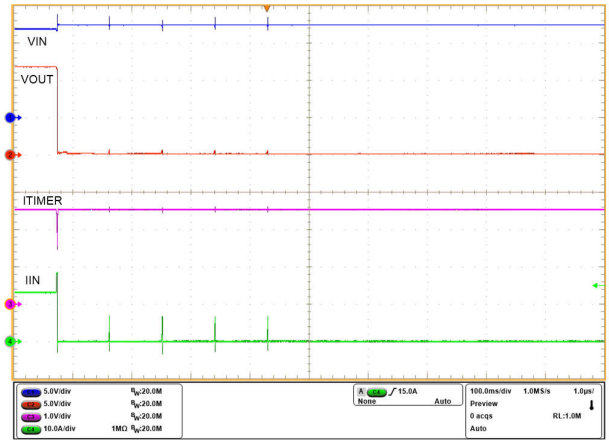
C_{OUT} = 1.4mF　C_{dVdt} = 10nF　$R_{L(SU)}$ = 10Ω

図 8-4. 出力時の負荷時のホットプラグ スタートアップ — dVdt 制限



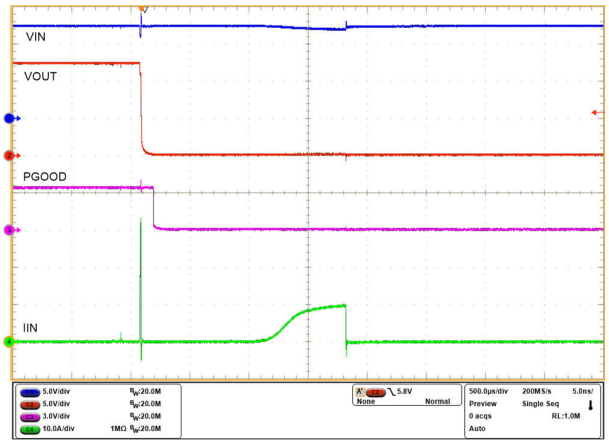
R_{ILIM} = 100Ω　C_{ITIMER} = 4.7nF

図 8-5. 過渡過電流ブランキング間隔が 2ms のサーキット ブレーカ



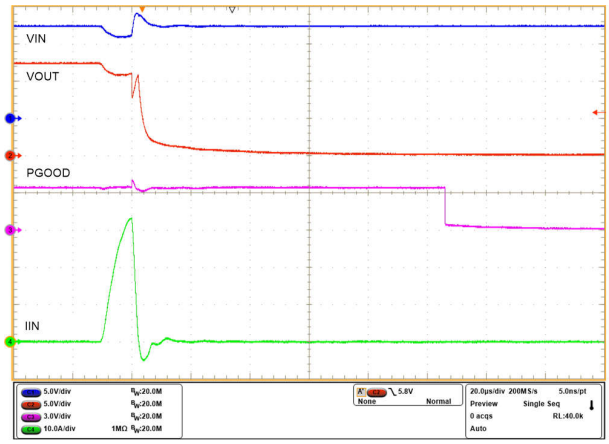
R_{ILIM} = 100Ω　C_{ITIMER} = 4.7nF　C_{RETRY_DLY} = 2.2nF、C_{NRETRY} = 2.2nF

図 8-6. サーキット ブレーカ - 100ms の再試行遅延付き 4 回自動再試行



R_{ILIM} = 100Ω

図 8-7. オン時の出力ハード短絡



R_{ILIM} = 100Ω

図 8-8. オン時の出力ハード短絡 (拡大図)

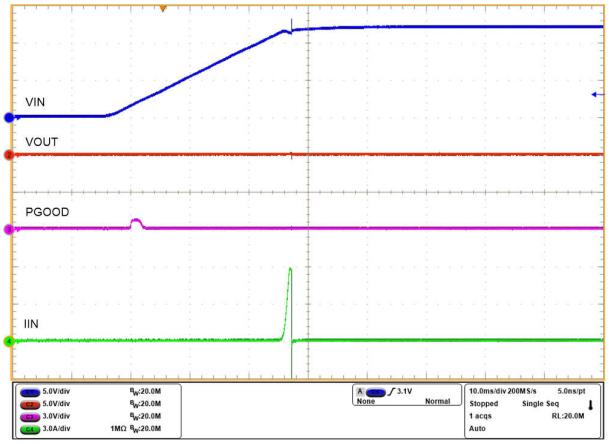


図 8-9. 出力短絡状態での電源投入

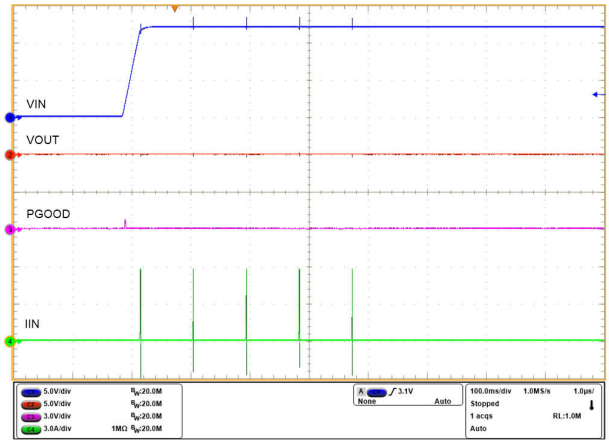
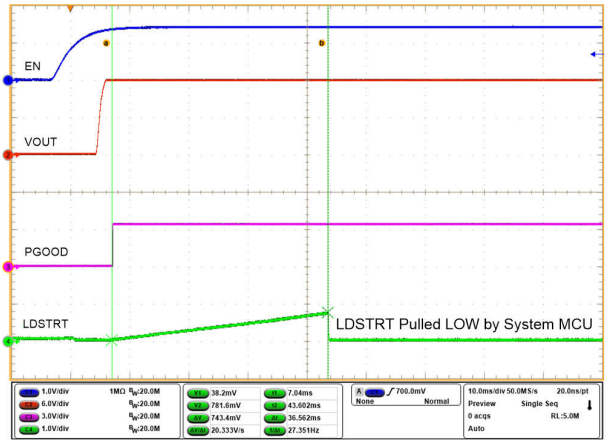
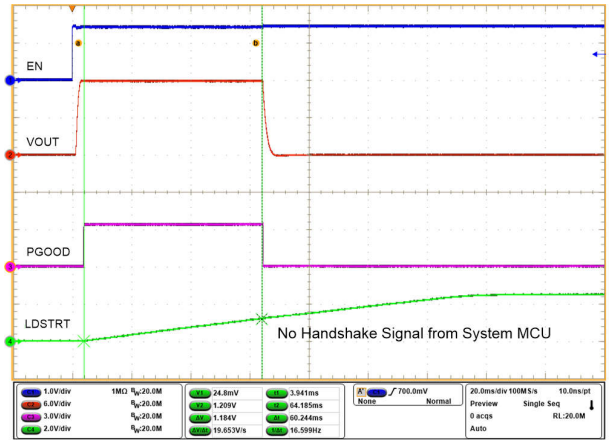


図 8-10. 出力短絡状態での電源投入 - 100ms の再試行遅延付き 4 回自動再試行



C_{LDSTRT} = 0.1µF

図 8-11. 正常なロード ハンドシェイク (LDSTRT)



C_{LDSTRT} = 0.1µF

図 8-12. ロード ハンドシェイク失敗 (LDSTRT)

Copyright © 2026 Texas Instruments Incorporated

8.3 システム例

8.3.1 光モジュールの電源レール パスの保護

光モジュールは、光ネットワーク機器、エンタープライズ / データ センター向けスイッチやルーターなどの高帯域幅データ通信システムで一般的に使用されています。市場にはさまざまな種類の光モジュールが存在しており、フォーム ファクタや対応データ速度 (Gbit/s) が異なります。これらのうち、人気のあるバリアントであるダブル高密度クアッド小型フォーム ファクタ プラガブル (QSFP-DD) モジュールは、最大 400Gbit/s の速度をサポートしています。ホット プラグ時のシステム保護に加えて、光モジュールにおけるもう一つの重要な要件は、厳密な電圧レギュレーションです。光モジュールは 3.3V 電源を使用しており、正常に動作させるためには ±5% 以内の電圧レギュレーションが必要です。

この種のシステムの代表的な電源ツリーを、図 8-13 に示します。光ライン カードは、DC/DC コンバータ、保護デバイス (eFuse)、および電源フィルタで構成されています。DC/DC コンバータは 12V を 3.3V に降圧し、3.3V レールを ±2% 以内に維持します。電源フィルタリング ネットワークでは、光モジュールへの高周波ノイズの侵入を低減するために、「LC」部品を使用します。インダクタ「L」の DC 抵抗によって約 1.5% の電圧降下が発生するため、保護デバイスで許容される電圧降下の余裕は、わずか 1.5% (3.3V × 1.5% = 50mV) しか残されていません。モジュールあたりの最大負荷電流が 5.5A であることを考慮すると、保護デバイスの最大 ON 抵抗を 9mΩ 未満にする必要があります。TPS25982 eFuse は、2.7mΩ (標準値)、4.5mΩ (温度範囲全体での最大値) という超低 ON 抵抗を実現しており、十分なマージンを持って目標仕様を満たすとともに、システム全体の設計を簡素化します。

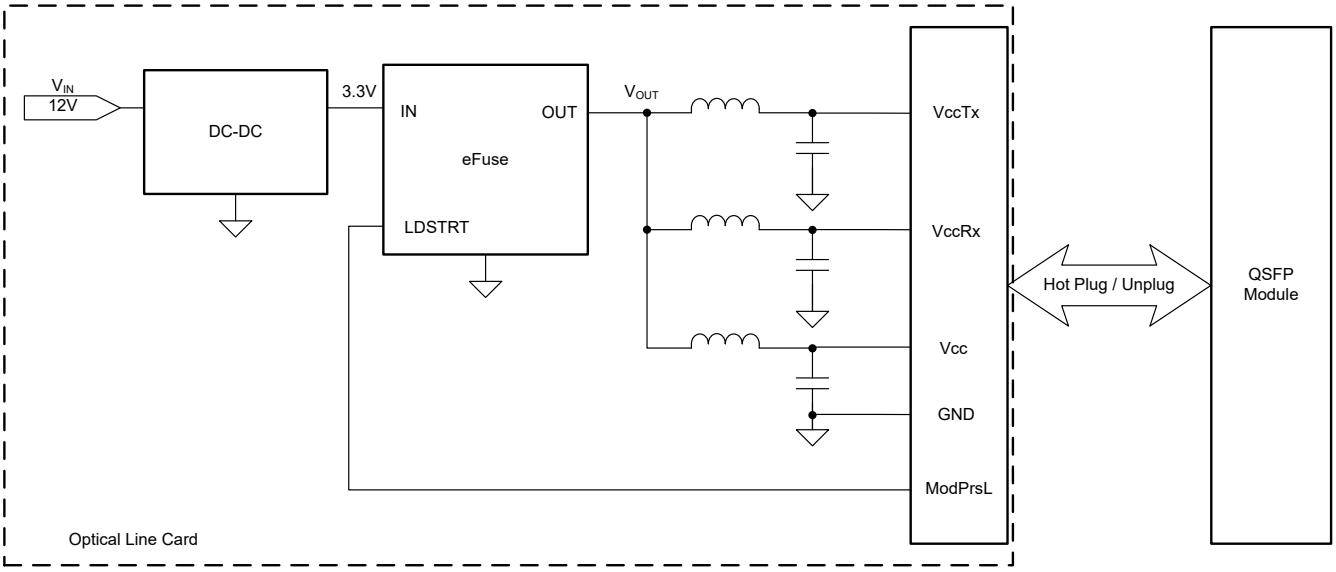


図 8-13. 代表的な光ライン カードの電源ツリー ブロック図

図 8-13 に示すように、ModPrsL 信号はライン カードと光モジュールの間のハンドシェイク信号として機能します。ModPrsL は、モジュール内部で常にグランドにプルされています。モジュールがホストの「光ライン カード」コネクタにホット プラグされると、ModPrsL 信号によって LDSTRT ピンが Low にプルされ、TPS25982 eFuse が有効になってモジュールへ電力を供給します。これにより、モジュールが挿入されている場合にのみポートへ電力が供給され、モジュールが存在しない場合には電力が切断されます。

Copyright © 2026 Texas Instruments Incorporated

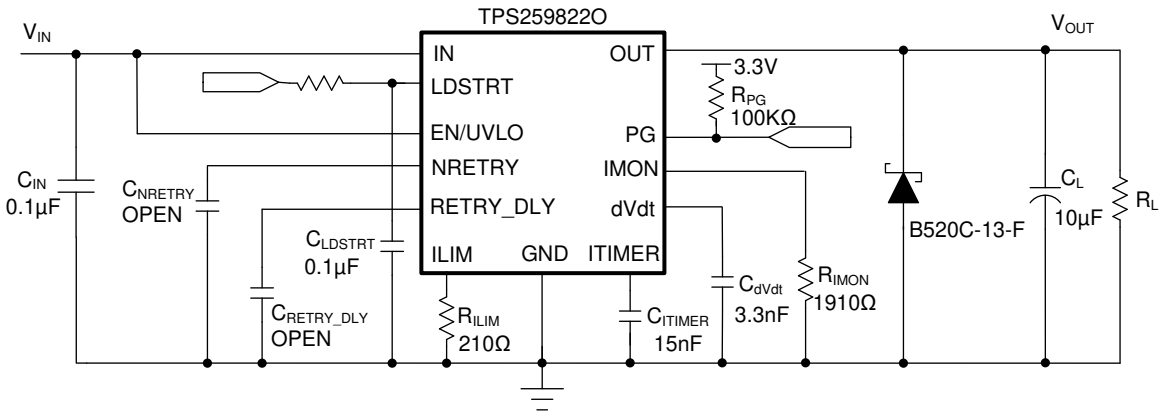


図 8-14. 光モジュールにおける 3.3V 電源レール経路保護向けに構成された TPS259822O

8.3.1.1 設計要件

この例の設計パラメータを、*表 8-2* に示します。

表 8-2. 設計パラメータ

設計パラメータ	数値の例
入力電圧、V_{IN}	3.3V
過電圧誤動作防止、V_{OVP}	3.7V
経路内での最大電圧降下	±5%
最大負荷電流、I_{OUT}	5.5A
電流制限、I_{LIM}	7A
過渡過電流ブランキング時間 (t_{ITIMER})	6ms
負荷容量 (C_{OUT})	10µF
最大周囲温度、T_A	85°C
モジュール存在検出、ModPrsL	あり
再試行遅延、t_{RETRY_DLY}	200µs
再試行の回数、N_{RETRY}	4

8.3.1.2 デバイスの選択

光モジュールは電源電圧変動に非常に敏感であるため、入力過電圧保護が必要です。TPS25982 ファミリの TPS259822O バリエーションを選択して、過電圧保護を 3.7V に設定しています。TPS259822O では、回路パスを断ち切る前に、ユーザー指定のブランキング間隔 t_{ITIMER} の過電流を許容します。この使用事例では、t_{ITIMER} を 6ms 間隔に設定します。

8.3.1.3 外付け部品の選択

セクション 8.2.2 に示されているように、同様の設計手順に従って、外部コンポーネントの値は次のように計算されます。

- R_{ILIM} = 210Ω、7A の電流制限を設定するため
- C_{ITIMER} = 15nF、6ms の故障ブランキング時間を設定する場合
- R_{IMON} = 1910Ω (IMON ピンの最大電圧 V_{IMON} を ADC の範囲である 3.3V 内に収めるため)
- C_{dVdt} 容量は 3.3nF とします
- 最小自動再試行遅延時間 200µs および再試行回数 4 回を設定するため、RETRY_DLY ピンおよび NRETRY ピンはオープン状態のままにします

Copyright © 2026 Texas Instruments Incorporated

8.3.1.4 電圧降下

表 8-3 に、さまざまな電力クラスの QSFP モジュール内の eFuse による電力パスの電圧降下 (%) を示します。

表 8-3. QSFP モジュール電源レールでの TPS25981 両端の電圧降下

電力クラス	モジュールあたりの最大消費電力 (W)	最大負荷電流 (A)	代表的な電圧降下 (%)
1	1.5	0.454	0.082
2	3.5	1.06	0.192
3	7	2.12	0.385
4	8	2.42	0.440
5	10	3.03	0.551
6	12	3.63	0.660
7	14	4.24	0.771
8	18	5.45	0.991

8.3.1.5 アプリケーション曲線

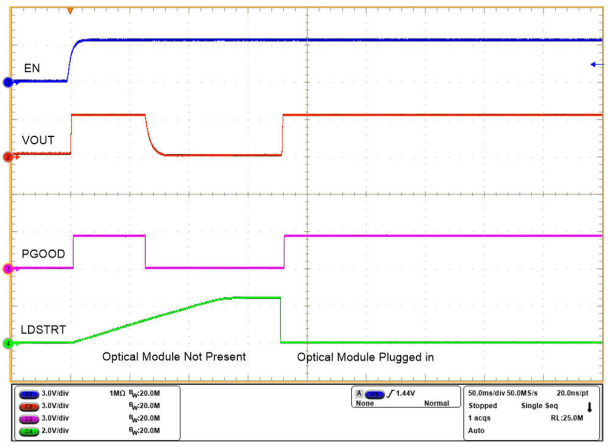


図 8-15. 光モジュールを挿入したときの出力電圧プロファイル

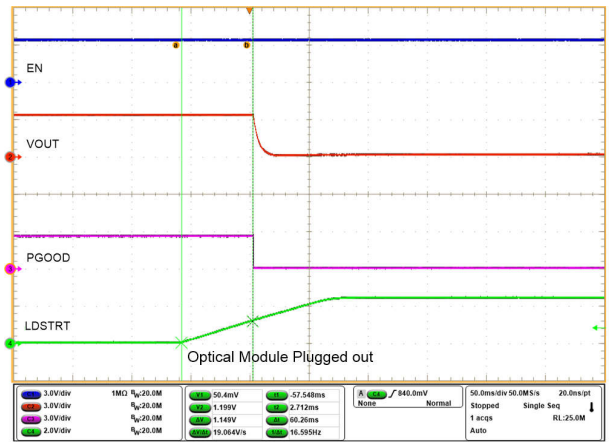


図 8-16. 光モジュールが接続されているときの出力電圧プロファイル

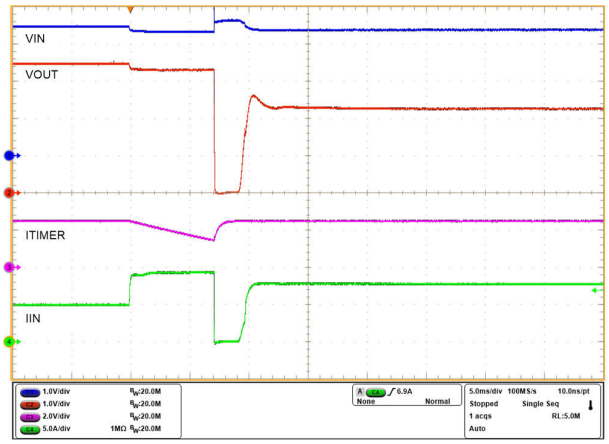


図 8-17. 6ms の過渡過電流ブランキング時間付きサーキット ブレーカ動作：デバイスは電流制限モードで再起動

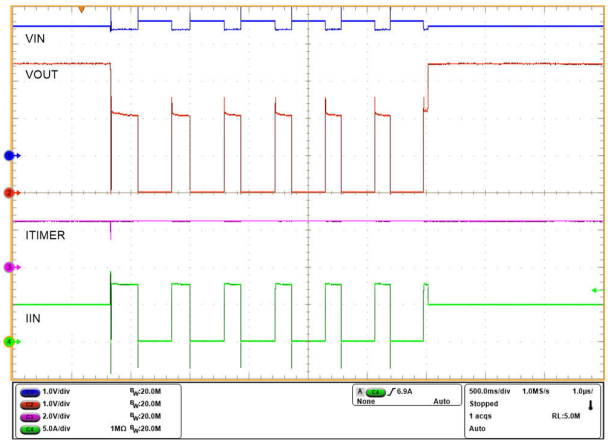


図 8-18. 過負荷応答と回復

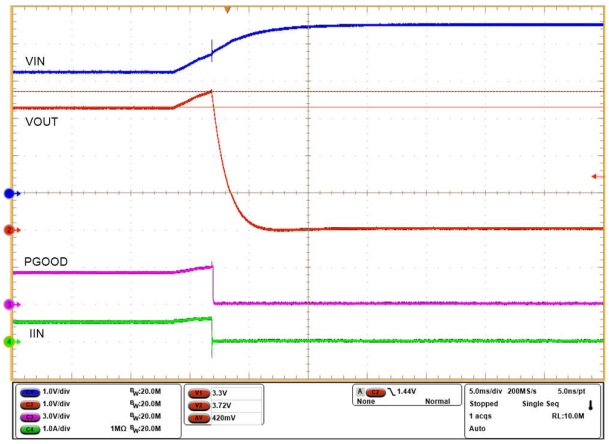


図 8-19. TPS259822O デバイスによる 3.7V での過電圧カットオフ

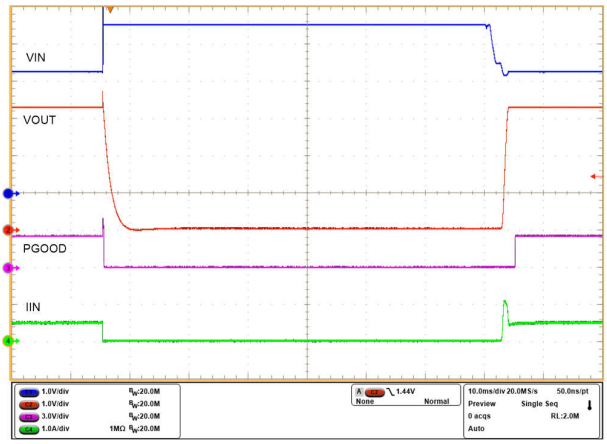


図 8-20. TPS259822O デバイスによる過電圧保護応答と回復

8.3.2 12V レール アプリケーションの入力保護：PCIe カード、ストレージ インターフェイス、および DC ファン

TPS25982 eFuse は、突入電流管理機能を提供するとともに、低電圧、過電圧、過電流などの一般的な故障からシステムを保護します。高電流対応と低 ON 抵抗の組み合わせにより、TPS25982 eFuse は PCIe カード、ストレージ インターフェイス、および DC ファン負荷向けの理想的な保護ソリューションとなります。外付け部品の値は、「詳細な設計手順」に記載されている設計手順に従って計算できます。さらに、スプレッドシート設計ツールである「TPS25982xx 設計カリキュレータ」もリクエストに応じて利用可能です。

8.4 電源に関する推奨事項

TPS25982 デバイスは、2.7V ≤ VIN ≤ 24V の電源電圧範囲向けに設計されています。入力電源がデバイスから数インチ以上離れている場合、TI は 0.1µF を超える入力セラミック バイパス コンデンサを使用することを推奨しています。過電流および短絡状態での電圧ドループを防止するため、電源の定格は設定された電流制限値よりも高く設定する必要があります。

8.4.1 過渡保護

デバイスが電流フローに割り込むタイミングで、短絡および過負荷電流による制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。電圧ス

Copyright © 2026 Texas Instruments Incorporated

パイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何等かの策を講じない場合は、上記の過渡現象によって、デバイスの絶対最大定格を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
- PCB には、大きい GND プレーンを使用します。
- 出力の両極間にショットキー ダイオードを配置して、負のスパイクを吸収します。
- 低値のセラミック コンデンサ (C_{IN} = 0.001µF ～ 0.1µF) を使用して、エネルギーを吸収し、過渡現象を減衰させます。入力容量の近似値は、式 34 を使用して推定できます。

$$V_{SPIKE(Absolute)} = V_{IN} + I_{LOAD} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (34)$$

ここで、

- V_{IN} は公称電源電圧
- I_{LOAD} は負荷電流
- L_{IN} はソースから見た実効インダクタンスに等しい値
- C_{IN} は入力に存在する容量

一部のアプリケーションでは、過渡状態においてデバイスの絶対最大定格を超えないように、過渡電圧サプレッサ (TVS) の追加が必要になる場合があります。オプションの保護部品 (セラミック コンデンサ、TVS、ショットキー ダイオード) を使用した回路実装例を、図 8-21 に示します。

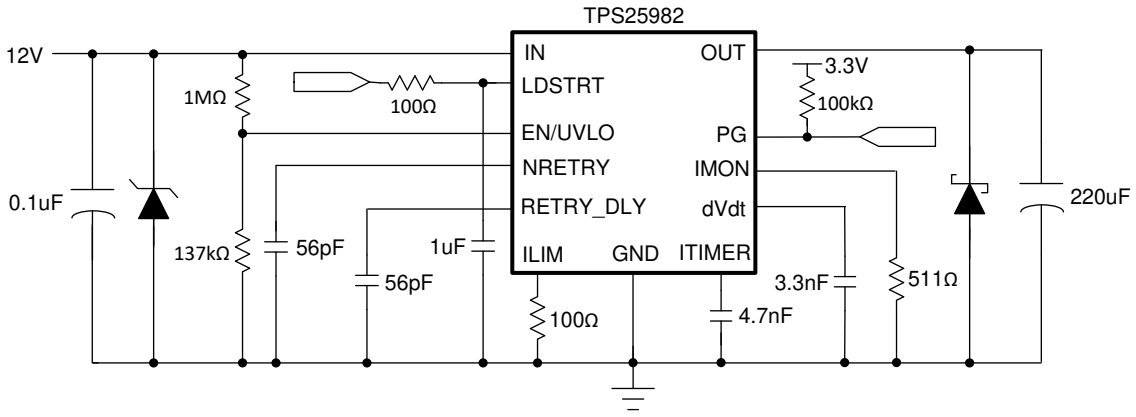


図 8-21. オプションの保護部品を使用した代表的な回路実装

8.4.2 出力短絡測定

再現可能で同様の短絡テスト結果を得るということは困難です。結果のばらつきの原因には、次のようなものがあります。

- ソース バイパス
- 入力リード線
- 基板レイアウト
- 部品選定
- 出力短絡方法
- 短絡の相対位置
- 計測

実際の短絡は、微視的に跳ね返ったり弧を描いたりするため、ある程度のランダム性を示します。現実的な結果を得るために、設定と方法が使用されていることを確認します。

Copyright © 2026 Texas Instruments Incorporated

注

セットアップがそれぞれ異なるため、このデータシートと完全に同一の波形が得られるとは限りません。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

- IN の露出サーマル パッドは、放熱のために使用されます。サーマル ビア アレイを使用して、可能な限り広い銅箔エリアに接続します。ビア アレイは、VIN パッド間の電圧勾配を最小化するのにも役立ち、内部 FET を流れる電流を均一に分散させることで、電流検出およびモニタリング精度を向上させます。
- すべてのアプリケーションにおいて、TI は IN 端子と GND 端子間に 0.01µF 以上のセラミック デカップリング コンデンサを配置することを推奨しています。ホット プラグ アプリケーションにおいて、入力パワー パスのインダクタンスを無視できる場合、このコンデンサは省略するか、最小限に抑えることができます。
- デカップリング コンデンサの最適な配置は、デバイスの IN および GND 端子にできるだけ近づけて配置します。バイパス コンデンサ接続部、IC の IN 端子、および GND 端子によって形成されるループ面積を最小限に抑えるよう注意してください。
- 大電流を流すパワー パス接続はできる限り短くし、全負荷電流の 2 倍以上が流れるようにサイズを調整する必要があります。OUT 電源接続には、最小 50mil (1.27mm) の配線幅 (1mil は 1/1000 インチ) を使用することを推奨します。
- GND 端子はすべての内部信号の基準となるため、システム電源グランド プレーン内の大きなスイッチング電流によるバウンスの影響を受けないように分離する必要があります。デバイスの GND は、基板上のシグナル グランド アイランドに接続し、そのアイランドを一点でシステム電源 GND プレーンに接続することを推奨します。
- ILIM、IMON、ITIMER、RETRY_DLY、NRETRY、および dVdT の各信号については、対応する接続ピンの近くにサポート部品を配置し、配線を可能な限り短くして、それぞれの関連機能への寄生成分の影響を低減します。これらのトレースは基板上のスイッチング信号と結合しないでください。
- ILIM ピンは容量成分に非常に敏感であるため、TI は安定動作を維持するために寄生容量を 30pF 未満に抑えるよう、レイアウトに特に注意を払うことを推奨しています。
- RETRY_DLY ピンおよび NRETRY ピンでは、自動再試行タイマ遅延時間や自動再試行回数が、これらのピンに加わる追加の寄生容量によって変化しないよう、配線を短くしてください。
- TVS、スナバ、コンデンサ、ダイオードなどの保護デバイスは、物理的に保護対象のデバイスの近くに配置する必要があります。インダクタンスを減らすため、これらの保護デバイスは短いパターンで配線する必要があります。たとえば、誘導性負荷のスイッチングによる負の過渡事象に対処するために、TI は保護ショットキー ダイオードを推奨します。このダイオードは、物理的に OUT ピンの近くに配置する必要があります。
- IC 上の 2 つのサーマル パッド間に大きな定常状態の温度勾配が生じないよう、適切なレイアウトおよび熱管理手法を使用します。これは、デバイスの過熱保護機能を適切に動作させ、あらゆる条件下で正常に起動させるために必要です。
- 別のレイアウト方式でも十分な性能を得ることは可能ですが、この「レイアウト例」はガイドラインとして示されており、電気的および熱的観点から良好な結果が得られることが確認されています。

Copyright © 2026 Texas Instruments Incorporated

8.5.2 レイアウト例

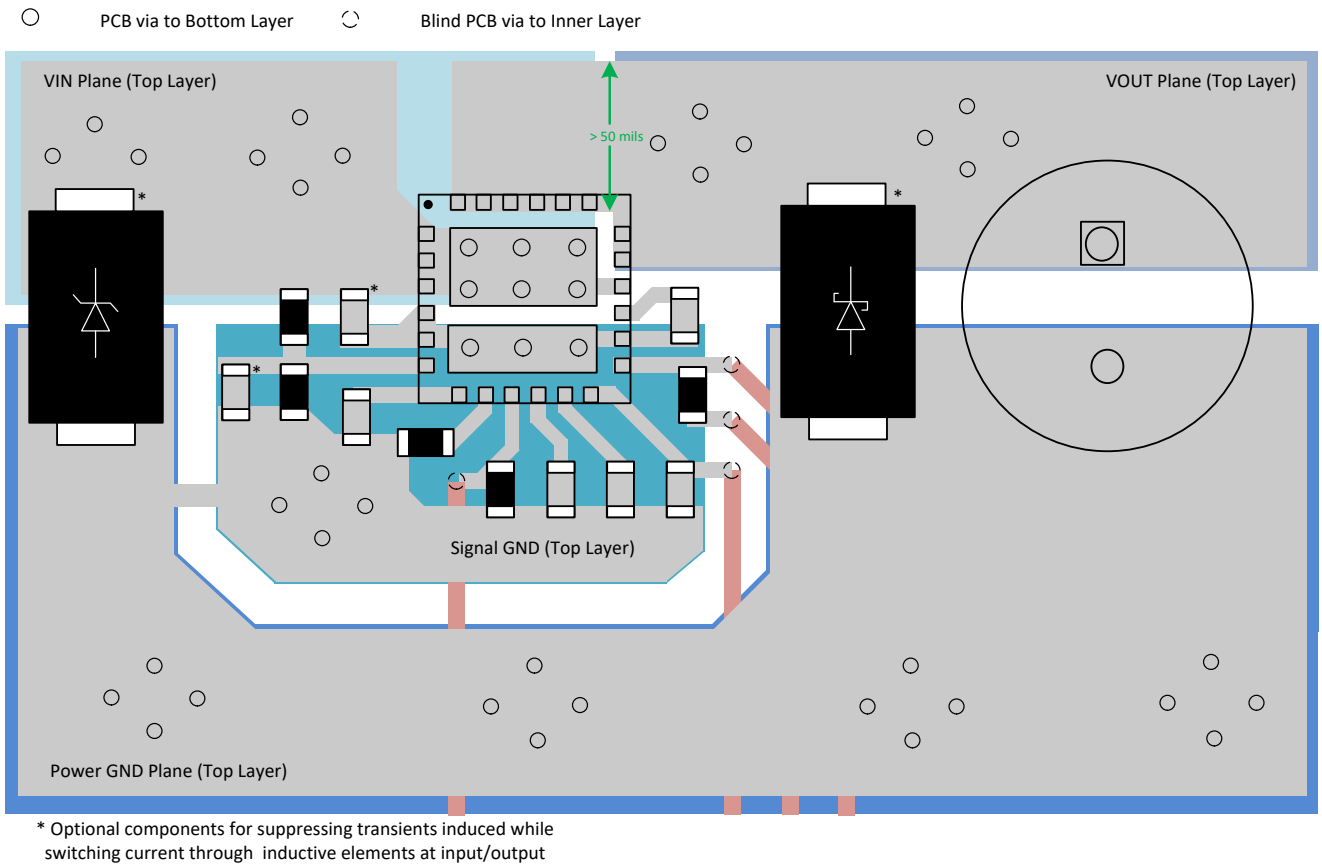


図 8-22. TPS25982 の PCB レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- TPS259824OEVM eFuse 評価ボード
- TPS259827LEVM eFuse 評価ボード
- TPS25982xx デザイン カリキュレータ

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (May 2020) to Revision D (May 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 接合部の温度を -40℃から -15℃に変更	7

Changes from Revision B (January 2020) to Revision C (May 2020)	Page
• データシートの名称を変更	1
• Rev B の記述を「電気的特性の表で、IdVdt の最小値を 3.88µA から 2µA に変更」に訂正	1

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS259822LNRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 22LN
TPS259822LNRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 22LN
TPS259822LNRGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 22LN
TPS259822LNRGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 22LN
TPS259822ONRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 22ON
TPS259822ONRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 22ON
TPS259822ONRGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 22ON
TPS259822ONRGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 22ON
TPS259823LNRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 23LN
TPS259823LNRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 23LN
TPS259823LNRGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 23LN
TPS259823LNRGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 23LN
TPS259823ONRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 23ON
TPS259823ONRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 23ON
TPS259823ONRGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 23ON
TPS259823ONRGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 23ON

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS259824LNRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 24LN
TPS259824LNRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 24LN
TPS259824LNRGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 24LN
TPS259824LNRGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 24LN
TPS259824ONRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 24ON
TPS259824ONRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 24ON
TPS259824ONRGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 24ON
TPS259824ONRGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 24ON
TPS259827LNRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 27LN
TPS259827LNRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 27LN
TPS259827LNRGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 27LN
TPS259827LNRGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 27LN
TPS259827ONRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 27ON
TPS259827ONRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 27ON
TPS259827ONRGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	TP2598 27ON
TPS259827ONRGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-15 to 125	TP2598 27ON

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

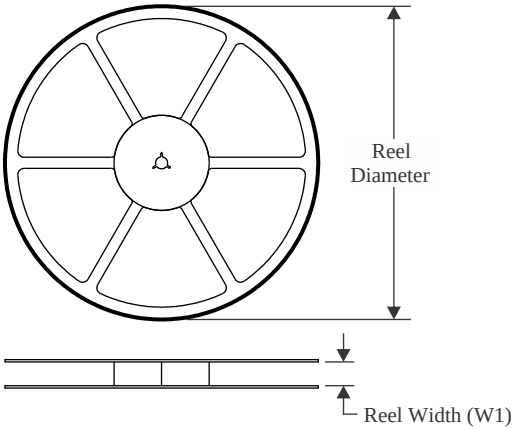
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

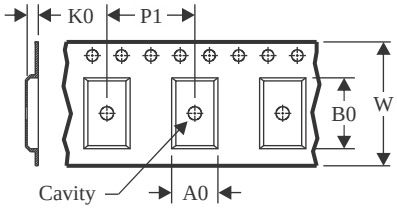
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

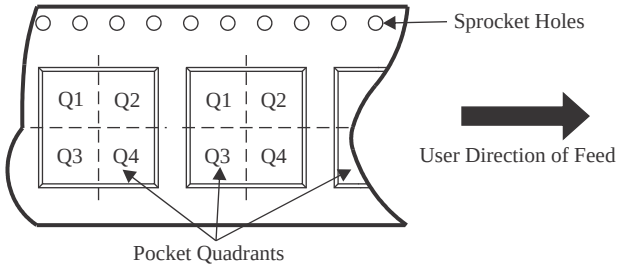


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

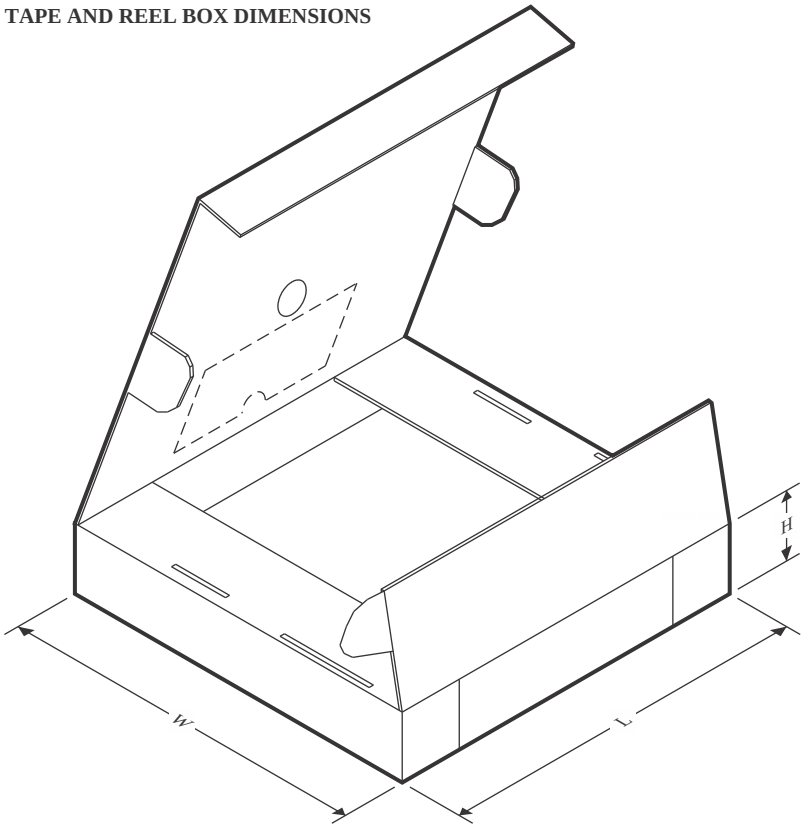
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS259822LNRGER	VQFN	RGE	24	3000	330.0	12.4	4.35	4.35	1.1	8.0	12.0	Q2
TPS259822LNRGET	VQFN	RGE	24	250	180.0	12.5	4.35	4.35	1.1	8.0	12.0	Q2
TPS259822ONRGER	VQFN	RGE	24	3000	330.0	12.4	4.35	4.35	1.1	8.0	12.0	Q2
TPS259822ONRGET	VQFN	RGE	24	250	180.0	12.5	4.35	4.35	1.1	8.0	12.0	Q2
TPS259823LNRGER	VQFN	RGE	24	3000	330.0	12.4	4.35	4.35	1.1	8.0	12.0	Q2
TPS259823LNRGET	VQFN	RGE	24	250	180.0	12.5	4.35	4.35	1.1	8.0	12.0	Q2
TPS259823ONRGER	VQFN	RGE	24	3000	330.0	12.4	4.35	4.35	1.1	8.0	12.0	Q2
TPS259823ONRGET	VQFN	RGE	24	250	180.0	12.5	4.35	4.35	1.1	8.0	12.0	Q2
TPS259824LNRGER	VQFN	RGE	24	3000	330.0	12.4	4.35	4.35	1.1	8.0	12.0	Q2
TPS259824LNRGET	VQFN	RGE	24	250	180.0	12.5	4.35	4.35	1.1	8.0	12.0	Q2
TPS259824ONRGER	VQFN	RGE	24	3000	330.0	12.4	4.35	4.35	1.1	8.0	12.0	Q2
TPS259824ONRGET	VQFN	RGE	24	250	180.0	12.5	4.35	4.35	1.1	8.0	12.0	Q2
TPS259827LNRGER	VQFN	RGE	24	3000	330.0	12.4	4.35	4.35	1.1	8.0	12.0	Q2
TPS259827LNRGET	VQFN	RGE	24	250	180.0	12.5	4.35	4.35	1.1	8.0	12.0	Q2
TPS259827ONRGER	VQFN	RGE	24	3000	330.0	12.4	4.35	4.35	1.1	8.0	12.0	Q2
TPS259827ONRGET	VQFN	RGE	24	250	180.0	12.5	4.35	4.35	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



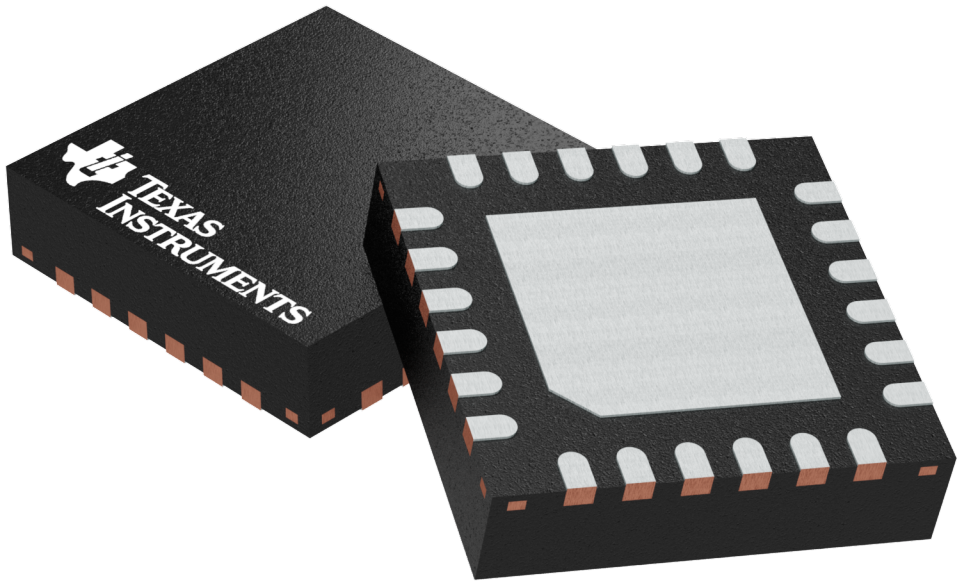
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS259822LNRGER	VQFN	RGE	24	3000	338.0	355.0	35.0
TPS259822LNRGET	VQFN	RGE	24	250	205.0	200.0	33.0
TPS259822ONRGER	VQFN	RGE	24	3000	338.0	355.0	35.0
TPS259822ONRGET	VQFN	RGE	24	250	205.0	200.0	33.0
TPS259823LNRGER	VQFN	RGE	24	3000	338.0	355.0	35.0
TPS259823LNRGET	VQFN	RGE	24	250	205.0	200.0	33.0
TPS259823ONRGER	VQFN	RGE	24	3000	338.0	355.0	35.0
TPS259823ONRGET	VQFN	RGE	24	250	205.0	200.0	33.0
TPS259824LNRGER	VQFN	RGE	24	3000	338.0	355.0	35.0
TPS259824LNRGET	VQFN	RGE	24	250	205.0	200.0	33.0
TPS259824ONRGER	VQFN	RGE	24	3000	338.0	355.0	35.0
TPS259824ONRGET	VQFN	RGE	24	250	205.0	200.0	33.0
TPS259827LNRGER	VQFN	RGE	24	3000	338.0	355.0	35.0
TPS259827LNRGET	VQFN	RGE	24	250	205.0	200.0	33.0
TPS259827ONRGER	VQFN	RGE	24	3000	338.0	355.0	35.0
TPS259827ONRGET	VQFN	RGE	24	250	205.0	200.0	33.0

GENERIC PACKAGE VIEW

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

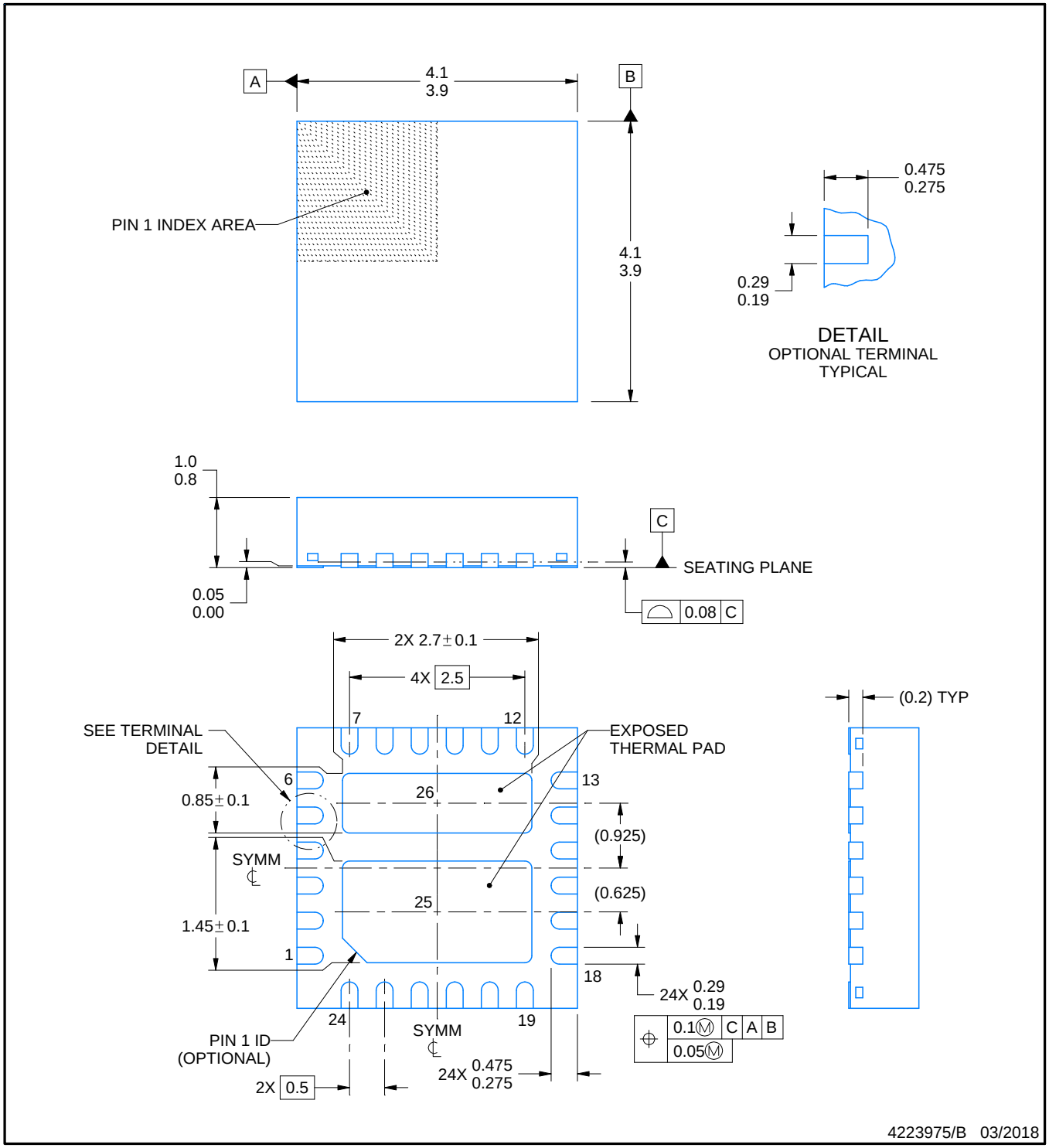
4204104/H

PACKAGE OUTLINE

RGE0024M

VQFN - 1 mm max height

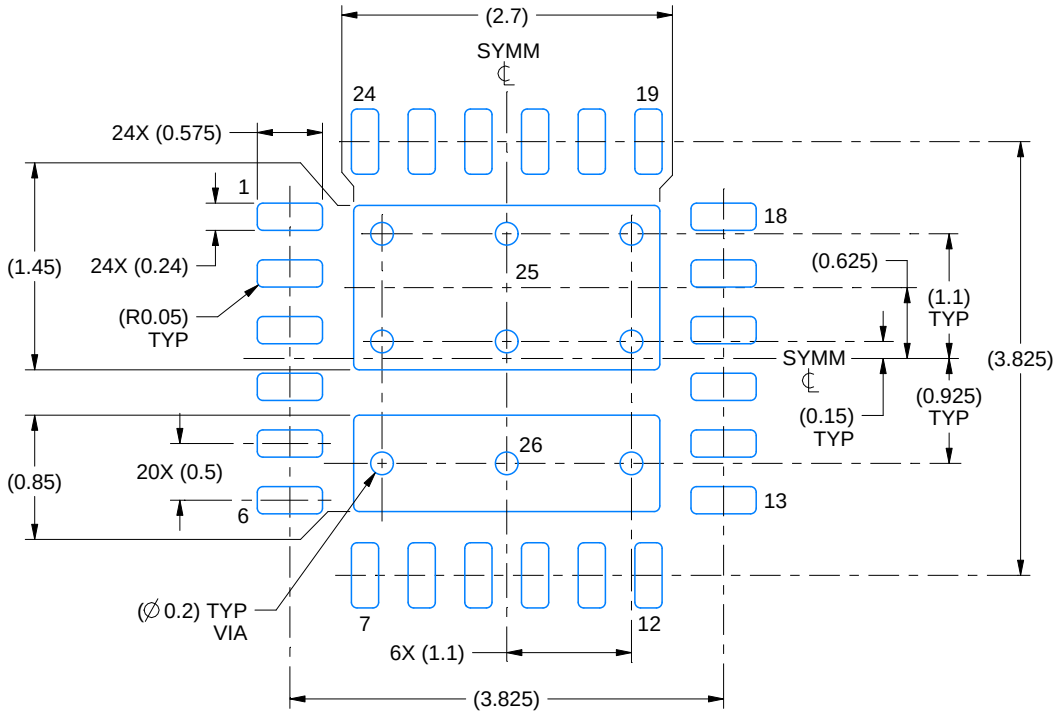
PLASTIC QUAD FLATPACK - NO LEAD



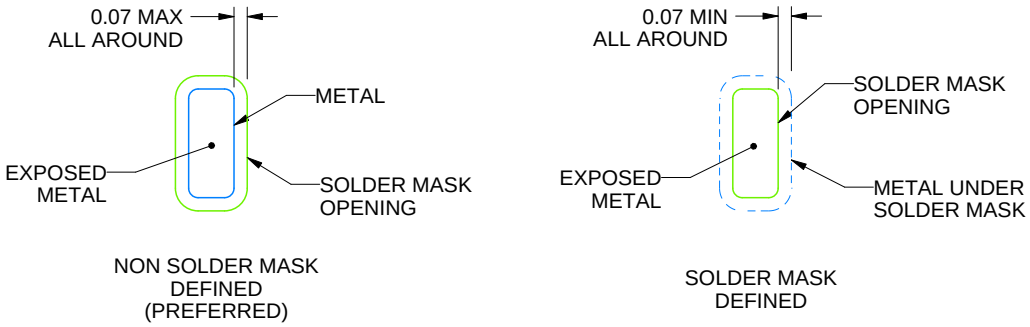
4223975/B 03/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

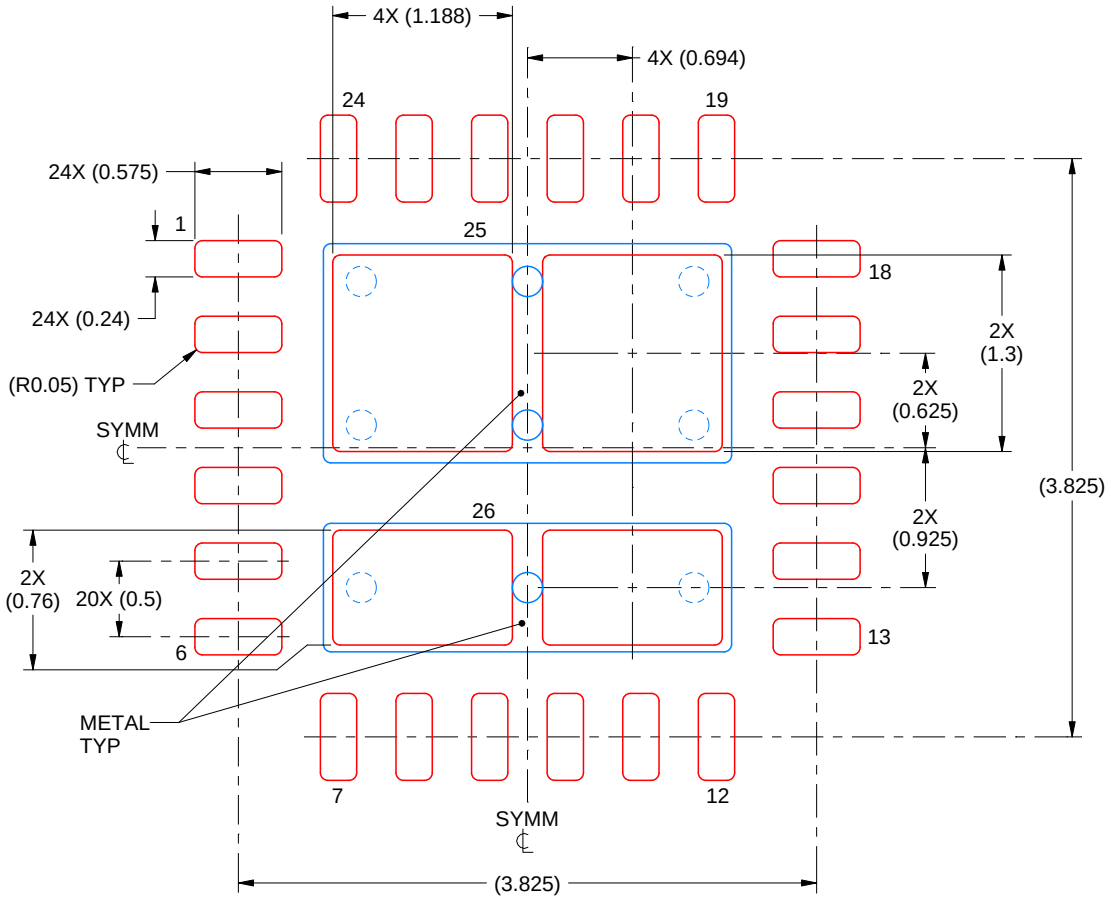


SOLDER MASK DETAILS

4223975/B 03/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223975/B 03/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月