TPS26742E-Q1 車載 デュアル ポート USB Type-C® PD コントローラ、240W EPR 対応

1 特長

- AEC-Q100 テスト ガイダンス
  - デバイス温度グレード 1：–40 °C ～ 125°C の動作時周囲温度範囲
  - デバイス HBM ESD 分類レベル：
    - レベル 2 およびレベル 3A
  - デバイス CDM ESD 分類レベル：
    - レベル C2a とレベル C2b
- TPS26742E-Q1 は、完全に構成可能なデュアル ポート PD3.2 ソース コントローラです。
  - 拡張電力範囲 (EPR) のサポート
  - 許容誤差 40V の VBUS
  - 許容誤差 24V の CC および DP/DM ピン
  - 各種アプリケーションに合わせて簡単に構成できる GUI ツール
  - プログラマブル電源 (PPS) のサポート (ソース)
- USB Type-C PD (Power Delivery) コントローラ
  - USB PD R3.2 準拠
  - USB Type-C R2.4 準拠
  - 20 本の構成可能な GPIO
  - ケーブルの接続と方向の検出
  - VCONN スイッチ内蔵。eMarker の読み出しに外部電源は不要
  - 物理レイヤおよびポリシー エンジン
  - 最大 40V の入力を受け入れる内蔵 LDO
  - 1 つの I²C コントローラ ポート (I2C2)
  - 2 つの I²C ターゲット ポート (I2C1、I2C3)
  - UART および LIN のサポート
  - クローズド シャーシ デバッグ
- 認証チェックによって I²C 経由で更新をサポートする内蔵フラッシュ メモリ
  - I2C4 経由のクローズド シャーシ フラッシュ更新
- システムのパワー マネージメント
  - 複数のポートおよび複数のデバイス
  - サーマル フォールドバック
  - パワー フォールドバック
- 液体検出および腐食軽減

2 アプリケーション

- 車載用 USB 充電
- 車載メディア ハブ
- 車載用ヘッド ユニット

3 説明

TPS26742E-Q1 は、拡張電力範囲 (EPR) 電圧を含む車載 USB-C ポート アプリケーション向けのスタンドアローン デュアル ポート USB Type-C およびパワー デリバリ (PD) ソース コントローラです。TPS26742E-Q1 は、標準電力範囲 (SPR) と EPR のすべての USB-PD 電力供給ネゴシエーション オプションをサポートできます。TPS26742E-Q1 は、USB-C ケーブルの機能を自動的に識別し、ケーブルで許容される最大電流に合わせて調整します。VCONN 用の外部 5V 電源は必要ありません。TPS26742E-Q1 は、従来型の D+/D- 充電もサポートしています。

TPS26742E-Q1 は I²C または PWM 経由で DC/DC を制御し、包括的な USB-C PD アプリケーションを実現します。TPS26742E-Q1 は、SYNC 出力を備えており、デュアル ランダム スペクトラム拡散 (DRSS) を使用して、各ポートで外部 DC/DC スイッチングの位相差を維持します。

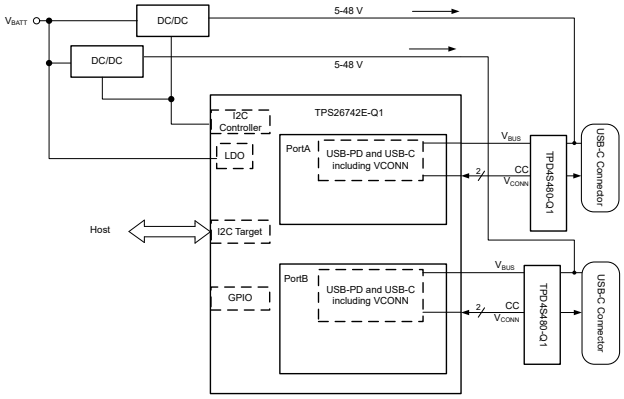
TPS26742E-Q1 は、パワー フォールドバック、VBUS の上限 / 下限監視、液体検出用の過熱および入力電圧の監視、および腐食軽減用の保護機能を内蔵しています。

TPS26742E-Q1 は、I²C および LIN サポートを含むシステム用に複数のインターフェイス オプション、および構成可能な GPIO を備えています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (公称)
TPS26742E-Q1	32-QFN (RHB)	5mm x 5mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....3
5 ピン構成および機能.....4
6 仕様.....7
6.1 絶対最大定格.....7
6.2 ESD 定格.....7
6.3 推奨動作条件.....8
6.4 熱に関する情報.....8
6.5 推奨容量.....8
6.6 電源特性.....9
6.7 消費電力特性.....9
6.8 パワー パス監視特性.....11
6.9 CC ケーブル検出の特性.....11
6.10 レガシー充電の特性.....12
6.11 Px_VCONN スイッチの特性.....12
6.12 CC の PHY 特性.....13
6.13 サーマル シャットダウンの特性.....14
6.14 発振器の特性.....14
6.15 ADC の特性.....14
6.16 液体検出の特性.....15
6.17 入出力 (I/O) の特性 (P0_GPIOx).....17
6.18 入出力 (I/O) の特性 (P1_GPOx).....17
6.19 I2C の要件と特性.....18
6.20 UART.....19
6.21 SYNC 出力.....20
6.22 PWM タイマ.....20
6.23 フラッシュ メモリの特性.....20
6.24 ブート タイミング.....21
6.25 代表的特性.....22
7 パラメータ測定情報.....24
8 詳細説明.....26
8.1 概要.....26
8.2 機能ブロック図.....27
8.3 機能説明.....28
8.4 デバイスの機能モード.....53
9 アプリケーションと実装.....56
9.1 アプリケーション情報.....56
9.2 代表的なアプリケーション.....56
9.3 システム例.....61
9.4 電源に関する推奨事項.....63
9.5 レイアウト.....63
10 デバイスおよびドキュメントのサポート.....65
10.1 ドキュメントのサポート.....65
10.2 ドキュメントの更新通知を受け取る方法.....65
10.3 サポート・リソース.....65
10.4 商標.....65
10.5 静電気放電に関する注意事項.....65
10.6 用語集.....65
11 改訂履歴.....66
12 メカニカル、パッケージ、および注文情報.....66

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

デバイス	ポート数	EPR サポート	DisplayPort サポート	シンク モードのサポート
TPS26744E-Q1	2	あり	あり	なし
TPS26742E-Q1	2	あり	なし	なし
TPS26742Q1	2	なし	なし	なし
TPS26743E-Q1	1	あり	あり	あり
TPS26741Q1	1	なし	なし	なし
TPS26741E-Q1	1	あり	なし	なし

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

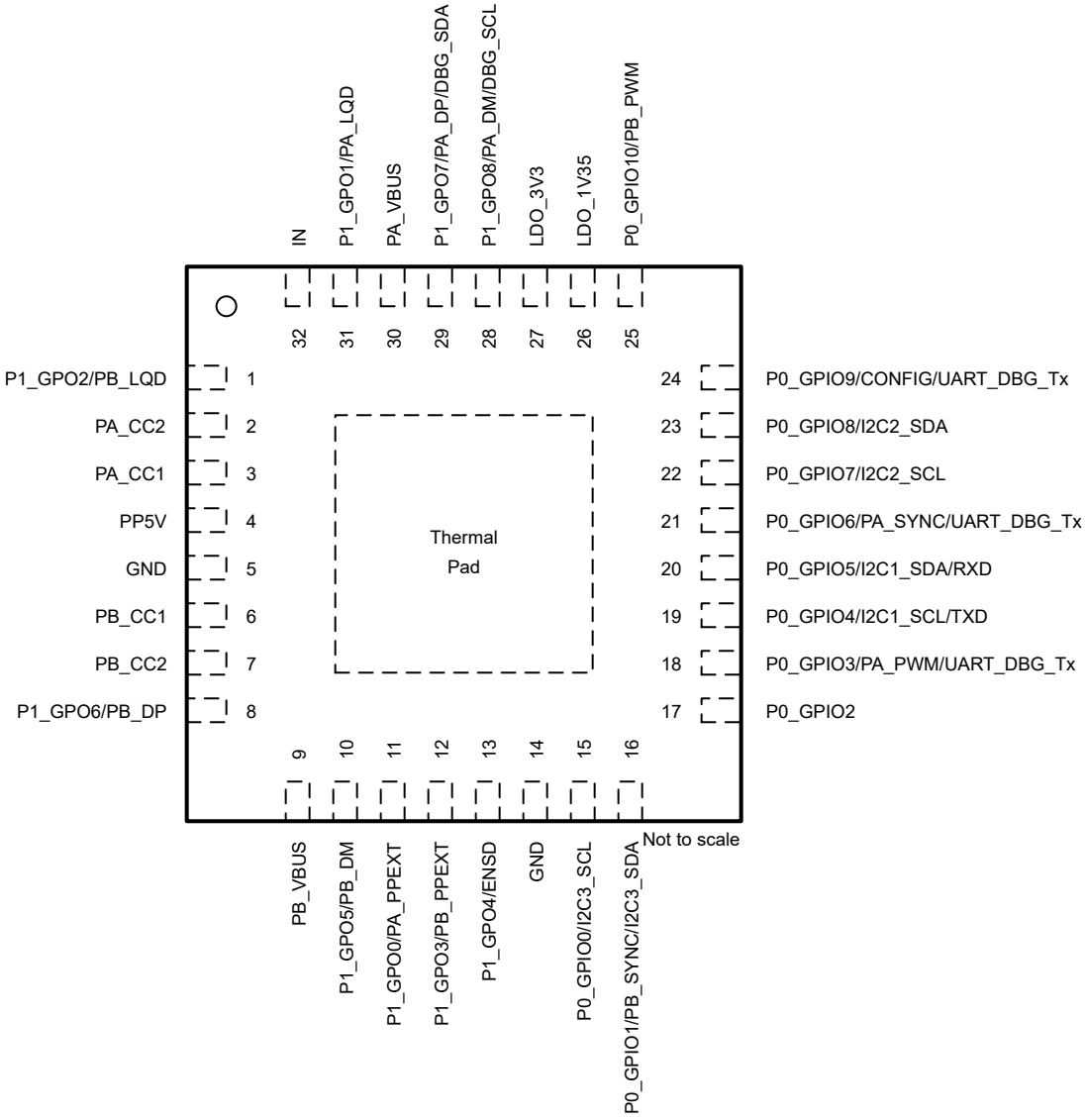


図 5-1. TPS26742E-Q1 RHB パッケージ、32 ピン QFN (上面図)

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能

ピン		I/O(1)	説明
名称	番号		
GND	5.14	GND	グランド リファレンス ピン。底面のサーマル パッドに接続。
IN	32	P	これは、デバイスの入力電源です。
LDO_1V35	26	P	内部 LDO の出力。容量 C_{LDO_1V35} で GND へバイパス。これは、外部回路をソースするためのものではありません。
LDO_3V3	27	P	内部 LDO の出力。容量 C_{LDO_3V3} で GND へバイパス。
P0_GPIO0/I2C3_SCL	15	I/O	このピンは、複数の機能をサポートしています。汎用 I/O、または I2C3 の SCL。
P0_GPIO1/PB_SYNC/I2C3_SDA	16	I/O	このピンは、複数の機能をサポートしています。汎用 I/O、ポート B の SYNC 出力、または I2C3 の SDA。
P0_GPIO10/PB_PWM	25	I/O	このピンは、複数の機能をサポートしています。汎用 I/O、または PWM 出力。
P0_GPIO2	17	I/O	汎用 I/O。
P0_GPIO3/PA_PWM/UART_DBG_Tx	18	I/O	このピンは、複数の機能をサポートしています。汎用 I/O、PWM 出力、または UART デバッグ出力。
P0_GPIO4/I2C1_SCL/TXD	19	I/O	このピンは、複数の機能をサポートしています。汎用 I/O、I2C1 の SCL、または LIN バス トランスミッタ。
P0_GPIO5/I2C1_SDA/RXD	20	I/O	このピンは、複数の機能をサポートしています。汎用 I/O、I2C1 の SDA、または LIN バス レシーバ。
P0_GPIO6/PA_SYNC/UART_DBG_Tx	21	I/O	このピンは、複数の機能をサポートしています。汎用 I/O、ポート A の同期出力、またはデバッグ出力。
P0_GPIO7/I2C2_SCL	22	I/O	このピンは、複数の機能をサポートしています。汎用 I/O、または I2C2 の SCL。
P0_GPIO8/I2C2_SDA	23	I/O	このピンは、複数の機能をサポートしています。汎用 I/O、I2C2 の SDA。
P0_GPIO9/CONFIG/UART_DBG_Tx	24	I/O	このピンは、複数の機能をサポートしています。汎用 I/O、構成入力、またはデバッグ出力。
P1_GPO0/PA_PPEXT/ADCIN2	11	I/O	このピンは、複数の機能をサポートしています。汎用出力、ADC 入力、またはポート A の外部パワー パス制御
P1_GPO1/PA_LQD/ADCIN3	31	I/O	このピンは、複数の機能をサポートしています。汎用出力、ADC 入力、またはポート A の液体検出。
P1_GPO2/PB_LQD/ADCIN4	1	I/O	このピンは、複数の機能をサポートしています。汎用出力、ADC 入力、またはポート B の液体検出。
P1_GPO3/PB_PPEXT/ADCIN5	12	I/O	このピンは、複数の機能をサポートしています。汎用出力、ADC 入力、またはポート B の外部パワー パス制御
P1_GPO4/ENSD	13	I/O	このピンは、複数の機能をサポートしています。汎用出力、またはイネーブル シャットダウン モード入力 (ENSD)。シャットダウン モードが有効になっていない限り、このピンを外部からプルダウンしないでください
P1_GPO5/PB_DM/ADCIN15	10	I/O	このピンは、複数の機能をサポートしています。汎用出力、ADC 入力、またはポート B での D- ピンへの接続 (BC1.2 の場合)。
P1_GPO6/PB_DP/ADCIN14	8	I/O	このピンは、複数の機能をサポートしています。汎用出力、ADC 入力、またはポート B での D+ ピンへの接続 (BC1.2 の場合)。
P1_GPO7/PA_DP/DBG_SDA/ADCIN12	29	I/O	このピンは、複数の機能をサポートしています。汎用出力、ADC 入力、ポート A での D+ ピンへの接続 (BC1.2 の場合)、または I2C4 への SDA 接続。
P1_GPO8/PA_DM/DBG_SCL/ADCIN13	28	I/O	このピンは、複数の機能をサポートしています。汎用出力、ADC 入力、ポート A での D- ピンへの接続 (BC1.2 の場合)、または I2C4 への SCL 接続。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		I/O(1)	説明
名称	番号		
PA_CC1	3	I/O	USB Type-C および USB PD の I/O。推奨コンデンサで GND (C_{Px_CCy}) 接続のノイズをフィルタリング。
PA_CC2	2	I/O	USB Type-C および USB PD の I/O。推奨コンデンサで GND (C_{Px_CCy}) 接続のノイズをフィルタリング。
PA_VBUS	30	P	ポート A の VBUS 検出入力。容量 C_{Px_VBUS} で GND へバイパス。
PB_CC1	6	I/O	USB Type-C および USB PD の I/O。推奨コンデンサで GND (C_{Px_CCy}) 接続のノイズをフィルタリング。
PB_CC2	7	I/O	USB Type-C および USB PD の I/O。推奨コンデンサで GND (C_{Px_CCy}) 接続のノイズをフィルタリング。
PB_VBUS	9	P	ポート B の VBUS 検出入力。容量 C_{Px_VBUS} で GND へバイパス。
PP5V	4	P	IN ピンからの VCONN の入力電源および LDO 出力。容量 C_{PP5V} で GND へバイパス。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
入力電圧範囲 (2)	PP5V	-0.3	7.0	V
	IN	-0.3	40	
	Px_VBUS	-0.3	40	V
	Px_DP、Px_DM、Px_LQD	-0.3	24	
	Px_CC1、Px_CC2	-0.5	24	
	P0_GPIOx	-0.3	V_{LDO_3V3} + 0.3 (4.1 最大)	
	P1_GPO3、P1_GPO4	-0.3	6	
	P1_GPO0	-0.3	V_{LDO_3V3} + 0.3 (4.1 最大)	
	I2Cx_SDA、I2Cx_SCL	-0.3	4	
出力電圧範囲(2)	LDO_1V35(3) (4)	-0.3	2	V
	LDO_3V3(3)	-0.3	4	
ソース電流	Px_CCy の正のソース電流		内部的に制限	A
	Px_GPIOy によってシンクまたはソースされる電流		0.005	
	I2Cn_SDA、I2Cn_SCL の正のシンク電流		内部的に制限	
	LDO_3V3、PP5V の正のソース電流		内部的に制限	
T_J 動作時接合部温度		-40	155	°C
T_{STG} 保管温度		-55	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、この条件、または「推奨動作条件」に示された値を超える他のいかなる条件でも、このデバイスが正しく動作することを暗黙的に示すものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、ネットワークの GND を基準としたものです。GND ピンをボードの GND プレーンに直接接続します。
(3) これらのピンに電圧を印加しないでください。
(4) このピンに外部負荷をかけないでください。

6.2 ESD 定格

パラメータ		テスト条件		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 (1)	すべてのピン	±2000	V
			Px_CCy ピン	±6000	
		帯電デバイスモデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠	角のピン	±750	
		帯電デバイスモデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠	すべてのピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

Copyright © 2026 Texas Instruments Incorporated

6.3 推奨動作条件

			最小値	公称値	最大値	単位
V_I	入力電圧範囲 (1)	IN (Px_VCONN 電源として使用する場合)	5	12	32	V
		IN(2)	4.5	12	32	
		PP5V (外部からの供給の場合)	4.75	5	最小 (5.5、V_{IN})	
		Px_VBUS	0		31	
V_{IO}	I/O 電圧範囲(1)	I2Cx_SDA、I2Cx_SCL	0		V_{LDO_3V3}	V
		P0_GPIOx	0		V_{LDO_3V3}	
		P1_GPO0、P1_GPO3、P1_GPO4	0		V_{LDO_3V3}	
		Px_CC1、Px_CC2	0		5.5	
		Px_DP、Px_DM、Px_LQD	0		5.5	
I_O	出力電流 (PP5V から)	Px_CC1、Px_CC2 (V_{IN} > 7V の場合)			25	mA
I_O	出力電流 (LDO_3V3 から)	P0_GPIOx、P1_GPOx			1	mA
I_O	出力電流 (内部 LDO から)	LDO_3V3、P0_GPIOx、P1_GPOx からの電流の合計。			10	mA
T_A	動作時周囲温度		-40		125	°C

(1) すべての電圧値は、ネットワークの GND を基準としたものです。すべての GND ピンをボードの GND プレーンに直接接続します。
(2) デバイスが最初にパワーアップになる際に、V_{ENSD} > V_{ENSD_THLD} (立ち上がり) が必要です。

6.4 熱に関する情報

熱評価基準(1)		デバイス	単位
		QFN (RHB)	
		32 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	32.5	°C/W
$R_{\theta JC}$ (上面)	接合部からケース (上面) への熱抵抗	21.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	12.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	12.5	°C/W
$R_{\theta JC}$ (底面)	接合部からケース (底面 GND パッド) への熱抵抗	3.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 推奨容量

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ (1)		電圧定格	最小値	公称値	最大値	単位
C_{Px_VBUS}	Px_VBUS の容量 (3)	50V		1		µF
C_{IN}	IN の容量	50V	0.5	1		µF
C_{LDO_3V3}	LDO_3V3 の容量	6.3V	2	4.7		µF
C_{LDO_1V35}	LDO_1V35 の容量	4V		470		nF

Copyright © 2026 Texas Instruments Incorporated

6.5 推奨容量 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ (1)		電圧定格	最小値	公称値	最大値	単位
C_{PP5V}	PP5V の容量 (Px_VCONN の使用なし)	10V	2			µF
	PP5V の容量 (eMarker 設定の場合)	10V	5			µF
C_{PP5V2} (2)	PP5V ピンの 2 番目の容量	10V		100		nF
C_{Px_CCy}	USB-PD PHY がアクティブな場合の Px_CCy ピン上の容量値 (4)。	50V		300		pF
C_{DPDM}	DCP モードで使用する場合の Px_DP および Px_DM の容量	50V			1	nF

(1) 静電容量値には、ディレーティング係数や許容誤差係数は含まれていません。たとえば、必要容量が 4.5µF の場合で、動作電圧下でのディレーティングにより外部コンデンサの容量が 50% 低下し、さらに許容差が -10% あるとすると、公称値 10µF の外部コンデンサを推奨します。
(2) 最良の ESD 性能を得るため、このコンデンサを配置してください。
(3) このコンデンサは Px_VBUS ピン付近に配置します。
(4) 記載されている電圧定格は、この容量が Px_CCy ピン付近に配置されることを前提としています。ただし、このコンデンサを必ずしも Px_CCy ピン付近に配置する必要はありません。

6.6 電源特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{IN_LKG}	5V LDO が無効化されている場合 (PP5V が外部から V_{PP5V} より高い電圧で供給されている状態) の IN ピンリーク電流:。	V_{PP5V} = 5V、V_{IN}=7V、T_J=125ºC		7.2		µA
		V_{PP5V} = 5V、V_{IN}=12V、T_J=125ºC		14.1		µA
		V_{PP5V} = 5V、V_{IN}=18V		22	40	µA
出力						
V_{PP5V}	内部 LDO によって供給された PP5V の電圧	7V ≤ V_{IN} ≤ 18V、V_{EN} = 2V、Px_VCONN イネーブル。	4.5	4.63	4.75	V
V_{PP5V}	内部 LDO によって供給された PP5V の電圧	4.5V ≤ V_{IN} < 7V、V_{EN} = 2V、Px_VCONN ディスエーブル。	4.2	4.63	4.75	V
V_{LDO_3V3}	LDO_3V3 の電圧	V_{PP5V} > V_{PP5V_UVLO}	3.0	3.3	3.45	V
V_{LDO_1V35}	LDO_1V35 の出力電圧	V_{LDO_3V3} ≥ 3.0V、最大内部負荷条件まで。		1.35		V

6.7 消費電力特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
アクティブ モード						
$I_{IN,Act}$ (1)	IN への電流	アクティブ モード:V_{PP5V}=5.0V, V_{IN} = 7V、すべての P0_GPIOx および P1_GPOx を無効化、PP5V および LDO_3V3		7.6	15	mA
スリープ モード						
$I_{IN,Sleep}$ (1)	IN への電流	V_{IN} = 12V、すべての P0_GPIOx および P1_GPOx を無効化、PP5V および LDO_3V3 に外部負荷なし、T_J = 25ºC		1.8		mA
アイドル モード						
$I_{IN,Idle}$ (1)	IN への電流	V_{IN} = 12V、すべての P0_GPIOx および P1_GPOx を無効化、PP5V および LDO_3V3 に外部負荷なし、T_J = 25ºC		3.4		mA
シャットダウン モード						

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{IN,SD}$ (1)	IN へのシャットダウン電流	V_{IN} = 12V、V_{ENSD} = 0V、PP5V および LDO_3V3			1	mA

(1) 標準的な数値は 1 秒間 で平均化されます。ファームウェア構成によって、この消費電力は影響を受けます。

Copyright © 2026 Texas Instruments Incorporated

6.8 パワー パス監視特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
過電圧						
V_{PP5V_OVP}	VBUS 過電圧 (立ち上がり)	V_{Px_CCy} > V_{PP5V_OVP} の場合に OVP が検出され、VCONN が Px_CCy 経由で供給されます。	5.85	6.15	6.55	V
	VBUS 過電圧 (立ち下がり)		5.4	5.7	6.0	
	VBUS 過電圧 (ヒステリシス)			0.45		
アンダーボルテージ						
V_{PP5V_UVLO}	PP5V で必要な電圧	立ち上がり	3.9	4.1	4.3	V
		立ち下がり	3.8	4.0	4.2	
		ヒステリシス		0.1		
V_{VBUS_GOOD}	Px_VBUS のコンパレータ	立ち上がり		3.75		V
		立ち下がり		3.65		
		ヒステリシス		0.10		
VBUS 放電						
I_{DSCH}	VBUS 放電電流(1)	30V ≥ V_{Px_VBUS} ≥ V_{LDO_3V3}、I_{Px_VBUS} を測定		8		mA

(1) この放電は、USB 仕様を満たすために必要な場合は自動的に有効になり、不要な場合は自動的に無効になります。

6.9 CC ケーブル検出の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
Type-C ソース (Rp プルアップ)						
V_{SRC1}	Px_CCy に適用される Rp3.0A の取り外しスレッショルド	立ち上がり	2.56		2.74	V
		立ち下がり	2.46		2.64	
		ヒステリシス		0.1		
V_{SRC2}	Px_CCy に適用される Rp1.5A または RpDef の取り外しスレッショルド	立ち上がり	1.54		1.64	V
		立ち下がり	1.51		1.61	
		ヒステリシス		0.03		
V_{SRC3}	Px_CCy に適用される RpDef の Ra/Rd 検出スレッショルド	立ち上がり	0.20		0.24	V
		立ち下がり	0.16	0.18	0.20	
		ヒステリシス		0.04		
V_{SRC4}	Px_CCy に適用される Rp1.5A の Ra/Rd 検出スレッショルド	立ち上がり	0.39		0.44	V
		立ち下がり	0.35		0.40	
		ヒステリシス		0.04		
V_{SRC5}	Px_CCy に適用される Rp3.0A の Ra/Rd 検出スレッショルド	立ち上がり	0.79		0.84	V
		立ち下がり	0.75		0.80	
		ヒステリシス		0.04		
V_{OC}	Rp イネーブル、無負荷時の Px_CCy 開回路電圧	V_{PP5V_UVLO} < V_{PP5V} < 5.5V、R_{CC} = 47 kΩ	2.95			V
I_{RpDef}	電流源 - USB デフォルト	V_{PP5V} ≥ 4.5V、0 < V_{Px_CCy} < 1.5V、I_{Px_CCy} 測定	73	80	87	µA
$I_{Rp1.5}$	電流源 - 1.5A	V_{PP5V} ≥ 4.5V、0 < V_{Px_CCy} < 1.5V、I_{Px_CCy} 測定	166	180	194	µA
$I_{Rp3.0}$	電流源 - 3.0A	V_{PP5V} ≥ 4.5V、0 < V_{Px_CCy} < 2.45V、I_{Px_CCy} 測定	304	330	356	µA

Copyright © 2026 Texas Instruments Incorporated

6.9 CC ケーブル検出の特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
Z_{Open}	電源オフの CC インピーダンス	V_{IN}=0V、V_{Px_CCy} = 3.3V	126			kΩ
R_{Open}	オープンとして構成されている場合の Px_CCy から GND への抵抗。	V_{Px_VBUS} = 0、V_{IN}=V_{PP5V}=5.0V、V_{Px_CCy}=5V、Px_CCy の抵抗を測定	126			kΩ
タイミング						
R_a	Ra プルダウン抵抗	V_{Px_CCy} ≤ 0.25V、Px_CCy の抵抗を測定。トリムの必要がないように、最小値は柔軟に設定可能。			1200	Ω
t_{CC}	Px_CCy のコンパレータのデフォルトグリッチ除去時間			3.6		ms

6.10 レガシー充電の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
BC1.2						
R_{DCP}	Px_DP および Px_DM の短絡抵抗			70		Ω
V_{DM_SRC}	Px_DM 出力電圧	0 < I_{Px_DM} < 250µA		0.6		V
I_{DP_SNK}	Px_DP シンク電流	0.25V ≤ V_{Px_DP} ≤ 2.0V		100		µA
V_{DAT_REF}	V_{DM_SRC} アクティブ化の DP_IN 立ち上がり下限ウィンドウ スレッショルド			0.38		V
	ヒステリシス			50		mV
V_{LGC_SRC}	VDM_SRC 非アクティブ化の DP_IN 立ち上がりウィンドウ スレッショルド			0.95		V
	ヒステリシス			100		mV

6.11 Px_VCONN スイッチの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{VCONN}	VCONN パスの Rdson	V_{PP5V} = 5V、I_{Px_CCy} = 350mA、PP5V から Px_CCy への抵抗を測定		0.7		Ω
I_{LIMVC}	短絡電流制限	eMarker のみの設定、V_{PP5V} = 5V、R_L = 10mΩ 、I_{Px_CCy} を測定		50		mA
V_{VCONN_RCP}	Px_VCONN の逆電流保護スレッショルド、Px_CCy 経由で VCONN を供給	V_{PP5V} ≥ 4.9V、V_{Px_CCz} = V_{PP5V}、V_{Px_CCy} 立ち上がり		200		mV
	Px_VCONN の逆電流保護スレッショルド、CCx 経由で VCONN を供給	V_{PP5V} ≥ 4.9V、V_{Px_CCz} ≤ 4.0V、V_{Px_CCy} 立ち上がり		340		
t_{VCILIM}	電流クランプ のグリッチ除去時間。			3		ms
t_{VC_OVP}	VCONN が Px_CCy を介して供給される間の V_{Px_CCy} > V_{PP5V_OVP} までの応答時間	Px_VCONN イネーブル、PP5V に 100Ω 負荷を印加、100V/ms で 4.3V から開始して V_{Px_CCy} を引き上げ		150		µs

Copyright © 2026 Texas Instruments Incorporated

6.11 Px_VCONN スイッチの特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{VC_UVLO}	V_{PP5V} < V_{PP5V_UVLO} までの応答時間	R_L = 100Ω、Px_CCy に外部容量なし、10V/µs で V_{PP5V} を 5.5V から 3.5V に引き上げ、UVLO 検出から電流が < 10mA になるまでの時間を測定		4		µs
t_{VC_RCP}	V_{PP5V} < V_{Px_CCy}+V_{VCONN_RCP} までの応答時間	V_{PP5V} = 5.5V、Px_VCONN イネーブル、10V/µs で V_{Px_CCy} を 4V から 21.5V に引き上げ		1		µs
t_{VCON}	信号有効化から Px_CCy が最終値の 90% になるまで	I_L = 250mA、V_{PP5V} = 5V、C_L = 0		0.98		ms
t_{VCOFF}	信号無効化から Px_CCy が最終値の 10% になるまで	I_L = 250mA、V_{PP5V} = 5V、C_L = 0		0.22		ms
t_{VCRISE}	Px_CCy が最終値の 10% から 90% になるまで	I_L = 250mA、V_{PP5V} = 5V、C_L = 0		270		µs
t_{VCFALL}	Px_CCy が初期値の 90% から 10% になるまで	I_L = 250mA、V_{PP5V} = 5V、C_L = 0		250		µs
t_{IOS_VCONN}	短絡に対する応答時間	V_{PP5V} = 5V、短絡の場合 R_L = 10mΩ。短絡が適用されてから I_{VCONN} < I_{LIMVC} になるまでの時間を測定。			4.0	µs
		V_{PP5V} = 5V、短絡の場合 R_L = 10mΩ。短絡が適用されてから I_{VCONN} < I_{LIMVC} になるまでの時間を測定。eMarker のみの設定。		0.6		

6.12 CC の PHY 特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
トランスミッタ						
V_{TXHI}	Px_CCy で高電圧を送信	標準の外部負荷	1.05	1.125	1.2	V
V_{TXLO}	Px_CCy で低電圧を送信	標準の外部負荷	-75		75	mV
Z_{DRIVER}	Px_CCy を使用した CC ライン駆動中の送信出力インピーダンス		33	50	71.4	Ω
t_{TX_RISE}	立ち上がり時間。Px_CCy の振幅ポイント 10% ～ 90%、最小値は無負荷状態。TX mask によって設定される最大値	C_{Px_CCy} = 520pF	300			ns
t_{TX_FALL}	立ち下がり時間 Px_CCy の振幅ポイント 90% ～ 10%、最小値は無負荷状態。TX mask によって設定される最大値	C_{Px_CCy} = 520pF	300			ns
t_{UI}	Px_CCy で送信中のデータ ビットのユニット間隔		3.03		3.7	µs
レシーバ						
C_{CC}	Px_CCy のレシーバ容量(2)	レシーバ モードで CC ピンに流れ込む容量			100	pF
tRxFilter (1)	Rx 帯域幅制限フィルタ。広帯域ノイズの侵入を制限するための単極フィルタの時定数		100			ns

Copyright © 2026 Texas Instruments Incorporated

6.12 CC の PHY 特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{RX_SRC}	レシーバ コンパレータの Px_CCy のスレッショルド	ソース モード (立ち上がり)	775	825	875	mV
		ソース モード (立ち下がり)	500	550	600	

(1) 広帯域ノイズの侵入は、ケーブル相互接続のカップリングに起因します。
(2) C_{CC} には、ピンが BMC データを受信するように構成されている場合の Px_CCy ピンの内部容量のみが含まれます。USB-PD 仕様 (cReceiver) に準拠する必要のある最小容量を満たすには、外部容量が必要です。したがって、C_{Px_CCy} を外部に追加することが推奨されます。

6.13 サーマル シャットダウンの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{SD}	温度シャットダウン スレッショルド	温度上昇	140	158.5	175	°C
		温度低下	125	143.5	162	°C
		ヒステリシス		15		°C
T_{SD_PP}	ポートの各パワー パスの温度制御シャットダウン スレッショルド。	温度上昇	125	145	165	°C
		温度低下	110	130	150	°C
		ヒステリシス		15		°C

6.14 発振器の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{OSC_24M}	24MHz 発振器		22.5	24	25.2	MHz

6.15 ADC の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
LSB	最下位ビット	3.6V 最大スケーリング、3 の分圧器		3.52		mV
		6.0V 最大スケーリング、5 の分圧器		5.86		mV
		51.2V 最大スケーリング、42.7 の分圧器		50		mV
		(1) を参照		0.45		°C
GAIN_ERR	ゲイン誤差 (入力分周器を含む)	$0.05V \le V_{GPIOx} \le V_{LDO_3V3}$	-2.7		2.7	%
		$2.7V \le V_{LDO_3V3} \le 3.6V$	-2.4		2.4	
		$85^oC \le T_J \le 125^oC$	-12		12	
		$0.15V \le V_{Px_CCy} \le 5.5V$	-3		3	
		$7V \leqq V_{IN} \leqq 31V$	-2.1		2.1	
		$0.6V \le V_{Px_VBUS} \le 31V$	-2.1		2.1	

Copyright © 2026 Texas Instruments Incorporated

6.15 ADC の特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
VOS_ERR	オフセット誤差 (入力ピンを基準とする)	$0.05V \le V_{GPIOx} \le V_{LDO_3V3}$	-12.3		12.3	mV
		$2.7V \le V_{LDO_3V3} \le 3.6V$	-12.3		12.3	mV
		$85^oC \le T_J \le 125^oC$	-2		2	°C
		$0.15V \le V_{Px_CCy} \le 5.5V$	-20.5		20.5	mV
		$7V \leqq V_{IN} \leqq 31V$	-175		175	mV
		$0.6V \le V_{Px_VBUS} \le 31V$	-175		175	mV

(1) 温度 (°C) = (ADC データ - 650) * 0.45 + 25

6.16 液体検出の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{LQD}	Px_LQD での弱いプルアップ	$V_{PP5V} \ge 4.5V$、$0 < V_{Px_LQD} < 2.0V$、I_{Px_LQD} を測定		40		μA
	Px_LQD での強いプルアップ	$V_{PP5V} \ge 4.5V$、$0 < V_{Px_LQD} < 2.0V$、I_{Px_LQD} を測定		80		
	Px_LQD での強いプルアップ	$V_{PP5V} \ge 4.5V$、$0 < V_{Px_LQD} < 2.0V$、I_{Px_LQD} を測定		160		

Copyright © 2026 Texas Instruments Incorporated

6.16 液体検出の特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{LQD}	Px_LQD コンパレータのスレッショルド (立ち上がり)	設定 0		0.200		V
		設定 1		0.225		
		設定 2		0.250		
		設定 3		0.275		
		設定 4		0.300		
		設定 5		0.325		
		設定 6		0.350		
		設定 7		0.500		
		設定 8		0.700		
		設定 9		0.800		
		設定 10		0.850		
		設定 11		0.900		
		設定 12		0.950		
		設定 13		1.000		
		設定 14		1.050		
		設定 15		1.100		
		設定 16		1.150		
		設定 17		1.200		
		設定 18		1.250		
		設定 19		1.300		
		設定 20		1.350		
		設定 21		1.400		
		設定 22		1.450		
		設定 23		1.500		
		設定 24		1.550		
		設定 25		1.600		
		設定 26		1.650		
		設定 27		1.700		
		設定 28		1.750		
		設定 29		1.800		
		設定 30		1.850		
		設定 31		1.900		
V_{LQD_OVP}	Px_LQD での OVP スレッショルド	立ち上がり	6		9.5	V
V_{Px_LQD}	R_{LQD} および I_{LQD} が印加されたときの Px_LQD 電圧	R_{LQD}=5kΩ、I_{LQD}=80µA		0.4		V
		R_{LQD}=10kΩ、I_{LQD}=40µA		0.4		
		R_{LQD}=12.5kΩ、I_{LQD}=160µA		2.0		
		R_{LQD}=25kΩ、I_{LQD}=80µA		2.0		

Copyright © 2026 Texas Instruments Incorporated

6.16 液体検出の特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{LQD}	Px_LQD での弱いプルダウン	V_{Px_LQD}=0.4V、I_{LQD}=80µA		5		kΩ
		V_{Px_LQD}=0.4V、I_{LQD}=40µA		10		
		V_{Px_LQD}=2.0V、I_{LQD}=160µA		12.5		
		V_{Px_LQD}=2.0V、I_{LQD}=80µA		25		

6.17 入出力 (I/O) の特性 (P0_GPIOx)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力						
GPIO_VIH	P0_GPIOx High レベル入力電圧、V_{IO} = 3.3V に構成	V_{LDO_3V3} = 3.3V、0.7*V_{IO}	2.31			V
GPIO_VIL	P0_GPIOx Low レベル入力電圧、V_{IO} = 3.3V に構成	V_{LDO_3V3} = 3.3V、0.3*V_{IO}			0.99	V
GPIO_HYS	P0_GPIOx 入力ヒステリシス電圧、V_{IO} = 3.3V に構成	V_{LDO_3V3} = 3.3V、0.05*V_{IO}		0.15		V
GPIO_ILKG	P0_GPIOx リーク電流	V_{GPIOx}=V_{LDO_3V3}=3.3V、T_J≤85°C	-1		1	µA
出力						
GPIO_RPU	P0_GPIOx 内部プルアップ	プルアップ イネーブル		40		kΩ
GPIO_RPD	P0_GPIOx 内部プルダウン	プルダウン イネーブル		40		kΩ
GPIO_VOH	P0_GPIOx の出力 High 電圧	V_{LDO_3V3} = 3.3V、I_{GPIOx}=2mA	2.64			V
GPIO_VOL	P0_GPIOx の出力 Low 電圧	V_{LDO_3V3} = 3.3V、I_{GPIOx}=2mA			0.4	V

6.18 入出力 (I/O) の特性 (P1_GPOx)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
GPIO_ILKG	GPIOx リーク電流、GPIO_RPU および GPIO_RPD ディスエーブル	V_{GPIOx} = V_{LDO_3V3}	-1		1	µA
		V_{GPIOx} = 5.5V、V_{LDO_3V3} = 3.3V (x=1、2、5 ～ 8 にのみ適用されます)	-1		1	
出力						
GPIO_RPU	GPIOx 内部プルアップ	プルアップ イネーブル		100		kΩ
GPIO_RPD	GPIOx 内部プルダウン	プルダウン イネーブル		100		kΩ
GPIO_VOH	GPIOx 出力 High 電圧	V_{LDO_3V3} = 3.3V、I_{P1_GPOx}= -2mA	2.9			V
GPIO_VOL	GPIOx 出力 Low 電圧	V_{LDO_3V3} = 3.3V、I_{P1_GPOx}= 2mA			0.4	V
代替機能						
V_{ENSD_THLD}	ENSD 機能の入力スレッショルド	立ち上がり		0.66		V
		立ち下がり		0.56		
		ヒステリシス		0.1		
T_{ENSD_DEG}	ENSD 入力のグリッチ除去時間	ENSD が Low とみなされるために、この時点で V_{ENSD} < V_{ENSD_THLD} は一定			300	µs

Copyright © 2026 Texas Instruments Incorporated

6.19 I2C の要件と特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SDA と SCL の共通特性 (コントローラ、ターゲット)						
I_{OL}	最大出力低電流	V_{OL} = 0.4V	10	17.3		mA
I_{OL}	最大出力低電流	V_{OL} = 0.6V	15	23.6		mA
t_f	0.7*V_{IO} ～ 0.3*V_{IO} の立ち下がり時間	C_b = 10pF、Rp=14kΩ	0.3		120	ns
		C_b = 400pF、Rp=330Ω	12		120	ns
t_{SP}	I2C パルス幅抑制				50	ns
C_I	ピン容量 (内部)				10	pF
C_b	各バス ラインの容量性負荷 (外部)				400	pF
SDA および SCL 標準モードの特性 (ターゲット)						
f_{SCL}	クロック周波数				100	kHz
$t_{VD;DAT}$	有効データ時間	データの送信、SCL Low から SDA 出力有効まで			3.45	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データの送信、SCL Low から SDA (出力) Low への ACK 信号			3.45	µs
SDA および SCL 高速モードの特性 (ターゲット)						
f_{SCL}	クロック周波数		100		400	kHz
$t_{VD;DAT}$	有効データ時間	データの送信、SCL Low から SDA 出力有効まで			0.9	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データの送信、SCL Low から SDA (出力) Low への ACK 信号			0.9	µs
SDA および SCL 高速モード プラスの特性 (ターゲット)						
f_{SCL}	クロック周波数		400		1000	kHz
$t_{VD;DAT}$	有効データ時間	データの送信、SCL Low から SDA 出力有効まで			0.45	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データの送信、SCL Low から SDA (出力) Low への ACK 信号			0.45	µs
SDA および SCL 標準モードの特性 (コントローラ)						
f_{SCL}	コントローラのクロック周波数(1)			90		kHz
$t_{HD;STA}$	START または反復 START 条件のホールド時間		4			µs
$t_{HD;DAT}$	シリアル データのホールド時間 (コントローラ モード)		0	7.7		ns
t_{LOW}	クロック Low 時間		4.7			µs
t_{HIGH}	クロック High 時間		4			µs
$t_{SU;STA}$	START または反復 START 条件のセットアップ時間		4.7			µs
$t_{SU;DAT}$	シリアル データのセットアップ時間	送信	250			ns
$t_{SU;STO}$	STOP 条件のセットアップ時間		4			µs
t_{BUF}	STOP と START 間のバス フリー時間		4.7			µs
$t_{VD;DAT}$	有効データ時間	データの送信、SCL Low から SDA 出力有効まで			3.45	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データの送信、SCL Low から SDA (出力) Low への ACK 信号			3.45	µs
SDA および SCL 高速モードの特性 (コントローラ)						

Copyright © 2026 Texas Instruments Incorporated

6.19 I2C の要件と特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SCL}	コントローラのクロック周波数(1)			325		kHz
$t_{HD;STA}$	START または反復 START 条件のホールド時間		0.6			µs
$t_{HD;DAT}$	シリアル データのホールド時間 (コントローラ モード)		0	3.9		ns
t_{LOW}	クロック Low 時間		1.3			µs
t_{HIGH}	クロック High 時間		0.6			µs
$t_{SU;STA}$	START または反復 START 条件のセットアップ時間		0.6			µs
$t_{SU;DAT}$	シリアル データのセットアップ時間	送信	100			ns
$t_{SU;STO}$	STOP 条件のセットアップ時間		0.6			µs
t_{BUF}	STOP と START 間のバス フリー時間		1.3			µs
$t_{VD;DAT}$	有効データ時間	データの送信、SCL Low から SDA 出力有効まで			0.9	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データの送信、SCL Low から SDA (出力) Low への ACK 信号			0.9	µs
SDA および SCL 高速モード プラスの特性 (コントローラ)						
f_{SCL}	コントローラのクロック周波数(1)			708		kHz
$t_{HD;STA}$	START または反復 START 条件のホールド時間		0.26			µs
$t_{HD;DAT}$	シリアル データのホールド時間 (コントローラ モード)		0	3.2		ns
t_{LOW}	クロック Low 時間		0.5			µs
t_{HIGH}	クロック High 時間		0.26			µs
$t_{SU;STA}$	START または反復 START 条件のセットアップ時間		0.26			µs
$t_{SU;DAT}$	シリアル データのセットアップ時間	送信	50			ns
$t_{SU;STO}$	STOP 条件のセットアップ時間		0.26			µs
t_{BUF}	STOP と START 間のバス フリー時間		0.5			µs
$t_{VD;DAT}$	有効データ時間	データの送信、SCL Low から SDA 出力有効まで			0.45	µs
$t_{VD;ACK}$	ACK 条件の有効データ時間	データの送信、SCL Low から SDA (出力) Low への ACK 信号			0.45	µs

(1) 実際の周波数は、バス容量に依存します。

6.20 UART

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボー レートに等しい)				12	MHz

Copyright © 2026 Texas Instruments Incorporated

6.21 SYNC 出力

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SYNC_NOM}	Px_SYNC 出力の公称周波数		0.1		2.2	MHz
N_{SYNC_NOM}	構成可能な公称 SYNC 周波数: $f_{SYNC_NOM} = f_{OSC_24M} / N_{SYNC_NOM}$。		1		255	
f_{SYNC_SWING}	Px_SYNC 出力の周波数スイング		-10		10	%
N_{MOD}	構成可能な変調周波数: $f_{MOD} = 6000/N_{MOD}$。		461		666	
f_{MOD}	Px_SYNC 出力の変調周波数。		9		13	kHz

6.22 PWM タイマ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
N_{PWM}	PWM カウンタの最大ビット数			13		ビット
T_{PWM_ON}	PWM サイクルのオン時間		0		0.341	ms
T_{PWM_TOTAL}	PWM サイクルの周期		0		0.341	ms
T_{PWM_PERIOD}	100% から 0% へ自動的に遷移して 100% に戻る PWM デューティ サイクルの周期を構成可能です。		0.082		2.6	s

6.23 フラッシュ メモリの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
サイズ						
	フラッシュ サイズ (バンクごと)			144		kB
	バンクの数			1		
電源						
IDD_{ERASE}	消去動作中の VDD からの電源電流	電源電流の差分			10	mA
IDD_{PGM}	書き込み動作中の VDD からの電源電流	電源電流の差分			10	mA
耐久性						
$NWEC_{(UPPER)}$	消去 / 書き込みサイクル耐久性 (フラッシュの残り)	-40℃ ≦ T_J ≦ 105℃	10			k サイクル
$NW_{(MAX)}$	セクタが消去されるまでのワード線あたりの書き込み動作回数 (1)				83	書き込み動作
保持						
t_{RET_105}	フラッシュ メモリのデータ保持	-40℃ ≦ T_J ≦ 105℃	11.4			年

(1) このパラメータは、ワード ラインの消去が必要になる前に、各ワード ラインに対して許可される最大書き込み回数を指定します。同じワード線への追加書き込みが必要な場合、ワード線あたりの書き込み動作の最大回数に達すると、セクタ消去が必要です。

Copyright © 2026 Texas Instruments Incorporated

6.24 ブート タイミング

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{BOOT}	LDO_3V3 が High になってから、ファームウェアが「APP」モードに移行するまでの時間			1.5		s
t_{TFU}	TBD の最大チャンク サイズを使用して I2C 経由で FW イメージを更新するために必要な時間	f_{SCL} = 1MHz (I2C1 または I2C4 を使用)		13		s
		f_{SCL} = 400kHz (I2C1 または I2C4 を使用)		14		
		f_{SCL} = 100kHz (I2C1 または I2C4 を使用)		27		

Copyright © 2026 Texas Instruments Incorporated

6.25 代表的特性

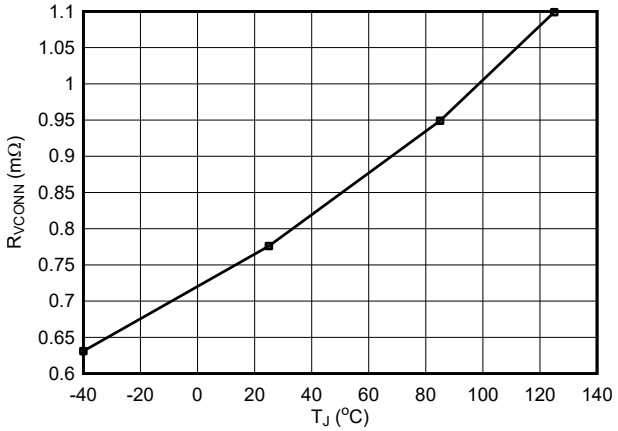


図 6-1. VCONN スイッチ抵抗

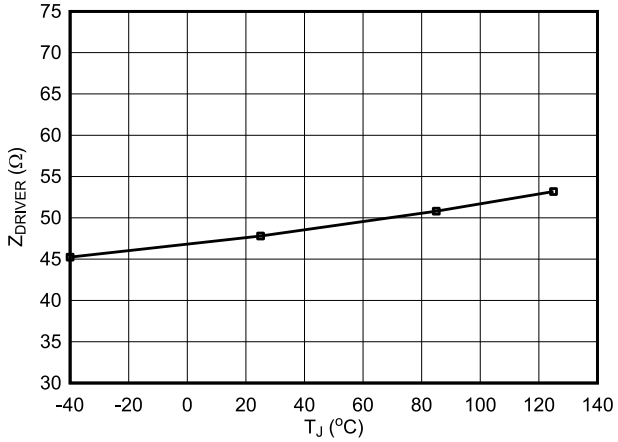


図 6-2. USB-PD PHY 送信インピーダンス

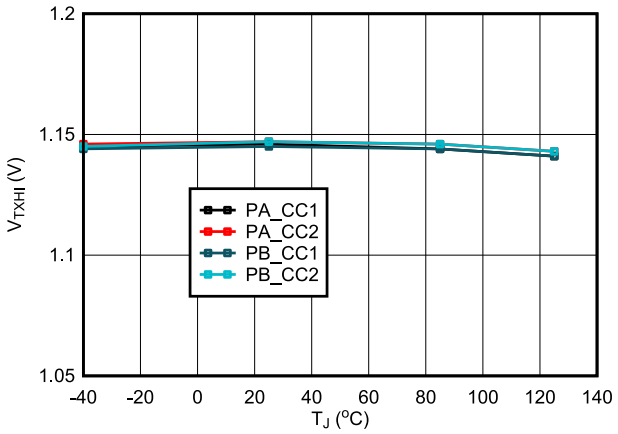


図 6-3. USB-PD PHY は高電圧を送信

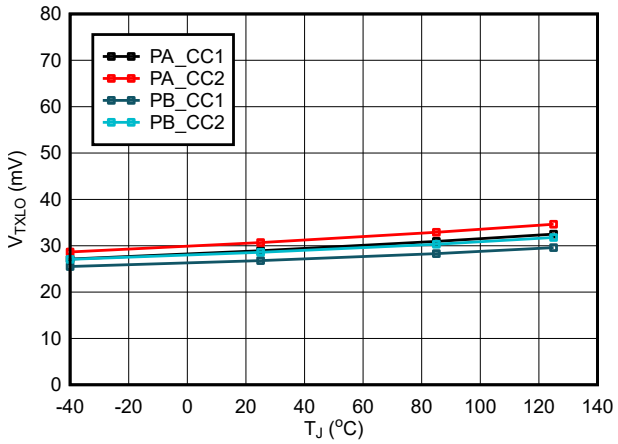


図 6-4. USB-PD PHY は低電圧を送信

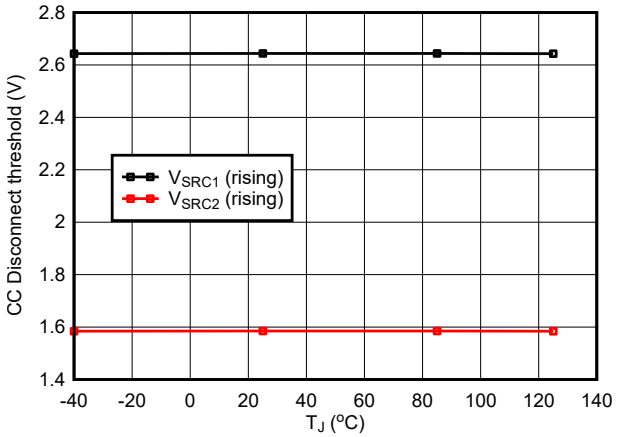


図 6-5. Px_CCy ピンの電圧スレッショルドを接続解除

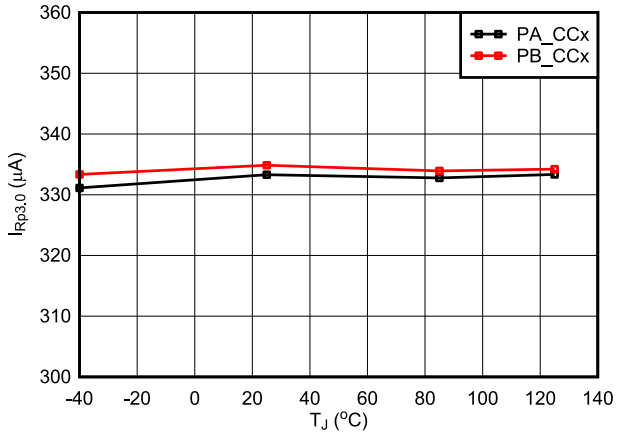


図 6-6. ケーブルの強度によって 3A をアドバタイズする電流源を検出

Copyright © 2026 Texas Instruments Incorporated

6.25 代表的特性 (続き)

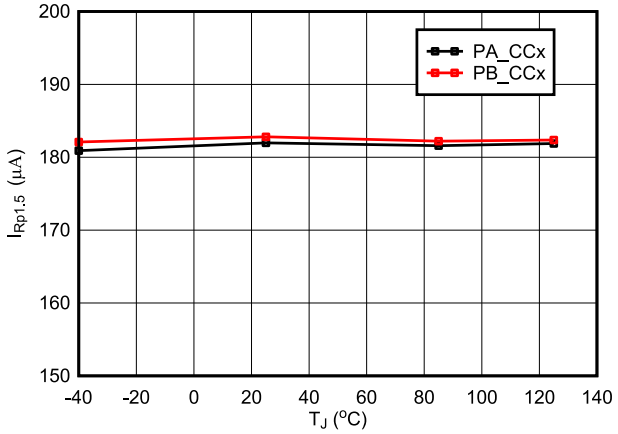


図 6-7. ケーブルの強度によって 1.5A をアドバタイズする電流源を検出

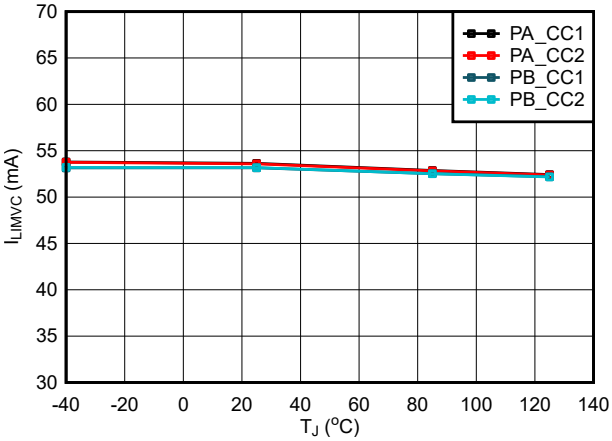


図 6-8. VCONN スイッチの電流制限。

7 パラメータ測定情報

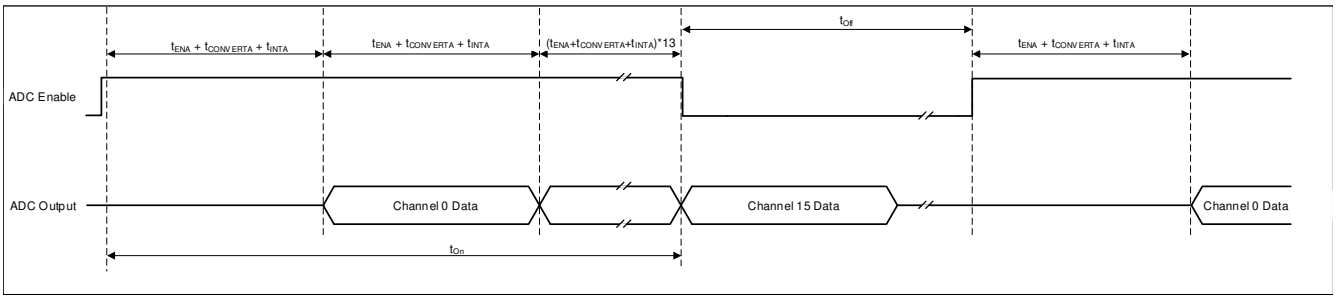


図 7-1. ADC ラウンドロビン変換タイミング

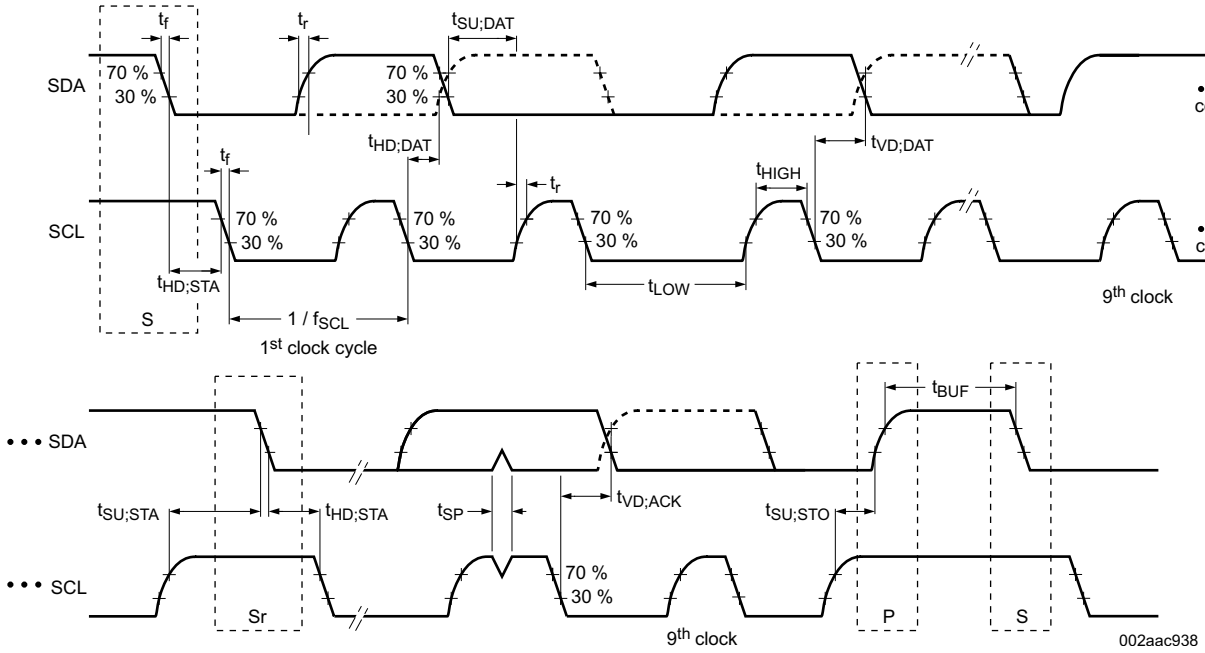


図 7-2. I²C ターゲット インターフェース タイミング

Copyright © 2026 Texas Instruments Incorporated

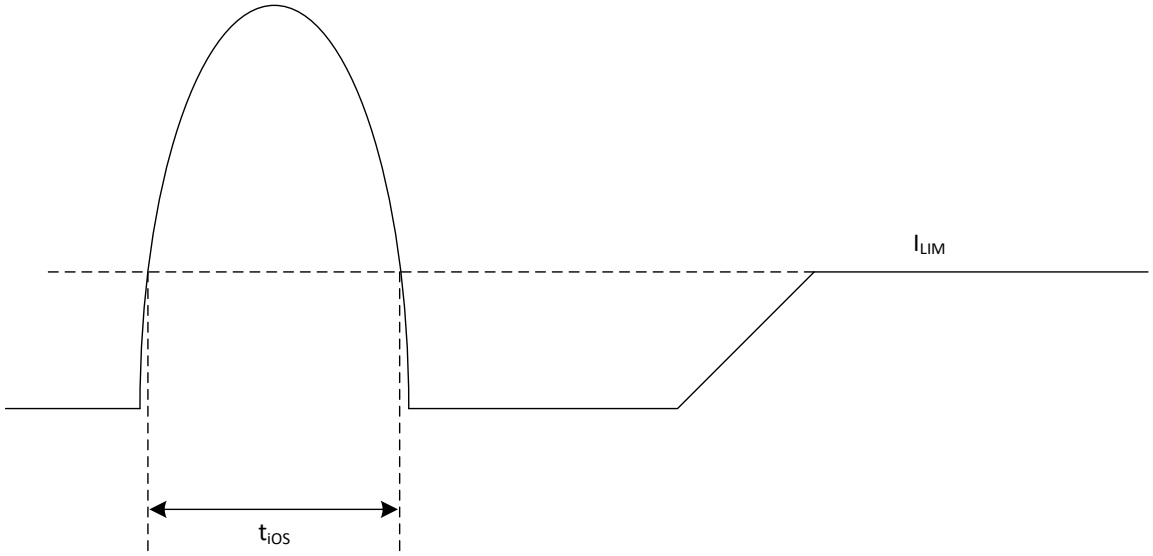


図 7-3. 内部パワー パスの短絡応答時間

8 詳細説明

8.1 概要

TPS26742E-Q1 は、2 つの USB Type-C コネクタのケーブル プラグと方向検出機能を備えた統合型 USB Type-C ソース パワー デリバリ (USB-PD) 管理デバイスです。TPS26742E-Q1 は、ケーブルの反対側にある別の USB Type-C および PD デバイスと通信し、供給される電力をネゴシエートします。TPS26742E-Q1 は、USB-C コネクタの VBUS に要求される電圧と電流を供給する外部電源 (例:DC/DC) を制御します。TPS26742E-Q1 は、eMarker 情報を読み取るために、VCONN をケーブルに供給できる内部 LDO を備えています。

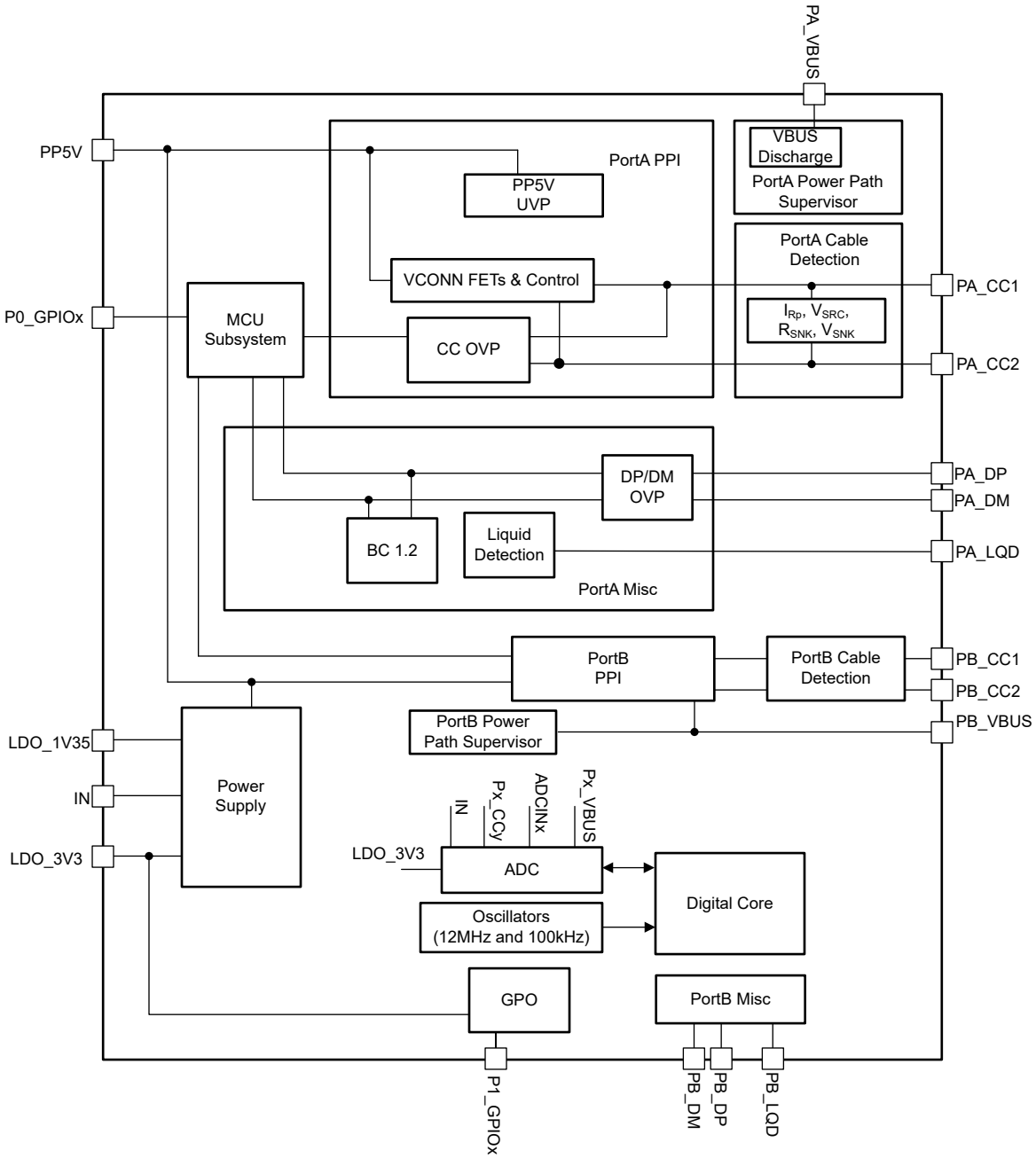
TPS26742E-Q1 によって制御される各 Type-C ポートは機能的に同じで、USB Type-C および PD 規格の全範囲をサポートしています。

TPS26742E-Q1 は、車載 USB-C アプリケーション向けに設計されたその他多くの機能を備えています。これらの詳細については、以下のサブセクションを参照してください。

- パワー フォールドバック
- サーマル フォールドバック
- 柔軟な GPIO
- 複数の PD コントローラ間でのシステム電力共有
- 出力信号の同期 (Px_SYNC)
- ローカル相互接続ネットワー (LIN) のサポート
- 液体検出
- BC 1.2
- パルス幅変調 (PWM)

Copyright © 2026 Texas Instruments Incorporated

8.2 機能ブロック図


PA_VBUS
PP5V
PortA PPI
PP5V UVP
VBUS Discharge
PortA Power Path Supervisor
PortA Cable Detection
VCONN FETs & Control
PA_CC1
P0_GPIOx
MCU Subsystem
CC OVP
IRp, VSRC, RSNK, VSNK
PA_CC2
DP/DM OVP
PA_DP
PA_DM
BC 1.2
Liquid Detection
PA_LQD
PortA Misc
PortB PPI
PortB Cable Detection
PB_CC1
PB_CC2
PortB Power Path Supervisor
PB_VBUS
LDO_1V35
IN
Power Supply
LDO_3V3
IN
Px_CCy
ADCINx
Px_VBUS
LDO_3V3
ADC
Digital Core
Oscillators (12MHz and 100kHz)
GPO
PortB Misc
P1_GPIOx
PB_DM
PB_DP
PB_LQD

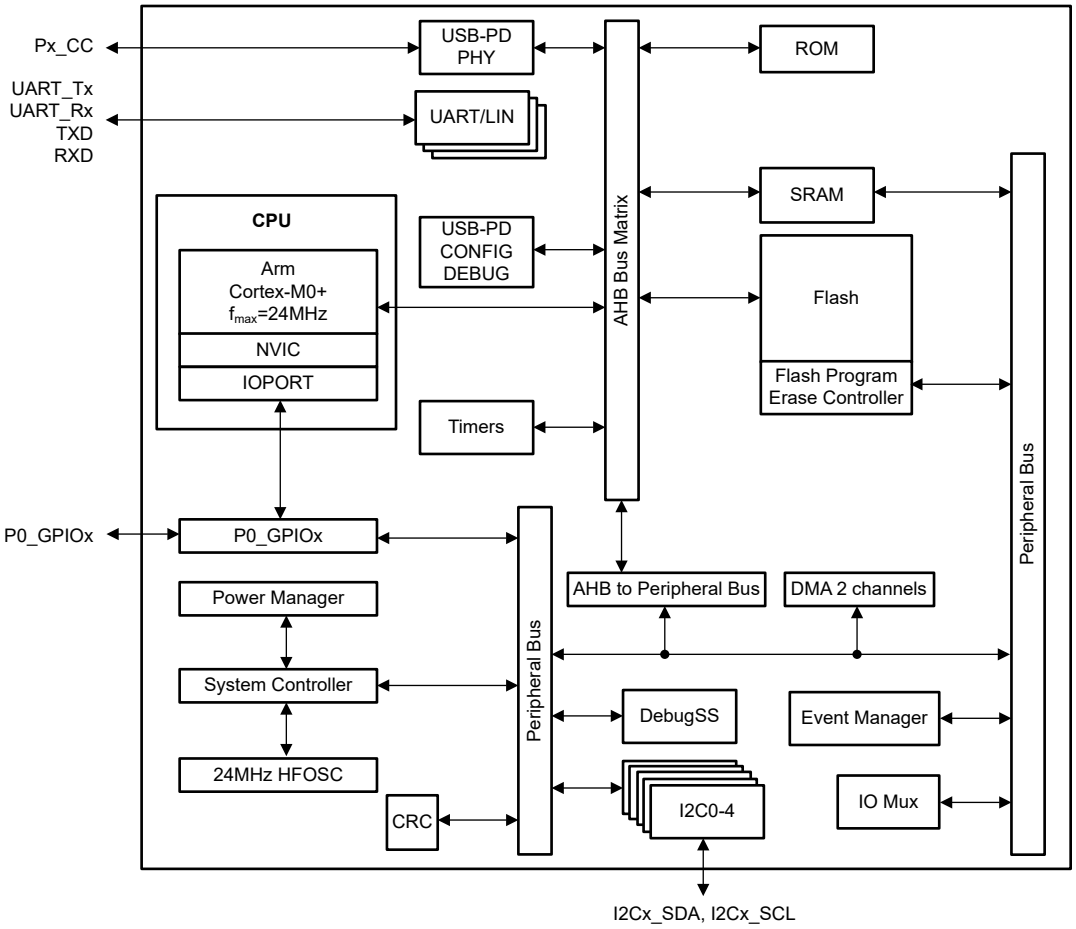


図 8-1. MCU サブシステム

8.3 機能説明

8.3.1 電源

TPS26742E-Q1 パワー マネージメント ブロックは、電力を受け取り、TPS26742E-Q1 内部回路に電力を供給する電圧を生成します。生成される電源レールは、PP5V、LDO_3V3、LDO_1V35 です。LDO_3V3 は低消費電力出力を提供します。供給に必要な電源を提供し、eMarker の読み取りにも使用されます。図 8-2 に、電源経路を示します。

内部 LDO を使用して PP5V レールを IN ピンから生成する場合、以下の 2 つの機能領域があります。

1. 機能クラス A (ISO 16750-1) IN 電圧が 4.5V 以上の場合、TPS26742E-Q1 は電気的特性に基づき完全な機能を発揮します。
2. TPS26742E-Q1 機能クラス B (ISO 16750-1) の条件下では、IN 電圧が 3.5V 以上 4.5V 未満の範囲にある場合、このデバイスは通常どおり動作しますが、電気的特性で規定されたリミットは保証されません。IN が UVLO しきい値を下回ると、TPS26742E-Q1 がリセットされることに注意してください。

Copyright © 2026 Texas Instruments Incorporated

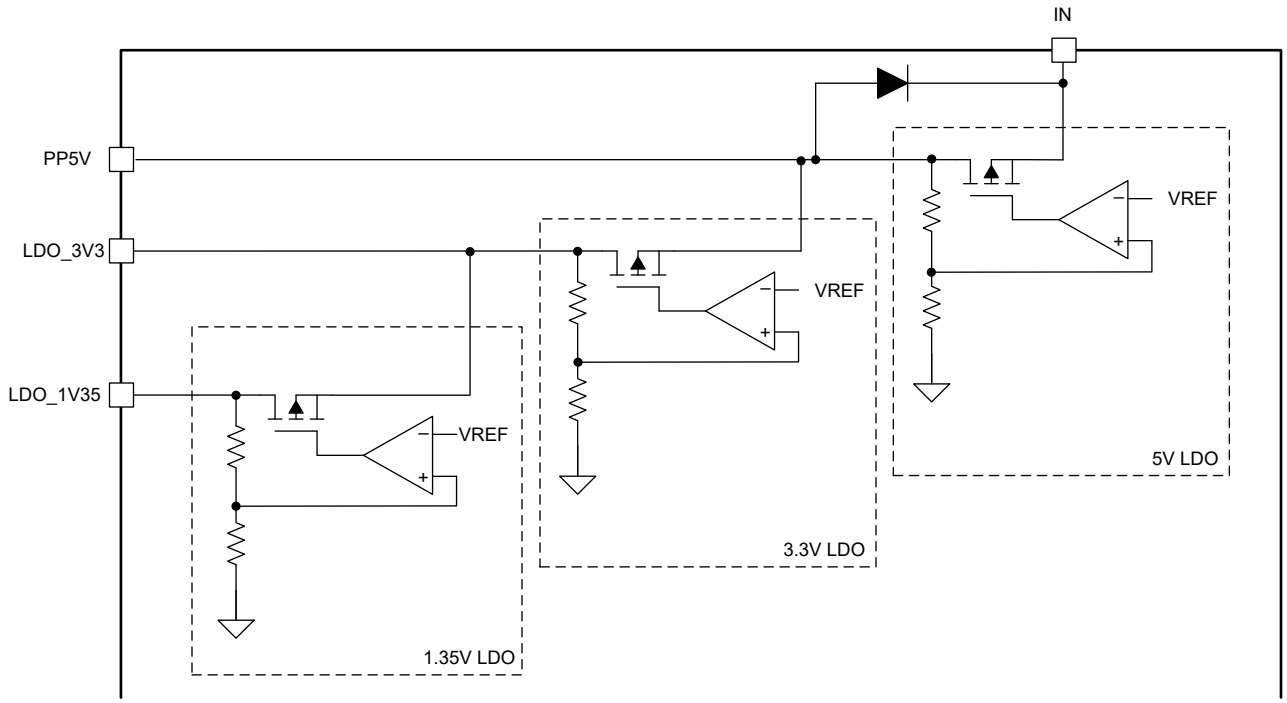


図 8-2. 電源

8.3.1.1 パワーオンおよび監視機能

パワーオン リセット (POR) 回路は、各電源を監視します。この POR により、良好な電源が存在するときのみにアクティブ回路をオンにできます。

8.3.2 ケーブル接続および方向の検出

下図は、各 Px_CCy ピンのプラグおよび方向検出ブロックを示しています。各ピンには同じ検出回路があります。モードに応じて、この TPS26742E-Q1 は適切な終端 (I_{Rp}, R_{SNK}, R_a、またはなし) を有効にし、Upper、Mid、および／または Lower モニタを介して対応する電圧スレッショルドを監視し、各 CC ピンの状態 (SRC.Open、SRC.Rd、SRC.Ra、SNK.Rp、または SNK.Open) を判定します。各 CC ピンの状態は、次節で説明する機能を実装するために使用されます。

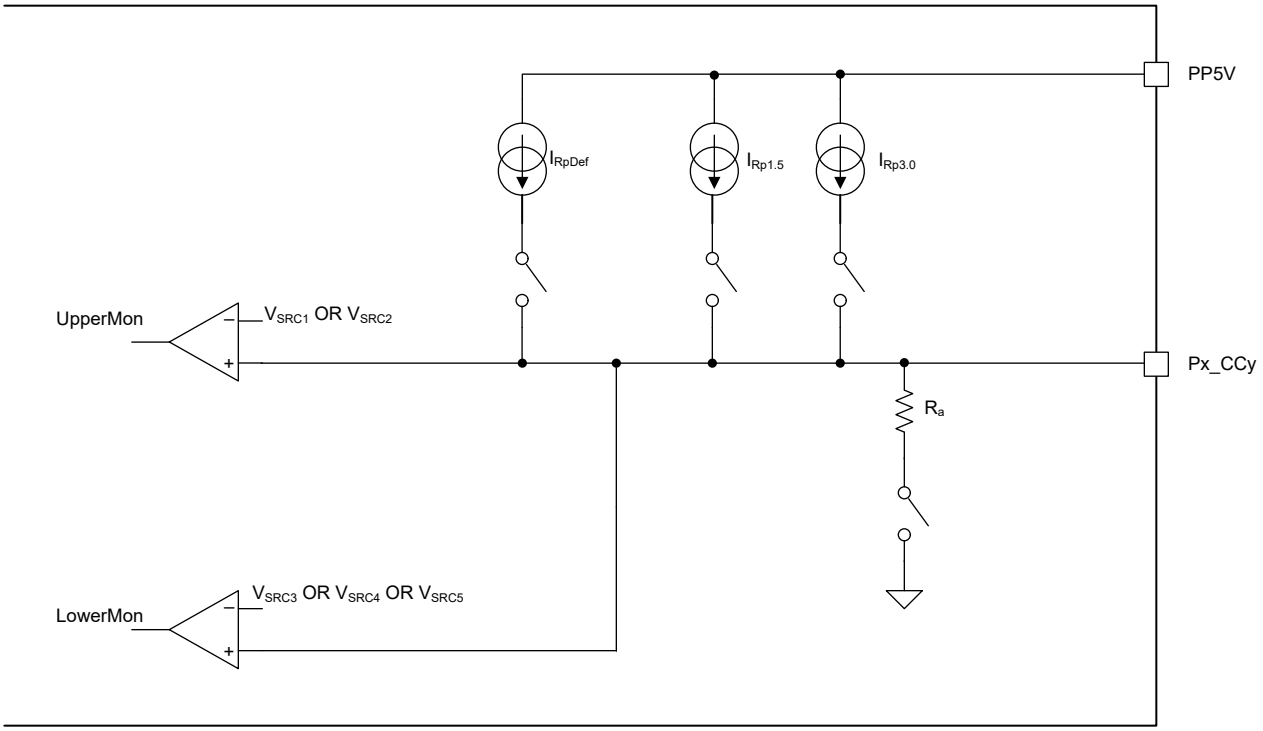


図 8-3. プラグおよび方向検出ブロック

8.3.2.1 ソースとして構成

ソースとして構成されている場合、TPS26742E-Q1 は Px_CC1 および Px_CC2 ピンを使用して、ケーブルまたはシンクが接続されていることを検出します。接続解除状態の場合、TPS26742E-Q1 はこれらのピンの電圧を監視して、接続されているものがあるかどうかを判断します。詳細については、「USB Type-C 仕様」を参照してください。

表 8-1 に、ソースのケーブル検出の状態を示します。図 8-4 に、CC 電圧スレッショルドを使用してさまざまな状態を検出する方法を示します。

表 8-1. ソースのケーブル検出の状態

CC1	CC2	接続状態	結果として生じるアクション
SRC.Open	SRC.Open	接続なし	両方の CCy ピンが接続されているかどうかを引き続き監視します。VBUS または VCONN に電力が供給されません。
SRC.Rd	SRC.Open	シンク接続	CC1 の取り外しを監視します。VBUS に電源が印加されます。一部のケースでは、VCONN にも電源が印加されます。
SRC.Open	SRC.Rd	シンク接続	CC2 の取り外しを監視します。VBUS に電源が印加されます。一部のケースでは、VCONN にも電源が印加されます。
SRC.Ra	SRC.Open	アクティブ ケーブル - UFP 未接続	シンク接続のために CC2 を、ケーブル切り離しのために CC1 を監視します。VBUS または VCONN に電力が供給されません。
SRC.Open	SRC.Ra	アクティブ ケーブル - UFP 未接続	シンク接続のために CC1 を、ケーブル切り離しのために CC2 を監視します。VBUS または VCONN に電力が供給されません。
SRC.Ra	SRC.Rd	アクティブ ケーブル - UFP 接続	VBUS と VCONN (CC1) に電源を投入し、CC2 のシンク取り外しを監視します。CC1 の取り外しは監視されません。
SRC.Rd	SRC.Ra	アクティブ ケーブル - UFP 接続	VBUS と VCONN (CC2) に電源を投入し、CC1 のシンク取り外しを監視します。CC2 の取り外しは監視されません。
SRC.Rd	SRC.Rd	デバッグ アクセサリ モード接続	CCy ピンの取り外しを検出します。
SRC.Ra	SRC.Ra	腐食軽減	CCy ピンの取り外しを検出します。

Copyright © 2026 Texas Instruments Incorporated

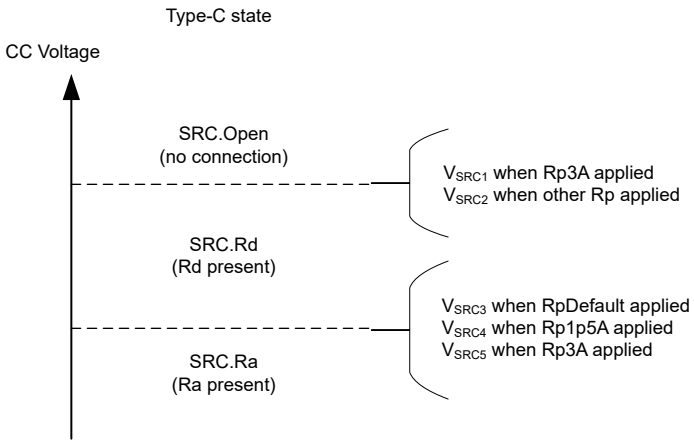


図 8-4. ソース モードにおけるケーブル検出スレッショルドの図

TPS26742E-Q1 ポートがソースとして構成されている場合、電流 $I_{Rp,Def}$ が各 CCy ピンから追い払われ、各ピンの異なる状態が監視されます。シンクがこのピンに接続されている場合、シンクは GND に対して Rd のプルダウン抵抗を印加します。次に、電流 $I_{Rp,Def}$、$I_{Rp3.0A}$、または $I_{Rp1.5A}$ が抵抗 Rd の両端に強制され、CCy ピンに電圧が生成されます。

CCy ピンがアクティブ ケーブルの VCONN 入力に接続されている場合、プルダウン抵抗値が異なる（Ra）ため、CCy ピンの電圧はより低くなります。TPS26742E-Q1 は、その低い電圧をアクティブ ケーブルとして認識します。

どちらの Rp 電流源がアクティブであるかに応じて、CCy の電圧が監視され、取り外しが検出されます。接続が認識され、その後 CCy の電圧が t_{CC} の接続解除スレッショルドを上回ると、TPS26742E-Q1 は接続解除を検出します。

8.3.3 VCONN パワー パス

図 8-5 に示されているように、TPS26742E-Q1 は、Px_VCONN と呼ばれる 5V VCONN ソースパワー パスを内蔵しています。各パスには、プログラム可能な電流クランプ保護 (I_{LIMVC})、過電圧保護 (OVP)、UVLO 保護、逆電流保護 (RCP)、過熱保護 (OTSD) が含まれています。

Px_VCONN スイッチが無効になると、パラメータ t_{VCRISE} および t_{VCON} に基づくスルーレート制御でオンになります。

Px_VCONN スイッチが無効になると、パラメータ t_{VCFALL} および t_{VCOFF} に基づくスルーレート制御でオフになります。フォルト イベントのターンオフ時間は、別に規定されます。

- RCP フォルト イベント：t_{VC_RCP}
- PP5V OVP フォルト イベント：t_{VC_OVP}
- PP5V UVLO フォルト イベント：t_{VC_UVLO}

eMarker を使用する場合のみ、IN ピンからの内部 LDO を設定することで、PP5V ピンに十分な電流を供給します。

Copyright © 2026 Texas Instruments Incorporated

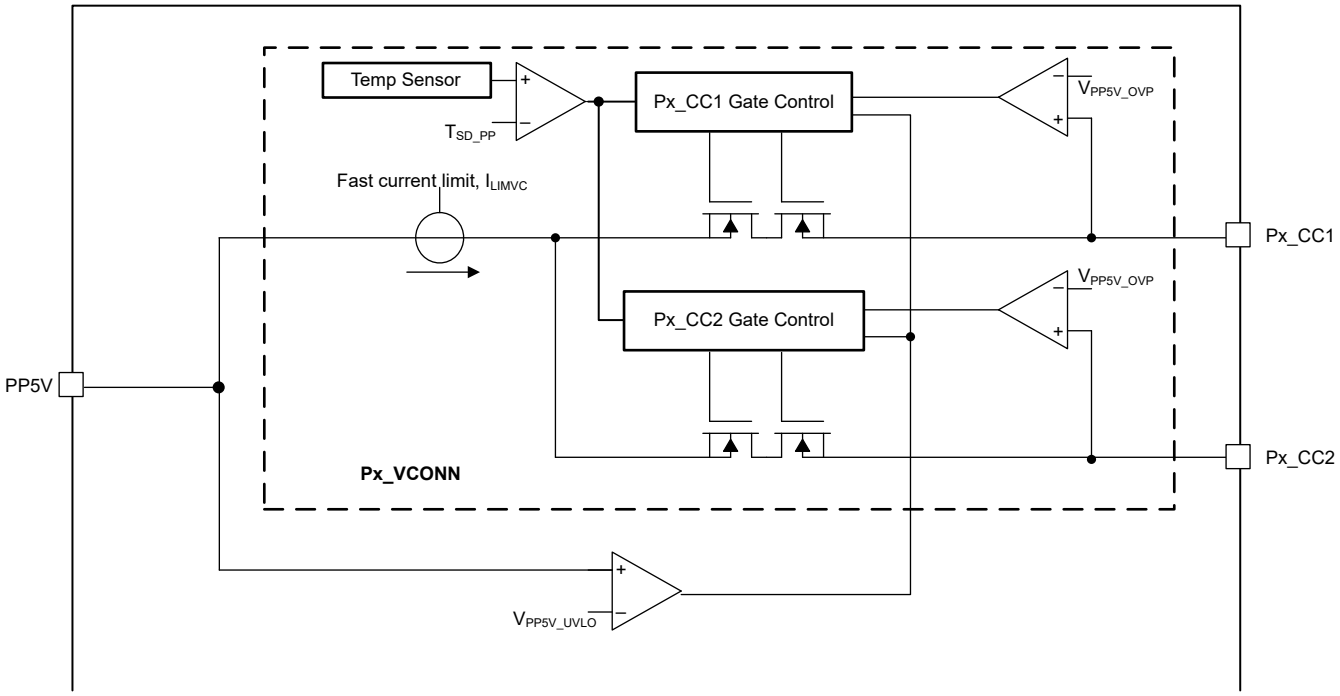


図 8-5. Px_VCONN パワー パス

8.3.3.1 電流クランプ

イネーブルになっている場合に VCONN に電力を供給すると、TPS26742E-Q1 Px_VCONN パワー スイッチは電流を I_{ILIMVC} にクランプします。Px_VCONN スイッチを流れる電流が I_{ILIMVC} を超えると、電流クランプ回路は t_{iOS_VCONN} 内でアクティブになり、スイッチは定電流源として動作します。

8.3.3.2 Px_VCONN ローカル過熱シャットダウン(OTSD)

Px_VCONN が電流をクランプすると、スイッチの温度が上昇を開始します。Px_VCONN のローカル温度センサが $T_J > T_{SD_PP}$ を検出すると、t_{VCOFF} 内で Px_VCONN スイッチが無効になります。ポートは、USB Type-C ErrorRecovery 状態になります。

8.3.3.3 Px_VCONN OVP

Px_VCONN の出力 (Px_CC1 または Px_CC2 ピン) には、固定スレッショルドのある OVP コンパレータがあります。Px_VCONN がイネーブルの間に OVP が検出されると ($V_{Px_CCy} > V_{PP5V_OVP}$)、Px_VCONN は t_{VC_OVP} 内で無効になり、ポートは Type-C ErrorRecovery 状態になります。

8.3.3.4 Px_VCONN UVLO

Px_VCONN がイネーブルの間に PP5V ピンの電圧が低電圧ロックアウト スレッショルド (V_{PP5V_UVLO}) を下回ると、Px_VCONN は t_{VC_UVLO} 内で無効になり、ポートは Type-C ErrorRecovery 状態になります。

8.3.3.5 Px_VCONN RCP

Px_VCONN パスがイネーブルの間に、逆電流が検出されると ($V_{Px_CCy} - V_{PP5V}$) > V_{VC_RCP}、それは t_{VC_RCP} 内で無効になります。RCP 状態がクリアされると、Px_VCONN パスは t_{VCON} 内で自動的に有効になります。

8.3.4 USB-PD 物理層

図 8-6 に、アナログ プラグおよび方向検出ブロックの簡略バージョンで囲まれた USB PD 物理層ブロックを示します。このブロックは、2 番目の TPS26742E-Q1 ポートに複製されます。

Copyright © 2026 Texas Instruments Incorporated

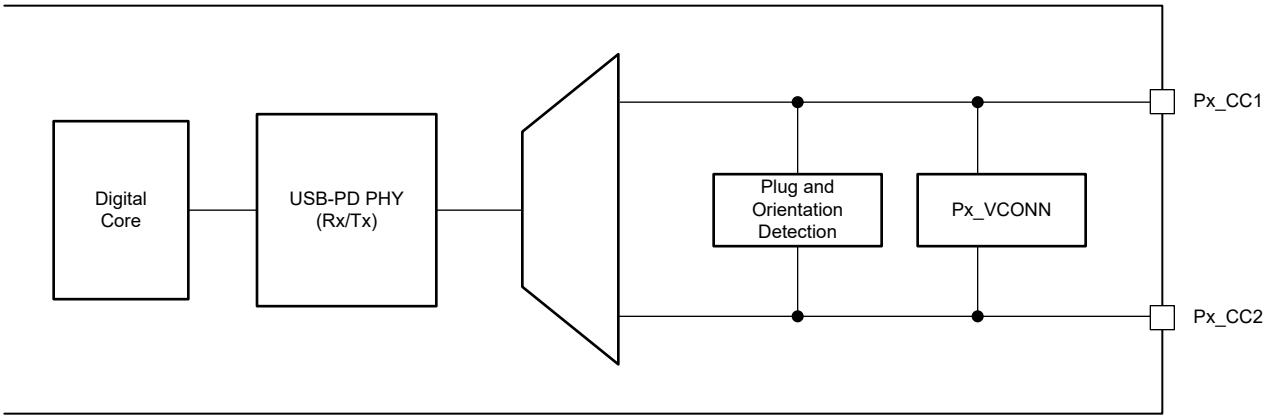


図 8-6. USB-PD 物理層およびプラグと方向の簡素検出回路

USB-PD メッセージ は、BMC 信号を使用して、USB Type-C システムで送信されます。BMC 信号は、Rp (または Rd) ケーブル接続メカニズムによって DC バイアスされた同じピン (Px_CC1 または Px_CC2) に出力されます。

8.3.4.1 USB-PD エンコードと信号処理

図 8-7 に、ベースバンド USB-PD トランスミッタの概略ブロック図を示します。図 8-8 に、ベースバンド USB-PD レシーバのハイレベル ブロック図を示します。

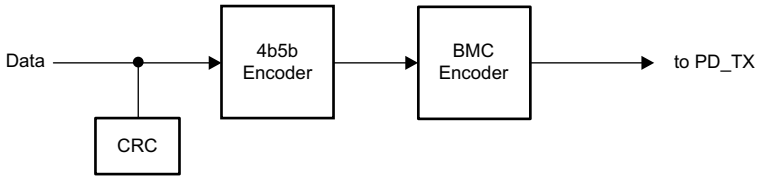


図 8-7. USB-PD ベースバンド トランスミッタのブロック図

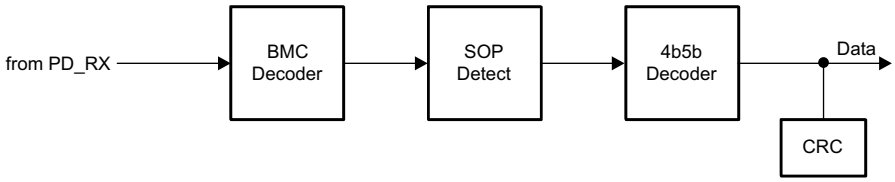


図 8-8. USB-PD ベースバンド レシーバのブロック図

8.3.4.2 USB-PD バイフェーズ マーク コーディング

TPS26742E-Q1 に実装されている USB-PD 物理層は、「*USB-PD 仕様*」に準拠しています。ベースバンド PD 信号に使用されるエンコード方式は、バイフェーズ マーク コーディング (BMC) と呼ばれるマンチェスタ符号のバージョンです。このコードでは、各ビット時間の開始時に遷移が発生し、1 が送信されるビット期間の中間に、2 番目の遷移が発生します。このコーディング方式は、DC 平衡に近いもので、格差が限定されています (任意のパケットの 1/2 ビットに限定されるため、DC レベルは非常に低くなります)。図 8-9 に、バイフェーズ マーク コーディングを示します。

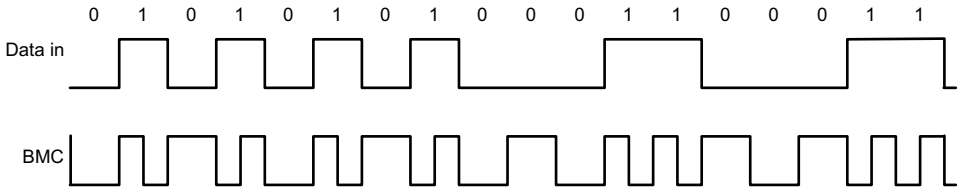


図 8-9. バイフェーズ マーク コーディングの例

USB PD ベースバンド信号は、トライステートドライバで Px_CC1 または Px_CC2 ピンに駆動されます。トライステートドライバはスルーレート制御され、D+/D- および Type-C フル機能ケーブル内の他の信号ラインへの結合を制限します。USB-PD プリアンブルを送信すると、トランスミッタは Low レベルを送信して開始します。もう一方の端のレシーバは、最初のエッジの損失を許容します。トランスミッタは最終ビットをエッジ分だけ終了し、レシーバが EOP の最終ビットにクロックを供給できるようにします。

8.3.4.3 USB-PD BMC トランスミッタ

TPS26742E-Q1 は、特定の CC ピン ペア (USB Type-C ポートごとに 1 ペア) について、Px_CC1 または Px_CC2 ピンのいずれかを介して USB-PD デ ータを送受信します。Px_CC1 または Px_CC2 ピンは、ケーブルの向きを決定し、ケーブルとデバイスの接続検出を維持するためにも使用されます。したがって、Px_CCy ピンに DC バイアスが存在します。トランスミッタ ドライバは、送信中に Px_CCy DC バイアスをオーバードライブしますが、ハイ インピーダンス状態に戻り、送信していないときに DC 電圧を Px_CCy ピンに戻すことができます。ケーブルの極性に応じて、Px_CC1 または Px_CC2 のいずれかが送受信用に使用されます。 1 回の接続では、プラグの CC ピンと接続される側のみが使用され、Px_CC1 と Px_CC2 の間で動的な切り替えは行われません。図 8-10 に、USB-PD BMC TX および RX ドライバのブロック図を示します。

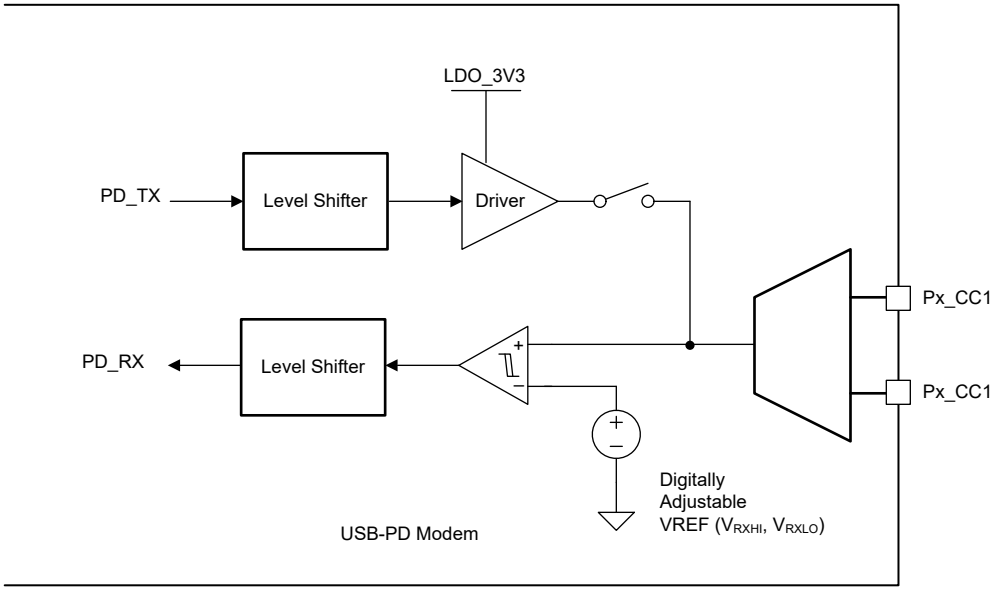


図 8-10. USB-PD BMC TX/Rx のブロック図

図 8-11 に、DC バイアスに加えて、BMC データの送信を示します。ここに示す DC バイアスは例にすぎないことに注意してください。実際の DC バイアスは、シンク接続を検出するための最小スレッショルドと最大スレッショルドの間で変化します。

Copyright © 2026 Texas Instruments Incorporated

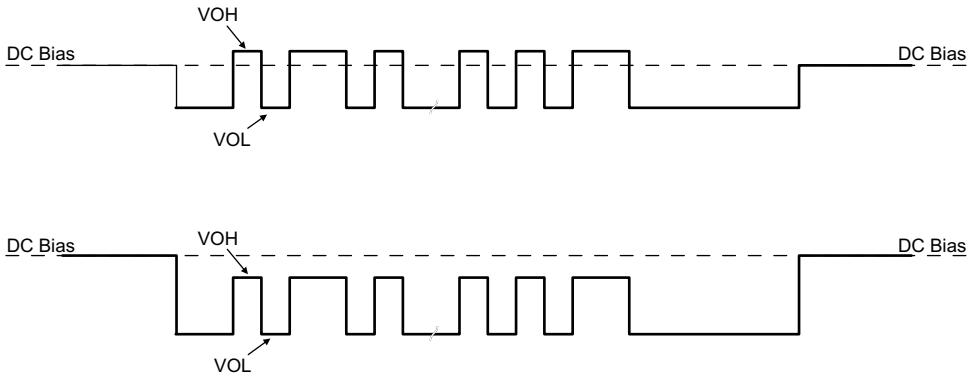


図 8-11. DC バイアスでの TX ドライバの送信

トランスミッタは、Px_CC1 または Px_CC2 ピンにデジタル信号を駆動します。信号ピーク V_{TXHI} は、「*USB-PD 仕様*」で定義されている TX マスクを満たすように設定されます。TX マスクは、ケーブルのファー エンドで測定することに注意してください。

ラインを駆動すると、トランスミッタ ドライバの出力インピーダンスは Z_{DRIVER} になります。Z_{DRIVER} は、ドライバの抵抗とソースのシャント容量によって決まり、これは周波数に依存します。Z_{DRIVER} は、ケーブルのノイズの侵入に影響を与えます。

図 8-12 は、Z_{DRIVER} を決定する概略回路図を示しています。この図では、レシーバのノイズが制限されるように規定されています。

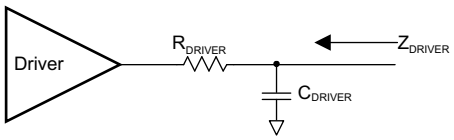


図 8-12. ZDRIVER 回路

8.3.4.4 USB-PD BMC レシーバ

TPS26742E-Q1 のレシーバ ブロックは、USB PD 仕様で定義されている許容 Rx マスクに続く信号を受信するように設計されています。受信スレッショルドとヒステリシスは、このマスクから発生します。

図 8-13 に、マルチドロップ USB-PD 接続の例 (CC ワイヤのみ) を示します。この接続は、一般的なシンク (デバイス) からソース (ホスト) への接続であり、さらにケーブルの USB-PD Tx/Rx ブロックも含まれています。一度に 1 つのシステムだけが送信し、他のすべてのシステムは Hi-Z (Z_{BMCRX}) です。「*USB-PD 仕様*」には、配線上に存在する容量、および接続検出用の標準的な DC バイアス設定回路も規定されています。

Copyright © 2026 Texas Instruments Incorporated

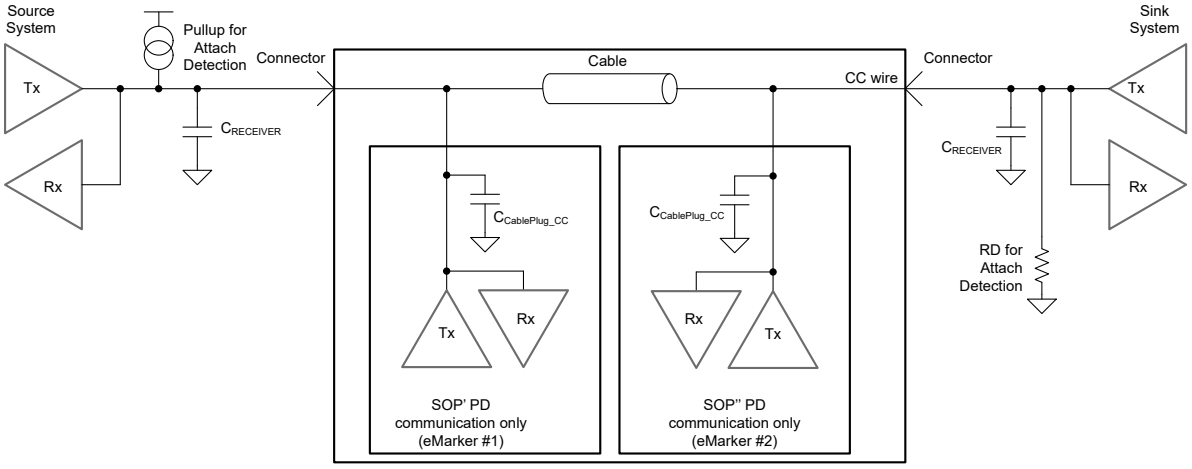


図 8-13. USB-PD マルチドロップ構成の例

8.3.4.5 スケルチ レシーバ

TPS26742E-Q1 は、USB PD 仕様で定義されているバス アイドル状態を監視するスケルチ レシーバを内蔵しています。

8.3.5 DBG_SDA、DBG_SCL、DP/DM の概要

Px_DP および Px_DM ピン機能を持つピンには、P1_GPOx ピン機能もあります。PA_DP および DBG_SCL ピン機能は同じピンにあります。PA_DM ピンと DBG_SDA ピン機能は同じピンにあります。複数のピン機能を同時に使用することはできません。DBG_SCL および DBG_SDA ピン機能については、コネクタ上の SBUx ピンまたは D+/D− ピンのいずれかを選択します。このセクションでは全体的な図を示し、以下のサブセクションではそれぞれの詳細について説明します。

- DBG_SCL および DBG_SDA ピン機能を使うと、マイコン サブシステムから I2C4 と UART にアクセスできます。I2C4 は、フラッシュの更新に使用するように構成できます (セクション 8.3.5.1 を参照)。
- DP/DM 充電機能 (セクション 8.3.5.2 を参照)。

詳細については、以下のサブセクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

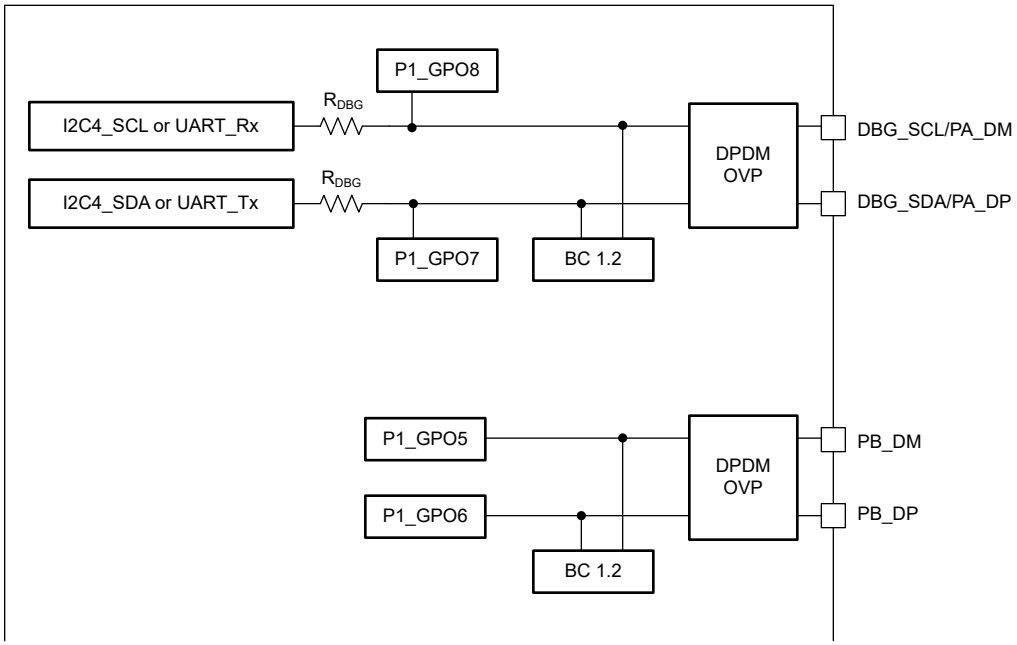


図 8-14. DP DM ハードウェア機能

8.3.5.1 シャーシのデバッグとフラッシュの更新を終了

DBG_SDA および DBG_SCL ピンは、USB-C コネクタ上のピンを介して I2C4 または UART へのアクセスを提供します。I2C4 アクセスには、フラッシュ メモリを更新する機能があり、TPS26742E-Q1 のデバッグを監視または制御する機能もあります。I2C4 へのアクセスを無効化するには、デバイス設定でこの機能を無効にしてください。

また、TPS26742E-Q1 には、I2C4 アクセスとして使用する代わりに、DBG_SDA ピンからデバッグ UART メッセージを出力する設定オプションがあります。

注

この機能を有効化するファームウェアを事前にロードしていない限り、I2C4 にはアクセスできません。TPS26742E-Q1

8.3.5.1.1 クローズド シャーシ デバッグの I2C4 アクセス

PA_DM および PA_DP ピン機能が必要な場合は、DBG_SDA および DBG_SCL もコネクタの D+/D- ピンに接続できます。別の方法として、DBG_SDA/SCL ピン機能を SBU1/SBU2 ピンに接続することも可能です。両方のオプションを以下の図に示します。TPS26742E-Q1 は、デバッグ アクセサリ (両方の CC ピンで 5.1kΩ) が検出されるまで I2C4 を無効化し、他の信号への干渉を回避します。

I2C4 に接続するために使用される外部デバッグ アクセサリは、以下の図に示すように I2C プルアップを提供します。図 8-15 に、I2C4 アクセスに D+/D- ピンを使用する方法を示します。

Copyright © 2026 Texas Instruments Incorporated

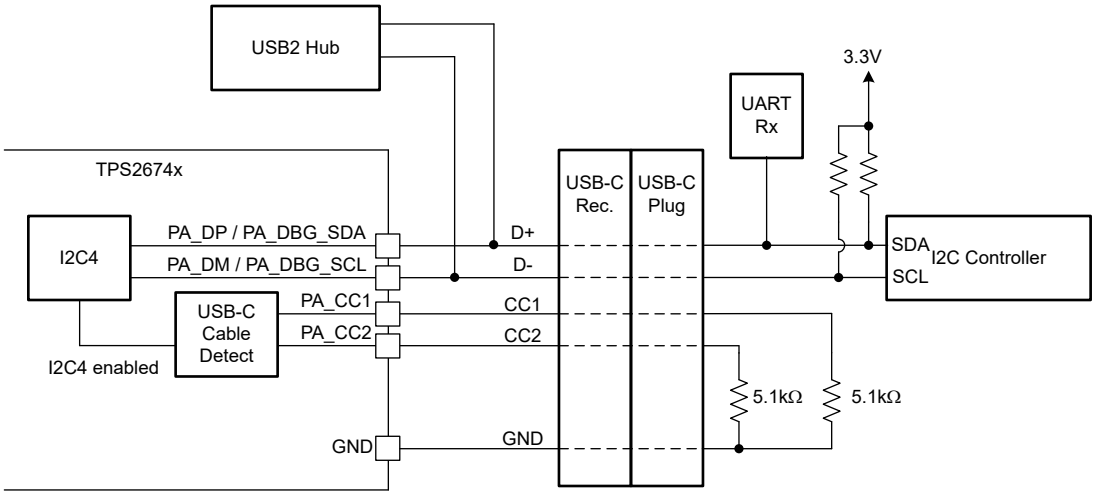


図 8-15. I2C4 をデバッグ アクセサリに接続

図 8-16 は、デバッグ アクセサリの代りに、USB2 デバイスに接続する場合と同じ構成を示しています。この場合、TPS26742E-Q1 は 1 つの CC ピンの 5.1kΩ の抵抗のみを認識するため (ケーブルには CC ワイヤが 1 本しかないため)、I2C4 はディスエーブルのままです。この場合、D+/D- 信号処理を許可するために、I2C4 はディスエーブルのままです。

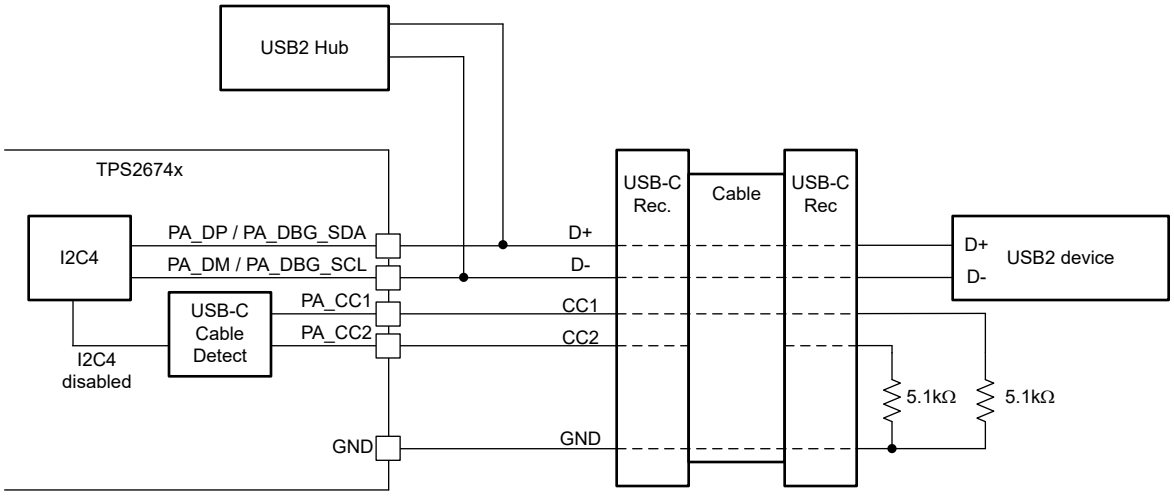


図 8-16. I2C4 は D+/D- 信号処理に不干渉

図 8-17 および 図 8-18 は、I2C4 アクセスに SBU1 と SBU2 を使用する方法を示しています。図 8-17 にデバッグ アクセサリへの接続、図 8-18 に DP ソースへの接続を示します。この概念は、上記の D+/D- ピンのものと同じです。

Copyright © 2026 Texas Instruments Incorporated

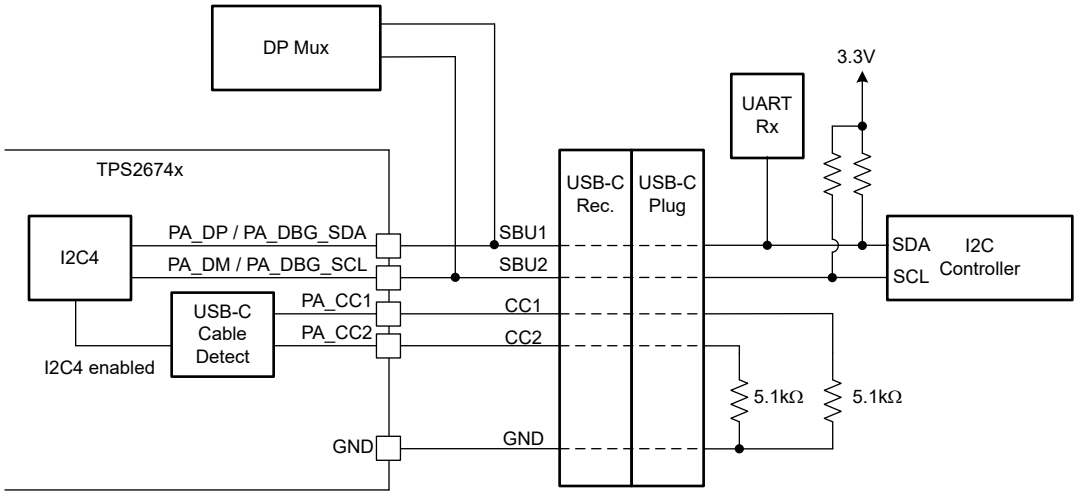


図 8-17. I2C4 をデバッグ アクセサリに接続

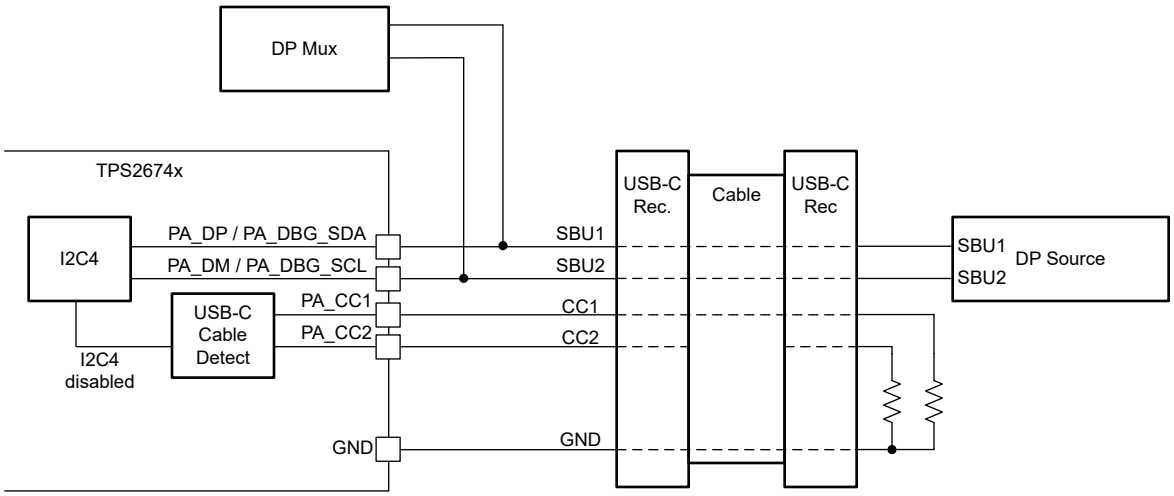


図 8-18. I2C4 は SBU 信号に不干渉

8.3.5.1.2 クローズド シャーシ デバッグのための UART アクセス

PA_DBG_SDA ピンには、デバッグ出力メッセージのための UART_Tx 機能があります。この機能は、デフォルトでは有効になっていません。ボーレートは設定可能であり、実現可能な通信速度はチャネルの容量値によって変化します。デバイスから出力されるデバッグ メッセージの種類も構成できます。

8.3.5.2 BC1.2 およびレガシー充電機能

下図に、BC1.2 機能の実装に使用されるハードウェアを示します。

Copyright © 2026 Texas Instruments Incorporated

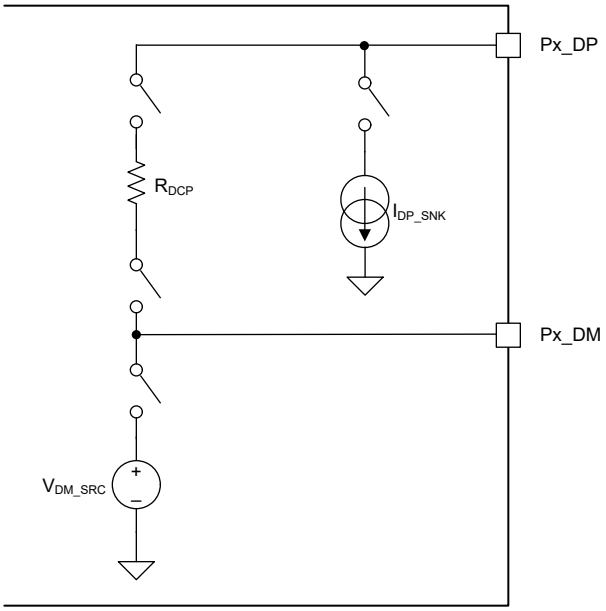


図 8-19. BC1.2 レガシー充電の図

8.3.5.2.1 充電下流ポート (CDP) モード

CDP は、USB BC1.2 に準拠した USB ポートであり、ポートごとに最小 1.5A を供給します。CDP は電力を供給し、デバイス列挙の USB2.0 要件を満たします。CDP と SDP の違いは、このポートを CDP として識別するホスト充電ハンドシェイク ロジックです。CDP は、準拠 BC1.2 ポータブル機器によって識別でき、ポータブル機器からの追加の電流消費に対応できます。

CDP ハンドシェイク プロセスは、2 つのステップで実行されます。ステップ 1 の間、ポータブル機器は DP ラインに公称 0.6V の出力を出力し、DM ラインの電圧入力を読み取ります。電圧が公称データ検出電圧 0.3V よりも低い場合、ポータブル機器は SDP として接続を検出します。DM 電圧が公称データ検出電圧 0.3V より高く、オプションで 0.8V よりも低い場合、ポータブル機器は CDP としての接続を検出します。

ポータブル機器が CDP に接続されているか、DCP に接続されているかを判断するために、ステップ 2 が必要となります。ポータブル機器は、DM ラインに公称 0.6V の出力を出力し、DP ラインの電圧入力を読み取ります。読み取り中のデータ ラインが公称データ検出電圧 0.3V 未満のままである場合、ポータブル機器は機器が CDP に接続されていると判断します。読み取り中のデータ ラインが公称データ検出電圧 0.3V よりも大きい場合、ポータブル機器は DCP に接続されていると判断します。

8.3.5.2.2 専用充電ポート (DCP) モード

DCP は電源のみを供給し、上流ポートへのデータ接続はサポートしていません。Px_DP および Px_DM ピンを使用せずに DCP 機能を実装する別の方法として、USB-C コネクタ付近で D+ ピンと D− ピンを短絡する方法があります。これにより、Px_DP ピンと Px_DM ピンは、システム内の他の機能に使用できるようになります。

8.3.6 液体検出

TPS26742E-Q1 は、液体検出用の Px_LQD ピンを提供します。USB-C レセプタクル上の適切なピンに接続すると、液体検出を行います。ほとんどの場合、USB-C 仕様で許可されている SBU1 または SBU2 のいずれかに接続するのが最適です。これらのピンは、オルタネート モードや USB4 モードなど他の機能で必要になるまで高インピーダンスの状態だからです。

液体検出の背後にある概念は、Px_LQD ピンに電流パルスを送信し、ピン電圧がスレッショルドに達するまでに要する時間を測定することです。液体には、容量性と抵抗性の部品があり、電圧の上昇を遅くし、その最大値を制限します。立ち上がり時間には多くの要因が影響するため、アプリケーションには調整機能が組み込まれています。

Copyright © 2026 Texas Instruments Incorporated

Px_LQD の最大電圧を制限するため、弱いプルダウン抵抗 (R_{LQD}) を使用します。電流源強度 (I_{LQD}) と組み合わせるために、さまざまなプルダウン オプションを利用できます。最大電圧が約 2.0V の液体検出を使用することを意図しています。そのため、仕様はその使用事例を中心に記載されています。液体検出に使用されるピンにクランプがある場合、2 次の最大ピン電圧オプションは 0.4V です。

図 8-20 に、その概念を示します。0 の時点で、Px_LQD ピンに電流パルスが印加されます。選択されている I_{LQD} および R_{LQD} に応じて、V_{MAX} の最大ピン電圧が予測されます。レセプタクルが乾燥している場合でも、容量の影響で立ち上がり時間は遅くなりますが、腐食を引き起こしやすい液体がある場合は、さらに立ち上がり時間が遅くなります。スレッショルド (V_{LQD}) は、ドライ レセプタクル (または蒸留水を含むレセプタクル) がフォルト状態として検出されないように選択します。T_{RISE} (液体) スレッショルドは、FW で最大 5ms までプログラム可能です。立ち上がり時間が T_{RISE} (液体) を超えると、液体の存在による腐食を軽減するための措置が講じられます。一旦液体が検出されると、液体が検出されなくなるまで定期的に再チェックが行われ、その後通常の操作が再開されます。

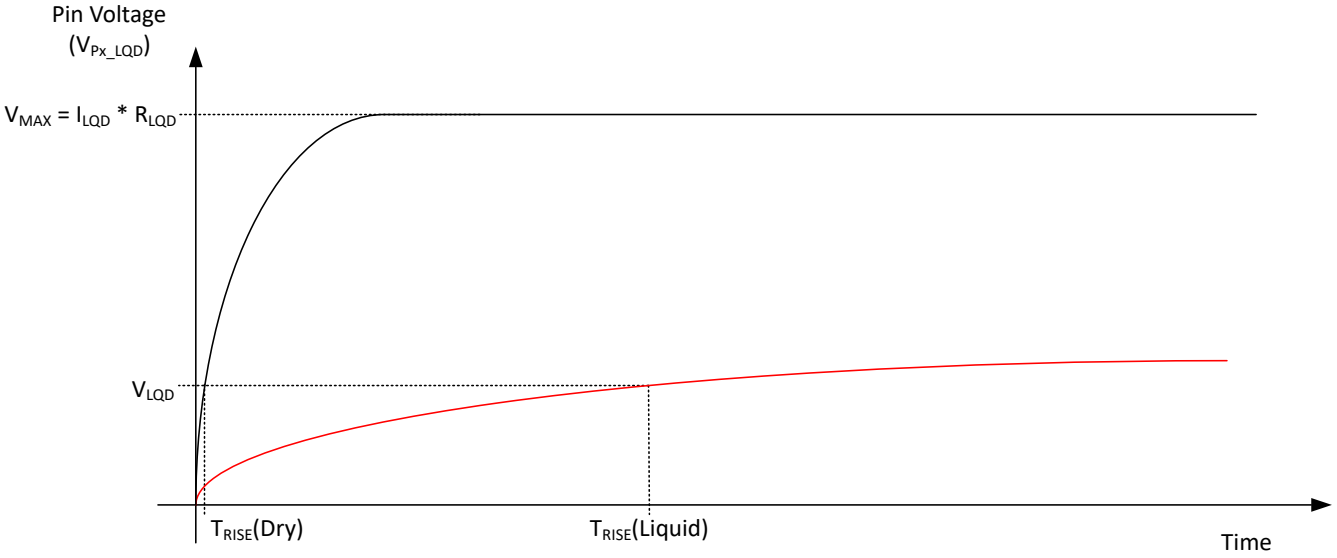


図 8-20. ピン電圧の図

8.3.7 ローカル相互接続ネットワー (LIN) のサポート

TPS26742E-Q1 は、電源ポリシーやその他の機能を制御または監視するため、I2C の代替として LIN プロトコルを使用した通信をサポートしています。TXD ピンの機能は TPS26742E-Q1 からの出力で、RXD ピンの機能は TPS26742E-Q1 への入力です。

注

複数の TPS26742E-Q1 からの TXD が次の図のように接続されている場合、P0_GPIOx ピンをオープン ドレインとして設定してください。

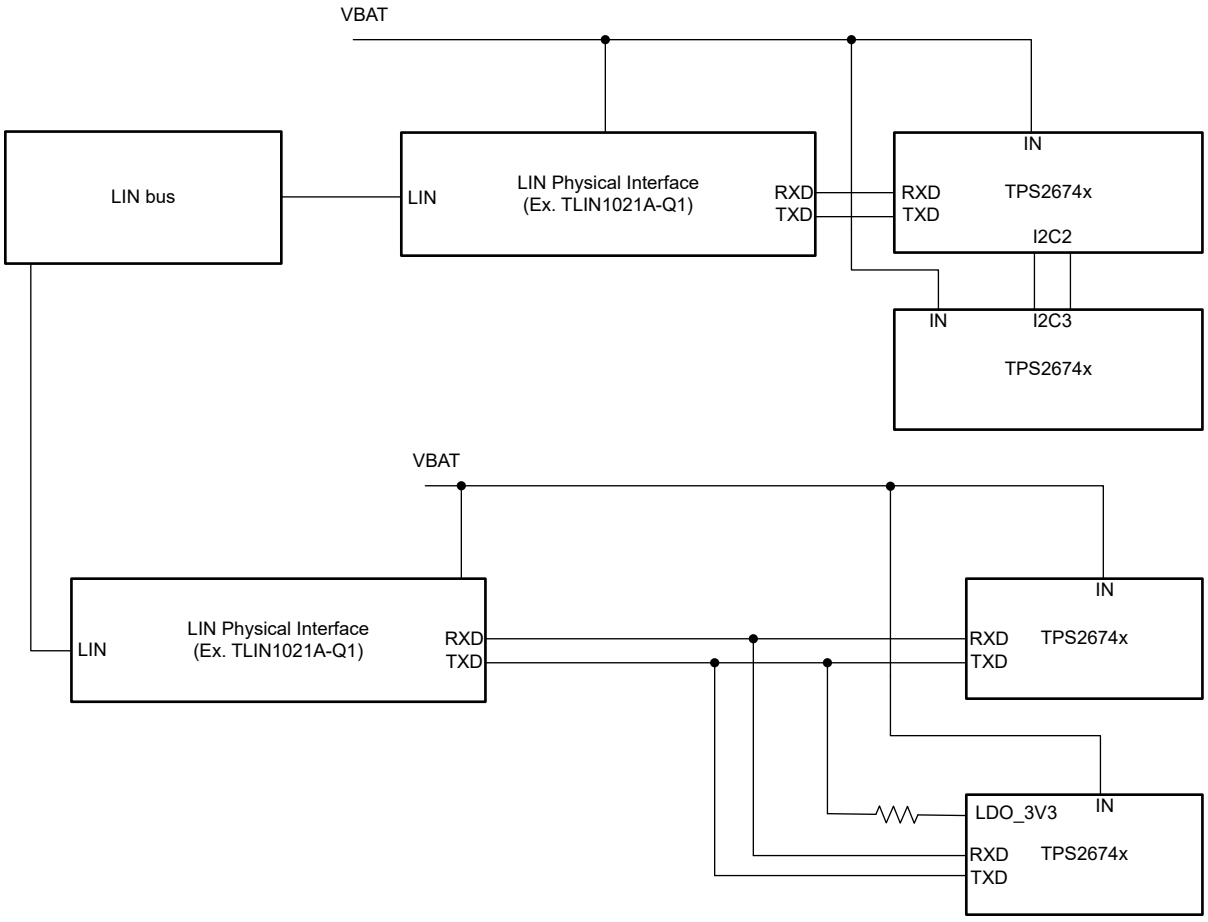


図 8-21. LIN バスへの接続の例

8.3.8 サーマル シャットダウン

TPS26742E-Q1 は、中央のサーマル シャットダウン機能、および各内部パワー パス用に独立したサーマル センサを備えています。中央のサーマル シャットダウンは、ダイの全体的な温度を監視し、ダイ温度が T_{SD} の立ち上がり温度を上回ると、監視回路を除くすべての機能を無効にします。温度がスレッショルドを下回り、ヒステリシスをクリアすると、デバイスは通常動作を再開します。

各パワー パスにはサーマル シャットダウン モニタがあります。パワー パスの温度が T_{SD_PP} を超えると、関連する Px_VCONN は無効になります。温度がスレッショルドを下回り、ヒステリシスをクリアすると、パワーパスは通常動作を再開します。

8.3.9 ADC

TPS26742E-Q1 に、図 8-22 ADC の詳細を示します。ADC は逐次比較型 ADC です。ADC への入力は、デバイス内のさまざまな電圧と電流からの複数の入力に対応するアナログ入力マルチプレクサです。ADC の出力は I^2C 経由で読み取ることができ、自動 ADC モニタ回路の入力としても使用できます。

Copyright © 2026 Texas Instruments Incorporated

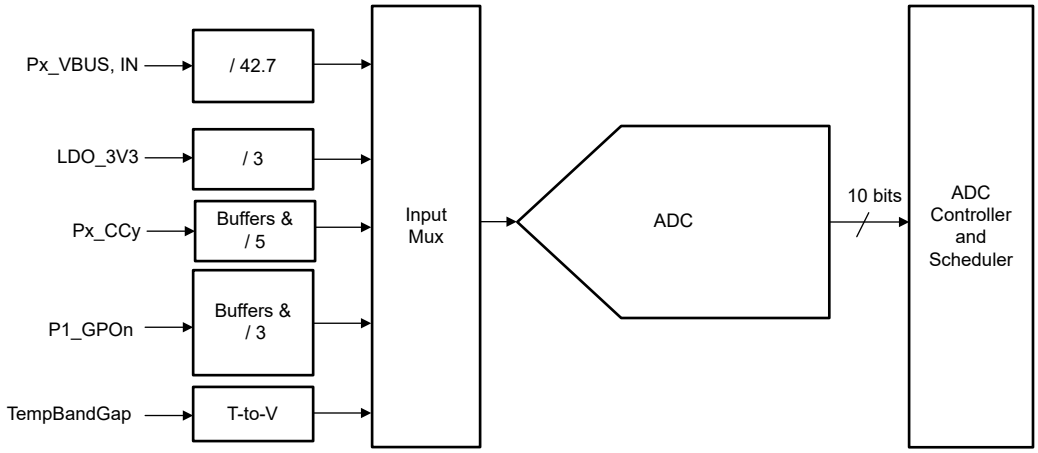


図 8-22. SAR ADC

8.3.9.1 ADC の分圧比

ADC の電圧入力はそれぞれ、1.2V のフルスケール入力に分割されています。

下表に、各 ADC 入力の分圧比を示します。

表 8-2. ADC 入力

チャネル	信号	タイプ	LSB	分圧比
0	LDO_3V3	電圧	3.52mV	3
1	予約済み			
2	P1_GPO0	電圧	3.52mV	3
3	P1_GPO1	電圧	3.52mV	3
4	P1_GPO2	電圧	3.52mV	3
5	P1_GPO3	電圧	3.52mV	3
6	BandGapTemp	温度		該当なし
7	IN	電圧	50mV	42.7
8-11	予約済み			
12	P1_GPO7	電圧	3.52mV	3
13	P1_GPO8	電圧	3.52mV	3
14	P1_GPO6	電圧	3.52mV	3
15	P1_GPO5	電圧	3.52mV	3
16	PA_VBUS	電圧	50mV	42.7
17	PA_CC1	電圧	5.86mV	5
18	PA_CC2	電圧	5.86mV	5
19-23	予約済み			
24	PB_VBUS	電圧	50mV	42.7
25	PB_CC1	電圧	5.86mV	5
26	PB_CC2	電圧	5.86mV	5
27-31	予約済み			

8.3.10 VIN パワー フォールドバック

IN ピンの電圧が低く、外部 DC/DC がより高い電圧まで昇圧している場合、システムは過熱しやすくなります。この TPS26742E-Q1 には、IN 電圧を監視し、VBUS 出力電力を低減して電力損失を抑制し、過熱を防止する機能が備わっています。

Copyright © 2026 Texas Instruments Incorporated

8.3.11 サーマル フォールドバック

TPS26742E-Q1 には、システム温度を測定し、必要に応じて各 USB-C ポートへの出力電力を調整して温度を低減する機能があります。システム温度を正確に検出するためには、以下の図に示すように、ADC 入力を備えた P1_GPOx ピンに NTC を接続してください。

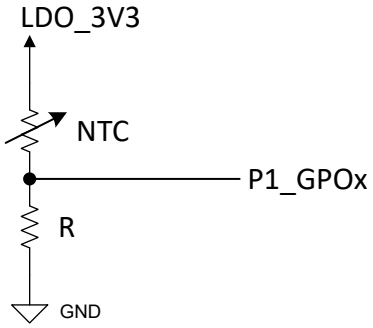


図 8-23. NTC を使用して温度を検出する例

8.3.12 DisplayPort ホット プラグ検出 (HPD)

TPS26742E-Q1 は、DP ソースまたは DP シンクとして USB Type-C 経由の DisplayPort をサポートしています。TPS26742E-Q1 は、P0_GPIOx ピンでの HPD コンバータ機能をサポートしています。PD メッセージング イベントは、DisplayPort トランスミッタ システムの対応する HPD ピンの High または Low に変換されます。一方、DisplayPort 受信システムでは、送信された HPD ピンの High または Low ステータスを PD メッセージに変換します。

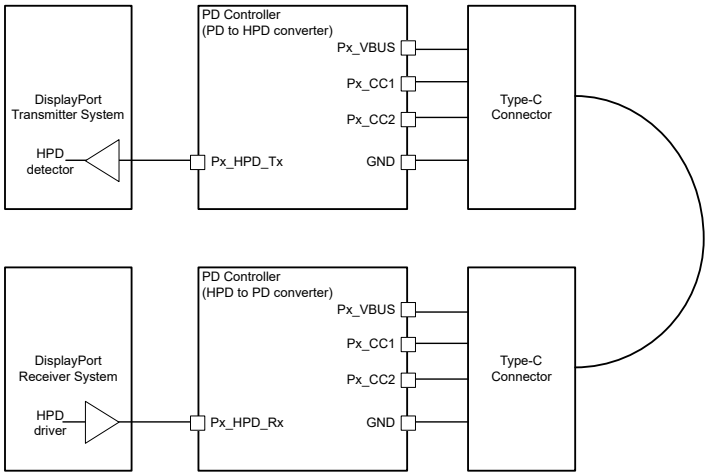


図 8-24. DisplayPort システムで PD - HPD コンバータが HPD 信号を渡す方法の図

Copyright © 2026 Texas Instruments Incorporated

8.3.13 汎用 GPIO

TPS26742E-Q1 には、、P1_GPOx、P0_GPIOx というラベルの付いた GPIO ピンのグループがあります。各グループには、下表にまとめられている特定の特性があります。次のサブセクションでは、各グループの機能について詳しく説明します。GPIO/GPO ピンは、USB Type-C、USB PD、およびアプリケーション固有のイベントにマッピング可能であり、他の IC の制御、ホスト プロセッサへの割り込み、または他の IC からの入力受信に使用できます。

表 8-3. GPIO/GPO タイプの比較

	P0_GPIOx	P1_GPOx	P2_GPOx (1)
タイプ	プッシュプル または オープン ドレイン	プッシュプル または オープン ドレイン	オープン ドレイン
最大電圧	V_{LDO_3V3}	V_{LDO_3V3}	5.5V
出力電源	LDO_3V3	LDO_3V3	該当なし
弱いプルアップ	40k	100k	該当なし
弱いプルダウン	40k	100k	該当なし
入力電源リファレンス	LDO_3V3	LDO_3V3	該当なし
ADC 入力	なし	あり (一部のピン)	

(1) これらのピン機能は、すべてのデバイスで使用できるわけではありません。ピン リストを確認してください。

8.3.13.1 P0_GPIOx

下図に、P0_GPIOx ピンの GPIO I/O バッファを示します。

下表に、各 IO の機能を示します。複数の P0_GPIOx ピンに割り当て可能な特定のマルチプレクサ機能がありますが、一度に使用できるのは 1 つだけです。これらのマルチプレクサ オプションにより、特定のシステムで必要とされる一連のマルチプレクサ機能を柔軟に選択できます。

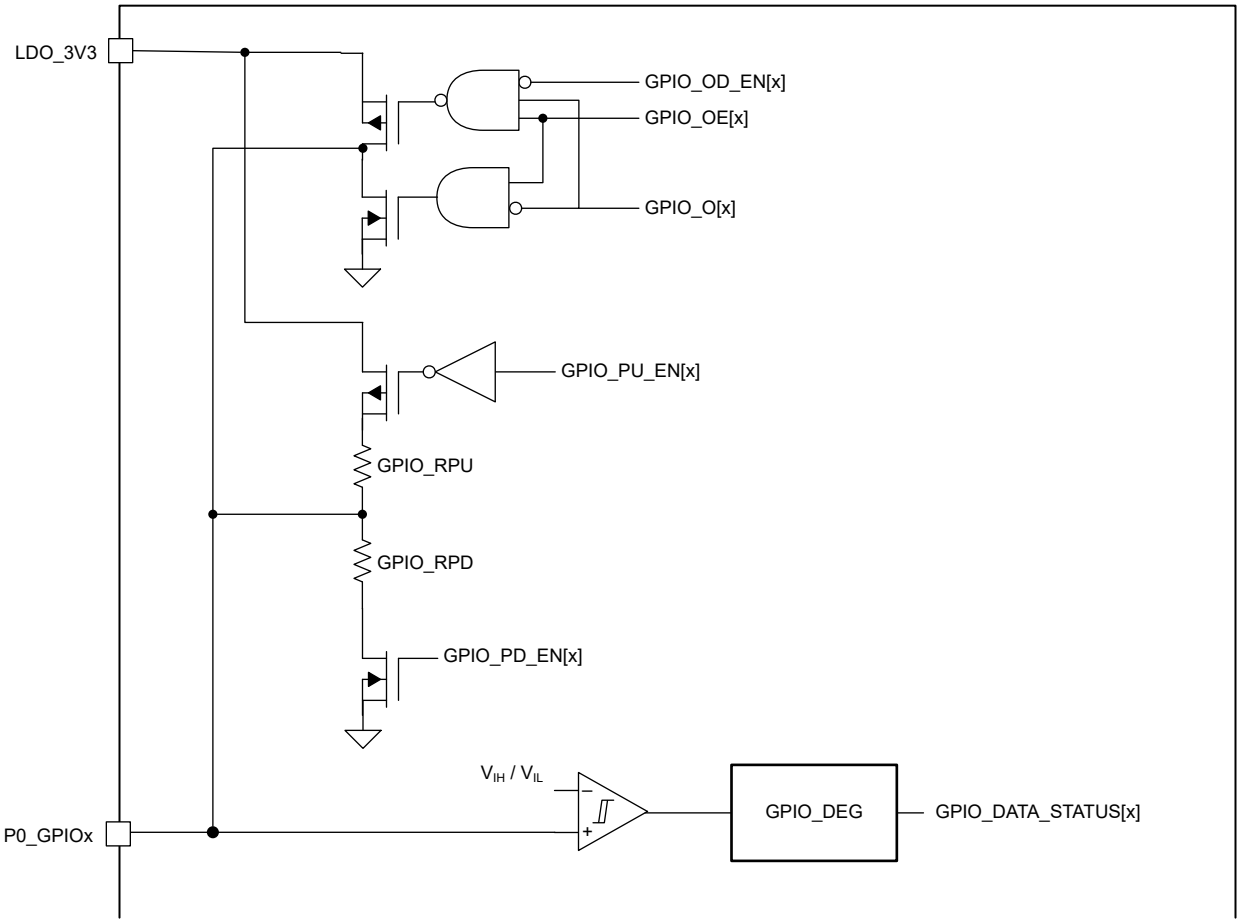


図 8-25. P0_GPIOx バッファの図

表 8-4. P0_GPIOx 機能表

ピン名	プライマリ多重化機能	利用可能なその他のオプション
P0_GPIO0	I2C3_SCL	I2C2_SCL、PB_PWM
P0_GPIO1	PB_SYNC	I2C2_SDA、I2C3_SDA
P0_GPIO2		
P0_GPIO3	PA_PWM	UART_DBG_Tx (2)
P0_GPIO4	I2C1_SCL	TXD (1)
P0_GPIO5	I2C1_SDA	RXD (1)
P0_GPIO6	PA_SYNC	UART_DBG_Tx (2)
P0_GPIO7	I2C2_SCL	I2C3_SCL、PB_PWM
P0_GPIO8	I2C2_SDA	I2C3_SDA、PB_SYNC
P0_GPIO9	UART_DBG_Tx (2)	I2C4_SCL
P0_GPIO10		I2C4_SDA、PB_PWM

(1) 一度に使用できるのは、UART_Rx/UART_Tx 機能または LIN (TXD、RXD) 機能のいずれか 1 つのみです。
(2) UART_DBG_Tx は、一度に 1 つのピンにのみ割り当てることができます。

Copyright © 2026 Texas Instruments Incorporated

8.3.13.2 P1_GPOx

図 8-26 に、P1_GPOx ピンの GPIO I/O バッファを示します。これらのピンは、フェイルセーフです。GPO のサブセットは、ADC 入力です (表 8-5 を参照してください)。

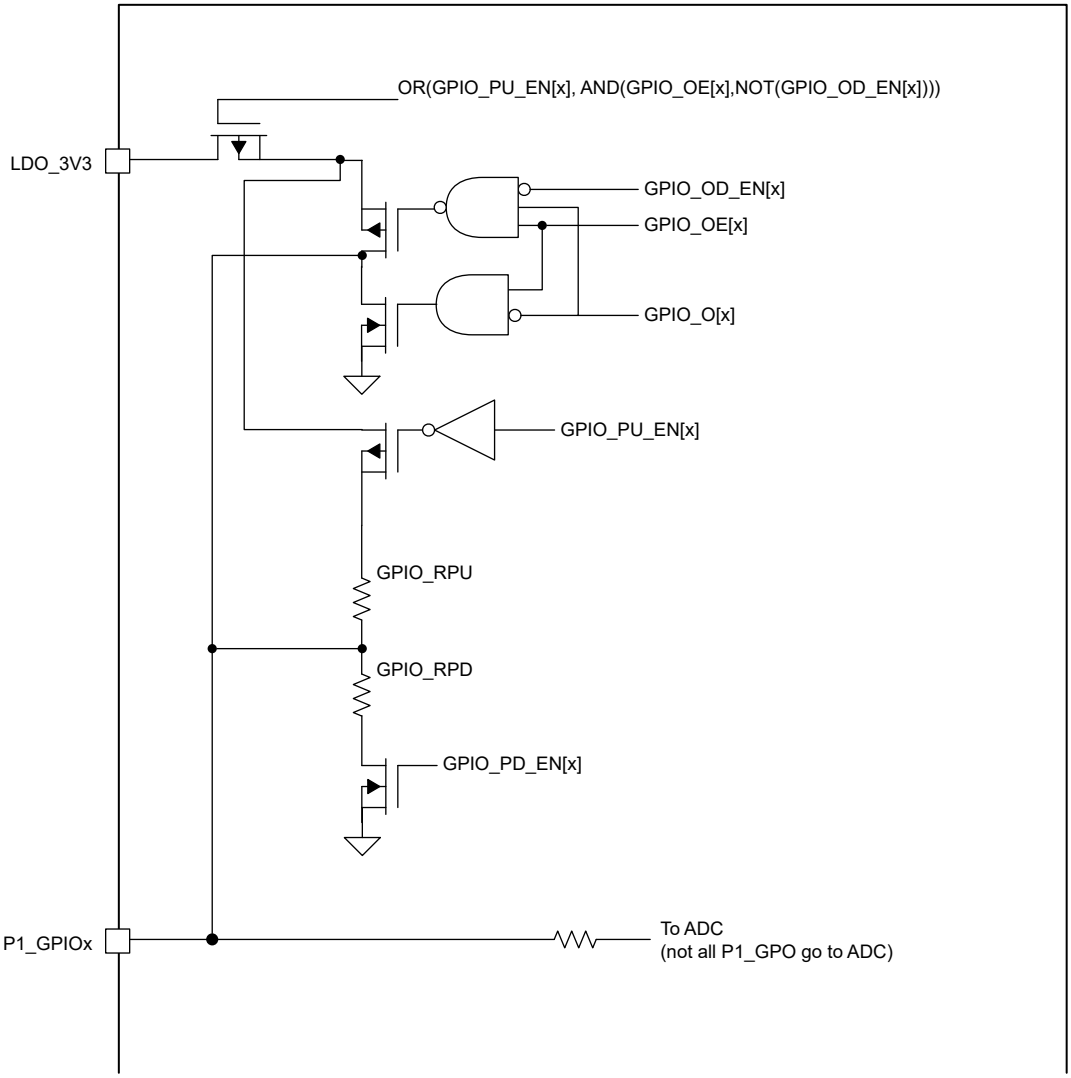


図 8-26. P1_GPOx バッファ

表 8-5. P1_GPOx 機能表 (ADCINx = ADC 入力チャネル x)

ピン名	特殊機能	多重化機能	GPIO 機能
P1_GPO0	ADCIN2	PA_PPEXT	プッシュプル、弱いプルアップ、弱いプルダウン、
P1_GPO1	ADCIN3	PA_LQD	オープンドレイン出力
P1_GPO2	ADCIN4	PB_LQD	オープンドレイン出力
P1_GPO3	ADCIN5	PB_PPEXT	プッシュプル、弱いプルアップ、弱いプルダウン、
P1_GPO4		ENSD	プッシュプル、弱いプルアップ、弱いプルダウン、
P1_GPO5	PB_DM、ADCIN15		オープンドレイン出力
P1_GPO6	PB_DP、ADCIN14		オープンドレイン出力
P1_GPO7	PA_DP、ADCIN12、DBG_SDA		オープンドレイン出力
P1_GPO8	PA_DM、ADCIN13、DBG_SCL		オープンドレイン出力

Copyright © 2026 Texas Instruments Incorporated

8.3.14 ENSD 機能

ENSD ピン機能がイネーブルの間に ENSD ピンが Low である場合、デバイスはシャットダウン モードにとどまります ($I_{IN,SD}$ を参照)。ENSD がグリッチ除去時間 (T_{ENSD_DEG}) より長く Low にアサートされると、TPS26742E-Q1 はシャットダウン モードに移行します。

ENSD ピンは、GPIO_RPU 抵抗を介して内部でプルアップされます。したがって、510kΩ より強い負荷をかけないでください。P1_GPO4 ピンを ENSD 機能ではなく出力 GPO として構成している場合、TPS26742E-Q1 が起動している間はこのピンに外部負荷を接続しないでください。代わりに、デバイスの電源オンまたはリセット時に ENSD が Low になるのを防ぐため、必要に応じて LDO_3V3 に外部プルアップを適用します。

8.3.15 Px_SYNC 出力

多くの DC/DC コントローラは、スイッチングを同期させるための SYNC 入力を備えています。TPS26742E-Q1 には Px_SYNC ピンがあり、この信号を各ポートの DC/DC に駆動することで、システム内の異なる DC/DC コントローラの同時スイッチングを防止します。

内部 HF_OSC クロックは、f_{SYNC_NOM} で、選択されている P0_GPIO ピンへの方形波の駆動に使用される HF_SYNC クロックを生成します。PA_SYNC および PB_SYNC は同一クロックから駆動され、PA_SYNC と PB_SYNC の間に 0º、90º、180º、または 270º の位相遅延を設定できる構成が用意されています。

また、TPS26742E-Q1 は、三角波の周波数プロファイルに従うサイクル間ディザリングもサポートしています。この三角波の変調周波数は f_{MOD}、最大スイングは f_{SYNC_SWING} です。

また、TPS26742E-Q1 には、Px_SYNC 信号にデュアル ランダム スペクトラム拡散 (DRSS) が含まれています (疑似ランダム変動 $f_{DITH}(t)$ を追加する)。

すべての構成を組み合わせると、SYNC 周波数 f_{SYNC} (したがって、Px_SYNC の立ち上がりエッジ間の時間) は、以下に基づき時間が変化します。

$$f_{SYNC}(t) = f_{SYNC_NOM} + f_{SYNC_SWING} \times \text{triangular}\left(2 \times \pi \times f_{MOD}(t) \times t\right) + f_{DITH}(t) \quad (1)$$

Px_SYNC 機能として使用される P0_GPIOx は、オープンドレインまたはプッシュプル モードを選択可能であり、内部の弱プルアップ／プルダウン抵抗を有効または無効に設定することも可能です。

図 8-27 は、Px_SYNC ピンの 3 つの使用方法を示しています。1 つの DC/DC を Px_SYNC の立ち上がりエッジでトリガし、もう 1 つの DC/DC を立ち下がりエッジでトリガするように設定する場合、左上の構成例に示すように、Px_SYNC ピンは 1 本のみで動作します。別の方法として、PA_SYNC および PB_SYNC をそれぞれ 2 つの DC/DC に個別に接続する構成も可能です。3 つ目の方法として、NFET を用いて Px_SYNC 信号を反転させ、両方の DC/DC が立ち上がりエッジでトリガするようにする構成があります。

Copyright © 2026 Texas Instruments Incorporated

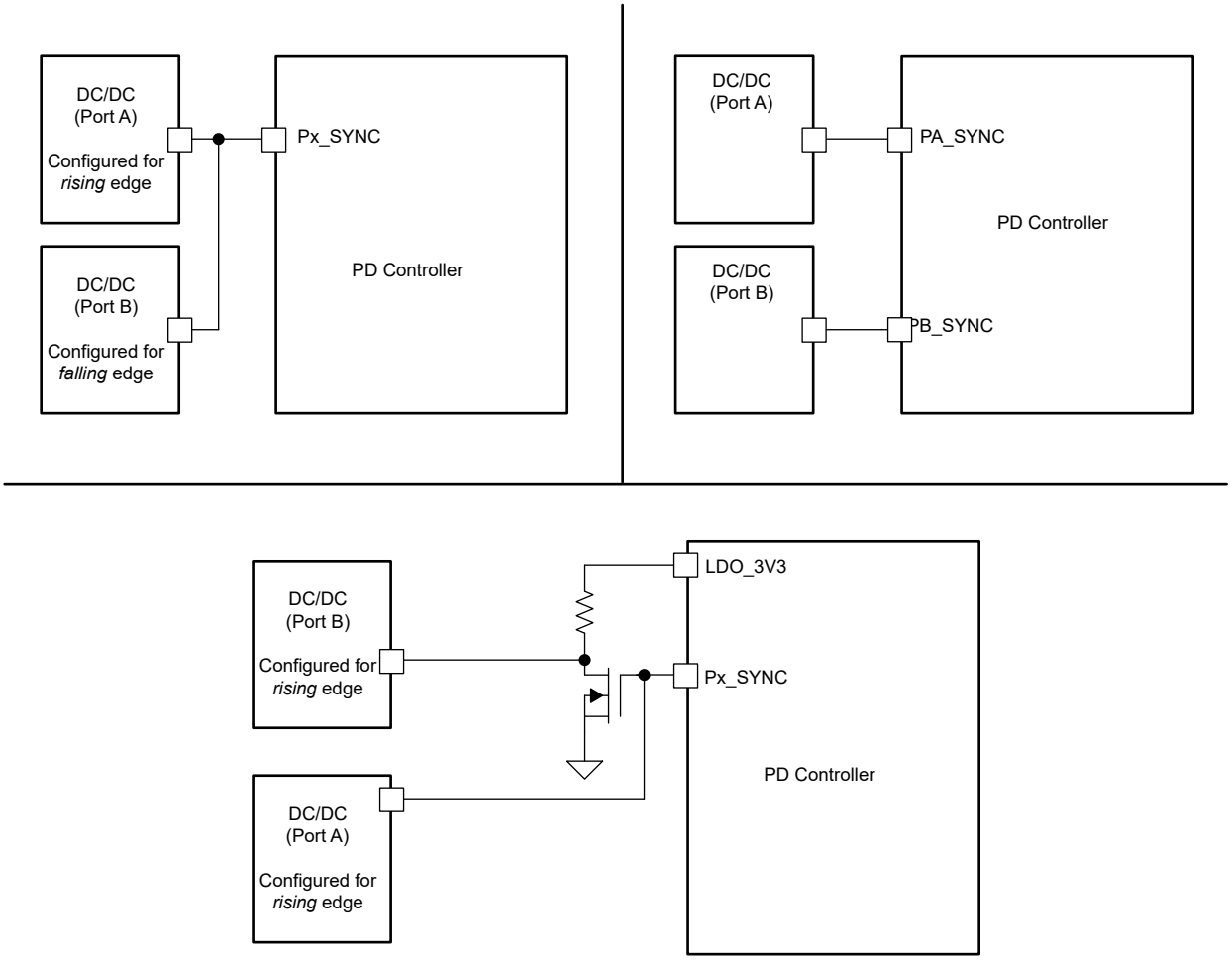


図 8-27. Px_SYNC を使用した構成例

8.3.16 パルス幅変調 (PWM) 出力

TPS26742E-Q1 は、PWM モジュールを備えており、LED の制御や動的な基準電圧の生成など、さまざまな目的に使用できます。PWM モジュールは、動的なデューティ サイクルと固定デューティ サイクルで構成されます。アプリケーション ファームウェアは、DC/DC レギュレータからの VBUS 電圧出力を駆動するなどの目的で、デューティ サイクルを動的に設定することもできます。

固定デューティ サイクルを設定する場合、T_{PWM_ON} および T_{PWM_TOTAL} は、デューティ サイクル (DC) T_{PWM_ON} / T_{PWM_TOTAL} を制御するように構成できます。そのように構成されている場合、アプリケーション ファームウェアは、USB-PD などのイベントや他の種類のイベントに応じて、アプリケーションごとに必要な DC を設定します。

動的デューティ サイクル オプションを使う場合、T_{PWM_PERIOD} にわたってデューティ サイクルが周期的に変化する可能性があります。正弦波、三角波、のこぎり波の変動に対応する構成可能なオプションがあります。

Px_PWM 機能に使用される P0_GPIOx は、弱いプルアップまたはプルダウン抵抗を有効にした場合と無効にした場合で、オープン ドレインまたはプッシュプル モードに構成できます。

8.3.17 I²C インターフェイス

TPS26742E-Q1 は、複数の I²C ポートを備えています。下表に、各ポートのタイプと一般的な使用法を示します。ターゲット ポートは、TPS26742E-Q1 に関する一般的なステータス情報およびデバイスの動作を制御する機能を提供します。コントローラ ポートにより、TPS26742E-Q1 はシステム内の他のターゲット デバイスを制御できます。

Copyright © 2026 Texas Instruments Incorporated

表 8-6. I²C の概要

I2C バス	タイプ	一般的な使用
I2C1	ターゲット	ホスト コントローラに接続します。この I2C を使って、フラッシュ メモリの更新用のアクセスができます。この I²C ポートでは、ホスト インターフェイス経由で R/W アクセスが可能です。
I2C2	コントローラ	外部 DC/DC、USB Type-C マルチプレクサ、または他のターゲット デバイスに接続します。
I2C3	ターゲット	2 つの I2C ターゲットを必要とするシステム向けです。
I2C4	ターゲット	DBG_SCL および DBG_SDA ピンで利用可能です。イネーブルにすると、この I²C ポートはホスト インターフェイスを介した R/W アクセスと、フラッシュ メモリの更新に利用できます。必要に応じて、構成を介してこの I2C ポートを永続的に無効化します。

8.3.17.1 I²C インターフェイス ハードウェア

TPS26742E-Q1 は、複数の I²C インターフェイスを備えており、それぞれが以下に示されているような I ²C I/O ドライバを使用します。この I/O は、オープン ドレイン出力、LDO_3V3 を基準とする入力コンパレータ、およびそれに続くグリッチ除去で構成されています。

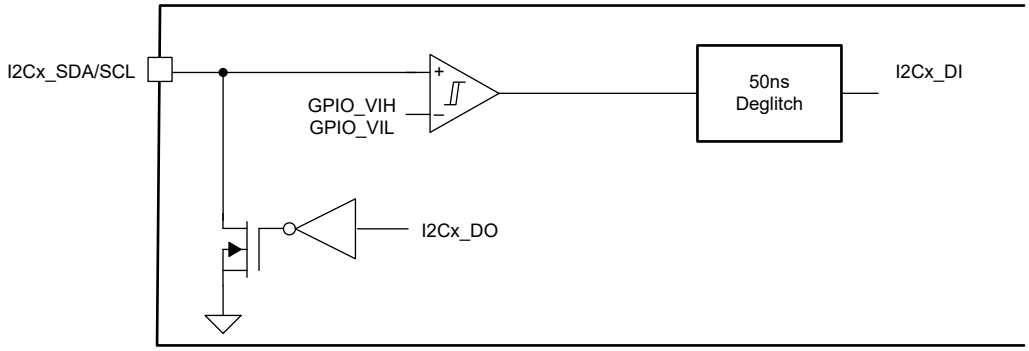


図 8-28. I²C バッファ

8.3.17.2 I²C インターフェイスの説明

TPS26742E-Q1 は、標準、高速モード、高速モード プラスの I²C インターフェイスをサポートしています。双方向 I²C バスは、シリアル クロック (SCL) ラインとシリアル データ (SDA) ラインで構成されます。両方のラインは、プルアップ抵抗を介して電源に接続する必要があります。

図 8-29 に、転送の START 条件と STOP 条件を示します。図 8-30 に、ビット転送のための SDA および SCL 信号を示します。図 8-31 に、最後のクロック パルスで ACK または NACK でのデータ転送シーケンスを示します。

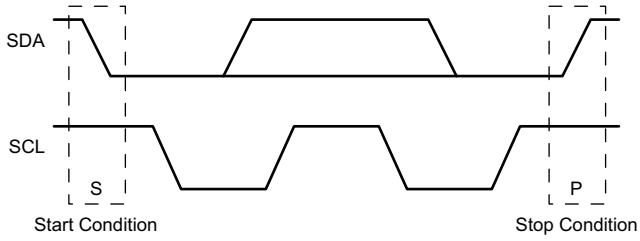


図 8-29. I²C の START 条件と STOP 条件の定義

Copyright © 2026 Texas Instruments Incorporated

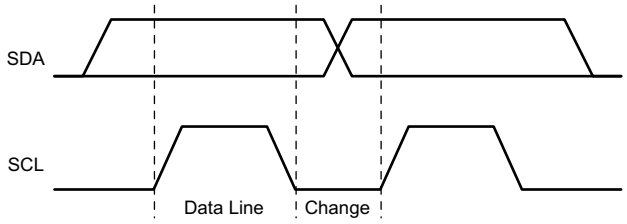


図 8-30. I²C ビット転送

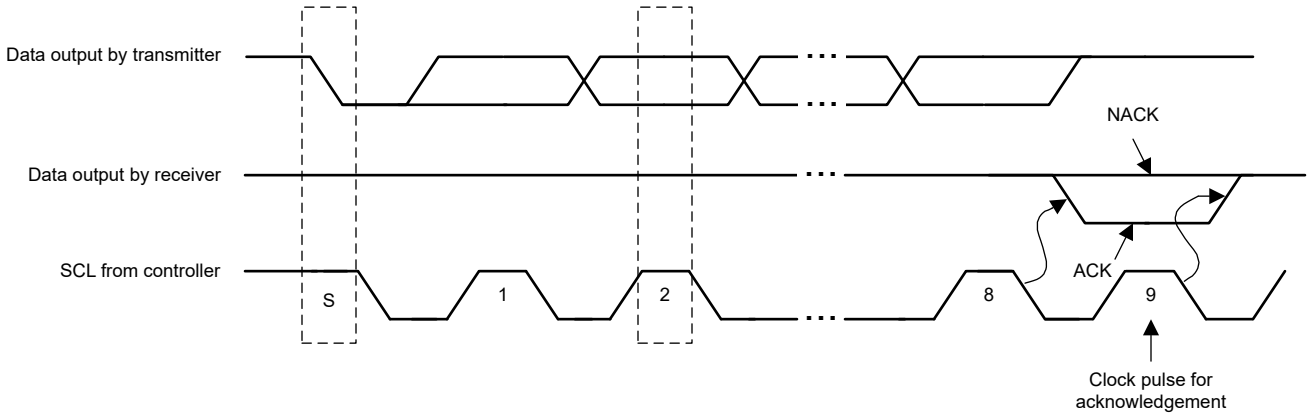


図 8-31. I²C 応答確認

8.3.17.3 I²C クロック ストレッチング

TPS26742E-Q1 は、I²C プロトコルのクロック ストレッチングを備えています。一部のシナリオでは、TPS26742E-Q1 ターゲット I²C ポートがバイトの受信または送信後にクロック ライン (SCL) を Low に保持し、ターゲット ポートがまだ次のデータを処理する準備ができていないことを示します。ターゲットと通信しているコントローラは、現在のビットの送信を一時停止し、クロック ラインが High になるまで待機する必要があります。目標がクロック ストレッチングの場合、クロック ラインは Low のままです。

コントローラは、クロック ラインが High に遷移した後、さらに最小時間 (標準 100kbps I²C では 4µs) 経過してから再びクロックを Low に引き下げる必要があります。

クロック ストレッチングは任意のクロック パルスで発生する可能性がありますが、通常は確認応答ビットの前後の区間で行われます。

8.3.17.4 固有アドレス インターフェイス

固有アドレス インターフェイスにより、I²C コントローラとシングル TPS26742E-Q1 間の複雑な相互作用が可能になります。I²C ターゲット サブアドレスは、ホスト インターフェイスのプロトコル コマンドの受信または応答に使用されます。図 8-32 と 図 8-33 に、I²C ターゲット インターフェイスの書き込み/読み取りプロトコルを示します。使用する用語を説明するためのキーが 図 8-34 に含まれています。TPS26742E-Q1 ホスト インターフェイスは、それぞれ異なる固有アドレスを使用して、TPS26742E-Q1 によって制御される 2 つの USB Type-C ポートを識別します。プロトコル図のキーは、SMBus 仕様に含まれています。ここでも、部分的に繰り返されています。

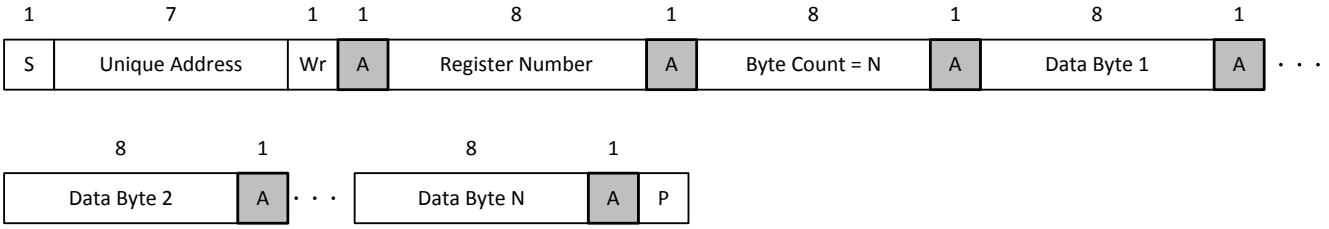


図 8-32. I²C 固有アドレス書き込みレジスタ プロトコル

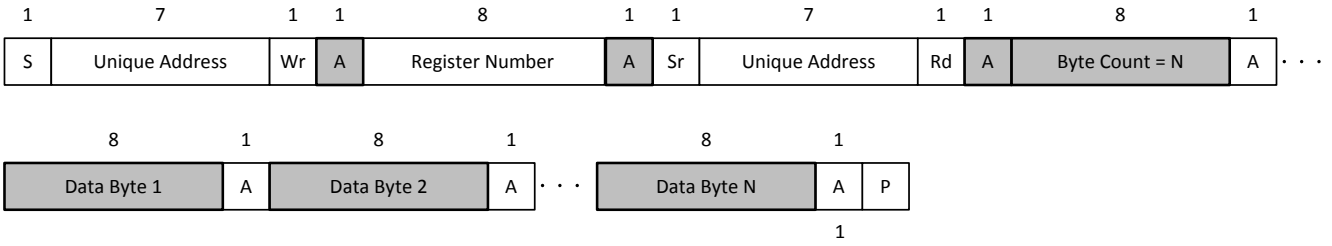
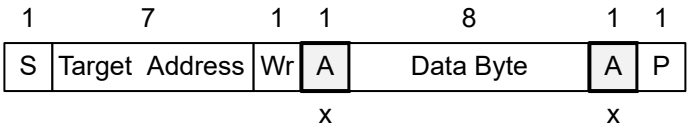


図 8-33. I²C 固有アドレス読み取りレジスタ プロトコル



S Start condition
SR Repeated start condition
Rd Read (bit value of 1)
Wr Write (bit value of 0
X Field is required to have the value x
A Acknowledge (this bit position is 0 for an ACK or 1 for a NACK)
P Stop condition

Controller-to-target

Target-to-controller

• • • Continuation of protocol

図 8-34. I²C 読み取り / 書き込みのプロトコル キー

8.3.17.5 I²C アドレス設定

同じシステムで複数の TPS26742E-Q1 デバイスを使用する場合、通常、各デバイスの I2C1_SDA および I2C1_SCL が接続されます。その場合、外部の I²C コントローラが 1 本の I2C バスを介してすべてのデバイスを制御します。したがって、I²C ターゲット ポートのターゲット アドレスは、次の表に示すように CONFIG ピンに基づいたデフォルト値に設定されます。デフォルト ターゲット アドレスを選択するための CONFI G ピンの構成の詳細については、セクション 8.4.1 を参照してください。これらのデフォルト アドレスは、フラッシュ メモリの更新に使用できる唯一のアドレスです。

表 8-7. I2C デフォルト ターゲット アドレス (フラッシュから構成をロードする前)

I2C ポート	ポート	デフォルト ターゲット アドレス (CONFIG デコードの I²C アドレス インデックスを参照)			
		CONFIG = #1	CONFIG = #2	CONFIG = #3	CONFIG = #4
I2C1 / I2C4	A	0x20	0x21	0x22	0x23
	B	0x24	0x25	0x26	0x27

8.3.18 複数のポートにまたがるシステム電力管理 (SPM)

TPS26742E-Q1 は、複数の他の PD コントローラに接続でき、複数ポート間でのシステム電力共有を可能にします。TPS26742E-Q1 の 1 つがコントローラとして構成され、もう 1 つがターゲットとして構成されます。下図では、1 つのデバイスの I2C2 ポートが、別のデバイスの I2C3 ポートに接続されています。I2C2 はコントローラ ポートであるため、SPM コンテキストでもそのデバイスがコントローラになります。

Copyright © 2026 Texas Instruments Incorporated

SPM コントローラは、SPM コントローラ内のすべてのポートの電力共有も処理します。

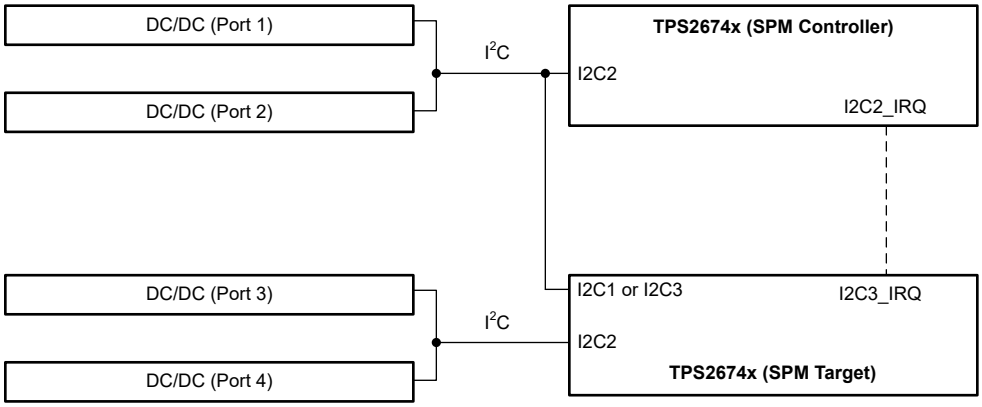


図 8-35. デバイス間 SPM の図

8.4 デバイスの機能モード

8.4.1 ピン ストラッピングによるデフォルト動作の構成 (CONFIG)

下表に示されているように、CONFIG ピンを使用して、デフォルト I2C アドレス インデックスを構成します。

UART_Tx ピン機能を CONFIG ピンで使用可能としました。I2C1 アドレス デコードには影響ありません。送信時に、UART_Tx ピン機能が外部抵抗をオーバードライブします。

表 8-8. CONFIG デコード

R_{UP}	R_{DOWN}	CONFIG デコード	I^2C アドレス インデックス
∞	499kΩ ± 5%	00	#1
499kΩ ± 5%	∞	01	#2
< 5kΩ	∞	10	#3
∞	< 5kΩ	11	#4

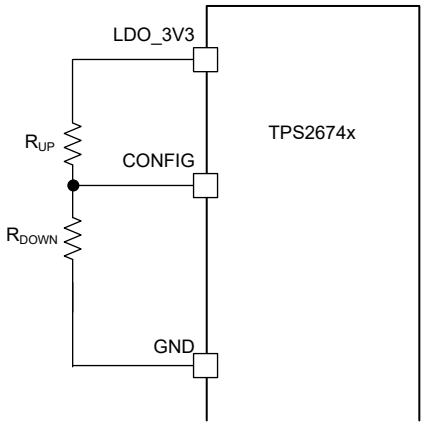


図 8-36. I2C_ADDR ピンの構成

8.4.2 電源の状態

TPS26742E-Q1 は、以下の 4 つの異なる電源状態のいずれかで動作します。アクティブ、アイドル、スリープ、シャットダウン。表 8-9 に、各状態で使用できる機能の概要を示します。デバイスは、アクティブで必要な回路に基づいて電力状態間を自動的に遷移します。図 8-37 を参照してください。スリープ状態では、TPS26742E-Q1 は Type-C 接続またはアクティブ状態への移行を必要とする他のアクティビティを検出します (液体検出アクション)。アクティブ モードからアイドル モードに移行するには、以下のアクティビティがない期間 (T) が必要です。

- 受信 USB PD メッセージ
- CC ステータスの変更
- GPIO 入力イベント
- I^2C トランザクション
- 電圧アラート
- フォルト アラート

ブート モードの間、TPS26742E-Q1 はアクティブ状態に維持されます。

両方のポートがスリープ状態への移行条件 (CC が未接続で、アクティビティがない状態) を満たすと、デバイスはスリープ モードに入ります。

ENSD ピンがアクティブとして構成されており (パワーオン時のデフォルト)、ENSD ピンが Low にプルされると、シャットダウン モードになります。シャットダウン モードに入ると、他すべての電源状態条件が無効になります。シャットダウン モードの間は、デバイスが機能しないことに注意してください。ENSD ピンはパワーオン時にデフォルトで構成されるため、ENSD ピンが Low になると、デバイスは機能しなくなります。

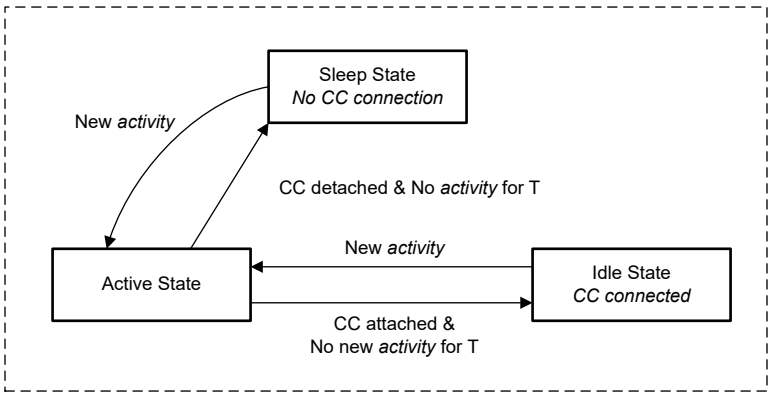


図 8-37. 電力状態のフロー図

Copyright © 2026 Texas Instruments Incorporated

表 8-9. 消費電力の状態

	アクティブ モード $I_{IN,Act}$	アイドル モード $I_{IN,Idle}$	スリープ モード $I_{IN,Sleep}$	シャットダウン モード
PA_VCONN	ON	OFF	OFF	OFF
PB_VCONN	ON	OFF	OFF	OFF
PortA ケーブル検出	$I_{Rp3.0}$ は有効	$I_{Rp3.0}$ は有効	I_{RpDef} は有効	ディセーブル
PortB のケーブル検出	$I_{Rp3.0}$ は有効	$I_{Rp3.0}$ は有効	I_{RpDef} は有効	ディセーブル
外部 PA_CCx 終端	5.1kΩ (Rd)	5.1kΩ (Rd)	5.1kΩ (Rd)	未使用
外部 PA_CCy 終端	オープン	オープン	オープン	未使用
外部 PB_CCx 終端	5.1kΩ (Rd)	5.1kΩ (Rd)	5.1kΩ (Rd)	未使用
外部 PB_CCy 終端	オープン	オープン	オープン	未使用
液体検出	オン、Px_LQD は Low に保持	OFF	OFF	OFF
USB-PD PHY	両方のポートで送信	Squelch Rx イネーブル (両方のポートでウェークアップできる準備完了)	OFF	OFF
I2C トラフィック	I2C1、I2C2、I2C3、and I2C4 がすべてアクティブ	アクティビティなし、ウェイクのみを監視	アクティビティなし、ウェイクのみを監視	未使用
CPU	アクティブ、SRAM の読み取りおよび書き込み	スリープ	スリープ	ディセーブル
フラッシュ	フラッシュからアクティブに実行。	非アクティブ	非アクティブ	非アクティブ

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

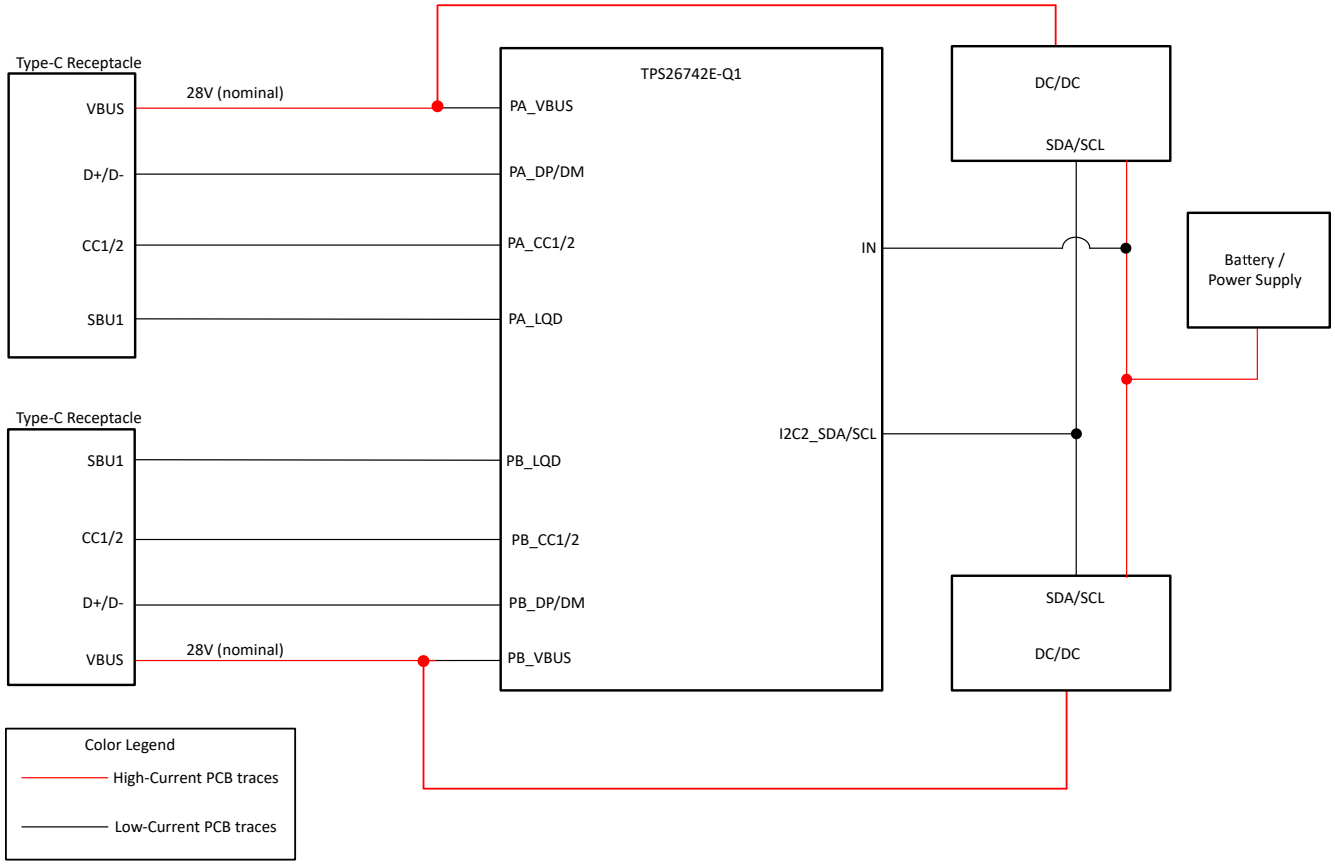
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TPS26742E-Q1 ファームウェアは、I²C 経由でホスト インターフェイスを実装し、すべてのデバイス オプションを構成および制御できます。初期デバイス構成はフラッシュに保存され、ブート中にロードされます。TPS26742E-Q1 構成およびホスト インターフェイスにより、特定のアプリケーションに合わせてデバイスをカスタマイズできます。

9.2 代表的なアプリケーション



9.2.1 設計要件

9.2.1.1 CC ピンに関する推奨事項

この TPS26742E-Q1 には 2 つの USB Type-C ポートがあります。それぞれのポートにおいて、CC ピン (PA_CC1、PA_CC2、PB_CC1、および PB_CC2) は C_{Px_CCy} によりバイパスされています。

9.2.1.2 TI ファームウェア アップデート (TFU)

TPS26742E-Q1 ファームウェアは、2 つの I2C ポート接続のいずれかを介して更新できます。デバイス構成時の I/O 割り当てで、I2C1 ターゲット インターフェイスまたは DBG I2C ターゲット インターフェイスのいずれかを使用可能にしてください。ファームウェアの構成により、FW 更新機能を永続的に無効にできます。

Copyright © 2026 Texas Instruments Incorporated

この要件を満たすための 3 つの方法を次に示します:

1. P0_GPIO5 を I2C1_SCL に、P0_GPIO5 を I2C1_SDA に割り当てます。
   a. 適切なサイズのプルアップ抵抗を介して、2 本の GPIO ピンを LDO_3V3 または MCU 3.3V 電源に接続します。
2. P1_GPO7 を DBG_SCL に、P1_GPO8 を DBG_SDA に割り当てます。
   a. 適切なサイズのプルアップ抵抗を介して、2 本の GPIO ピンを LDO_3V3 または MCU 3.3V 電源に接続します。
3. P1_GPO7 を DP に、P1_GPO8 を DM に割り当て、これらのピンをタイプ C コネクタの適切なピンに接続します。
   a. タイプ C 接続タイプがデバッグ アクセサリの場合、これらのピンを内部の DBG_I2C ピンに接続します。
   b. デバッグ アクセサリ接続は、3.3V 電源へのプルアップ抵抗接続を提供します。

9.2.2 詳細な設計手順

TFU アップデート方法

この設計では、ポート A の DP および DM ピン上の USB Type-C デバッグ アクセサリ接続を選択した TFU 更新方法を選択しています。デバッグ アクセサリがポート A のタイプ C ポートに接続されているとき、これらのピンは I2C ターゲット インターフェイスに変換されます。この I2C ターゲットはファームウェアの更新をサポートしています。

I2C コントローラの接続

I2C コントローラ ポート (I2C2_SCL および I2C2_SDA) は、ポート A DC2DC、ポート B DC2DC、ディスプレイポートのシステム マルチプレクサで I2C ターゲット ポートを制御するために使用されます。

電源接続

セクション 9.4 で説明するとおり、電源を接続します。

Type-C ポート接続

セクション 9.2.1.1 で指定されているように、PA_CC1、PA_CC2、PB_CC1、PB_CC2 ピンはバイパスする必要があります。

この例では、28V が最も高い公称 VBUS であるため、抵抗分圧器は不要です。必要に応じて、VBUS を半分に分圧して Px_VBUS ピンの電圧を制限する抵抗分圧器を接続します。10kΩ の値の抵抗を使用します。

GPIO の構成

必要に応じて、TPS26742E-Q1 の GPIO および GPO ピンをシステムの要求を満たすように構成します。アプリケーション構成 GUI:TPS267xx-Q1 -GUI はさまざまな構成オプションをサポートしています。

表 9-1. P0_GPIO 構成

TPS26742E-Q1 ポート	シリポート構成の設定	受動素子
P0_GPIO0		
P0_GPIO1		
P0_GPIO2		
P0_GPIO3		
P0_GPIO4		

Copyright © 2026 Texas Instruments Incorporated

表 9-1. P0_GPIO 構成 (続き)

TPS26742E-Q1 ポート	シリポート構成の設定	受動素子
P0_GPIO5		
P0_GPIO6		
P0_GPIO7	I2C2_SCL	2.2kΩ プルアップを LDO_3V3 に接続
P0_GPIO8	I2C2_SDA	2.2kΩ プルアップを LDO_3V3 に接続
P0_GPIO9	CONFIG	GND に 600kΩ プルダウン
P0_GPIO10		

表 9-2. P1_GPO 構成

TPS26742E-Q1 ポート	シリポート構成の設定	受動素子
P1_GPO0		
P1_GPO1	PA_LQD	
P1_GPO2	PB_LQD	
P1_GPO3		
P1_GPO4		
P1_GPO5	PB_DM	
P1_GPO6	PB_DP	
P1_GPO7	PA_DP	
P1_GPO8	PA_DM	

9.2.3 アプリケーション曲線

次の図に、VBUS 電圧、PA_CC1 (PD 通信) 、DC2DC コンバータとの I2C2 通信を示します。次の表に、同じテストの PD 通信のログを示します:

Copyright © 2026 Texas Instruments Incorporated

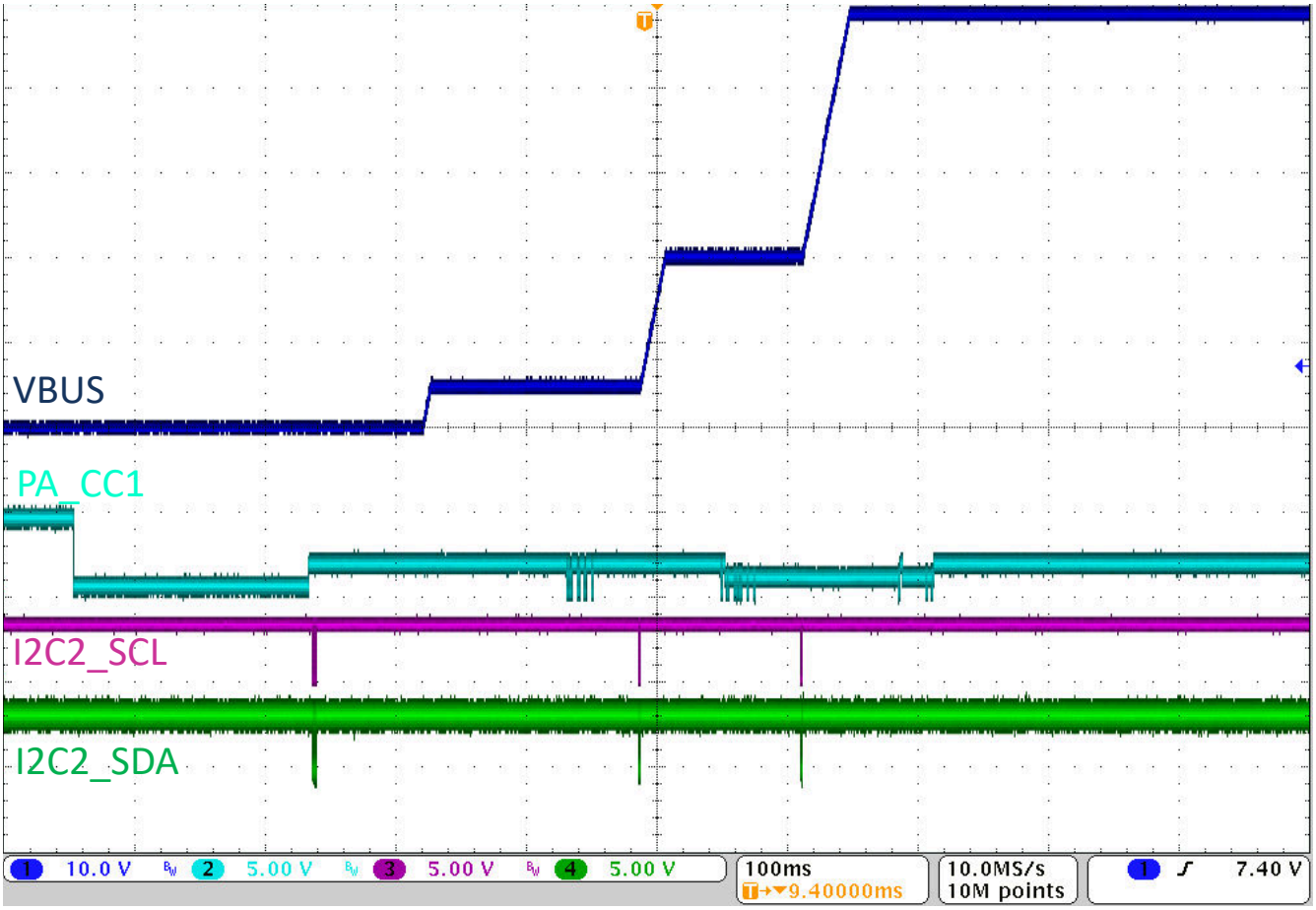


図 9-1. 48V EPR 遷移

表 9-3. EPR 48V/5A 接続の PD ログ

#	メッセージ タイプ	SOP*	DataRole	PowerRole	MsgID	Sender	TimeStamp (ms)
0	ケーブル RA またはシンクの VBUS を接続します (CC1 ピン = NC、CC2 ピン = STD)						0
1	シンク VBUS なしに接続 (CC1 ピン = NC、CC2 ピン = 3p0A)						177.0
2	CC2 接続 (CC1 ピン = NC、CC2 ピン = 3p0A)						267.0
3	Vendor_Defined (ディスク ID REQ)	SOP'	該当なし	該当なし	0	ポート	366.1
4	GoodCRC	SOP'	該当なし	該当なし	0	Plug	367.0
5	Vendor_Defined (ディスク ID ACK、PassiveCable)	SOP'	該当なし	該当なし	0	Plug	369.0
6	GoodCRC	SOP'	該当なし	該当なし	0	ポート	370.0
7	Source_Capabilities (最大:100W、固定 5V ～ 3A、固定 9V-3A、固定 15V-3A、固定 20V-5A、SPR AVS MaxI (9V/15V) = 3A MaxI (15V/20V) = 5A、PPS PDP = 48W、PL: 0、5V ～ 16V –3A、PPS PDP = 100W、PL:1、5V ～ 21V-5A)	SOP	DFP	ソース	0	ポート	374.1
8	GoodCRC	SOP	UFP	シンク	0	ポート	376.0
9	要求 (RDO:Pos=5、Pow=100W、outV=20.00V、Ioc=5.00A、Src APDO:SPR AVS MaxI (9V/15V)=3A MaxI (15V/20V)=5A)	SOP	UFP	シンク	0	ポート	380.0
10	GoodCRC	SOP	DFP	ソース	0	ポート	381.0
11	承認	SOP	DFP	ソース	1	ポート	385.0
12	GoodCRC	SOP	UFP	シンク	1	ポート	386.0
13	PS_RDY	SOP	DFP	ソース	2	ポート	483.0
14	GoodCRC	SOP	UFP	シンク	2	ポート	484.0
15	EPR_Mode (Action=Enter)	SOP	UFP	シンク	1	ポート	488.0
16	GoodCRC	SOP	DFP	ソース	1	ポート	488.1
17	CC 変更を接続 (CC1 ピン = NC、CC2 ピン = 1p5A)						493.0
18	EPR_Mode (Action=Enter_Acknowledged)	SOP	DFP	ソース	3	ポート	493.0
19	GoodCRC	SOP	UFP	シンク	3	ポート	393.0
20	EPR_Mode (Action=Enter_Succeeded)	SOP	DFP	ソース	4	ポート	495.0
21	GoodCRC	SOP	UFP	シンク	4	ポート	495.1
22	EPR_Source_Capabilities (最大:240W、固定 5V-3A、固定 9V-3A、固定 15V-3A、固定 20V-5A、SPR AVS MaxI (9V/15V) = 3A MaxI (15V/20V)=5A、PPS PDP=48W、PL:0、5V-16V-3A、PPS PDP = 100W、PL:1、5V-21V-5A、固定 28V-5A、固定 36V-5A、固定 48V-5A、EPR AVS PDP:240-48V-15V)	SOP	DFP	ソース	5	ポート	497.0
23	GoodCRC	SOP	UFP	シンク	5	ポート	499.0
24	EPR 要求 (RDO:Pos=11、Pow=240W、outV=48.00V、Ioc=5.00A、Src APDO:EPR AVS PDP = 240-15V ～ 48V)	SOP	UFP	シンク	2	ポート	503.0
25	GoodCRC	SOP	DFP	ソース	2	ポート	504.0
26	承認	SOP	DFP	ソース	6	ポート	508.0
27	GoodCRC	SOP	UFP	シンク	6	ポート	509.0
28	PS_RDY	SOP	DFP	ソース	7	ポート	618.0
29	GoodCRC	SOP	UFP	シンク	7	ポート	638.1
30	Vendor_Defined (ディスク ID REQ)	SOP	DFP	ソース	0	ポート	638.1
31	GoodCRC	SOP	UFP	シンク	0	ポート	639.0
32	Not_Supported	SOP	UFP	シンク	3	ポート	643.0
33	GoodCRC	SOP	DFP	ソース	3	ポート	644.0
34	CC 変更を接続 (CC1 ピン = NC、CC2 ピン = 3p0A)						650.1

Copyright © 2026 Texas Instruments Incorporated

表 9-3. EPR 48V/5A 接続の PD ログ (続き)

#	メッセージ タイプ	SOP*	DataRole	PowerRole	MsgID	Sender	TimeStamp (ms)
35	Extended_Control (EPR_KeepAlive)	SOP	UFP	シンク	4	ポート	1034.1
36	GoodCRC	SOP	DFP	ソース	4	ポート	1035.0
37	Extended_Control (EPR_KeepAlive_Ack)	SOP	DFP	ソース	1	ポート	1040.0

9.3 システム例

TPS26742E-Q1 は、2 つの USB-C ポートの拡張電力範囲 (EPR) での USB-PD 充電をサポートしています。

システムに 2 つ以上の USB-C ポートがある場合、複数の TPS26742E-Q1 を I2C 経由で接続することで、そのうち 1 つをシステム パワー マネジメント (SPM) コントローラとして動作させ、他をターゲットとして機能させることができます。

TPS26742E-Q1 は、外部 MCU へのアクセスを提供し、I2C1 ポートを介してステータスの監視および特定の動作や構成の制御を可能にします。

TPS26742E-Q1 の Px_LQD ピンを USB-C レセプタクル上の SBU1、SBU2、D+、または D- のいずれかに接続することで、液体検出を実行し、腐食防止機能を実装して USB-C コネクタを保護します。

9.3.1 デュアルポート EPR チャージャ

図 9-2 は、2 つの TPS26742E-Q1 を接続して 4 ポート システムを構成する例を示しています。TPS26742E-Q1 は I2C2 を使用して外部 DC/DC を制御し、各ポートに必要な電圧や電流を個別に供給します。この TPS26742E-Q1 には、DC/DC と同じバッテリ／電源に接続された内部 LDO が内蔵されています。この内部 LDO は、eMarker を読み取るために必要な VCONN 向け電流も供給します。

この例では、上側の TPS26742E-Q1 がスマート パワー マネジメント (SPM) コントローラであり、I2C2 ポートを使用して SPM ターゲットを制御します。SPM ターゲットは I2C1 ポートを使用して SPM コントローラと通信します。

この例では、下側の TPS26742E-Q1 が公称 48V の VBUS をサポートします。VBUS 電圧を 2 分の 1 に分圧して Px_VBUS ピンの電圧を制限するために、抵抗分圧回路を接続します。抵抗値は 10kΩ のものを使用してください。

外部 OVP オプションは、Px_CCy、Px_DP/DM、Px_LQD ピンがコネクタの VBUS に短絡しないように保護するために示されています。

Copyright © 2026 Texas Instruments Incorporated

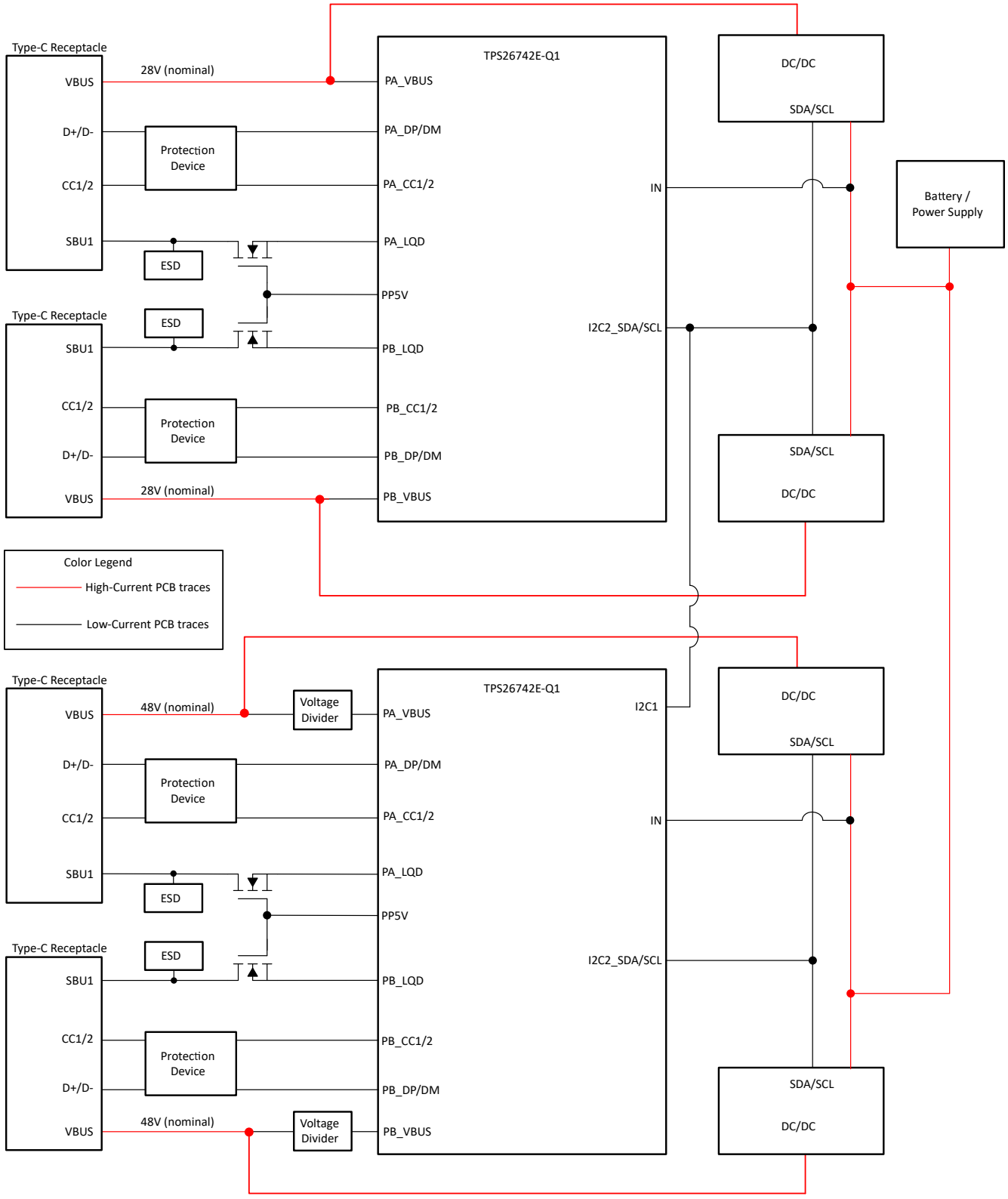


図 9-2. デュアルポート EPR チャージャ

Copyright © 2026 Texas Instruments Incorporated

9.4 電源に関する推奨事項

9.4.1 入力電源

IN ピンは、デバイスの主な電源入力です。内部 5V LDO が入力として受け入れ、PP5V ピンに 5V を生成します。外部の 5V が PP5V ピンに印加される場合、IN ピンを PP5V ピンにショートさせ、$V_{IN} \geq V_{PP5V}$ を許容します。推奨容量 C_{IN} は、IN ピンと GND ピンとの間に接続します。C_{IN} をピンのできるだけ近くに配置します。

9.4.2 5V 電源

一部の内部回路は、5V から電力を供給されます。5V LDO は入力電圧を 5V に降圧します。5V LDO は、内部 3.3V LDO、および特定の状況で Px_VCONN などの内部アナログ回路に電力を供給します。推奨容量 C_{PP5V} を PP5V ピンから GND ピンに、できるだけ PP5V ピンの近くに接続します。

9.4.3 3.3V 電源

一部の内部回路は、3.3V から電力を供給されます。3.3V LDO は、PP5V から 3.3V に降圧します。3.3V LDO は、内部 1.35V LDO およびその他の内部回路に電力を供給します。推奨容量 C_{LDO_3V3} を LDO_3V3 ピンから GND ピンに、できるだけ LDO_3V3 ピンの近くに接続します。

9.4.4 1.35V 電源

一部の内部回路は、1.35V から電力を供給されます。1.35V LDO は、LDO_3V3 から 1.35V に降圧します。1.35V LDO は、デジタル コアおよびメモリを含むすべての内部低電圧デジタル回路に電力を供給します。推奨容量 C_{LDO_1V35} を LDO_1V35 ピンから GND ピンに、できるだけ LDO_1V35 ピンの近くに接続します。

9.5 レイアウト

9.5.1 レイアウトのガイドライン

適切な部品の配置と配線は、信号の整合性を維持し、電力供給のパフォーマンスを最適化するために非常に重要です。高速差動データと高電流電力パスの組み合わせは、パターンの形状、グランド リファレンス、銅の厚さについて慎重に検討する必要があります。以下のベスト プラクティスに従います:

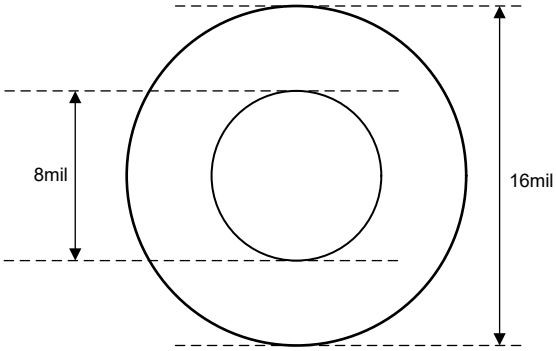
- すべてのデカップリング コンデンサは、関連するピンにできるだけ近く配置します。
- 5A を動作させる場合は、DC/DC 電源配線の厚さを 1 オンスの銅層上にある厚さを、少なくとも 130mil 以上に保ちます。
- クロストークを防止するため、I2C ラインを USB データ パターンから離して配線します。
- 高速差動ペアの下には連続したグランド プレーンを維持し、良好なインピーダンス制御を提供するとともに、EMI シールドを確保します。
- 反射を最小限に抑えるため、高速ライン上のスタブは避けます。回線が複数の場所にルーティングされる場合は、回線ごとに別々のライン ドライバを使用します。
- 基板製造チームに相談し、製造対応能力を確認してください。

4 スイッチ昇降圧コンバータのレイアウトのガイドラインの詳細については、*4 スイッチ昇降圧コンバータのレイアウト最適化*アプリケーション ノートを参照してください。高速レイアウトの詳細については、*シグナル コンディショナおよび USB ハブの高速レイアウトのガイドライン* アプリケーション レポートを参照してください。

推奨ビア サイズ

推奨ビア サイズ:VBUS パワー パスとグランドに電流を流すには、適切なビア ステッチングが推奨されます。推奨される最小ビア サイズを以下に示しますが、より大きいビアを選択することも低密度の PCB 設計のオプションとなります。1 つのビアで 1A を伝送できるため、基板製造時の許容誤差を検証できます。PD コントローラの近くに配置する場合は、ビアをテンティングすることが勧められます。

Copyright © 2026 Texas Instruments Incorporated



最小トレース幅

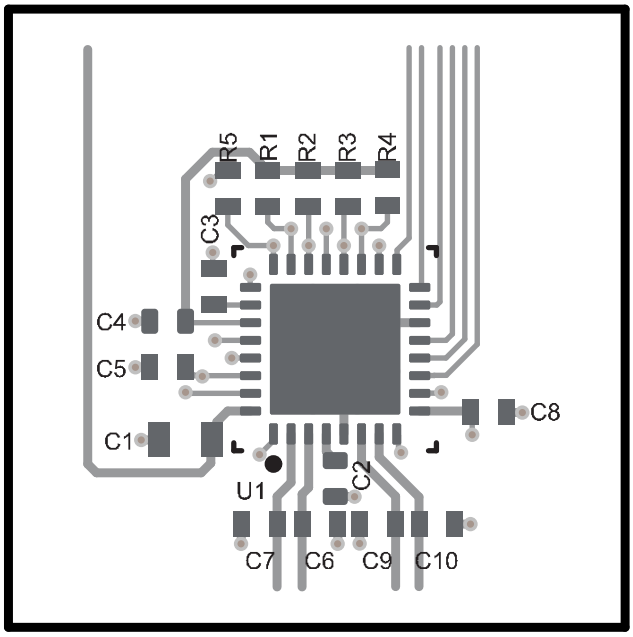
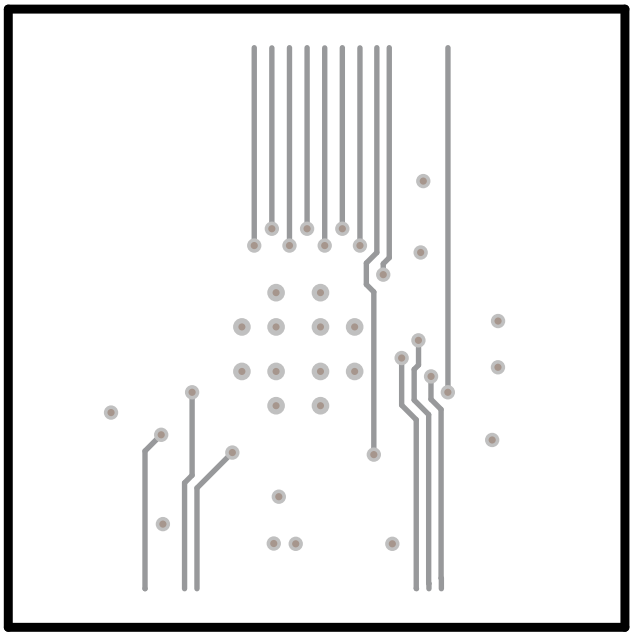
以下に、アナログ ピンとデジタル ピンの最小トレース幅を示します。トレース幅の制限は、使用する基板製造プロセスによっても定義されます。最小トレース幅と許容誤差を決定する際は、メーカにお問い合わせください

表 9-4. 最小トレース幅

配線	最小幅 (mil)
VIN、PP5V	10 (外部層)、20 (内部層)
PA_CC1、PA_CC2、PB_CC1、PB_CC2	10
LDO_1V35、LDO_3V3、PA_VBUS、PB_VBUS	10
P0_GPIOX/*、P1_GPOX/*	4 (または製造制限)
部品 GND	16

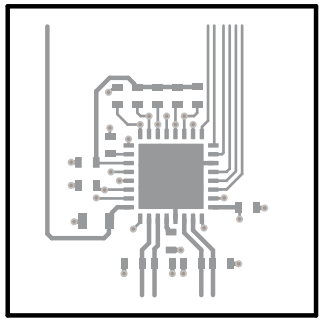
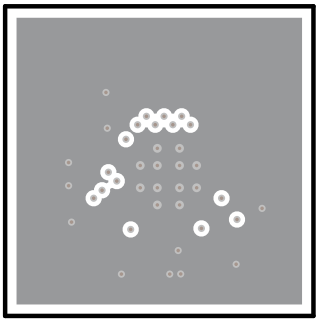
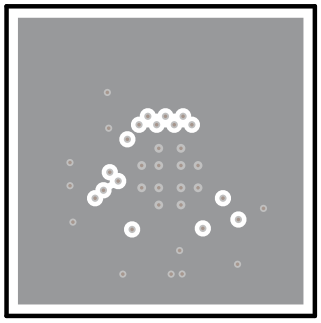
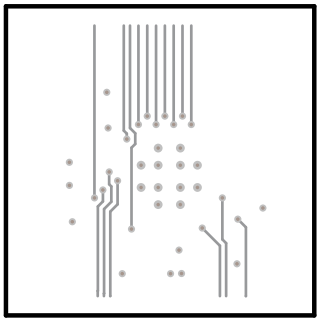
9.5.2 レイアウト例

表 9-5. 複合ビュー

上部コンポジット	下部コンポジット
	

Copyright © 2026 Texas Instruments Incorporated

表 9-6. 銅層および配線層

最上層 1	GND 層 2	GND 層 3	最下層 4
			

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、システムの開発を行うためのツールやソフトウェアを以下に挙げます。

10.1 ドキュメントのサポート

10.1.1 関連資料

- 『*USB-PD 仕様*』
- 『*USB パワー デリバリ仕様*』

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
USB Type-C® is a registered trademark of USB Implementers Forum.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2026	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS26742EAAQRHBRQ1	Active	Production	VQFN (RHB) | 32	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T26742E AA

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

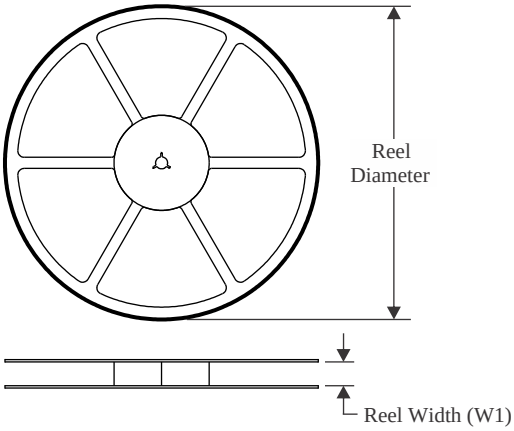
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

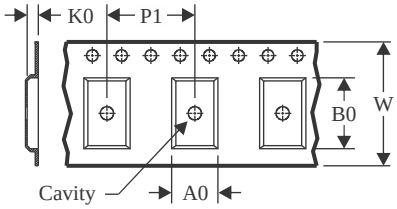
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

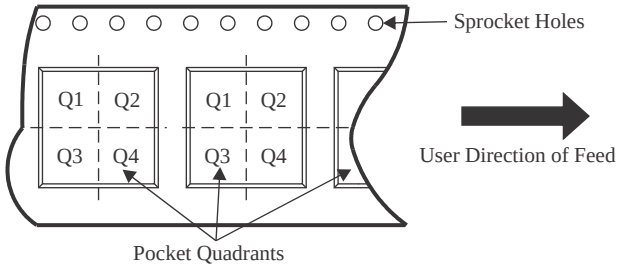


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

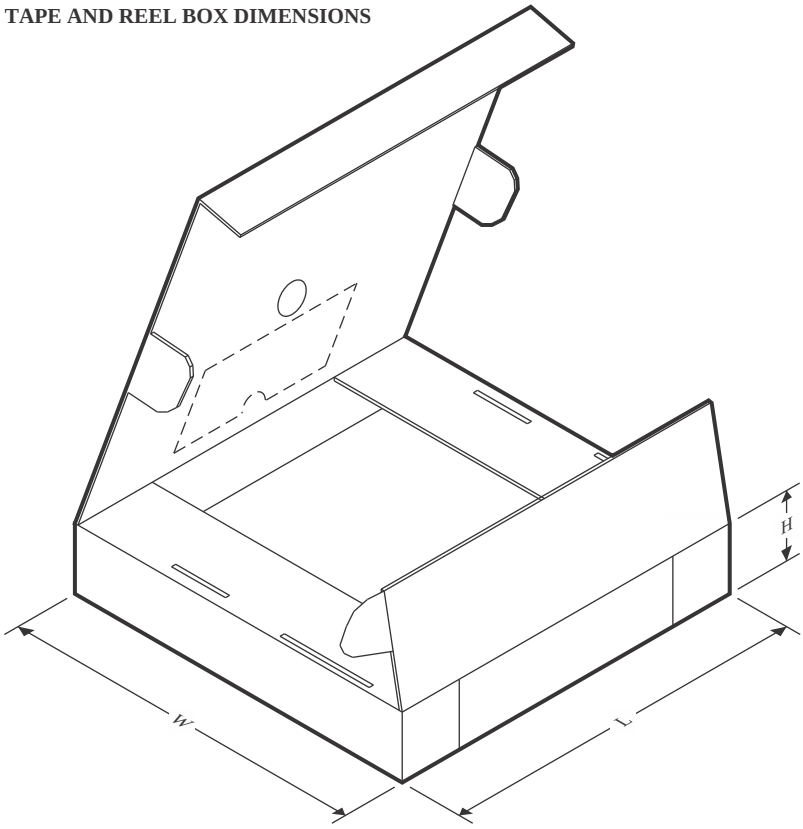
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS26742EAAQRHBRQ1	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TPS26742EAAQRHBRQ1	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS26742EAAQRHBRQ1	VQFN	RHB	32	5000	346.0	346.0	33.0
TPS26742EAAQRHBRQ1	VQFN	RHB	32	5000	360.0	360.0	36.0

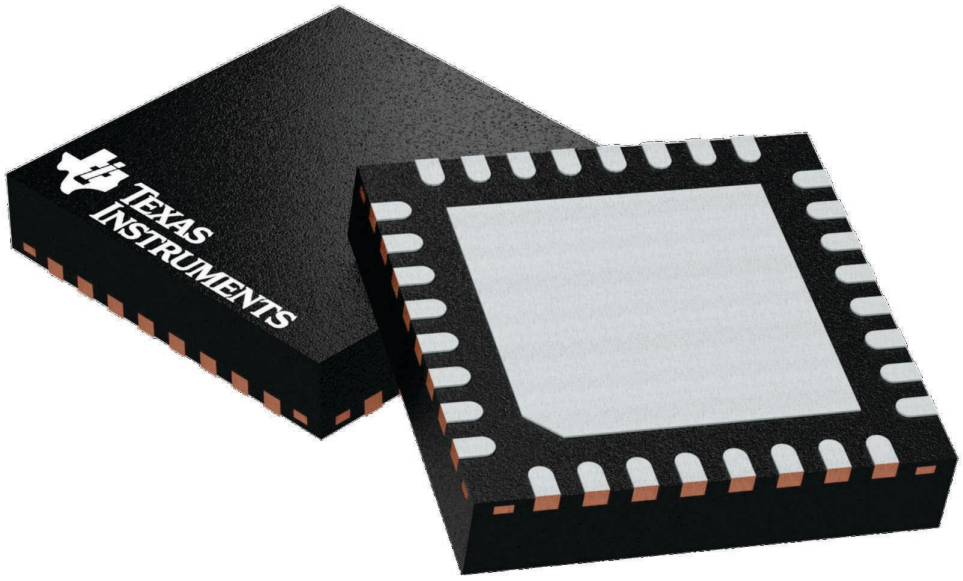
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

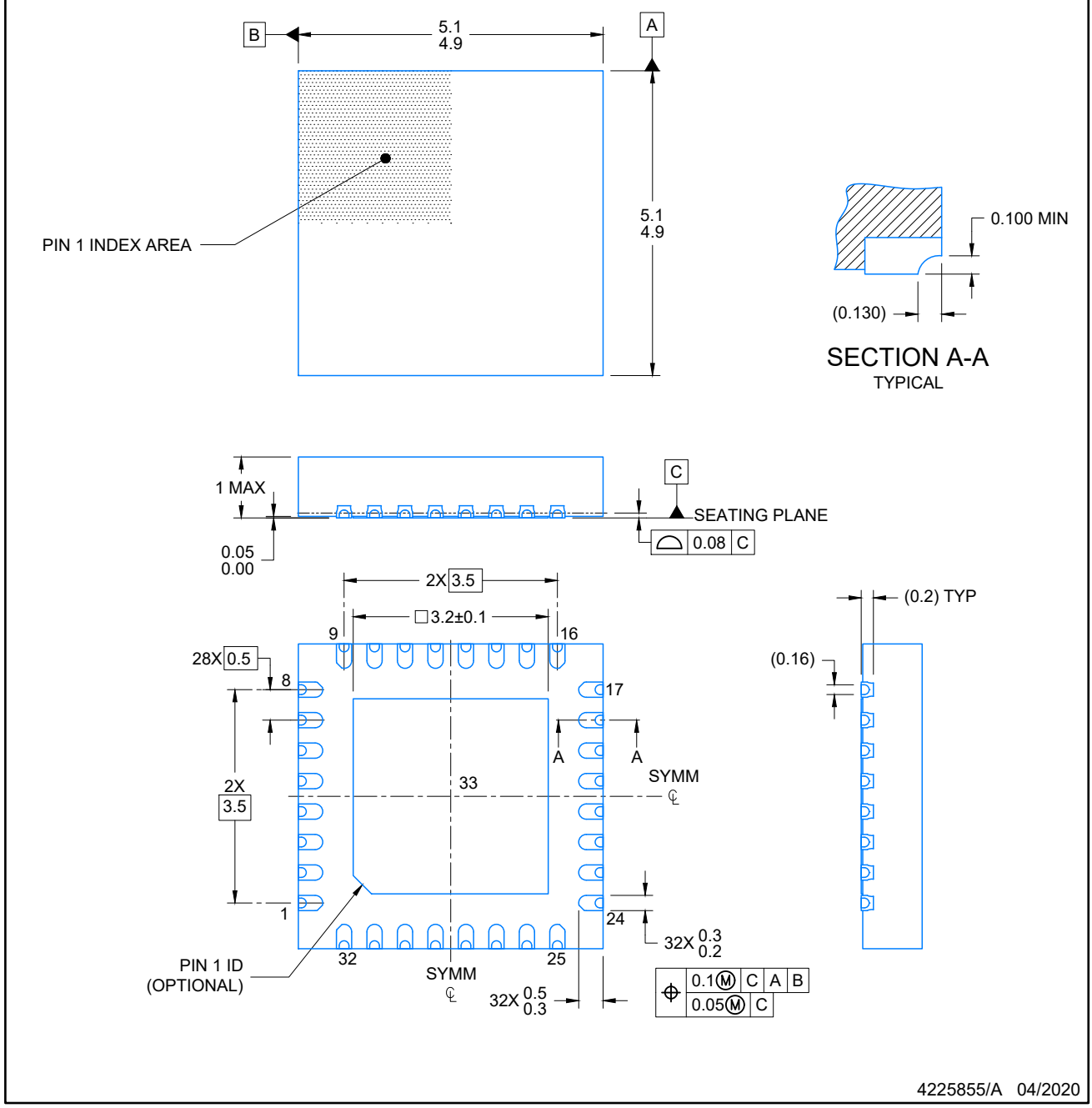
4224745/A

PACKAGE OUTLINE

RHB0032V

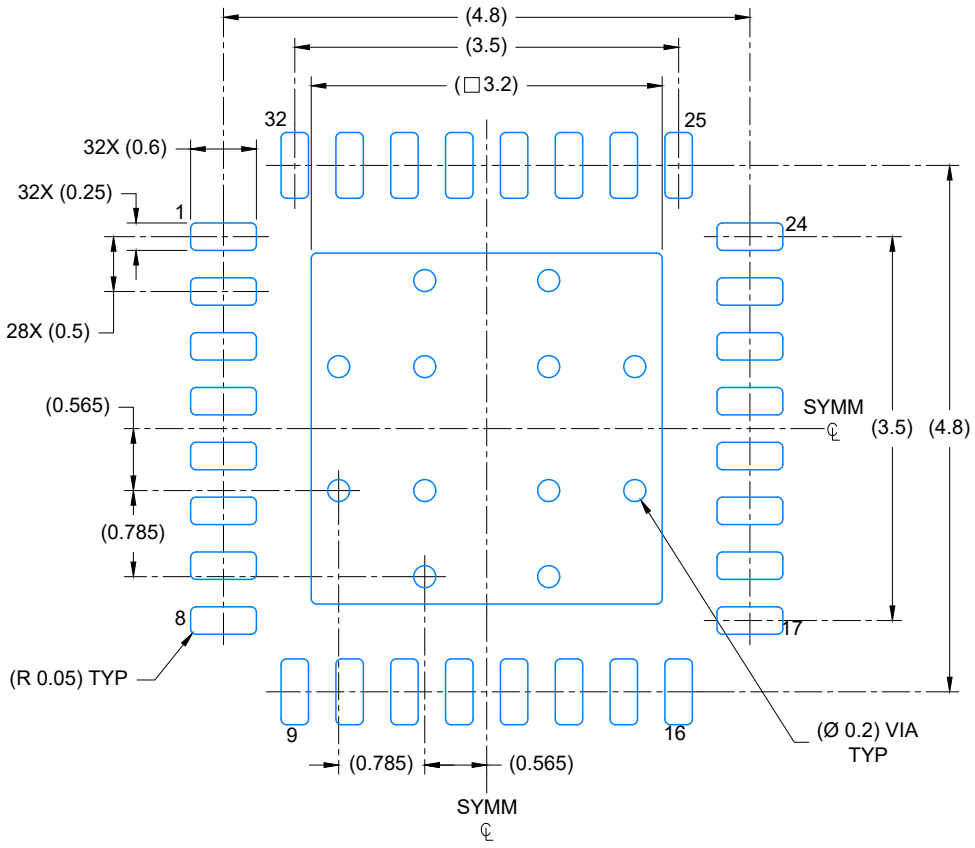
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD

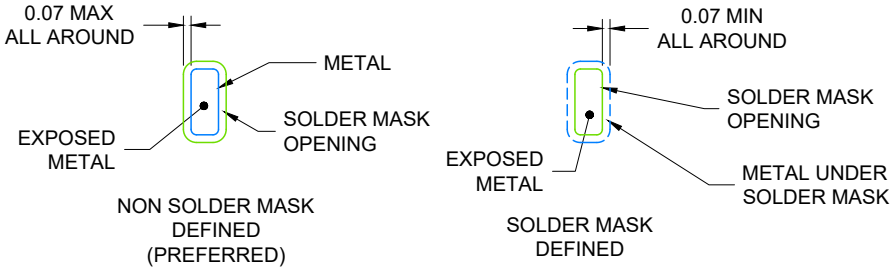


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

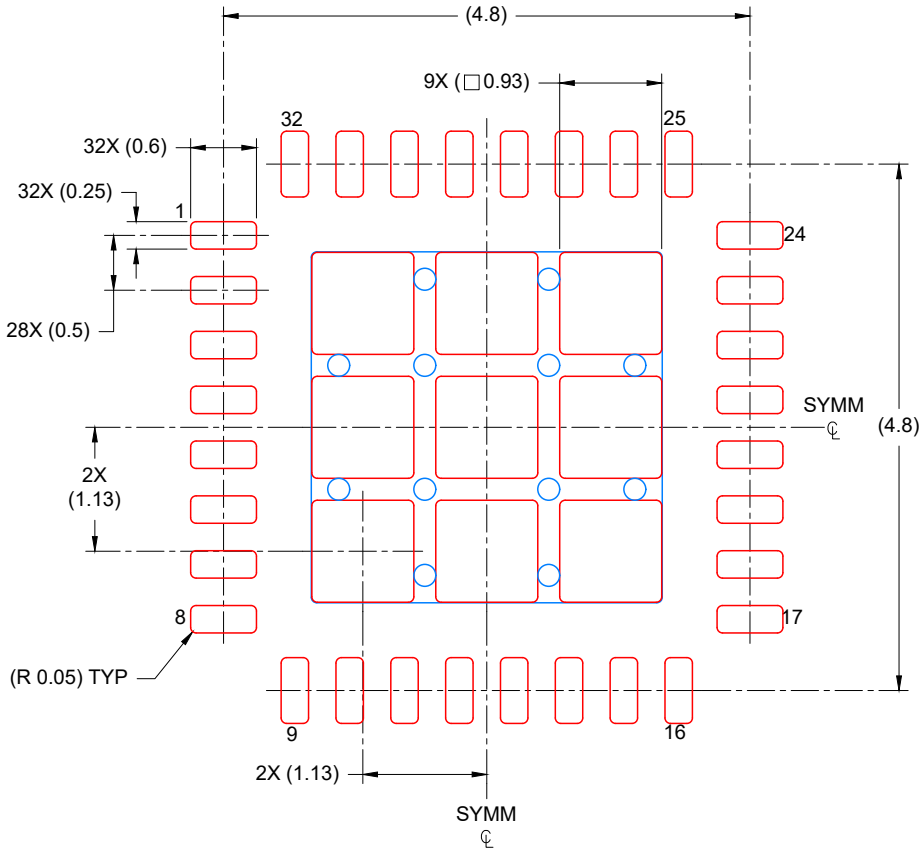


SOLDER MASK DETAILS

4225855/A 04/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
75% PRINTED COVERAGE BY AREA
SCALE: 15X

4225855/A 04/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月