# TPS2HCS10-Q1 11.3mΩ、車載用デュアル チャネル、SPI 制御ハイサイド スイッチ、I2T ワイヤ保護低消費電力モード搭載

## 1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
  - 温度グレード 1:–40°C ～ 125°C
  - 36V の負荷ダンプへの耐性
- nFET を内蔵した SPI 制御のデュアル チャネル スマート ハイサイド スイッチ。
- MCU を介さないワイヤ ハーネス保護機能と SPI でプログラム可能なヒューズ曲線を内蔵
  - 持続的な過負荷状態からの保護
- SPI でプログラム可能な可変過電流保護によりシステム レベルの信頼性を向上
- 幅広い容量性入力 ECU の負荷電流ニーズに対応する SPI で構成可能な容量性充電モード
- 低静止電流 / 低消費電力オン状態で常時オンの負荷に電力を供給、MCU に対するウェーク信号によりウェイクオン時の負荷電流を自動的に供給
- 堅牢な出力保護機能を内蔵:
  - サーマル保護内蔵
  - グランド短絡からの保護
  - 逆電源電圧による FET の自動スイッチ オンを含むバッテリ逆接続からの保護
  - バッテリまたはグランドの喪失時に使用できる自動シャットオフ機能
  - 誘導性負荷の逆起電圧の発生を防止する出力クランプを内蔵
- SPI によるデジタル センス出力で以下を測定するように構成可能:
  - 負荷電流 (内蔵 ADC による高精度の測定)
  - 出力または電源電圧、FET 温度
- SPI インターフェイスによる完全なフォルト診断と FLT ピンによるフォルト表示
  - 開放負荷およびバッテリへの短絡の検出

## 2 アプリケーション

- 車載ゾーン ECU
- パワー ディストリビューション モジュール
- 車体制御モジュール

## 3 説明

TPS2HCS10-Q1 デバイスは、シリアル ペリフェラル インターフェイス (SPI) を介して制御されるデュアルチャネルのスマート ハイサイド スイッチであり、電源分配やアクチュエータ駆動用途を目的としています。このデバイスには堅牢な保護機能が内蔵されており、短絡や過負荷の状態から出力ワイヤと負荷を確実に保護できます。このデバイスは SPI 経由で構成できる過電流保護機能を搭載しており、大きな突入電流を必要とする負荷に対応できる十分な柔軟性と強化された保護機能を実現します。このデバイスには、過負荷状態が持続した場合にスイッチをオフにする、電流と時間の関係を設定可能なヒューズ特性 (プログラマブル ヒューズ プロファイル) も組み込まれています。これらの 2 つの機能を組み合わせた完全な保護機能により、あらゆる負荷プロファイルに対してワイヤ ハーネスを最適化できます。

このデバイスは、パワー ディストリビューション スイッチ アプリケーションの ECU 負荷用に、SPI で構成可能な容量性充電モードをサポートしています。このデバイスには、低消費電力モード (LPM) が 2 種類あり、自動エントリ モードと手動エントリ モードを備えています。これにより、デバイス自身の消費電流を約 10 ～ 20µA に抑えつつ、負荷側の ECU に電流を供給することができます。

TPS2HCS10-Q1 デバイスは SPI による高精度のデジタル電流検出も備えているため、負荷の診断も強化されます。負荷電流、チャネル出力電圧、出力 FET 温度をシステムの MCU に報告することで、スイッチや負荷の障害を診断することができます。

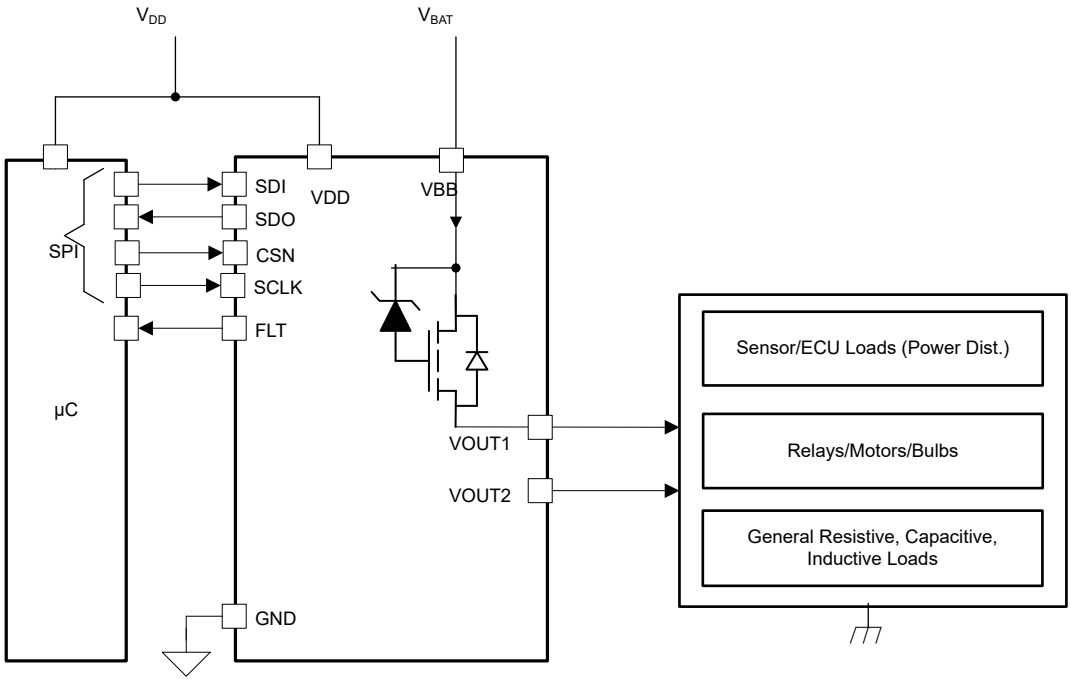
TPS2HCS10-Q1 は、PCB の実装面積を削減できる HTSSOP パッケージで提供されています。

**パッケージ情報**

| 部品番号 | パッケージ (1) | パッケージ サイズ(2) |
|---|---|---|
| TPS2HCS10-Q1 | PWP (HTSSOP、16) | 5mm x 6.4mm |

(1) 供給されているすべてのパッケージについては、セクション 12 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。




**概略回路図**


Copyright © 2025 Texas Instruments Incorporated

# 目次

**1 特長**.....1
**2 アプリケーション**.....1
**3 説明**.....1
**4 デバイス比較表**.....4
**5 ピン構成および機能**.....5
5.1 バージョン A パッケージ.....5
5.2 ピン配置 - バージョン A.....5
5.3 バージョン B パッケージ.....6
5.4 ピン配置 - バージョン B.....6
**6 仕様**.....7
6.1 絶対最大定格.....7
6.2 ESD 定格.....7
6.3 推奨動作条件.....7
6.4 熱に関する情報.....8
6.5 電気的特性.....8
6.6 SPI のタイミング要件.....14
6.7 スイッチング特性.....14
6.8 代表的特性.....16
**7 パラメータ測定情報**.....19
**8 詳細説明**.....20
8.1 概要.....20
8.2 機能ブロック図.....21
8.3 機能説明.....21
8.4 デバイスの機能モード.....42
8.5 TPS2HCS10-Q1 のレジスタ.....66
**9 アプリケーションと実装**.....108
9.1 アプリケーション情報.....108
9.2 代表的なアプリケーション.....110
9.3 電源に関する推奨事項.....111
9.4 レイアウト.....112
**10 デバイスおよびドキュメントのサポート**.....114
10.1 サード・パーティ製品に関する免責事項.....114
10.2 ドキュメントの更新通知を受け取る方法.....114
10.3 サポート・リソース.....114
10.4 商標.....114
10.5 静電気放電に関する注意事項.....114
10.6 用語集.....114
**11 改訂履歴**.....114
**12 メカニカル、パッケージ、および注文情報**.....115

Copyright © 2025 Texas Instruments Incorporated

# 4 デバイス比較表

**表 4-1. デバイスのオプション**

| デバイス バージョン | 部品番号 | アクティブ状態での出力制御 | $R_{SNS}$ = 700Ω に基づく I2T 範囲 | 過電流保護 ($I_{OCP}$) 範囲 | LIMP HOME 状態 |
|---|---|---|---|---|---|
| A | TPS2HCS10A-Q1 | SPI で設定 | 8.8$A^2$s ～ 350$A^2$s | 10A～25A | あり |
| B | TPS2HCS10B-Q1 | DIX ピンでのみ設定 | | | なし |


Copyright © 2025 Texas Instruments Incorporated

# 5 ピン構成および機能

## 5.1 バージョン A パッケージ

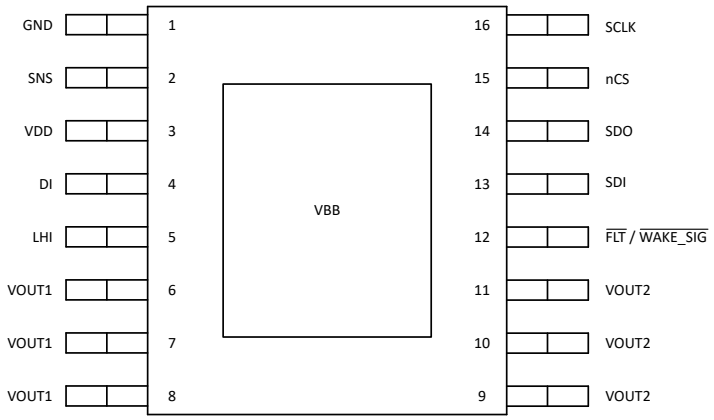



**図 5-1. TPS2HCS10A-Q1 PWP パッケージ、16 ピン HTSSOP (上面図)**

## 5.2 ピン配置 - バージョン A

| ピン | | タイプ | 説明 |
|---|---|---|---|
| 番号 | 名称 | | |
| 1 | GND | GND | デバイスのグランド |
| 2 | SNS | O | SNS 電流出力 - IC の GND ピンに対して並列 RC ネットワークを使用します。 |
| 3 | VDD | 電源 | ロジック電源入力 - セラミック コンデンサを使用して、IC の GND ピンに近づけてデカップリングします。 |
| 4 | DI | I | LIMP HOME モードで構成している場合、このモードでの出力動作を設定します。このピンは、10K 抵抗の tor 保護を使用して MCU または他の HI/LO ソースに接続し、逆極性 FET のターンオン機能を有効にする必要があります。 |
| 5 | LHI | I | LIMP HOME モードを有効にするための外部入力 (アクティブ High)。 |
| 6、7、8 | VOUT1 | O | チャネル 1 の出力 |
| 9、10、11 | VOUT2 | O | チャネル 2 の出力 |
| 12 | $\overline{\text{FLT}}$ / $\overline{\text{WAKE_SIG}}$ | O | フォルト出力 - 任意の (1 つまたは複数の) チャネルのオープン ドレイン、VDD ピンへの 4.7K 抵抗によってプルアップ。また、キーオフ モードでの負荷電流要求時に MCU へのウェイク信号として機能します。 |
| 13 | SDI | I | SPI デバイス (2 次側) データ入力 |
| 14 | SDO | O | デバイスからの SPI データ出力。VDD への内部プルアップ。 |
| 15 | CSN | I | チップ セレクト。VDD への内部プルアップ |
| 16 | SCLK | I | SPI クロック入力 |
| サーマル パッド | VBB | 電源 | 電源 |

Copyright © 2025 Texas Instruments Incorporated

## 5.3 バージョン B パッケージ

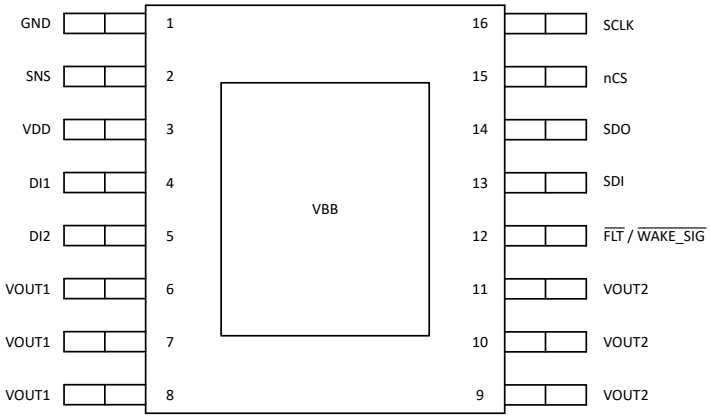



**図 5-2. PWP パッケージ、 16 ピン HTSSOP (上面図) - TPS2HCS10B-Q1**

## 5.4 ピン配置 - バージョン B

| ピン | | タイプ | 説明 |
|---|---|---|---|
| 番号 | 名称 | | |
| 1 | GND | GND | デバイスのグランド |
| 2 | SNS | O | SNS 電流出力 - *GND との間に抵抗を使用します。* |
| 3 | VDD | 電源 | ロジック電源入力 - セラミックの 1µF コンデンサを使用して、IC の GND ピンに近づけてデカップリングします。 |
| 4 | DI1 | I | チャネル 1 の出力をオンにするため有効にします。このピンは、10K 抵抗の tor 保護を使用して MCU または他の HI/LO ソースに接続し、逆極性 FET のターンオン機能を有効にする必要があります。 |
| 5 | DI2 | I | チャネル 2 の出力をオンにするため有効にします。 |
| 6、7、8 | VOUT1 | O | チャネル 1 の出力 |
| 9、10、11 | VOUT2 | O | チャネル 2 の出力 |
| 12 | $\overline{\text{FLT}}$ / $\overline{\text{WAKE_SIG}}$ | O | フォルト出力 - 任意の (1 つまたは複数の) チャネルのオープン ドレイン、VDD ピンへの 4.7K 抵抗によってプルアップ。また、キーオフ モードでの負荷電流要求時に MCU へのウェイク信号として機能します。 |
| 13 | SDI | I | SPI デバイス (2 次側) データ入力 |
| 14 | SDO | O | デバイスからの SPI データ出力。VDD への内部プルアップ。 |
| 15 | CSN | I | チップ セレクト。VDD への内部プルアップ |
| 16 | SCLK | I | SPI クロック入力 |
| サーマル パッド | VBB | 電源 | 電源 |


Copyright © 2025 Texas Instruments Incorporated

# 6 仕様

## 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

| | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|
| 最大連続電源電圧 $V_{VBB}$ | | | 28 | V |
| 負荷ダンプ電圧 | ISO16750-2:2010(E) | | 36 | V |
| VBB ピンの最大過渡電圧 (ISO 7637 パルス 2a 過渡時の例 ) $V_{BBt}$ | | | 54 | V |
| 電源電圧への短絡対応能力 | $I_{OCP}$ = 25A、$L_{OUT}$ = 5µH、$t_{SHORT}$ = 300ms、$T_A$ = 125°C | | 24 | V |
| 短絡電源電圧耐性、並列モード | PARALLEL_12 = 1、$I_{OCP}$ = 20A、$L_{OUT}$ = 5µH、$t_{SHORT}$ = 300ms、$T_A$ = 125°C | | 24 | V |
| VOUT 電圧 | | -30 | $V_{VS}$+0.3 | V |
| 逆極性電圧、VBB ピンで連続動作 | | -18 | | V |
| 低電源ピン電圧、$V_{DD}$ | | -0.3 | 7 | V |
| デジタル入力ピン電圧範囲、$V_{DIG}$ | SDI、SDO、SCLK、$\overline{CS}$ | -0.3 | 7 | V |
| センス・ピン電圧、$V_{SNS}$ | | -0.3 | 7 | V |
| $\overline{FLT}$ ピン電圧、$V_{FLT}$ | | -0.3 | 7 | V |
| Limp home アクティブ化ピン電圧、$V_{LHI}$ | | | $V_{BB}$ | V |
| Limp home 直接入力ピン電圧、$V_{DI}$ | | -0.3 | 7 | V |
| 逆グランド電流、$I_{GND}$ | $V_{BB}$ < 0V | | -50 | mA |
| 最大接合部温度、$T_J$ | | | 150 | °C |
| 保管温度、$T_{stg}$ | | -65 | 150 | °C |

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しなくなる可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

## 6.2 ESD 定格

| | | | | 値 | 単位 |
|---|---|---|---|---|---|
| $V_{(ESD)}$ | 静電放電(1) | 人体モデル (HBM)、AEC Q100-002 分類レベル H2 準拠 | VBB と VOUTx を含むすべてのピン | ±2000 | V |
| | | 人体モデル (HBM)、AEC Q100-002 分類レベル H3A 準拠 (2) | VBB と VOUTx | ±4000 | |
| | | 荷電デバイス モデル (CDM)、AEC Q100-011 分類レベル C5 準拠 | すべてのピン | ±750 | |

(1) AEC-Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。
(2) すべての ESD 衝撃は、GND に接続されたピンの基準電圧によるものです

## 6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| | | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|---|
| $V_{BB_NOM}$ | 公称電源電圧 | | 6 | 18 | V |
| $V_{BB_EXT}$ | 拡大電源電圧 | 動作電圧範囲の条件を参照してください | 3 | 28 | V |
| $V_{DD}$ | 低電圧電源電圧 | | 3.0 | 5.5 | V |

## 6.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

| | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|
| $V_{DIG}$ | すべてのデジタル入力ピンの電圧 | -0.3 | 5.5 | V |
| $V_{\overline{FLT}}$ | $\overline{FLT}$ ピン電圧 | -0.3 | 5.5 | V |
| $V_{LHI}$ | Limp home アクティブ化ピン電圧、LHI | | $V_{BB}$ | V |
| $V_{DI}$ | Limp home 直接ピン入力電圧、DI | -0.3 | 5.5 | V |
| $T_A$ | 外気温度での動作時 | -40 | 125 | °C |

## 6.4 熱に関する情報

| 熱評価基準(1) (2) | | TPS2HCS10-Q1 PWP 16 ピン | 単位 |
|---|---|---|---|
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 33.0 | °C/W |
| $R_{\theta JC(top)}$ | 接合部からケース (上面) への熱抵抗 | 26.2 | °C/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 9.4 | °C/W |
| $\psi_{JT}$ | 接合部から上面への特性パラメータ | 3.0 | °C/W |
| $\psi_{JB}$ | 接合部から基板への特性パラメータ | 9.3 | °C/W |
| $R_{\theta JC(bot)}$ | 接合部からケース (底面) への熱抵抗 | 1.1 | °C/W |

(1) 従来および最新の熱評価基準の詳細については、https://www.ti.com/lit/an/spra953c/spra953c.pdf アプリケーション レポートを参照してください。
(2) 熱パラメータは、JESD51-5 および JESD51-7 に準拠した 4 層 PCB に基づいています。

## 6.5 電気的特性

$V_{BB}$ = 6V ～ 18V、$V_{DD}$ = 3.0V ～ 5.5V、$T_J$ = -40 °C ～ 150 °C (特に記述のない限り)

| パラメータ | | テスト条件 | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| **入力電圧および電流** | | | | | | | |
| $V_{Clamp}$ | VDS クランプ電圧 | $I_{OUT}$ = 10mA VBB > 28V | $T_J$ = 25°C ～ 150°C | 35 | 40 | 45 | V |
| | | $I_{OUT}$ = 10mA 12V < VBB < 28V | $T_J$ = -40°C ～ 150°C | 30 | 34 | 38 | V |
| | | $I_{OUT}$ = 10mA VBB = 3V | $T_J$ = -40°C ～ 150°C | 27.5 | | 36.5 | V |
| $V_{VBB_UVLOR}$ | $V_{BB}$ 低電圧誤動作防止の立ち上がり電圧 | デバイスの GND ピンを基準に測定。 | | 3.0 | 3.5 | 4.0 | V |
| $V_{VBB_UVLOF}$ | $V_{BB}$ 低電圧誤動作防止の立ち下がり電圧 | | | 2.6 | 2.8 | 3.0 | V |
| $V_{BB_UV_WRN_R}$ | VBB 電圧 UV_WRN 立ち上がりスレッショルド | デバイスの GND ピンに関して測定。 | | | 4.9 | | V |
| $V_{BB_UV_WRN_F}$ | VBB 電圧 UV_WRN 立ち下がりスレッショルド | | | | 4.5 | | V |
| $V_{VDD_UVLOR}$ | $V_{VDD}$ 低電圧誤動作防止の立ち上がり電圧 | デバイスの GND ピンを基準に測定されます | | 1.94 | | 2.2 | V |
| $V_{VDD_UVLOF}$ | $V_{VDD}$ 低電圧誤動作防止の立ち下がり | | | 1.86 | | 2.07 | V |
| $I_{SLEEP、VBB}$ | スリープ電流 (すべての MOSFET チャネルを含むデバイス全体のリーク電流) | $V_{BB}$ ≤ 18V、デバイスはスリープ モード、$V_{OUT}$ = 0V | $T_J$ = 25°C | | | 0.5 | µA |
| | | | $T_J$ = 85°C | | | 2.2 | µA |


Copyright © 2025 Texas Instruments Incorporated

## 6.5 電気的特性 (続き)

$V_{BB}$ = 6V ～ 18V、$V_{DD}$ = 3.0V ～ 5.5V、$T_J$ = -40 °C ～ 150 °C (特に記述のない限り)

| パラメータ | | テスト条件 | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| $I_{SLEEP、VDD}$ | VDD ピンからのスリープ電流 | $V_{VDD}$ ≤ 5.5V、デバイスはスリープ モード、$V_{OUT}$ = 0V | $T_J$ = 25°C | | | 0.3 | µA |
| | | | $T_J$ = 85°C | | | 0.5 | µA |
| $I_{OUT(OFF)}$ | (チャネルあたりの) 出力リーク電流 | $V_{OUT}$ = 0V、チャネル無効、アクティブ / 構成状態 | $T_J$ = -40 ～ 125°C | | 1 | 12 | µA |
| $I_{Q、VDD}$ | VDD 静止時電流 | アクティブ状態、SCLK オフ | $V_{DD}$ = 5.5V | | 1.4 | 1.6 | mA |
| | | アクティブ状態、SCLK ON | | | | 2.2 | mA |
| $V_{BB}$ $I_Q$ | $V_{BB}$ 静止電流 | すべてのチャネルが有効、$I_{OUTx}$ = 0A、SCLK オフ、診断は無効 | $V_{DD}$ = 5.5V | | 3.8 | 4.3 | mA |
| | | | $V_{DD}$ = 3.0V | | 4.25 | 5.2 | mA |
| | | すべてのチャネルがイネーブル、$I_{OUTx}$ = 0A、SCLK オフ、診断が有効 (ISNS、ADC) | $V_{DD}$ = 5.5V | | 3.9 | 4.5 | mA |
| | | | $V_{DD}$ = 0V | | 4.4 | 5.5 | mA |
| $I_{L、CONT}$ | チャネルごとの連続負荷電流 | すべてのチャネルが有効、$T_{AMB}$ = 85°C | | | 7 | | A |
| | | 1 つのチャネルが有効、$T_{AMB}$ = 85°C | | | 12 | | A |
| **Ron の特性** | | | | | | | |
| $R_{ON}$ | オン抵抗 | 6V ≤ $V_{BB}$ ≤ 28V、$I_{OUTx}$ = 1A、OL_ON_EN_CH1 = 0 | $T_J$ = 25°C | | 11.3 | | mΩ |
| | | | $T_J$ = 150°C | | | 22 | mΩ |
| $R_{ON_OL}$ | オン抵抗、OL_ON モード | 6V ≤ $V_{BB}$ ≤ 28V、$I_{OUTx}$ = 0.3A、OL_ON_EN_CHx = 1 | $T_J$ = 25°C | | 36 | | mΩ |
| | | | $T_J$ = 150°C | | | 70 | mΩ |
| $R_{ON(REV)}$ | 逆極性時のオン抵抗 | –18V ≤ $V_{BB}$ ≤ –7V、 | $T_J$ = 25°C | | 13 | | mΩ |
| | | | $T_J$ = 150°C | | | 26 | mΩ |
| $\Delta R_{ON}$ | チャネル間のオン抵抗差のパーセンテージ ($R_{ON、CHx}$ - $R_{ON、CHy}$ ) | $V_{BB}$ ≥ 6V、$T_J$ = 25°C | | | 0.5 | 7 | % |
| **電流センス特性** | | | | | | | |
| $K_{SNS}$ | 電流センス比 $I_{OUTx}$ / $i_{SNS}$ | $I_{OUT}$ = 1.0A、OL_ON_EN_CHx = 0 | | | 5000 | | |
| $K_{SNS}$ | 電流センス比 $I_{OUTx}$ / $i_{SNS}$ | $I_{OUT}$ = 50mA、OL_ON_EN_CHx = 1 | | | 1400 | | |
| $I_{SNS_SAT}$ | 飽和検出電流 | VBB > 6V、RSNS = 374Ω OL_ON_EN_CHx =0 | $I_{OUT}$ ≥ 30A | 6 | | | mA |

Copyright © 2025 Texas Instruments Incorporated

## 6.5 電気的特性 (続き)

$V_{BB}$ = 6V ～ 18V、$V_{DD}$ = 3.0V ～ 5.5V、$T_J$ = -40 °C ～ 150 °C (特に記述のない限り)

| パラメータ | | テスト条件 | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| $K_{SNS1}$ | $I_{OUT}$ 全体にわたって $K_{SNS1}$ 比 $I_{OUT}$ / $I_{SNS1}$ | RSNS = 374Ω、OL_ON_EN_CHx = 0 | $I_{OUT}$ = 20A | | 5000 | | |
| | | | | -3 | | 3 | % |
| | | RSNS = 698Ω OL_ON_EN_CHx = 0 | $I_{OUT}$ = 10A | | 5000 | | |
| | | | | -5 | | 5 | % |
| | | | $I_{OUT}$ = 5A | | 5000 | | |
| | | | | -5 | | 5 | % |
| | | | $I_{OUT}$ = 2.5A | | 5000 | | |
| | | | | -5 | | 5 | % |
| | | | $I_{OUT}$ = 1A | | 5000 | | |
| | | | | -5 | | 5 | % |
| | | | $I_{OUT}$ = 500mA | | 5000 | | |
| | | | | -7 | | 7 | % |
| | | | $I_{OUT}$ = 250mA | | 5000 | | |
| | | | | -10 | | 10 | % |
| | | | $I_{OUT}$ = 100mA | | 5000 | | |
| | | | | -20 | | 20 | % |
| $K_{SNS2}$ | $I_{OUT}$ 全体にわたって $K_{SNS2}$ 比 $I_{OUT}$ / $I_{SNS2}$ | RSNS = 698Ω OL_ON_EN_CHx = 1 | $I_{OUT}$ = 250mA | | 1400 | | |
| | | | | -10 | | 10 | % |
| | | | $I_{OUT}$ = 100mA | | 1400 | | |
| | | | | -10 | | 10 | % |
| | | | $I_{OUT}$ = 50mA | | 1400 | | |
| | | | | -12 | | 12 | % |
| | | | $I_{OUT}$ = 25mA | | 1400 | | |
| | | | | -20 | | 20 | % |
| | | | $I_{OUT}$ = 10mA | | 1400 | | |
| | | | | -40 | | 40 | % |
| $I_{ENTRY_OL_ON}$ | OL_ON モードに移行するための $I_{OUT}$ 電流 (OL_ON_EN_CHx = 1) | | | 0.5 | | | A |
| $I_{EXIT_OL_ON}$ | OL_ON モードを終了するための $I_{OUT}$ 電流 (OL_ON_EN_CHx = 1) | | | | | 1.7 | A |
| **ADC の特性** | | | | | | | |
| $V_{ADCEFfHI}$ | ADC リファレンス電圧 | | | 2.76 | 2.81 | 2.9 | V |
| Isample | 電流センス サンプリング時間 | マルチプレクサ タイミングと ADC 変換時間を含みます | | 50 | | | µs |
| $I_{ADC}$ | ADC 消費電流 | | | | | 0.5 | mA |
| **SNS 特性** | | | | | | | |
| $ISNS_{ADC、ACC}$ | ISNS ADC の精度 | OL_ON_EN_CHx = 0、ISNS_SCALE_CHx = 0 | SNS ピン電圧 = 2.7V | -3 | | 3 | % |
| | | | SNS ピン電圧 = 1.4V | -3.25 | | 3.25 | % |
| | | | SNS ピン電圧 = 0.7V | -4 | | 4 | % |
| | | | SNS ピン電圧 = 0.1V | -15 | | 15 | % |
| | | OL_ON_EN_CHx = 1、ISNS_SCALE_CHx = 1 | SNS ピン電圧 = 0.04V | -10.5 | | 10.5 | % |
| | | | SNS ピン電圧 = 0.01V | -37.5 | | 37.5 | % |
| $ADC_{TSNS}$ | $T_{SNS}$ ADC 出力コード | $T_J$ = 25°C | バッファ ゲインを含みます | | 474 | | |
| $TSNS_{ACC}$ | $T_{SNS}$ の測定精度 | | | -17 | | 17 | °C |
| $ADC_{VSNS}$ | 出力電圧測定の ADC コード | VOUTx = 13.5V、デバイスの GND を基準 | バッファ ゲインを含みます | | 459 | | |


Copyright © 2025 Texas Instruments Incorporated

## 6.5 電気的特性 (続き)

$V_{BB}$ = 6V ～ 18V、$V_{DD}$ = 3.0V ～ 5.5V、$T_J$ = -40 °C ～ 150 °C (特に記述のない限り)

| パラメータ | | テスト条件 | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| $VSNS_{ACC}$ | VOUT SNS (VSNS ) の測定精度 | | | -5 | | 5 | % |
| $ADC_{VBBSNS}$ | VBB 電圧測定の ADC コード | VBB = 13.5V、デバイスの GND を基準 | バッファ ゲインを含みます | | 452 | | |
| $VBBSNS_{ACC}$ | VBB SNS (VBBSNS ) の測定精度 | | | -5 | | 5 | % |
| **過電流保護特性** | | | | | | | |
| $I_{OCP_RANGE}$ | 過電流保護スレッショルド、即時シャットダウン範囲 | di/dt = 2A/µs | | 10 | | 25 | A |
| $I_{OCP}$ | 過電流保護スレッショルド、即時シャットダウン | di/dt = 2A/µs<br>$T_J$ = –40°C ～ 150°C | ILIMIT_SET_CHx = 0x0 | | 10 | | A |
| | | | ILIMIT_SET_CHx = 0x1 | | 12.5 | | A |
| | | | ILIMIT_SET_CHx = 0x2 | | 15 | | A |
| | | | ILIMIT_SET_CHx = 0x3 | | 17.5 | | A |
| | | | ILIMIT_SET_CHx = 0x4 | | 20 | | A |
| | | | ILIMIT_SET_CHx = 0x5 | | 22.5 | | A |
| | | | ILIMIT_SET_CHx = 0x6 | | 25 | | A |
| $I_{OCP_RANGE、PARALLEL}$ | 過電流保護スレッショルド、即時シャットダウン - 並列モードでの範囲 | di/dt = 2A/µs<br>PARALLEL_12 = 1 | | 10 | | 20 | A |
| $t_{OCP_DETECT}$ | 即時シャットダウン検出時間 | $T_J$ = -40°C ～ 150°C | $I_{OUT}$ = $I_{OCP}$ から $I_{OCP}$ 検出まで、$R_{OUT}$ = $I_{OCP}$ の 150%、$L_{IN}$ = $L_{OUT}$ = 0nH | 0.3 | | 1.5 | us |
| $t_{OCP_TOFF}$ | 即時シャットダウン ターンオフ時間 | $T_J$ = -40°C ～ 150°C | $I_{OCP}$ 検出から $V_{OUTx}$ の 10% まで、$R_{OUT}$ = $I_{OCP}$ の 150%、$L_{IN}$ = $L_{OUT}$ = 0nH | | | 7.5 | us |
| **コンデンサ充電電流の制限** | | | | | | | |
| $I_{CL_Reg}$ | 突入電流期間内の電流レギュレーション モード電流 | $T_J$ = -40°C ～ 150°C dI/dt < 0.01A/ms | INRUSH_LIMIT_CHx = 0 | 0.82 | 1.5 | 2.18 | A |
| | | | INRUSH_LIMIT_CHx = 1 | | 1.85 | | A |
| | | | INRUSH_LIMIT_CHx = 2 | | 2.25 | | A |
| | | | INRUSH_LIMIT_CHx = 3 | | 2.6 | | A |
| | | | INRUSH_LIMIT_CHx = 4 | 1.8 | 3 | 4.2 | A |
| | | | INRUSH_LIMIT_CHx = 5 | | 3.4 | | A |
| | | | INRUSH_LIMIT_CHx = 6 | | 3.8 | | A |
| | | | INRUSH_LIMIT_CHx = 7 | | 5 | | A |
| | | | INRUSH_LIMIT_CHx = 8 | | 6.25 | | A |
| | | | INRUSH_LIMIT_CHx = 9 | | 7.5 | | A |
| | | | INRUSH_LIMIT_CHx = A | | 8.7 | | A |
| | | | INRUSH_LIMIT_CHx = B | | 10.1 | | A |
| | | | INRUSH_LIMIT_CHx = C | | 11.3 | | A |
| $t_{INRUSH_RANGE}$ | 突入時間の設定範囲 | INRUSH_DURATION_CHx の範囲 | | 0 | | 100 | ms |
| **フォルト特性** | | | | | | | |
| $I_{OL_OFF}$ | オフ状態でのオープン負荷 (OL) 検出における内部プルアップ電流 | スイッチ ディスエーブル、OL_OFF_EN_CHx = イネーブル | OL_PULLUP_STR = 00 | 20.1 | 26.5 | 100 | µA |
| | | | OL_PULLUP_STR = 01 | 48.1 | 60 | 126 | µA |
| | | | OL_PULLUP_STR = 10 | 103.2 | 127 | 208 | µA |
| | | | OL_PULLUP_STR = 11 | 213 | 260 | 348 | µA |

Copyright © 2025 Texas Instruments Incorporated

## 6.5 電気的特性 (続き)

$V_{BB}$ = 6V ～ 18V、$V_{DD}$ = 3.0V ～ 5.5V、$T_J$ = -40 °C ～ 150 °C (特に記述のない限り)

| パラメータ | | テスト条件 | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| $R_{SHRT_VBB}$ | オフ状態での VBB への短絡検出におけるプルダウン抵抗 | チャネル無効、オフ状態での VBB 短絡診断機能が有効化されている状態 | | 5.5 | 6.8 | 8 | kΩ |
| $V_{OL_OFF_TH}$ | オフ状態でのオープン負荷 (OL) 検出電圧 | チャネル無効化、オフ状態での開放負荷診断イネーブル、$V_{OUTx}$ | | 1.9 | 2.5 | 2.95 | V |
| $T_{ABS}$ | サーマル シャットダウン | | | 155 | 180 | 205 | °C |
| $T_{OTW}$ | サーマル シャットダウン警告 | | | 130 | 150 | 170 | °C |
| $T_{REL}$ | 相対的なサーマル シャットダウンの温度 | | | | 60 | | °C |
| $T_{HYS}$ | サーマル シャットダウン ヒステリシス | | | 20 | 25 | 30 | °C |
| $t_{RETRY}$ | 再試行時間 | 故障シャットダウンからスイッチ再有効化までの時間(サーマル シャットダウンまたは過電流)。PWM は次のサイクルまで待機してから再びオン | | | 2 | | ms |
| $t_{WAKE_SIG}$ | LPM 終了を示す WAKE_SIG / FLT ピンのインジケータ | | | | 100 | | µs |
| **タイミング特性** | | | | | | | |
| $OSC_{ACC}$ | 発振回路の精度 | | | -10 | | 10 | % |
| $PWM_{FREQ}$ | PWM 周波数 | PWM_EN = 1 | PWM_FREQ_CHx = 101 | 372 | 425 | 478 | Hz |
| **低電力モードの特性** | | | | | | | |
| $R_{ON、LPM_AUTO}$ | AUTO_LPM モードでの $R_{ON}$ | | $T_J$ = -40°C ～ 105°C | | 11.3 | 22 | mΩ |
| $R_{ON、LPM_MAN}$ | MANUAL_LPM モードの $R_{ON}$ | | $T_J$ = -40°C ～ 105°C | | 36 | 70 | mΩ |
| $I_{ENTRY_LPM_AUTO}$ | AUTO_LPM 状態に移行するための $I_{OUT}$ 電流 | | $T_J$ = -40°C ～ 105°C | | 0.95 | | A |
| $I_{EXIT_LPM_AUTO}$ | AUTO_LPM 状態を終了するための $I_{OUT}$ 電流 | | $T_J$ = -40°C ～ 105°C | | 1.05 | | A |
| $I_{SCP_LPM_AUTO}$ | AUTO_LPM 状態の短絡検出スレッショルド | | $T_J$ = -40°C ～ 105°C | | 13.7 | | A |
| $I_{EXIT_LPM_MAN}$ | MANUAL_LPM 終了の IOUTx スレッショルド | 1mA/µs における電流ランプ $T_J$ =–40°C ～ 85°C | MAN_LPM_EXIT_CURR_CHx = 00 | 330 | 500 | 670 | mA |
| | | | MAN_LPM_EXIT_CURR_CHx = 01 | 450 | 625 | 900 | mA |
| | | | MAN_LPM_EXIT_CURR_CHx = 10 | 100 | 150 | 225 | mA |
| | | | MAN_LPM_EXIT_CURR_CHx = 11 | 220 | 325 | 450 | mA |
| $I_{SCP_LPM_MAN}$ | チャネルが短絡を検出したときの負荷電流 | di/dt = 5mA/µs | | | 4.0 | | A |
| $t_{RETRY_LPM}$ | LPM 状態の再試行時間 | | | | 5 | | µs |
| $t_{STBY_LPM_AUTO}$ | AUTO_LPM 状態に移行するまでのスタンバイ時間 | $I_{OUTx} \le I_{ENTRY_LPM_AUTO}$ | | | 20 | | ms |
| $t_{LPM_ENTRY}$ | LPM 状態に移行する時間 | | | | 200 | | µs |
| $t_{WAKE}$ | $I_{EXIT_LPM_MAN}$ 検出時間 | | | | 5 | | µs |
| $t_{SLEW}$ | $I_{EXIT_LPM_MAN}$ の後、メイン FET のスルー時間 | | | | 200 | | µs |


Copyright © 2025 Texas Instruments Incorporated

## 6.5 電気的特性 (続き)

$V_{BB}$ = 6V ～ 18V、$V_{DD}$ = 3.0V ～ 5.5V、$T_J$ = -40 °C ～ 150 °C (特に記述のない限り)

| パラメータ | | テスト条件 | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| $I_{Q,VDD,LPM_MAN}$ | MANUAL_LPM モードでの VDD 静止電流 | $V_{DD}$ = 5.0V、$I_{OUTx}$= 0A、$T_J$ = –40°C ～ 85°C | 両方のチャネルがオフ | | 9 | 18 | µA |
| | | | 1 つのチャネルがオン | | 12.3 | 21.6 | µA |
| | | | 両方のチャネルがオン | | 15.6 | 23 | µA |
| $I_{Q,VDD,LPM_AUTO}$ | AUTO_LPM の VDD 静止電流 | $V_{DD}$ = 5.0V、$I_{OUTx}$ = 0A、$T_J$ = –40°C ～ 85°C | 両方のチャネルがオフ | | 9 | 18 | µA |
| | | | 1 つのチャネルがオン | | 12.3 | 21.6 | µA |
| | | | 両方のチャネルがオン | | 15.6 | 23 | µA |
| $I_{Q,VBB,LPM_MAN}$ | MANUAL_LPM モードでの VBB 静止電流 | $V_{DD}$ = 5.0V、$I_{OUTx}$= 0A、$T_J$ = –40°C ～ 85°C | 両方のチャネルがオフ | | 3.72 | 7 | µA |
| | | | 1 つのチャネルがオン | | 5.1 | 9.1 | µA |
| | | | 両方のチャネルがオン | | 6.42 | 9.5 | µA |
| $I_{Q,VBB,LPM_AUTO}$ | AUTO_LPM の VBB 静止電流 | $V_{DD}$ = 5.0V、$I_{OUTx}$ = 0A、$T_J$ = –40°C ～ 85°C | 両方のチャネルがオフ | | 10.4 | 15.5 | µA |
| | | | 1 つのチャネルがオン | | 11 | 15.8 | µA |
| | | | 両方のチャネルがオン | | 11.6 | 16.1 | µA |
| **デジタル入力ピンの特性** | | | | | | | |
| $V_{IH,SPI}$ | 入力電圧 high レベル (SCLK、SDI、CSN) | 3.0V ≤ VDD ≤ 5.5V | | 0.7 × $V_{VDD}$ | | | V |
| $V_{IL,SPI}$ | 入力電圧 low レベル (SCLK、SDI、CSN) | 3.0V ≤ VDD ≤ 5.5V | | | | 0.3 × $V_{VDD}$ | V |
| $R_{PD,SCLK}$ | SCLK 内部プルダウン抵抗 | | | 1.80 | 2 | 2.26 | MΩ |
| $I_{IH,SCLK}$ | 高レベルの入力電流 | SCLK | $V_{SCLK}$ = 5V | | 2.5 | | µA |
| $R_{PD,SDI}$ | SDI 内部プルダウン抵抗 | | | 1.80 | 2 | 2.26 | MΩ |
| $I_{IH,SDI}$ | 高レベルの入力電流 | SDI | $V_{SDI}$ = 5V | | 2.5 | | µA |
| $R_{PU,CSN}$ | CSN 内部プルアップ抵抗 | | | 85 | 90 | 96 | kΩ |
| $V_{IH,DI}$ | 高レベルの入力電圧 | DI (バージョン A) | | 1.65 | | | V |
| $V_{IL,DI}$ | 低レベルの入力電圧 | | | | | 0.8 | V |
| $R_{PD,DI}$ | 内部プルダウン抵抗。 | | | 772 | 850 | 915 | kΩ |
| $I_{IH,DI}$ | 高レベルの入力電流 | | $V_{DI}$ = 5V | | 6 | | µA |
| $V_{IH,DI1}$ | 高レベルの入力電圧 | DI1 (バージョン B) | | 1.65 | | | V |
| $V_{IL,DI1}$ | 低レベルの入力電圧 | | | | | 0.8 | V |
| $R_{PD,DI1}$ | 内部プルダウン抵抗。 | | | 772 | 850 | 915 | kΩ |
| $I_{IH,DI1}$ | 高レベルの入力電流 | | $V_{DI1}$ = 5V | | 6 | | µA |
| $V_{IH,LHI}$ | 高レベルの入力電圧 | LHI (バージョン A) | | 1.65 | | | V |
| $V_{IL,LHI}$ | 低レベルの入力電圧 | | | | | 0.8 | V |
| $R_{PD,LHI}$ | 内部プルダウン抵抗。 | | | 772 | 850 | 915 | kΩ |
| $I_{IH,LHI}$ | 高レベルの入力電流 | | $V_{LHI}$ = 5V | | 6 | | µA |
| $V_{IH,DI2}$ | 高レベルの入力電圧 | DI2 (バージョン B) | | 1.65 | | | V |
| $V_{IL,DI2}$ | 低レベルの入力電圧 | | | | | 0.8 | V |
| $R_{PD,DI2}$ | 内部プルダウン抵抗。 | | | 772 | 850 | 915 | kΩ |
| $I_{IH,DI2}$ | 高レベルの入力電流 | | $V_{DI2}$ = 5V | | 6 | | µA |
| **デジタル出力ピンの特性** | | | | | | | |
| $V_{OH,SDO}$ | 出力ロジック高電圧ドロップ | SDO ピン電流 = -2mA | | | | 0.2 | V |
| $V_{OL,SDO}$ | 出力ロジック Low 電圧 | SDO ピン電流 = 2mA | | | | 0.2 | V |
| $V_{OL_FLT}$ | 出力ロジック low 電圧ドロップ | $\overline{FLT}$ ピン電流 = 4mA | | | | 0.55 | V |

Copyright © 2025 Texas Instruments Incorporated

## 6.6 SPI のタイミング要件

動作時接合部温度範囲全体 $T_J$ = –40°C ～ 150°C、$V_{DD}$ = 3.0V ～ 5.5V（デバイスの GND ピン基準で測定）

| パラメータ | | テスト条件 | 最小値 | 公称値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $f_{SPI}$ | SPI クロック (SCLK) 周波数 | $C_{SDO}$ = 30pF、IO 保護抵抗 0.47kΩ | | | 8 | MHz |
| $t_{High}$ | High 時間：SCLK ロジック High の時間 | | 45 | | | ns |
| $t_{Low}$ | ロータイム：SCLK ロジック Low の期間 | | 45 | | | ns |
| $t_{sucs}$ | $\overline{CS}$ セットアップ時間：$\overline{CS}$ の立ち下がりエッジと SCLK の立ち上がりエッジ間の時間遅延 | | 45 | | | ns |
| $t_{SU_SDI}$ | SDI のセットアップ時間：SCLK 立ち下がりエッジ前の SDI のセットアップ時間 | | 15 | | | ns |
| $t_{H_SDI}$ | SDI ホールド時間：SCLK の立ち下がりエッジ前の SDI のホールド時間 | | 30 | | | ns |
| $t_{D_SDO}$ | 遅延時間：SCLK の立ち上がりエッジから SDO の有効データまでの時間遅延 | | | | 30 | ns |
| $t_{hcs}$ | ホールド時間：SCLK の立ち下がりエッジと $\overline{CS}$ の立ち上がりエッジとの間の時間 | | 45 | | | ns |
| $t_{dis_cs}$ | $\overline{CS}$ ディセーブル時間、$\overline{CS}$ 高から SDO 高インピーダンスまで | | | 10 | | ns |
| $t_{hics}$ | $\overline{CS}$ が High でなければならない SPI 転送非アクティブ時間（二回の転送間の時間） | | 500 | | | ns |

## 6.7 スイッチング特性

$V_{BB}$ = 13.5V、$R_L$ = 2Ω、$T_J$ = –40 ～ 150°C (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $t_{DR}$ | チャネル ターンオン遅延時間（$\overline{CS}$ または DIx の 50% ～ $V_{OUT}$ の 10% ） | SLRT_CHx = 00 | | 45 | | µs |
| | | SLRT_CHx = 01 | | 35 | | µs |
| | | SLRT_CHx = 10 (デフォルト) | | 30 | | µs |
| | | SLRT_CHx = 11 | | 23 | | µs |
| $t_{DF}$ | チャネルターンオフ遅延時間（$\overline{CS}$ または DIx の 50% ～ $V_{OUT}$ の 90%） | SLRT_CHx = 00 | | 35 | | µs |
| | | SLRT_CHx = 01 | | 25 | | µs |
| | | SLRT_CHx = 10 (デフォルト) | | 20 | | µs |
| | | SLRT_CHx = 11 | | 16 | | µs |
| $SR_R$ | $V_{OUT}$ の立ち上がりスルーレート（$V_{OUT}$ の 20% ～ 80%） | SLRT_CHx = 00 | | 0.14 | | V/µs |
| | | SLRT_CHx = 01 | | 0.2 | | V/µs |
| | | SLRT_CHx = 10 (デフォルト) | | 0.25 | | V/µs |
| | | SLRT_CHx = 11 | | 0.32 | | V/µs |
| $SR_F$ | $V_{OUT}$ 立ち下がりスルーレート（$V_{OUT}$ の 80% ～ 20%） | SLRT_CHx = 00 | | 0.13 | | V/µs |
| | | SLRT_CHx = 01 | | 0.2 | | V/µs |
| | | SLRT_CHx = 10 (デフォルト) | | 0.26 | | V/µs |
| | | SLRT_CHx = 11 | | 0.33 | | V/µs |
| $t_{ON}$ | チャネルターンオン時間（$\overline{CS}$ または DIx の 50% ～ $V_{OUT}$ の 90%） | SLRT_CHx = 00 | | 130 | | µs |
| | | SLRT_CHx = 01 | | 95 | | µs |
| | | SLRT_CHx = 10 (デフォルト) | | 75 | | µs |
| | | SLRT_CHx = 11 | | 60 | | µs |
| $t_{OFF}$ | チャネル ターンオフ時間（$\overline{CS}$ または DIx の 50% ～ $V_{OUT}$ の 10%） | SLRT_CHx = 00 | | 115 | | µs |
| | | SLRT_CHx = 01 | | 75 | | µs |
| | | SLRT_CHx = 10 (デフォルト) | | 60 | | µs |
| | | SLRT_CHx = 11 | | 50 | | µs |


Copyright © 2025 Texas Instruments Incorporated

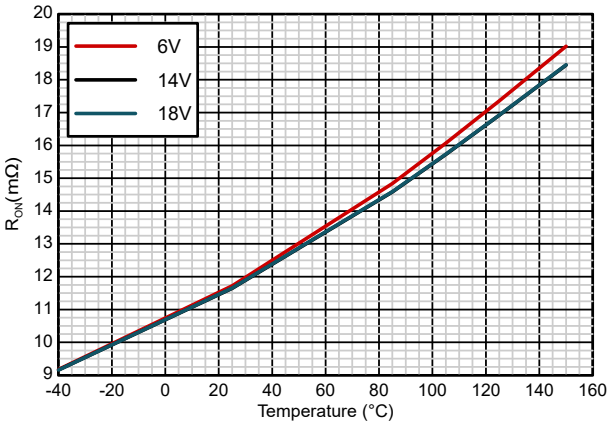
## 6.7 スイッチング特性 (続き)

$V_{BB}$ = 13.5V、$R_L$ = 2Ω、$T_J$ = –40 ～ 150°C (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $E_{ON}$ | ターンオン時のスイッチングエネルギー損失 (10% ～ 90% からの $V_{OUT}$) | SLRT_CHx = 00 | | 1.43 | | mJ |
| | | SLRT_CHx = 01 | | 1.03 | | mJ |
| | | SLRT_CHx = 10 (デフォルト) | | 0.77 | | mJ |
| | | SLRT_CHx = 11 | | 0.64 | | mJ |
| $E_{OFF}$ | ターンオフ時のスイッチング エネルギー損失 (90% ～ 10% からの $V_{OUT}$) | SLRT_CHx = 00 | | 1.48 | | mJ |
| | | SLRT_CHx = 01 | | 0.95 | | mJ |
| | | SLRT_CHx = 10 (デフォルト) | | 0.68 | | mJ |
| | | SLRT_CHx = 11 | | 0.54 | | mJ |

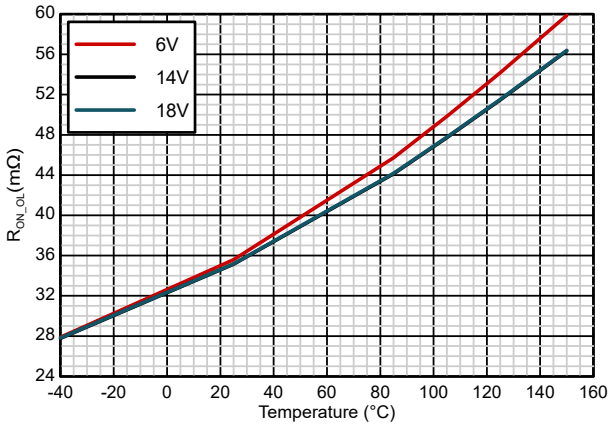
Copyright © 2025 Texas Instruments Incorporated

## 6.8 代表的特性



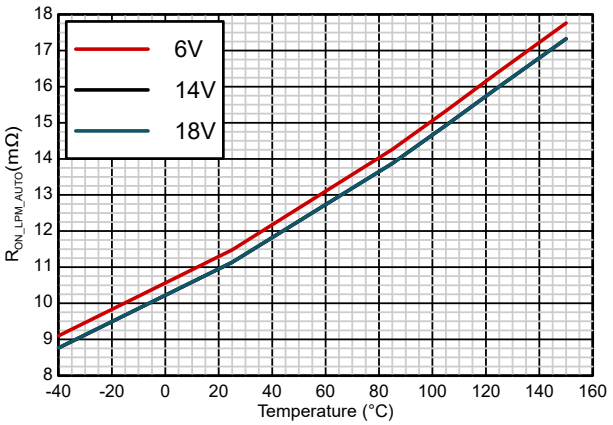

$I_{OUT}$ = 500mA　　アクティブ状態
OL_ON_EN_CHx = 0

**図 6-1. オン抵抗 ($R_{ON}$) と温度との関係**




$I_{OUT}$ = 500mA　　アクティブ状態
OL_ON_EN_CHx = 1

**図 6-2. オン抵抗、OL_ON モード ($R_{ON_OL}$) と温度との関係**




$I_{OUT}$ = 500mA　　AUTO_LPM 状態

**図 6-3. AUTO_LPM のオン抵抗 ($R_{ON、LPM_AUTO}$) と温度との関係**

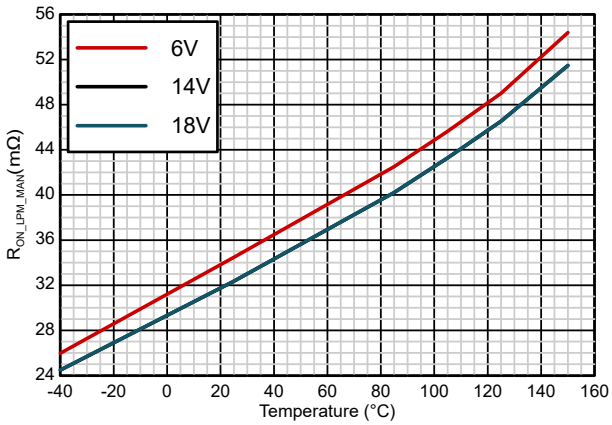
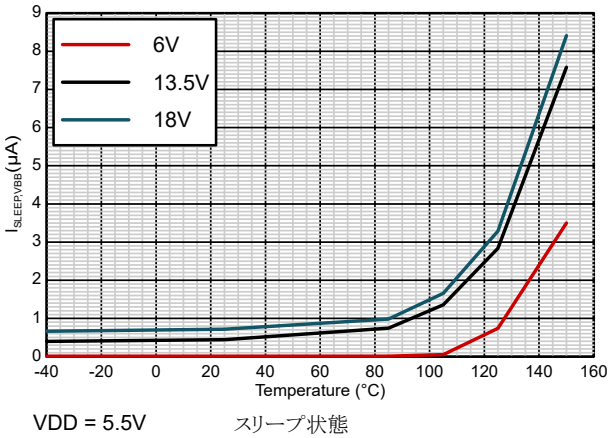
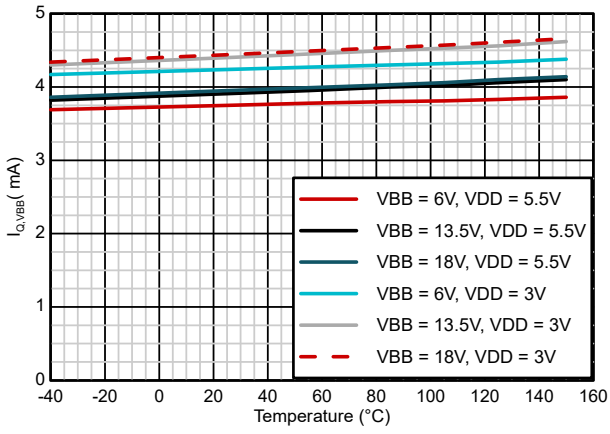



**図 6-4. MANUAL_LPM のオン抵抗 ($R_{ON、LPM_MAN}$) と温度との関係**




VDD = 5.5V　　スリープ状態

**図 6-5. VBB スリープ電流 ($I_{SLEEP、VBB}$) と温度との関係**

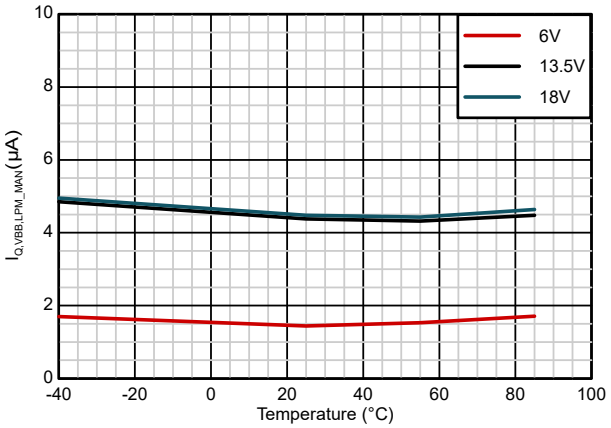



アクティブ状態　　診断が有効 (ISNS、ADC)
IOUT = 0A　　SCLK オフ

**図 6-6. VBB IQ 電流 ($I_{Q、VBB}$) と温度との関係**

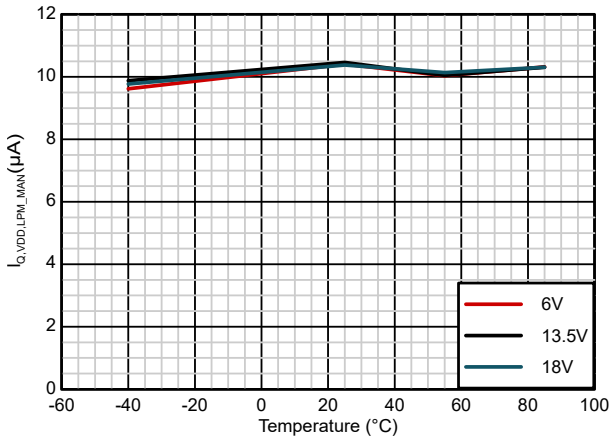

Copyright © 2025 Texas Instruments Incorporated

## 6.8 代表的特性 (続き)



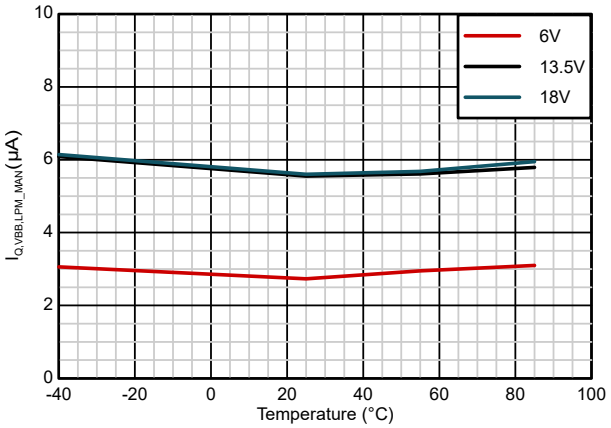

MANUAL_LPM 状態　　VDD = 5V
チャネル オフ

**図 6-7. MANUAL_LPM の VBB IQ 電流 ($I_{Q、VBB、LPM_MAN}$) - チャネルオフと温度との関係**



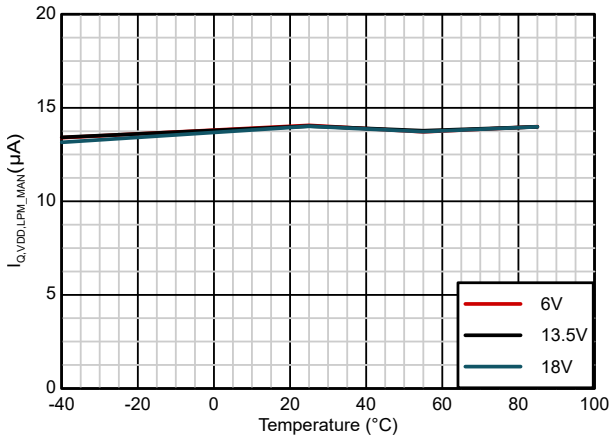

MANUAL_LPM 状態　　VDD = 5V
チャネル オフ　　IOUT = 0A

**図 6-8. MANUAL_LPM の VDD IQ 電流 ($I_{Q、VDD、LPM_MAN}$) - チャネル オフと温度との関係**




MANUAL_LPM 状態　　VDD = 5V
1 チャネルを有効化　　IOUT = 0A

**図 6-9. MANUAL_LPM の VBB IQ 電流 ($I_{Q、VBB、LPM_MAN}$) - 1 チャネル イネーブルの状態と温度との関係**

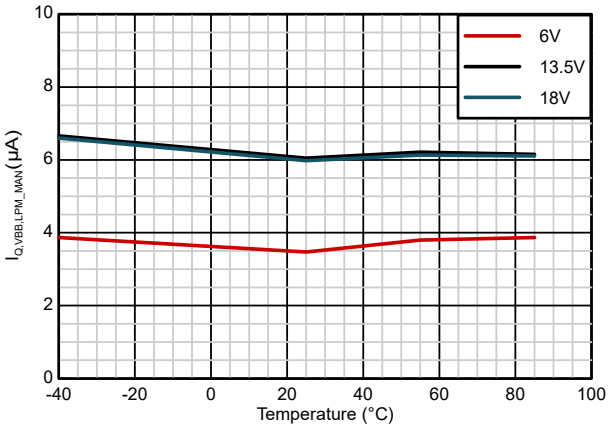



MANUAL_LPM 状態　　VDD = 5V
1 チャネルを有効化　　IOUT = 0A

**図 6-10. MANUAL_LPM の VDD IQ 電流 ($I_{Q、VDD、LPM_MAN}$) - 1 チャネルがイネーブルである状態と温度との関係**

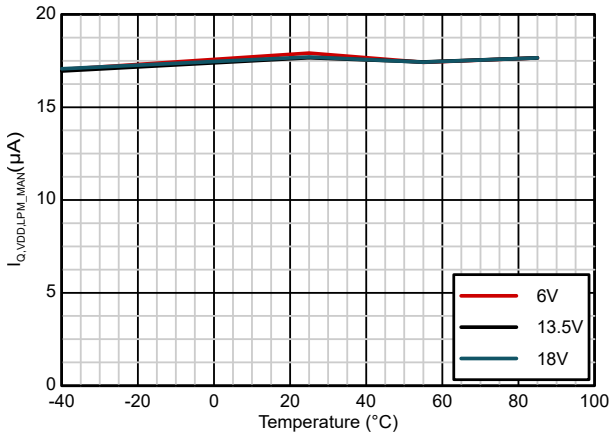
Copyright © 2025 Texas Instruments Incorporated

## 6.8 代表的特性 (続き)



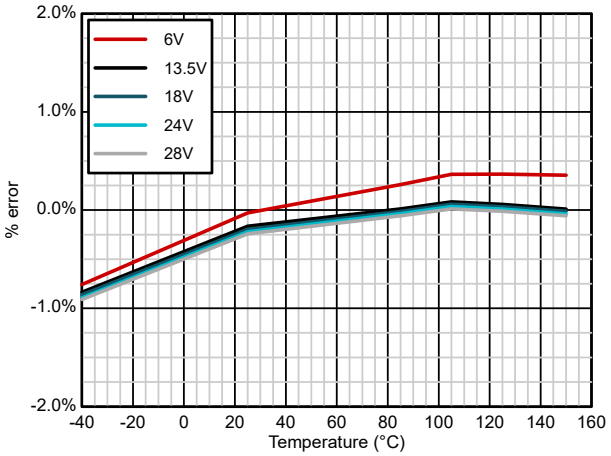

MANUAL_LPM 状態　　VDD = 5V
両方のチャネルがイネーブル　　IOUT = 0A

**図 6-11. MANUAL_LPM の VBB IQ 電流 ($I_{Q、VBB、LPM_MAN}$) - 両方のチャネルがイネーブルである状態と温度との関係**



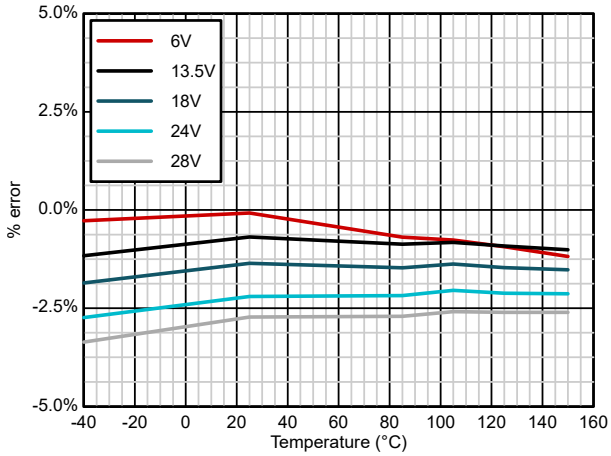

MANUAL_LPM 状態　　VDD = 5V
両方のチャネルがイネーブル　　IOUT = 0A

**図 6-12. MANUAL_LPM の VDD IQ 電流 ($I_{Q、VDD、LPM_MAN}$) - 両方のチャネルがイネーブルである状態と温度との関係**




$k_{SNS1}$ リファレンス = 5000
OL_ON_EN_CHx = 0　　IOUT = 2A

**図 6-13. $K_{SNS1}$ % 誤差と温度の関係**

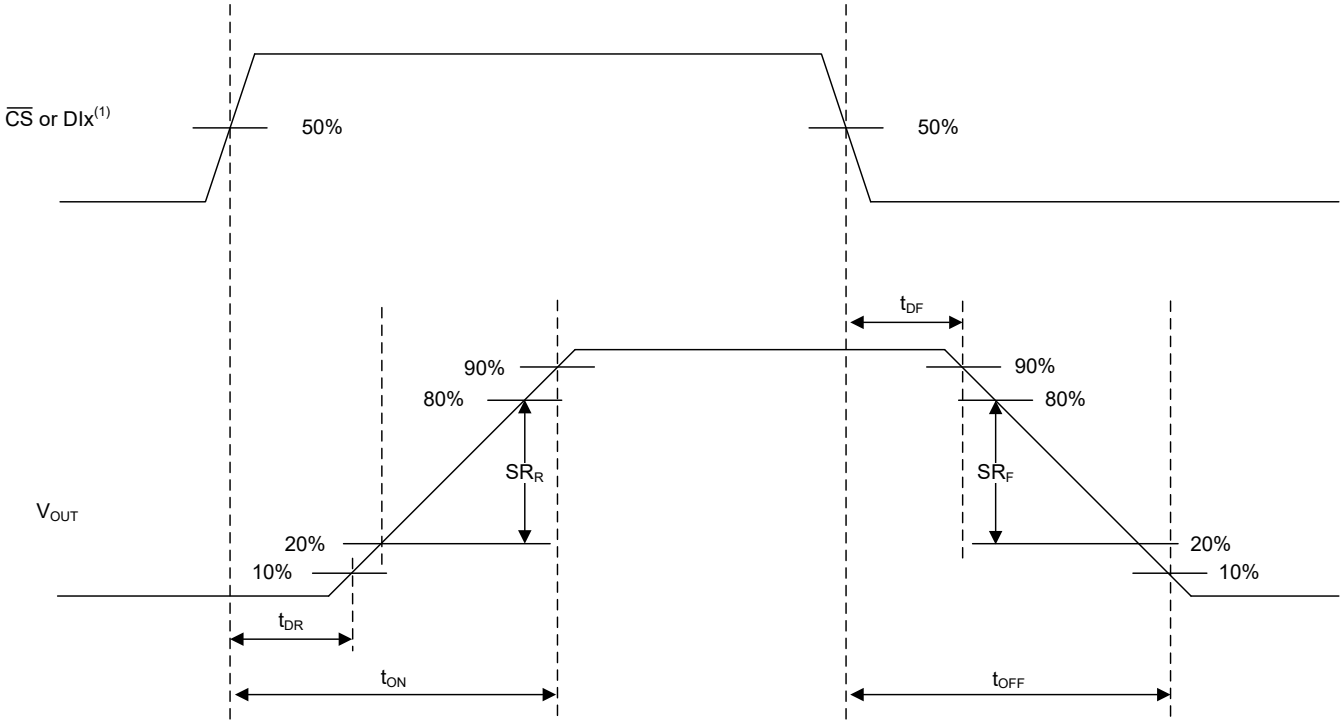



$k_{SNS2}$ リファレンス = 1400
OL_ON_EN_CHx = 1　　IOUT = 25mA

**図 6-14. $K_{SNS2}$ % 誤差と温度の関係**


Copyright © 2025 Texas Instruments Incorporated

# 7 パラメータ測定情報




(1) Rise and fall time of $\overline{CS}$ or DIx is 100 ns.

**図 7-1. スイッチング特性の定義**

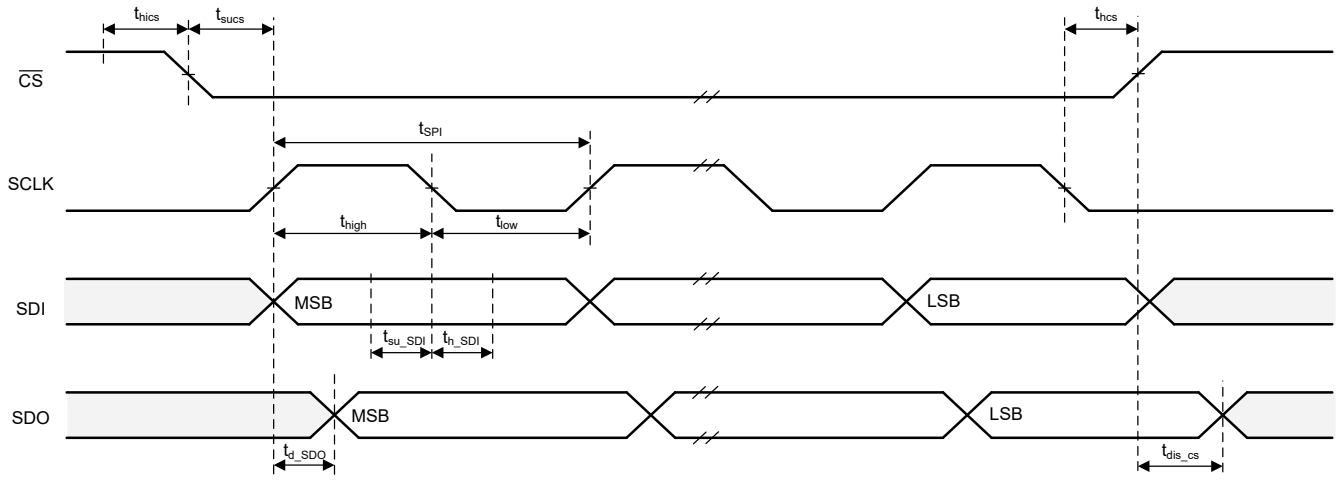



**図 7-2. SPI のタイミング特性の定義**

# 8 詳細説明

## 8.1 概要

TPS2HCS10-Q1 デバイスはデュアル チャネルのスマート ハイサイド スイッチで、12V の車載用バッテリで使用するよう設計されています。TPS2HCS10-Q1 デバイスは、SPI 制御および構成、また主要デバイスの ADC と負荷診断を備えたデジタル読み出し機能を備えています。このデバイスは、パワー ディストリビューション スイッチに必要な特定の機能に加えて、アクチュエータ駆動アプリケーション用のハイサイド スイッチで見られる従来の保護およびデジタル化機能も備えています。

診断機能として、デジタル電流、出力電圧、FET 温度センス出力を備えており、SPI シリアル インターフェイス経由で読み取ることができます。高精度の負荷電流センスにより、複雑な負荷を診断できます。デバイスの出力電圧センスと FET 温度センスの機能により、スイッチや負荷障害を診断できます。

このデバイスには、サーマル シャットダウン、過電流保護、過渡耐性、バッテリ逆接続動作による保護機能が搭載されています。さらに、このデバイスには、定義済みのヒューズまたは時間電流曲線による、SPI で構成可能なワイヤ ハーネス保護機能も搭載されています。この保護機能は、SPI で構成可能なスレッショルドを持つ即時のスイッチオフ過電流保護機能と組み合わせて動作し、過負荷および短絡フォルトに対する完全な保護を提供します。

また、TPS2HCS10-Q1 デバイスには、数百 mA の範囲の電流を供給できる低静止電流モードも内蔵されていますが、µA 単位の電流しか消費しません。このデバイスは、負荷電流が増加すると自動的に大電流モードに切り替わり、マイコンにウェーク信号を供給します。さらに、このデバイスには容量性充電モードが搭載されており、電源のピーク電流負荷を低減できます。この 2 つの機能を組み合わせることで、オフボード ECU アプリケーションへのパワー ディストリビューション スイッチをサポートできます。

診断、パワー ディストリビューション、保護機能の詳細については、ドキュメントの「*機能説明*」および「*アプリケーション情報*」セクションを参照してください。

TPS2HCS10-Q1 は、TI ハイサイド スイッチ ファミリ デバイスの 1 つです。各デバイスの型番はデバイスの動作要素を示します。図 8-1 に、デバイスの命名規則の例を示します。

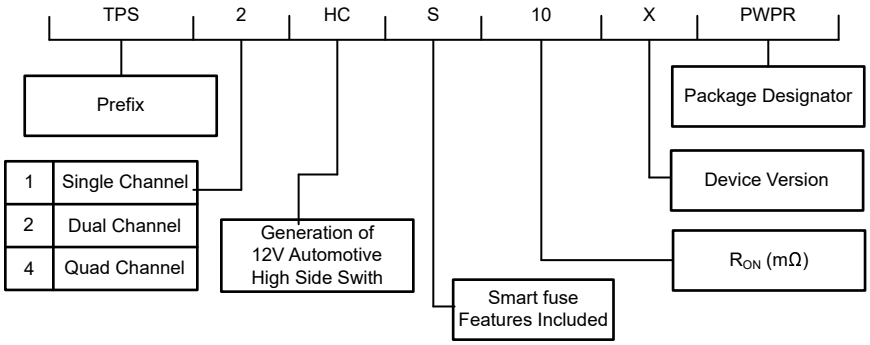



**図 8-1. 命名規則**


Copyright © 2025 Texas Instruments Incorporated

## 8.2 機能ブロック図

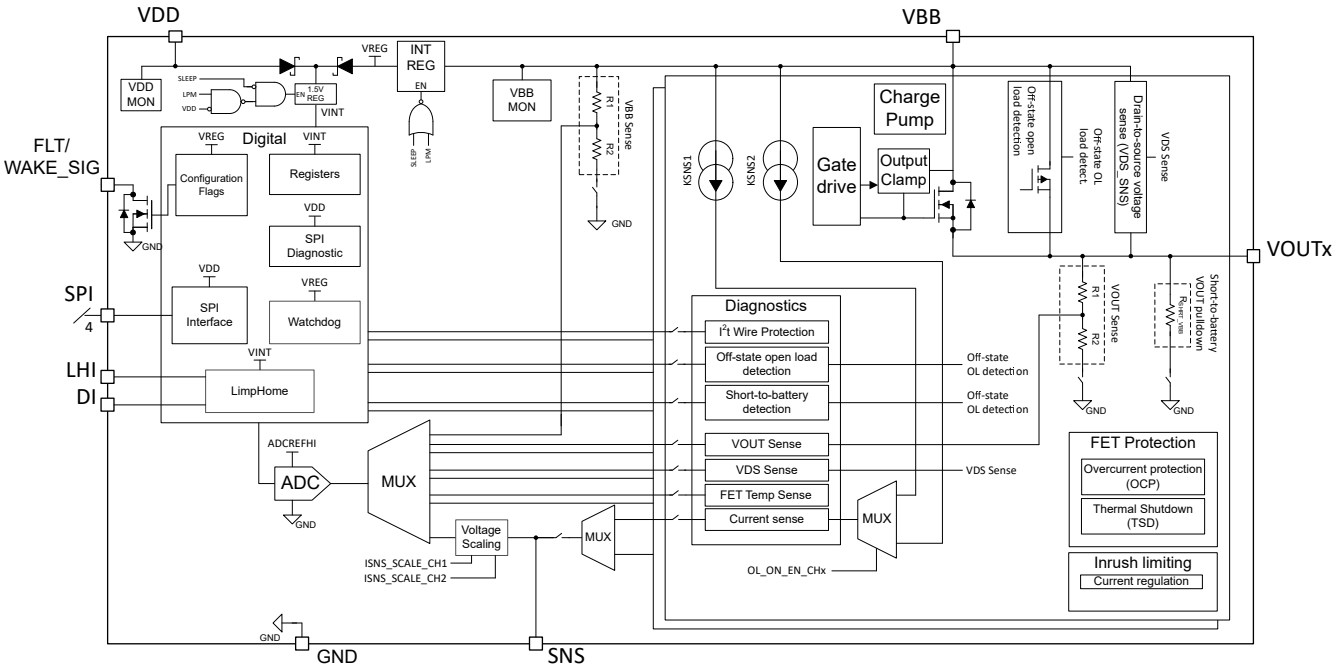



**図 8-2. TPS2HCS10A-Q1 機能ブロック図**

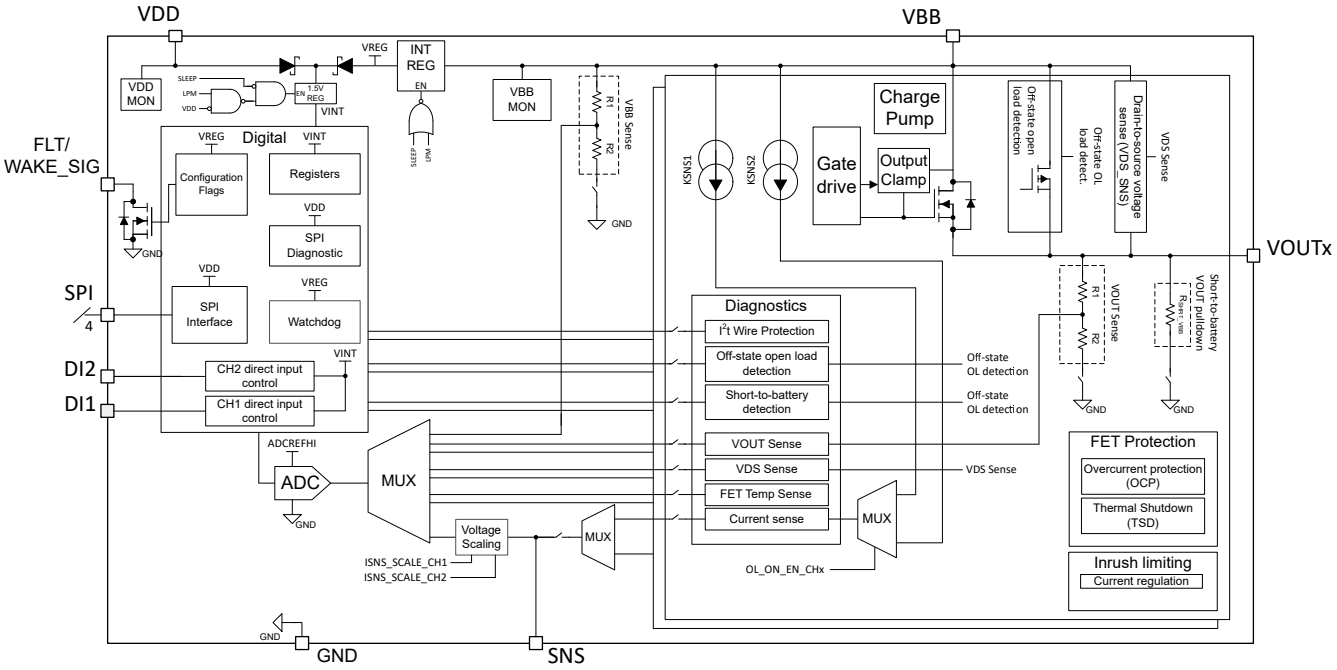



**図 8-3. TPS2HCS10B-Q1 機能ブロック図**

## 8.3 機能説明

### *8.3.1 保護メカニズム*

#### 8.3.1.1 過電流保護

TPS2HCS10-Q1 デバイスには、さまざまな過電流イベントからデバイスを保護するため、以下の機能があります:

- 突入期間中の容量性負荷充電
- 即時シャットダウン過電流保護 ($_{I}$OCP)
- プログラム可能なヒューズ保護 (または I2T 保護) (有効な場合)
- サーマル シャットダウン ($T_{REL}$ および $T_{ABS}$)
- LPM 状態での短絡保護 ($I_{SCP_LPM_MAN}$ または $I_{SCP_LPM_AUTO}$)

過電流保護に関して、このデバイスには 2 つの動作モードがあります。1 つはチャネル起動時のオプションの突入電流期間、もう 1 つは定常動作中のモードです。オプションの突入電流期間は、チャネルの初期オン時にバルブ、モータの停止電流、または容量性負荷など、さまざまな突入電流を扱えるように設定できます。ILIM_CONFIG_CHx レジスタ内の CAP_CHRG_CHx、INRUSH_DURATION_CHx、および INRUSH_LIMIT_CHx ビットは、突入期間中のデバイスの動作を制御します。I2T 保護 (有効な場合) は、CAP_CHRG_CHx = 00 の場合、および $V_{DS} < V_{DS_LT_2V}$ の場合に突入期間中にのみアクティブです。突入期間の完了後、定常状態動作が引き継ぎます。定常状態動作中、過電流保護 ($I_{OCP}$) はアクティブで、I2T 保護はアクティブ (イネーブルの場合) です。

突入期間中、有効になっている場合、すべての電圧検出 (VBB、VOUT、VDS) および FET 温度検出を使用できます。電流センスは、$V_{DS} < V_{DS_LT_2V}$ の場合、または突入期間の完了してデバイスが定常状態動作している後でのみ CAP_CHRG_CHx = 00 でのみ利用できます。定常動作中は、電圧検出、FET 温度検出、および電流検出のすべてが利用可能です。

図 8-4 に、オプションの突入期間と定常状態動作における過電流保護の概要を示します。

突入期間および定常動作中に利用できる各種保護機能の詳細については、以下のセクションを参照してください。LPM 状態での過電流保護については、LPM セクションで説明します。

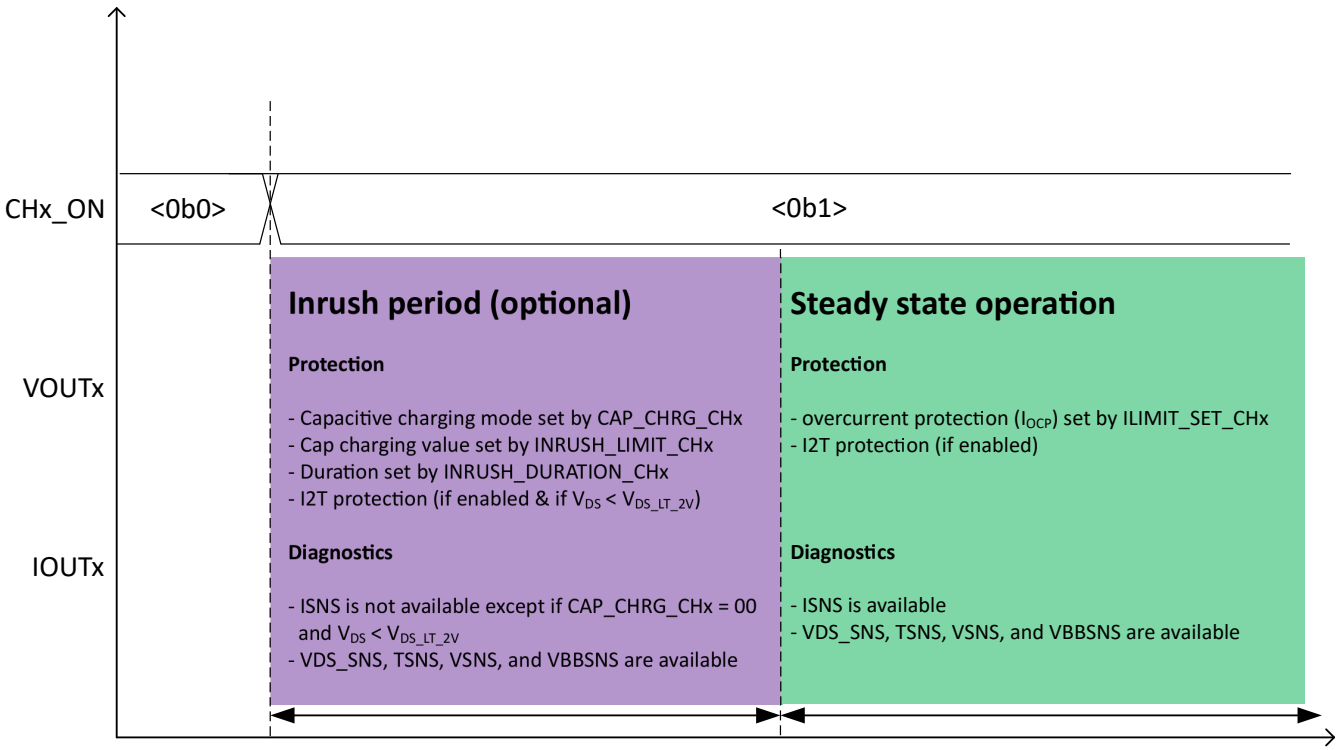



**図 8-4. 過電流保護モードの概要**

#### *8.3.1.1.1 突入時間 — 過電流保護*

突入時間はデバイスのオプション モードであり、チャネルの初期オン時に発生する電球、モータの停止電流、または容量負荷など、さまざまな立ち上がり電流を処理できるように構成することができます。突入期間は、ILIM_CONFIG_CHx レジスタ内の CAP_CHRG_CHx、INRUSH_DURATION_CHx、および INRUSH_LIMIT_CHx ビットによって設定できます。


Copyright © 2025 Texas Instruments Incorporated

突入時間が有効化されている場合、これらの状態のいずれかでチャネルが有効になっている場合、アクティブ状態および LIMP_HOME 状態の両方で有効になります。

このデバイスには、突入期間中に 2 種類のオフセット電流保護設定があり、CAP_CHRG_CHx ビットを使用して設定できます:

- 容量性充電なし、即時シャットダウン過電流保護 ($I_{OCP}$) のみ
- 電流制限レギュレーション ($I_{CL_REG}$)

容量性充電設定を使用しない場合、定常状態と比較して突入期間中に異なる過電流保護 ($I_{OCP}$) 値を持つことができ、電球電流による突入やモータ ストール電流が可能です。さらに、容量性充電なし設定では、$V_{DS} < V_{DS_LT_2V}$ のとき、I2T 保護 (イネーブルの場合) がアクティブになります。電流制限レギュレーション モードにより、デバイスはダウンストリームの ECU の入力コンデンサなどの大きな容量を充電できます。CAP_CHRG_CHx ビットの設定によっては、INRUSH_LIMIT_CHx の値が変化します。各チャネルの過電流保護は独立しており、チャネルごとに設定できます。表 8-1 に、突入期間における 2 つの過電流保護の概要を示します。

**表 8-1. 突入電流期間における静電容量性充電モードの概要**

| 容量性充電モード (CAP_CHRG_CHx) | 過電流タイプ | 範囲 | 期間の設定方法 | 値の設定方法 | I2T のサポート |
|---|---|---|---|---|---|
| 00 | 即時シャットダウン ($I_{OCP}$) | 10A～25A | INRUSH_DURATION_CHx [2:0] | INRUSH_LIMIT_CHx [3:0] | はい、$V_{DS} < V_{DS_LT_2V}$ の場合 |
| 01 | 非対応 | | | | |
| 10 | 電流制限レギュレーション ($I_{CL_REG}$) | 1.5A～11.3A | INRUSH_DURATION_CHx [2:0] | INRUSH_LIMIT_CHx [3:0] | なし |
| 11 | 非対応 | | | | |

INRUSH_DURATION_CHx ビットでは、突入期間の持続時間を設定します。0ms から 100ms まで設定できます。INRUSH_DURATION_CHx = 0 の場合、突入期間は 0ms に設定され、チャネルが最初にイネーブルになったとき突入期間は開始されません。突入期間中に過電流またはサーマル シャットダウンの障害が原因で再試行が行われた場合、再試行するたびに突入期間を終了するためのタイマがリセットされます。

### 容量性充電なし — CAP_CHRG_CHx [1:0] = 00

容量性充電設定がないため、デバイスは定常状態動作と比較して、突入期間中に異なる即時シャットダウン過電流保護 ($I_{OCP}$) 値を得ることができ、電球電流突入やモータ ストール電流など、起動時の各種の突入電流イベントを可能にします。

CAP_CHRG_CHx [1:0] = 00 の場合、立ち上がり期間中の即時シャットダウン過電流保護 ($I_{OCP}$) の値は INRUSH_LIMIT_CHx [3:0] ビットで設定され、期間は INRUSH_DURATION_CHx [2:0] ビットで設定されます。立ち上がり期間のタイマが終了すると、定常動作時の即時シャットダウン過電流保護 ($I_{OCP}$) の値は ILIMIT_SET_CHx [3:0] ビットによって設定されます。

CAP_CHRG_CHx [1:0] = 00 の場合、$V_{DS} < V_{DS_LT_2V}$ のときに I2T 保護 (有効な場合) および電流検出が利用可能です。

図 8-5 にこの例を示します。

Copyright © 2025 Texas Instruments Incorporated

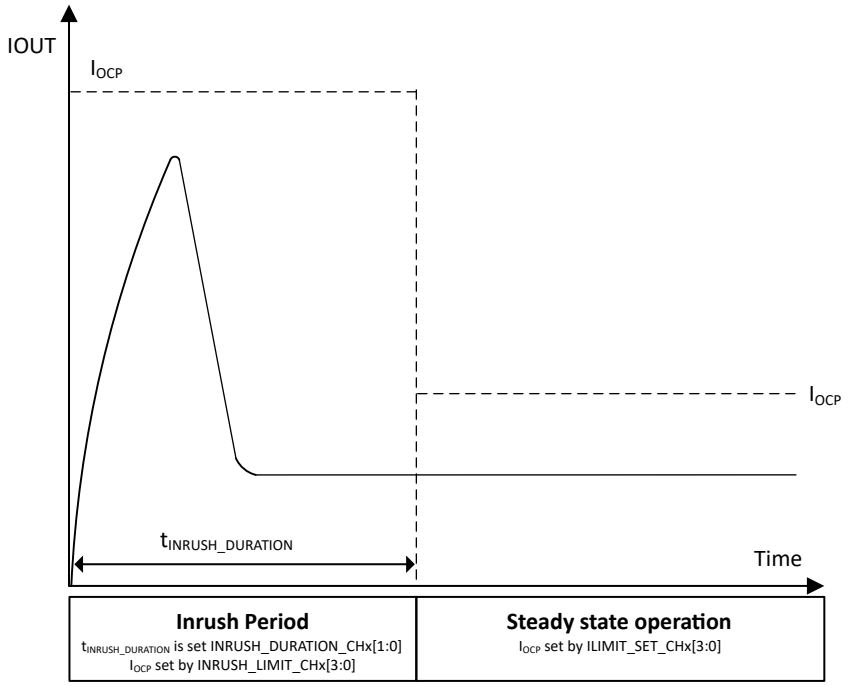



**図 8-5. 容量性充電なし (CAP_CHRG_CHx [1:0] = 00) - 電球駆動例**

### 電流制限レギュレーション容量性充電モード — CAP_CHRG_CHx [1:0] = 10

デバイスは、大容量の下流キャパシタ負荷 (ECU のバルク入力キャパシタなど) を充電するために、電流制限レギュレーション付き容量性充電モードを提供します。CAP_CHRG_CHx [1:0] = 10 の場合、チャネルが初期に有効化された際、電流制限レギュレーション モードは INRUSH_LIMIT_CHx [3:0] で設定された値で出力電流をクランプします。デバイスは、キャパシタ負荷の充電が完了するか、立ち上がり期間が終了するか、またはサーマル シャットダウンが発生するまで、電流を継続的に制限します。INRUSH_LIMIT_CHx [3:0]ビットで設定可能な範囲は 1.5A から 11.3A であり、電気的特性表では $I_{CL_REG}$ として規定されています。VOUT 電圧が VBB - 2V を超え、突入時間タイマがタイムアウトしていない場合、デバイスは大きなスパイクなしに、電流制限レギュレーションをゆっくりと終了できます。図 8-6 に、電流制限レギュレーション容量性充電モードと、突入期間タイマが満了する前のスロー終了の例を示します。


Copyright © 2025 Texas Instruments Incorporated

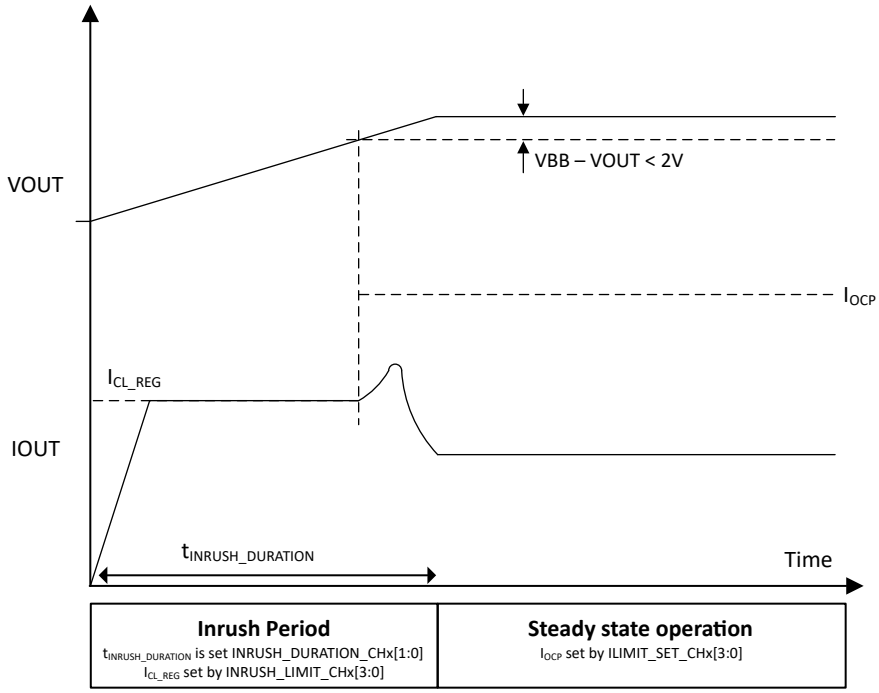



**図 8-6. 電流制限レギュレーションの容量性充電 (CAP_CHRG_CHx [ECU] 1:0 = 10) - ECU 入力バルク容量駆動例**

#### *8.3.1.1.2 過電流保護 — 定常状態動作*

デバイスがオプションの突入期間 (有効化されている場合) を完了すると、デバイスは安定動作に移行します。この動作では、即時シャットダウン過電流保護 ($I_{OCP}$) と I2T 保護 (イネーブルの場合) によって過電流保護が実現されます。$I_{OCP}$ は過電流保護機能であり、出力電流が ILIMIT_SET_CHx [3:0] ビットで設定された $I_{OCP}$ スレッショルドを超えた場合、チャネルを即座にオフにします。$I_{OCP}$ 機能はディスエーブルにすることはできず、デバイスがイネーブルの間、定常状態の動作で常にアクティブになります。I2T 保護は、定義された時間電流曲線に基づいて、プログラム可能なヒューズ保護を提供します。I2T 保護の意図は、溶断しているヒューズの動作と一致していることです。I2T 保護の時間電流曲線は、NOM_CUR_CHx [2:0] ビットと I2T_TRIP_CHx [3:0] ビットで設定できます。ISWCL_CHx [1:0] ビットおよび $I_{OCP}$ は、I2T 保護における時間-電流特性曲線を定義する際にも役立ちます。$I_{OCP}$ および I2T 保護 (イネーブルの場合) はアクティブ状態でアクティブになり、突入期間後にチャネルが定常状態で動作している場合は LIMP_HOME 状態です。

次のセクションでは、I2T 保護と $I_{OCP}$ 保護について説明します。

#### *8.3.1.1.3 プログラマブル ヒューズ保護*

デバイスには、チャネルごとにプログラム可能なヒューズ保護が内蔵されています。この保護機能は定義された時間電流曲線に基づいており、溶断ヒューズ データシートでは一般に I2t 保護と呼ばれます。この目的は、溶断型ヒューズのスイッチのターンオフ動作を一致させることです。NOM_CUR_CHx [2:0] ビットと I2T_TRIP_CHx [3:0] ビットは時間電流曲線を設定しますが、本デバイスは固定遅延シャットダウン ($I_{SWCL}$) および即時シャットダウン保護 ($I_{OCP}$) も使用して、デバイスの完全な I2T 保護を実現しています。TPS2HCS10-Q1 の I2T 保護は、次の 4 つの領域で構成されています。

1. 公称電流
2. ヒューズ シャットダウン
3. 固定遅延シャットダウン
4. 即時シャットダウン保護 ($I_{OCP}$)

公称電流領域 (1) では、デバイスをオフにすることなく無制限に電流を供給できる領域が定義されています。これは、溶断式ヒューズのヒューズ電流定格とほぼ等しくなります。この領域は NOM_CUR_CHx [2:0] ビットによって設定されます。

Copyright © 2025 Texas Instruments Incorporated

出力電流が NOM_CUR_CHx 設定より小さい場合、デバイスは前述のように無期限に電流を供給でき、I2T の蓄積が開始されることはありません。出力電流が NOM_CUR_CHx の設定以上の場合、デバイスは I2T 累積ループに入り、I2T_TRIP_CHx [3:0] スレッショルドが満たされるまで累積を開始します。出力電流が I2T_TRIP _CHx 値に達する前に NOM_CUR_CHx を下回ると、デバイスは I2T 蓄積を停止しますが、デバイスに電力が供給されている限り、累積エネルギーの追跡を継続します。

公称電流領域の上は、I2T_TRIP_CHx [3:0] ビットによって設定されるヒューズ シャットダウン領域 (2) です。この領域は、時間電流曲線の曲率と、デバイスの I2T の蓄積がアクティブである領域を定義します。出力電流レベルと NOM_CUR_CHx の設定に基づき、デバイスは設定された I2T_TRIP 値をベースに異なる時間間隔でトリップします。デバイスの時間電流曲線は 式 1 で定義されます。

$$\mathrm{I2T_TRIP} = \left( {\mathrm{I_{OUT}}}^2 - {\mathrm{NOM_CUR_CHx}}^2 \right) \times \mathrm{t} \quad (1)$$

累積エネルギーが I2T_TRIP 値を超えず、電流が NOM_CUR_CH を下回ると、式 1 を使用して、累積エネルギーがゼロになるまで、ISNS の値に基づいて累積エネルギーをデクリメントします。デバイスがデクリメントして 0 まで減少し続ける間、I2T_MOD ビットは累積エネルギーが 0 に戻るまで 1 のまま保持されます。その後、I2T_MOD ビットはゼロに戻ります。チャネルが I2T ループに入っていたために変換が無効になっていた場合、I2T_MOD = 0 になると変換は再度有効になります。

ヒューズ シャットダウン領域の上は、デバイスが固定遅延シャットダウンを提供する固定遅延シャットダウン領域 (3) です。これは ISWCL_CHx [1:0] および SWCL_DLY_TMR_CHx [1:0] ビットで設定されます。ISWCL_CHx [1:0] は出力電流値を設定し、SWCL_DLY_TMR_CHx は時間を設定します。出力電流が SWCL_DLY_TMR_CHx に対して連続的に ISWCL_CHx レベルを超えると、チャネルはただちにオフになります。

I2T_TRIP_CHx の値を超えたため、または ISWCL_CHx の機能が原因でシャットダウンが発生した場合、デバイスは TCLDN_CHx [1:0] で設定された期間オフのままになります。TCLDN_CHx [1:0] = 00 の場合、デバイスはオフのままです。再試行は行いません。この設定で再試行するには、TCLDN_CHx [1:0] ビットを別の設定に変更する必要があります。設定を変更すると、新しい設定で定義されたクールダウン時間の経過後、デバイスは再試行します。チャネルが I2T シャットダウン状態に入ると、アキュムレータの値は 0 にリセットされるため、再試行時間を調整して、ワイヤ ハーネスが冷却するのに十分な時間が確保されるようにする必要があります。また、チャネルが I2T シャットダウン状態に移行すると、NOM_CUR_CHx、I2T_TRIP_CHx、ISWCL_CHx の値は変更できないことに注意してください。

固定遅延シャットダウン領域の上は、即時シャットダウン過電流保護 ($I_{OCP}$) 領域 (4) です。この領域は ILIMIT_SET_CHx [3:0] ビットで設定されます。出力電流が $I_{OCP}$ レベルを超えると、デバイスは直ちにオフになります。$I_{OCP}$ の再試行またはラッチオフの動作は LATCH_CHx ビットで設定されます。これは次のセクションで説明します。

I2T 保護のこれらの動作領域を 図 8-7 に示します。


Copyright © 2025 Texas Instruments Incorporated

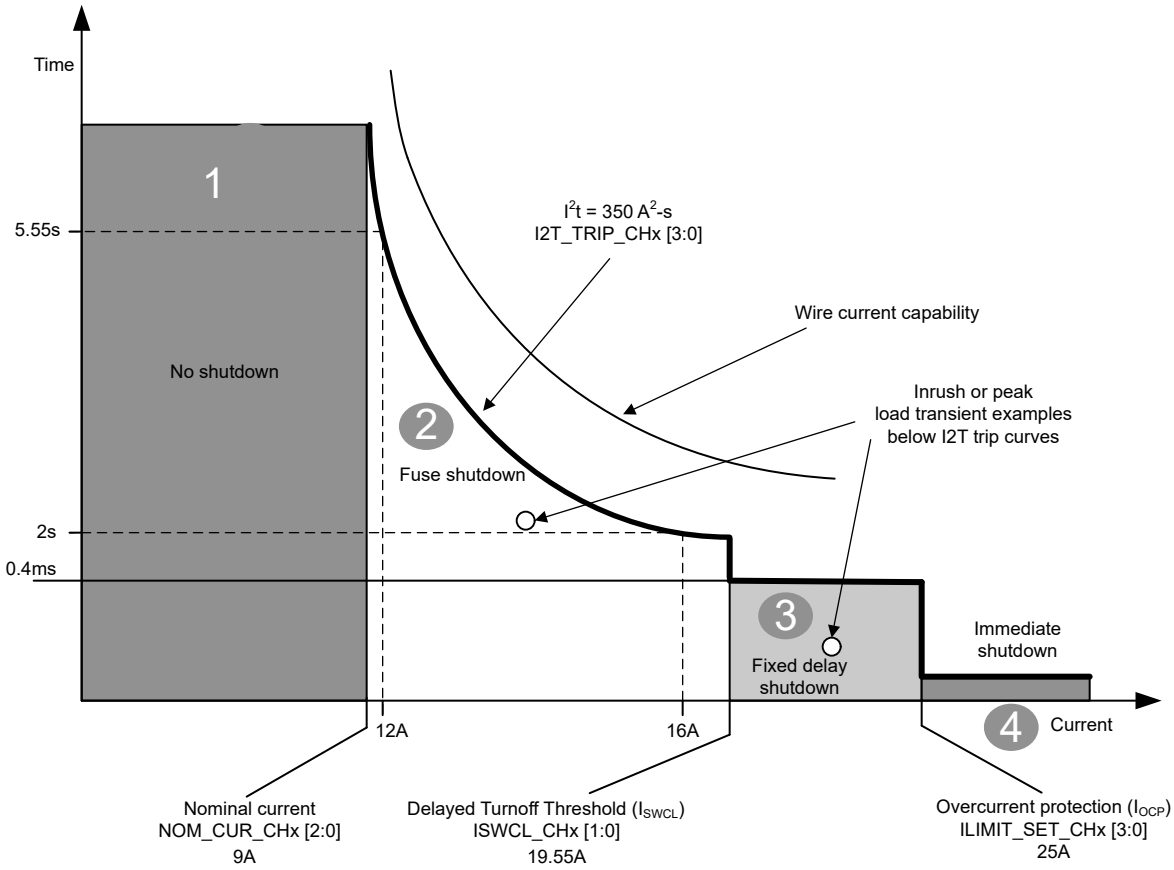



**図 8-7. ヒューズ ベースのシャットダウンの動作領域**

レジスタマップの NOM_CUR_CHx、I2T_TRIP_CHx、ISWCL_CHx の値は、$R_{SNS}$ 値 700Ω に基づきます。このデバイスは、異なる $R_{SNS}$ 値に基づいてこれらの値をスケーリングできる柔軟性を備えています。NOM_CUR_CHx、I2T_TRIP_CHx、ISWCL_CHx をスケーリングする式を以下に定義します。

$$NOM_CUR_{ADJ,\,TYP} = \frac{NOM_CUR_{700} \times 700}{R_{SNS,\,ADJ,\,TYP}} \quad (2)$$

$$I_{SWCL,\,ADJ,\,TYP} = \frac{I_{SWCL,\,700} \times 700}{R_{SNS,\,ADJ,\,TYP}} \quad (3)$$

$$I2T_{ADJ\,.\,TYP} = I2T_{700} \times \left(\frac{700}{R_{SNS,\,ADJ,\,TYP}}\right)^2 \quad (4)$$

ここで、

$NOM_CUR_{700}$ = NOM_CUR_CHx value in the datasheet based on $R_{SNS}$ of 700Ω (5)

$I_{SWCL,\,700}$ = $I_{SWCL}$ value in the datasheet based on $R_{SNS}$ of 700Ω (6)

$I2T_{700}$ = I2T trip value in the datasheet based on $R_{SNS}$ of 700Ω (7)

#### *8.3.1.1.4 即時シャットダウン過電流保護 ($I_{OCP}$)*

定常動作時、デバイスは即時シャットダウン型の過電流保護 ($I_{OCP}$) を備えています。この保護機能は、出力電流が ILIMIT_SET_CHx [3:0] ビットで設定された $I_{OCP}$ スレッショルドを超えた場合に、チャネルを即座にオフにします。

ILIMIT_SET_CHx [3:0] ビットにより、$I_{OCP}$ 機能をチャネルごとに設定できます。$I_{OCP}$ 機能はディスエーブルにすることはできず、デバイスがイネーブルの間、定常状態の動作で常にアクティブになります。

$I_{OCP}$ レベルを超えた場合、チャネルは直ちにオフになり、LATCH_CHx ビットの設定に基づいて再試行またはラッチオフのいずれかを行います。LATCH_CHx = 0 の場合、デバイスは $t_{RETRY}$ 後に再試行します。再試行時間が経過した後、構成されている場合、デバイスは突入期間内に起動します。LATCH_CHx = 1 かつ $I_{OCP}$ レベルを超えた場合、デバイスはラッチオフし、CHx_ON ビット (バージョン A) がトグルされるか、DIx ピン (バージョン B) がトグルされるか、LATCH_CHx ビットがトグルされるまで再試行しません。デバイスがアクティブ状態の後、MCU は LPM ビットをクリアして、各種デバイス設定における再試行とラッチオフの動作の詳細については、以下の「再試行とラッチオフの動作」セクションを参照してください。

LIMP_HOME 状態では、CHx_LH_IN ビットでチャネルが LIMP_HOME 状態で ON に設定されている場合、LATCH_CHx 設定に関係なく、デバイスは連続的に再試行を行うことに注意します。

#### *8.3.1.1.5 自動再試行とラッチ オフ動作*

サーマル シャットダウンまたは過電流保護故障が発生した場合、CHx_CONFIG レジスタ内の LATCH_CHx ビット設定に基づいて、故障が発生したチャネルは自動で再試行するか、またはラッチオフします。CAP_CHRG_CHx の設定によっては、自動再試行の応答は異なる動作をします。

LIMP_HOME 状態では、CHx_LH_IN ビットでチャネルが LIMP_HOME 状態で ON に設定されている場合、LATCH_CHx 設定に関係なく、デバイスは連続的に再試行を行うことに注意します。LIMP_HOME 状態での再試行動作は、CAP_CHRG_CHx ビットの設定方法に応じて、以下のセクションに示す動作に従います。

**自動再試行動作 — 容量性充電モードなし (CAP_CHRG_CHx = 00)**

CAP_CHRG_CHx = 00、LATCH_CHx = 0 の状態で短絡イベントが発生した場合、チャネルがオフになり $t_{RETRY}$ が経過すると、デバイスは INRUSH_LIMIT_CHx [3:0] ビットで設定された $I_{OCP}$ レベルを用いて、立ち上がり期間中に再試行を行います。INRUSH_DURATION_CHx [2:0] は引き続き、突入期間の持続時間を設定します。定常状態動作で発生するホットショート ケースを図 8-8 に示します。突入期間中に短絡状態で起動した場合、定常状態でのホット ショート時と同じ試行動作になります。ただし、最初の過電流シャットダウン レベルは、INRUSH_LIMIT_CHx [3:0] によって決まります。

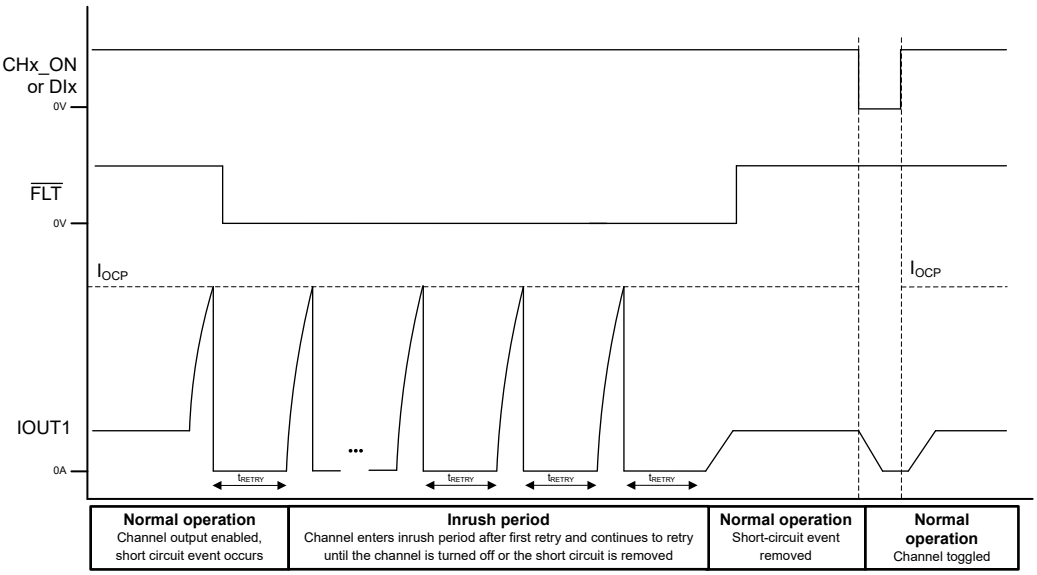



**図 8-8. 定常動作中のホット ショート (CAP_CHRG_CHx = 00、自動再試行動作：LATCH_CHx = 0 の場合)**


Copyright © 2025 Texas Instruments Incorporated

### ラッチオフ動作 — 容量性充電モードなし (CAP_CHRG_CHx = 00)

LATCH_CHx = 1 かつ CAP_CHRG_CHx = 00 で、$I_{OCP}$ レベルを超えた場合、デバイスはラッチオフになり、CHx_ON ビット (バージョン A) がトグルされるか、DIx ピン (バージョン B) がトグルされるか、LATCH_CHx ビットがトグルされるまで再試行しません。出力トグルまたは LATCH_CHx ビット トグルによってラッチをリセットすると、構成されている場合、チャネルは突入期間に起動します。次の 図 8-9 に、LATCH_CHx = 1 で定常状態動作中にホット ショートが発生した場合のラッチ動作を示します。図 8-10 に、突入期間中にチャネルが短絡イベントを開始した場合のラッチ動作を示します。

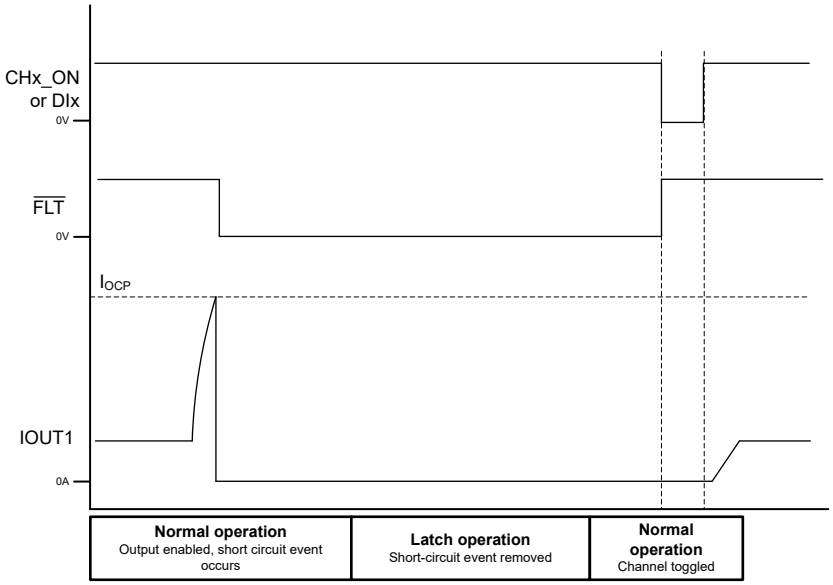



**図 8-9. 定常状態動作時のホット ショート、CAP_CHRG_CHx = 00、ラッチオフ (LATCH_CHx = 1)**

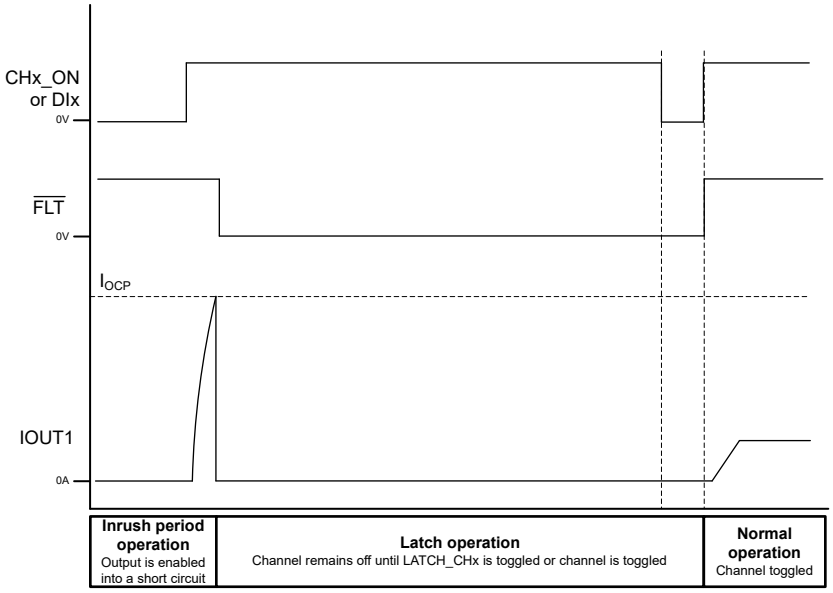



**図 8-10. CAP_CHRG_CHx = 00、ラッチオフ (LATCH_CHx = 1) の状態で短絡イベントを開始**

### 自動再試行動作 — 電流制限レギュレーション充電モード (CAP_CHRG_CHx = 10)

定常動作中に短絡イベントが発生し、CAP_CHRG_CHx = 10 かつ LATCH_CHx = 0 の場合、チャネルがオフになり $t_{RETRY}$ が経過すると、デバイスは INRUSH_LIMIT_CHx [3:0] ビットで設定された電流制限レギュレーション ($I_{CL_REG}$) を

用いて、立ち上がり期間中に再試行を行います。図 8-11 に、定常状態動作で CAP_CHRG_CHx = 10、LATCH_CHx = 0 のとき発生するホットショートイベントを示します。図 8-12 に、突入期間中にチャネルが短絡イベントを開始した場合の自動再試行動作を示します。

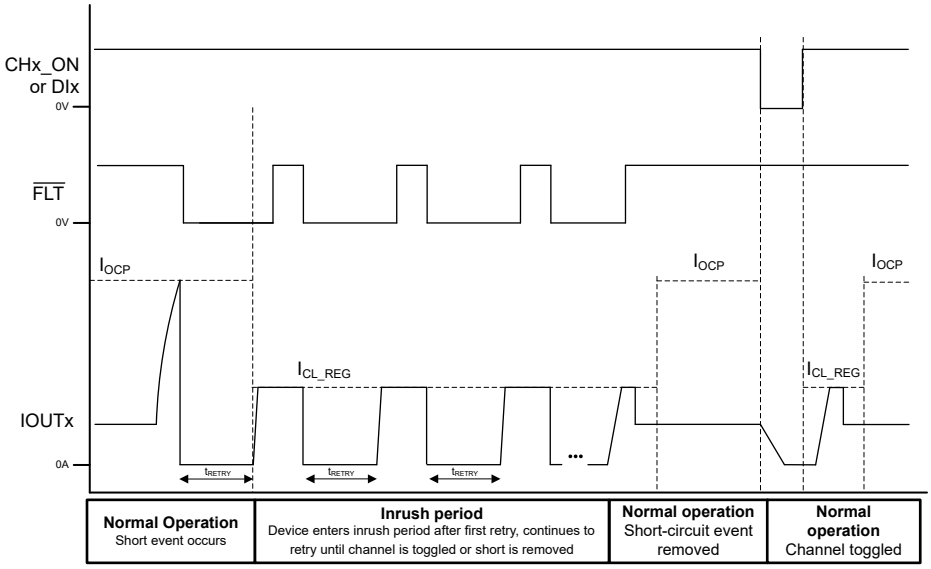



**図 8-11. 定常動作中のホット ショート (CAP_CHRG_CHx = 10、 自動再試行動作 : LATCH_CHx = 0 の場合)**

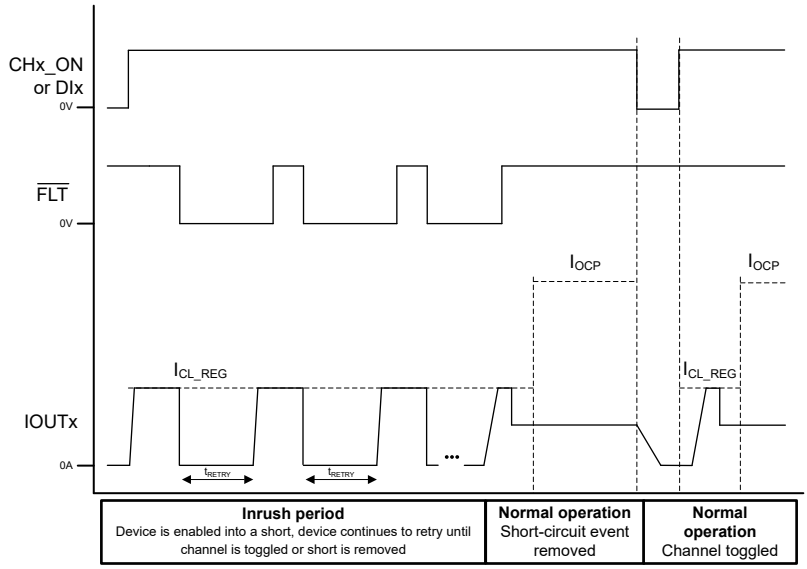



**図 8-12. CAP_CHRG_CHx = 10 および自動再試行 (LATCH_CHx = 0) で短絡イベントを開始**

### ラッチオフ動作 — 電流制限制御による容量充電モード (CAP_CHRG_CHx = 10)

LATCH_CHx = 1 かつ CAP_CHRG_CHx = 10 で、$I_{OCP}$ レベルを超えた場合、デバイスはラッチオフになり、CHx_ON ビット (バージョン A) がトグルされるか、DIx ピン (バージョン B) がトグルされるか、LATCH_CHx ビットがトグルされるまで再試行しません。出力トグルまたは LATCH_CHx ビット トグルによってラッチをリセットすると、構成されている場合、チャネルは突入期間に起動します。次の 図 8-13 に、LATCH_CHx = 1 で定常状態動作中にホット ショートが発生した場合のラッチ動作を示します。図 8-14 に、突入期間中にチャネルが短絡イベントを開始した場合のラッチ動作を示します。


Copyright © 2025 Texas Instruments Incorporated

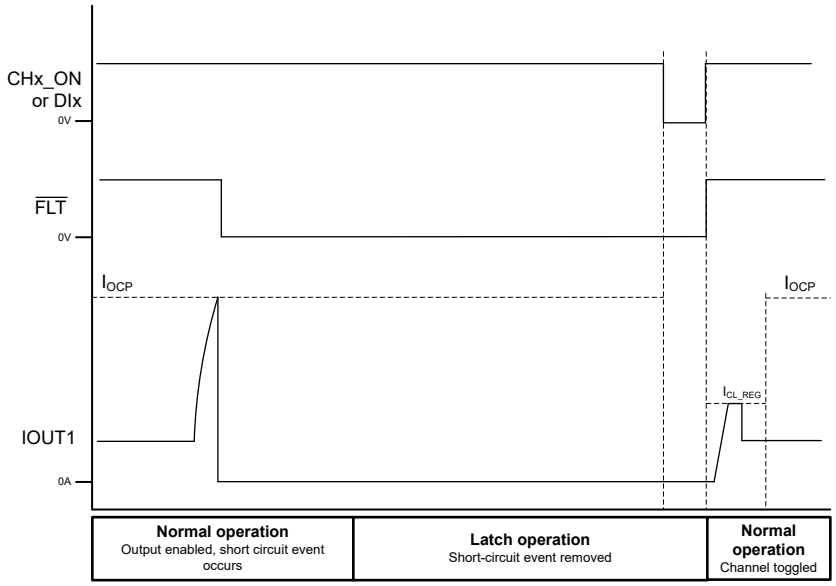



**図 8-13. 定常状態動作時のホット ショート、CAP_CHRG_CHx = 10、ラッチオフ (LATCH_CHx = 1)**

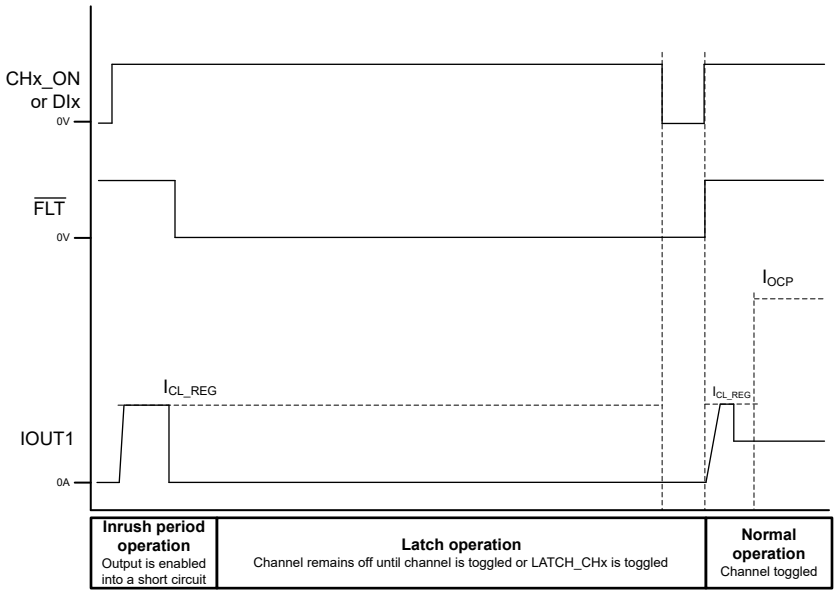



**図 8-14. CAP_CHRG_CHx = 10、ラッチオフ (LATCH_CHx = 1) の状態で短絡イベントを開始**

#### 8.3.1.2 サーマル シャットダウン

デバイスには、各パワー FET に温度センサが搭載されており、デバイスのコントローラ部分には、各 FET の温度 ($T_{J,FET}$) およびコントローラの温度 ($T_{J,CONTROLLER}$) を監視します。デバイスがサーマル・シャットダウン障害と見なされる場合は 2 つあります。

- **相対サーマル シャットダウン ($T_{REL}$)**: $T_{J,FET} - T_{J,CONTROLLER} > T_{REL}$
- **絶対サーマル シャットダウン ($T_{ABS}$)**: $T_{J,FET} > T_{ABS}$

上記のいずれかの故障が発生すると、該当するスイッチがオフになります。該当するチャネルの温度センサの測定値に基づいて、各チャネルがオフになります。その結果、一方のチャネルのみで過熱フォルトが検出された場合、もう一方のチャネルは動作を継続します。

Copyright © 2025 Texas Instruments Incorporated

### 相対サーマル シャットダウン ($T_{REL}$)

相対的なサーマル・シャットダウンイベントは、グランドへの短絡イベントなど、コントローラ温度 ($T_{J,\ FET}$) に対して FET 温度($T_{J,\ CONTROLLER}$)が急速に上昇する、大きなピーク電力イベントが発生する場合に発生することがあります。相対温度 ($T_{J,\ FET} - T_{J,\ CONTROLLER}$) が $T_{REL}$ を超えると、関連するチャネルがオフになります。

### 絶対サーマル シャットダウン ($T_{ABS}$)

絶対的サーマル・シャットダウンは、FET 温度 ($T_{J,\ FET}$) が $T_{ABS}$ を上回ると発生します。これは、チャネルが永続的な短絡使用事例など、長い期間にわたって過電流にさらされた場合に発生する可能性があります。FET 温度 ($T_{J,\ FET}$) が $T_{ABS}$ を超えると、関連するチャネルがオフになります。

#### 8.3.1.3 逆極性バッテリ

逆接続状態では、MOSFET のボディダイオード内で過剰な電力損失が発生するのを防ぐため、出力の状態 (SW_STATE レジスタで設定) に関係なく、スイッチは自動的に有効になります。多くのアプリケーション (抵抗性負荷など) では、バッテリ逆接続時に全負荷電流が存在する可能性があります。自動スイッチオン機能を有効にするには、DI ピン (バージョン A) または DI1 (バージョン B) に MCU からグランドへのパスが必要です。または、未使用の場合は $R_{PROT}$ を介してグランドに接続する必要があります。

システムの逆極性バッテリを処理するには 2 つのオプションがあります。最初のオプションは、ブロッキング デバイス (FET またはダイオード) をバッテリ電源と直列に配置し、すべての電流パスをブロックすることです。2 つ目のオプションは、ハイサイド スイッチの GND ノードの抵抗と並列にブロッキング ダイオードを配置することです。この方法では、内部回路を流れる電流を制限することで、スイッチのコントローラ部分 (パス 2) を保護します。さらに、2 番目の方法では、デバイスの自動スイッチオン機能により、デバイスを低 $R_{ON}$ 状態に移行させ、スイッチを効率的に流れ、負荷 (パス 3) を通過させることができます。2 番目のオプションで使用するダイオードは、複数のハイサイドスイッチ間で共有できます。

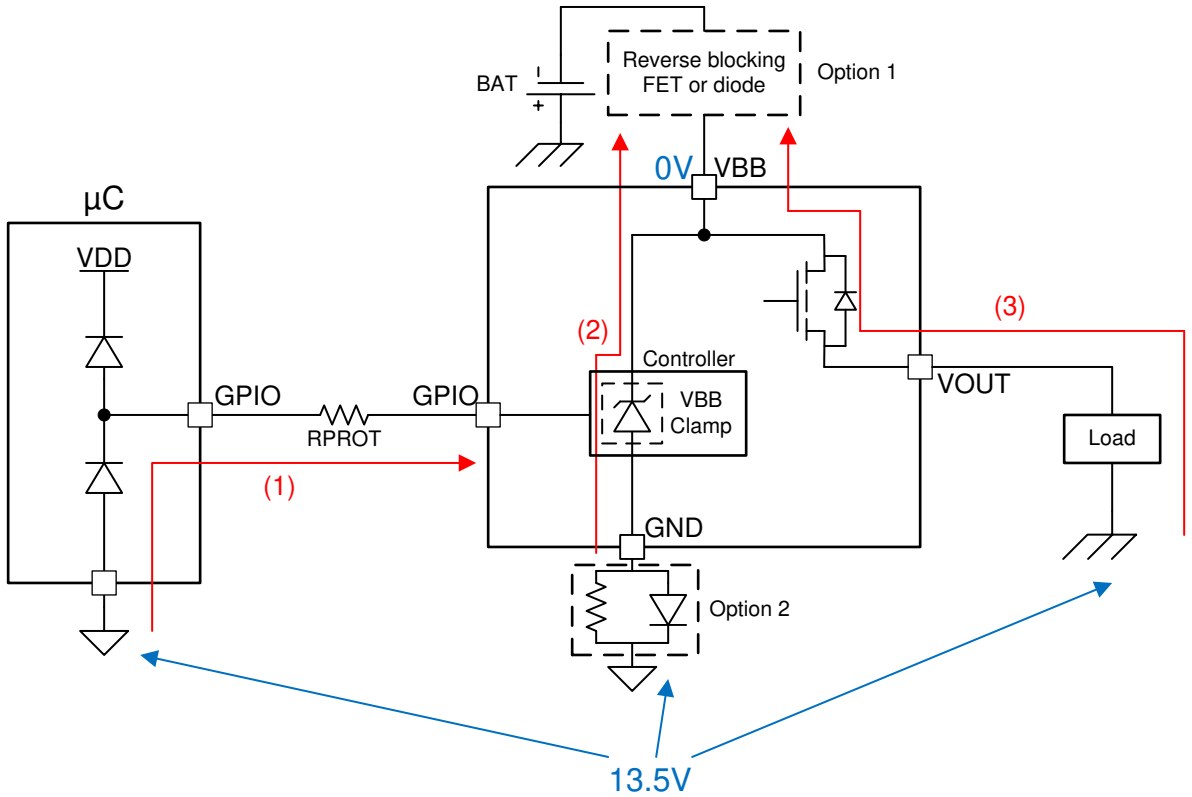



**図 8-15. バッテリ逆接続時の電流パス**

逆バッテリ保護の詳細については、TI の *ハイサイド スイッチの逆バッテリ保護*アプリケーション ノートを参照してください。


Copyright © 2025 Texas Instruments Incorporated

### *8.3.2 診断機能*

#### 8.3.2.1 ADC 内蔵

TPS2HCS10-Q1 は内蔵の逐次比較 10 ビット ADC を備えており、さまざまなアナログ信号をデジタル信号に変換し、SPI 経由で読み取ることができます。ADC は、以下に示すアナログ信号を変換できます。

- CH1 および CH2 電流検出 (ISNS1/2)
- CH1 および CH2 MOSFET 温度検出 (TSNS1/2)
- VBB 電圧検出 (VBB_SNS)
- CH1 および CH2 VOUT 電圧検出 (VSNS1/2)
- CH1 および CH2 MOSFET ドレイン - ソース間電圧 (VDS) 検出 (VDS_SNS1/2)

図 8-18 に、内蔵 ADC の機能ブロック図と ADC へのアナログ信号入力を示します。

アナログ信号の変換では、温度検出を除くすべてのアナログ信号の変換を、ADC_CONFIG レジスタを介してグローバルに無効化するか、CHx_CONFIG レジスタを介してチャネルごとに無効化できます。温度センシングはチャネルごとの無効化はできません。ADC_TSNS_DIS ビットでのみグローバルに無効化できます。

静止電流を低減するため、デバイスは ADC が ISNSx 信号のいずれかを変換しているときのみ電流検出回路を有効化し、他のすべての信号変換中は無効化します。また、デバイスには遅延の設定が可能なので、ADC のサンプリング レートを下げることで、デバイスの静止電流をさらに低減できます。遅延は、ADC_CONFIG レジスタの ADC_ISNS_SAMPLE_CONFIG [1:0] ビットで設定します。

I2T 保護が有効 (I2T_EN_CHx = 1) で、いずれかのチャネルが I2T モードではない (I2T_MOD_CHx = 0) 場合、デバイスは各アナログ信号を、設定可能な遅延で、ラウンド ロビン シーケンスを使用して変換します。次の 図 8-16 に、チャネルが I2T モード (I2T_MOD_CHx = 0) で、すべてのアナログ信号変換が有効である場合の ADC スケジューリングを示します。I2T 保護が無効の場合、以下のラウンド ロビン シーケンスも適用されます。

| | ISNS1 | ISNS2 | TSNS1 | TSNS2 | VBB_SNS | VSNS1 | VSNS2 | VDS_SNS1 | VDS_SNS2 | Configurable delay ADC_ISNS_SAMPLE_CONFIG [1:0] |
|---|---|---|---|---|---|---|---|---|---|---|
| ISNS_EN | 1 | | 0 | | | | | | | |
| I2T_MOD_CHx | 0 | | | | | | | | | |

**図 8-16. I2T_MOD_CHx = 0 での ADC シーケンス**

I2T 保護が有効 (I2T_EN_CHx = 1) で、チャネルの一方または両方が I2T モード (I2T_MOD_CHx = 1) の場合、デバイスは内部 I2T 保護に使用される ISNSx 変換を除いてすべての変換を無効にします。デバイスは、構成可能な遅延機能も無効にします。次の 図 8-17 に、チャネルの一方または両方が I2T モード (I2T_MOD_CHx = 1) の場合の ADC スケジューリングを示します。

| | ISNS1 | ISNS2 | ISNS1 | ISNS2 | ... | ISNS1 | ISNS2 |
|---|---|---|---|---|---|---|---|
| ISNS_EN | 1 | | | | | | |
| I2T_MOD_CHx | 1 | | | | | | |

**図 8-17. I2T_MOD_CHx = 1 での ADC シーケンス**

ADC のリファレンス電圧は内部で固定されています。これは $V_{ADCREFHI}$ パラメータにより電気的特性表に指定されています。ADC のグランドリ ファレンスは、内部でデバイスの GND に接続されています。正確な電流検出結果を得るには、$R_{SNS}$ 抵抗のグランド接続をデバイスの GND ピンに接続する必要があります。各アナログ信号の変換式は、以下のそれぞれのセクションに記載されています。

Copyright © 2025 Texas Instruments Incorporated

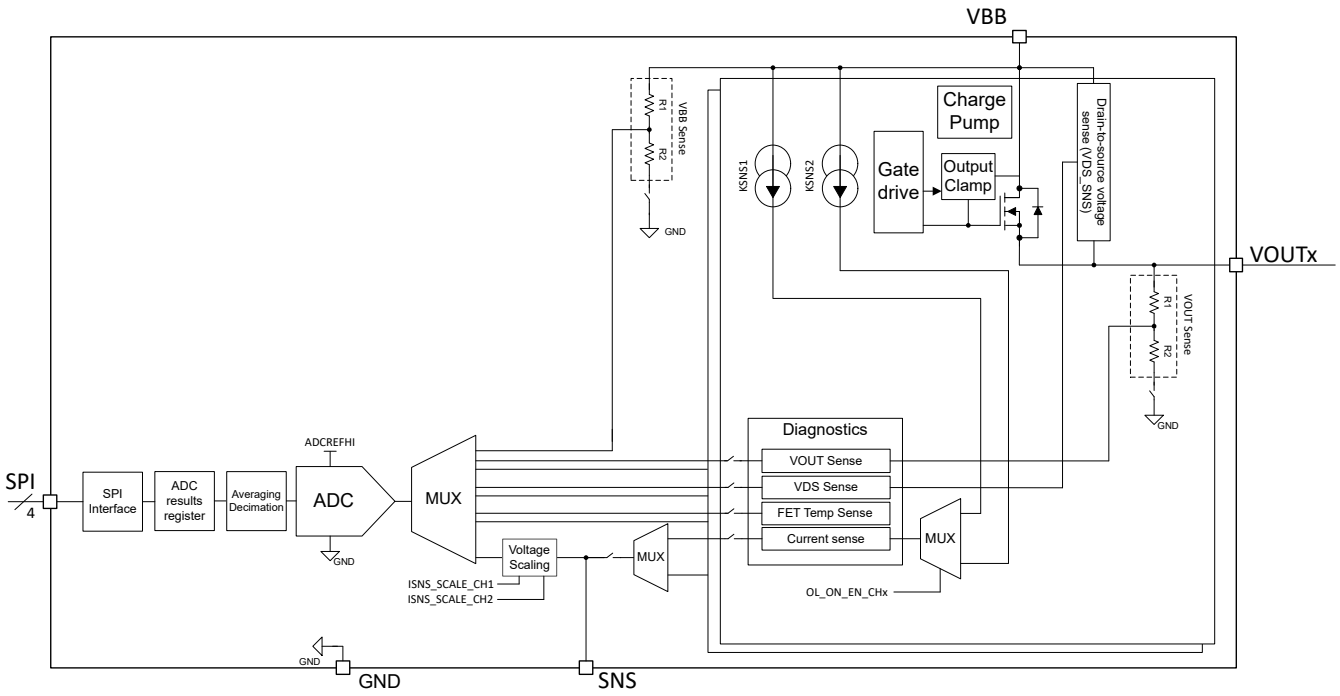



**図 8-18. 内蔵 ADC の機能ブロック図**

#### 8.3.2.2 デジタル電流センス出力

デバイスの内蔵電流検出回路は、外部の検出抵抗 ($R_{SNS}$) を介して、SNS ピンを流れる各チャネルの負荷電流 ($I_{OUTx}$) に比例する検出電流 ($I_{SNS}$) を供給し、電圧を生成します。各チャネルの電流センスは内部で多重化され、ADC スケジューラによって SNS ピンに出力されます。$I_{SNS}$ と $R_{SNS}$ により生成される電圧は内部の 10 ビット ADC によりサンプリングされ、ADC 変換の結果は各チャネルの ADC_RESULT_CHx_I に保存されます。このレジスタが最後に読み出された後に新しい ADC 変換結果が存在する場合、ISNS_RDY_CHx ビットは 1 に設定されます。

内蔵 ADC による正確な検出測定を確実に実現するため、検出抵抗を IC GND に接続する必要があります。

このデバイスは、各チャネルに 2 つの電流検出比 ($K_{SNS1}$) および ($K_{SNS2}$) を備えており、CHx_CONFIG レジスタの OL_ON_EN_CHx ビットで設定できます。$K_{SNS1}$ 比が高いほど (OL_ON_EN_CHx = 0 モード)、チャネルは低い $K_{SNS2}$ 比 (OL_ON_EN_CHx = 1 モード) によってチャネルが低出力電流レベルを正確に測定できるようになります。$K_{SNS1}$ は MOSFET 全体を利用します。この場合、$K_{SNS2}$ はオン抵抗 $R_{ON_OL}$ の小型の MOSFET を利用し、電流センス比を低くできます。$K_{SNS2}$ 比を使用するには、OL_ON_EN_CHx ビットが 1 に設定される前に、出力電流レベルが $I_{ENTRY_OL_ON}$ を下回る必要があります。電流が $I_{ENTRY_OL_ON}$ を下回っていない場合、$K_{SNS2}$ 動作は開始されず、$K_{SNS1}$ 動作はアクティブのままです。チャネルが $K_{SNS2}$ で動作しており、出力電流が $I_{EXIT_OL_ON}$ を上回ると、デバイスは $K_{SNS2}$ から $K_{SNS1}$ に自動的に遷移します。ここで、OL_ON_EN_CHx ビットは 0 にリセットされ、MOSFET のすべてがアクティブになります。電流が再度 $I_{ENTRY_OL_ON}$ を下回ると、$K_{SNS2}$ 動作に再度遷移するには、OL_ON_EN_CHx ビットを 1 に戻す必要があります。システムは、OL_ON_EN_CHx = 0 を書き込むことで $K_{SNS2}$ 動作を手動で終了できます。$K_{SNS2}$ 動作で内蔵 ADC を使用して出力電流を測定するときは、システムは、出力電流測定が読み取られたときにデバイスが $K_{SNS2}$ 動作中であることを確認するため、OL_ON_EN_CHx = 1 ビットを引き続き監視する必要があります。

このデバイスは、ADC 入力での電流センス電圧を増幅するための電圧スケーリング オプションも備えています。出力電流レベルが低い場合、この方法により、電流センス電圧を内蔵 ADC のより高いレベルにすることができます。電圧スケーリングは、ISNS_SCALE_CHx ビットによって設定されます。以下の 表 8-2 に、ISNS_SCALE_CHx の各種設定を示します。ISNS_SCALE_CHx = 1 動作は、OL_ON_EN_CHx = 1 モードでのみ推奨されます。


Copyright © 2025 Texas Instruments Incorporated

OL_ON_EN_CHx = 1 モードおよび / または ISNS_SCALE_CHx = 1 は、I2T が無効 (I2T_EN = 0) の場合にのみ使用することを推奨します。OL_ON_EN_CHx = 1 または ISNS_SCALE_CHx = 1 を I2T 有効 (I2T_EN = 1) の状態で使用すると、意図しない低い I2T スレッショルドでチャネルがオフになる可能性があります。

**表 8-2. ISNS_SCALE_CHx の設定**

| ISNS_SCALE_CHx | 値 |
|---|---|
| 0 | x1 |
| 1 | x8 |

ADC_RESULT_CHx_I レジスタの ISNS_SCALE_EFF_CHx ビットは、チャネルが 1x または 8x の電圧スケーリングで動作しているかどうかを示します。これにより、システムは電流センス測定値を変換するときにどの電圧スケーリング係数が適用されるかを把握できます。

さまざまな OL_ON_EN_CHx 設定の電流検出の ADC 変換式は以下のとおりです:

OL_ON_EN_CHx = 0 の場合、

$$\mathrm{IOUT}\left(\mathrm{A}\right) = \left(\frac{\mathrm{KSNS1} \times \mathrm{V_{ADCREFHI}}}{1023 \times \mathrm{R_{SNS}}}\right) \times \mathrm{ADC_RESULT_CHx_I} \tag{8}$$

OL_ON_EN_CHx = 1 の場合、

$$\mathrm{IOUT}\left(\mathrm{A}\right) = \left(\frac{\mathrm{KSNS2} \times \mathrm{V_{ADCREFHI}}}{1023 \times \mathrm{R_{SNS}} \times \mathrm{ISNS_SCALE_CHx}}\right) \times \mathrm{ADC_RESULT_CHx_I} \tag{9}$$

電流センス機能は、デフォルトで各チャネルに対して有効になっています。電流センス機能は、ADC_CONFIG レジスタの ADC_ISNS_DIS ビットを使用して、グローバルにイネーブルまたはディスエーブルできます。グローバル ADC_ISNS_DIS ビットが 0 の場合、デバイスはそれぞれの CHx_CONFIG レジスタの ISNS_DIS_CHx ビットに従って、各チャネルの電流センス機能をイネーブルまたはディスエーブルにします。

I2T 保護を使用する場合、I2T 保護を使用する前に、電流センス機能をイネーブルにする必要があります。電流センス機能は、チャネルがイネーブルで、定常状態で動作している場合にのみ利用できます。電流センス機能は、突入期間では利用できません。

#### 8.3.2.3 出力電圧測定

TPS2HCS10-Q1 には、内蔵の 10 ビット ADC を使用して、チャネルごとの出力電圧測定機能があります。

出力電圧の測定機能は、デフォルトでは無効になっています。出力電圧検出機能を有効にするには、ADC_CONFIG レジスタ内の ADC_VSNS_DIS ビットを設定して、グローバルで有効化する必要があります。グローバル ビットが有効になっている場合、デバイスは各 CHx_CONFIG レジスタ内の VSNS_DIS_CHx ビットの設定に従って、各チャンネルの出力電圧測定を有効にします。

出力電圧測定の変換式の詳細については、式 10 を参照してください。ADC の測定結果は、ADC_RESULT_CHx_V レジスタで確認できます。VSNS_RDY_CHx ビットは、前回レジスタを読み取って以降に新しい ADC 変換結果がある場合に 1 に設定されます。いずれかのチャネルが I2T ループ内にある場合 (I2T_MOD_CHx = 1)、出力電圧測定機能が有効であっても、すべてのチャネルでこの機能は無効化され、VSNS_RDY_CHx ビットは 0 になります。チャネルが I2T ループ (I2T_MOD_CHx = 0) を終了すると、I2T イベントの前に以前にイネーブルになっていた場合、出力電圧測定が自動的に再度イネーブルになります。

$$\mathrm{VOUT}\left(\mathrm{V}\right) = \left(\frac{17.89 \times \mathrm{V_{ADCREFHI}}}{1023 \times 1.667}\right) \times \mathrm{ADC_RESULT_CHx_V} \tag{10}$$

出力電圧の測定はデバイスのグランドを基準にしているため、逆接続保護用のグランド ネットワークが使用されている場合、電圧測定にオフセットが生じることがあります。

Copyright © 2025 Texas Instruments Incorporated

#### 8.3.2.4 MOSFET 温度測定

TPS2HCS10-Q1 は、10 ビット ADC を経由して各パワー MOSFET の温度を測定します。

FET 温度検出機能は、デフォルトで無効になっています。各チャネルの FET 温度センス機能をイネーブルにするには、ADC_CONFIG レジスタで ADC_TSNS_DIS ビットを使用してグローバルにイネーブルにする必要があります。

FET 温度測定の変換式の詳細については、式 11 に示します。ADC の測定結果は、ADC_RESULT_CHx_T レジスタで確認できます。このレジスタが最後に読み出された後に新しい ADC 変換結果が存在する場合、TSNS_RDY_CHx ビットは 1 に設定されます。チャネルのいずれかが I2T ループ (I2T_MOD_CHx = 1) にある場合、FET 温度測定がイネーブルになっていれば、すべてのチャネルでディスエーブルになり、TSNS_RDY_CHx ビットは 0 になります。チャネルが I2T ループ (I2T_MOD_CHx = 0) を終了すると、I2T イベントの前に以前にイネーブルになっていた場合、FET 温度測定は自動的に再度イネーブルになります。

$$T_{J,FET}(°C) = 381.367 - (0.75157 \times ADC_RESULT_CHx_T) \quad (11)$$

#### 8.3.2.5 ドレイン - ソース間電圧 ($V_{DS}$) の測定

TPS2HCS10-Q1 は、内蔵の 10 ビット ADC により、チャネルごとのドレイン - ソース間電圧 ($V_{DS}$) を測定します。

$V_{DS}$ 電圧の測定機能は、デフォルトでは無効になっています。$V_{DS}$ 電圧センス機能をイネーブルにするには、ADC_CONFIG レジスタで ADC_VDS_DIS ビットによりグローバルにイネーブルにする必要があります。グローバル ビットがイネーブルになっている場合、デバイスはそれぞれの CHx_CONFIG レジスタの VDS_SNS_DIS_CHx ビットに従って、各チャネルで $V_{DS}$ 電圧測定をイネーブルにします。

$V_{DS}$ 電圧測定の変換式については、式 12 に詳述します。$V_{DS}$ 変換式は、最大 1.5V の $V_{DS}$ 電圧に対してのみ有効です。ADC の測定結果は ADC_RESULT_CHx_VDS レジスタで利用できます。このレジスタが最後に読み出された後に新しい ADC 変換結果が存在する場合、VDSSNS_RDY_CHx ビットは 1 に設定されます。チャネルのいずれかが I2T ループ (I2T_MOD_CHx = 1) にある場合、$V_{DS}$ 電圧測定がイネーブルになっていると、すべてのチャネルでディスエーブルになり、VDSSNS_RDY_CHx ビットは 0 になります。チャネルが I2T ループ (I2T_MOD_CHx = 0) を終了すると、I2T イベントの前に以前にイネーブルになっていた場合、$V_{DS}$ 電圧測定は自動的に再度イネーブルになります。

$$VDS(V) = \frac{ADC_RESULT_CHx_VDS - 24}{288.267} \quad (12)$$

#### 8.3.2.6 VBB 電圧の測定

TPS2HCS10-Q1 は、10 ビット ADC 経由で VBB 電圧を測定します。

VBB 電圧測定は、デフォルトで無効になっています。VBB 電圧センス機能は、ADC_CONFIG レジスタの ADC_VBB_DIS ビットによりイネーブルできます。

VBB 電圧測定の変換式については、式 13 に詳述します。ADC の測定結果は ADC_RESULT_VBB レジスタで確認できます。このレジスタが前回の読み取り以降に新しい ADC 変換結果が存在する場合、VBB_RDY ビットは 1 に設定されます。チャネルのいずれかが I2T ループ (I2T_MOD_CHx = 1) にある場合、VBB 電圧測定がイネーブルになっていれば、VBB_RDY ビットは 0 になります。チャネルが I2T ループ (I2T_MOD_CHx = 0) を終了すると、I2T イベントの前に以前にイネーブルになっていた場合、VBB 電圧測定は自動的に再度イネーブルになります。

$$VBB(V) = \left(\frac{18.18 \times V_{ADCREFHI}}{1023 \times 1.667}\right) \times ADC_RESULT_VBB \quad (13)$$

VBB の電圧測定はデバイスのグランドを基準としているため、逆バッテリに使用されるグランド回路が存在する場合は、電圧測定にオフセットを配置できます。

#### 8.3.2.7 VOUT のバッテリへの短絡とオープン負荷

TPS2HCS10-Q1 は、チャネル出力がオンかオフかにかかわらず、バッテリへの短絡および開放負荷イベントを検出できますが、2 つの条件では異なる方法が使用されます。


Copyright © 2025 Texas Instruments Incorporated

#### 8.3.2.7.1 チャネル出力 (FET) が有効な測定

チャネル出力が有効で FET がオンのとき、電流検出機能を使用して VOUT のバッテリ短絡および開放負荷状態を検出することができます。どちらの場合も、電流検出回路と ADC を使用して負荷電流が測定され、その結果は ADC_RESULT_CHx_I レジスタで取得できます。低電流レベルでは、電流検出比を公称値 5000 から公称下限値 1400 に変更することにより、電流検出の精度を向上させることができます。これには、個別の CHx_CONFIG レジスタで OL_ON_EN_CHx ビットを 1 に設定します。ただし、このビットを有効にするには、負荷電流が $I_{ENTRY_OL_ON}$ を下回る必要があります。さらに、同じ CHx_CONFIG レジスタの ISNS_SCALE_CHx ビットを設定することで、ADC への電圧入力を 8 倍にスケーリングできます。これにより、ADC は低負荷電流をより高い精度で測定できます。

OL_ON_EN_CHx = 1 モードおよび / または ISNS_SCALE_CHx = 1 は、I2T が無効 (I2T_EN = 0) の場合にのみ使用することを推奨します。OL_ON_EN_CHx = 1 または ISNS_SCALE_CHx = 1 を I2T 有効 (I2T_EN = 1) の状態で使用すると、意図しない低い I2T スレッショルドでチャネルがオフになる可能性があります。

#### 8.3.2.7.2 チャネル出力がディスエーブルの検出

デバイスは、チャネル出力が無効 (FET オフ) のときに、オープン負荷またはバッテリ短絡イベントを検出できます。これらは以下で、「オフ状態オープン負荷検出」と「オフ状態バッテリ短絡検出」と呼びます。チャネル出力が無効のとき、デバイスは定義されたシーケンスを通じて、オープン負荷イベントとバッテリ短絡イベントを区別することができます。このシーケンスについては以下で説明します。オフ状態での開放負荷およびオフ状態でのバッテリ短絡検出のブロック図を図 8-19 に示します。

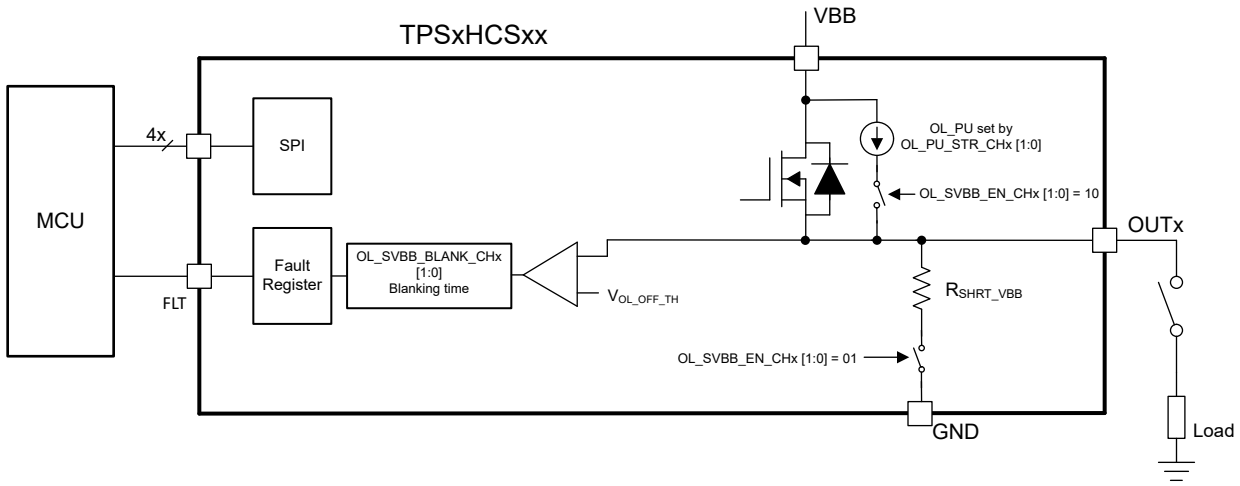



**図 8-19. 開放負荷およびバッテリ短絡の検出**

**注**

この図では、デバイスのグランドと負荷グランドが同じ電位であることを想定しています。実際のシステムでは、1V 程度のグランド シフト電圧が存在する可能性があります。

### オフ状態の開放負荷検出

このデバイスには、各チャネルにプルアップ電流源 OL_PU が内蔵されており、出力をプルアップして、開放負荷またはバッテリへの短絡イベントが発生しているかどうかを判定できます。プルアップ電流源は、OL_SVBB_EN_CHx [1:0] = 10 のときにイネーブルになり、内部コンパレータは出力電圧が $V_{OL_OFF_TH}$ を上回ったときに検出するために使用されます。内部プルアップの強度は、CHx_CONFIG レジスタの各チャネルの OL_PU_STR_CHx ビットによってプログラムできます。デバイスは、出力が安定するのを待ってからオープン負荷またはバッテリ短絡イベントを判定できるように、チャネルごとにプログラム可能なブランキング タイマを備えています。ブランキング時間は、CHx_CONFIG レジスタの OL_SVBB_BLANK_CHx ビットによりプログラムできます。

Copyright © 2025 Texas Instruments Incorporated

OL_SVBB_EN_CHx [1:0] = 10 の場合、デバイスは開放負荷またはバッテリへの短絡イベントのどちらかが発生した場合のみ報告できます。この設定のみでは、これら 2 つを区別できません。オープン負荷またはバッテリ短絡のいずれかの故障が発生した場合、対応するチャネルの FLT_STAT_CHx レジスタ内の OL_OFF_CHx ビットが 1 に設定されます。OL_OFF_CHx ビットは読み取りクリア ビットであり、FLT_STAT_CHx レジスタが読み取られ、故障が除去されたか、またはオープン負荷回路が無効化された場合にクリアされます。開放負故障とバッテリへの短絡故障を区別するには、特定の手順に従う必要があります。これについては、開放負荷故障とバッテリ短絡故障の区別セクションで詳しく説明します。

OL_SVBB_EN_CHx [1:0] = 10 で、出力が有効化されている場合、デバイスは出力をオンにする前に、プルアップ電流源および内部コンパレータを無効化します。OL_SVBB_EN_CHx [1:0] = 10 の場合、チャネルが有効化された後に無効化されると、デバイスは自動的にプルアップ ソースと内部コンパレータを有効にします。

### オフ状態のバッテリへの短絡の検出

デバイスにはチャネルごとにプルダウン抵抗が内蔵されており、チャネルが無効化されているときに、オープン負荷とバッテリ短絡故障を区別するのに役立ちます。プルダウン抵抗は、OL_SVBB_EN_CHx [1:0] = 01 の場合に有効になり、出力電圧が $V_{OL_OFF_TH}$ を上回ったときに検出するために使用される内部コンパレータも有効になります。プルダウン抵抗は、電気的特性の $R_{SHRT_VBB}$ パラメータで規定されます。デバイスは、出力が安定するのを待ってからバッテリ短絡イベントを判定できるように、チャネルごとにプログラム可能なブランキング タイマを備えています。ブランキング時間は、CHx_CONFIG レジスタの OL_SVBB_BLANK_CHx ビットによりプログラムできます。

OL_SVBB_EN_CHx [1:0] = 01 の場合、デバイスはバッテリへの短絡イベントが発生した場合のみ報告できます。開放負荷故障が発生したかどうかは、このデバイスは検出できません。バッテリへの短絡故障が発生した場合、対応するチャネルの FLT_STAT_CHx レジスタの SHRT_VBB_CHx ビットが 1 に設定されます。SHRT_VBB_CHx ビットはリードクリアビットであり、FLT_STAT_CHx レジスタが読み取られ、故障が除去されたか、またはバッテリ短絡検出回路が無効化された場合にクリアされます。開放負故障とバッテリへの短絡故障を区別するには、特定の手順に従う必要があります。これについては、開放負荷故障とバッテリ短絡故障の区別セクションで詳しく説明します。

OL_SVBB_EN_CHx [1:0] = 01 で、出力がイネーブルの場合、デバイスは出力をオンにする前に、プルダウン抵抗と内部コンパレータを無効化します。OL_SVBB_EN_CHx [1:0] = 01 の場合、チャネルが有効化された後に無効化されると、デバイスは自動的にプルダウン抵抗および内部コンパレータを有効にします。

### 開放負荷故障とバッテリ短絡故障の区別

TPS2HCS10-Q1 デバイスは、定義された手順によって、開放負荷とバッテリへの短絡故障を区別できます。図 8-20 に、開放負荷とバッテリ短絡故障を区別するために推奨される手順を示します。

OL_OFF_CHx ビットと SHRT_VBB_CHx ビットを読み取って、開放負荷故障またはバッテリへの短絡故障の有無を判定する場合、3 つの読み取りコマンドを使用して、どの故障が発生したかを判定する必要があります。最初の読み取りコマンドは、どのレジスタを読み取るかを設定することです。2 番目の読み取りコマンドは、故障が発生したかどうかを確認することで、3 番目の読み取りコマンドは、故障が継続しているかどうかを確認することです。これら 3 回の連続した読み取りの後、故障を特定できます。


Copyright © 2025 Texas Instruments Incorporated

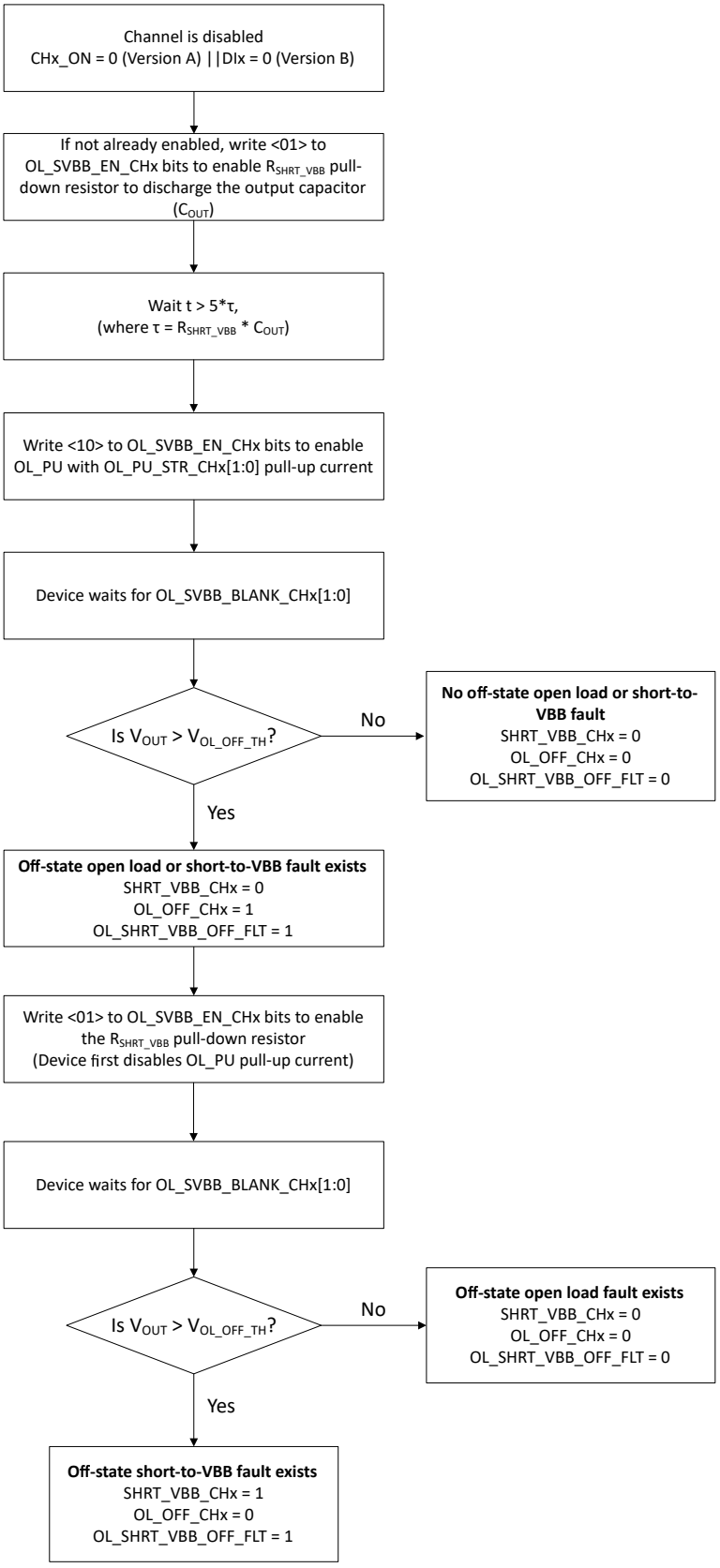



**図 8-20. 開放負荷故障とバッテリ短絡故障を区別する論理フロー チャート**

Copyright © 2025 Texas Instruments Incorporated

### 8.3.3 並列モード動作

PARALLEL_12 ビットが 1 に設定されている場合、デバイスは並列モードをサポートし、デバイスの出力を外部で互いに接続して、1 チャネルのデバイスとして動作させることができます。これにより、RON が約半分に低下し、連続出力電流が約 2 倍に増加します。

PARALLEL_12 ビットを設定する場合、設定を有効化するために両方のチャネルをオフにする必要があります。PARALLEL_12 ビットが有効になったかどうかを確認するため、DEV_CONFIG レジスタを読み取り、PARALLEL_12 ビットが 1 に設定されていることを検証できます。

以下のセクションでは、デバイスの並列モード固有のさまざまな構成および動作について説明します。以下のセクションで説明がない機能または用途の場合、デバイスの動作はその機能または用途のシングル チャネル動作と同じになります。

#### 並列モードでのチャネル制御

並列モードでは、アクティブ状態のチャネル制御は TPS2HCS10A-Q1 の SW_STATE レジスタの CH1_ON ビットによってのみ設定されます。TPS2HCS10B-Q1 の場合、アクティブ状態のチャネル制御は DI1 ピンによってのみ設定されます。LIMP_HOME 状態の場合、チャネル制御は、DEV_CONFIG レジスタの CH1_LH_IN ビットによってのみ設定されます。

#### フォルト通知 - 並列モード

並列モードでは、いずれかまたは両方のチャネルでフォルトが発生した場合、両方のチャネルのフォルト フラグがそれぞれのフォルトでアサートされます。

#### 診断 - 並列モード

並列モードでは、両方のチャネルで ADC 診断 (ISNS、VSNS、VBBSNS、VDS_SNS、TSNS) が使用できます。これらの診断は、各 CHx_CONFIG レジスタを使用して、チャネルごとに有効または無効にできます。

KSNS2 動作 (OL_ON_EN_CHx = 1 モードとも呼ばれます) に入るには、OL_ON_EN_CH1 ビットを 1 に設定する前に、出力電流を 2x $I_{ENTRY_OL_ON}$ 未満にする必要があります。電流が 2x $I_{ENTRY_OL_ON}$ を下回っていない場合、$K_{SNS2}$ 動作は開始されず、引き続き $K_{SNS1}$ 動作がアクティブになります。チャネルが $K_{SNS2}$ で動作しており、出力電流が $I_{EXIT_OL_ON}$ の 2 を上回ると、デバイスは $K_{SNS2}$ から $K_{SNS1}$ に自動的に遷移します。ここで、OL_ON_EN_CH1 ビットは 0 にリセットされ、MOSFET のすべてがアクティブになります。電流が再度 2x $I_{ENTRY_OL_ON}$ を下回ると、$K_{SNS2}$ 動作に再度遷移するには、OL_ON_EN_CH1 ビットを 1 に戻す必要があります。システムは、OL_ON_EN_CH1 = 0 を書き込むことで $K_{SNS2}$ 動作を手動で終了できます。$K_{SNS2}$ 動作で内蔵 ADC を使用して出力電流を測定するときは、システムは、出力電流測定が読み取られたときにデバイスが $K_{SNS2}$ 動作中であることを確認するため、OL_ON_EN_CH1 = 1 ビットを引き続き監視する必要があります。

オフ状態での開放負荷検出と、オフ状態でのバッテリ短絡検出設定は、CH1_CONFIG レジスタによってのみ設定されます。デバイスは、チャネル 1 の回路のみを有効化して、オフ状態の開放負荷とオフ状態のバッテリへの短絡を検出します。

#### 突入期間 - 並列モードでの過電流保護

並列モードでは、オプションの突入期間の過電流保護は ILIM_CONFIG_CH1 レジスタのみによって設定されます。2 つの容量性充電モードのいずれかを、容量性充電や電流レギュレーションなしの並列モードで使用できます。この設定は CAP_CHRG_CH1 ビットで行います。突入期間の長さは、INRUSH_DURATION_CH1 によって設定されます。容量性充電の値は INRUSH_LIMIT_CH1 ビットによって設定されます。並列動作のためのデバイス全体の実効値は、INRUSH_LIMIT_CH1 の設定値の約 2 倍になります。

2 つの容量性充電モードに対応し、両方のチャネルの過電流保護とサーマル シャットダウン保護機能が有効になります。容性量充電なしのモードでは、いずれかのチャネルを流れる出力電流が INRUSH_LIMIT_CH1 の設定を上回ると、両


Copyright © 2025 Texas Instruments Incorporated

方のチャネルがオフになります。どちらの容量性充電モードでも、どちらかのチャネルにサーマル シャットダウン フォルトが発生すると、両方のチャネルがオフになります。

オプションの突入期間における過電流保護用デバイスの構成方法の詳細については、表 8-3 を参照してください。

**表 8-3. 並列モードの突入期間過電流保護の設定方法**

| 容量性充電モード (CAP_CHRG_CH1) | 期間の設定方法 | 値の設定方法 | PARALLEL_12 = 1 の場合の実効標準値 |
|---|---|---|---|
| 00 | INRUSH_DURATION_CH1 [2:0] | INRUSH_LIMIT_CH1 [3:0] | 2x INRUSH_LIMIT_CH1 [3:0] |
| 10 | INRUSH_DURATION_CH1 [2:0] | INRUSH_LIMIT_CH1 [3:0] | 2x INRUSH_LIMIT_CH1 [3:0] |

### 定常状態 - 並列モードでの過電流保護

並列モードでは、定常状態動作における即時シャットダウン過電流保護 ($I_{OCP}$) は、ILIM_CONFIG_CH1 レジスタの ILIMIT_SET_CH1 ビットによってのみ設定されます。並列動作のためのデバイス全体の実効値は、ILIMIT_SET_CH1 設定の約 2 倍になります。

定常状態動作時に、いずれかのチャネルの過電流保護およびサーマル シャットダウン保護機能が有効になります。いずれかのチャネルを流れる出力電流が ILIMIT_SET_CH1 設定を上回ると、両方のチャネルがオフになります。

**注**

並列モードでサポートされる ILIMIT_SET_CH1 の最大値は 20A です。CAP_CHRG_CH1 = 00 の場合、並列モードでサポートされる INRUSH_LIMIT_CH1 の最大値は 20A です。

### 定常状態 - 並列モードでの I2T 保護

並列モードでは、I2T 保護は I2T_CONFIG_CH1 レジスタによってのみ設定されます。I2T の INOM の値は NOM_CUR_CH1 ビットによって設定されます。並列動作のためのデバイス全体の実効値は、NOM_CUR_CH1 設定の約 2 倍になります。I2T スレッショルドの値は I2T_TRIP _CH1 ビットによって設定されます。並列動作のためのデバイス全体の実効値は、I2T_TRIP _CH1 の設定値の約 4 倍です。ISWCL の値は ISWCL_CH1 ビットで設定されます。並列動作のためのデバイス全体の実効値は ISWCL_CH1 設定の約 2 倍です。

並列モードでの I2T の有効化は、ILIM_CONFIG_CH1 レジスタの I2T_EN_CH1 ビットを通じてのみ行われます。

I2T 蓄積には、チャネル 1 の電流センスのみが使用されます。チャネル 1 の I2T_TRIP_CH1 の値を超えた場合、両方のチャネルがオフになります。

### MANUAL_LPM - 並列モード

並列モードでは、MANUAL_LPM_ENTRY ビットにより MANUAL_LPM が入力されます。本デバイスは、MANUAL_LPM セクションで説明したシングル チャネルの動作と同様に動作しますが、以下の例外があります。

- TPS2HCS10A-Q1 の場合、デバイスは MANUAL_LPM の終了時に AUTO_LPM_EXIT_CH1 設定のみを監視して、チャネルがアクティブ状態でまだ有効化されていない場合にオンにする必要があるかどうかを判断します。AUTO_LPM_EXIT_CH2 の設定は無視されます。
- デバイスは両方のチャネルの出力電流を監視し、デバイスが MANUAL_LPM 状態を終了するタイミングを決定します。どちらかのチャネルの出力電流が $I_{EXIT_LPM_MAN}$ スレッショルドを超えると、デバイスは MANUAL_LPM 状態を終了します。正しい動作を行うには、MAN_LPM_EXIT_CURR_CH1 および MAN_LPM_EXIT_CURR_CH2 の設定を同じ値にする必要があります。並列動作のデバイス全体の実効値は、MAN_LPM_EXIT_CURR_CHx 設定の約 2 倍になります。
- TPS2HCS10B-Q1 の場合、デバイスは DI1 ピンの変化を監視して MANUAL_LPM を終了します。

Copyright © 2025 Texas Instruments Incorporated

### AUTO_LPM - 並列モード

並列モードでは、AUTO_LPM に移行すると、AUTO_LPM_ENTRY ビットが 1 に設定されます。本デバイスは、AUTO_LPM セクションで説明したシングル チャネルの動作と同様に動作しますが、以下の例外があります。

- TPS2HCS10A-Q1 の場合、デバイスは AUTO_LPM_EXIT_CH1 を監視して AUTO_LPM を終了し、まだ有効でなければチャネルをオンにします。AUTO_LPM_EXIT_CH2 の設定は無視されます。
- デバイスは両方のチャネルの出力電流を監視し、デバイスが AUTO_LPM 状態を終了するタイミングを決定します。どちらかのチャネルの出力電流が $I_{EXIT_LPM_AUTO}$ スレッショルドを超えると、デバイスは AUTO_LPM 状態を終了します。並列動作のデバイス全体の実効値は、$I_{EXIT_LPM_AUTO}$ 値の約 2 倍になります。
- TPS2HCS10B-Q1 の場合、デバイスは DI1 ピンの変化のみを監視して AUTO_LPM を終了します。

### PWM - 並列モード

並列モードでは、PWM 設定は PWM_CH1 レジスタによってのみ設定されます。両方のチャネルが同時にオンになるため、PWM_SHIFT_DIS ビットは無視されます。並列モードでの PWM の有効化は、PWM_EN_CH1 ビットによって行われます。

### RON - 並列モード

各チャネルの RON はそれぞれ少し異なっており、負荷の不一致がわずかに生じる可能性があります。これは、$\Delta R_{ON}$ パラメータにより電気的特性で規定されています。

### レイアウトに関する推奨事項 - 並列モード

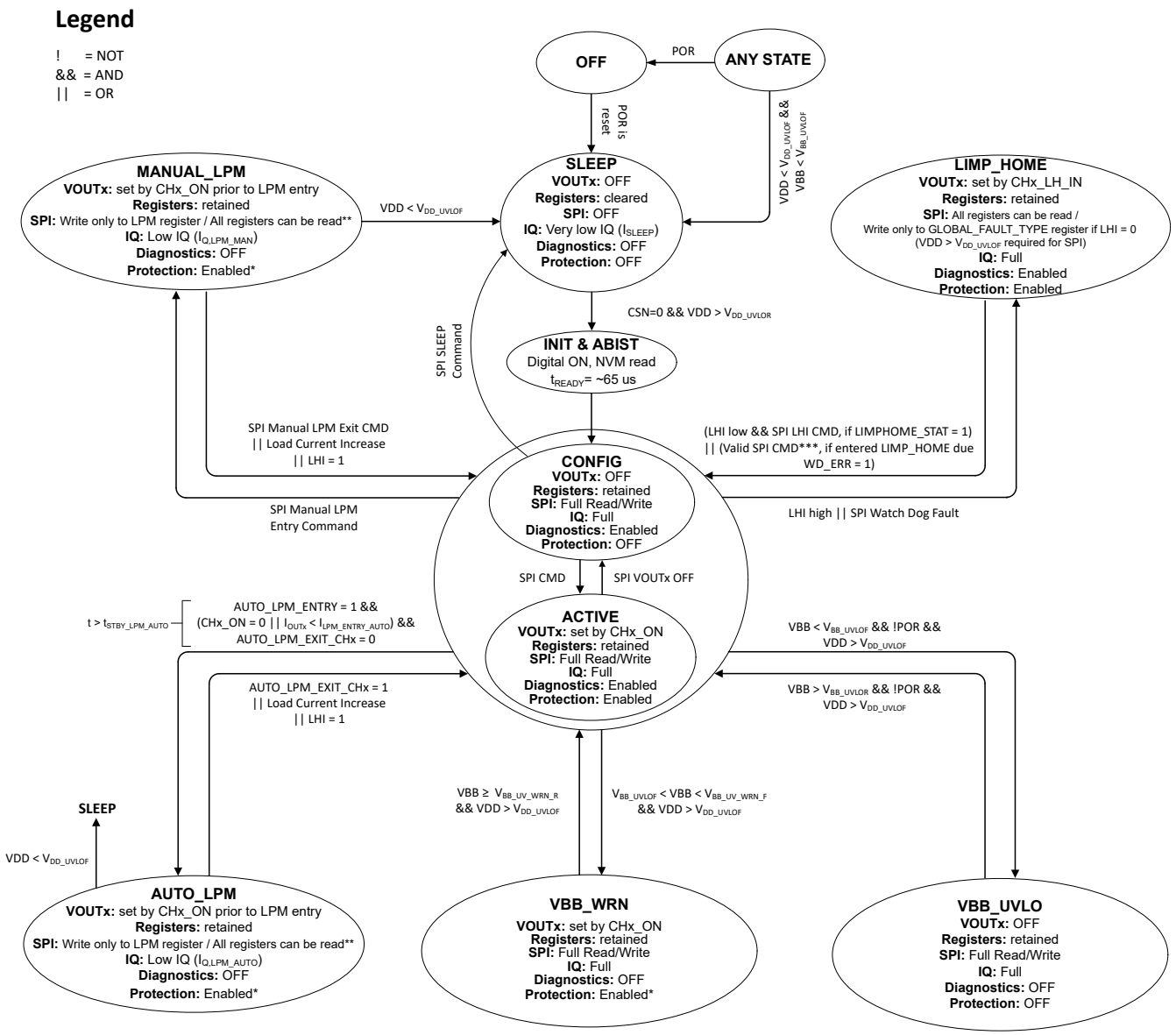
並列モードでは、追加の負荷の不一致を避けるため、出力チャネルの配線が重要です。出力配線は、余分な抵抗によって出力チャネルに不均一な電流が流れることを回避するため対称にする必要があります。

## 8.4 デバイスの機能モード

### *8.4.1 状態遷移図*

このデバイスには、低静止電流状態、通常動作状態、limp home 状態という 3 つの主要な状態カテゴリがあり、それらの間を遷移することができます。各カテゴリの内部には、デバイスが移行する可能性のある複数の状態があります。TPS2HCS10A-Q1 デバイスの状態遷移図は 図 8-21 に、TPS2HCS10B-Q1 デバイスの状態遷移図は 図 8-22 に示されています。


Copyright © 2025 Texas Instruments Incorporated

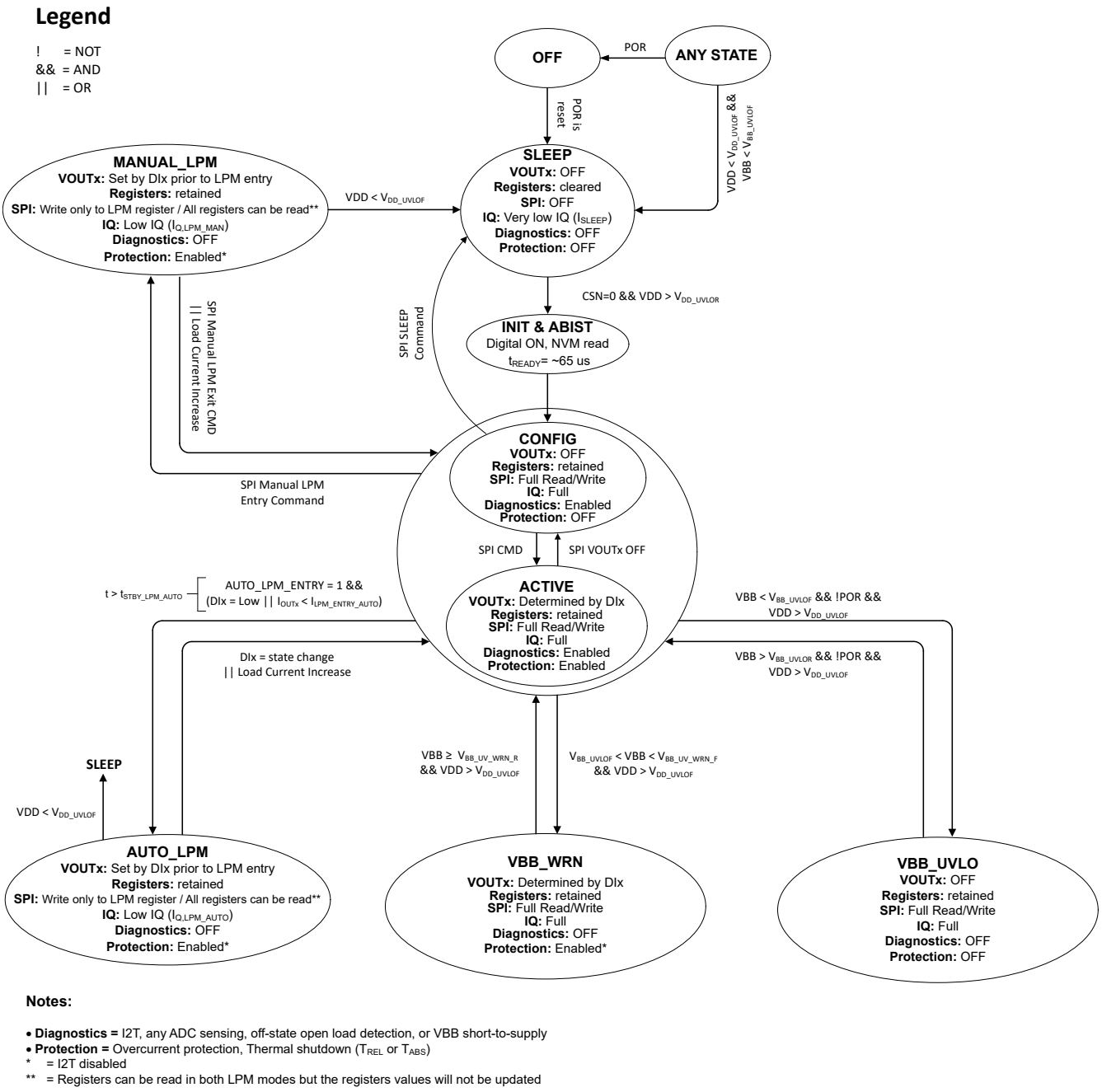



**Notes:**

- **Diagnostics =** I2T, any ADC sensing, off-state open load detection, or VBB short-to-supply
- **Protection =** Overcurrent protection ($I_{OCP}$), Thermal shutdown ($T_{REL}$ or $T_{ABS}$), and I2T protection (if enabled) or LPM short-circuit ($I_{SCP,LPM}$) in LPM states

* = I2T disabled
** = Registers can be read in both LPM modes but the registers values will not be updated
*** = See “SPI watchdog function” section

**図 8-21. 状態図 - バージョン A**




**Notes:**

- **Diagnostics =** I2T, any ADC sensing, off-state open load detection, or VBB short-to-supply
- **Protection =** Overcurrent protection, Thermal shutdown ($T_{REL}$ or $T_{ABS}$)

* = I2T disabled
** = Registers can be read in both LPM modes but the registers values will not be updated

**図 8-22. 状態図 — バージョン B**

### *8.4.2 出力制御*

eFuse チャネルの制御は、デバイスのバージョンによって異なります。各デバイス バージョンの出力制御方法の詳細については、以下のセクションを参照してください。

#### 出力制御 - バージョン A

TPS2HCS10A-Q1 の ACTIVE 状態における eFuse 出力の状態は、SW_STATE レジスタの CHx_ON ビットで制御されます。表 8-4 の下に、TPS2HCS10A-Q1 デバイスの各状態における出力制御方式を示します。


Copyright © 2025 Texas Instruments Incorporated

**表 8-4. 状態ごとの出力制御 - TPS2HCS10A-Q1**

| 状態 | 制御タイプ | 出力制御の説明 |
|---|---|---|
| SLEEP | 該当なし | 出力 OFF |
| CONFIG | SPI | 出力 OFF |
| アクティブ | SPI | CHx_ON で設定 |
| LIMP_HOME | SPI または DI ピン | CHx_LH_IN ビットによって SPI で設定<br>出力制御設定の詳細については、セクション 8.4.7 セクションを参照してください |
| AUTO_LPM | SPI | AUTO_LPM エントリの前に CHx_ON で設定 |
| MANUAL_LPM | SPI | MANUAL_LPM エントリの前に CHx_ON で設定 |
| VBB_WRN | SPI | CHx_ON で設定 |
| VBB_UVLO | 該当なし | 出力 OFF |

### 出力制御 - バージョン B

TPS2HCS10B-Q1 の ACTIVE 状態における eFuse 出力の状態は、チャネル 1 は DI1 のみ、チャネル 2 は DI2 のみによって制御されます。SW_STATE レジスタの CHx_ON ビットは、TPS2HCS10B-Q1 の出力状態には影響しません。表 8-5 の下に、TPS2HCS10B-Q1 デバイスの各状態における出力制御方式を示します。

**表 8-5. 状態ごとの出力制御 - TPS2HCS10B-Q1**

| 状態 | 制御タイプ | 出力制御の説明 |
|---|---|---|
| SLEEP | 該当なし | 出力 OFF |
| CONFIG | DIx | 出力 OFF |
| アクティブ | DIx | DIx ピンで設定 |
| AUTO_LPM | DIx | AUTO_LPM エントリの前に DIx ピンで設定 |
| MANUAL_LPM | DIx | MANUAL_LPM エントリの前に DIx ピンで設定 |
| VBB_WRN | DIx | DIx ピンで設定 |
| VBB_UVLO | 該当なし | 出力 OFF |

### *8.4.3 SPI モード動作*

TPS2HCS10-Q1 は、高速 SPI シリアル インターフェイスを経由してホスト コントローラと通信します。インターフェイスにはクロック (CLK)、チップ セレクト ($\overline{CS}$)、シリアル データ入力 (SDI) の三つのロジック入力、および一つのデータ出力 (SDO) があります。$\overline{CS}$ ピンが high のとき、SDO ピンはトライステートです。SPI の最大クロック レートは 8MHz ですが、実際には直列保護抵抗によって制限されます。

このデバイスは、シンプルなデイジーチェーン SPI をサポートしています。このモードは、CRC の有無にかかわらず使用できます。

TPS2HCS10-Q1 IC とコントローラまたは MCU の間の通信は、メイン セカンダリ構成の SPI バスを経由します。外部 MCU は常に SPI メイン デバイスであり、コマンド リクエストを TPS2HCS10-Q1 IC の SDI ピンで送信し、デバイス応答を IC の SDO ピンで受信します。TPS2HCS10-Q1 デバイスは常に SPI セカンダリ デバイスとして動作し、SDI ライン経由でコマンド要求を受信し、SDO ラインを介して外部 MCU に (ステータスや測定値などの) 応答を送信します。

TPS2HCS10-Q1 デバイスは、以下の形式でプライマリ MCU に接続できます:

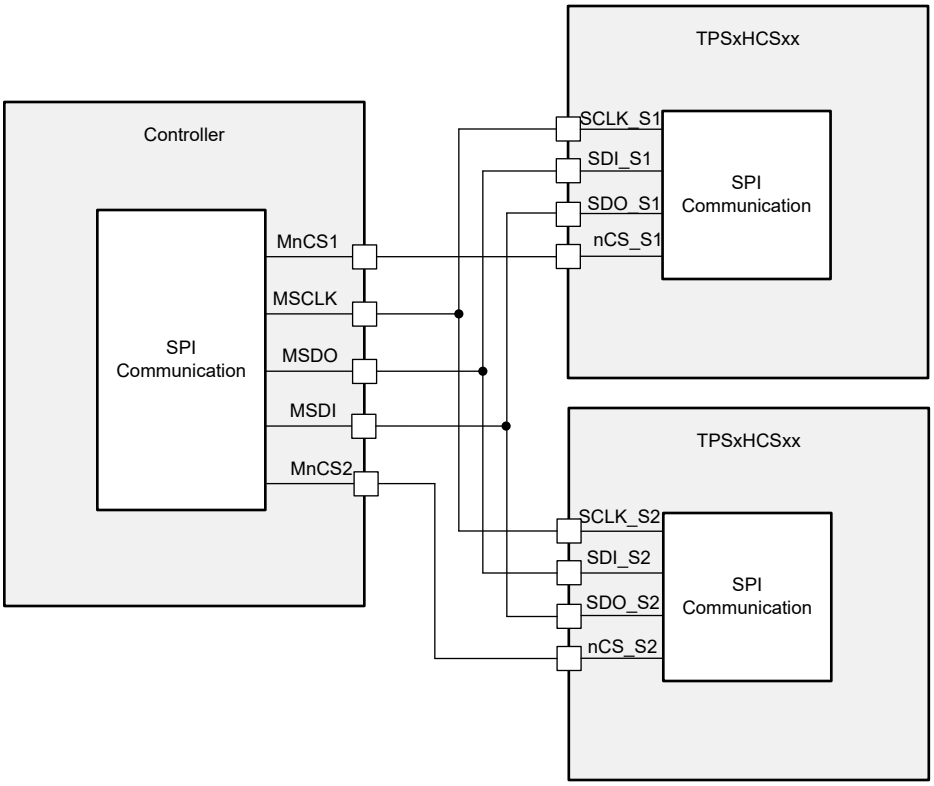



**図 8-23. 独立したセカンダリ構成 (個別の nCS 信号)**

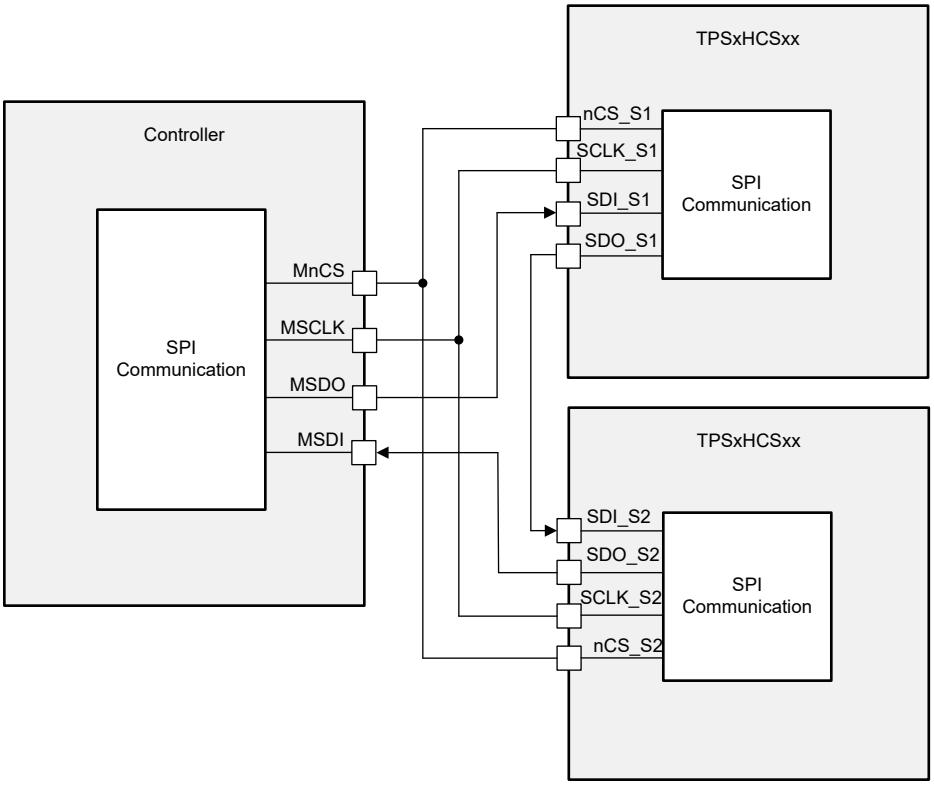



**図 8-24. デイジー チェーン構成**


Copyright © 2025 Texas Instruments Incorporated

### SPI インターフェイス

このセクションでは、SPI インターフェイスピンの動作について説明します

### チップ セレクト (CS または nCS)

システム マイコンは、CS ピンを使用して通信を受信するために TPS2HCS10-Q1 を選択します。CS ピンがレベルの論理 LOW 状態にある場合、シリアル入力 (SDI) ピンを介して TPS2HCS10-Q1 にコマンドまたは構成ワードを送信でき、シリアル出力 (SDO) ピンを介してマイクロコントローラがデバイス情報を取得できます。CS の立ち下がりエッジによって SDO 出力が有効化され、GLOBAL_FAULT_TYPE レジスタの内容がラッチされ、SDO から送信されます。マイコンは、レジスタに格納された情報を取得するために READ コマンドを発行できます。CS ピンの立ち上がりエッジによって、次の動作が開始されます:

1. SPI 通信エラーがなく、かつ SPI 書き込みコマンドである場合、指定されたレジスタが更新されます。
2. CS = LOW の間にこのレジスタへの読み出しコマンドが発行された場合、読み出しクリアレジスタはクリアされます。

データの破損を防ぐため、CS 信号の HIGH から LOW、および LOW から HIGH への遷移は、SCLK がローレベルの論理状態にあるときにのみ発生する必要があります。不完全な SPI ワードがデバイスに送信されていないことを確認するには、クリーンな CS 信号が必要です。このピンは内部で VDD レールにプルアップされています。

### システム クロック

システム クロック (SCLK) ピンは、TPS2HCS10-Q1 の内部シフトレジスタをクロック供給します。SDI データは、SCLK 信号の立ち下がりエッジで、入力シフト レジスタにラッチされます。SDO ピンは、SCLK の立ち上がりエッジでデバイス保存情報をシフト アウトします。SDO データは、マイコンが SCLK の立ち下がりエッジで読み取ることが可能です。

シフト レジスタの誤ったクロック生成は、データの有効性を確保するために回避する必要があります。また、CS が遷移するたびに、SCLK ピンがロジック Low 状態になることが不可欠です。したがって、デバイスへのアクセスがなく CS ピンがロジック HIGH 状態である限り、SCLK ピンをロジック LOW 状態にプルすることを推奨します。CS ピンがロジック HIGH 状態である場合、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが高インピーダンス出力のままです。

### シリアル データ入力 (SDI) およびシリアル データ出力 (SDO)

SDI ピンは、シリアル指示データ入力に使用されます。CS が Low の場合、SCLK の立ち下がりエッジで、SDI 情報は入力シフト レジスタにラッチされます。

SDO ピンは、内部シフト・レジスタからの出力です。このピンは内部で VDD レールにプルアップされています。CS ピンが high のとき、SDO ピンは高インピーダンス状態になりまです。SCLK の**立ち上がり**エッジが連続するごとに、マイコンは SCLK **の立ち下がり**エッジで次のデータ ビットを読み出すことができます。 CS が High のとき、SDO はハイインピーダンスに戻ります。

### CRC エラー検出およびクロック チェック

CRC_EN ビットを High にセットすると、CRC エラー検出がイネーブルされます。各シリアル トランザクションには、CRC-4-ITU-Normal チェック シーケンス (FCS) が付加されて送信されます。4 ビットの CRC は、通常ジェネレータ多項式 $X^4+ X + 1$ と、CRC 開始値 = 1111 に基づいています。CRC がイネーブルされると、TPS2HCS10-Q1 は受信した SDI プログラム / 構成データにチェック バイトが追加されることを想定します。

完全なワードをプログラムするには、デバイスに正確な情報ビット (次の表を参照) を入力する必要があります。CRC が無効な場合、IC は正確なビット数がクロックインされたときにのみレジスタ書き込みを有効にします。CRC が有効な場合、IC は正確なビット数が CRC エラーなしでクロックインされたときにのみレジスタ書き込みを有効にします。ワード長が必要な長さを超える、または満たさない場合、あるいは CRC エラーが発生した場合、GLOBAL_FAULT_TYPE レジスタ内の SPI_ERR ビットが論理“1”に設定され、受信データは無効と見なされます。SCLK が存在しない場合、SPI_ERR ビットのフラグは立てられないことに注意します。SPI_ERR は、次のチップ アクセス時に SDO で SPI メインデバイスに送り返さ

れます。**読み出し時のクリアは、レジスタが読み出されたときに SPI エラーが発生しない場合にのみ適用されることに注意してください。**

### SPI フレーム フォーマット

図 8-25 に示すように、デバイスは 24 ビットのフレーム幅 (CRC が使用されない場合) を使用します。SDO 出力の 16 ビット幅の「データ出力」は、常に前の SPI コマンドフレーム (読み出しまたは書き込み) を使用していることに注意してください。

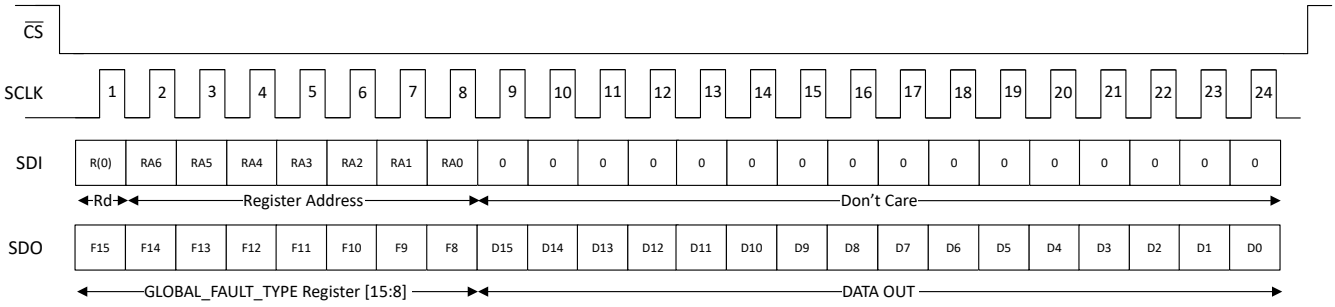



**図 8-25. 24 ビット読み取り、CRC なし (CRC_EN = 0)**

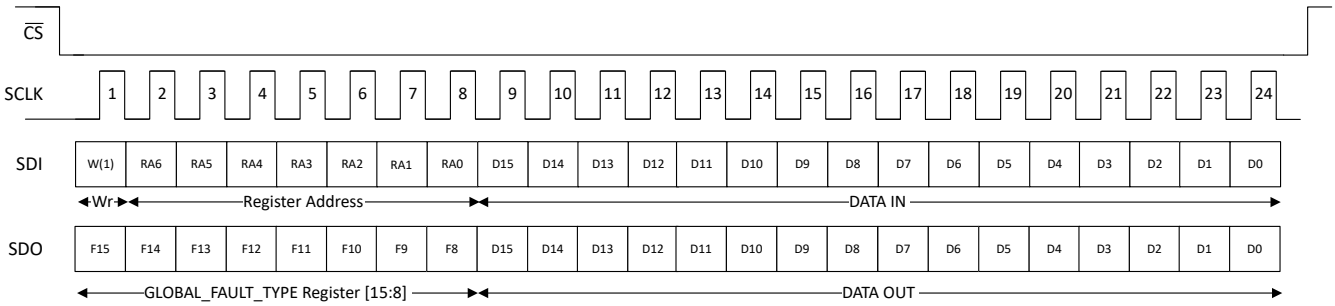



**図 8-26. 24 ビット書き込み、CRC なし (CRC_EN = 0)**

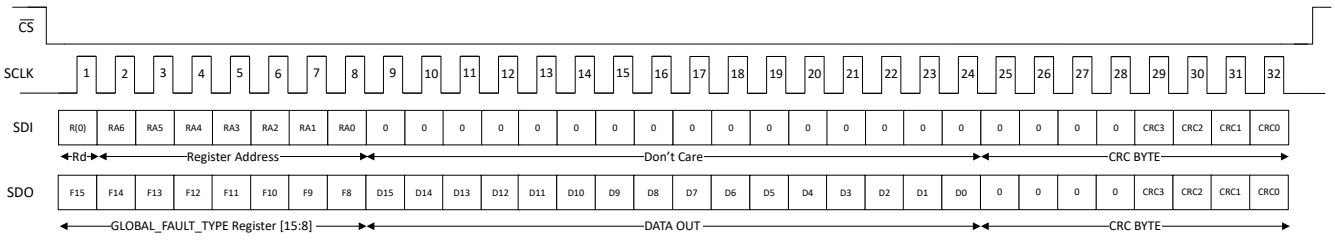



**図 8-27. 32 ビット読み取り、CRC イネーブル (CRC_EN = 1)**

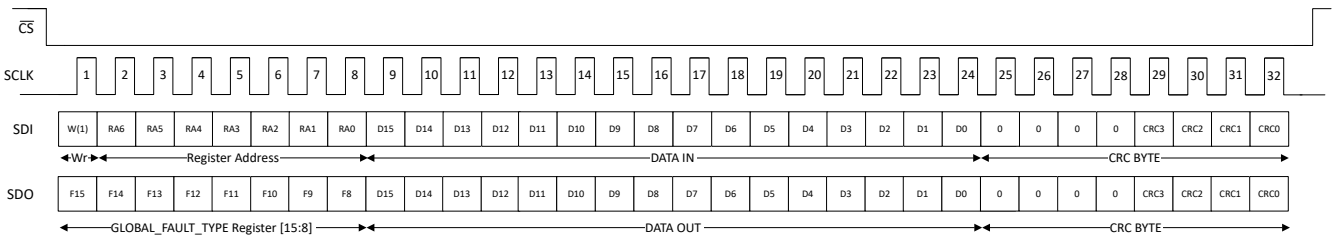



**図 8-28. 32 ビット書き込み、CRC イネーブル (CRC_EN = 1)**


Copyright © 2025 Texas Instruments Incorporated

### GLOBAL_FAULT_TYPE [15:8] ビット

TPS2HCS10-Q1 デバイスは 15:8 ヘッダに GLOBAL_FAULT_TYPE [SDO] ビットを出力するため、各 SPI トランザクション中にこれらのステータスビットを連続的に読み取ることができます。GLOBAL_FAULT_TYPE [15:8] ビットは、DEV_CONFIG レジスタ内の FLT_LTCH_DIS ビットの設定に基づき、読み取りクリア ビットまたはリアルタイム ステータス ビットとして構成できます。ただし、FLT_LTCH_DIS ビットは LPM_STATUS ビットには適用されません。

FLT_LTCH_DIS = 0 の場合、故障ビットはラッチされ、ビット説明に関連するレジスタが読み出されて、故障が存在しなくなった場合にのみクリアされます。以下の 表 8-6 に、故障が解消された場合に、各故障ビットをクリアするために読み取る必要のあるレジスタを示します。これについては、レジスタ マップの各ビットの説明にも詳しく説明されています。

**表 8-6. FLT_LTCH_DIS = 0 のときの GLOBAL_FAULT_TYPE [15:8] ビットの動作**

| ビット番号 | ビット名 | 故障が解消された場合、故障ビットをクリアするために読み出す必要があるレジスタ |
|---|---|---|
| 15 | 予約済み | 該当なし |
| 14 | 予約済み | 該当なし |
| 13 | CH2_FLT | FLT_STAT_CH2 |
| 12 | CH1_FLT | FLT_STAT_CH1 |
| 10 | CHAN_OCP_I2T_TSD | FLT_STAT_CHx |
| 9 | OL_SHRT_VBB_OFF_FLT | FLT_STAT_CHx |
| 8 | GLOBAL_ERR_WRN | GLOBAL_FAULT_TYPE |

FLT_LTCH_DIS = 1 の場合、故障ビットはラッチされず、故障が解消されるとクリアされます。

図 8-29 に、GLOBAL_FAULT_TYPE [15:8] ビットに関するデバイスの FLT_LTCH_DIS 機能を示します。

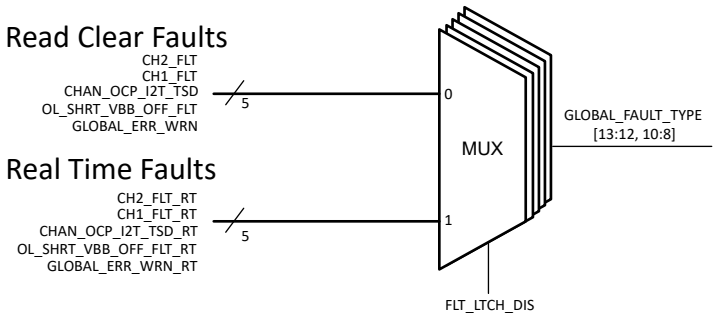



**図 8-29. FLT_LTCH_DIS の実装**

### SPI ウォッチドッグ機能

TPS2HCS10-Q1 デバイスには、オプションの SPI ウォッチドッグ機能があり、ホスト コントローラからの有効な SPI トランザクションと VDD 電源の喪失を監視できます。設定可能なタイムアウト期間 (WD_TO) 内に有効な SPI トランザクションが発生しなかった場合、FLT ピンが Low になり、GLOBAL_FAULT_TYPE レジスタ内の WD_ERR ビットが 1 に設定されます。有効な SPI トランザクションは、SPI エラーおよび CRC エラーのない SPI トランザクション (イネーブルされている場合) で構成されます。デバイスへの VDD 電源が VDD_UVLO スレッショルドを下回ると、デバイスの SPI は動作しません。VDD 電源が VDD_UVLO を下回る状態が、ウォッチドッグ時間よりも長く続くと、デバイスはウォッチドッグ エラーを発行し、WD_ERR ビットが 1 に設定され、FLT ピンが Low になります。

ウォッチドッグ機能は、DEV_CONFIG レジスタの WD_EN ビットによってイネーブルになります。以下の 表 8-7 に、構成可能な各種のウォッチドッグ タイムアウト ウィンドウ WD_TO を示します。

**表 8-7. ウォッチドッグ タイムアウトの設定**

| WD_TO 設定 | ウォッチドッグのタイムアウト期間 |
|---|---|
| 00 | 400µs |

Copyright © 2025 Texas Instruments Incorporated

**表 8-7. ウォッチドッグ タイムアウトの設定 (続き)**

| WD_TO 設定 | ウォッチドッグのタイムアウト期間 |
|---|---|
| 01 | 400ms |
| 10 | 800ms |
| 11 | 1200ms |

バージョンに応じて、ウォッチドッグの動作は異なります。TPS2HCS10A-Q1 と TPS2HCS10B-Q1 のウォッチドッグの動作方法については、以下のセクションを参照してください。

### SPI ウォッチドッグ動作 — TPS2HCS10A-Q1

ウォッチドッグ機能が有効 (WD_EN = 1) の場合、ウォッチドッグ タイムアウト ウィンドウ内に有効な SPI トランザクションが行われない、または VDD 電源が失われたことによってウォッチドッグ エラーが発生すると、WD_ERR が 1 となり、FLT ピンが low レベルに変化します。その後、デバイスは LIMP_HOME 状態に遷移し、チャネルの出力制御は DEV_CONFIG レジスタ内の CHx_LH_IN ビットによって設定されます。ウォッチドッグ エラーの場合、LIMPHOME_STAT ビットは 1 に設定されないことに注意します。有効な SPI トランザクションが検出されると、FLT ピンは High になり、デバイスは自動的に LIMP_HOME 状態を終了し、チャネルの出力制御は CHx_ON ビットに戻ります。GLOBAL_FAULT_TYPE レジスタの WD_ERR ビットは、SPI ウォッチドッグ タイムアウトエラーの結果として 1 にラッチされ、読み取りとエラーが解消された後でのみクリアされます。

### SPI ウォッチドッグ動作 — TPS2HCS10B-Q1

ウォッチドッグ機能が有効 (WD_EN = 1) で、ウォッチドッグ エラーが発生した場合、ウォッチドッグ タイムアウト ウィンドウで有効な SPI トランザクションがない場合、または VDD 電源の喪失により WD_ERR = 1 で、FLT ピンは Low になります。ウォッチドッグ エラーの結果として出力状態は変化しません。チャネルの出力制御は引き続き DIx のみに追従します。有効な SPI トランザクションが検出されると、FLT ピンは High になります。GLOBAL_FAULT_TYPE レジスタの WD_ERR ビットは、SPI ウォッチドッグ タイムアウトエラーの結果として 1 にラッチされ、読み取りとエラーが解消された後でのみクリアされます。

### *8.4.4 障害通知*

このデバイスは、$\overline{\text{FLT}}$ ステータス ピンと、SPI による故障ステータス ビットによって、拡張された故障通知機能を備えています。

$\overline{\text{FLT}}$ ステータス ピンを使用すると、デバイスで故障が発生したときにシステムを割り込みできます。$\overline{\text{FLT}}$ ステータス ピンは、デバイスで k 故障が発生すると Low にアサートされるオープン ドレイン出力です。読み取りクリアで使用される故障の場合、故障が解消され、故障をクリアする特定のレジスタが読み出されると、$\overline{\text{FLT}}$ ピンは high になります。$\overline{\text{FLT}}$ ピンでの通知は、FAULT_MASK レジスタにより、一部の故障でマスクできます。詳細については、FAULT_MASK レジスタを参照してください。

デバイスは、SPI を介して故障情報を提供します。グローバル故障レジスタ (GLOBAL_FAULT_TYPE) およびチャネル固有の故障レジスタ (FLT_STAT_CHx) により、システムはデバイス内で故障が発生した原因を迅速に診断できます。デバイスは 15:8 ヘッダに GLOBAL_FAULT_TYPE [SDO] ビットを出力するため、各 SPI トランザクションについてこれらのステータス ビットを連続的に読み出すことができます。

個別の故障ステータス ビットの詳細については、レジスタ マップの GLOBAL_FAULT_TYPE および FLT_STAT_CHx レジスタを参照してください。

表 8-8 に、デバイスが $\overline{\text{FLT}}$ ピンと故障ステータス ビットによって各種イベントに通知する方法を示します。

デバイスが低消費電力モードの場合、$\overline{\text{FLT}}$ ピン経由で故障情報は利用できません。LPM で短絡が発生した場合、このデバイスはそれ自体を保護してからアクティブ状態に遷移し、その後 $\overline{\text{FLT}}$ ピンと故障ステータス レジスタで故障を通知します。


Copyright © 2025 Texas Instruments Incorporated

**表 8-8. 故障通知表**

| イベント / 故障 | | 検出 | 保護 | GLOBAL_FAULT_TYPE のレポート | FLT_STAT_CHx のレポート | $\overline{FLT}$ 表示 |
|---|---|---|---|---|---|---|
| FET - 過熱警告 | | Y | N | CHx_FLT[1] | THERMAL_WRN_CHx[1] | N |
| FET - 温度シャットダウン (TSD) | | Y | Y | CHx_FLT[1] および CHAN_OCP_I2T_TSD[1] | THERMAL_WRN_CHx[1] | Y |
| $I_{OCP}$ - 即時シャットダウン | | Y | Y | CHx_FLT[1] および CHAN_OCP_I2T_TSD[1] | ILIMIT_CHx[1] | Y |
| $I_{CL_REG}$ — 電流制限レギュレーション | | Y | Y | 該当なし | 該当なし | N |
| $I_{CL_REG}$ — 電流制限レギュレーション — 突入期間の満了 | | Y | Y | CHx_FLT[1] および CHAN_OCP_I2T_TSD[1] | ILIMIT_CHx[1] | Y |
| $I_{CL_REG}$ - 電流制限レギュレーション - TSD | | Y | Y | CHx_FLT[1] および CHAN_OCP_I2T_TSD[1] | ILIMIT_CHx[1] と THERMAL_SD_CHx[1] | Y |
| チャネルは $T_{RETRY}$ 内です (LATCH_CHx = 0) | | Y | 該当なし | 該当なし | FLT_CHx | Y |
| チャネルはラッチオフされています (LATCH_CHx = 1) | | Y | 該当なし | 該当なし | LATCH_STAT_CHx と FLT_CHx | Y |
| Limp Home エントリ (LHI = 1) | | Y | 該当なし | GLOBAL_ERR_WRN[1] および LIMPHOME_STAT[2] | 該当なし | N |
| アクティブ I2T の蓄積またはデクリメント | | Y | 該当なし | 該当なし | I2T_MOD_CHx | N |
| I2T シャットダウン | | Y | Y | CHx_FLT[1] および CHAN_OCP_I2T_TSD[1] | I2T_FLT_CHx[1] および FLT_CHx | Y |
| VOUT を VBB に短絡 | | Y | N | CHx_FLT[1] および OL_SHRT_VBB_OFF_FLT[1] (OL_SVBB_EN_CHx = 01 の場合) | OL_OFF_CHx[1] (OL_SVBB_EN_CHx = 01 の場合) | Y、マスクされていない場合 |
| オープン負荷 | OFF 状態 | Y | N | CHx_FLT[1] および OL_SHRT_VBB_OFF_FLT[1] (OL_SVBB_EN_CHx = 10 の場合) | OL_OFF_CHx[1] (OL_SVBB_EN_CHx = 10 の場合) | Y、マスクされていない場合 |
| | ON 状態 | Y | N | 該当なし | 該当なし | N |
| 逆極性バッテリ | | Y | y、外付け部品を使用 | 該当なし | 該当なし | N |
| VBB の UV 警告 | | Y | N | GLOBAL_ERR_WRN[1] および VBB_UV_WRN[1] | 該当なし | N |
| VBB_UVLO | | Y | Y | GLOBAL_ERR_WRN[1] および VBB_UVLO[1] | 該当なし | Y |
| VDD_UVLO | | Y | Y | GLOBAL_ERR_WRN[1] および VDD_UVLO[1] | 該当なし | N |
| パワー オン リセット (POR) | | Y | Y | GLOBAL_ERR_WRN[1] および POR[1] | 該当なし | Y |
| GND 喪失 | | Y | Y、$R_{SDO}$≥768Ω を使用 | 該当なし | 該当なし | N |
| SPI ウォッチドッグ エラー | | Y | 該当なし | GLOBAL_ERR_WRN[1] および WD_ERR[1] (WD_EN = 1 の場合) | 該当なし | Y、マスクされていない場合 |
| SPI フレーム エラー | | Y | 該当なし | GLOBAL_ERR_WRN[1] および SPI_ERR[1] | 該当なし | Y、マスクされていない場合 |

Copyright © 2025 Texas Instruments Incorporated

**表 8-8. 故障通知表 (続き)**

| イベント / 故障 | 検出 | 保護 | GLOBAL_FAULT_TYPE のレポート | FLT_STAT_CHx のレポート | $\overline{\text{FLT}}$ 表示 |
|---|---|---|---|---|---|
| SPI CRC エラー | Y | 該当なし | GLOBAL_ERR_WRN[1] および SPI_ERR[1] (CRC_EN = 1 の場合) | 該当なし | Y、マスクされていない場合 |

1. 読み取りクリア (RC) 故障ビット
2. 1 を書き込むことでクリアされるビット (W1C ビット)

### *8.4.5 SLEEP*

TPS2HCS10-Q1 デバイスにはスリープ状態があり、デバイスを超低消費電流状態に移行します。デバイスがスリープ状態になると、両方のチャネルがオフになり、レジスタがクリアされて、すべてのデジタル回路がオフになります。VBB < VBB_UVLO かつ VDD < VDD_UVLO の場合、または MANUAL_LPM 状態または AUTO_LPM 状態中に VDD が VDD_UVLO を下回った場合、デバイスはこの状態に移行します。SLEEP レジスタの SLEEP ビットに 1 を書き込むと、手動でデバイスをスリープ状態にできます。

このデバイスは、スリープ状態から CSN ピンが Low になることでウェークアップできます。CSN ピンを使用してデバイスをスリープからウェークアップするには、次の 2 つの方法があります:

1. $t < t_{READY}$ の間 CSN ピンを Low にパルスします
2. CSN ピンを少なくとも $t_{READY}$ の間 Low に保持し、最初の SPI トランザクションによって CSN ピンを Low に保持し続けます

上記のどちらの方法でも、SPI_ERR 故障なしでデバイスはウェークアップします。ダミー SPI トランザクションが $t < t_{READY}$ で完了した場合、ダミー SPI トランザクションを使用してメソッド 1 を簡素化できます。以下の 図 8-30 に、SPI_ERR 故障が発生しない 2 つの適切なウェークアップ シナリオと、SPI_ERR 故障が発生する不適切なウェークアップ シナリオの例を示します。

スリープ状態からウェークアップすると、以下のレジスタ マップに記載されているリセット値にレジスタの値が設定されます。さらに、FLT ピンが Low にアサートされ、POR、VDD_UVLO、および VBB_UVLO の故障ビットがアサートされます。これらの故障が読み出し時にすでに存在していない場合、GLOBAL_FAULT_TYPE レジスタを読み取ることでこれらのビットはクリアされます。


Copyright © 2025 Texas Instruments Incorporated

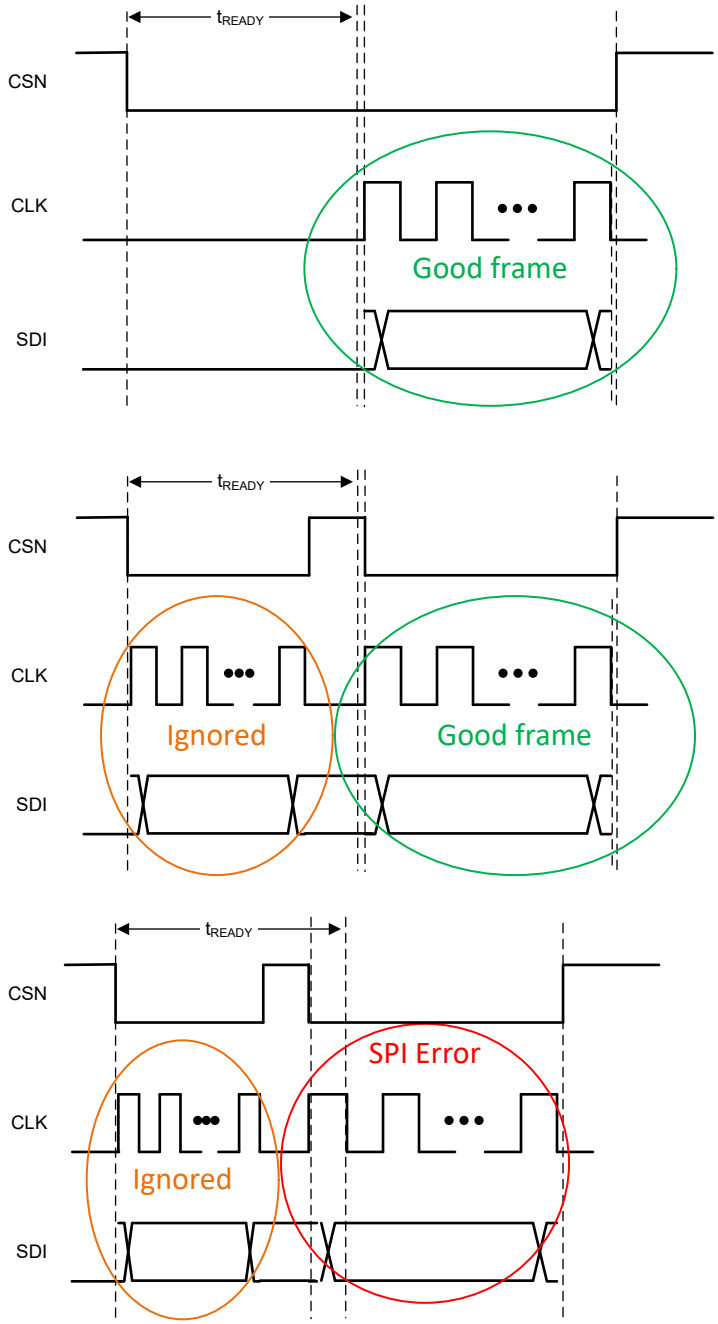



**図 8-30. スタートアップ通信タイミング**

### *8.4.6 CONFIG/ACTIVE*

CONFIG/ACTIVE 状態は、通常動作中に出力がオフ (CONFIG) またはオン (ACTIVE) のときにデバイスが維持される状態です。両者の違いは、CONFIG 状態 (出力がオフの状態) では、すべてのレジスタを構成できる点にあります。出力がオンのアクティブ状態では、チャネルの並列構成 (DEV_CONFIG レジスタ内の PARALLEL_12 ビット) は変更できません。構成レジスタ (特にチャネルを正常に有効化するために必要なもの) は、出力をオンにする前、つまりスリープ状態からの遷移時 (すべてのレジスタが消去された後) に書き込まれることが想定されています。ただし、構成レジスタは LPM 状態中も保持されるため、LPM 状態からアクティブ状態への遷移時にデバイスを再構成する必要はありません。VBB、($I_{Q,VBB}$)、VDD ($I_{Q,VDD}$) からの静止電流は、負荷およびデバイス診断をサポートするため、他の状態よりも大きくなります。この状態では、SPI 通信および診断チェックが完全にサポートされています。

Copyright © 2025 Texas Instruments Incorporated

デバイスは、CSN ピンを Low レベルにすることでスリープ状態から CONFIG 状態に遷移できます (ダミーの SPI コマンドがその役割を果たします)。デバイスは、すべての初期化と機能安全チェックで移行を完了します。デバイスは、内部の SPI ウォッチドッグ モニタおよび LHI 入力ピンの状態に応じて、LIMP_HOME 状態への遷移およびその解除を行います。このデバイスは、LPM レジスタへの書き込みにより、LPM 状態の開始と終了を行うことができます。

CONFIG 状態では、チャネルの有効化および無効化時に設定されたスルーレートを実現するため、デバイスはゲート ソース間のプルダウンを使用します。その結果、チャネルがオフのとき、VOUT への 1µA バイアス パスが存在し、VOUT への 1µA リーク電流が発生します。出力に負荷がない場合、出力はフローティングになる可能性があります。開放負荷 VOUT 電圧を下げるには、$R_{SHRT_VBB}$ プルダウン抵抗をイネーブルにして、出力電圧を Low レベルに下げることができます。$R_{SHRT_VBB}$ プルダウン抵抗は 1:0、CHx_CONFIG レジスタの OL_SVBB_EN_CHx [1:0] ビットによってイネーブルにできます。スリープおよび LPM 状態では、IQ を最小限に抑えるために、デバイスはゲート グランド間のプルダウンを使用します。これにより、これらの状態では 1µA のバイアス経路が存在しなくなります。

### *8.4.7 LIMP_HOME 状態 (バージョン A のみ)*

LIMP_HOME 状態は、SPI 通信の障害 (WD_EN = 1 の場合)、VDD 電源の喪失 (WD_EN = 1 の場合)、またはシステム レベルの故障によって LHI ピンが high になるなどの状況で、出力を安全な状態に保つために設計されています。ECU がシステム レベルの故障を検出すると、システム コントローラは LHI ピンを high に上昇させて、LIMP_HOME 状態に移行することをデバイスに通知します。デバイスが SPI ウォッチドッグ タイムアウト エラーを検出して、SPI 通信エラーが発生すると、デバイスは LIMP HOME 状態に移行します。どちらの場合も、出力状態は、DEV_CONFIG レジスタの CHx_LH_IN ビットによりチャネルごとの指定に従います。CHx_LH_IN ビットの設定の詳細については、表 8-9 を参照してください。

**表 8-9. CHx_LH_IN ビットの設定**

| 設定 | 設定の説明 |
|---|---|
| 00 | LIMP_HOME 状態のとき、出力状態は DI ピンによって設定されます<br>• DI = HI の場合、LIMP_HOME 状態で CHx = オンになります<br>• DI = LO の場合、LIMP_HOME 状態で CHx = オフになります |
| 01 | LIMP_HOME 状態に移行するとき、CHx_ON ビットからの出力状態を同じに維持します |
| 10 | LIMP_HOME 状態では出力はオフになります |
| 11 | LIMP_HOME 状態で出力はオンになります |

LIMP_HOME 状態ではレジスタ値が保持されるため、適切な過電流保護スレッショルド値、継続時間、およびリトライ動作が維持され、出力は CHx_LH_IN ビットに基づく状態に対応して設定されます。LHI ピンが high になったことによりデバイスが LIMP_HOME 状態に入った場合、GLOBAL_FAULT_TYPE レジスタ内の LIMPHOME_STAT ビットが 1 に設定され、MCU またはコントローラはデバイスが LIMP_HOME 状態にあることを認識できます。デバイスが LIMP_HOME 状態から抜けるまでは、MCU はいずれのレジスタにも書き込みを行うことができません。

LHI ピンが high になったことによりデバイスが LIMP_HOME 状態に入った場合、LHI ピンがローに戻され、GLOBAL_FAULT_TYPE レジスタ内の LIMPHOME_STAT ビットに書き込みが行われると、デバイスは LIMP_HOME 状態から遷移します。LIMP_HOME 状態ではレジスタ設定が保持され、デバイスはアクティブ状態で通常動作に復帰します。

SPI ウォッチドッグ タイムアウト エラーによってデバイスが LIMP_HOME 状態に入った場合、出力は CHx_LH_IN ビットに従って設定されますが、LIMPHOME_STAT ビットは 1 に設定されません。有効な SPI トランザクションが検出されると、デバイスは LIMP_HOME 状態を自動的に終了します。GLOBAL_FAULT_TYPE レジスタの WD_ERR ビットは、SPI ウォッチドッグ タイムアウト エラーの結果として 1 にラッチされ、読み取りとエラーが解消された後でのみクリアできます。

VDD < VDD_UVLO の場合、LHI = 1 のとき、デバイスは LHI 入力を通じて LIMP_HOME 状態に遷移できます。


Copyright © 2025 Texas Instruments Incorporated

### LIMP HOME 状態の例外

デバイスは、コンデンサの充電中または突入時間中は LHI 信号を受信できます。目的の状態がオンの場合、デバイスはプログラムされたレジスタ値に従い、容量充電を継続します。目的の状態がオフの場合は、チャネルはオフになります。

LIMP_HOME 状態では、チャネルが CHx_LH_IN ビットによってオンに設定されている場合、短絡によって過電流故障 (ILIMIT_CHx) またはサーマル シャットダウン故障 (THERMAL_SD_CHx) が発生しても、LATCH_CHx ビットの設定に関係なく出力チャネルはリトライを継続します。LATCH_CHx = 1 の場合、過電流故障またはサーマル シャットダウン故障によって出力チャネルがラッチオフされ、さらにデバイスが LHI = 1 またはウォッチドッグ故障 (WD_EN = 1 の場合) によって LIMP_HOME 状態に入ると、チャネルは再び有効化されます。その後、チャネルが CHx_LH_IN ビットによってオンに設定されている場合、短絡が持続していても LATCH_CHx 設定に関係なくリトライを継続します。

LIMP_HOME 状態では、チャネル (s) で I2T 故障 (I2T_FLT_CHx) が発生し、かつ TCLDN_CHx = 00 (無制限のクールダウン) の場合、そのチャネルは無限クールダウン状態のままであり、CHx_LH_IN ビットでチャネルがオンに設定されていても、再試行は行われません。アクティブ状態で I2T 故障が発生し、TCLDN_CHx = 00 (無期限クールダウン) の場合に、デバイスが LHI = 1 またはウォッチドッグ故障 (WD_EN = 1 の場合) によって LIMP_HOME 状態に入ると、チャネルは無期限クールダウン状態のままとなります。この場合、CHx_LH_IN ビットによってチャネルがオンに設定されていても、リトライは行われません。

### *8.4.8 バッテリ電源入力 (VBB) 低電圧*

デバイスには、バッテリ電源 (VBB) の低電圧モニタリングおよび VDD の低電圧モニタリング機能が含まれています。VBB 電源が $V_{BB_UVLOF}$ スレッショルドを下回ると、一部の内部リファレンス、レギュレータ、および出力 FET がオフになります。入力 VBB 電源電圧が失われたとき、デバイスは VDD 電源入力に依存して、デジタル機能とレジスタを動作状態に維持します。SPI 通信は、VDD 入力が $V_{DD_UVLOF}$ を上回っている限りも利用できます。VDD < $V_{DD_UVLOF}$ かつ VBB > $V_{BB_UVLOF}$ の場合、LHI = 1 の場合でもデバイスは LIMP_HOME 状態に移行できます。VBB_UVLO 故障と VDD_UVLO ビットは、GLOBAL_FAULT_TYPE レジスタから SPI 経由で読み取ることができます。どちらかの故障が発生した場合には、VBB_UVLO および VDD_UVLO 故障ビットがラッチされ、UVLO 条件が解消した場合は読み取られるとクリアされます。次の表は、電源が失われた状況でのデバイス動作を示しています。

**表 8-10. 電源喪失条件下でのデバイス動作**

| | VDD < VDD_UVLO | VDD > VDD_UVLO |
|---|---|---|
| VBB < VBB_UVLO | • チャネルはオフ<br>• レジスタはリセットおよびデジタル コアがオフ<br>• SPI 通信が不可能 | • チャネルはオフ<br>• レジスタが維持され、デジタル コアがオン<br>• SPI 通信が可能 |
| VBB > VBB_UVLO | • WD_EN = 1 & LHI = 0 の場合<br>– デバイスはウォッチドッグ タイムアウトが経過した後、LIMP_HOME 状態になります。チャネルの出力状態は CHx_LH_IN ビットによって設定されます。<br>• WD_EN = 0 & LHI = 0 の場合<br>– チャネルは CHx_ON 設定に基づいています<br>• レジスタが維持され、デジタル コアがオン<br>• VDD < VDD_UVLO のとき、LHI = 1 の場合、デバイスは LIMP_HOME 状態に移行できます<br>• SPI 通信が不可能 | • チャネルの出力状態は、CHx_ON ビットによって設定されます。<br>• レジスタが維持され、デジタル コアがオン<br>• SPI 通信が可能 |

VBB 電源と VDD 電源の両方が POR 条件と UVLO 条件をそれぞれ下回ると、レジスタ情報が失われる可能性があります。デバイスは、GLOBAL_FAULT_TYPE レジスタ内の POR ビットを読み取ることで、デジタル部のリセットが発生したことを示すことができます。これにより、SPI マスタはレジスタ内容がすべて消去されたことを認識し、構成レジスタを再書き込みする必要があることを確認できます。いずれかの低電圧故障が検出された場合は、ビットを読み取ることを推奨します。

Copyright © 2025 Texas Instruments Incorporated

### グランドへの短絡時の $V_{BB}$

$V_{OUT}$ がグランドに短絡したとき、モジュール電源 ($V_{BB}$) の過渡が減少する可能性があります。これは、ワイヤ ハーネス ケーブルを流れる電流が急激に増加したことによって発生します。理想的なシステム動作を実現するため、$V_{OUT}$ からグランドへの短絡中に、モジュールの $V_{BB}$ を最大 $V_{BB_UVLOF}$ スレッショルドよりも高く維持することを推奨します。これは通常、モジュールの電源ノード ($V_{BB}$) にバルク容量を配置することで実現されます。

#### *8.4.9 低消費電力 (LPM) 状態*

デバイスは、バッテリー寿命を延ばすために、デバイスがオンのままで動作し、低静止電流 (IQ) 状態で動作する 2 つの低電力モード (LPM) 状態を提供します。デバイスは、SPI 書き込みを通じて LPM レジスタにアクセスすることで入力できる手動 LPM (MANUAL_LPM) 状態と、出力電流が有効なチャネルで一定のスレッショルド以下になった場合に自動的に入力される自動 LPM (AUTO_LPM) 状態を提供します。これは $t_{STBY_LPM_AUTO}$ の期間中に発生します。

デバイスがいずれかの LPM 状態にある場合、SPI の書き込みおよび読み取りは LPM レジスタにのみ利用可能です。いずれかの LPM 状態において、デバイスはデイジーチェーン構成で次のデバイスに SPI データを引き続き渡すことができ、SDO フレーム内のステータス ビットも読み取ることができます。デバイスが LPM に入るとき、または出るとき、SDO フレーム内の故障ビットが更新され、デバイスが LPM モードを終了したことをシステムに通知します。

デバイスが LPM 状態のいずれかを維持するには、$V_{DD_UVLOF}$ より大きい有効な VDD 電圧が必要です。VDD 電圧がいずれかの LPM 状態で除去されると、デバイスは SLEEP 状態に遷移し、これにより出力が無効化され、レジスタがクリアされます。

MANUAL_LPM 状態では、デバイスの IQ を低減するため、すべての診断機能とウォッチドッグ タイマと I2T 保護をディセーブルにします。デバイスが MANUAL_LPM を終了すると、LPM エントリの前に有効になっていた診断は自動的に再びイネーブルになります。I2T 保護およびウォッチドッグ タイマも LPM 終了後に再度イネーブルになります。システムが AUTO_LPM 状態に入る前に、ウォッチドッグ タイマと ISNS を除くすべての ADC 診断機能を無効にする必要があります。これらの処理が完了して初めて、デバイスは AUTO_LPM 状態へ移行できます。デバイスは、AUTO_LPM 状態に入る際に自動的に I2T 保護と ISNS を無効にし、デバイスが AUTO_LPM 状態からアクティブ状態に遷移すると、これらの機能を再度有効にします。保護に関して、短絡保護は両方の LPM 状態で引き続き有効のままです。LPM 状態では、アクティブ状態の短絡スレッショルドと比較して、異なる短絡スレッショルドが使用されます。

いずれかの LPM 状態にある場合、デバイスは負荷電流の増加に自動的に反応し、アクティブ状態に遷移します。電流増加が大きすぎると、デバイスは短絡保護を作動させます。MANUAL_LPM 状態では、デバイスは $\overline{\text{FLT}}$ / $\overline{\text{WAKE_SIG}}$ ピンを通じてマイコン (スリープ モード中) にウェイク信号を提供し、負荷増加のいずれのシナリオでもシステムをウェイクアップさせます。AUTO_LPM 状態の場合、LPM 短絡スレッショルド ($I_{SCP_AUTO}$) を上回る負荷が増加するだけで、$\overline{\text{FLT}}$/$\overline{\text{WAKE_SIG}}$ ピンは Low にプルされます。AUTO_LPM での負荷の増加が終了スレッショルド ($I_{EXIT_LPM_AUTO}$) を上回っていて、かつ $I_{SCP_LPM_AUTO}$ スレッショルドよりも低い場合、デバイスは $\overline{\text{FLT}}$/$\overline{\text{WAKE_SIG}}$ ピンを low にプルしません。どちらの LPM 状態についても、デバイスは過電流がアクティブ状態で確認された場合にのみ、過電流保護故障を通知します。

必要に応じて、システムはデバイスがいる LPM 状態に応じた SPI 書き込みによって手動でデバイスを LPM 状態からウェイクアップさせることができます。LPM 状態のいずれかで LHI が高くなると、デバイスは LPM を終了し、アクティブ状態に遷移した後、LIMP_HOME 状態に遷移します。

以下の 表 8-11 は、2 つの低消費電力モードの主な違いを示します。各 LPM 状態の動作についての詳細は、以下の MANUAL_LPM および AUTO_LPM 状態に関するセクションをご参照ください。


Copyright © 2025 Texas Instruments Incorporated

**表 8-11. LPM の特性**

| モードの種類 | 入力方法 | 仕様 | 説明 | 標準値 | 単位 |
|---|---|---|---|---|---|
| MANUAL_LPM | LPM レジスタの LPM ビットに 1 を書き込みます | $I_{Q,VBB,LPM_MAN}$ | 両方のチャネルがイネーブル | 6.42 | µA |
| | | $I_{Q,VDD,LPM_MAN}$ | 両方のチャネルがイネーブル | 15.6 | µA |
| | | $R_{ON,LPM_MAN}$ | MANUAL_LPM での $R_{ON}$ | 36 | mΩ |
| | | $I_{EXIT_LPM_MAN}$ | IEXIT_LPM_MAN_CHx = 00 | 0.5 | A |
| | | | IEXIT_LPM_MAN_CHx = 01 | 0.625 | |
| | | | IEXIT_LPM_MAN_CHx = 10 | 0.15 | |
| | | | IEXIT_LPM_MAN_CHx = 11 | 0.325 | |
| | | $I_{SCP_LPM_MAN}$ | MANUAL_LPM 状態での短絡スレッショルド | 4 | A |
| AUTO_LPM | AUTO_LPM_ENTRY = 1 の場合、自動エントリ | $I_{Q,VBB,LPM_AUTO}$ | 両方のチャネルがイネーブル | 11.6 | µA |
| | | $I_{Q,VDD,LPM_AUTO}$ | 両方のチャネルがイネーブル | 15.6 | µA |
| | | $R_{ON,LPM_AUTO}$ | AUTO_LPM の $R_{ON}$ | 11.3 | mΩ |
| | | $t_{STBY_LPM_AUTO}$ | $I_{OUTx} < I_{ENTRY_LPM_AUTO}$ の場合、AUTO_LPM に移行するまでのスタンバイ時間 | 20 | ms |
| | | $I_{ENTRY_LPM_AUTO}$ | AUTO_LPM に移行するための $I_{OUTx}$ 電流 | 0.95 | A |
| | | $I_{EXIT_LPM_AUTO}$ | AUTO_LPM を終了するための $I_{OUTx}$ 電流 | 1.05 | A |
| | | $I_{SCP_LPM_AUTO}$ | AUTO_LPM の短絡スレッショルド | 13.7 | A |

#### 8.4.9.1 MANUAL_LPM 状態

MANUAL_LPM 状態は、システムがデバイスを低 IQ 状態に手動で移行させることができるモードを提供します。必要に応じてチャネルをオンのままにし、短絡保護を通じて保護を維持できます。MANUAL_LPM 状態に入るには、LPM レジスタの LPM ビットを 1 にセットする必要があります。バージョンによっては、LPM コマンドに書き込まれて MANUAL_LPM に入る前に、デバイスは以下の条件を満たす必要があります:

- バージョン A
  - アクティブまたは構成状態で、CHx_ON ビットを通じてチャネル状態の変更がない場合
  - イネーブルになっているチャネルは突入期間内ではありません
  - イネーブルになっているチャネルについては、$I_{OUT} < I_{EXIT_LPM_MAN}$
  - THERMAL_WRN_CHx = 0
- バージョン B
  - アクティブまたは構成状態で、DIx ピンを通じてチャネル状態の変更がない場合
  - イネーブルになっているチャネルは突入期間内ではありません
  - イネーブルになっているチャネルについては、$I_{OUT} < I_{EXIT_LPM_MAN}$
  - THERMAL_WRN_CHx = 0

上記の条件が満たされない場合、デバイスは MANUAL_LPM 状態に遷移せず、MANUAL_LPM_ENTRY ビットは 0 にリセットされ、SDO フレーム内の LPM_STATUS ビットは 0 のままとなります。すべての条件が満たされ、LPM ビットに 1 が書き込まれると、デバイスは SDO フレームの LPM_STATUS ビットを更新して、$t_{LPM_ENTRY}$ 内で MANUAL_LPM 状態に遷移します。

MANUAL_LPM 状態では、より小さい内部 FET を使用して IQ を最小限に抑えます。小さい FET の $R_{ON}$ は、電気的特性セクションの $R_{ON,LPM_MAN}$ によって定義されています。MANUAL_LPM で小さい FET が使用されるため、出口しきい値と短絡スレッショルドは、より大きい内部 FET が使用される AUTO_LPM 状態と比較して低くなります。

### MANUAL_LPM からのシステム ウェークアップ

TPS2HCS10A-Q1 の場合、MCU またはコントローラは LPM レジスタの LPM ビットに 0 を書き込んで、デバイスを手動で MANUAL_LPM 状態から ACTIVE 状態に遷移させることができます。デバイスは、LPM ビットに 0 が書き込まれ

MANUAL_LPM 状態を終了するとき、AUTO_LPM_EXIT_CHx ビットを評価します。AUTO_LPM_EXIT_CHx のいずれかが 1 の場合、デバイスがアクティブ状態のときにすでにイネーブルされていない場合、対応するチャネルがイネーブルになります。

TPS2HCS10B-Q1 の場合、MCU またはコントローラは LPM レジスタの LPM ビットに 0 を書き込んで、デバイスを MANUAL_LPM 状態から ACTIVE 状態に手動で遷移させることもできます。ただし、TPS2HCS10B-Q1 デバイスは AUTO_LPM_EXIT_CHx ビットを評価しません。AUTO_LPM_EXIT_CHx ビットは TPS2HCS10B-Q1 には影響しません。また、DI1 または DI2 の状態が MANUAL_LPM 状態で変更されると、TPS2HCS10B-Q1 は MANUAL_LPM 状態からアクティブ状態に遷移します。

### MANUAL_LPM からの自動終了

MANUAL_LPM 状態では、プログラムされた $I_{EXIT_LPM_MAN}$ スレッショルドを超える負荷電流が増加すると、デバイスは FLT/WAKE_SIG ピン経由でウェークアップし、システムはウェークアップします。FLT/WAKE_SIG ピンは $t_{WAKE_SIG}$ パルスを Low にし、デバイスが MANUAL_LPM を終了してアクティブ状態に移行したことをシステムに通知します。各チャネルの切り替えスレッショルドは、MAN_LPM_EXIT_CURR_CHx ビットを使用して、表 8-12 に示すウェークアップ設定にプログラムできます。

より大きな ECU 負荷電流要求の増加または $I_{SCP_LPM_MAN}$ を超える出力短絡がある場合、デバイスはそのチャネルでより小さい内部 FET をオフにし、過電流保護スレッショルドとして $I_{OCP}$ を設定した状態で、より大きい MOSFET の $t_{RETRY_LPM}$ で再試行します。

追加の負荷電流要求とアクティブ状態への遷移は、MCU または SBC による割り込みとして使用できる FLT または WAKE_SIG (VDD へのアクティブ Low プルアップ抵抗) の立ち下がりエッジを持つ MCU または SBC に通知され、システムをウェイクアップするための割り込みとして使用できます。その後、デバイスを SPI 経由でポーリングして、負荷 ECU 電流要求または短絡によって FLT または WAKE_SIG ピンの遷移が発生したかどうかを確認できます。デバイスは、アクティブ状態でも過電流が確認された場合のみ、故障を過電流保護故障として登録します。

負荷ステップの大きさに応じて、本デバイスはさまざまな方法でアクティブ状態に遷移します。図 8-31、図 8-32 および図 8-33 に、さまざまな負荷ステップ振幅に対するデバイスの応答を示します。

負荷電流が増加してデバイスがアクティブに遷移すると、LPM レジスタの LPM ビットは 1 にセットされたままになります。LPM 状態に再度移行するには、LPM レジスタの LPM ビットを 0 にセットしてから、再度 1 にセットする必要があります。

**表 8-12. ロード ウェイクアップ設定 - MANUAL_LPM 状態**

| LPM レジスタの MAN_LPM_EXIT_CURR_CHx | 標準値 | 単位 |
|---|---|---|
| 00 (デフォルト) | 0.5 | A |
| 01 | 0.625 | A |
| 10 | 0.15 | A |
| 11 | 0.325 | A |


Copyright © 2025 Texas Instruments Incorporated

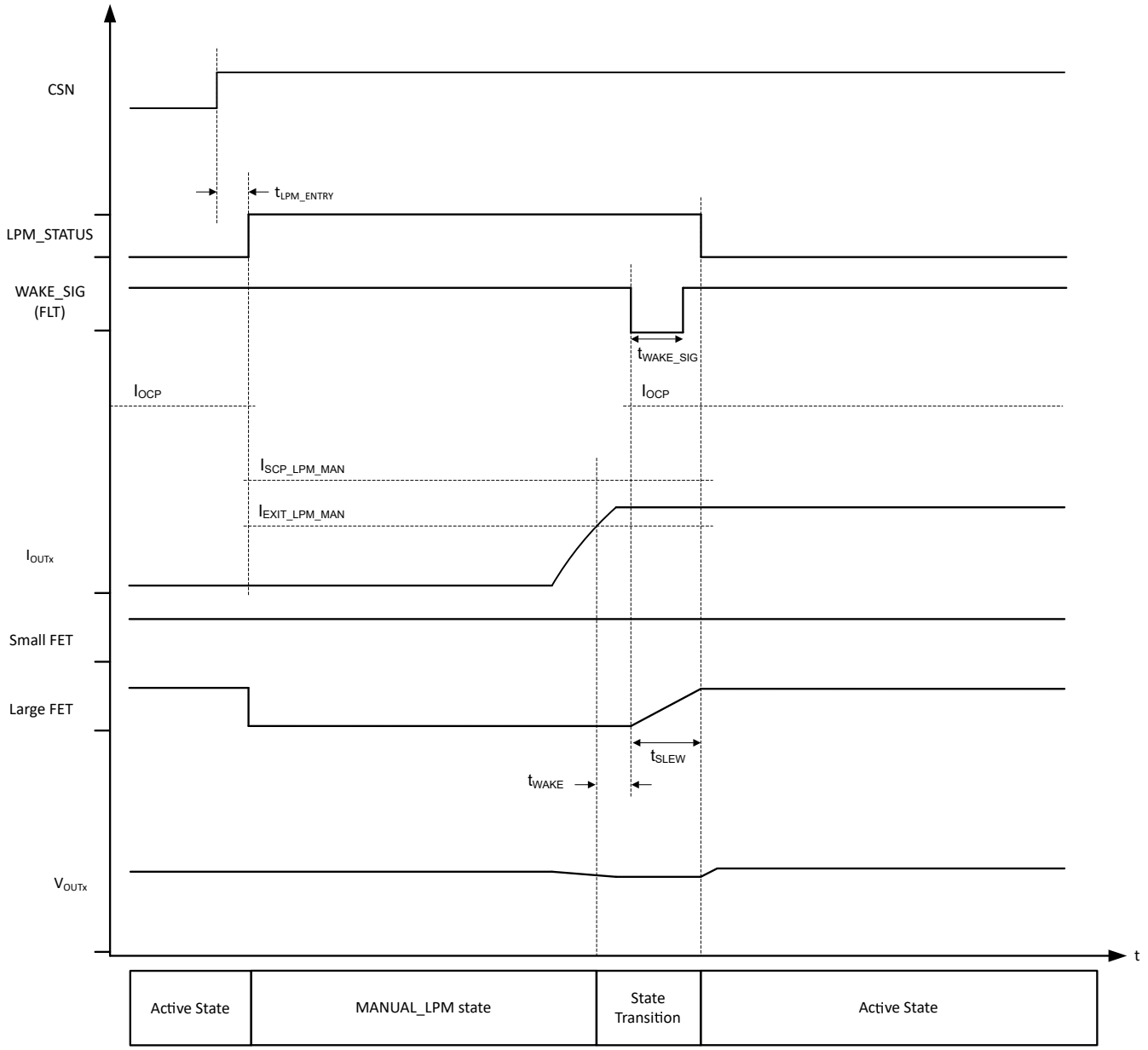



**図 8-31. MANUAL_LPM 状態で、$I_{EXIT_LPM_MAN}$ を超え、$I_{SCP_LPM_MAN}$ 未満の負荷増加**

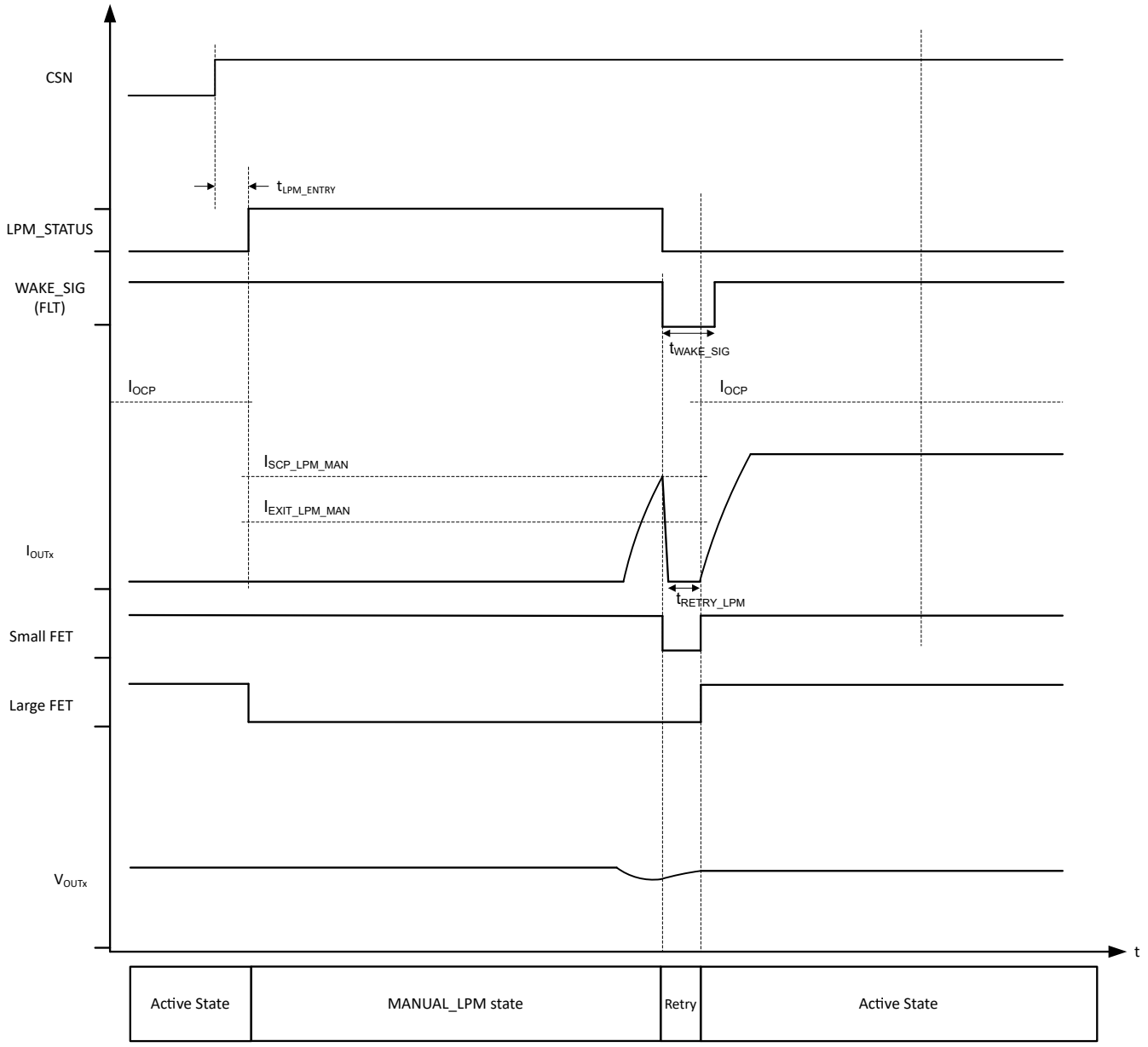



**図 8-32. MANUAL_LPM 状態で、$I_{SCP_LPM_MAN}$ を超え、$I_{OCP}$ 未満の負荷増加**


Copyright © 2025 Texas Instruments Incorporated

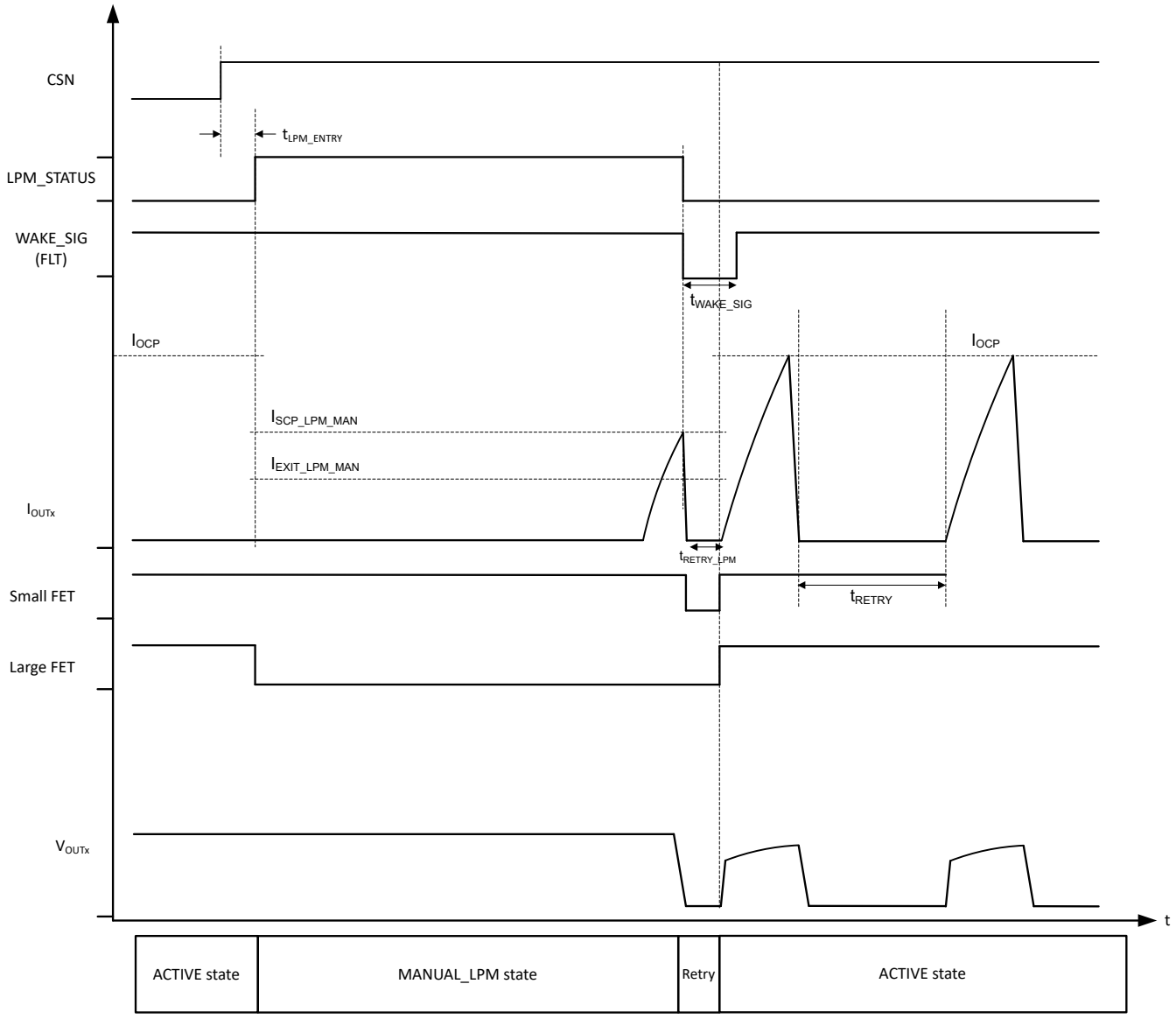



**図 8-33. MANUAL_LPM 状態で、$I_{OCP}$ を上回る負荷増加**

#### 8.4.9.2 AUTO_LPM 状態

AUTO_LPM 状態は、必要に応じてチャネルをオンに維持しながら、短絡保護により保護しながら、デバイスが自動的に低 IQ 状態に移行できるモードを提供します。使用するデバイスのバージョンに応じて、AUTO_LPM 状態に入るには、DEV_CONFIG レジスタの AUTO_LPM_ENTRY ビットを 1 に設定し、少なくとも $t_{STBY_LPM_AUTO}$ の間、以下の条件を満たす必要があります:

- バージョン A
  - アクティブまたは構成状態で、CHx_ON ビットを通じてチャネル状態の変更がない場合
  - イネーブルになっているチャネルは突入期間内ではありません
  - ISNS を除くすべての ADC 診断 (VSNS、VBBSNS、TSNS、VDS_SNS) はディスエーブルになります
  - 有効なチャネルの場合、$I_{OUT} < I_{ENTRY_LPM_AUTO}$
  - AUTO_LPM_EXIT_CHx ビットは両方とも 0 に設定する必要があります
  - THERMAL_WRN_CHx = 0

  - ウォッチドッグ タイマが無効化 (WD_EN = 0)
  - デバイスに故障はありません
- バージョン B
  - アクティブまたは構成状態で、DIx ピンを通じてチャネル状態の変更がない場合
  - イネーブルになっているチャネルは突入期間内ではありません
  - ISNS を除くすべての ADC 診断 (VSNS、VBBSNS、TSNS、VDS_SNS) はディスエーブルになります
  - 有効なチャネルの場合、$I_{OUT} < I_{ENTRY_LPM_AUTO}$
  - AUTO_LPM_EXIT_CHx ビットは両方とも 0 に設定する必要があります
  - THERMAL_WRN_CHx = 0
  - ウォッチドッグ タイマが無効化 (WD_EN = 0)
  - デバイスに故障はありません

条件が満たされると、デバイスは AUTO_LPM 状態に入る前に、SDO フレーム内および GLOBAL_FAULT_TYPE レジスタ内の LPM_STATUS ビットと、GLOBAL_FAULT_TYPE レジスタ内の LPM_STATUS_1 ビットを更新し、デバイスが AUTO_LPM に遷移したことをシステムに通知します。デバイスは $t_{LPM_ENTRY}$ 内で AUTO_LPM 状態に移行します。

AUTO_LPM 状態では、より大きな内部 FET を使って、より大きな負荷ステップを実現しています。より大きい内部 FET の $R_{ON}$ は、「電気的特性」セクションの $R_{ON, LPM_AUTO}$ によって定義されます。AUTO_LPM 状態での IQ は、MANUAL_LPM 状態と比べて高くなります。AUTO_LPM では、エントリ スレッショルドは $I_{ENTRY_LPM_AUTO}$ で指定され、終了スレッショルドは $I_{EXIT_LPM_AUTO}$ で指定されます。

### AUTO_LPM からのシステム ウェークアップ

TPS2HCS10A-Q1 の場合、MCU またはコントローラは AUTO_LPM_EXIT_CHx ビットのいずれかまたは両方に 1 を書き込んで、デバイスを AUTO_LPM 状態から ACTIVE 状態に手動で遷移させることができます。AUTO_LPM_EXIT_CHx のいずれかが 1 の場合、デバイスがアクティブ状態のときにすでにイネーブルされていない場合、対応するチャネルがイネーブルになります。TPS2HCS10A-Q1 の場合、デバイスが AUTO_LPM 状態に復帰できるようにするには、両方の AUTO_LPM_EXIT_CHx ビットを 0 に戻す必要があります。

TPS2HCS10B-Q1 の場合、AUTO_LPM_EXIT_CHx ビットは TPS2HCS10B-Q1 に影響を与えません。システムは、DI1 または DI2 の状態、または AUTO_LPM 状態の両方を変更することにより、TPS2HCS10B-Q1 デバイスを AUTO_LPM から手動で遷移できます。

### AUTO_LPM からの自動終了

AUTO_LPM 状態では、$I_{EXIT_LPM_AUTO}$ スレッショルドを超える負荷電流が増加すると、デバイスはウェークアップし、LPM_STATUS ビットを 0 に変更します。GLOBAL_FAULT_TYPE レジスタ内の LPM_STATUS_1 ビットは、AUTO_LPM 状態のときに 1 に設定されます。このビットはリードクリアであり、システムは GLOBAL_FAULT_TYPE レジスタが最後に読み取られて以降、デバイスが AUTO_LPM 状態に遷移したかどうかを確認できます。ECU 負荷電流要求が $I_{EXIT_LPM_AUTO}$ スレッショルドを上回ると、ACTIVE 状態への遷移が作動します。この負荷が増大するシナリオでは、デバイスは $\overline{FLT}$/WAKE_SIG を low にプルしないことに注意してください。

ECU の負荷電流要求が $I_{SCP_LPM_AUTO}$ を超えて増加するか、出力短絡が発生した場合、デバイスはそのチャネルの内部 FET をオフにし、$I_{OCP}$ を過電流保護スレッショルドとして設定した状態で $t_{RETRY}$ 後にリトライを行います。この場合、負荷電流が $I_{SCP_LPM_AUTO}$ スレッショルドを超えると、デバイスは $\overline{FLT}$ / $\overline{WAKE_SIG}$ ピンを low レベルに引き下げます。デバイスは、アクティブ状態でも過電流が確認された場合のみ、故障を過電流保護故障として登録します。

負荷ステップの大きさに応じて、本デバイスはさまざまな方法でアクティブ状態に遷移します。図 8-34、図 8-35 および図 8-36 に、さまざまな負荷ステップ振幅に対するデバイスの応答を示します。


Copyright © 2025 Texas Instruments Incorporated

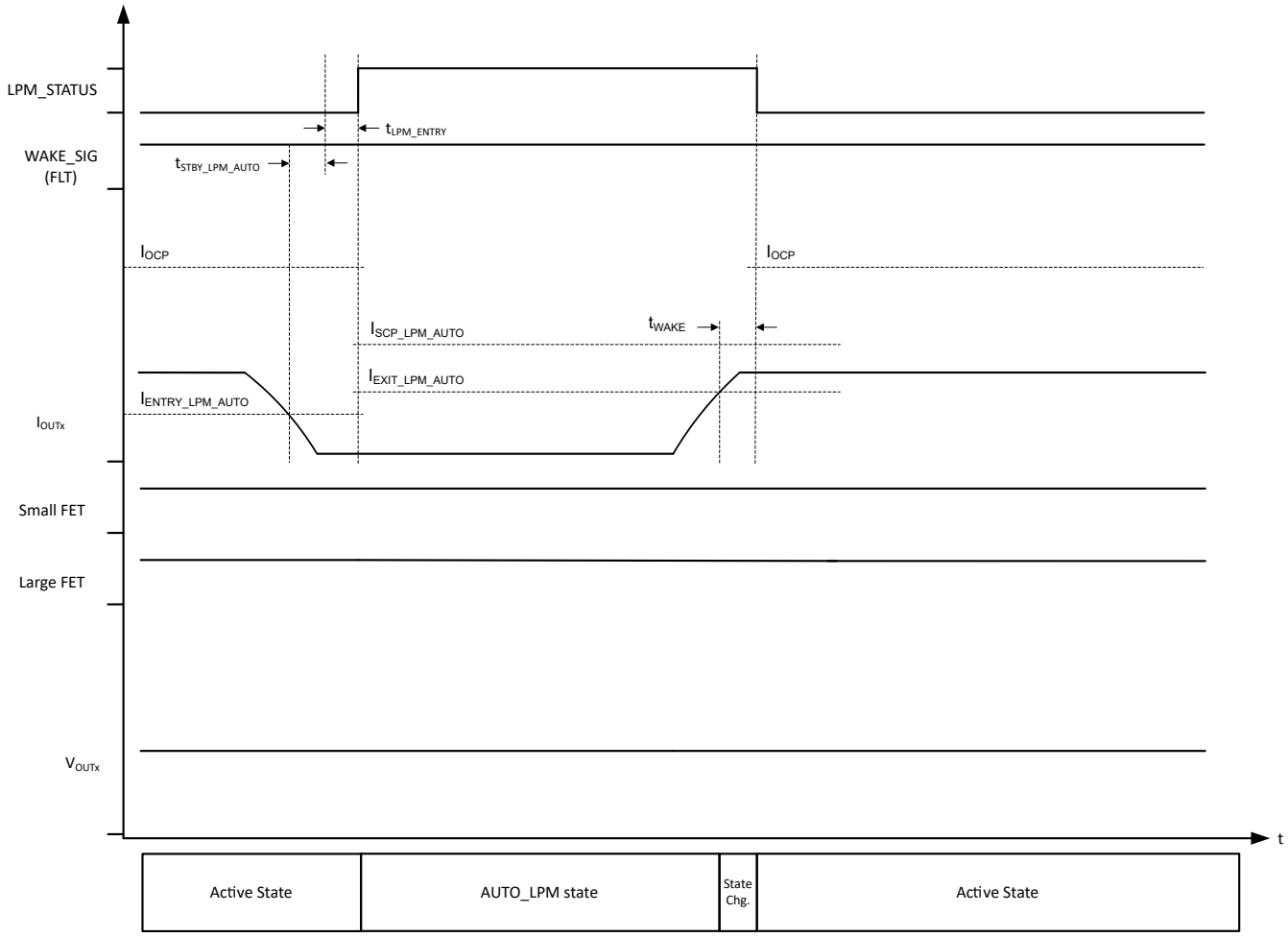



**図 8-34. AUTO_LPM 状態で、$I_{EXIT_LPM_AUTO}$ を超え、$I_{SCP_LPM_AUTO}$ 未満の負荷増加**

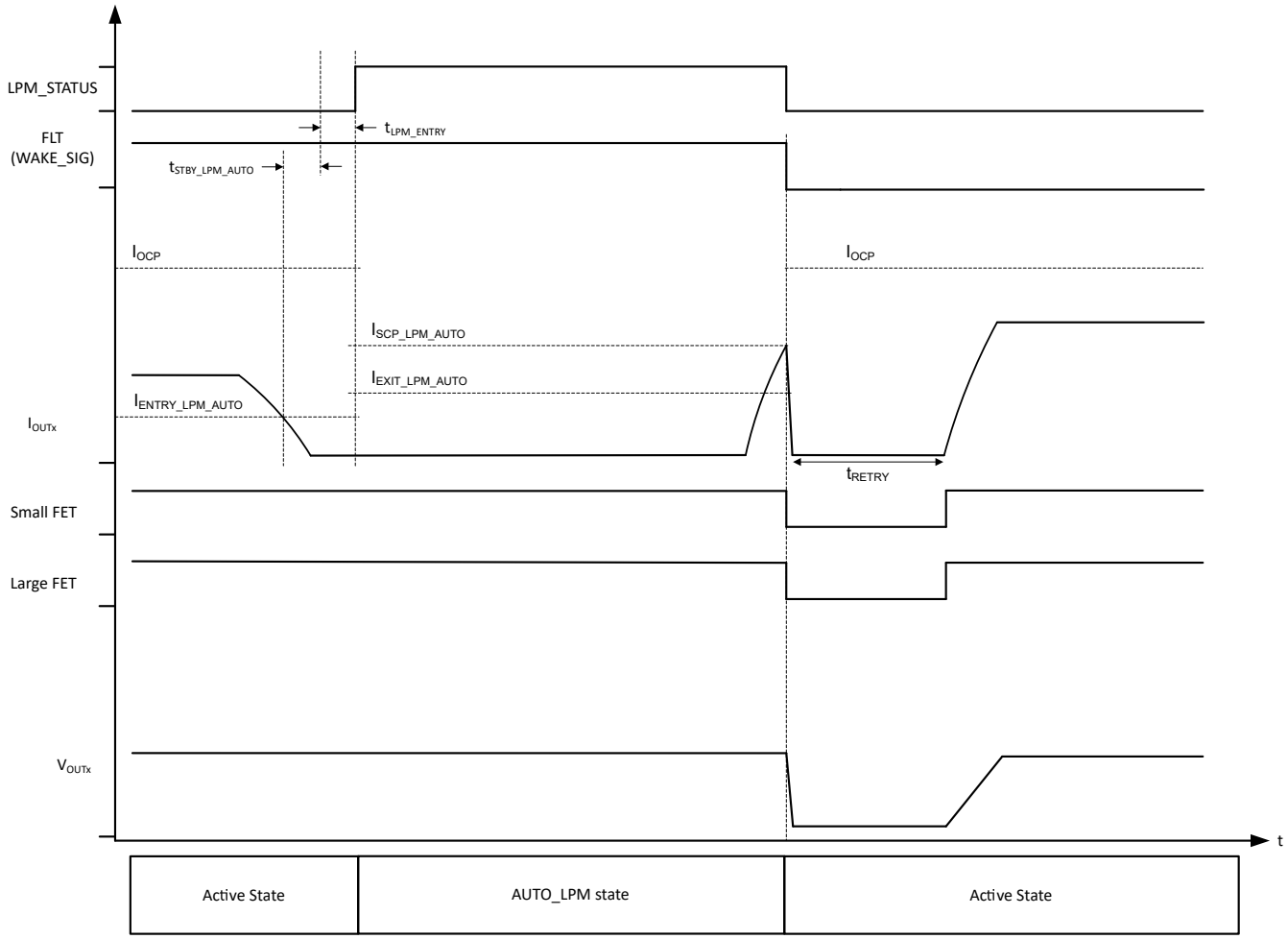



**図 8-35. AUTO_LPM 状態で、$I_{SCP_LPM_AUTO}$ を超え、$I_{OCP}$ 未満の負荷増加**


Copyright © 2025 Texas Instruments Incorporated

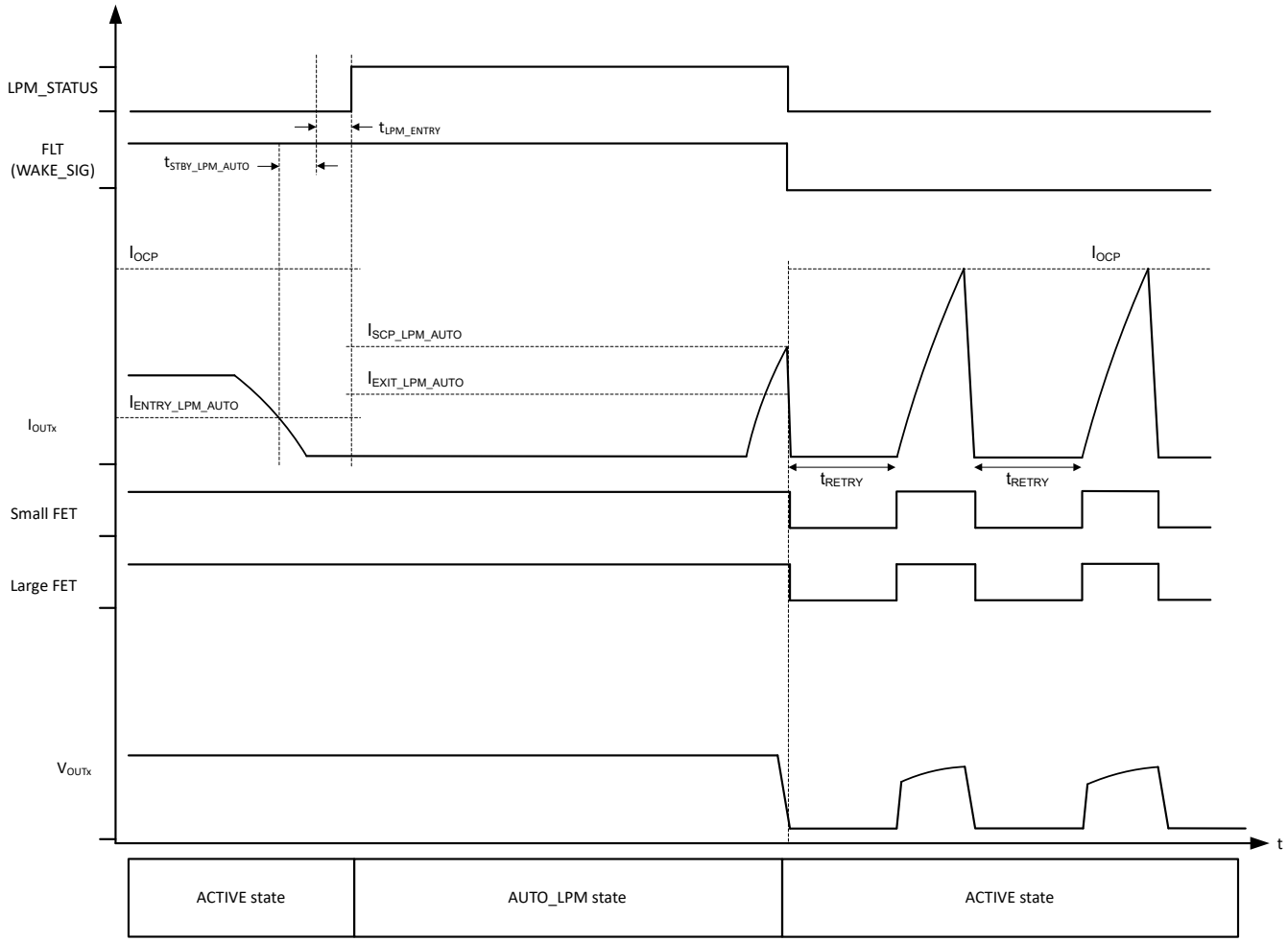



**図 8-36. AUTO_LPM 状態で、$I_{OCP}$ を上回る負荷が増加**

## 8.5 TPS2HCS10-Q1 のレジスタ

TPS2HCS10-Q1 レジスタのメモリマップされたレジスタを、表 8-13 に示します。表 8-13 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

**表 8-13. TPS2HCS10-Q1 のレジスタ**

| オフセット | 略称 | レジスタ名 | セクション |
|---|---|---|---|
| 0h | DEV_ID | NVM からデバイス ID を読み取ります | 表示 |
| 1h | CRC_CONFIG | CRC 構成レジスタ | 表示 |
| 2h | SLEEP | ACTIVE または CONFIG 状態から SLEEP 状態に移行するように設定します | 表示 |
| 3h | LPM | 低消費電力モード (LPM) 設定レジスタ | 表示 |
| 4h | GLOBAL_FAULT_TYPE | チャネル フォルト ステータスとグローバル フォルト タイプ | 表示 |
| 5h | FAULT_MASK | フォルト ピンでのフォルト通知をマスキングします | 表示 |
| 7h | SW_STATE | VOUT1 と VOUT2 のオン / オフ制御 | 表示 |
| 9h | DEV_CONFIG | グローバル デバイス構成レジスタ | 表示 |
| Ah | ADC_CONFIG | ADC 構成レジスタ | 表示 |
| Bh | ADC_RESULT_VBB | ADC 変換結果 - VBB | 表示 |
| Dh | FLT_STAT_CH1 | チャネル 1 のフォルト ステータス | 表示 |
| Eh | PWM_CH1 | チャネル 1 の PWM 構成レジスタ | 表示 |
| Fh | ILIM_CONFIG_CH1 | チャネル 1 の保護構成レジスタ | 表示 |
| 10h | CH1_CONFIG | チャネル 1 の構成レジスタ | 表示 |
| 11h | ADC_RESULT_CH1_I | ADC 変換結果 - チャネル 1 の負荷電流センス | 表示 |
| 12h | ADC_RESULT_CH1_T | ADC 変換結果 - チャネル 1 の TJ .FET 温度センス | 表示 |
| 13h | ADC_RESULT_CH1_V | ADC 変換結果 - チャネル 1 の VOUT センス | 表示 |
| 14h | ADC_RESULT_CH1_VDS | ADC 変換結果 - チャネル 1 の VDS センス | 表示 |
| 15h | I2T_CONFIG_CH1 | チャネル 1 の I2T 構成レジスタ | 表示 |
| 16h | FLT_STAT_CH2 | チャネル 2 のフォルト ステータス | 表示 |
| 17h | PWM_CH2 | チャネル 2 の PWM 構成レジスタ | 表示 |
| 18h | ILIM_CONFIG_CH2 | チャネル 2 の保護構成レジスタ | 表示 |
| 19h | CH2_CONFIG | チャネル 2 の構成レジスタ | 表示 |
| 1Ah | ADC_RESULT_CH2_I | ADC 変換結果 - チャネル 2 の負荷電流センス | 表示 |
| 1Bh | ADC_RESULT_CH2_T | ADC 変換結果 - チャネル 2 の TJ .FET 温度センス | 表示 |
| 1Ch | ADC_RESULT_CH2_V | ADC 変換結果 - チャネル 2 の VOUT センス | 表示 |
| 1Dh | ADC_RESULT_CH2_VDS | ADC 変換結果 - チャネル 2 の VDS センス | 表示 |
| 1Eh | I2T_CONFIG_CH2 | チャネル 2 の I2T 構成レジスタ | 表示 |

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-14 に、このセクションでアクセス タイプに使用しているコードを示します。

**表 8-14. TPS2HCS10-Q1 のアクセス タイプ コード**

| アクセス タイプ | コード | 説明 |
|---|---|---|
| 読み取りタイプ | | |
| R | R | 読み出し |
| RC | R<br>C | 読み出し後<br>クリア |
| 書き込みタイプ | | |


Copyright © 2025 Texas Instruments Incorporated

**表 8-14. TPS2HCS10-Q1 のアクセス タイプ コード (続き)**

| アクセス タイプ | コード | 説明 |
|---|---|---|
| W | W | 書き込み |
| W1C | W<br>1C | 書き込み<br>1 でクリア |
| リセットまたはデフォルト値 | | |
| *-n* | | リセット後の値またはデフォルト値 |

### 8.5.1 DEV_ID レジスタ (オフセット = 0h) [リセット = XXXXh]

表 8-15 に、DEV_ID を示します。

概略表に戻ります。

**表 8-15. DEV_ID レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-0 | DEVICE_ID | R | X | X = 型番<br>FFF4h = TPS2HCS10A<br>FFF5h = TPS2HCS10B |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.2 CRC_CONFIG レジスタ (オフセット = 1h) [リセット = FFFEh]

表 8-16 に、CRC_CONFIG を示します。

概略表に戻ります。

**表 8-16. CRC_CONFIG レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-1 | 予約済み | R | 7FFFh | 予約済み |
| 0 | CRC_EN | R/W | 0h | SPI コマンド フレームの CRC チェックを有効化します。<br>0h = SPI コマンド フレームの CRC チェックなし<br>1h = SPI コマンド フレームの CRC チェックが有効化 |

Copyright © 2025 Texas Instruments Incorporated

### 8.5.3 SLEEP レジスタ (オフセット = 2h) [リセット = FFFEh]

SLEEP を表 8-17 に示します。

概略表に戻ります。

**表 8-17. SLEEP レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-1 | 予約済み | R | 7FFFh | 予約済み |
| 0 | SLEEP | R/W | 0h | デバイスを SLEEP 状態にするには、このビットを 1 に設定します<br>0h = 変更なし<br>1h = デバイスを SLEEP 状態にします |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.4 LPM レジスタ (オフセット = 3h) [リセット = FF80h]

LPM を表 8-18 に示します。

概略表に戻ります。

**表 8-18. LPM レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-7 | 予約済み | R | 1FFh | 予約済み |
| 6-5 | MAN_LPM_EXIT_CURR_CH2 | R/W | 0h | CH2 の負荷電流の増加により MANUAL_LPM モードを終了するようにスレッショルドを設定します<br>0h = 500mA<br>1h = 625mA<br>2h = 150mA<br>3h = 325mA |
| 4-3 | MAN_LPM_EXIT_CURR_CH1 | R/W | 0h | CH1 の負荷電流の増加により MANUAL_LPM モードを終了するようにスレッショルドを設定します<br>0h = 500mA<br>1h = 625mA<br>2h = 150mA<br>3h = 325mA |
| 2 | AUTO_LPM_EXIT_CH2 | R/W | 0h | このビットにより、デバイスは強制的に AUTO_LPM モードから ACTIVE 状態に移行し、CH2 が有効化されます (有効化されていない場合)。AUTO_LPM モードに移行するためにデバイスを再度有効化するには、このビットを 0 に戻す必要があります。<br>0h = すべての条件が満たされた場合、デバイスを再度有効化し、AUTO_LPM モードに移行させます。<br>1h = 強制的に AUTO_LPM 状態から ACTIVE 状態に移行します。有効化されていない場合は、CH2 を有効にします。 |
| 1 | AUTO_LPM_EXIT_CH1 | R/W | 0h | このビットにより、デバイスは強制的に AUTO_LPM モードから ACTIVE 状態に移行し、CH1 が有効化されます (有効化されていない場合)。AUTO_LPM モードに移行するためにデバイスを再度有効化するには、このビットを 0 に戻す必要があります。<br>0h = すべての条件が満たされた場合、デバイスを再度有効化し、AUTO_LPM モードに移行させます。<br>1h = 強制的に AUTO_LPM 状態から ACTIVE 状態に移行します。有効化されていない場合は、CH1 を有効にします。 |
| 0 | MANUAL_LPM_ENTRY | R/W | 0h | このビットを 1 に設定すると、デバイスは MANUAL_LPM になります。<br>注:MANUAL_LPM モードに移行するには、両方のチャネルがオフになっているか、有効になっているチャネルの電流が MAN_LPM_EXIT_CURR_CHx を下回っている必要があります。<br>デバイスが MANUAL_LPM 状態で、MANUAL_LPM_ENTRY ビットに 0 が書き込まれた場合、デバイスは AUTO_LPM_EXIT_CHx ビットの内容を確認します。いずれかのビットが 1 に設定されている場合、デバイスは MANUAL_LPM モードを終了してチャネルをオンにします (有効化されていない場合)。<br>負荷電流が増加して MAN_LPM_EXIT_CURR_CHx を超えたためにデバイスが MANUAL_LPM 状態から ACTIVE 状態に移行した場合、MANUAL_LPM 状態に再度移行するには、MANUAL_LPM_ENTRY ビットを 0 に設定してから 1 に戻す必要があります。<br>0h = デバイスが MANUAL_LPM の場合、デバイスを ACTIVE モードに移行する<br>1h = すべての条件が満たされた場合、デバイスを MANUAL_LPM モードに移行する |

Copyright © 2025 Texas Instruments Incorporated

### 8.5.5 GLOBAL_FAULT_TYPE レジスタ (オフセット = 4h) [リセット = 0147h]

表 8-19 に、GLOBAL_FAULT_TYPE を示します。

概略表に戻ります。

**表 8-19. GLOBAL_FAULT_TYPE レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | 予約済み | R | 0h | 予約済み |
| 14 | 予約済み | R | 0h | 予約済み |
| 13 | CH2_FLT | R | 0h | チャネル 2 のフォルト ステータス。<br>FLT_LTCH_DIS = 0 の場合、FLT_STAT_CH2 レジスタが読み取られ、フォルト条件が存在しなくなったときにのみフォルト ビットがラッチされ、クリアされます<br>FLT_LTCH_DIS = 1 の場合、フォルト条件が存在しなくなったときにフォルト ビットがクリアされます<br>0h = CH2 でフォルトは発生していません<br>1h = CH2 でフォルトが発生しました |
| 12 | CH1_FLT | R | 0h | チャネル 1 のフォルト ステータス。<br>FLT_LTCH_DIS = 0 の場合、FLT_STAT_CH1 レジスタが読み取られ、フォルト条件が存在しなくなったときにのみフォルト ビットがラッチされ、クリアされます<br>FLT_LTCH_DIS = 1 の場合、フォルト条件が存在しなくなったときにフォルト ビットがクリアされます<br>0h = CH1 でフォルトは発生していません<br>1h = CH1 でフォルトが発生しました |
| 11 | LPM_STATUS | R | 0h | このビットは、デバイスが MANUAL_LPM モードと AUTO_LPM モードのどちらであるかを示します。デバイスがどちらの LPM モードでもない場合はクリアされます。<br>0h = デバイスは AUTO_LPM または MANUAL_LPM 状態ではありません<br>1h = デバイスは AUTO_LPM 状態か MANUAL_LPM 状態のいずれかに移行しました |
| 10 | CHAN_OCP_I2T_TSD | R | 0h | このビットは、いずれかのチャネルに過電流保護、I2T 保護、またはサーマル シャットダウン フォルトがあるかどうかを示します。<br>FLT_LTCH_DIS = 0 の場合、FLT_STAT_CHx レジスタが読み取られ、フォルト条件が存在しなくなったときにのみフォルト ビットがラッチされ、クリアされます<br>FLT_LTCH_DIS = 1 の場合、フォルト条件が存在しなくなったときにフォルト ビットがクリアされます<br>0h = どのチャネルでも過電流保護、I2T 保護、サーマル シャットダウン フォルトなし<br>1h = いずれかのチャネルまたは両方のチャネルに過電流保護、I2T 保護、またはサーマル シャットダウン フォルトあり |
| 9 | OL_SHRT_VBB_OFF_FLT | R | 0h | このビットは、いずれかのチャネルでオフ状態フォルトの VBB 電源への短絡が発生しているかどうかを示します。<br>FLT_LTCH_DIS = 0 の場合、FLT_STAT_CHx レジスタが読み取られ、フォルト条件が存在しなくなったときにのみフォルト ビットがラッチされ、クリアされます。<br>0h = いずれかのチャネルでオフ状態の VBB への短絡または開放負荷フォルトなし<br>1h = 片方または両方のチャネルでオフ状態の VBB への短絡または開放負荷フォルトあり |


Copyright © 2025 Texas Instruments Incorporated

**表 8-19. GLOBAL_FAULT_TYPE レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 8 | GLOBAL_ERR_WRN | R | 1h | このビットは、FLT_GLOBAL_TYPE[7:0] ビットでグローバル フォルトが通知されているかどうかを示します。<br>このビットにより通知されるフォルトは、LIMPHOM_STATE、POR、SPI_ERR、WD_ERR、VDD_UVLO、VBB_UV_WRN、VBB_UVLO です。<br>FLT_LTCH_DIS = 0 の場合、GLOBAL_FAULT_TYPE レジスタが読み取られ、フォルト条件が存在しなくなったときにのみフォルト ビットがラッチされ、クリアされます<br>FLT_LTCH_DIS = 1 の場合、フォルト条件が存在しなくなったときにフォルト ビットがクリアされます<br>0h = グローバル フォルトは発生していません<br>1h = 次のイベントのいずれかが発生しました。LIMPHOME_STATE、POR、SPI_ERR、WD_ERR、VDD_UVLO、VBB_UV_WRN、VBB_UVLO |
| 7 | LIMPHOME_STAT | R/W1C | 0h | このビットは、LHI ピンが High になった結果、デバイスが LIMP_HOME 状態になっているかどうかを示します。<br>1 を書き込むと、LIMP_HOME 状態がクリアされ、終了します。LIMP_HOME 状態を終了するには、ビットが 1 に設定されているときに LHI ピンを LOW にする必要があります。<br>0h = デバイスは LIMP_HOME 状態ではありません<br>1h = LHI ピンが High のため、デバイスは LIMP_HOME 状態です |
| 6 | POR | RC | 1h | このビットは、前回の読み取り以降にパワーオン リセット (POR) が発生したかどうかを示します。<br>このビットは読み取り時にクリアされます。したがって、再読み取りでビットが 0 になっている場合、読み取り後にパワーオン リセットが発生していないことを意味します。<br>0h = 最後にレジスタを読み取った後にパワーオン リセット (POR) が発生していません。<br>1h = 最後にレジスタを読み取った後でパワーオン リセットが発生しています。 |
| 5 | LPM_STATUS_1 | RC | 0h | このビットは、デバイスが MANUAL_LPM モードと AUTO_LPM モードのどちらであるかを示します。<br>このビットは読み取り時にデバイスが LPM モードではない場合にのみラッチされ、クリアされます。<br>注:MANUAL_LPM エントリの条件が満たされていない場合、このビットは 1 に設定され、読み取り時にクリアされます。<br>0h = デバイスは AUTO_LPM または MANUAL_LPM 状態ではありません<br>1h = デバイスは AUTO_LPM 状態か MANUAL_LPM 状態のいずれかに移行しました |
| 4 | SPI_ERR | RC | 0h | このビットは、フォーマット、クロック、または CRC のいずれかの SPI 通信エラーが発生しているかどうかを示します。フォルト ビットは、読み取られてエラーが存在しなくなった後にのみラッチされてクリアされます。<br>0h = SPI 通信エラーは発生していません<br>1h = フォーマット、クロック、または CRC のいずれかの SPI 通信エラーが発生しました |
| 3 | WD_ERR | RC | 0h | WD_EN = 1 の場合、このビットは、ウォッチドッグ タイムアウト ウィンドウに許容可能な SPI コマンドがあったかどうかを示します。<br>フォルト ビットは、読み取られてエラーが存在しなくなった後にのみラッチされてクリアされます。<br>0h = SPI インターフェイスのウォッチドッグ エラーは発生していません<br>1h = SPI ウォッチドッグ タイムアウト エラーが発生しました |

Copyright © 2025 Texas Instruments Incorporated

**表 8-19. GLOBAL_FAULT_TYPE レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 2 | VDD_UVLO | RC | 1h | このビットは、常に VDD 電源が VDD_UVLOF を下回っているかどうかを示します。<br>GLOBAL_FAULT_TYPE レジスタが読み取られ、UVLO 状態が解消された場合、フォルト ビットはクリアされます。<br>0h = VDD_UVLO フォルトは発生していません<br>1h = VDD_UVLO フォルトが発生しました |
| 1 | VBB_UV_WRN | RC | 1h | このビットは、常に VBB 電源が $V_{BB_UV_WRN}$ を下回っているかどうかを示します。VBB が $V_{BB_UV_WRN}$ を下回るとデバイスの診断機能はオフになります。<br>フォルト ビットは、GLOBAL_FAULT_TYPE レジスタが読み取られ、UV 状態が解消されるとクリアされます。<br>0h = VBB_UV_WRN フォルトは発生していません<br>1h = VBB_UV_WRN フォルトが発生しました |
| 0 | VBB_UVLO | RC | 1h | このビットは、常に VBB 電源が $V_{BB_UVLOF}$ を下回っているかどうかを示します。<br>GLOBAL_FAULT_TYPE レジスタが読み取られ、UVLO 状態が解消された場合、フォルト ビットはクリアされます。<br>0h = VBB_UVLO フォルトは発生していません<br>1h = VBB_UVLO フォルトが発生しました |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.6 FAULT_MASK レジスタ (オフセット = 5h) [リセット = FF80h]

表 8-20 に、FAULT_MASK を示します。

概略表に戻ります。

**表 8-20. FAULT_MASK レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-7 | 予約済み | R | 1FFh | 予約済み |
| 6 | 予約済み | R/W | 0h | 予約済み |
| 5 | MASK_SHRT_VBB | R/W | 0h | このビットは、デバイスが FLT ピンでのバッテリ短絡フォルト (オフ状態) の信号をマスクするかどうかを決定します。<br>0h = VBB への短絡フォルトが FLT ピンで通知されます<br>1h = VBB への短絡フォルトは FLT ピンで通知されません (FLT ピンからマスクされます) |
| 4 | MASK_OL_OFF | R/W | 0h | このビットは、デバイスが FLT ピンでの開放負荷フォルト (オフ状態) の信号をマスクするかどうかを決定します。<br>0h = 診断によるフォルトの検出時、オフ状態のワイヤ破損フォルトを FLT ピンで通知します<br>1h = オフ状態のワイヤ破損フォルトは FLT ピンで通知されません (FLT ピンからマスクされます) |
| 3 | 予約済み | R | 0h | 予約済み |
| 2 | MASK_SPI_ERR | R/W | 0h | このビットは、デバイスが FLT ピンと GLOBAL_FAULT_TYPE レジスタで SPI エラー (SPI_ERR) をマスクするかどうかを決定します。<br>0h = FLT ピンと GLOBAL_FAULT_TYPE レジスタで SPI エラーが通知されます<br>1h = FLT ピンまたは GLOBAL_FAULT_TYPE レジスタで SPI エラーが通知されません |
| 1 | MASK_WD_ERR | R/W | 0h | このビットは、デバイスが FLT ピンと GLOBAL_FAULT_TYPE レジスタで SPI ウォッチドッグ エラー (WD_ERR) をマスクするかどうかを決定します。<br>0h = FLT ピンと GLOBAL_FAULT_TYPE レジスタで SPI ウォッチドッグ エラーが通知されます<br>1h = FLT ピンまたは GLOBAL_FAULT_TYPE レジスタで SPI ウォッチドッグ エラーが通知されません |
| 0 | MASK_VBB_UVLO | R/W | 0h | このビットは、デバイスが FLT ピンでの電源電圧 VBB UVLO フォルトをマスクするかどうかを決定します。<br>0h = VBB_UVLO フォルトが FLT ピンで通知されます<br>1h = VBB_UVLO フォルトは FLT ピンで通知されません (FLT ピンからマスクされます) |

Copyright © 2025 Texas Instruments Incorporated

### 8.5.7 SW_STATE レジスタ (オフセット = 7h) [リセット = FFFCh]

表 8-21 に SW_STATE を示します。

概略表に戻ります。

**表 8-21. SW_STATE レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-2 | 予約済み | R | 3FFFh | 予約済み |
| 1 | CH2_ON | R/W | 0h | このビットは、TPS2HCS10A-Q1 バージョンのチャネル 2 の出力状態を決定します。<br>0h = CH2 出力をオフに設定します (FET はオフ)<br>1h = CH2 出力をオンに設定します (FET はオン)<br>注:このビットは、TPS2HCS10B-Q1 に影響を与えません。TPS2HCS10B-Q1 の場合、チャネル 2 の出力の制御は DI2 ピン経由でのみ決定されます。 |
| 0 | CH1_ON | R/W | 0h | このビットは、TPS2HCS10A-Q1 バージョンのチャネル 1 の出力状態を決定します。<br>0h = CH1 出力をオフに設定します (FET はオフ)<br>1h = CH1 出力をオンに設定します (FET はオン)<br>注:このビットは、TPS2HCS10B-Q1 に影響を与えません。TPS2HCS10B-Q1 の場合、チャネル 1 出力の制御は DI1 ピン経由でのみ決定されます |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.8 DEV_CONFIG レジスタ (オフセット = 9h) [リセット = F800h]

表 8-22 に、DEV_CONFIG を示します。

概略表に戻ります。

**表 8-22. DEV_CONFIG レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-11 | 予約済み | R | 1Fh | 予約済み |
| 10-9 | CH2_LH_IN | R/W | 0h | これらのビットは、TPS2HCS10A-Q1 バージョンの LIMP_HOME 状態でチャネル 2 の出力がどのように応答するかを決定します。<br>注:これらのビットは、TPS2HCS10B-Q1 には影響しません。TPS2HCS10B-Q1 に LIMP_HOME 状態はありません。<br>0h = LIMP_HOME 状態時、DI ピンは出力を制御します<br>1h = LIMP_HOME 状態への移行時、CH2_ON ビットからの同じ出力状態を維持します<br>2h = LIMP_HOME モードで出力はオフになります<br>3h = LIMP_HOME モードで出力はオンになります |
| 8-7 | CH1_LH_IN | R/W | 0h | これらのビットは、TPS2HCS10A-Q1 バージョンの LIMP_HOME 状態でチャネル 1 の出力がどのように応答するかを決定します。<br>注:これらのビットは、TPS2HCS10B-Q1 には影響しません。TPS2HCS10B-Q1 に LIMP_HOME 状態はありません。<br>0h = LIMP_HOME 状態時、DI ピンは出力を制御します<br>1h = LIMP_HOME 状態への移行時、CH1_ON ビットからの同じ出力状態を維持します<br>2h = LIMP_HOME モードで出力はオフになります<br>3h = LIMP_HOME モードで出力はオンになります |
| 6 | PWM_SHIFT_DIS | R/W | 0h | このビットは、チャネル間の PWM の開始時にオフセットが必要かどうかを決定します。<br>0h = PWM の立ち上がりエッジは、最初の立ち上がりエッジで 100µs 遅延します<br>1h = PWM 遅延 (オフセット) は無効化されているため、立ち上がりエッジが揃います |
| 5 | AUTO_LPM_ENTRY | R/W | 0h | このビットは、AUTO_LPM モードに移行するためのすべての条件が満たされた場合に、デバイスが AUTO_LPM モードに移行するかどうかを決定します。<br>0h = AUTO_LPM モードへの移行が無効化されています<br>1h = AUTO_LPM モードへの移行が有効化され、すべての条件が満たされるとデバイスがこのモードに移行します |
| 4 | PARALLEL_12 | R/W | 0h | このビットは、システム内でチャネル 1 (CH1) とチャネル 2 (CH2) が並列になっていることをデバイスに通知します。<br>0h = CH1 と CH2 が並列になっていません<br>1h = CH1 と CH2 が並列になっています<br>注:このビットへの書き込みは、SW_STATE レジスタの CH1_ON ビットおよび CH2_ON ビットが 0 の場合にのみ有効です。 |
| 3 | WD_EN | R/W | 0h | このビットは、SPI ウォッチドッグ機能を有効化するかどうかを決定します。有効化されていると、ウォッチドッグ タイムアウト ウィンドウに有効な SPI コマンドが存在しない場合、ウォッチドッグ タイムアウトがトリガされます。<br>0h = ウォッチドッグは無効です<br>1h = ウォッチドッグ機能は有効です |

Copyright © 2025 Texas Instruments Incorporated

**表 8-22. DEV_CONFIG レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 2-1 | WD_TO | R/W | 0h | このビットは、SPI ウォッチドッグ機能のタイムアウト期間を決定します (有効化されている場合)。ウォッチドッグ タイムアウト ウィンドウに有効な SPI コマンドが存在しない場合、ウォッチドッグ タイムアウトがトリガされます。<br><br>0h = ウォッチドッグのタイムアウト期間は 400µs です<br>1h = ウォッチドッグのタイムアウト期間は 400ms です<br>2h = ウォッチドッグのタイムアウト期間は 800ms です<br>3h = ウォッチドッグのタイムアウト期間は 1200ms です |
| 0 | FLT_LTCH_DIS | R/W | 0h | このビットは、フォルト発生時に、FAULT_GLOBAL_TYPE [13:8] のフォルト ビットがラッチするかどうかを決定します。<br><br>0h = FAULT_GLOBAL_TYPE レジスタのフォルト ビット [13:8] は、関連するレジスタが読み取られた場合のみラッチされ、クリアされます<br>1h = FAULT_GLOBAL_TYPE レジスタのフォルト ビット [13:8] は、フォルトが存在しなくなるとラッチされ、クリアされます<br><br>注:FLT_LTCH_DIS = 0 のときに個別のフォルト ビットをクリアする方法の詳細については、各フォルト ビットの説明を参照してください。LPM_STATUS[0] は読み取り専用です。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.9 ADC_CONFIG レジスタ (オフセット = Ah) [リセット = FF3Ah]

表 8-23 に、ADC_CONFIG の詳細を示します。

概略表に戻ります。

**表 8-23. ADC_CONFIG レジスタ フィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-8 | 予約済み | R | FFh | 予約済み |
| 7-6 | ADC_ISNS_SAMPLE_CONFIG | R/W | 0h | これらのビットは、電流センス (ISNS) のサンプリング レートと変換レートを決定します。サンプリング レートと変換レートが遅いほど、IQ 消費は低くなります。<br><br>0h = 最大レートでの電流センスと ADC 変換<br>1h = 最大レートでの電流センスと ADC 変換<br>2h = 最大レートの半分での電流センスと ADC 変換<br>3h = 最大レートの 1/4 での電流センスと ADC 変換 |
| 5 | ADC_VDS_DIS | R/W | 1h | このビットは、すべてのチャネルで VDS センス機能を無効化するかどうかを決定します。無効化した場合、ADC 変換シーケンスのすべてのチャネルの VDS 変換が除外されます。<br><br>注:VDS センス機能は、CHx_CONFIG レジスタの VDS_SNS_DIS_CHx ビットを使用して、チャネルごとに有効化または無効化することもできます。チャネルごとに機能を有効化 / 無効化するには、このビットを 0 に設定する必要があります。<br><br>0h = VDS_SNS ADC 機能は有効です<br>1h = VDS SNS ADC 機能はすべてのチャネルで無効で、すべてのチャネルの ADC 変換シーケンスで VDS_SNS ADC 変換は除外します |
| 4 | ADC_VSNS_DIS | R/W | 1h | このビットは、すべてのチャネルで VOUT センス (VSNS) 機能を無効化するかどうかを決定します。無効化した場合、ADC 変換シーケンスのすべてのチャネルの VOUT 変換が除外されます。<br><br>注:VSNS 機能は、CHx_CONFIG レジスタの VSNS_DIS_CHx ビットを使用して、チャネルごとに有効化または無効化することもできます。チャネルごとに機能を有効化 / 無効化するには、このビットを 0 に設定する必要があります。<br><br>0h = VSNS ADC 機能は有効です<br>1h = VSNS ADC 機能はすべてのチャネルで無効で、すべてのチャネルの ADC 変換シーケンスで VSNS ADC 変換は除外されます |
| 3 | ADC_TSNS_DIS | R/W | 1h | このビットは、すべてのチャネルで温度センス機能を無効化するかどうかを決定します。無効化した場合、ADC 変換シーケンスのすべてのチャネルの温度センス変換が除外されます。<br><br>注:温度センス機能は、グローバルにのみ有効化または無効化できます<br><br>0h = TSNS ADC 機能は有効です<br>1h = TSNS ADC 機能はすべてのチャネルで無効で、すべてのチャネルの ADC 変換シーケンスで TSNS ADC 変換は除外されます |
| 2 | ADC_ISNS_DIS | R/W | 0h | このビットは、すべてのチャネルの電流センス (ISNS) 機能を無効化するかどうかを決定します。無効化した場合、ADC 変換シーケンスのすべてのチャネルの ISNS 変換は除外されます<br><br>注:ISNS 機能は、CHx_CONFIG レジスタの ISNS_DIS_CHx を使用して、チャネルごとに有効化または無効化することもできます。チャネルごとに機能を有効化 / 無効化するには、このビットを 0 に設定する必要があります。<br><br>0h = ISNS ADC 機能は有効です<br>1h = ISNS ADC 機能はすべてのチャネルで無効で、すべてのチャネルの ADC 変換シーケンスで ISNS ADC 変換は除外されます |
| 1 | ADC_VBB_DIS | R/W | 1h | このビットは、VBB_SNS 機能を無効化するかどうかを決定します。無効化した場合、ADC 変換シーケンスの電源電圧の VBB 変換は除外されます。<br><br>0h = VBB_SNS ADC 機能は有効で、VBB_SNS ADC 変換は ADC 変換シーケンスに含まれます<br>1h = VBB_SNS ADC 機能は無効で、VBB_SNS ADC 変換は ADC 変換シーケンスで除外されます |

Copyright © 2025 Texas Instruments Incorporated

**表 8-23. ADC_CONFIG レジスタ フィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 0 | ADC_DIS | R/W | 0h | このビットは、ADC 機能を無効化するかどうかを決定します。無効化した場合、VDS_SNS、VSNS、TSNS、ISNS は使用不可となります。<br>デフォルトで、ADC が有効になっています。<br>0h = ADC 機能は有効です<br>1h = すべての ADC 機能は無効です |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.10 ADC_RESULT_VBB レジスタ (オフセット = Bh) [リセット = F800h]

表 8-24 に、ADC_RESULT_VBB を示します。

概略表に戻ります。

**表 8-24. ADC_RESULT_VBB レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-11 | 予約済み | R | 1Fh | 予約済み |
| 10 | VBB_RDY | R | 0h | このビットは、最後の読み取り以降に VBB 電圧変換用の新しい ADC 結果が利用可能かどうかを示します<br>0h = VBB ADC 値は更新されていません<br>1h = 最後の読み取り以降に新しい VBB ADC 値の準備が完了しています |
| 9-0 | ADC_RESULT_VBB | R | 0h | VBB 電圧の変換からの 10 ビット ADC の結果 |

Copyright © 2025 Texas Instruments Incorporated

### 8.5.11 FLT_STAT_CH1 レジスタ (オフセット = Dh) [リセット = E000h]

FLT_STAT_CH1 を表 8-25 に示します。

概略表に戻ります。

**表 8-25. FLT_STAT_CH1 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-13 | 予約済み | R | 7h | 予約済み |
| 12 | I2T_MOD_CH1 | R | 0h | このビットは、チャネル 1 が I2T ループにあり、累積しているか、またはデクリメントしているかを示します。チャネル 1 が I2T ループ内にない場合、値は 0 になります。<br>0h = I2T がオフになっているか、チャネルが I2T ループ内にありません<br>1h = チャネルが I2T ループ内で累積しています |
| 11 | LATCH_STAT_CH1 | R | 0h | このビットは、過電流保護またはサーマル シャットダウン フォルトが原因でチャネル 1 がラッチ オフされたかどうかを示します。<br>チャネルがオフになった後再びオンになると、このビットはクリアされます。<br>注:I2T が原因でシャットダウンが発生した場合、このビットは信号を送信しません。<br>0h = このチャネルはラッチ オフされていません<br>1h = このチャネルは現在ラッチ オフされています |
| 10 | FLT_CH1 | R | 0h | このビットは、チャネル 1 が現在自動再試行の待機期間中 (2ms)、ラッチオフ中、または I2T クールダウン中であるかどうかを示します。<br>0h = 現在このチャネルは、自動再試行の待機期間、ラッチオフ状態、I2T クールダウン中になっていません<br>1h = 現在このチャネルは、自動再試行の待機期間、ラッチオフ状態、または I2T クールダウン中です |
| 9 | SW_STATE_STAT_CH1 | R | 0h | このビットは、SPI が機能している限り、デバイスがどのモードになっていても、チャネル 1 の現在の状態を示します。<br>0h = CH1 はオフ<br>1h = CH1 はオン |
| 8 | VOUT_ERR_CH1 | R | 0h | このビットは、有効時のチャネル 1 出力のドレイン - ソース間電圧 (VDS) が、INRUSH_DURATION 期間の後、2V 未満であるかどうかを示します。<br>0h = このチャネルが有効の場合、出力電圧は正常 (< 2V) です<br>1h = このチャネルが有効化または無効化されるはずの場合、出力電圧は不正確 (> 2V) になります |
| 7 | I2T_FLT_CH1 | RC | 0h | このビットは、チャネル 1 で I2T フォルトが発生したかどうかを示します。このビットが I2T フォルトを示すためには、I2T_EN を 1 に設定する必要があります。<br>FLT_STAT_CH1 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされ、クリアされます。<br>注:このビットは、過電流保護やサーマル シャットダウン フォルトを示しません。<br>0h = I2T フォルトが発生していないか、I2T が有効ではありません<br>1h = このチャネルで I2T フォルトが発生しました |
| 6 | LPM_WAKE_CH1 | RC | 0h | このビットは、原因 (負荷ステップや短絡) に関係なく、チャネル 1 が MANUAL_LPM から復帰する原因であったかどうかを示します。<br>0h = デバイスは LPM ではありません。または、このチャネルはデバイスが MANUAL_LPM モードから復帰した原因ではありません<br>1h = このチャネルは、デバイスが MANUAL_LPM から復帰した原因です |


Copyright © 2025 Texas Instruments Incorporated

**表 8-25. FLT_STAT_CH1 レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 5 | THERMAL_SD_CH1 | RC | 0h | このビットは、チャネル 1 でサーマル シャットダウン フォルトが発生したかどうかを示します。<br>FLT_STAT_CH1 レジスタが読み取られ、チャネル温度がサーマル シャットダウンのヒステリシス スレッショルドを下回ると、フォルトはラッチされ、クリアされます。<br>0h = このチャネルでサーマル シャットダウン フォルトは発生していません<br>1h = このチャネルでサーマル シャットダウン フォルトが発生しました |
| 4 | ILIMIT_CH1 | RC | 0h | このビットは、チャネル 1 で過電流保護フォルトが発生したかどうかを示します。<br>FLT_STAT_CH1 レジスタが読み取られ、フォルト条件が解消されると、フォルトがラッチされクリアされます。<br>0h = このチャネルで過電流保護フォルトは発生していません<br>1h = このチャネルで過電流保護フォルトが発生しました |
| 3 | SHRT_VBB_CH1 | RC | 0h | このビットは、オフ状態のチャネル 1 で VBB への短絡が発生したかどうかを示します。<br>チャネル 2 の出力は、RSHRT_VBB 内部抵抗によってプルダウンされます。<br>FLT_STAT_CH1 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされ、クリアされます<br>0h = オフ状態での VBB 短絡フォルトは発生していません。または、オフ状態での VBB への短絡が有効ではありません<br>1h = このチャネルでオフ状態の VBB への短絡フォルトが発生しました |
| 2 | OL_OFF_CH1 | RC | 0h | このビットは、チャネル 1 でオフ状態の開放負荷があるかどうかを示します。<br>チャネル 1 の出力は、OL_PULLUP_STR 設定によってプル アップされます。<br>FLT_STAT_CH1 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされ、クリアされます<br>0h = このチャネルでオフ状態の開放負荷フォルトは発生していません。またはオフ状態の開放負荷検出が有効ではありません<br>1h = このチャネルでオフ状態の開放負荷フォルトが発生しました |
| 1 | 予約済み | R | 0h | 予約済み |
| 0 | THERMAL_WRN_CH1 | RC | 0h | このビットは、チャネル 1 の FET 温度が過熱警告スレッショルドを上回っているかどうかを示します。<br>FLT_STAT_CH1 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされ、クリアされます<br>0h = このチャネルの FET 温度が過熱警告スレッショルドを下回っています<br>1h = このチャネルの FET 温度が過熱警告スレッショルドを上回っています |

Copyright © 2025 Texas Instruments Incorporated

### 8.5.12 PWM_CH1 レジスタ (オフセット = Eh) [リセット = F000h]

PWM_CH1 を表 8-26 に示します。

概略表に戻ります。

**表 8-26. PWM_CH1 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-12 | 予約済み | R | Fh | 予約済み |
| 11-9 | PWM_FREQ_CH1 | R/W | 0h | PWM 周波数を設定します<br><br>0h = 0.8Hz<br>1h = 3.4Hz<br>2h = 13.8Hz<br>3h = 111Hz<br>4h = 221Hz<br>5h = 425Hz<br>6h = 885Hz<br>7h = 1770Hz |
| 8-1 | PWM_DTY_CH1 | R/W | 0h | これらのビットは、チャネル 1 の PWM 動作のデューティ サイクルを設定するために使用されます。各ビットは約 0.39% のデューティ サイクルであり、直線的に最大 100% のデューティ サイクルに対応できます。 |
| 0 | PWM_EN_CH1 | R/W | 0h | このビットは、チャネル 1 の PWM 動作を有効にします。<br><br>注：PWM > 200µs のデューティ サイクル。FLT_STAT_CH1 レジスタでフォルトが発生する場合。PWM モードは、CAP_CHRG_CH1[1:0] = 0 の場合のみ有効化できます<br><br>0h = 出力は CH1_ON 設定に追従します。<br>1h = CH1_ON が High の場合、デューティ サイクルおよび周波数に応じて出力が PWM に設定されます |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.13 ILIM_CONFIG_CH1 レジスタ (オフセット= Fh) [リセット= 0066h]

ILIM_CONFIG_CH1 を表 8-27 に示します。

概略表に戻ります。

**表 8-27. ILIM_CONFIG_CH1 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-14 | 予約済み | R/W | 0h | 予約済み |
| 13-12 | CAP_CHRG_CH1 | R/W | 0h | これらのビットは、電源オン後の突入期間中の容量性充電モードを設定します。<br>CAP_CHRG_CH1=00 の場合、これらのビットは、INRUSH_DURATION_CH1 期間中、過電流保護スレッショルドとしてプログラムされます。スレッショルドに達すると、チャネルは直ちにオフになります。<br>CAP_CHRG_CH1 = 10 の場合、これらのビットは電流制限レギュレーション スレッショルドとしてプログラムされます。このチャネルは、電流制限モードに入り、出力が完全に充電されるまで、またはサーマル シャットダウン イベントが発生するまで、電流のレギュレーションを継続します。<br>注：INRUSH_DURATION の期間中、PWM と I2T は有効化されません。<br>0h = コンデンサ充電モードなし、INRUSH_LIMIT_CH1 ビットで IOCP 値を設定<br>1h = サポートされていません<br>2h = 電流制限レギュレーション モード、INRUSH_LIMIT_CH1 ビットで値を設定<br>3h = サポートされていません |
| 11 | I2T_EN_CH1 | R/W | 0h | チャネル 1 の I2T 機能を有効化します。I2T の有効化は、チャネルの有効化前または有効化中に実行可能ですが、I2T の計算は突入期間の終了後に開始されます。<br>0h = I2T 機能が有効化されていません<br>1h = I2T 機能が有効化されます |
| 10-8 | INRUSH_DURATION_CH1 | R/W | 0h | これらのビットは、INRUSH_LIMIT_CH1 レベルが適用される突入期間を決定します。<br>0h = 0ms<br>1h = 2ms<br>2h = 4ms<br>3h = 6ms<br>4h = 10ms<br>5h = 20ms<br>6h = 50ms<br>7h = 100ms |

Copyright © 2025 Texas Instruments Incorporated

**表 8-27. ILIM_CONFIG_CH1 レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 7-4 | INRUSH_LIMIT_CH1 | R/W | 6h | これらのビットは、CAP_CHRG_CH1 ビットで設定される、さまざまな容量性充電モードにおけるチャネル 1 の突入電流制限を決定します。<br>コンデンサ充電モード (CAP_CHRG_CH1 = 00) を使用しない場合、値は次のようになります。<br>0h = 10A<br>1h = 12.5A<br>2h = 15A<br>3h = 17.5A<br>4h = 20A<br>5h = 22.5A<br>6h = 25A<br>注:CAP_CHRG_CH1 = 00 の並列モードでサポートされる INRUSH_LIMIT_CH1 の最大値は 20A です。<br>電流レギュレーション モード (CAP_CHRG_CH1 = 10) を使用する場合、値は次のようになります。<br>0h = 1.5A<br>1h = 1.85A<br>2h = 2.25A<br>3h = 2.6A<br>4h = 3A<br>5h = 3.4A<br>6h = 3.8A<br>7h = 5A<br>8h = 6.25A<br>9h = 7.5A<br>Ah = 8.7A<br>Bh = 10.1A<br>CH = 11.3A<br>その他の設定はサポートされていません。 |
| 3-0 | ILIMIT_SET_CH1 | R/W | 6h | これらのビットは、INRUSH_DURATION 期間が経過した後、定常状態動作でのチャネル 1 の過電流保護 ($I_{OCP}$) スレッショルドを決定します。<br>注:CAP_CHRG_CH1 = 00 の並列モードでサポートされる ILIMIT_SET_CH1 の最大値は 20A です。<br>0h = 10A<br>1h = 12.5A<br>2h = 15A<br>3h = 17.5A<br>4h = 20A<br>5h = 22.5A<br>6h = 25A<br>その他の設定はサポートされていません。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.14 CH1_CONFIG レジスタ (オフセット = 10h) [リセット = C002h]

CH1_CONFIG を表 8-28 に示します。

概略表に戻ります。

**表 8-28. CH1_CONFIG レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | VSNS_DIS_CH1 | R/W | 1h | このビットは、チャネル 1 の VOUT VSNS ADC 機能が有効かどうかを決定します。<br>0h = CH1 VOUT VSNS ADC 機能が有効<br>1h = CH1 VOUT VSNS ADC 機能が無効 |
| 14 | VDS_SNS_DIS_CH1 | R/W | 1h | このビットは、チャネル 1 の VDS_SNS ADC 機能が有効化されるかどうかを決定します。<br>0h = CH1 VDS_SNS ADC 機能が有効<br>1h = CH1 VDS_SNS ADC 機能が無効 |
| 13 | ISNS_DIS_CH1 | R/W | 0h | このビットは、チャネル 1 の ISNS ADC 機能が有効化されるかどうかを決定します。<br>0h = CH1 ISNS ADC 機能が有効<br>1h = CH1 ISNS ADC 機能が無効 |
| 12-11 | 予約済み | R/W | 0h | 予約済み |
| 10 | ISNS_SCALE_CH1 | R/W | 0h | このビットは、ADC への入力に対するチャネル 1 ISNS の電圧スケーリングを決定します。<br>注:8x 電圧スケーリング オプションは、OL_ON_EN_CH1 = 1 モードで、かつ I2T が無効 (I2T_EN_CH1 = 0) の場合にのみ使用することを推奨します。I2T が有効 (I2T_EN_CH1 = 1) かつ ISNS_SCALE_CH1 = 1 の場合、8x 電圧スケーリングが I2T アルゴリズムに適用されます。適用されると、異なる I2T トリップ スレッショルドが提供され、低い I2T スレッショルドでチャネルがオフになる可能性があります。<br>0h = ADC の入力電圧スケールは 1x<br>1h = ADC の入力電圧スケールは 8x |
| 9 | OL_ON_EN_CH1 | R/W | 0h | このビットは、より低い出力電流をより正確に測定するために、チャネル 1 がより高い RON とより低い KSNS 値でモードに移行するかどうかを決定します。<br>注:I2T を無効化した場合 (I2T_EN_CH1 = 0) のみ OL_ON_EN_CH1 = 1 モードを使用することを推奨します。I2T が有効 (I2T_EN_CH1 = 1) かつ OL_ON_EN_CH1 = 1 の場合、低い $K_{SNS2}$ が I2T アルゴリズムに適用され、異なる I2T トリップ スレッショルドを提供し、低い I2T スレッショルドでチャネルをオフにする可能性があります。デバイスがこのモードに移行できるのは、チャネルに既存のフォルトがなく、出力電流が $I_{ENTRY_OL_ON}$ を下回っている場合のみです。<br>0h = KSNS1 比と RON = RON<br>1h = KSNS2 比と RON = RON_OL |
| 8-7 | OL_SVBB_BLANK_CH1 | R/W | 0h | これらのビットは、チャネル 1 のオフ状態での開放負荷または VBB への短絡フォルトのブランキング時間を決定します。<br>0h = ブランキング時間は 0.4ms<br>1h = ブランキング時間は 1.0ms<br>2h = ブランキング時間は 2.0ms<br>3h = ブランキング時間は 4.0ms |
| 6-5 | OL_PU_STR_CH1 | R/W | 0h | これらのビットは、オフ状態開放負荷検出回路の VOUT1 のプルアップ電流 (I_pu) を決定します。<br>0h = I_pu は 26.5µA<br>1h = I_pu は 60µA<br>2h = I_pu は 127µA<br>3h = I_pu は 260µA |

Copyright © 2025 Texas Instruments Incorporated

**表 8-28. CH1_CONFIG レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 4-3 | OL_SVBB_EN_CH1 | R/W | 0h | これらのビットは、開放負荷と電源への短絡の検出を有効にするために使用されます。<br>ビットを 10 に設定するとプルアップがオンになり、出力コンパレータにより、オフ状態で開放負荷または電源への短絡が発生するかどうかを確認します。OL_OFF_CH1 = 1 の場合、電源への短絡か開放負荷フォルトのいずれかが存在しています。<br>その後、ビットを 01 に設定してプルダウンをオンにし、オフ状態の開放負荷と電源への短絡を区別することができます。<br>電源への短絡がある場合は SHRT_VBB_CH1 = 1 です。ない場合は SHRT_VBB_CH1 = 0 で開放負荷が存在しています。<br>上記の手順については、「スイッチ無効化の検出」セクションを参照してください<br>0h=ディセーブル<br>1h = 出力プルダウンを有効にして、短絡と開放負荷からの電源とを区別します。<br>2h = VBB 電源から出力へのプルアップを有効にして、開放負荷とバッテリへの短絡のどちらかが存在するかを検出します。<br>3h = 出力コンパレータのみが有効。外部スイッチとプルアップ / プルダウンを使用して、開放負荷または電源への短絡を検出します。 |
| 2 | LATCH_CH1 | R/W | 0h | このビットは、過電流またはサーマル シャットダウン イベントが発生した後に、チャネル 1 が自動再試行するか、ラッチオフするかを決定します。<br>0h = tRETRY が失効し THYS に達すると、チャネル 1 は自動再試行を行います<br>1h = SW_STATE レジスタが再度書き込まれるまで、チャネル 1 はラッチ オフされます |
| 1-0 | SLRT_CH1 | R/W | 2h | これらのビットは、チャネル 1 のオンとオフのスルー レートを決定します。<br>0h = 0.14V/µs<br>1h = 0.2V/µs<br>2h = 0.25V/µs<br>3h = 0.32V/µs |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.15 ADC_RESULT_CH1_I レジスタ (オフセット = 11h) [リセット = F000h]

ADC_RESULT_CH1_I を表 8-29 に示します。

概略表に戻ります。

**表 8-29. ADC_RESULT_CH1_I レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-12 | 予約済み | R | Fh | 予約済み |
| 11 | ISNS_SCALE_EFF_CH1 | R | 0h | このビットは、変換に使用される電圧スケーリング係数を示します。<br>0h = 1x ISNS1 電圧スケーリング<br>1h = 8x ISNS1 電圧スケーリング |
| 10 | ISNS_RDY_CH1 | R | 0h | ADC 変換が最後の読み取り以降に新しくなっていることを確認します。<br>0h = ADC 値は更新されていません<br>1h = ADC 値は最後の読み取り以降に準備が完了しています |
| 9-0 | ADC_RESULT_CH1_I | R | 0h | CH1 の電流の変換からの ADC の結果 (10 ビット) |

Copyright © 2025 Texas Instruments Incorporated

### 8.5.16 ADC_RESULT_CH1_T レジスタ (オフセット = 12h) [リセット = F800h]

ADC_RESULT_CH1_T を表 8-30 に示します。

概略表に戻ります。

**表 8-30. ADC_RESULT_CH1_T レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-11 | 予約済み | R | 1Fh | 予約済み |
| 10 | TSNS_RDY_CH1 | R | 0h | このビットは、前回の読み取り以降に、チャネル 1 の TSNS 変換の新しい ADC 結果が利用可能かどうかを示します<br>0h = ADC 値は更新されていません<br>1h = ADC 値は最後の読み取り以降に準備が完了しています |
| 9-0 | ADC_RESULT_CH1_T | R | 0h | チャネル 1 の FET 温度の変換からの 10 ビット ADC の結果 (TSNS) |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.17 ADC_RESULT_CH1_V レジスタ (オフセット = 13h) [リセット = F800h]

ADC_RESULT_CH1_V を表 8-31 に示します。

概略表に戻ります。

**表 8-31. ADC_RESULT_CH1_V レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-11 | 予約済み | R | 1Fh | 予約済み |
| 10 | VSNS_RDY_CH1 | R | 0h | このビットは、最後の読み取り以降に、チャネル 1 の VOUT 電圧 (VSNS) 変換に対応する新しい ADC 結果が利用可能かどうかを示します<br>0h = ADC 値は更新されていません<br>1h = ADC 値は最後の読み取り以降に準備が完了しています |
| 9-0 | ADC_RESULT_CH1_V | R | 0h | チャネル 1 の VOUT 電圧 (VSNS) の変換からの 10 ビット ADC の結果 |

Copyright © 2025 Texas Instruments Incorporated

### 8.5.18 ADC_RESULT_CH1_VDS レジスタ (オフセット = 14h) [リセット = F800h]

ADC_RESULT_CH1_VDS を表 8-32 に示します。

概略表に戻ります。

**表 8-32. ADC_RESULT_CH1_VDS レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-11 | 予約済み | R | 1Fh | 予約済み |
| 10 | VDSSNS_RDY_CH1 | R | 0h | このビットは、最後の読み取り以降に、チャネル 1 の VDS 電圧 (VDSSNS) 変換に対応する新しい ADC 結果が利用可能かどうかを示します<br><br>0h = ADC 値は更新されていません<br>1h = ADC 値は最後の読み取り以降に準備が完了しています |
| 9-0 | ADC_RESULT_CH1_VDS | R | 0h | チャネル 1 の VDS 電圧 (VDSSNS) の変換からの 10 ビット ADC の結果 |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.19 I2T_CONFIG_CH1 レジスタ (オフセット = 15h) [リセット = 0000h]

I2T_CONFIG_CH1 を表 8-33 に示します。

概略表に戻ります。

**表 8-33. I2T_CONFIG_CH1 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-14 | TCLDN_CH1 | R/W | 0h | これらのビットは、チャネル 1 の I2T シャットダウン後のクールダウン時間 (またはリトライ時間) を設定します。<br>注:0x0 の設定を使用する場合、チャネルは I2T のシャットダウン後、リトライなしでオフのままになります。この設定でリトライするには、ビットを 0.8s、2.0s、4.0s のオプションに変更し、デバイスが I2T シャットダウン後に再試行できるようにします。<br>0h = 無制限のクールダウン<br>1h = 0.8s<br>2h = 2.0s<br>3h = 4.0s |
| 13-11 | 予約済み | R/W | 0h | 予約済み |
| 10-9 | SWCL_DLY_TMR_CH1 | R/W | 0h | これらのビットは、IOUT 電流が設定された時間にわたって ISWCL レベルを連続的に超過すると、チャネル 1 がシャットダウンするタイマを設定します。<br>0h = 0.2ms<br>1h = 0.4ms<br>2h = 1.0ms<br>3h = 2.0ms |
| 8-7 | ISWCL_CH1 | R/W | 0h | これらのビットは、チャネル 1 の遅延ターンオフ電流センス値 ($I_{SWCL,700}$) を設定します。IOUT 電流が $I_{SWCL,700}$ の値を超えるとタイマがスタートし、電流が SWCL_DLY_TMR_CH1 の期間中 $I_{SWCL,700}$ スレッショルドを超えるとチャネルをオフにします。<br>このスレッショルドは、電流センス飽和値 ($I_{OUT_SAT} = K_{SNS1} * I_{SNS_SAT}$) よりも低く設定する必要があります。以下の電流スレッショルドでは、$R_{SNS}$ = 700Ω と仮定しています。異なる $R_{SNS}$ 値に基づいて新しい $I_{SWCL,700}$ スレッショルドを計算する場合、次の式を使用できます。<br>$I_{SWCL,ADJ} = I_{SWCL,700} * (700 / R_{SNS})$<br>0h = 19.55A<br>1h = 17.6A<br>2h = 16.05A<br>3h = 13.3A |

Copyright © 2025 Texas Instruments Incorporated

**表 8-33. I2T_CONFIG_CH1 レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 6-3 | I2T_TRIP_CH1 | R/W | 0h | これらのビットは、チャネル 1 の I2T トリップ値を設定します。<br>注:参考として、I2T トリップ値の式を以下に示します。<br>$I2T = (I_{OUT1}{}^2 - NOM_CUR_CH1^2) * t$<br>以下の値は、$R_{SNS}$ = 700Ω と想定しています。異なる $R_{SNS}$ 値に基づいて新しい I2T トリップ値を計算する場合、次の式を使用できます。<br>$I2T_{ADJ} = I2T_{700} * (700 / R_{SNS})^2$<br>注:デバイスがクール ダウン期間中の場合、I2T_TRIP_CH1 の値は変更できません。<br>0h = 8.8 A2s<br>1h = 13.1 A2s<br>2h = 26.3 A2s<br>3h = 39.4 A2s<br>4h = 52.5 A2s<br>5h = 65.6 A2s<br>6h = 78.8 A2s<br>7h = 91.9 A2s<br>8h = 109.4 A2s<br>9h = 126.9 A2s<br>Ah = 144.4 A2s<br>Bh = 166.3 A2s<br>Ch = 192.5 A2s<br>Dh = 218.8 A2s<br>Eh = 262.5 A2s<br>Fh = 350 A2s |
| 2-0 | NOM_CUR_CH1 | R/W | 0h | これらのビットは、I2T 機能のチャネル 1 の電流の公称値を設定します。チャネル 1 で I2T 機能が有効の場合、この値を上回ると、デバイスは I2T 累積モードに移行します。<br>以下の公称電流値では、$R_{SNS}$ = 700Ω と想定しています。異なる $R_{SNS}$ 値に基づいて新しい I2T トリップ値を計算する場合、次の式を使用できます。<br>$NOM_CUR_CH1_{ADJ} = NOM_CUR_CH1_{700} * (700 / R_{SNS})$<br>注:デバイスがクール ダウン期間中の場合、NOM_CUR_CH1 の値は変更できません。<br>0h = 4.0A<br>1h = 5.0A<br>2h = 5.7A<br>3h = 6.5A<br>4h = 7.5A<br>5h = 9.0A<br>6h = 12.0A<br>7h = 15.0A |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.20 FLT_STAT_CH2 レジスタ (オフセット = 16h) [リセット = E000h]

FLT_STAT_CH2 を表 8-34 に示します。

概略表に戻ります。

**表 8-34. FLT_STAT_CH2 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-13 | 予約済み | R | 7h | 予約済み |
| 12 | I2T_MOD_CH2 | R | 0h | このビットは、チャネル 2 が I2T ループにあり、累積しているか、またはデクリメントしているかを示します。チャネル 2 が I2T ループ内にない場合、値は 0 になります。<br>0h = I2T がオフになっているか、チャネルが I2T ループ内にありません<br>1h = チャネルが I2T ループ内で累積しています |
| 11 | LATCH_STAT_CH2 | R | 0h | このビットは、過電流保護またはサーマル シャットダウン フォルトが原因でチャネル 2 がラッチ オフされたかどうかを示します。<br>チャネルがオフになった後再びオンになると、このビットはクリアされます。<br>注:I2T が原因でシャットダウンが発生した場合、このビットは信号を送信しません。<br>0h = このチャネルはラッチ オフされていません<br>1h = このチャネルは現在ラッチ オフされています |
| 10 | FLT_CH2 | R | 0h | このビットは、チャネル 2 が現在自動再試行の待機期間中 (2ms)、ラッチオフ中、または I2T クールダウン中であるかどうかを示します。<br>0h = 現在このチャネルは、自動再試行の待機期間、ラッチオフ状態、I2T クールダウン中になっていません<br>1h = 現在このチャネルは、自動再試行の待機期間、ラッチオフ状態、または I2T クールダウン中です |
| 9 | SW_STATE_STAT_CH2 | R | 0h | このビットは、SPI が機能している限り、デバイスがどのモードになっていても、チャネル 2 の現在の状態を示します。<br>0h = CH2 はオフ<br>1h = CH2 はオン |
| 8 | VOUT_ERR_CH2 | R | 0h | このビットは、有効時のチャネル 2 出力のドレイン - ソース間電圧 (VDS) が、INRUSH_DURATION 期間の後、2V 未満であるかどうかを示します。<br>0h = このチャネルが有効の場合、出力電圧は正常 (< 2V) です<br>1h = このチャネルが有効化または無効化されるはずの場合、出力電圧は不正確 (> 2V) になります |
| 7 | I2T_FLT_CH2 | RC | 0h | このビットは、チャネル 2 で I2T フォルトが発生したかどうかを示します。このビットが I2T フォルトを示すためには、I2T_EN を 1 に設定する必要があります。<br>FLT_STAT_CH2 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされ、クリアされます。<br>注:このビットは、過電流保護やサーマル シャットダウン フォルトを示しません。<br>0h = I2T フォルトが発生していないか、I2T が有効ではありません<br>1h = このチャネルで I2T フォルトが発生しました |
| 6 | LPM_WAKE_CH2 | RC | 0h | このビットは、原因 (負荷ステップや短絡) に関係なく、チャネル 2 が MANUAL_LPM から復帰する原因であったかどうかを示します。<br>0h = デバイスは LPM ではありません。または、このチャネルはデバイスが MANUAL_LPM モードから復帰した原因ではありません<br>1h = このチャネルは、デバイスが MANUAL_LPM から復帰した原因です |

Copyright © 2025 Texas Instruments Incorporated

**表 8-34. FLT_STAT_CH2 レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 5 | THERMAL_SD_CH2 | RC | 0h | このビットは、チャネル 2 でサーマル シャットダウン フォルトが発生したかどうかを示します。<br>FLT_STAT_CH2 レジスタが読み取られ、チャネル温度がサーマル シャットダウンのヒステリシス スレッショルドを下回ると、フォルトはラッチされ、クリアされます。<br>0h = このチャネルでサーマル シャットダウン フォルトは発生していません<br>1h = このチャネルでサーマル シャットダウン フォルトが発生しました |
| 4 | ILIMIT_CH2 | RC | 0h | このビットは、チャネル 2 で過電流保護フォルトが発生したかどうかを示します。<br>FLT_STAT_CH2 レジスタが読み取られ、フォルト条件が解消されると、フォルトがラッチされクリアされます。<br>0h = このチャネルで過電流保護フォルトは発生していません<br>1h = このチャネルで過電流保護フォルトが発生しました |
| 3 | SHRT_VBB_CH2 | RC | 0h | このビットは、オフ状態のチャネル 2 で VBB への短絡が発生したかどうかを示します。<br>チャネル 2 の出力は、RSHRT_VBB 内部抵抗によってプルダウンされます。<br>FLT_STAT_CH2 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされ、クリアされます<br>0h = オフ状態での VBB 短絡フォルトは発生していません。または、オフ状態での VBB への短絡が有効ではありません<br>1h = このチャネルでオフ状態の VBB への短絡フォルトが発生しました |
| 2 | OL_OFF_CH2 | RC | 0h | このビットは、チャネル 2 でオフ状態の開放負荷があるかどうかを示します。<br>チャネル 2 の出力は、OL_PULLUP_STR 設定によってプル アップされます。<br>FLT_STAT_CH2 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされ、クリアされます<br>0h = このチャネルでオフ状態の開放負荷フォルトは発生していません。またはオフ状態の開放負荷検出が有効ではありません<br>1h = このチャネルでオフ状態の開放負荷フォルトが発生しました |
| 1 | 予約済み | R | 0h | 予約済み |
| 0 | THERMAL_WRN_CH2 | RC | 0h | このビットは、チャネル 2 の FET 温度が過熱警告スレッショルドを上回っているかどうかを示します。<br>FLT_STAT_CH2 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされ、クリアされます<br>0h = このチャネルの FET 温度が過熱警告スレッショルドを下回っています<br>1h = このチャネルの FET 温度が過熱警告スレッショルドを上回っています |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.21 PWM_CH2 レジスタ (オフセット = 17h) [リセット = F000h]

PWM_CH2 を表 8-35 に示します。

概略表に戻ります。

**表 8-35. PWM_CH2 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-12 | 予約済み | R | Fh | 予約済み |
| 11-9 | PWM_FREQ_CH2 | R/W | 0h | PWM 周波数を設定します<br><br>0h = 0.8Hz<br>1h = 3.4Hz<br>2h = 13.8Hz<br>3h = 111Hz<br>4h = 221Hz<br>5h = 425Hz<br>6h = 885Hz<br>7h = 1770Hz |
| 8-1 | PWM_DTY_CH2 | R/W | 0h | これらのビットは、チャネル 2 の PWM 動作のデューティ サイクルを設定するために使用されます。各ビットは約 0.39% のデューティ サイクルであり、直線的に最大 100% のデューティ サイクルに対応できます。 |
| 0 | PWM_EN_CH2 | R/W | 0h | このビットは、チャネル 2 の PWM 動作を有効にします。<br><br>注：PWM > 200µs のデューティ サイクル。FLT_STAT_CH2 レジスタでフォルトが発生する場合。PWM モードは、CAP_CHRG_CH2[1:0] = 0 の場合のみ有効化できます<br><br>0h = 出力は CH2_ON 設定に追従します。<br>1h = CH2_ON が High の場合、デューティ サイクルおよび周波数に応じて出力が PWM に設定されます |

Copyright © 2025 Texas Instruments Incorporated

### 8.5.22 ILIM_CONFIG_CH2 レジスタ (オフセット = 18h) [リセット = 0066h]

ILIM_CONFIG_CH2 を表 8-36 に示します。

概略表に戻ります。

**表 8-36. ILIM_CONFIG_CH2 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-14 | 予約済み | R/W | 0h | 予約済み |
| 13-12 | CAP_CHRG_CH2 | R/W | 0h | これらのビットは、電源オン後の突入期間中の容量性充電モードを設定します。<br>CAP_CHRG_CH1=00 の場合、これらのビットは、INRUSH_DURATION_CH1 期間中、過電流保護スレッショルドとしてプログラムされます。スレッショルドに達すると、チャネルは直ちにオフになります。<br>CAP_CHRG_CH1 = 10 の場合、これらのビットは電流制限レギュレーション スレッショルドとしてプログラムされます。このチャネルは、電流制限モードに入り、出力が完全に充電されるまで、またはサーマル シャットダウン イベントが発生するまで、電流のレギュレーションを継続します。<br>注：INRUSH_DURATION の期間中、PWM と I2T は有効化されません。<br>0h = コンデンサ充電モードなし、INRUSH_LIMIT_CH1 ビットで IOCP 値を設定<br>1h = サポートされていません<br>2h = 電流制限レギュレーション モード、INRUSH_LIMIT_CH1 ビットで値を設定<br>3h = サポートされていません |
| 11 | I2T_EN_CH2 | R/W | 0h | チャネル 2 の I2T 機能を有効化します。I2T の有効化は、チャネルの有効化前または有効化中に実行可能ですが、I2T の計算は突入期間の終了後に開始されます。<br>0h = I2T 機能が有効化されていません<br>1h = I2T 機能が有効化されます |
| 10-8 | INRUSH_DURATION_CH2 | R/W | 0h | これらのビットは、INRUSH_LIMIT_CH2 レベルが適用される突入期間を決定します。<br>0h = 0ms<br>1h = 2ms<br>2h = 4ms<br>3h = 6ms<br>4h = 10ms<br>5h = 20ms<br>6h = 50ms<br>7h = 100ms |


Copyright © 2025 Texas Instruments Incorporated

**表 8-36. ILIM_CONFIG_CH2 レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 7-4 | INRUSH_LIMIT_CH2 | R/W | 6h | これらのビットは、CAP_CHRG_CH1 ビットで設定される、さまざまな容量性充電モードにおけるチャネル 2 の突入電流制限を決定します。<br>コンデンサ充電モード (CAP_CHRG_CH2 = 00) を使用しない場合、値は次のようになります。<br>0h = 10A<br>1h = 12.5A<br>2h = 15A<br>3h = 17.5A<br>4h = 20A<br>5h = 22.5A<br>6h = 25A<br>電流レギュレーション モード (CAP_CHRG_CH2 = 10) を使用する場合、値は以下のようになります。<br>0h = 1.5A<br>1h = 1.85A<br>2h = 2.25A<br>3h = 2.6A<br>4h = 3A<br>5h = 3.4A<br>6h = 3.8A<br>7h = 5A<br>8h = 6.25A<br>9h = 7.5A<br>Ah = 8.7A<br>Bh = 10.1A<br>CH = 11.3A<br>その他の設定はサポートされていません。 |
| 3-0 | ILIMIT_SET_CH2 | R/W | 6h | これらのビットは、INRUSH_DURATION 期間が経過した後、定常状態動作でのチャネル 2 の過電流保護 ($I_{OCP}$) スレッショルドを決定します。<br>0h = 10A<br>1h = 12.5A<br>2h = 15A<br>3h = 17.5A<br>4h = 20A<br>5h = 22.5A<br>6h = 25A<br>その他の設定はサポートされていません。 |

Copyright © 2025 Texas Instruments Incorporated

### 8.5.23 CH2_CONFIG レジスタ (オフセット = 19h) [リセット = C002h]

CH2_CONFIG を表 8-37 に示します。

概略表に戻ります。

**表 8-37. CH2_CONFIG レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15 | VSNS_DIS_CH2 | R/W | 1h | このビットは、チャネル 2 の VOUT VSNS ADC 機能が有効かどうかを決定します。<br>0h = CH2 VOUT VSNS ADC 機能が有効<br>1h = CH2 VOUT VSNS ADC 機能が無効 |
| 14 | VDSSNS_DIS_CH2 | R/W | 1h | このビットは、チャネル 2 の VDS_SNS ADC 機能が有効化されるかどうかを決定します。<br>0h = CH2 VDS_SNS ADC 機能が有効<br>1h = CH2 VDS_SNS ADC 機能が無効 |
| 13 | ISNS_DIS_CH2 | R/W | 0h | このビットは、チャネル 2 の ISNS ADC 機能が有効化されるかどうかを決定します。<br>0h = CH2 ISNS ADC 機能が有効<br>1h = CH2 ISNS ADC 機能が無効 |
| 12-11 | 予約済み | R/W | 0h | 予約済み |
| 10 | ISNS_SCALE_CH2 | R/W | 0h | このビットは、ADC への入力に対するチャネル 2 ISNS の電圧スケーリングを決定します。<br>注:8x 電圧スケーリング オプションは、OL_ON_EN_CH2 = 1 モードで、かつ I2T が無効 (I2T_EN_CH2 = 0) の場合にのみ使用することを推奨します。I2T が有効 (I2T_EN_CH2 = 1) かつ ISNS_SCALE_CH2 = 1 の場合、8x 電圧スケーリングが I2T アルゴリズムに適用されます。適用されると、異なる I2T トリップ スレッショルドが提供され、低い I2T スレッショルドでチャネルがオフになる可能性があります。<br>0h = ADC の入力電圧スケールは 1x<br>1h = ADC の入力電圧スケールは 8x |
| 9 | OL_ON_EN_CH2 | R/W | 0h | このビットは、より低い出力電流をより正確に測定するために、チャネル 2 がより高い RON とより低い KSNS 値でモードに移行するかどうかを決定します。<br>注:I2T を無効化した場合 (I2T_EN_CH2 = 0) のみ OL_ON_EN_CH2 = 1 モードを使用することを推奨します。I2T が有効 (I2T_EN_CH2 = 1) かつ OL_ON_EN_CH2 = 1 の場合、低い $K_{SNS2}$ が I2T アルゴリズムに適用され、異なる I2T トリップ スレッショルドを提供し、低い I2T スレッショルドでチャネルをオフにする可能性があります。デバイスがこのモードに移行できるのは、チャネルに既存のフォルトがなく、出力電流が $I_{ENTRY_OL_ON}$ を下回っている場合のみです。<br>0h = KSNS1 比と RON = RON<br>1h = KSNS2 比と RON = RON_OL |
| 8-7 | OL_SVBB_BLANK_CH2 | R/W | 0h | これらのビットは、チャネル 2 のオフ状態での開放負荷または VBB への短絡フォルトのブランキング時間を決定します。<br>0h = ブランキング時間は 0.4ms<br>1h = ブランキング時間は 1.0ms<br>2h = ブランキング時間は 2.0ms<br>3h = ブランキング時間は 4.0ms |
| 6-5 | OL_PU_STR_CH2 | R/W | 0h | これらのビットは、オフ状態開放負荷検出回路の VOUT1 のプルアップ電流 (I_pu) を決定します。<br>0h = I_pu は 26.5µA<br>1h = I_pu は 60µA<br>2h = I_pu は 127µA<br>3h = I_pu は 260µA |


Copyright © 2025 Texas Instruments Incorporated

**表 8-37. CH2_CONFIG レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 4-3 | OL_SVBB_EN_CH2 | R/W | 0h | これらのビットは、開放負荷と電源への短絡の検出を有効にするために使用されます。<br>ビットを 10 に設定するとプルアップがオンになり、出力コンパレータにより、オフ状態で開放負荷または電源への短絡が発生するかどうかを確認します。OL_OFF_CH2 = 1 の場合、電源への短絡か開放負荷フォルトのいずれかが存在しています。<br>その後、ビットを 01 に設定してプルダウンをオンにし、オフ状態の開放負荷と電源への短絡を区別することができます。<br>電源への短絡がある場合は SHRT_VBB_CH2 = 1 です。ない場合は SHRT_VBB_CH2 = 0 で開放負荷が存在しています。<br>上記の手順については、「スイッチ無効化の検出」セクションを参照してください<br>0h=ディセーブル<br>1h = 出力プルダウンをオンにして、短絡と開放負荷からの電源とを区別します。<br>2h = VBB 電源から出力へのプルアップをオンにして、開放負荷とバッテリへの短絡のどちらかが存在するかを検出します。<br>3h = 出力コンパレータが有効。外部スイッチとプルアップ / プルダウンを使用して、開放負荷または電源への短絡を検出します。 |
| 2 | LATCH_CH2 | R/W | 0h | このビットは、過電流またはサーマル シャットダウン イベントが発生した後に、チャネル 2 が自動再試行するか、ラッチオフするかを決定します。<br>0h = tRETRY が失効し THYS に達すると、チャネル 2 は自動再試行を行います<br>1h = SW_STATE レジスタが再度書き込まれるまで、チャネル 2 はラッチオフされます |
| 1-0 | SLRT_CH2 | R/W | 2h | これらのビットは、チャネル 2 のオンとオフのスルー レートを決定します。<br>0h = 0.14V/µs<br>1h = 0.2V/µs<br>2h = 0.25V/µs<br>3h = 0.32V/µs |

Copyright © 2025 Texas Instruments Incorporated

### 8.5.24 ADC_RESULT_CH2_I レジスタ (オフセット = 1Ah) [リセット = F000h]

ADC_RESULT_CH2_I を表 8-38 に示します。

概略表に戻ります。

**表 8-38. ADC_RESULT_CH2_I レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-12 | 予約済み | R | Fh | 予約済み |
| 11 | ISNS_SCALE_EFF_CH2 | R | 0h | このビットは、変換に使用される電圧スケーリング係数を示します。<br>0h = 1x ISNS2 電圧スケーリング<br>1h = 8x ISNS2 電圧スケーリング |
| 10 | ISNS_RDY_CH2 | R | 0h | ADC 変換が最後の読み取り以降に新しくなっていることを確認します。<br>0h = ADC 値は更新されていません<br>1h = ADC 値は最後の読み取り以降に準備が完了しています |
| 9-0 | ADC_RESULT_CH2_I | R | 0h | CH2 の電流の変換からの ADC の結果 (10 ビット) |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.25 ADC_RESULT_CH2_T レジスタ (オフセット = 1Bh) [リセット = F800h]

ADC_RESULT_CH2_T を表 8-39 に示します。

概略表に戻ります。

**表 8-39. ADC_RESULT_CH2_T レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-11 | 予約済み | R | 1Fh | 予約済み |
| 10 | TSNS_RDY_CH2 | R | 0h | このビットは、前回の読み取り以降に、チャネル 2 の TSNS 変換の新しい ADC 結果が利用可能かどうかを示します<br>0h = ADC 値は更新されていません<br>1h = ADC 値は最後の読み取り以降に準備が完了しています |
| 9-0 | ADC_RESULT_CH2_T | R | 0h | チャネル 2 の FET 温度の変換からの 10 ビット ADC の結果 (TSNS) |

Copyright © 2025 Texas Instruments Incorporated

### 8.5.26 ADC_RESULT_CH2_V レジスタ (オフセット = 1Ch) [リセット = F800h]

ADC_RESULT_CH2_V を表 8-40 に示します。

概略表に戻ります。

**表 8-40. ADC_RESULT_CH2_V レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-11 | 予約済み | R | 1Fh | 予約済み |
| 10 | VSNS_RDY_CH2 | R | 0h | このビットは、最後の読み取り以降に、チャネル 2 の VOUT 電圧 (VSNS) 変換に対応する新しい ADC 結果が利用可能かどうかを示します<br>0h = ADC 値は更新されていません<br>1h = ADC 値は最後の読み取り以降に準備が完了しています |
| 9-0 | ADC_RESULT_CH2_V | R | 0h | チャネル 2 の VOUT 電圧 (VSNS) の変換からの 10 ビット ADC の結果 |


Copyright © 2025 Texas Instruments Incorporated

### 8.5.27 ADC_RESULT_CH2_VDS レジスタ (オフセット = 1Dh) [リセット = F800h]

ADC_RESULT_CH2_VDS を表 8-41 に示します。

概略表に戻ります。

**表 8-41. ADC_RESULT_CH2_VDS レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-11 | 予約済み | R | 1Fh | 予約済み |
| 10 | VDSSNS_RDY_CH2 | R | 0h | このビットは、最後の読み取り以降に、チャネル 2 の VDS 電圧 (VDSSNS) 変換に対応する新しい ADC 結果が利用可能かどうかを示します<br>0h = ADC 値は更新されていません<br>1h = ADC 値は最後の読み取り以降に準備が完了しています |
| 9-0 | ADC_RESULT_CH2_VDS | R | 0h | チャネル 2 の VDS 電圧 (VDSSNS) の変換からの 10 ビット ADC の結果 |

Copyright © 2025 Texas Instruments Incorporated

### 8.5.28 I2T_CONFIG_CH2 レジスタ (オフセット = 1Eh) [リセット = 0000h]

I2T_CONFIG_CH2 を表 8-42 に示します。

概略表に戻ります。

**表 8-42. I2T_CONFIG_CH2 レジスタのフィールドの説明**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 15-14 | TCLDN_CH2 | R/W | 0h | これらのビットは、チャネル 2 の I2T シャットダウン後のクールダウン時間 (またはリトライ時間) を設定します。<br>注:0x0 の設定を使用する場合、チャネルは I2T のシャットダウン後、リトライなしでオフのままになります。この設定でリトライするには、ビットを 0.8s、2.0s、4.0s のオプションに変更し、デバイスが I2T シャットダウン後に再試行できるようにします。<br>0h = 無制限のクールダウン<br>1h = 0.8s<br>2h = 2.0s<br>3h = 4.0s |
| 13-11 | 予約済み | R/W | 0h | 予約済み |
| 10-9 | SWCL_DLY_TMR_CH2 | R/W | 0h | これらのビットは、$I_{OUT}$ 電流が設定された時間にわたって ISWCL レベルを連続的に超過すると、チャネル 2 がシャットダウンするタイマを設定します。<br>0h = 0.2ms<br>1h = 0.4ms<br>2h = 1.0ms<br>3h = 2.0ms |
| 8-7 | ISWCL_CH2 | R/W | 0h | これらのビットは、チャネル 2 の遅延ターンオフ電流センス値 ($I_{SWCL,700}$) を設定します。$I_{OUT}$ 電流が $I_{SWCL,700}$ の値を超えるとタイマがスタートし、電流が SWCL_DLY_TMR_CH2 の期間中 $I_{SWCL,700}$ スレッショルドを超えているとチャネルをオフにします。<br>このスレッショルドは、電流センス飽和値 ($I_{OUT_SAT} = K_{SNS1} * I_{SNS_SAT}$) よりも低く設定する必要があります。以下の電流スレッショルドでは、$R_{SNS}$ = 700Ω と仮定しています。異なる $R_{SNS}$ 値に基づいて新しい $I_{SWCL,700}$ スレッショルドを計算する場合、次の式を使用できます。<br>$I_{SWCL,ADJ} = I_{SWCL,700} * (700 / R_{SNS})$<br>0h = 19.55A<br>1h = 17.6A<br>2h = 16.05A<br>3h = 13.3A |


Copyright © 2025 Texas Instruments Incorporated

**表 8-42. I2T_CONFIG_CH2 レジスタのフィールドの説明 (続き)**

| ビット | フィールド | タイプ | リセット | 説明 |
|---|---|---|---|---|
| 6-3 | I2T_TRIP_CH2 | R/W | 0h | これらのビットは、チャネル 2 の I2T トリップ値を設定します。<br>注:参考として、I2T トリップ値の式を以下に示します。<br>$I2T = (I_{OUT2}{}^2 - NOM_CUR_CH2^2) * t$<br>以下の値は、$R_{SNS}$ = 700Ω と想定しています。異なる $R_{SNS}$ 値に基づいて新しい I2T トリップ値を計算する場合、次の式を使用できます。<br>$I2T_{ADJ} = I2T_{700} * (700 / R_{SNS})^2$<br>注:デバイスがクール ダウン期間中の場合、I2T_TRIP_CH2 の値は変更できません。<br>0h = 8.8 A2s<br>1h = 13.1 A2s<br>2h = 26.3 A2s<br>3h = 39.4 A2s<br>4h = 52.5 A2s<br>5h = 65.6 A2s<br>6h = 78.8 A2s<br>7h = 91.9 A2s<br>8h = 109.4 A2s<br>9h = 126.9 A2s<br>Ah = 144.4 A2s<br>Bh = 166.3 A2s<br>Ch = 192.5 A2s<br>Dh = 218.8 A2s<br>Eh = 262.5 A2s<br>Fh = 350 A2s |
| 2-0 | NOM_CUR_CH2 | R/W | 0h | これらのビットは、I2T 機能のチャネル 2 の電流の公称値を設定します。チャネル 2 で I2T 機能が有効の場合、この値を上回ると、デバイスは I2T 累積モードに移行します。<br>以下の公称電流値では、$R_{SNS}$ = 700Ω と想定しています。異なる $R_{SNS}$ 値に基づいて新しい I2T トリップ値を計算する場合、次の式を使用できます。<br>$NOM_CUR_CH2_{ADJ} = NOM_CUR_CH2_{700} * (700 / R_{SNS})$<br>注:デバイスがクール ダウン期間中の場合、NOM_CUR_CH2 の値は変更できません。<br>0h = 4.0A<br>1h = 5.0A<br>2h = 5.7A<br>3h = 6.5A<br>4h = 7.5A<br>5h = 9.0A<br>6h = 12.0A<br>7h = 15.0A |

Copyright © 2025 Texas Instruments Incorporated

# 9 アプリケーションと実装

**注**

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 9.1 アプリケーション情報

図 9-1 と 図 9-2 に、TPS2HCS10A-Q1 と TPS2HCS10B-Q1 の代表的なアプリケーションの回路図を示します。すべての標準的な外付け部品が含まれています。このセクションでは、一般的に必要なアプリケーション機能を実装する際の検討事項について説明します。この回路は、入力電源の逆極性保護を想定していないため、保護のための追加部品が必要です。

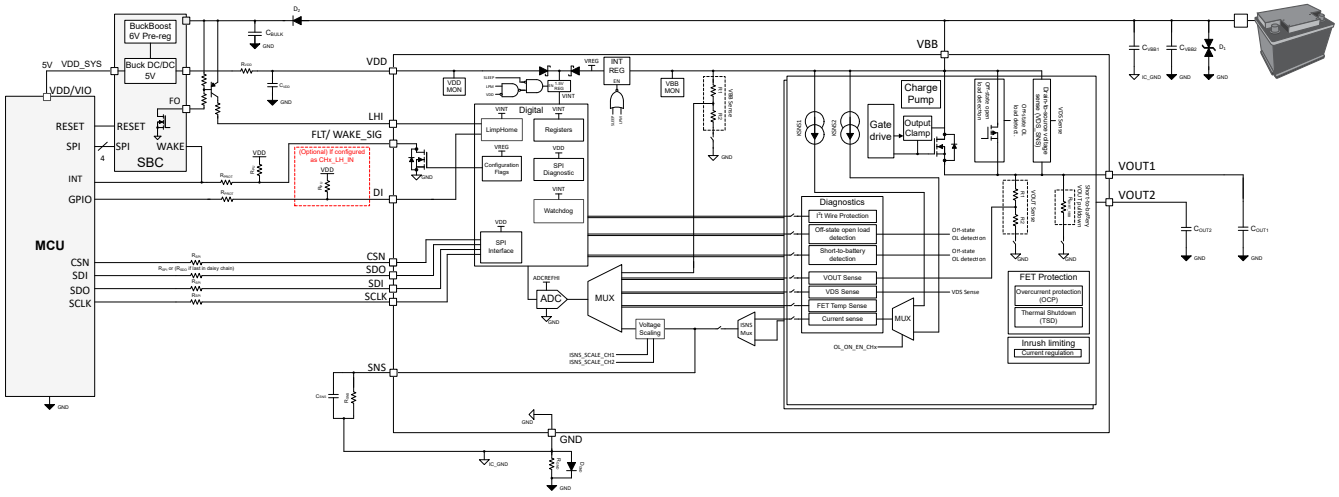



**図 9-1. システム図 - TPS2HCS10A-Q1**


Copyright © 2025 Texas Instruments Incorporated

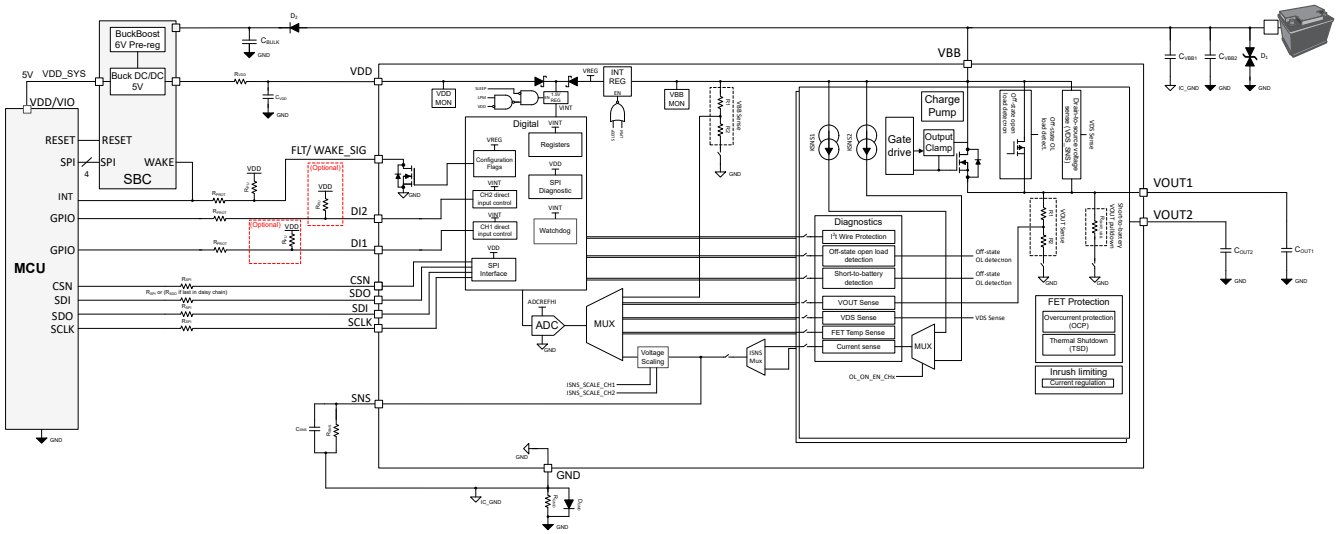



**図 9-2. システム図 - TPS2HCS10B-Q1**

グランド保護ネットワークでは、デバイスのグランドは、マイコンのグランドに対してオフセットされます。コントローラ (MCU) I/O や TPS2HCS10B-Q1 デバイスへの VDD 電源入力には、同じ電源 (5V (推奨) または 3.3V) のソースを使用する必要があります。

**表 9-1. 推奨外付け部品**

| 部品 | 標準値 | 目的 |
|---|---|---|
| $R_{SPI}$ | 22 Ω | (オプション) SPI ピンの EMI またはその他の過渡制限用。 |
| $R_{SDO}$ | 768 Ω | これより大きい値にすると、MCU VDD への総抵抗が 768Ω に増大し、グランド損失検出が可能になります |
| $R_{PROT}$ | 10kΩ | マイコンとデバイスの GPIO ピンを保護します |
| $R_{PU}$ | 4.7kΩ | プルアップ抵抗 |
| $R_{SNS}$ | 0.2 ～ 1.5kΩ | センス電流を、内部 ADC 入力のセンス電圧に変換します |
| $C_{SNS}$ | 1 - 4.7nF | ADC 入力用のローパス フィルタ。 |
| $D_1$ | +/-36V | 電圧過渡抑制のため (モジュールに 1 つ) |
| $D_{GND}$ | BAS21 / ショットキー ダイオード | 本デバイスの通常動作時に $R_{GND}$ の両端の電圧降下を制限します。低順方向電圧ダイオードが推奨されます。VDD が 3.3V の場合はショットキー ダイオードが推奨です。**(注:** 低 Iq で推奨される VDD 動作は 5V です) |
| $R_{GND}$ | 4.7kΩ | マイナスの出力電圧変動中はグランド電位を維持します |
| $R_{VDD}$ | 10 Ω | IC への VDD 電源入力の立ち上がり / 立ち下がり速度を制限します。 |
| $C_{VDD}$ | 470nF | システム グランドに対する VDD 電源電圧の安定性。 |
| $C_{VBB1}$ | 1 ～ 4.7nF を IC_GND に接続 | (オプション) 電磁波を改善します。 |
| $C_{VBB2}$ | モジュール GND に 100 ～ 2200nF を追加 | 入力電源を安定させ、低周波ノイズをフィルタリングします。 |
| $C_{OUTx}$ | 22nF～100nF | 電圧過渡のフィルタリング (ESD、ISO7637-2 など)。<br>MANUAL_LPM、CAP_CHRG_CHx = 10、および / または OL_ON_EN = 1 モードを使用し、出力にフライバック ダイオードを使用していない場合、MANUAL_LPM、CAP_CHRG_CHx = 10、OL_ON_EN = 1 モードでの短絡保護の推奨コンデンサ値は 100nF です。出力にフライバック ダイオードを使用した場合の推奨コンデンサ値は 22nF です。 |

## 9.2 代表的なアプリケーション

このアプリケーション例では、TPS2HCS10-Q1 デバイス使用して、入力容量の大きい ECU 負荷に電力を供給する方法を示します。これは、このデバイスを収容する多くのアプリケーションの一例です。

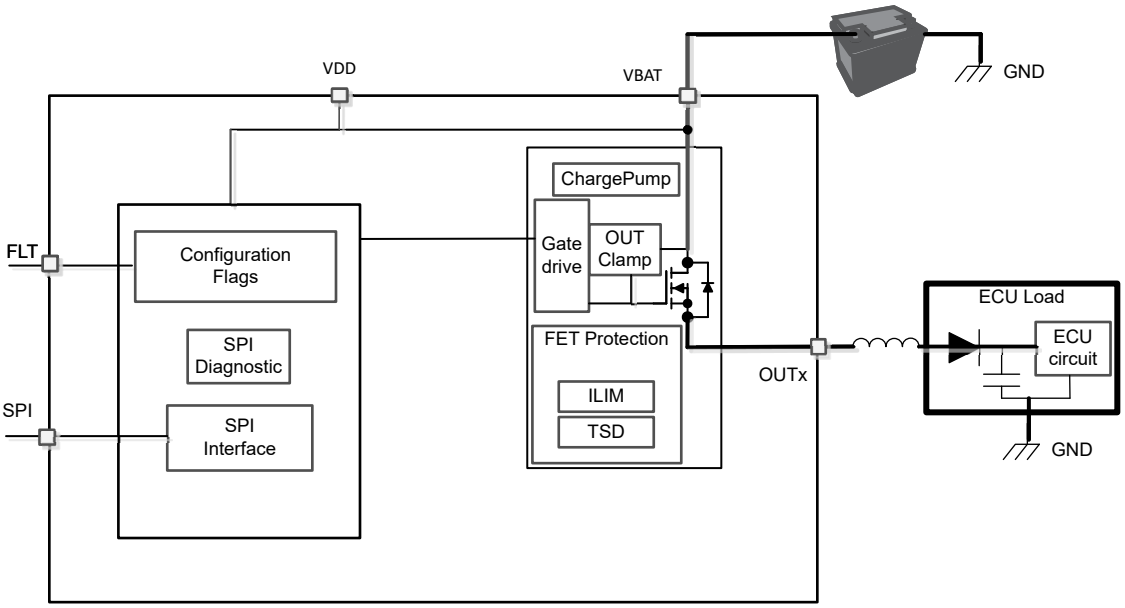



**図 9-3. 入力容量を使用して ECU 負荷に電力を供給するブロック図**

### *9.2.1 設計要件*

この設計例では、表 9-2 に示すパラメータを使用します。

**表 9-2. 設計パラメータ**

| 設計パラメータ | ケース 1 |
|---|---|
| $V_{BB}$ 範囲 | 8V ～ 16V |
| ECU 負荷の入力容量 | 600µF |
| 充電フェーズ中の最大並列負荷 | 3A |
| 充電時間 | 2ms |
| 周囲温度 | 85°C |

### *9.2.2 詳細な設計手順*

#### 9.2.2.1 熱に関する注意事項

負荷容量の充電中、出力電圧が上昇します。この期間中、ドレイン - ソース間電圧が大きくなるため、FET の消費電力も増大します。消費電力とそれによるシリコン接合部温度の上昇により、デバイスがサーマル シャットダウンに達する前に、充電可能な容量が制限されます。一般に、充電速度 (電流) が低いほど、充電可能な容量の値は大きくなります。ただし、使用する充電電流が小さくなると、充電時間は長くなります。ここで考慮するアプリケーション事例では、FET の接合部温度がサーマル シャットダウン スレッショルドに達しないことを想定しています。

#### 9.2.2.2 容量性充電モードの設定

2 つのチャネルの設定パラメータは、ILIM_CONFIG_CHx レジスタにあります。このデバイスは、充電フェーズ中に大きな負荷電流が発生する場合に向けて設計された定電流充電モードを備えています。電流制限レギュレーションの値は、ILIM_CONFIG_CHx レジスタの INRUSH_LIMIT_CHx ビット ([7:4]) で設定します。INRUSH_DURATION_CHx ビットは、最悪のケースで想定される容量性充電時間が、プログラムされた突入時間よりも短くなるように設定する必要があります。各アプリケーションの場合に対して推奨されるビット設定の選択を以下の表に示します。


Copyright © 2025 Texas Instruments Incorporated

**表 9-3. 容量性充電モード パラメータの設定**

| ILIM_CONFIG_CHx レジスタのビット フィールド | ケース 1 |
|---|---|
| CAP_CHRG_CHx | 0x02h |
| INRUSH_DURATION_CHx | 0x02h |
| INRUSH_LIMIT_CHx | 0x06h |

### *9.2.3 アプリケーション曲線*

**$I_{CL_REG}$ - 容量性充電の例 (CAP_CHRG_CHx = 10)**

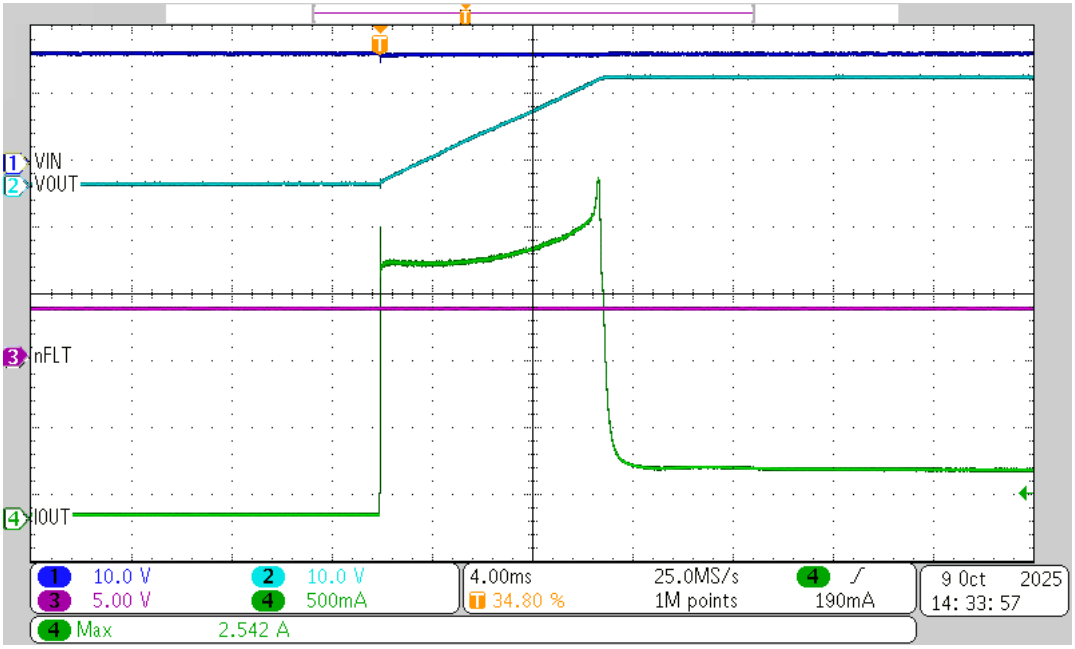



**図 9-4. $I_{CL_REG}$ - 電流制限レギュレーション、$V_{BB}$ = 16V、$T_{AMB}$ = 25C、INRUSH_DURATION = 0x6 (50ms) 、INRUSH_LIMIT_CHx = 0x6 (1.9A)、CLOAD = 1mF、Rload = 50Ω**

## 9.3 電源に関する推奨事項

このデバイスは、12V の車載システムで動作するように設計されています。このデバイスは、通常 12V のバッテリ入力と、低電圧電源入力 (5V または 3.3V) の 2 つの電源入力で動作します。これらの入力は、通常 DC/DC コンバータ (バッテリからの静止電流を減らすために推奨されます) か、バッテリから IC に流れる LDO 外部電流で生成されます。

デバイスの GND ピンを基準として $V_{BB}$ ピンで測定される公称電源電圧範囲は 6V ～ 18V です。この範囲であれば、デバイスは セクション 6.5 の表に記載されている完全なパラメータ仕様を満たします。また、本デバイスは、負荷ダンプなど、この範囲を超える電圧過渡に耐えるよう設計されています。公称電圧範囲外で動作するが動作電圧範囲内である場合、デバイスは通常の機能動作を示します。

**表 9-4. 動作電圧範囲**

| $V_{BB}$ 電圧範囲 | 注 |
|---|---|
| 3V ～ 6V | コールド クランクやスタート / ストップなど、12V 未満の車載用バッテリ動作を拡張。デバイスは完全に機能し、保護されていますが、RON、電流センス精度、過電流スレッショルド、タイミング パラメータなど一部のパラメータが仕様から外れる場合があります。*電気的特性*で個々の仕様をチェックし、該当する電圧範囲を確認してください。 |

**表 9-4. 動作電圧範囲 (続き)**

| $V_{BB}$ 電圧範囲 | 注 |
|---|---|
| 6V ～ 18V | 公称電源電圧。すべてのパラメータ仕様が適用されます。このデバイスは、MANUAL_LPM、AUTO_LPM、OL_ON_EN = 1 モードで最大 18V の短絡保護があります。 |
| 18V ～ 24V | ダブル バッテリなど、12V 以上の車載用バッテリ動作を拡張。デバイスは完全に機能し、保護されていますが、RON、電流センス精度、過電流スレッショルド、タイミング パラメータなど一部のパラメータが仕様から外れる場合があります。電気的特性で個々の仕様をチェックし、該当する電圧範囲を確認してください。本デバイスは、125°C までの短絡保護があります。 |
| 24V ～ 35V | 負荷ダンプ電圧。デバイスは動作可能で、パルスは損傷を受けることなく通過しますが、短絡に対する保護はありません。 |

## 9.4 レイアウト

### *9.4.1 レイアウトのガイドライン*

最適な熱性能を得るためには、露出パッドを大きな銅箔面に接続してください。PCB 上面では、以下のレイアウト例に示すように、流し込みがパッケージ寸法を超えて広がることがあります。これに加えて、一つ以上の内部 PCB 層や最下層に VBB プレーンを配置することを推奨します。ビアを使用して、これらのプレーンを上側の VBB 流し込みに接続する必要があります。

TI は、マイクロコントローラに接続する IO 信号がビアを経由して、次に内部の PCB 層を通過することを推奨します。

$R_{SNS}$ および $C_{SNS}$ 部品は、SNS ピンの近くに配置する必要があります。逆接保護のためにグランド ネットワークを使用する場合、内部 ADC による正確な電流検出を行うために、$R_{SNS}$ および $C_{SNS}$ は SNS ピンから IC_GND ネットに接続する必要があります。

設計で $C_{VBB1}$ を使用する場合は、デバイスの VBB ピンおよび GND ピンのできるだけ近くに配置します。逆バッテリ保護のためにグランド ネットワークを使用する場合は、$C_{VBB1}$ コンデンサを VBB ネットから IC_GND ネットに接続する必要があります。

### *9.4.2 レイアウト例*

以下の 図 9-5 と図 9-6 に、それぞれ GND ネットワークを使用した場合と使用しない場合の PCB レイアウトの例を示します。TI は、マイクロコントローラに接続する IO 信号がビアを経由して、次に内部の PCB 層を通過することを推奨します。TPS2HCS10B-Q1 デバイスの場合、以下の例の DI ピンおよび LHI ピンは、PCB レイアウトをそれぞれ DI1 および DI2 ピンに置き換えます。


Copyright © 2025 Texas Instruments Incorporated

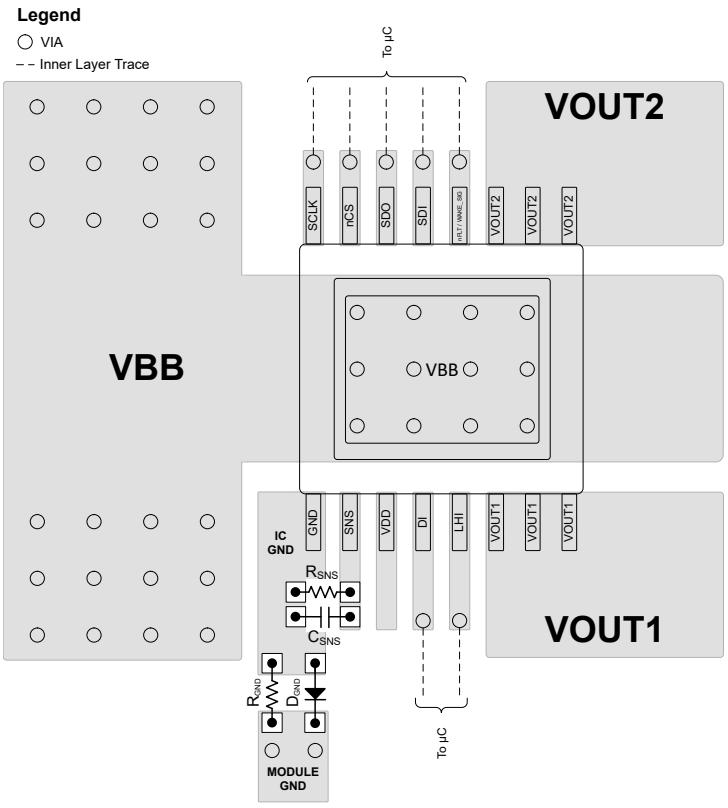



**図 9-5. グランド ネットワークを使ったレイアウト例**

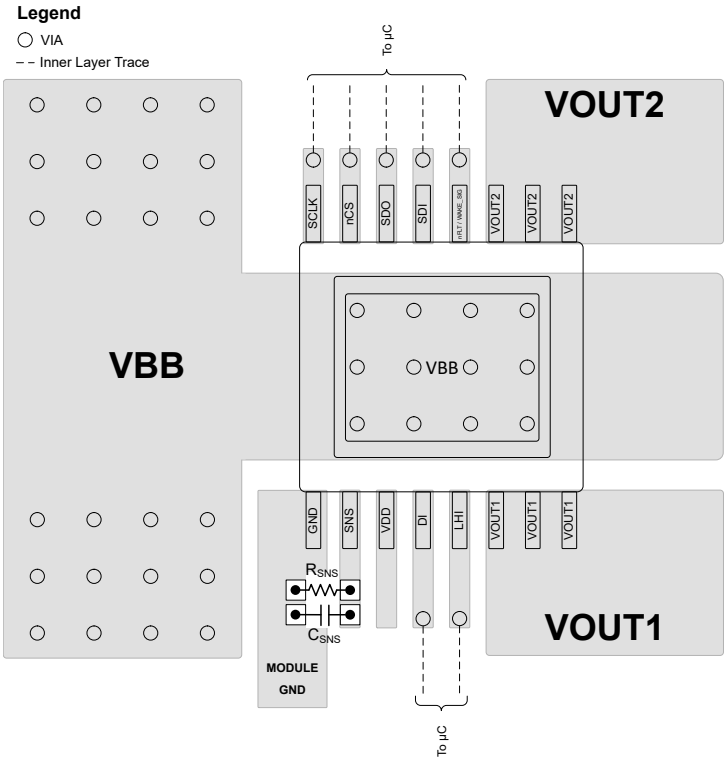



**図 9-6. グランド ネットワークを使わないレイアウト例**

# 10 デバイスおよびドキュメントのサポート

## 10.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

## 10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

## 10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

# 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision * (October 2023) to Revision A (October 2025) | Page |
|---|---|
| • 「事前情報」から「量産データ」に変更 | 1 |
| • 注文可能な TPS2HCS10B-Q1 のプレビューを追加 | 4 |
| • *電気的特性表*を変更 | 8 |
| • $I_{OCP}$ の最大値を 70A から 25A に変更 | 8 |
| • *電気的特性表*を変更 | 14 |
| • 「*機能ブロック図*」セクションを変更 | 21 |
| • *保護メカニズム*セクションを変更 | 21 |
| • *診断メカニズム*セクションを変更 | 33 |
| • *並列モード動作* セクションを追加しました。 | 40 |
| • *デバイスの機能モード* セクションを変更 | 42 |
| • *状態図*の図を変更 | 42 |
| • *レジスタマップ* セクションを変更 | 66 |
| • 「*アプリケーション曲線*」セクションを変更 | 108 |


Copyright © 2025 Texas Instruments Incorporated

• 「レイアウト例」セクションを変更.....112

## 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| TPS2HCS10AQPWPRQ1 | Active | Production | HTSSOP (PWP) \| 16 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-3-260C-168 HR | -40 to 125 | 2HCS10A |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

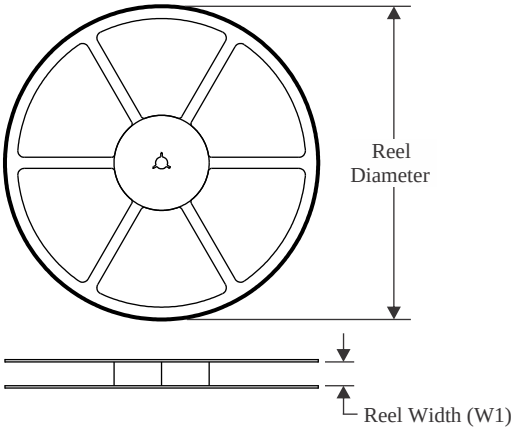
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

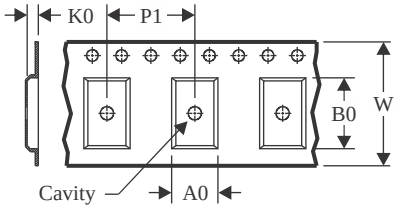
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

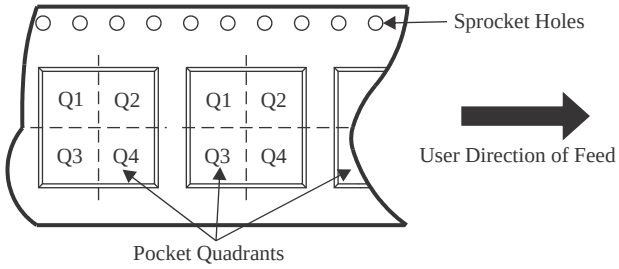



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

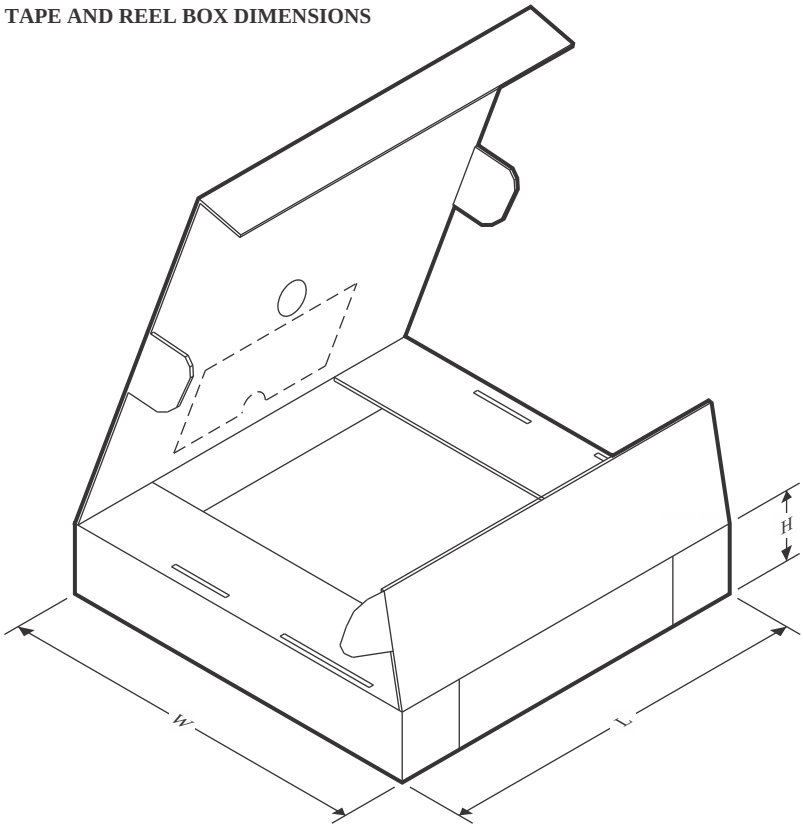
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| TPS2HCS10AQPWPRQ1 | HTSSOP | PWP | 16 | 3000 | 330.0 | 12.4 | 6.9 | 5.6 | 1.6 | 8.0 | 12.0 | Q1 |

TAPE AND REEL BOX DIMENSIONS

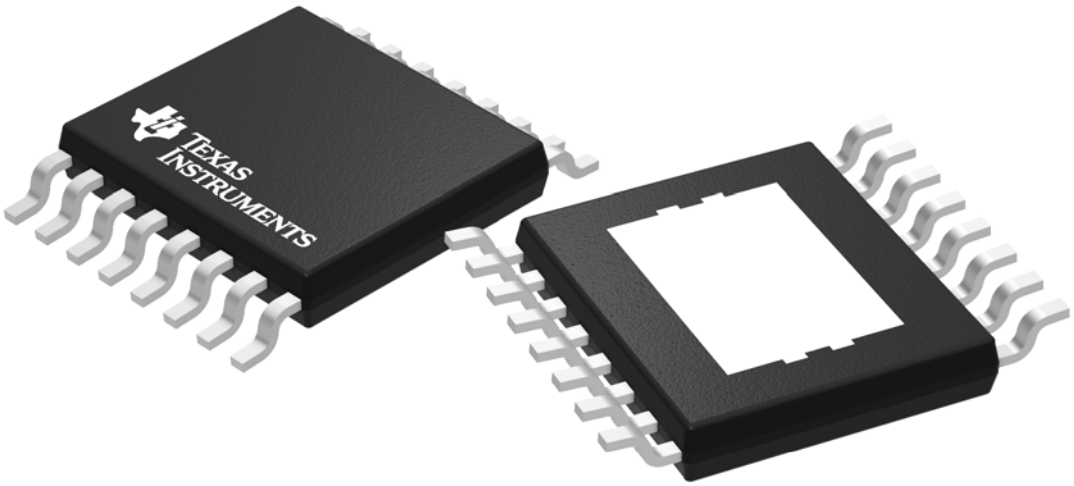



*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| TPS2HCS10AQPWPRQ1 | HTSSOP | PWP | 16 | 3000 | 353.0 | 353.0 | 32.0 |

# PWP 16 PowerPAD™ TSSOP - 1.2 mm max height

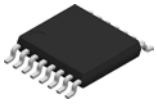
PLASTIC SMALL OUTLINE




Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

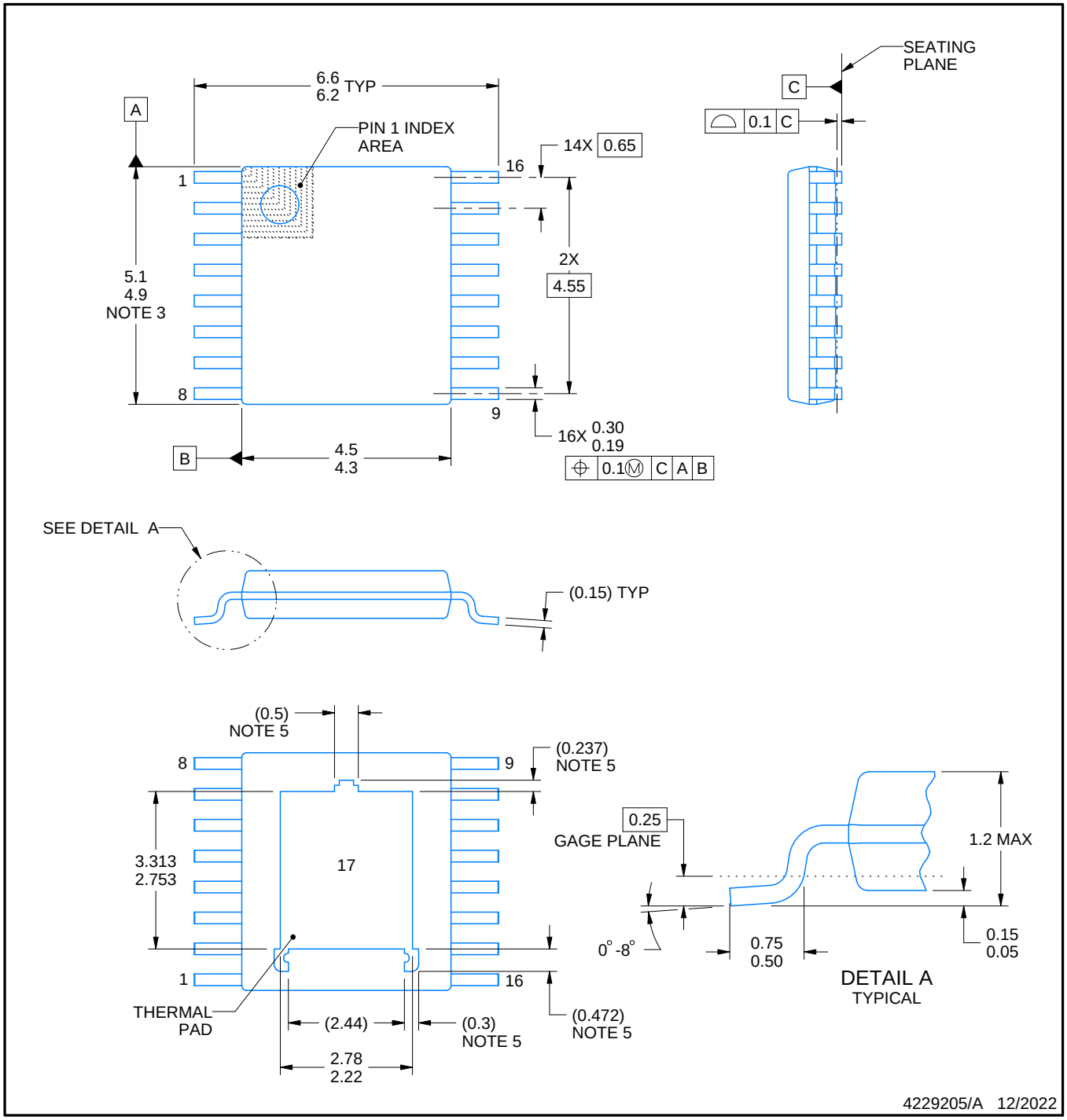
# PACKAGE OUTLINE

## PWP0016P



## PowerPAD™ TSSOP - 1.2 mm max height

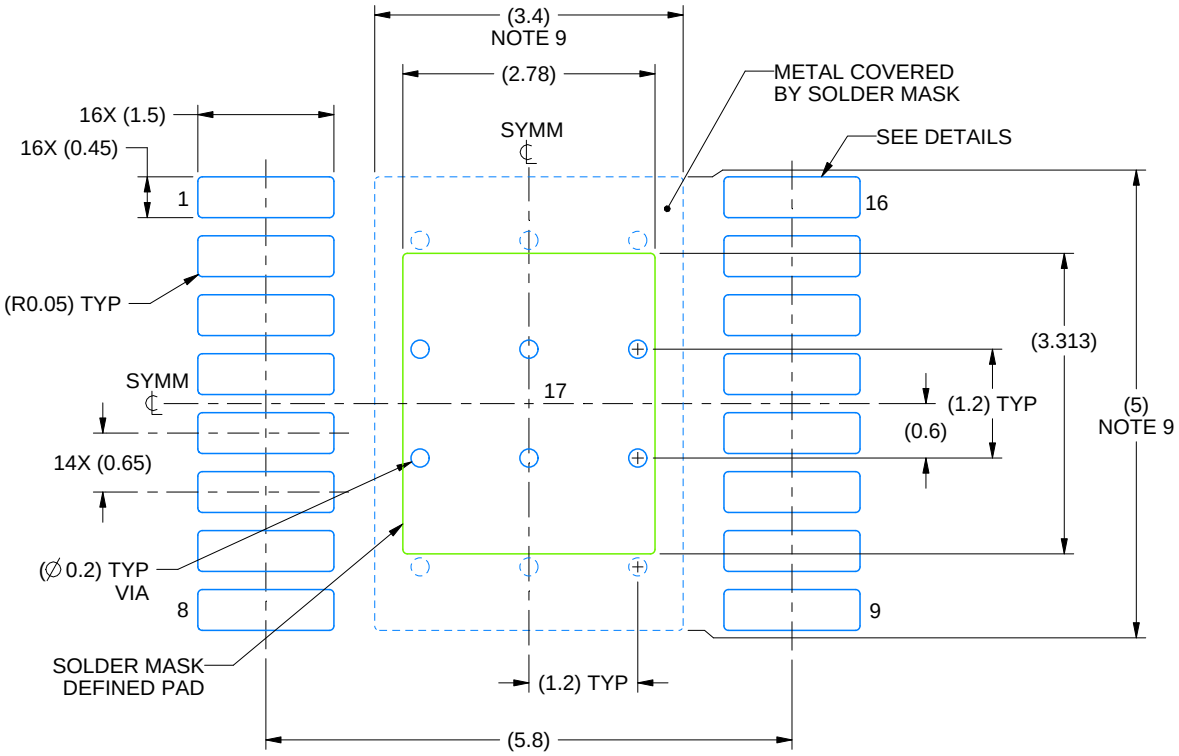
SMALL OUTLINE PACKAGE



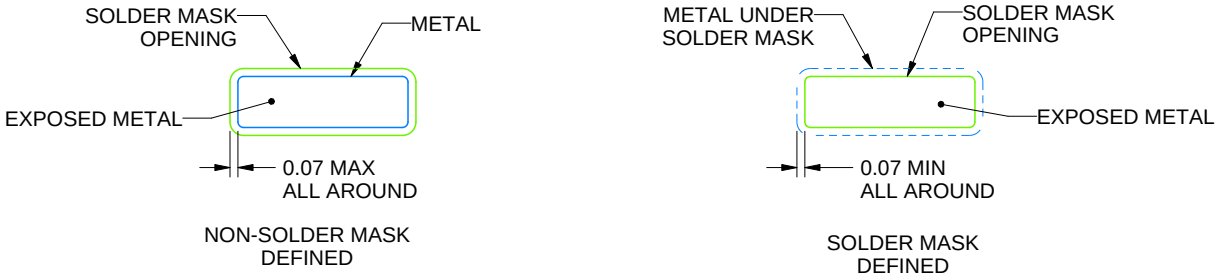

PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

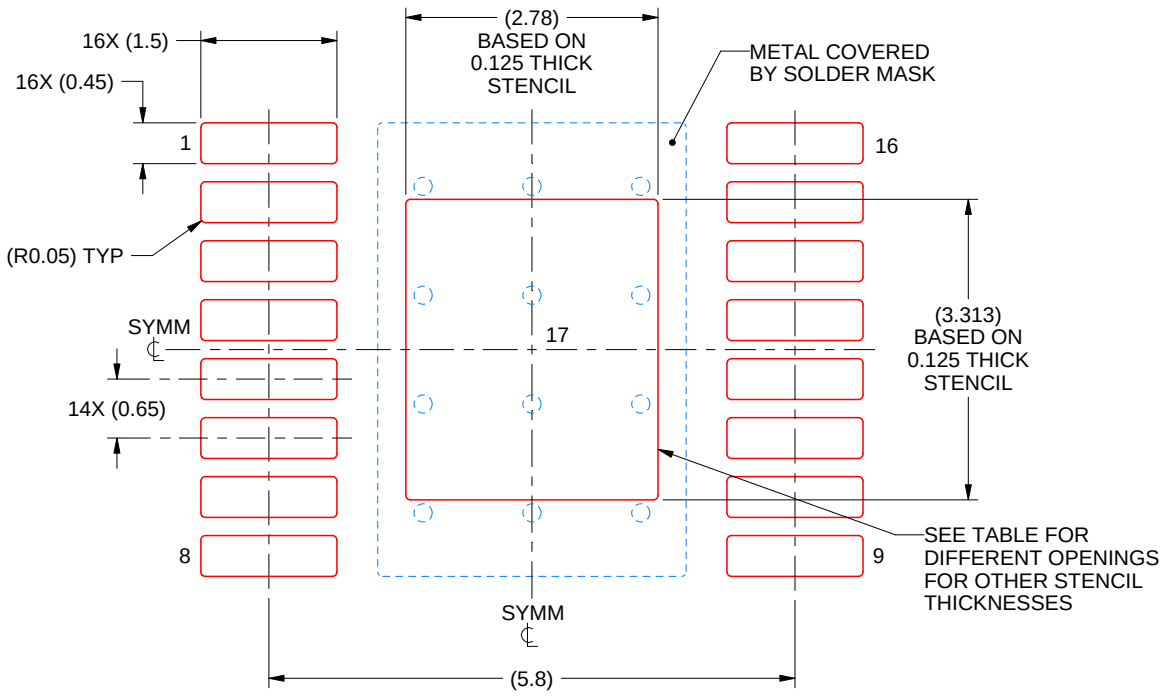



SOLDER MASK DETAILS

4229205/A 12/2022

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

| STENCIL THICKNESS | SOLDER STENCIL OPENING |
|---|---|
| 0.1 | 3.11 X 3.70 |
| 0.125 | 2.78 X 3.31 (SHOWN) |
| 0.15 | 2.54 X 3.02 |
| 0.175 | 2.35 X 2.80 |

4229205/A 12/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月