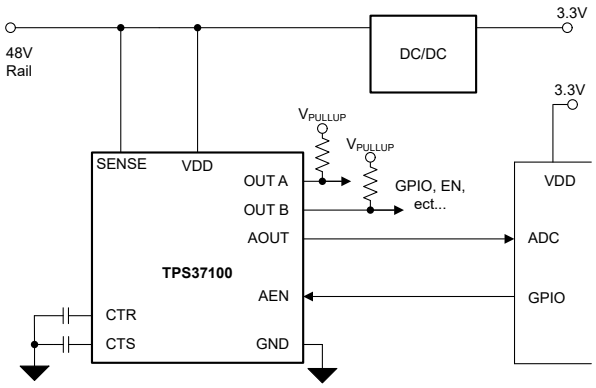
TPS37100、TPS37102、105V、5µA、ウィンドウ、過電圧または低電圧、電源電圧測定用のバッファ内蔵スーパーバイザ

1 特長

- 機能安全準拠 (TPS37102 で予定)
  - IEC 61508 システムの設計に役立つ資料
  - SIL 3 までの決定論的対応能力を対象とする
  - SIL 3 までのハードウェア対応能力を対象とする
- 機能安全対応 (TPS37100)
  - 機能安全システムの設計に役立つ資料を利用可能
- 広い電源電圧範囲:3V ～ 105V
- 低い静止電流:5µA
- 高いスレッショルド精度:1.1% (最大)
- SENSE の逆極性保護:-95V
- 24V/48V システム用の高速 UV/OV モニタ:5µs
- イネーブル ピンを使用した電源電圧測定用のバッファ (AOUT) 内蔵
- 固定またはプログラム可能なリリース時間遅延
- 固定またはプログラム可能なセンス時間遅延
- オープンドレイン、アクティブ Low 出力:OUT A および OUT B
- BIST およびラッチは、TPS37102 で利用可能

2 アプリケーション

- アナログ入力モジュール
- CPU (PLC コントローラ)
- サーボ ドライブ制御モジュール
- サーボ ドライブの電力段モジュール
- サーボ ドライブ機能安全モジュール



代表的なアプリケーション回路

3 説明

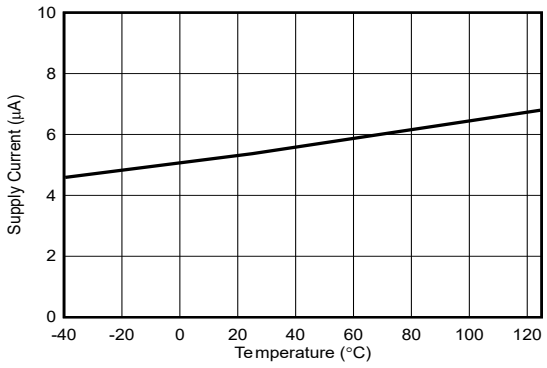
TPS37100 および TPS37102 は、低静止電流 (5µA)、高速な検出時間、電源電圧測定用のバッファ内蔵の 105V 入力電圧スーパーバイザです。このデバイス ファミリは、最大 105V までの電圧またはバッテリーラインに直接接続でき、過電圧 (OV) または低電圧 (UV) 状態を継続的に監視できます。バッテリ電圧過渡により発生する出力の誤ったデアサートを無視するため、幅広いヒステリシス電圧オプションを選択できます。

TPS37100 および TPS37102 には 2 つの出力 (OUT A と OUT B) があり、OV および UV フォルト モニタとして個別に使用されるため、発生した障害に基づいて異なるアクションを実行できます。さらに、AOUT ピンには低減された SENSE ピンの電圧出力があり、電源電圧測定用に ADC でサンプリングされることを意図しています。ユーザーは、選択した注文可能な部品に基づいて、必要なスケーリング係数を選択できます。TPS37102 には起動時に BIST が実装されており、デバイスの健全性を検証するとともに、OUT A にはオプションのラッチ機能も搭載されており、重大な障害が発生したときにシステムを安全な状態に移行するのに役立ちます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(3)
TPS37100	SOT-23 (14) (DYY)	4.1mm × 1.9mm
TPS37102(2)	SOT-23 (14) (DYY)	4.1mm × 1.9mm

(1) パッケージの詳細については、このデータシート末尾の外形図を参照してください。
(2) 製品プレビュー
(3) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



I_{DD} と温度との代表的な関係 (VDD = 48V)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイスの比較.....3
5 ピン構成および機能.....5
6 仕様.....7
6.1 絶対最大定格.....7
6.2 ESD 定格.....7
6.3 推奨動作条件.....7
6.4 熱に関する情報.....7
6.5 電気的特性.....8
6.6 スイッチング特性.....10
6.7 タイミング要件.....10
6.8 タイミング図.....12
6.9 代表的特性.....14
7 詳細説明.....15
7.1 概要.....15
7.2 機能ブロック図.....15
7.3 機能説明.....17
8 アプリケーションと実装.....24
8.1 使用上の注意.....24
8.2 代表的なアプリケーション.....24
8.3 電源に関する推奨事項.....26
8.4 レイアウト.....27
9 デバイスおよびドキュメントのサポート.....29
9.1 ドキュメントの更新通知を受け取る方法.....29
9.2 サポート・リソース.....29
9.3 商標.....29
9.4 静電気放電に関する注意事項.....29
9.5 用語集.....29
10 改訂履歴.....29
11 メカニカル、パッケージ、および注文情報.....29

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

図 4-1 と図 4-2 に、TPS37100 と TPS37102 のデバイスの命名規則を示します。機能、スレッショルド、アナログ出力スケールごとのすべてのデバイスの型番の詳細な内訳については、表 4-1 を参照してください。他のオプションの詳細と提供状況については、TI の販売代理店または TI の E2E™ フォーラムにお問い合わせください。

表 4-1. 入手可能なデバイス

発注用部品名	特長	OV / UV 設定 (1)(2)	OUT A / OUT B 設定	時間遅延	アナログ出力スケール
TPS37100W41DDYYR	アナログ出力	V_{ITP}: 832mV (ADJ) V_{ITN}: 768mV (ADJ) HYST: 1%	OUT A: V_{ITN} & V_{ITP} OUT B: V_{ITN} & V_{ITP}	CTS: 有効 CTR: 有効	0.75

(1) 記載されているパーセンテージはヒステリシスの許容誤差を示します。詳細については、セクション 6.5 を参照してください
(2) ADJ を使用した V_{ITN} または V_{ITP} スレッショルドは、外付け分圧抵抗により設定される調整可能な電圧スレッショルドを示します。スレッショルドの設定方法の詳細については、セクション 7.3.2.1 を参照してください。

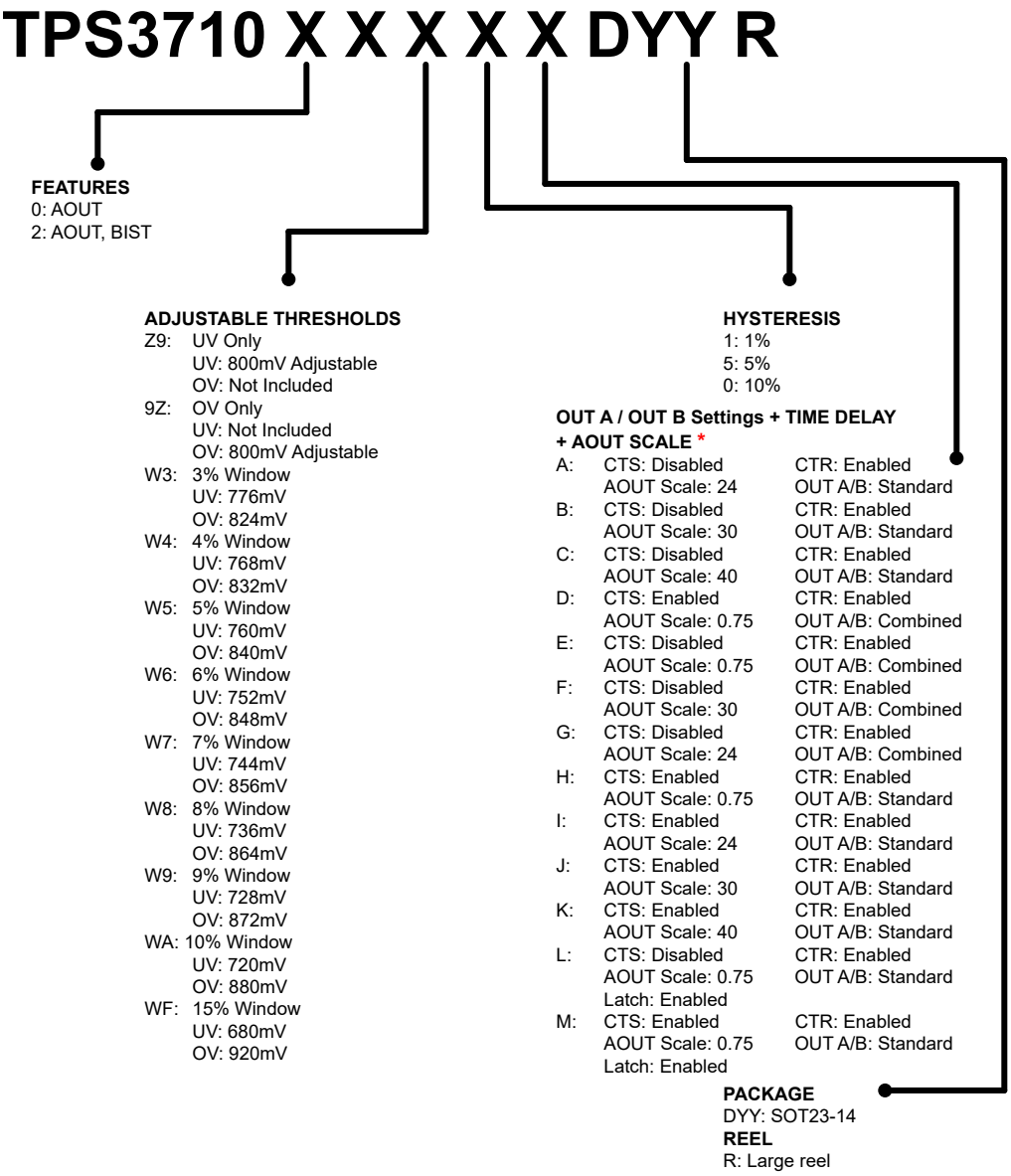


図 4-1. デバイスの命名規則 (可変スレッショルド バリアント)

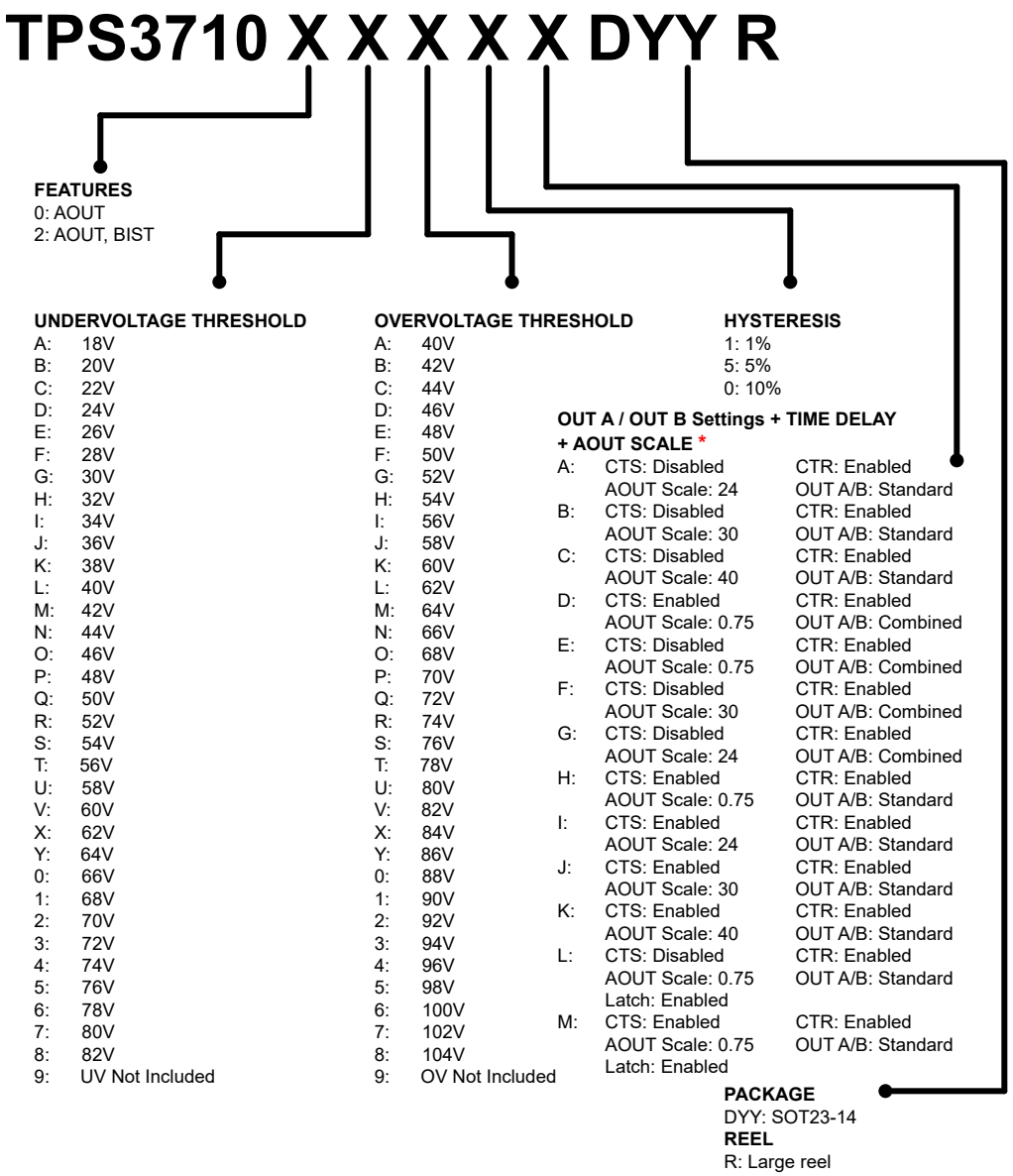


図 4-2. デバイスの命名規則 (固定スレッショルド バリアント)

1. 調整可能な OV または UV のみのオプションのスレッショルドは 800mV です。
2. 可変ウィンドウ オプションのスレッショルドは、1% のヒステリシスのみを使用できます。
3. OV のみで、UV のみの OUT A/B 組み合わせがデフォルトです。ウィンドウは、A/B の組み合わせまたは標準のいずれかです。セクション 7.3.3 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

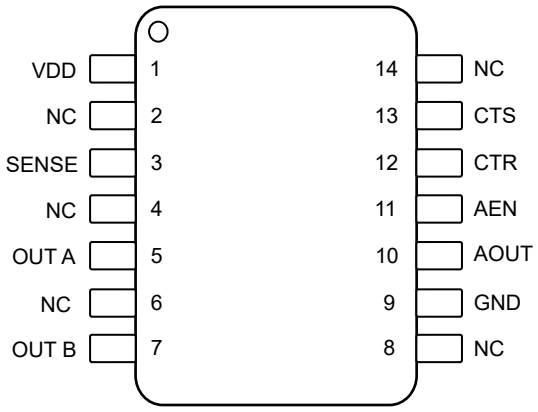


図 5-1. DYY パッケージ
14 ピン SOT-23、TPS37100 (上面図)

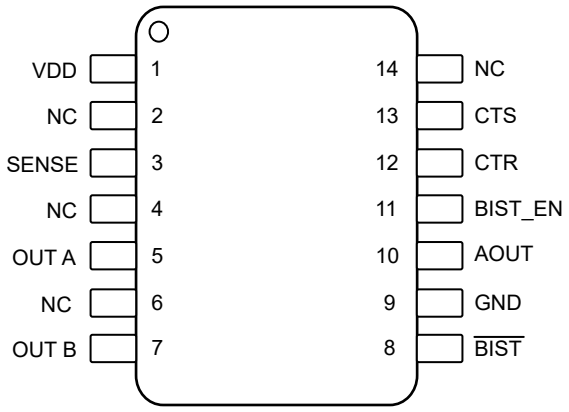


図 5-2. DYY パッケージ
14 ピン SOT-23、TPS37102 (上面図) 製品プレビュー

表 5-1. ピンの機能

ピン	TPS37100	TPS37102	タイプ[1]	説明
名称	番号	番号		
VDD	1	1	I	**入力電源電圧:** 電源電圧ピン。ノイズの多いシステムでは、0.1µF コンデンサを使用して GND にバイパスします。
SENSE	3	3	I	**センス電圧:** このピンは、監視が必要な電源レールに接続します。詳細については、セクション 7.3.2 を参照してください。 検出トポロジ: **過電圧 (OV) または低電圧 (UV) またはウィンドウ (OV + UV)**
OUT A	5	5	O	**出力 A:** OUT A のアサートは、セクション 4 に示す構成によって異なります。過電圧および低電圧動作の詳細については、セクション 7.3.2 を参照してください。 アクティブ Low、オープンドレイン出力には、外付けのプルアップ抵抗が必要です。オープンドレイン出力の詳細については、セクション 7.3.3 を参照してください。 出力トポロジ: **オープンドレイン アクティブ Low**
OUT B	7	7	O	**出力 B:** セクション 4 に示すように、OUT B がアサートされます。 過電圧および低電圧動作の詳細については、セクション 7.3.2 を参照してください。 アクティブ Low、オープンドレイン出力には、外付けのプルアップ抵抗が必要です。オープンドレイン出力の詳細については、セクション 7.3.3 を参照してください。 出力トポロジ: **オープンドレイン アクティブ Low**
$\overline{\text{BIST}}$	-	8	O	**ビルトイン セルフテスト** $\overline{\text{BIST}}$ は、BIST_EN ピンにロジック High 入力が発生するとアサートされ、内部 BIST テストが開始されます。$\overline{\text{BIST}}$ が正常に完了したことを示すため、t_{BIST} の後、BIST は回復します。$\overline{\text{BIST}}$ 中に障害が発生した場合、BIST は t_{BIST} よりも長い時間アサートされたままになります。$\overline{\text{BIST}}$ アクティブ low、オープンドレインリリース出力には、外付けのプルアップ抵抗が必要です。詳細については、セクション 7.3.7 を参照してください。
GND	9	9	-	**グランド。** GND ピンは、基板のグランドに電気的に接続する必要があります。
AOUT	10	10	O	**アナログ出力:** AOUT の出力は、SENSE ピンからスケーリングされた電圧です。TPS37100 は、AEN ピンでアナログ出力をイネーブルまたはディスエーブルにできます。TPS37102 はアナログ出力を有効化または無効化することはできず、これはデフォルト構成です。 出力の安定性を確保するには、AOUT に 0.1µF が必要です。詳細については、セクション 7.3.6 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン	TPS37100	TPS37102	タイプ(1)	説明
名称	番号	番号		
AEN	11	-	I	**アナログ出力イネーブル:**AOUT ピンを有効化また無効化します。ロジック High にすると、AOUT がイネーブルになります。ロジック Low にすると、AOUT がディセーブルになります。AEN には 100kΩ 内部プルダウン抵抗があります。
BIST_EN	-	11	I	**ビルトイン セルフテスト イネーブル:**BIST を開始するには、BIST_EN で立ち上がりエッジ入力が発生する必要があります。セクション 4 に示す構成でラッチがイネーブルのバリアントについては、BIST_EN は、OUT A でラッチをイネーブルまたはディセーブルにします。詳細については、セクション 7.3.7 を参照してください。
CTR	12	12	-	**リリース時間遅延:**CTR 対応出力の OUT A および OUT B に対して、ユーザーが設定可能なリリース時間遅延。外付けのコンデンサを接続すると遅延時間を調整でき、ピンをフローティングにすると最短の遅延となります。詳細については、セクション 7.3.4 を参照してください。
CTS	13	13	-	**センス時間遅延:**CTS 対応出力の OUT A および OUT B での、ユーザーが設定可能な SENSE 時間遅延。外付けのコンデンサを接続すると遅延時間を調整でき、CTS が有効のときにピンをフローティングにすると最短の遅延となります。詳細については、セクション 7.3.5 を参照してください。
NC	2、4、6、8、14	2、4、6、14	-	NC は「接続なし」を表します。ピンはフローティングのままにします。

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 特に記述のない限り (1)

		最小値	最大値	単位
電圧	V_{DD}、$V_{SENSE(ADJ)}$、$V_{OUT\ A}$	-0.3	105	V
電圧	$V_{SENSE(Fixed)}$	-95	105	V
電圧	V_{AEN}、V_{CTS}、V_{CTR}、$V_{OUT\ B}$、V_{AOUT}、V_{BIST}、V_{BIST_EN}	-0.3	6	V
電流	$I_{OUT\ A}$、$I_{OUT\ B}$、$I_{\overline{BIST}}$		10	mA
出力短絡電流 (2)	I_{AOUT}	連続		µA
温度	動作時の接合部温度、T_J	-40	150	°C
温度	動作時周囲温度、T_A	-40	125	°C
温度	保存、T_{stg}	-65	150	°C

(1) *絶対最大定格* 外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。*絶対最大定格*の範囲内であっても*推奨動作条件*の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) グランドに短絡します。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 (2)	±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

外気温度範囲での動作時 (特に記述がない限り)

		最小値	公称値	最大値	単位
電圧	V_{DD}	3		105	V
電圧	V_{SENSE}、$V_{OUT\ A}$	0		105	V
電圧	V_{AEN}、$V_{OUT\ B}$、V_{AOUT}、$V_{\overline{BIST}}$、V_{BIST_EN}	0		5.5	V
電流	$I_{OUT\ A}$、$I_{OUT\ B}$、$I_{\overline{BIST}}$	0		±5	mA
電流	I_{AOUT}	0		±20	µA
T_J	接合部温度 (自由気流の温度)	-40		125	°C

6.4 熱に関する情報

熱評価基準(1)		TPS3710x DYY 14-PIN	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	120.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	54.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	50.1	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	2.7	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	49.7	°C/W

Copyright © 2026 Texas Instruments Incorporated

熱評価基準[1]		TPS3710x	単位
		DYY	
		14-PIN	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$、CTR = CTS = オープン、出力 OUT A および OUT B のプルアップ抵抗 (R_{PU} = 10kΩ および V_{PU} = 5.5V、)。自由気流での動作温度範囲内、代表値 T_A = -40℃～125℃ (特に記述のない限り)標準値は、T_A = 25℃ および VDD = 16V での値です。V_{IT} は、V_{ITN} または V_{ITP} を表します。AOUT C_{Load} = 100nF、AOUT V_{OUT} = 2.5V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD						
V_{DD}	電源電圧		3		105	V
UVLO [1]	低電圧誤動作防止	V_{DD} が $V_{DD(MIN)}$ を下回る			2.6	V
UVLO (HYS) [1]	低電圧誤動作防止ヒステリシス	V_{DD} が $V_{DD(MIN)}$ より上に上昇する		400		mV
V_{POR}	パワーオン リセット電圧 [2] OUT_A	$V_{OL(MAX)}$ = 300mV $I_{OUT\ A(Sink)}$ = 15μA			1.4	V
V_{POR}	パワーオン リセット電圧 [2] OUT_B	$V_{OL(MAX)}$= 300mV $I_{OUT\ B\ (Sink)}$ = 15μA			1.4	V
I_{DD}	VDD ピンへの電源電流	$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ アナログ出力 = ディセーブル		5	13	μA
I_{DD}	VDD ピンへの電源電流	$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ アナログ出力= イネーブル I_{AOUT} = 0μA		9	18	μA
SENSE (入力)						
I_{SENSE}	入力電流	V_{IT} = 800mV			300	nA
I_{SENSE}	入力電流	V_{IT} = 18V~105V 0V~105V		1.5	8	μA
V_{ITN}	入力スレッショルド負 (V_{ITN})	V_{ITN} = 18V～105V	-1.1		1.1	%
		V_{ITN} = 800mV	-0.8		0.8	%
V_{ITP}	入力スレッショルド正 (V_{ITP})	V_{ITP} = 18V～105V	-1.1		1.1	%
		V_{ITP} = 800mV	-0.8		0.8	%
V_{HYS}	ヒステリシスの精度 [3]	V_{IT} = 18V ～ 105V V_{HYS} 範囲 = 1%		1	1.5	%
V_{HYS}	ヒステリシスの精度 [3]	V_{IT} = 800mV V_{HYS} 範囲 = 1%		1	1.8	%
V_{HYS}	ヒステリシスの精度 [3]	V_{IT} = 18V ～ 105V V_{HYS} 範囲 = 5%	4.5	5	6	%
V_{HYS}	ヒステリシスの精度 [3]	V_{IT} = 800mV V_{HYS} 範囲 = 5%	4.5	5	6	%
V_{HYS}	ヒステリシスの精度 [3]	V_{IT} = 18V ～ 105V V_{HYS} 範囲 = 10%	9	10	11	%
V_{HYS}	ヒステリシスの精度 [3]	V_{IT} = 800mV V_{HYS} 範囲 = 10%	9	10	11	%
OUT A および OUT B (出力)						
$I_{lkg(OUT\ A)}$	オープン ドレイン リーク	$V_{OUT\ A}$ = 5.5V $V_{ITN} < V_{SENSE} < V_{ITP}$			900	nA
		$V_{OUT\ A}$ = 105V $V_{ITN} < V_{SENSE} < V_{ITP}$			900	nA
$V_{OL(OUT\ A)}$	Low レベル出力電圧	3V ≤ VDD ≤ 105V $I_{OUT\ A}$ = 2.7 mA			350	mV
$I_{lkg(OUT\ B)}$	オープンドレイン リーケージ	$V_{OUT\ B}$ = 5.5V $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
$V_{OL(OUT\ B)}$	Low レベル出力電圧	3V ≤ VDD ≤ 105V $I_{OUT\ B}$ = 5 mA			300	mV
コンデンサのタイミング (CTS、CTR)						
R_{CTR}	内部抵抗 (CTR)		2960	3700	4440	KΩ
R_{CTS}	内部抵抗 (CTS)		2960	3700	4440	KΩ
アナログ出力						

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$、CTR = CTS = オープン、出力 OUT A および OUT B のプルアップ抵抗 (R_{PU} = 10kΩ および V_{PU} = 5.5V、)。自由気流での動作温度範囲内、代表値 T_A = -40℃～125°C (特に記述のない限り)標準値は、T_A = 25℃ および VDD = 16V での値です。V_{IT} は、V_{ITN} または V_{ITP} を表します。AOUT C_{Load} = 100nF、AOUT V_{OUT} = 2.5V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{OUT}	出力バッファ電流、シンクおよびソース		-20		+20	µA
I_{SC}	短絡電流。			450		µA
スルーレート	電流のスルーレート			50		mA/ms
V_{IL_EN}					500	mV
V_{IH_EN}			1300			mV
$V_{AOUT(最小)}$	AOUT 範囲		0.35			V
$V_{AOUT(最大)}$	AOUT 範囲	V_{DD} - V_{DO} < 5V		V_{DD}-V_{DO}		V
$V_{AOUT(最大)}$	AOUT 範囲	V_{DD} - V_{DO} ≥ 5V		5		V
V_{DO}	電圧出力	I_{AOUT} = 0µA			0.41	V
V_{DO}	電圧出力	I_{AOUT} = 20µA			0.41	V
	精度 25℃	I_{AOUT} = 0µA、T_A = 25℃ アナログ出力スケール = 0.75	-0.3		0.3	%
	温度範囲全体での精度	I_{AOUT} = 0µA 3V > V_{AOUT} ≥ 0.5V	-1		1	%
	温度範囲全体での精度	I_{AOUT} = 0µA 0.5V ≥ V_{AOUT}	-2		2	%
	ライン レギュレーション	VDD = 3V ～ 105V	-0.1		0.1	%
	負荷レギュレーション (ソース)	I_{AOUT} = 0µA ～ 20µA			0.03	%/uA
	負荷レギュレーション (シンク)	I_{AOUT} = 0µA～20µA			0.03	%/uA
C_{OUT}	安定性のための出力バッファ コンデンサ	ESR = 5mΩ ～ 20mΩ	0.07	0.1	0.13	µF
	応答時間	SENSE 入力の 90% から 0.7% 精度 V_{AOUT}		2		ms
	ターンオン (EN) 時間	I_{AOUT} = 0µA、		1.5		ms
$I_{lkg(BIST_OD)}$	オープンドレイン リーケージ	V_{BIST} = 5.5V V_{ITN} < V_{SENSE} < V_{ITP}			300	nA
V_{BIST_OL}	Low レベル出力電圧	3V ≤ VDD ≤ 105V $I_{BIST (Sink)}$ = 5mA			300	mV
V_{BIST_EN}	BIST_EN ピンのロジック Low 入力				500	mV
V_{BIST_EN}	BIST_EN ピンのロジック High 入力		1300			mV

(1) V_{DD} 電圧が UVLO を下回ると、V_{POR} まで OUT A と OUT B がアサートされます。V_{DD} スルーレート ≤ 1V/µs
(2) V_{POR} は、制御された出力状態の最小 V_{DD} 電圧です。VPOR を下回ると、出力は決定できません。V_{DD} スルーレート ≤ 1V/µs
(3) ヒステリシスは、V_{ITP} および V_{ITN} 電圧スレッショルドを基準にしています。V_{ITP} には負のヒステリシス、V_{ITN} には正のヒステリシスがあります。

Copyright © 2026 Texas Instruments Incorporated

6.6 スイッチング特性

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$、CTR = CTS = オープン、出力 OUT A および OUT B のプルアップ抵抗 (R_{PU} = 10kΩ および V_{PU} = 5.5V、)。自由気流での動作温度範囲内、代表値 T_A = -40℃～125℃ (特に記述のない限り)標準値は、T_A = 25℃ および VDD = 16V での値です。V_{IT} は、V_{ITN} または V_{ITP} を表します。AOUT C_{Load} = 100nF、AOUT V_{OUT} = 2.5V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
一般的なスイッチング パラメータ						
$t_{CTR(OUT A)}$	解放時間遅延 (CTR)(1)	V_{IT} = 18V ～ 100V、C_{CTR} = オープン ヒステリシスから 20% オーバードライブ		500		µs
$t_{CTR(OUT A)}$	解放時間遅延 (CTR)(1)	V_{IT} = 800mV、C_{CTR} = オープン ヒステリシスから 20% オーバードライブ		500		µs
$t_{CTR(OUT B)}$	解放時間遅延 (CTR)(1)	V_{IT} = 18V ～ 100V、C_{CTR} = オープン ヒステリシスから 20% オーバードライブ		500		µs
$t_{CTR(OUT B)}$	解放時間遅延 (CTR)(1)	V_{IT} = 800mV、C_{CTR} = オープン ヒステリシスから 20% オーバードライブ		500		µs
t_{CTS}	Sense 時間遅延 (2)(4)	V_{ITP} = 800mV、CTS = ディスエーブル V_{IT} から 20% オーバードライブ			3	µs
		V_{ITN} = 800mV、CTS = ディスエーブル V_{IT} から 20% オーバードライブ			5	µs
		V_{ITP} = 18V～100V、CTS = ディスエーブル V_{IT} から 20% オーバードライブ		6	10	µs
		V_{ITN} = 18V～100V、CTS = ディスエーブル V_{IT} から 20% オーバードライブ		6	10	µs
		V_{IT} = 800mV、C_{CTS} = オープン(5) V_{IT} から 20% オーバードライブ		75	100	µs
		V_{IT} = 18V～100V、 C_{CTS} = オープン(5)V_{IT} から 20% オーバードライブ		75	120	µs
t_{SD}	スタートアップ遅延 (3)	C_{CTR} = オープン		1		ms
t_{BIST}	BIST のテスト時間				2.5	ms

(1) **CTR 解放検出時間遅延:**
過電圧アクティブ LOW 出力は、$V_{ITP-HYS}$ から V_{OH}
低電圧アクティブ LOW 出力までの測定値で、$V_{ITN + HYS}$ から V_{OH} までの測定値
(2) **CTS センス検出時間遅延:**
アクティブ LOW 出力を V_{IT} から V_{OL} (または V_{Pullup}) まで測定
(3) 電源オンシーケンスの間、出力が正しい状態になるには、出力が少なくとも t_{SD} の間、VDD が $V_{DD(MIN)}$ 以上である必要があります。
(4) このパラメータは設計および／または特性で検証される値であり、実製品のテストは行っていません。
(5) C_{CTS} = オープンは、ピン上の寄生容量が 20pF 未満であることを想定しています。

6.7 タイミング要件

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$、CTR = CTS = オープン、出力 OUT A および OUT B のプルアップ抵抗 (R_{PU} = 10kΩ および V_{PU} = 5.5V、)。自由気流での動作温度範囲内、代表値 T_A = -40℃～125℃ (特に記述のない限り)標準値は、T_A = 25℃ および VDD = 16V での値です。V_{IT} は、V_{ITN} または V_{ITP} を表します。AOUT C_{Load} = 100nF、AOUT V_{OUT} = 2.5V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
一般的なタイミング パラメータ						
t_{GI_SNS}	Sense グリッチ(1)	10% オーバードライブ、固定スレッショルド、CTS = ディセーブル		1.2		µs

Copyright © 2026 Texas Instruments Incorporated

$V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$、CTR = CTS = オープン、出力 OUT A および OUT B のプルアップ抵抗 (R_{PU} = 10kΩ および V_{PU} = 5.5V、)。自由気流での動作温度範囲内、代表値 T_A = -40℃～125°C (特に記述のない限り)標準値は、T_A = 25℃ および VDD = 16V での値です。V_{IT} は、V_{ITN} または V_{ITP} を表します。AOUT C_{Load} = 100nF、AOUT V_{OUT} = 2.5V。

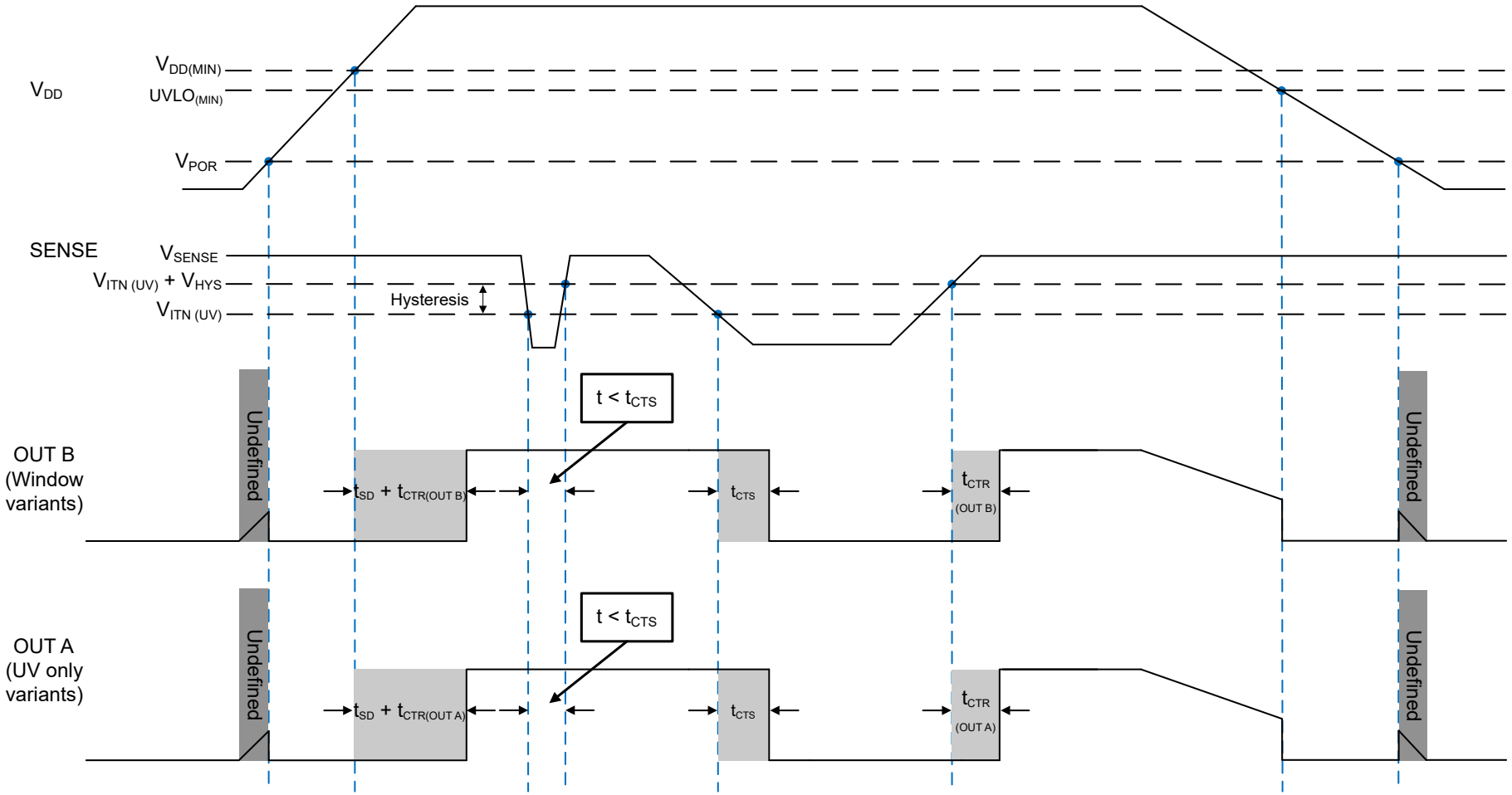
パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{GI_SNS}	Sense グリッチ(1)	10% オーバードライブ、固定スレッショルド、CTS =イネーブル、CTS = 20pF		65		µs

(1) Overdrive % = $[(V_{SENSE} / V_{IT}) - 1] \times 100\%$ (1)

V_{IT} は、V_{ITN} または V_{ITP} を表します。

Copyright © 2026 Texas Instruments Incorporated

6.8 タイミング図

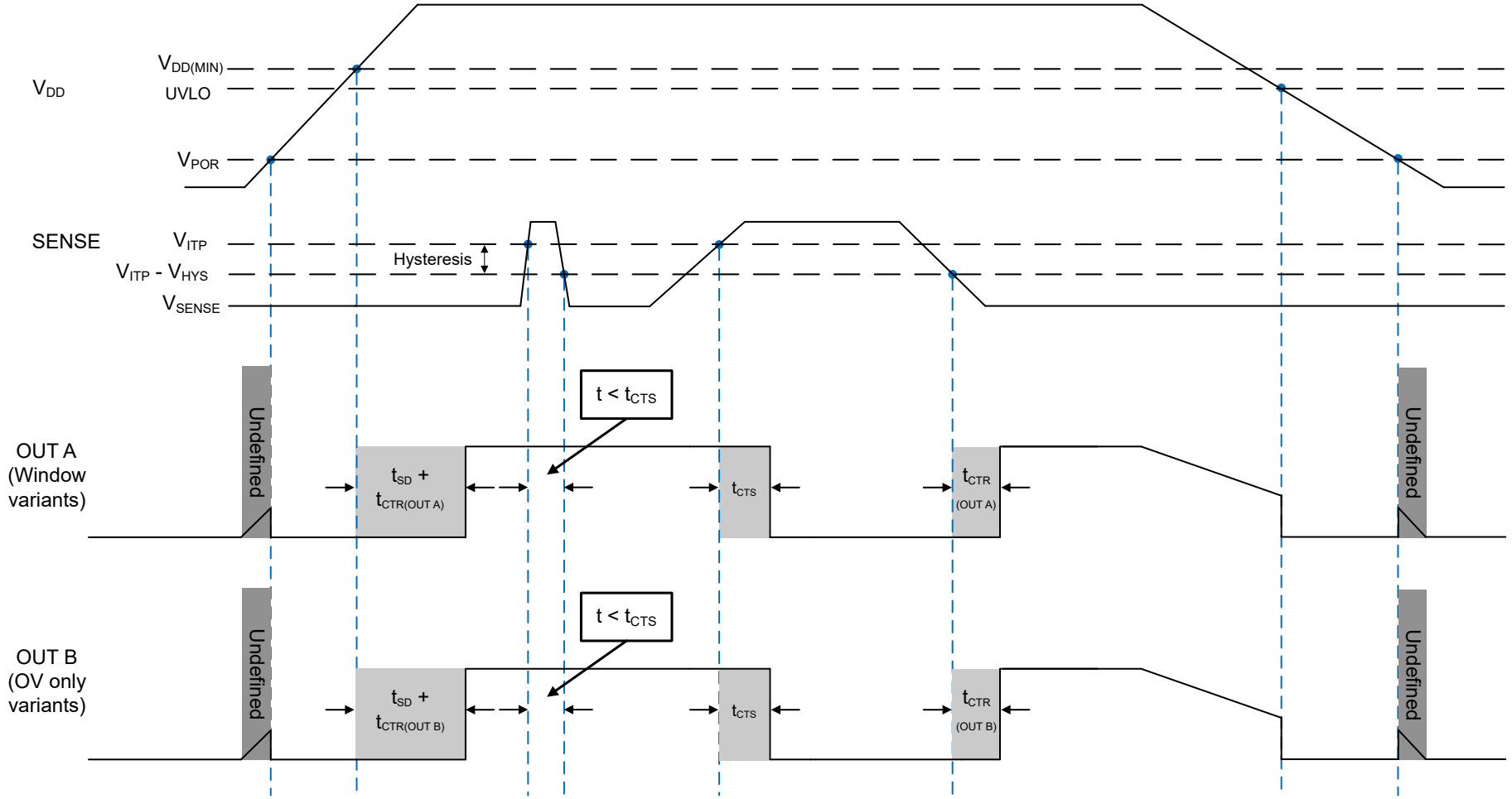


A. OUT A ピンと OUT B ピンは、外付けプルアップ抵抗を介してプルアップ電圧に接続されています。

B. 図 6-1 は、VDD の立ち下がりスルー レートが遅いか、または VDD の減衰時間が伝搬検出遅延 (t_{CTR}) 時間よりもはるかに長いことを示していることに注意してください。

図 6-1. SENSE 低電圧チャネル (UV) の時間図

Copyright © 2026 Texas Instruments Incorporated



A. OUT A ピンと OUT B ピンは、外付けプルアップ抵抗を介してプルアップ電圧に接続されています。

B. 図 6-2 は、VDD の立ち下がりスルー レートが遅いか、または VDD の減衰時間が伝搬検出遅延 (t_{CTR}) 時間よりもはるかに長いことを示していることに注意してください。

図 6-2. SENSE 過電圧チャネル (OV) の時間図

Copyright © 2026 Texas Instruments Incorporated

6.9 代表的特性

代表的特性は、TPS3710x デバイスの標準的な性能を示しています。テスト条件は特に記述のない限り、T_A = 25°C、R_{PU} = 10kΩ、C_{Load} = 10pF、AOUT C_{Load} = 100nF、AOUT V_{OUT} = 2.5V です。V_{IT} は、V_{ITN} または V_{ITP} を表します。

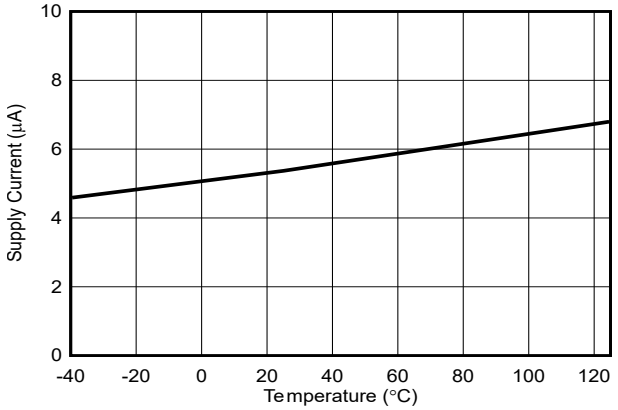


図 6-3. AOUT が無効の状態での I_{DD} と温度との代表的な関係 (VDD = 48V)

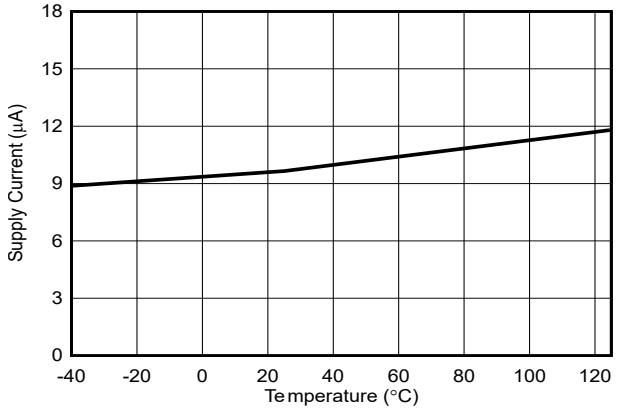


図 6-4. AOUT が有効の状態での I_{DD} と温度との代表的な関係 (VDD = 48V)

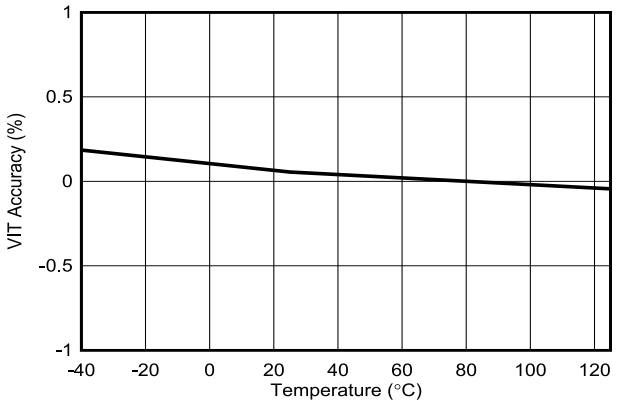


図 6-5. 変動 V_{IT} の精度と温度との関係

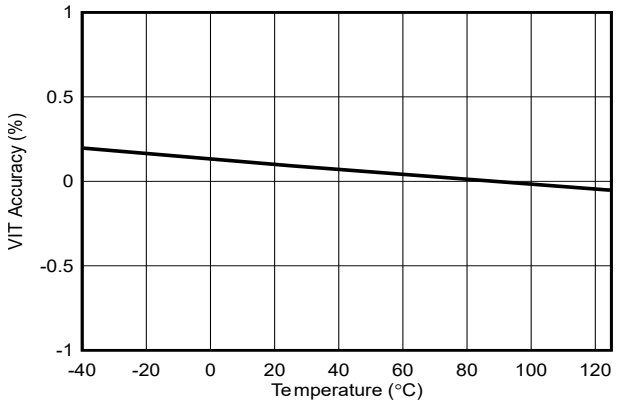


図 6-6. 固定 V_{IT} の精度と温度との関係

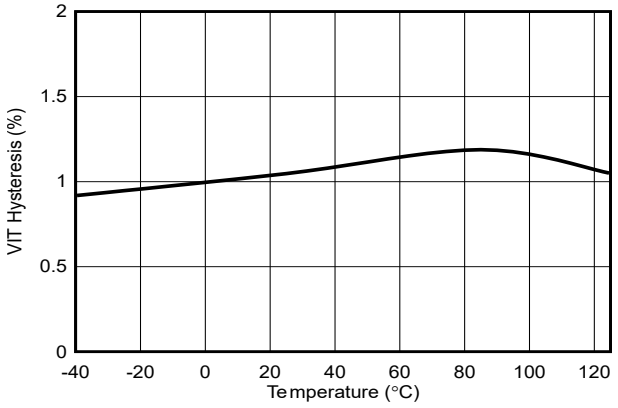


図 6-7. 典型的な V_{IT-} 1% のヒステリシスと温度との関係

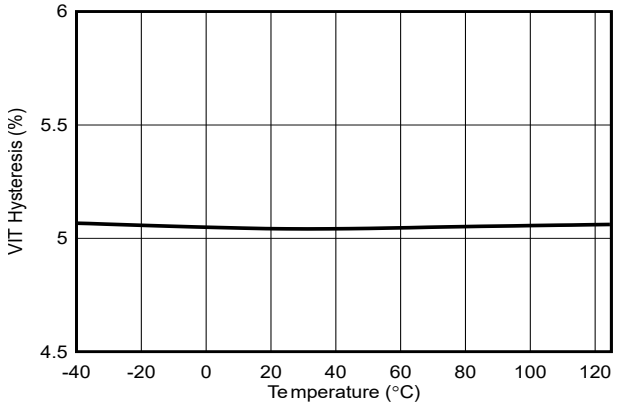


図 6-8. 典型的な V_{IT-} 5% のヒステリシスと温度との関係

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TPS3710x は、過電圧および低電圧スレッショルド電圧、遅延タイミング、内蔵セルフテスト (TPS37102 のみ)、AOUT を備えた高電圧および低静止電流の電圧スーパーバイザのファミリです。TPS3710x の過電圧および低電圧スレッショルドはデバイス固有であり、可変スレッショルドまたは固定スレッショルドのどちらかで提供されます。可変スレッショルド オプションでは、外付け抵抗ラダーを使用して SENSE ピンに分圧器を構成します。SENSE ピンは、内部の 800mV スレッショルドを使用して、過電圧または低電圧故障をトリガします。外付け抵抗で可変オプションを使用する利点は、固定の内部スレッショルド バリアントと比較して応答速度が速いことです。TPS3710x 固定スレッショルド オプションは、内蔵の分圧器を利用することで、外付け抵抗が不要になり、総消費電流を低減できます。

VDD、SENSE、OUT A の各ピンは、105V の連続動作をサポートできます。SENSE は固定スレッショルド オプションのみで -95V の逆極性保護機能を搭載しています。VDD、SENSE、OUT A、OUT B の各ピンは、互いに独立した電圧レベルです。誤アサートおよび誤デアサートを防止するため、固定およびプログラム可能なセンスおよびリリース時間遅延オプションが利用可能です。

固定と可変の両方のオプションについて、AOUT ピンは SENSE からスケーリングされた出力電圧を供給します。AOUT ピンは、電源電圧測定用に ADC でサンプリングすることを意図しています。AOUT とスーパーバイザの組み合わせにより、低電圧 ADC の高電圧レール監視が簡素化されます。

7.2 機能ブロック図

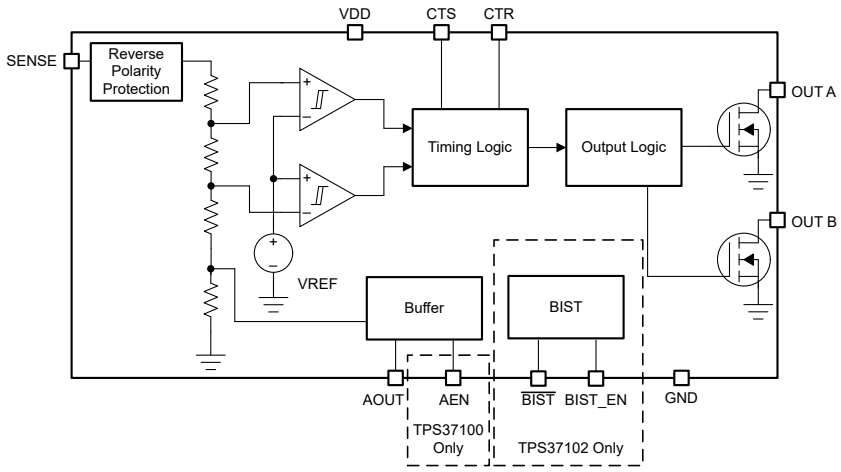


図 7-1. 固定スレッショルドの機能ブロック図

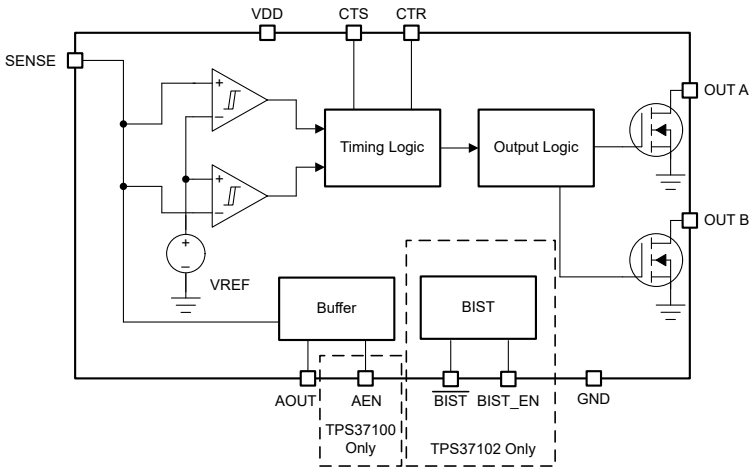


図 7-2. 可変スレッショルドの機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

7.3.1 入力電圧 (VDD)

VDD 動作電圧範囲：3V～105V このデバイスには入力電源コンデンサは必要ありませんが、入力電源にノイズが多い場合は、VDD と GND の間に 0.1µF コンデンサを配置する方法がアナログ手法として適切です。

デバイスが完全に機能するには、VDD はスタートアップ遅延 (t_{SD}) が少なくとも $V_{DD(MIN)}$ 以上である必要があります。

VDD 電圧は V_{SENSE}、$V_{OUT\ A}$、$V_{OUT\ B}$ から独立しているため、VDD は他のピンよりも高くても低くてもかまいません。

7.3.1.1 低電圧誤動作防止 ($V_{POR} < V_{DD} < UVLO$)

V_{DD} の電圧がデバイスの UVLO 電圧未満で、パワーオン リセット電圧 (V_{POR}) よりも高い場合、OUT A、OUT B、$\overline{BIST}$ ピンは、SENSE ピンの電圧に関係なくアサートされます。

7.3.1.2 パワーオン リセット ($V_{DD} < V_{POR}$)

VDD の電圧が、パワーオン リセット電圧 (V_{POR}) を下回った場合、出力信号は不定となり、デバイスの正常な動作を保証するものではありません。

7.3.2 SENSE

SENSE ピンは、監視対象の電源レールに接続されます。各デバイスのセンスピンは、過電圧 (OV)、低電圧 (UV)、ウィンドウ (OV および UV) のいずれかの状態を監視するように構成されています。TPS3710x デバイスには、ノイズ耐性をもたらし、安定した動作を維持するヒステリシスも内蔵されています。

ほとんどの場合は必要ありませんが、設計者は t_{CTS} を使用するか、SENSE 入力に 10nF から 100nF のバイパス コンデンサを配置することで、監視対象信号に生じる過渡電圧への感度を低減できます。SENSE は、VDD に直接接続できます。

7.3.2.1 可変電圧スレッショルド

セクション 7.3.2.1 に、外付け分圧抵抗を使用して、電圧スレッショルドを調整する方法の例を図示します。抵抗は、目標の電圧スレッショルドとデバイス部品番号に応じて計算できます。可変電圧スレッショルド バリアントは、内部抵抗ラダーをバイパスします。

たとえば、TPS37100Z91DDYYRQ1 バリアントを使用してのみ低電圧 (UV) の有無を監視する 48V レール V_{MON} を考えてみます。監視対象の UV スレッショルド (V_{MON-}) は、デバイスがリセットをアサートする目的の電圧です。この例では、V_{MON-} = 40V です。低電圧 RESET をアサートするには、SENSE ピンの電圧 V_{SENSE} が入力スレッショルドの正の電圧 V_{ITN} 以下である必要があります。この例では、$V_{SENSE} = V_{ITN} = 0.8V$ です。R_1 と R_2 を使用すると、V_{MON-} と V_{SENSE} の関係を 式 2 に示します。R_2 = 2kΩ と仮定し、R_1 は R_1 = 98kΩ として計算できます。

$$V_{SENSE} = V_{MON-} \times [R_2 \div (R_1 + R_2)] \quad (2)$$

TPS37100Z91DDYYR には、バリアント固有の 1% 電圧スレッショルドヒステリシスがあります。RESET 信号がデアサートされるには、V_{MON} は $V_{ITN} + V_{HYS}$ を上回る必要があります。この例では、1% の電圧スレッショルドのヒステリシスを備えるバリアントを選択しています。したがって、RESET 信号がデアサートされると、V_{MON} は 40.4V に等しくなります。

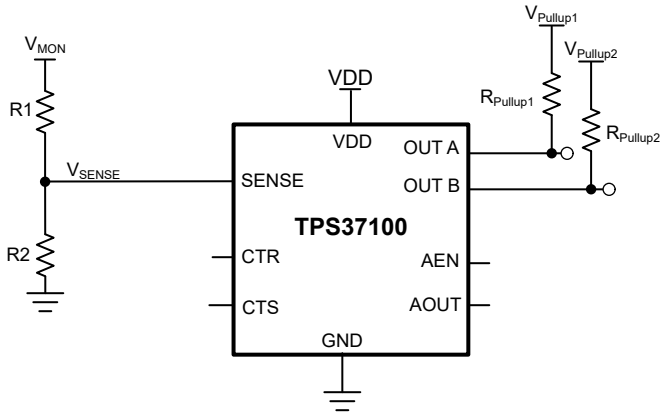


図 7-3. 外付け分圧抵抗による可変電圧スレッショルド

7.3.2.2 SENSE ヒステリシス

TPS3710x デバイスは、UV および OV スレッショルド周辺にヒステリシスを組み込んでいるため、OUT A および OUT B の誤ったデアサートを防止できます。ヒステリシスはスレッショルド電圧とは反対の方向に働きます。過電圧オプションの場合、ヒステリシスは正のスレッショルド電圧 (V_{ITP}) から差し引かれ、低電圧オプションの場合、ヒステリシスは負のスレッショルド電圧 (V_{ITN}) に加算されます。図 7-4 および 図 7-5 は、標準 OUT A/B を備えたウィンドウ バリアントに基づく OUT A および OUT B の動作を強調表示します。

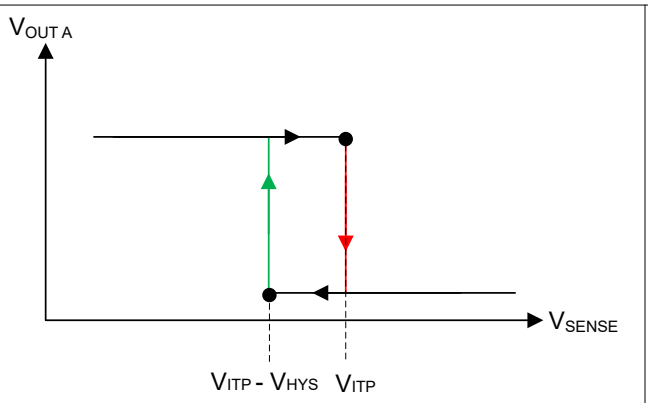


図 7-4. ヒステリシス (過電圧アクティブ Low)

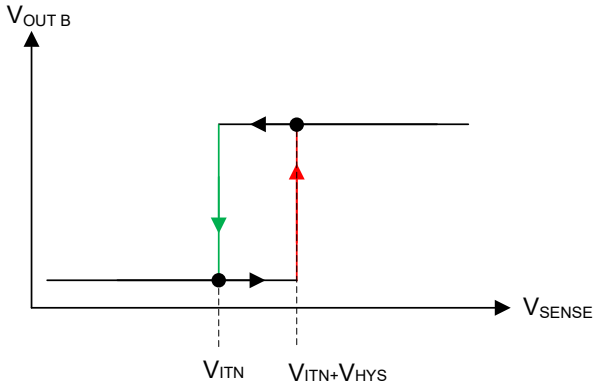


図 7-5. ヒステリシス (低電圧アクティブ Low)

表 7-1. 共通の可変スレッショルド ヒステリシスの参照テーブル

ターゲット			デバイスのヒステリシス オプション
可変スレッショルド	トポロジー	解放電圧 (V)	
800mV	過電圧	792mV	-1%
800mV	過電圧	760mV	-5%
800mV	過電圧	720mV	-10%
800mV	アンダーボルテージ	808mV	1%
800mV	アンダーボルテージ	840mV	5%
800mV	アンダーボルテージ	880mV	10%

表 7-1 に、TPS3710x の 800mV 可変バリアントのヒステリシスの例を示します。

Copyright © 2026 Texas Instruments Incorporated

ヒステリシス電圧の大きさがわかると、低電圧 (UV) チャネルの解放電圧は (V_{ITN} + V_{HYS}) で、過電圧 (OV) チャネルの解放電圧は (V_{ITP} - V_{HYS}) です。

低電圧 (UV)

- V_{ITN} = 800mV
- 電圧ヒステリシス ($V_{V\ HYS}$) = 1% = 8mV
- 解放電圧= V_{ITN} + V_{HYS} = 808mV

過電圧 (OV)

- V_{ITP} = 800mV
- 電圧ヒステリシス ($V_{V\ HYS}$) = 1% = 8mV
- 解放電圧 = V_{ITP} - V_{HYS} = 792mV

7.3.2.3 逆極性保護

SENSE は固定スレッショルド オプションのみで -95V の逆極性保護機能を搭載しています。可変スレッショルド オプションには、逆極性保護はありません。

7.3.3 出力ロジック構成

TPS3710x は、単一の入力 SENSE ピンを持つ単一チャネル デバイスで、デュアル出力、OUT A および OUT B ピンを備えています。OUT A および OUT B ピンは、オープン ドレインのアクティブ Low トポロジでのみ供給されます。

7.3.3.1 オープン ドレイン

オープン ドレイン出力ピンは、電圧を必要な論理レベルまで高く維持するために外部プルアップ抵抗が必要です。プルアップ抵抗を適切な電圧レールに接続し、出力を適切なインターフェイス電圧レベルで他のデバイスに接続できるようにします。

適切なプルアップ抵抗を選択するには、システムの V_{OH} とオープン ドレイン リーク電流 (I_{lkg}) を考慮します。電気的特性には、抵抗の値が大きいと出力電圧に影響する電圧降下が大きくなります。オープン ドレイン出力は、別の TPS3710x ピンなどの他のオープン ドレイン信号を使って有線 AND ロジックとして接続できます。

7.3.3.2 アクティブ Low (OUT A および OUT B)

OUT A と OUT B (アクティブ Low 出力) は、センス電圧がスレッショルドの範囲内で正常に動作しており、かつ VDD 電圧が UVLO 以上である限り、高電圧 (V_{OH}、デアサート状態) を維持します。

標準:**ウィンドウ (過電圧 + 低電圧) 標準出力バリアント**の場合、OUT A または OUT B をアサートするには、SENSE ピンが以下の条件のいずれかを満たす必要があります:

- OUT A の場合、SENSE 電圧は上限 (V_{ITP}) を超える必要があります。
- OUT B の場合、SENSE 電圧は下限 (V_{ITN}) を通過する必要があります。

組み合わせ:**ウィンドウ (過電圧 + 低電圧) 複合出力バリアント**の場合、OUT A と OUT B をアサートするには、SENSE ピンが以下の条件のいずれかを満たす必要があります:

- SENSE 電圧は、上限 (V_{ITP}) を通過する必要があります。
- SENSE 電圧は、下限 (V_{ITN}) を通過する必要があります。

組み合わせ:**低電圧のみのバリアント**の場合、OUT A または OUT B をアサートするには、SENSE ピンが以下の条件を満たす必要があります:

- OUT A と OUT B の場合、SENSE 電圧が下限 (V_{ITN}) を超える必要があります。

組み合わせ**過電圧のみのバリアント**の場合、OUT A または OUT B をアサートするには、SENSE ピンが以下の条件を満たす必要があります:

- OUT A と OUT B の場合、SENSE 電圧が上限 (V_{ITP}) を超える必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.3.4 ユーザーがプログラム可能なリリース時間遅延

TPS3710x は、外付けコンデンサによりリリース時間遅延を調整可能です。

- CTR のコンデンサにより、出力のデアサート解除時間をプログラミングします。
- このピンにコンデンサがない場合、セクション 6.6 の t_{CTR} で示されている最短のリリース時間が得られます。
- 一部のバリアントでは、固定の内部時間遅延を使用しています。

7.3.4.1 デアサート時間遅延の構成

コンデンサの解放時間遅延 (t_{CTR}) は、OUT A および OUT B がフォルト状態 (V_{OL}) から非フォルト状態 (V_{OH}) へ遷移するときに発生します。CTR ピンと GND の間にコンデンサを接続することで、遅延時間 (t_{CTR}) をプログラミングできます。OUT A および OUT B が回復した後に SENSE に障害が発生する状況の場合、TPS3710x は、回復シーケンスを開始する前に、CTR コンデンサが完全に放電されていることを確認します。これにより、連続したフォルトに対してプログラムされた CTR 時間が確実に維持されます。

外付けコンデンサ $C_{CTR_EXT\ (typ)}$ と遅延時間 $t_{CTR\ (typ)}$の関係は 式 3 で与えられます。

$$t_{CTR(typ)} = R_{CTR(typ)} \times C_{CTR_EXT(typ)} + t_{CTR(CTR=open)} \quad (3)$$

$R_{CTR\ (typ)}$ = はキロオーム (kΩ) 単位です

$C_{CTR_EXT\ (typ)}$ はマイクロファラッド (µF) 単位です

$t_{CTR\ (typ)}$ = はミリ秒 (ms) 単位です

解放遅延時間は、外部コンデンサ (C_{CTR_EXT})、セクション 6.5 に示す CTR ピンの内部抵抗 (R_{CTR})、セクション 6.7 に示す定数 ($t_{CTR\ (CTR\ =\ open)}$) の 3 つの変数によって異なります。定数による最小分散と最大分散は、式 4 および 式 5 に示されます。

$$t_{CTR(min)}\ R_{CTR(min)}\ C_{CTR_EXT(min)} + t_{CTR(CTR=open)} \quad (4)$$

$$t_{CTR(max)}\ R_{CTR(max)}\ C_{CTR_EXT(max)} + t_{CTR(CTR=open)} \quad (5)$$

CTR ピンのコンデンサに制限はありません。コンデンサの容量が大きすぎると、コンデンサの漏れ電流により充電 (立ち上がり時間) が非常に遅くなり、システム ノイズによって内部回路が OUT A または OUT B をアクティブなまま保持してしまうことがあります。

コンデンサの漏れは、解放時間遅延の精度に影響を与える可能性があります。

7.3.5 ユーザーがプログラム可能なセンス遅延

TPS3710x は、外付けのコンデンサによりセンス解放時間遅延を調整可能です。

- CTS のコンデンサにより、入力のセンス時間遅延がプログラムされます。
- T_{CTS} がイネーブルのとき、このピンにコンデンサがないと、セクション 6.7 で t_{CTS} で示されている最短センス遅延時間が得られます。
- 一部の TPS3710x バリアントには、CTS ピンをディセーブルにして最短の検出時間 (5µs) を実現する固定内部時間遅延オプションが付属しています。セクション 4 をチェックして、バリアント固有の機能を確認します。

7.3.5.1 センス時間遅延の構成

SENSE 時間遅延 (t_{CTS}) は、SENSE ピンのフォルトを有効なフォルトとしてカウントし、OUT A および OUT B をアサートするのに必要な最小時間です。CTS ピンと GND の間にコンデンサを接続することで、時間遅延 (t_{CTS}) をプログラムできます。

外付けコンデンサ $C_{CTS_EXT\ (typ)}$ と遅延時間 $t_{CTS\ (typ)}$の関係は 式 6 で与えられます。

$$t_{CTS\ (typ)} = R_{CTS\ (typ)} \times C_{CTS_EXT\ (typ)} + t_{CTS\ (CTS\ =\ 0pen)} \quad (6)$$

Copyright © 2026 Texas Instruments Incorporated

$R_{CTS\ (typ)}$ = はキロオーム (kΩ) 単位です

$C_{CTS_EXT\ (typ)}$ はマイクロファラッド (µF) 単位です

$t_{CTS\ (typ)}$ = はミリ秒 (ms) 単位です

センス時間遅延は、外部コンデンサ (C_{CTS_EXT})、セクション 6.5 に示す CTS ピンの内部抵抗 (R_{CTS})、セクション 6.5 に示す定数 ($t_{CTS\ (CTS = open)}$) の 3 つの変数によって異なります。定数による最小分散と最大分散は、式 7 および 式 8 に示されます。

$$t_{CTS(min)} = R_{CTS(min)} \times C_{CTS_EXT(min)} + t_{CTS(CTS=open)} \quad (7)$$

$$t_{CTS(max)} = R_{CTS(max)} \times C_{CTS_EXT(max)} + t_{CTS(CTS=Open)} \quad (8)$$

TPS3710x の推奨最大センス遅延コンデンサは 10µF です。これにより、電圧フォルトが発生したときにコンデンサが完全に放電するのに十分な時間を確保できるためです。また、コンデンサの値が大きすぎると、充電速度が非常に遅く (立ち上がり時間)、システム ノイズが発生すると内部回路が予測不能にトリップすることがあります。これは時間遅延の変動につながり、システム ノイズが存在する場合に遅延の精度が低下する可能性があります。

コンデンサの漏れは、センス時間遅延の精度に影響を与える可能性があります。

7.3.6 アナログ出力

TPS3710x ファミリには、電源電圧測定用のバッファが 1 つ内蔵されています。内蔵バッファは、SENSE ピンの入力電圧を反映した電圧を AOUT ピンに出力します。ADC と組み合わせた AOUT ピンを使用すると、SENSE ピンの電圧を直接測定できます。AOUT によって、高電圧レールを低電圧の ADC で測定するために必要な外付けの抵抗、コンデンサ、FET などの回路を簡略化できます。

AOUT 電圧は、アナログ出力のスケール係数に依存します。アナログ出力のスケール係数については、セクション 4 を参照してください。

$$\text{AOUT} = \text{SENSE} / \text{Analog Out Scale} \quad (9)$$

図 7-6 の出力計算は式 10 で行われます。

$$\text{AOUT} = \text{SENSE} / \text{Analog Out Scale} = 1.6\text{V} / 0.75 = 2.133\text{V} \quad (10)$$

AOUT ピンの安定性を保つために、0.1µF のコンデンサが必要です。安定性を確保するため、コンデンサはピンのすぐ近くに配置します。TI は、AOUT 機能を使用しない場合でも、安定性を保つために安定用コンデンサを取り付けることを推奨しています。

AOUT は、一部のバリアントでは AEN ピンを使用して有効または無効にすることもできます。AEN > 1.3V の場合、AOUT はイネーブルになります。AEN < 0.5V の場合、AOUT はディセーブルになります。AEN には 100kΩ プルダウン抵抗があり、デフォルトの動作をディセーブルとして設定します。AEN ピンのないバリアントでは、AOUT は常にイネーブルです。

Copyright © 2026 Texas Instruments Incorporated

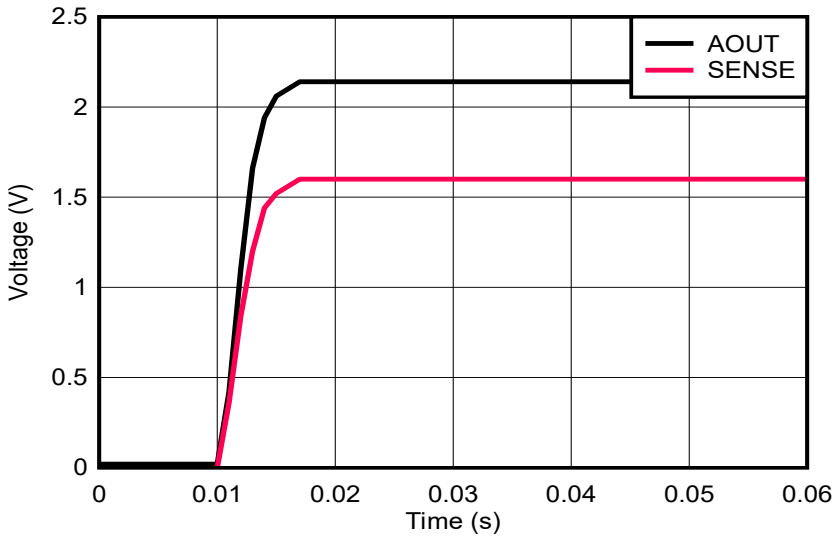


図 7-6. SENSE ピンに続く AOUT

7.3.7 内蔵セルフ テスト

内蔵自己試験 (Bulit-In Self-Test、BIST) 機能は、TPS37102 オプションのみです。TPS37100 には BIST がありません。

内部テストの BIST シーケンスは、SENSE ピンの内部コンパレータ、バンドギャップ電圧、および OUT A、OUT B 出力における故障を検査することで、デバイス内部の信号チェーンの正常性を検証します。

TPS37102 には、セルフ テスト (BIST) 機能が組み込まれており、デバイス内で診断を実行して、デバイスの状態を監視します。$V_{DD(min)}$ を超えると、電源投入時の BIST が自動的に開始されます。BIST 中、$\overline{BIST}$ ピンと OUT A および OUT B 出力は LOW にアサートされ、BIST テストが正常に完了して、デバイスの内部フォルトがないことを示すと、デアサートされます。BIST および $\overline{BIST}$ のアサートの長さは、t_{BIST} によって指定されます。BIST に成功しない場合、$\overline{BIST}$ ピンは Low にアサートされたままになり、内部フォルトを示します。$\overline{BIST}$ 障害時に、OUT A および OUT B 出力がアサートされます。BIST 中、デバイスは SENSE ピンのフォルトを監視しておらず、OUT A および OUT B は SENSE ピンの電圧に依存しません。

電源オン シーケンスが成功した後、BIST_EN ピンの立ち上がりエッジ入力 (V_{BIST_EN} > 1.3V) により、いつでも BIST を開始できます。BIST が開始され、SENSE ピンが過電圧または低電圧フォルト モードでない場合のみ、$\overline{BIST}$ ピンがアサートされます。

7.3.7.1 ラッチ

TPS37102 は、ウィンドウ (OV および UV) および OV のみのバリアント用のオプションの出力リセット ラッチ機能を備えています。ラッチ付きバリアントを使用する場合、V_{BIST_EN} < 0.5V のときラッチはイネーブルになり、V_{BIST_EN} > 1.3V のときはラッチはディスエーブルになります。BIST_EN ピンには GND への内部プルダウン抵抗があり、起動時にラッチがイネーブルになります。ラッチがイネーブルで OV フォルトが発生すると、OUT A は SENSE ピンの電圧に関係なくアサートされたままになります。V_{BIST_EN} > 1.3V、ラッチはディスエーブル、SENSE < V_{ITP} + HYST の場合、OUT A は遅延後にデアサートされます。この遅延時間は BIST および CTR タイミングに依存します。V_{BIST_EN} > 1.3V の間、デバイスはラッチ ディセーブル モードで、OUT A は OV フォルトでアサートしますがラッチしません。

Copyright © 2026 Texas Instruments Incorporated

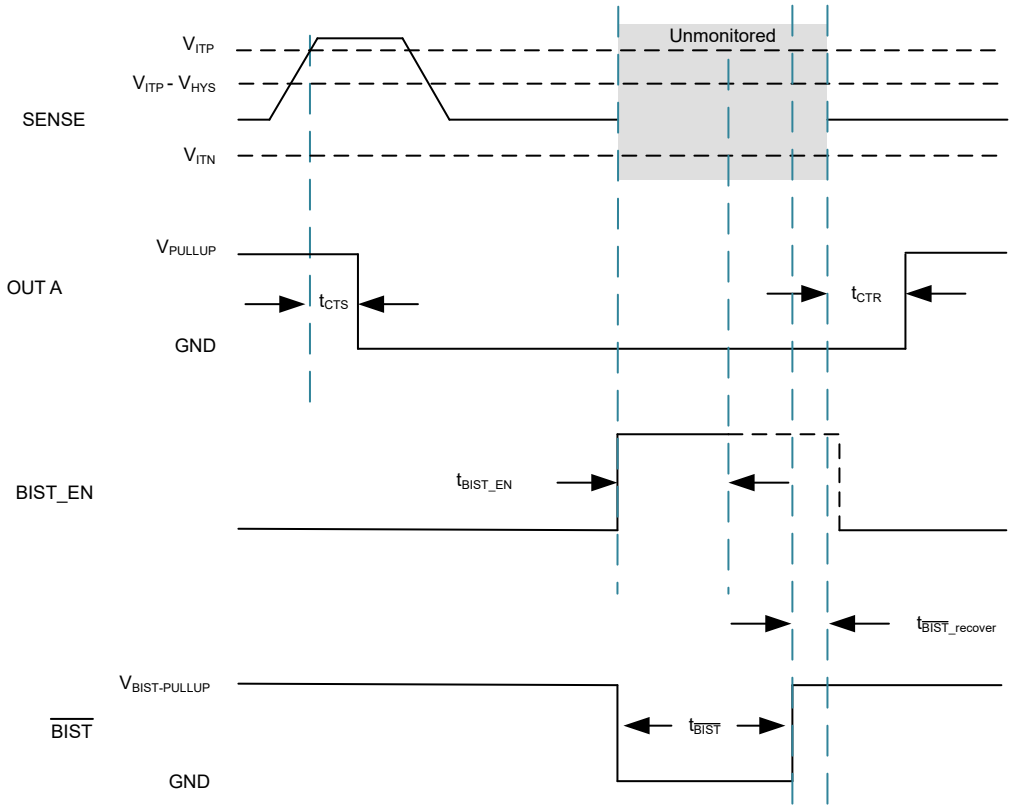


図 7-7. TPS37102 ラッチ ディスエーブル

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

以下のセクションでは、このデバイスの適切な使用方法について詳しく説明します。本デバイスは多くの用途や設定があるため、このデータシートでは詳細に特性を記載できない状況が多く存在し、最終的なアプリケーションの要件によって特性が異なる場合があります。

8.2 代表的なアプリケーション

8.2.1 設計 1：オフバッテリ監視

このアプリケーションは、48V バッテリを使用したアプリケーションの初期出力段用を想定しています。バッテリ電圧の変動は、40V ~ 55V の間で一般的です。さらに、負荷過渡は、最大 100V の電圧スパイクを引き起こす可能性があります。この設計例では、100V の過渡電圧に対応しながら、低消費電力でバッテリ電圧を直接監視できることを示します。

図 8-1 に、TPS37100 が同じレールから電力供給されている間にバッテリ電圧を監視する方法の例を示します。

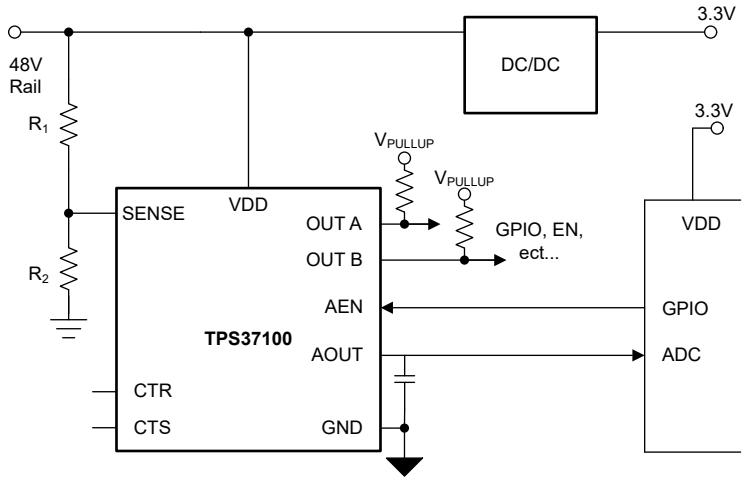


図 8-1. TPS37100 ダイレクト オフ バッテリ監視機能付き過電圧スーパーバイザ

8.2.1.1 設計要件

この設計では、48V バッテリ電圧レールに対する電圧監視が必要であり、48V バッテリ電圧レールは最大で 100V まで上昇する可能性があります。低電圧異常は、電源電圧が 40V 未満に低下したときに発生します。

パラメータ	設計要件	設計結果
電源レール電圧監視	48V 電源に低電圧条件がないか監視し、40V で低電圧フォルトをトリガします。	TPS3710x は、最大 100V の低電圧監視を実現します。
最大入力電力	電源入力が最大 100V までの動作に対応します。	TPS3710x VDD、SENSE、OUT A ピンは、最大 105V の VDD をサポートできます。
出力ロジック電圧	オープンドレイン出力トポロジ	OUT A と OUT B は、どちらもオープンドレイン出力です。

Copyright © 2026 Texas Instruments Incorporated

パラメータ	設計要件	設計結果
最大システム消費電流	電源電圧が標準 48V のときの 1mA の最大値	TPS3710x は、最大 100V に対応し、I_Q を低状態に維持することができます。可変バリアントには、消費電力が増加する外付け抵抗が必要です。固定スレッショルドバリアントの場合は、外付け抵抗は必要ないため、消費電力を低減できます。
常時監視	電圧モニタの最大精度は 1.5%。	TPS3710x は 0.8% の最大電圧モニタ精度を備えています。
特長	遠隔測定用の ADC 監視	TPS3710x には AOUT ピンがあり、ADC で電圧遠隔測定を行うことができます。

8.2.1.2 詳細な設計手順

このアプリケーションの主な利点は、SENSE 入力を使用して車載用バッテリの電圧を直接監視できることです。

電圧レール監視は、SENSE 入力を外部抵抗ラダーに接続し、その後バッテリ レールに接続することで行われます。この例で使用されている TPS3710x-Q1 は、可変電圧バリアントであり、監視対象のスレッショルド電圧を外部で設定する必要があります。注意点として、監視対象レールの過渡電圧が、セクション 6.1 に記載されている絶対最大制限を超えないように TVS 保護ダイオードを選択する必要があります。可変スレッショルド バリアントは、SENSE ピンは逆極性保護の機能を果たしません。

この構成を使用するには、アプリケーションに応じてデバイスの具体的な電圧スレッショルド変動を選択する必要があります。この構成では、TPS37100Z91DDYYR を使用します。

40V の低電圧スレッショルドは、R1 と R2 によって設定されます。R_2 = 2kΩ と仮定し、R_1 は R_1 = 98kΩ として計算できます。

AOUT ピンには、0.1µF の安定化用コンデンサが必要です。48V で動作している場合、AOUT = 1.6V であり、MCU の 3V または 3.3V ADC と適切に組み合わせられます。

OUT A と OUT B は、さまざまな負荷に接続できます。たとえば、OUT A をワイド VIN DC/DC コンバータのイネーブルに接続し、OUT B をマイコン GPIO に接続できます。

Copyright © 2026 Texas Instruments Incorporated

8.2.1.3 アプリケーション曲線

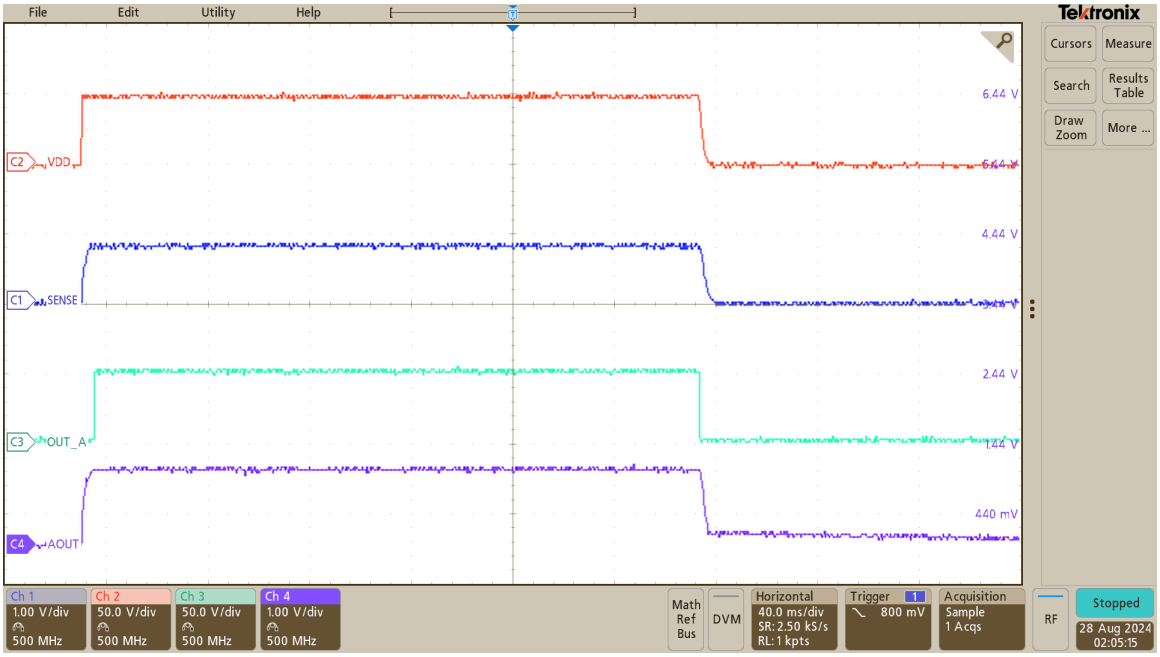


図 8-2. TPS3710x の波形

8.3 電源に関する推奨事項

これらのデバイスは、3V (V_{POR}) から 105V (最大動作電圧) までの入力電圧範囲で動作するように設計されています。適切なアナログ設計手法では、最低 0.1µF のセラミック コンデンサを VDD ピンのできるだけ近くに配置することが推奨されます。

8.3.1 電力散逸とデバイス動作

任意のパッケージにおける許容消費電力は、電源から IC の接合部を経て最終的な放熱先である周囲環境へ熱を伝達するデバイスの能力の指標です。したがって、消費電力は周囲温度およびダイ接合部と周囲空気との間の各種インターフェイスを通る熱抵抗に依存します。

与えられたパッケージでのデバイスの最大連続許容消費電力は、式 11 を使って計算できます。

$$P_{D\text{-}MAX} = ((T_{J\text{-}MAX} - T_A) / R_{\theta JA}) \quad (11)$$

デバイスで実際に消費される電力は、式 12 で計算できます。

$$P_D = V_{DD} \times I_{DD} + P_{OUT\,A} + P_{OUT\,B} \quad (12)$$

$P_{OUT\,A}$ と $P_{OUT\,B}$ は、式 13 または 式 14 によって計算されます。$V_{OUT\,A}$ と $V_{OUT\,B}$ は、出力のアサートステータスに依存します。

$$P_{OUT\,A} = V_{OUT\,A} \times I_{OUT\,A} \quad (13)$$

$$P_{OUTB} = V_{OUTB} \times I_{OUTB} \quad (14)$$

式 11 および 式 12 は、熱的考慮事項によって許容される最大消費電力、デバイスの両端の電圧降下、デバイスの連続電流能力の関係を示します。これら 2 つの式を使用して、アプリケーションでのデバイスの最適な動作条件を決定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

消費電力を低減 (P_D) または優れたパッケージ熱抵抗 ($R_{\theta JA}$) を使用するアプリケーションでは、最大周囲温度 (T_{A-MAX}) を増やすことができます。

消費電力が高いアプリケーションまたはパッケージからの熱抵抗が低いアプリケーションでは、最大周囲温度 (T_{A-MAX}) をディレーティングする必要があります。T_{A-MAX} は式 15 で与えられるように、動作時の最大接合部温度 ($T_{J-MAX-OP}$ = 125°C)、アプリケーションのデバイス パッケージの最大許容消費電力 (P_{D-MAX})、およびアプリケーションの部品またはパッケージの接合部から周囲への熱抵抗 ($R_{\theta JA}$) に依存します:

$$T_{A-MAX} = (T_{J-MAX-OP} - (R_{\theta JA} \times P_{D-MAX})) \quad (15)$$

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- VDD ピンへの接続が低インピーダンスであることを確認します。適切なアナログ設計手法では、0.1uF 以上のセラミック コンデンサを VDD ピンの出来るだけ近くに配置することが推奨されます。
- SENSE ピンのノイズ耐性をさらに向上させるには、CTS 機能を 100pF のコンデンサとともに使用するか、SENSE ピンに 10nF ～ 100nF のコンデンサを取り付けます。
- CTS または CTR にコンデンサを使用する場合は、これらの部品をそれぞれのピンにできるだけ近づけて配置してください。調整用コンデンサのピンが未接続の場合は、CTS および CTR の遅延に影響を与えるため、ピンの寄生容量を 20pF 以下にできるだけ抑えます。
- SENSE ピンのノイズ耐性をさらに向上させるには、CTS 機能を 100pF のコンデンサとともに使用するか、SENSE ピンに 10nF～100nF のコンデンサを取り付けます。
- AOUT の安定化用コンデンサは、ピンにできるだけ近づけて配置します。
- オープン ドレイン出力の場合、プルアップ抵抗 OUT A、OUT B、$\overline{\text{BIST}}$ はピンにできるだけ近づけて配置します。
- 配線設計時には、高電圧配線と低電圧配線をできるだけ離して配置します。高電圧配線と低電圧配線を近接して配置する必要がある場合、配線間の間隔は 20mils (0.5mm) 以上確保します。
- 高電圧の金属パッドやパターンを低電圧の金属パッドやパターンに 20mils (0.5mm) より近い位置に配置しないでください。

8.4.2 レイアウト例

図 8-3 のレイアウト例に、ユーザー定義の遅延を伴うプリント基板 (PCB) 上で TPS37100 をレイアウトする方法を示します。

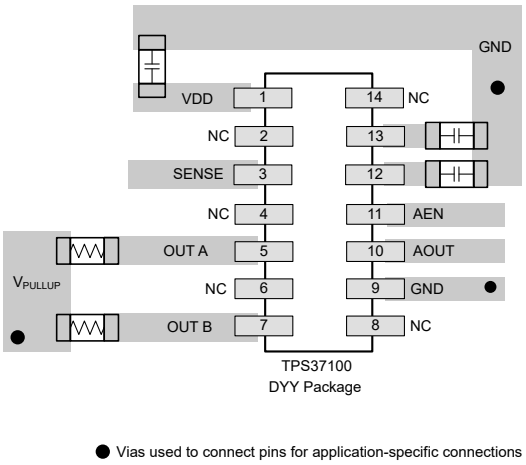


図 8-3. TPS37100 の推奨レイアウト

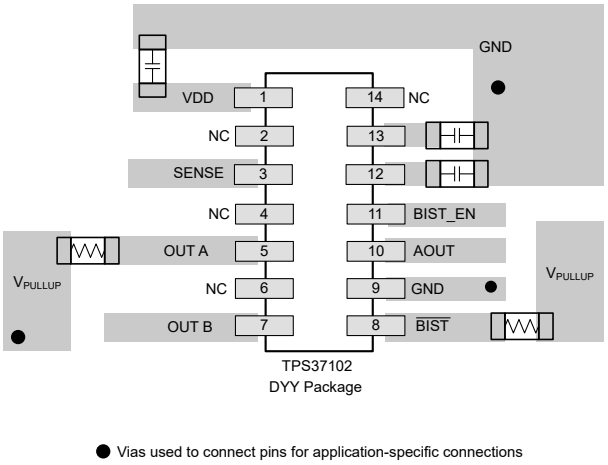


図 8-4. TPS37102 の推奨レイアウト

8.4.3 沿面距離

IEC 60664 に準拠した沿面距離は、2 つの導電部品間の最短距離であるか、図 8-5 に示されているように高電圧導電部品と接地部品間の距離で、フローティング導電部品は無視され、全距離から減算されます。

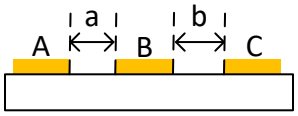


図 8-5. 沿面距離

図 8-5 詳細

- A = 左ピン (高電圧)
- B =中央パッド (導電性が内部接続されていない、フローティングのままにするか GND に接続可能)
- C = 右ピン (低電圧)
- 沿面距離 = a + b

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

E2E™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (September 2025) to Revision B (October 2026)	Page
• 機能安全のテキストを更新	1
• 可変図と固定図を分離して、デバイスの命名規則を更新	3
• リリース済みの発注可能製品を反映するようにデバイスのスレッショルド表を更新	3
• デバイスのスレッショルド表の名前を使用可能なデバイスに変更	3
• UV のみおよび OV のみのバリアント OUT のアサートの説明を更新	19

Changes from Revision * (May 2025) to Revision A (September 2025)	Page
• TPS37100-Q1 デバイスのステータスを「事前情報」から「量産データ」に変更	1
• データシートのステータスを「事前情報」から「量産混合」に変更	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS37100W41DDYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	371W41D

(1) Status: For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS37100 :

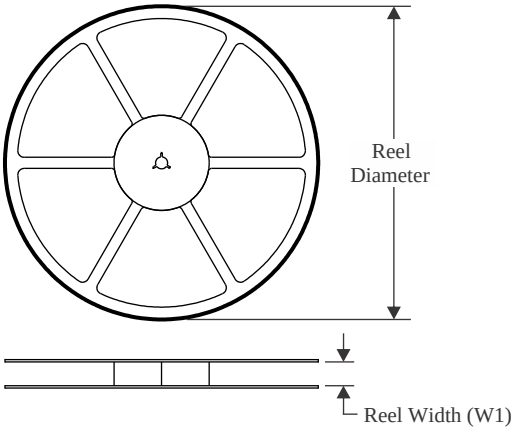
- Automotive : TPS37100-Q1

NOTE: Qualified Version Definitions:

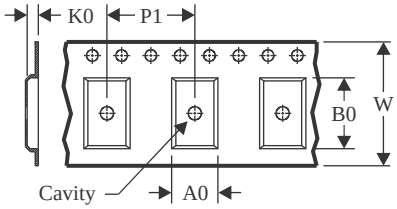
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

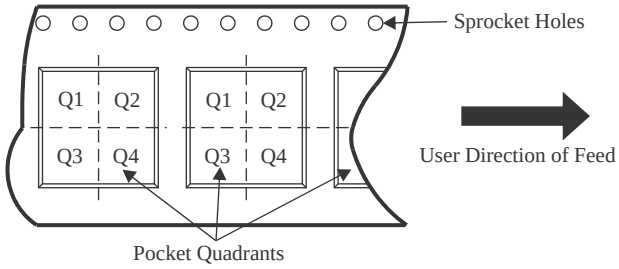


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

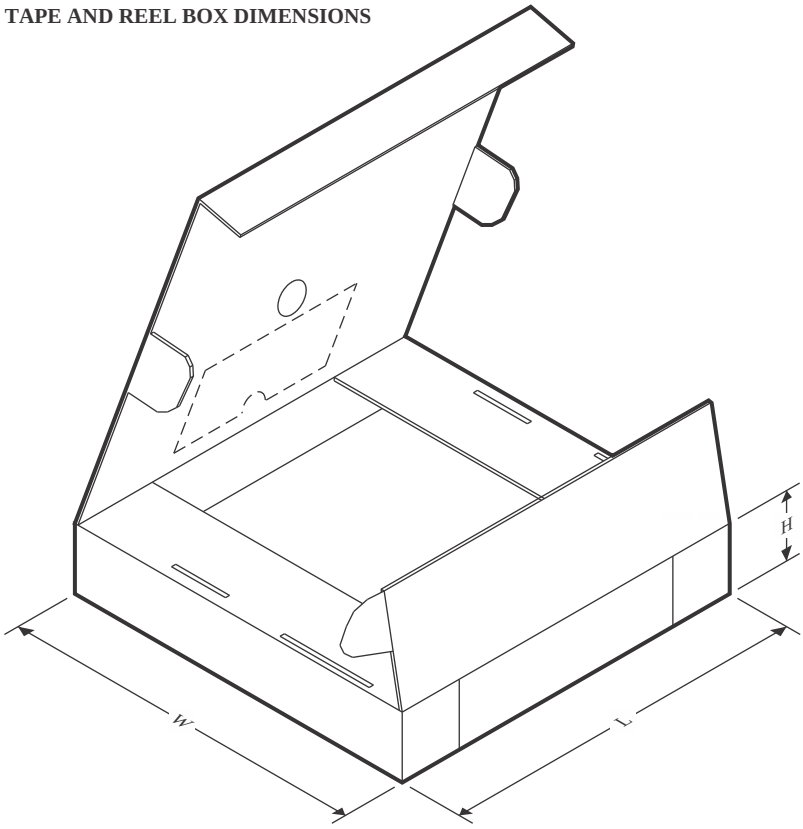
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS37100W41DDYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

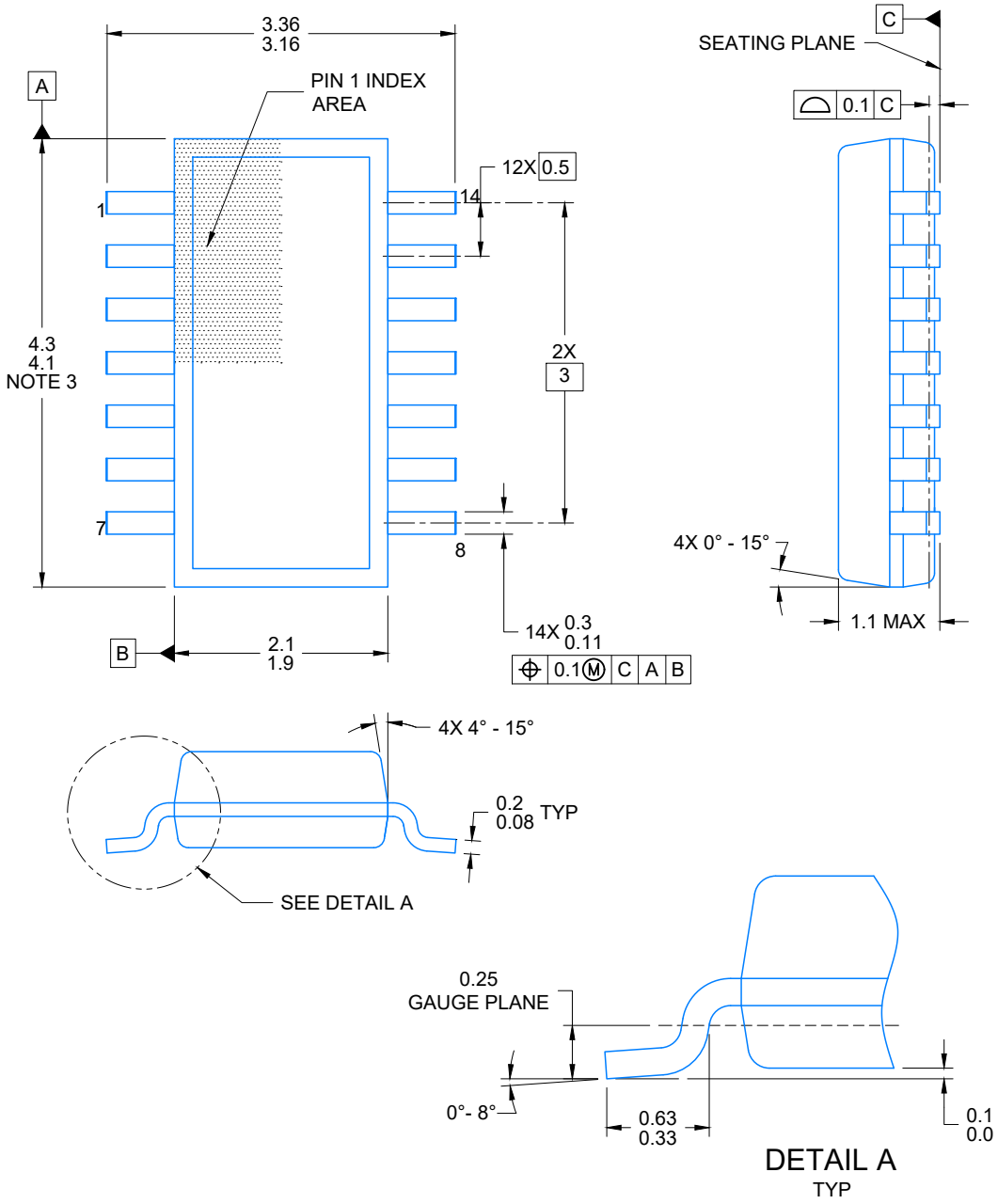
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS37100W41DDYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8

PACKAGE OUTLINE

DYY0014A

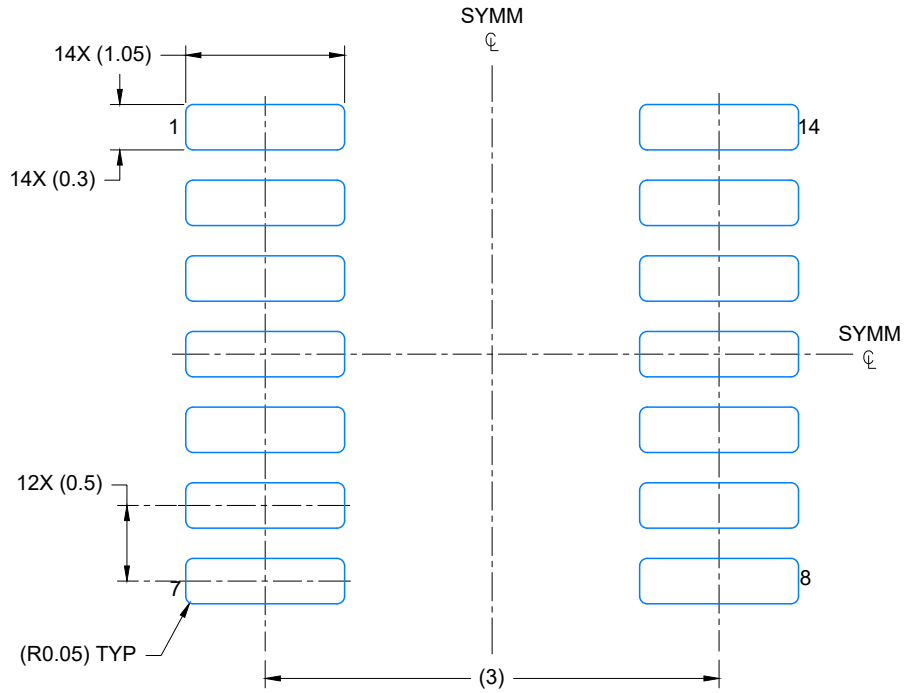
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

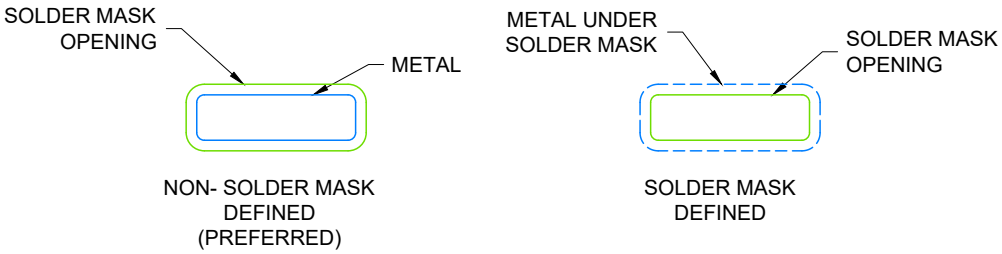


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

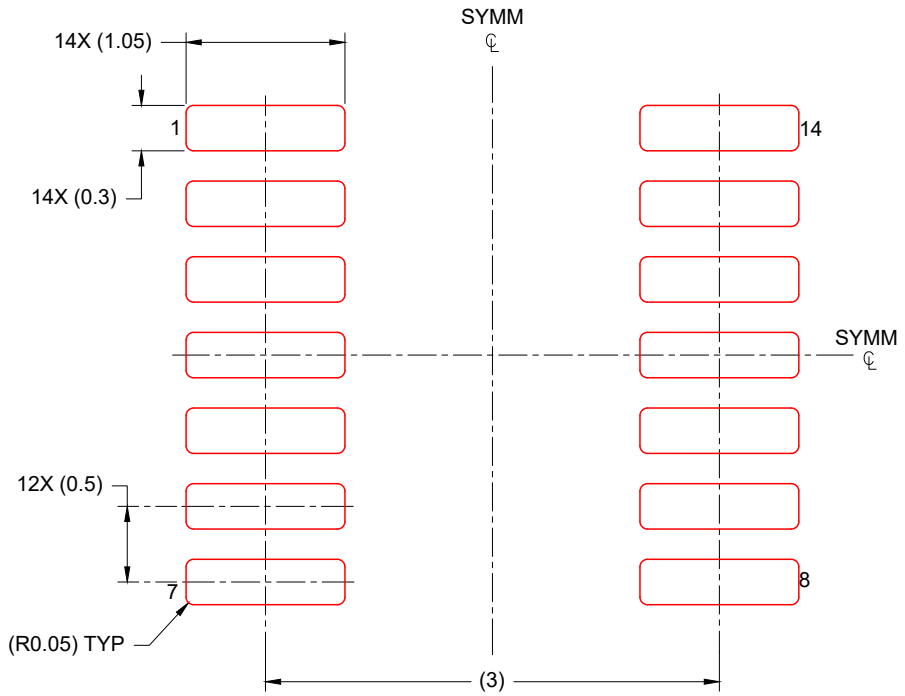


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月