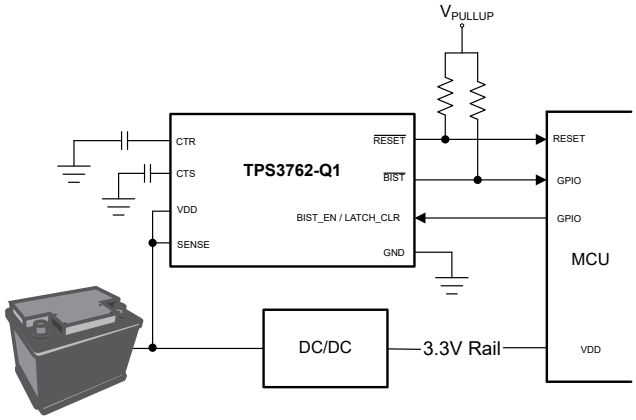
TPS3762-Q1 車載向け 65V 対応、4µA、ウィンドウ型過電圧 / 低電圧スーパーバイザ (内蔵セルフテストおよびラッチ機能搭載)

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
  - デバイス温度グレード 1:-40℃ ～ +125℃
- 機能安全準拠
  - 機能安全アプリケーション向けに開発
  - ISO 26262 システムの設計に役立つ資料
  - ASIL-D までの決定論的対応能力
  - ASIL-D までのハードウェア機能
- 幅広い入力電圧範囲:2.7V ～ 65V
- 低い静止電流:2µA
- 高いスレッショルド精度:1% (最大値)
- SENSE で -65V 逆極性保護
- 12V/24V のシステム向けの 3µs 高速 OV/UV モニタ
- 固定またはプログラム可能なリセット時間遅延
- 固定およびプログラム可能な検出遅延
- TPS3762-Q1:診断機能向けの内蔵セルフ テスト
  - 内蔵セルフ テスト機能は、機能安全を目的としてデバイス内部の故障を監視します
  - 出力リセット・ラッチ機能

2 アプリケーション

- センサ フュージョンおよびカメラ
- デジタル コックピット処理装置
- オンボード チャージャ
- ADAS ドメイン コントローラ



代表的なアプリケーション回路

3 説明

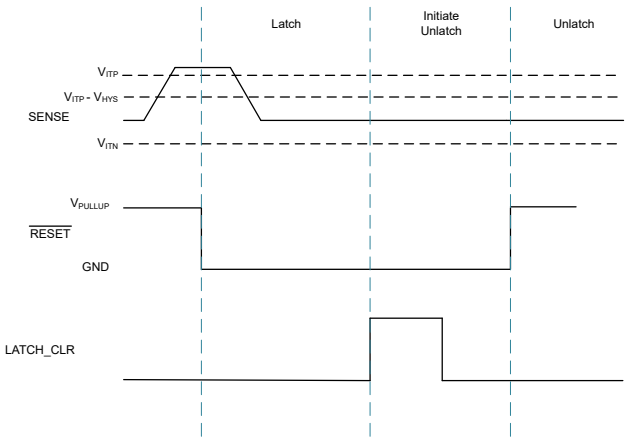
TPS3762-Q1 は、4µA I_{DD}、0.9% 精度、高速検出時間 (3µs)、内蔵セルフテスト機能を備えた 65V 入力電圧スーパーバイザ ファミリです。このデバイス ファミリは、12V/24V の車載バッテリ システムに直接接続でき、過電圧 (OV) および低電圧 (UV) 状態を継続的に監視できます。多くのヒステリシス電圧オプションを利用することで、大きな電圧過渡を無視することができ、さらに誤リセット信号を防止できます。

TPS3762-Q1 出力 (Reset) は、OV および UV の故障に対して使用され、故障が発生した際にシステムが適切な対処を行えるようにします。TPS3762-Q1 には BIST が搭載されており、起動時に実行されてデバイスの健全性を確認します。また、重大な故障が発生した際にシステムを安全状態へ移行させるためのオプションのラッチ機能も備えています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (公称)
TPS3762-Q1	DDF (SOT-23、8)	2.9mm × 2.8mm	2.9mm × 1.6mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



ラッチ機能の波形

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

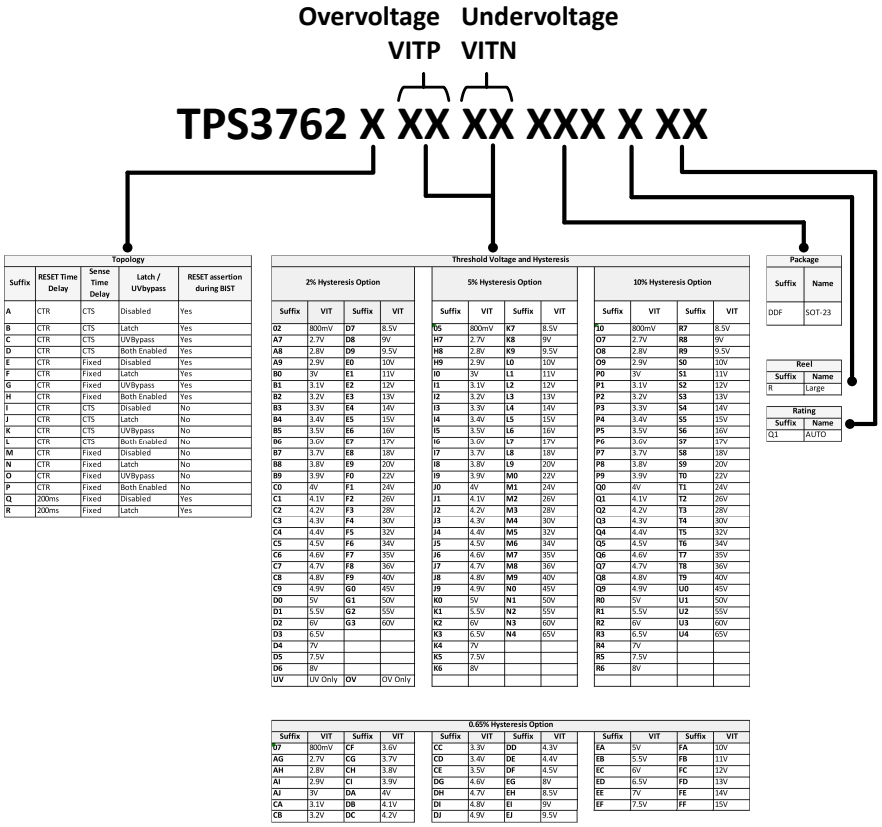
目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイスの比較 ... 3
4.1 デバイスの命名規則 ... 4
5 ピン構成および機能 ... 5
6 仕様 ... 6
6.1 絶対最大定格 ... 6
6.2 ESD 定格 ... 6
6.3 推奨動作条件 ... 6
6.4 熱に関する情報 ... 7
6.5 電気的特性 ... 8
6.6 スイッチング要件 ... 10
6.7 タイミング要件 ... 11
6.8 タイミング図 ... 12
6.9 代表的特性 ... 14
7 詳細説明 ... 16
7.1 概要 ... 16
7.2 機能ブロック図 ... 16
7.3 機能説明 ... 17
7.4 デバイスの機能モード ... 30
8 アプリケーションと実装 ... 31
8.1 使用上の注意 ... 31
8.2 可変電圧スレッショルド ... 31
8.3 代表的なアプリケーション ... 32
8.4 電源に関する推奨事項 ... 36
8.5 レイアウト ... 36
9 デバイスおよびドキュメントのサポート ... 38
9.1 ドキュメントのサポート ... 38
9.2 ドキュメントの更新通知を受け取る方法 ... 38
9.3 サポート・リソース ... 38
9.4 商標 ... 38
9.5 静電気放電に関する注意事項 ... 38
9.6 用語集 ... 38
10 改訂履歴 ... 38
11 メカニカル、パッケージ、および注文情報 ... 39

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

デバイス デコーダでは、TPS3762-Q1 の一部のデバイス命名方式が示されています。すべてのデバイスの命名規則がこの命名規則表に従っているとは限りません。各デバイスの部品番号について、スレッショルド電圧オプション、BIST 構成、ラッチ構成、CTR オプション、CTS オプション、および UV バイパス別の詳細な内訳については、セクション 4.1 を参照してください。他のオプションの詳細と提供状況については、TI の販売代理店または TI の E2E フォーラムにお問い合わせください。



Topology

Suffix	RESET Time Delay	Sense Time Delay	Latch / UVbypass	RESET assertion during BIST
A	CTR	CTS	Disabled	Yes
B	CTR	CTS	Latch	Yes
C	CTR	CTS	UVBypass	Yes
D	CTR	CTS	Both Enabled	Yes
E	CTR	Fixed	Disabled	Yes
F	CTR	Fixed	Latch	Yes
G	CTR	Fixed	UVBypass	Yes
H	CTR	Fixed	Both Enabled	Yes
I	CTR	CTS	Disabled	No
J	CTR	CTS	Latch	No
K	CTR	CTS	UVBypass	No
L	CTR	CTS	Both Enabled	No
M	CTR	Fixed	Disabled	No
N	CTR	Fixed	Latch	No
O	CTR	Fixed	UVBypass	No
P	CTR	Fixed	Both Enabled	No
Q	200ms	Fixed	Disabled	Yes
R	200ms	Fixed	Latch	Yes

Threshold Voltage and Hysteresis

2% Hysteresis Option

Suffix	VIT	Suffix	VIT
02	800mV	D7	8.5V
A7	2.7V	D8	9V
A8	2.8V	D9	9.5V
A9	2.9V	E0	10V
B0	3V	E1	11V
B1	3.1V	E2	12V
B2	3.2V	E3	13V
B3	3.3V	E4	14V
B4	3.4V	E5	15V
B5	3.5V	E6	16V
B6	3.6V	E7	17V
B7	3.7V	E8	18V
B8	3.8V	E9	20V
B9	3.9V	F0	22V
C0	4V	F1	24V
C1	4.1V	F2	26V
C2	4.2V	F3	28V
C3	4.3V	F4	30V
C4	4.4V	F5	32V
C5	4.5V	F6	34V
C6	4.6V	F7	35V
C7	4.7V	F8	36V
C8	4.8V	F9	40V
C9	4.9V	G0	45V
D0	5V	G1	50V
D1	5.5V	G2	55V
D2	6V	G3	60V
D3	6.5V		
D4	7V		
D5	7.5V		
D6	8V		
UV	UV Only	OV	OV Only

5% Hysteresis Option

Suffix	VIT	Suffix	VIT
05	800mV	K7	8.5V
H7	2.7V	K8	9V
H8	2.8V	K9	9.5V
H9	2.9V	L0	10V
I0	3V	L1	11V
I1	3.1V	L2	12V
I2	3.2V	L3	13V
I3	3.3V	L4	14V
I4	3.4V	L5	15V
I5	3.5V	L6	16V
I6	3.6V	L7	17V
I7	3.7V	L8	18V
I8	3.8V	L9	20V
I9	3.9V	M0	22V
J0	4V	M1	24V
J1	4.1V	M2	26V
J2	4.2V	M3	28V
J3	4.3V	M4	30V
J4	4.4V	M5	32V
J5	4.5V	M6	34V
J6	4.6V	M7	35V
J7	4.7V	M8	36V
J8	4.8V	M9	40V
J9	4.9V	N0	45V
K0	5V	N1	50V
K1	5.5V	N2	55V
K2	6V	N3	60V
K3	6.5V	N4	65V
K4	7V		
K5	7.5V		
K6	8V		

10% Hysteresis Option

Suffix	VIT	Suffix	VIT
10	800mV	R7	8.5V
O7	2.7V	R8	9V
O8	2.8V	R9	9.5V
O9	2.9V	S0	10V
P0	3V	S1	11V
P1	3.1V	S2	12V
P2	3.2V	S3	13V
P3	3.3V	S4	14V
P4	3.4V	S5	15V
P5	3.5V	S6	16V
P6	3.6V	S7	17V
P7	3.7V	S8	18V
P8	3.8V	S9	20V
P9	3.9V	T0	22V
Q0	4V	T1	24V
Q1	4.1V	T2	26V
Q2	4.2V	T3	28V
Q3	4.3V	T4	30V
Q4	4.4V	T5	32V
Q5	4.5V	T6	34V
Q6	4.6V	T7	35V
Q7	4.7V	T8	36V
Q8	4.8V	T9	40V
Q9	4.9V	U0	45V
R0	5V	U1	50V
R1	5.5V	U2	55V
R2	6V	U3	60V
R3	6.5V	U4	65V
R4	7V		
R5	7.5V		
R6	8V		

Package

Suffix	Name
DDF	SOT-23

Reel

Suffix	Name
R	Large

Rating

Suffix	Name
Q1	AUTO

0.65% Hysteresis Option

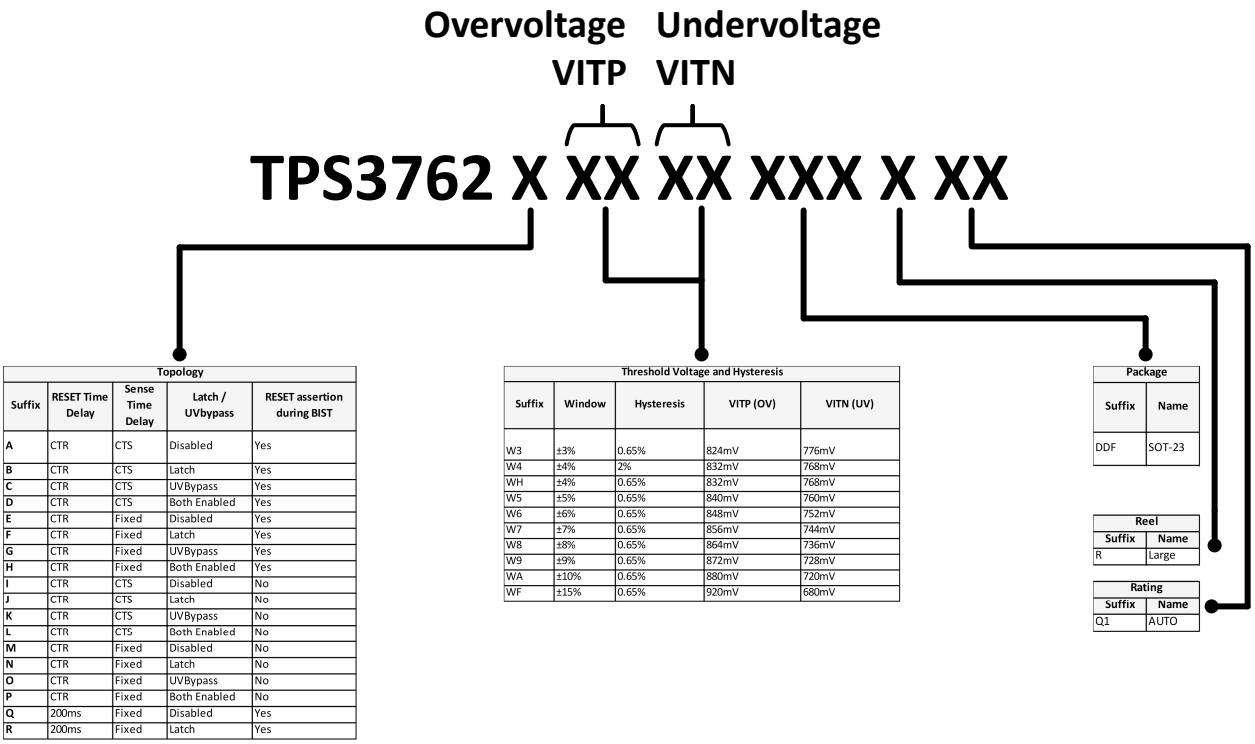
Suffix	VIT	Suffix	VIT
07	800mV	CF	3.6V
AG	2.7V	CG	3.7V
AH	2.8V	CH	3.8V
AI	2.9V	CI	3.9V
AJ	3V	DA	4V
CA	3.1V	DB	4.1V
CB	3.2V	DC	4.2V

Suffix	VIT	Suffix	VIT
CC	3.3V	DD	4.3V
CD	3.4V	DE	4.4V
CE	3.5V	DF	4.5V
DG	4.6V	EG	8V
DH	4.7V	EH	8.5V
DI	4.8V	EI	9V
DJ	4.9V	EJ	9.5V

Suffix	VIT	Suffix	VIT
EA	5V	FA	10V
EB	5.5V	FB	11V
EC	6V	FC	12V
ED	6.5V	FD	13V
EE	7V	FE	14V
EF	7.5V	FF	15V

1. VIT が 800mV のサフィックス 02、05、および 10 は、可変タイプに対応しており、内部電圧分圧回路を備えていません
2. 部品番号別のデコード表については、セクション 4.1 を参照してください。
3. 固定 SENSE の時間遅延タイミングについては、スイッチング特性を参照してください。

Copyright © 2026 Texas Instruments Incorporated



4.1 デバイスの命名規則

セクション 4 に記載のデバイス デコーダでは、部品番号に基づいてデバイスの各機能をどのように読み解くかを説明しています。すべての型番がこの命名規則に従っているとは限りません。すべてのデバイスの、型番デコード表として表 4-1 を使用します。

表 4-1. デバイス構成表

発注用部品名	過電圧	アンダーボルテージ	センス時間遅延 リセット時間遅延	ラッチ / UVbypass	BIST 中のリセット アサート
TPS3762D02OVDDFRQ1	V_{ITP}: 800mV V_{HYS}: 2%	該当なし	センス:CTS RESET:CTR	ラッチ:有効 UVBypass: 有効	有効
TPS3762EUVF4DDFRQ1	該当なし	V_{ITN}:30.0V V_{HYS}: 2%	センス:固定 RESET:CTR	ラッチ:無効 UVBypass: 無効	有効
TPS3762EG4OVDDFRQ1	V_{ITP}: 54.0V V_{HYS}: 2%	該当なし	センス:固定 RESET:CTR	ラッチ:無効 UVBypass: 無効	有効
TPS3762BUV05DDFRQ1	該当なし	V_{ITN}:800mV V_{HYS}: 5%	センス:CTS RESET:CTR	ラッチ:有効 UVBypass: 無効	有効
TPS3762EUV02DDFRQ1 セクション 4.1	該当なし	V_{ITN}:800mV V_{HYS}: 2%	センス:固定 RESET:CTR	ラッチ:無効 UVBypass: 無効	有効
TPS3762F02OVDDFRQ1 1	V_{ITP}: 800mV V_{HYS}: 2%	該当なし	センス:固定 RESET:CTR	ラッチ:有効 UVBypass: 無効	有効
TPS3762DW4W4DDFRQ1 1	V_{ITP}: 832mV V_{HYS}: 2%	V_{ITN}:768mV V_{HYS}: 2%	センス:CTS RESET:CTR	ラッチ:有効 UVBypass: 有効	有効

1. 他のオプションの詳細と提供状況については、TI の販売代理店または TI の E2E にお問い合わせください
2. 固定センス時間遅延のタイミングについては、スイッチング特性を参照してください。
3. 製品プレビュー。供給状況については、テキサス インスツルメンツの担当者までお問い合わせください

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

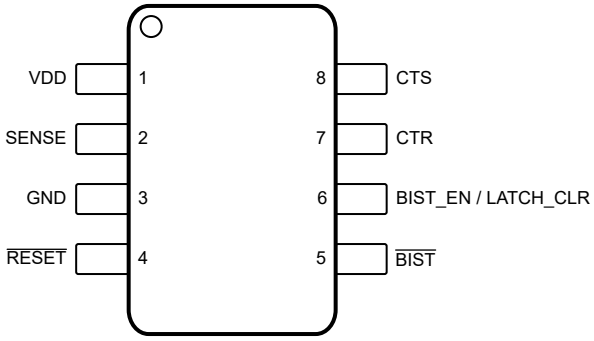


図 5-1. DDF パッケージ、8 ピン SOT-23、TPS3762-Q1 (上面図)

表 5-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
VDD	1	I	**入力電源電圧:** 電源電圧ピン。ノイズの多いシステムでは、0.1µF コンデンサを使用して GND にバイパスします。
SENSE	2	I	**センス電圧:** このピンは、監視が必要な電源レールに接続します。詳細については、セクション 8.3.2 を参照してください。 センシング トポロジ: **過電圧 (OV) または低電圧 (UV) またはウィンドウ (OV + UV)**
GND	3	-	**グランド。** グランド ピン。すべての GND ピンは、基板のグランドに電気的に接続する必要があります。
$\overline{\text{RESET}}$	4	O	**出力リセット信号:** $\overline{\text{RESET}}$ は、CTS によって設定されたセンス時間遅延後にセンスが電圧スレッショルドを越えるとアサートされます。また、センスが故障状態から復帰した後も、CTR によって設定されたリセット時間遅延の間、アサート状態を維持します。ラッチ機能付きバリアントでは、ラッチがクリアされるまで $\overline{\text{RESET}}$ はアサート状態を維持します。アクティブ low のオープン ドレイン RESET 出力には、外部プルアップ抵抗が必要です。詳細については、セクション 8.3.3.2 を参照してください。 出力トポロジ: **オープン ドレイン アクティブ Low**
$\overline{\text{BIST}}$	5	O	**内蔵セルフ テスト:** BIST_EN/LATCH_CLR または BIST_EN ピンにロジック High 入力が与えられると、$\overline{\text{BIST}}$ はアサートされます。これにより内部 BIST テストが開始されます。$\overline{\text{BIST}}$ が正常に完了したことを示すため、$t_{\overline{\text{BIST}}}$ の後、BIST は回復します。$\overline{\text{BIST}}$ 中に障害が発生した場合、BIST は $t_{\overline{\text{BIST}}}$ よりも長い時間アサートされたままになります。$\overline{\text{BIST}}$ アクティブ low、オープン ドレインリリース出力には、外付けのプルアップ抵抗が必要です。詳細については、セクション 8.3.6 を参照してください。
BIST_EN/LATCH_CLR	6	I	**内蔵セルフ テスト イネーブルとラッチ消去:** BIST を開始するには、BIST_EN/LATCH_CLR ピンに立ち上がりエッジ入力が必要です。ラッチ有効デバイスでは、ロジック Low 入力でラッチが有効になり、ロジック High 入力でラッチが無効化 / クリアされます。ピン 6 には内部 100kΩ のプルダウン抵抗が内蔵されており、起動時にラッチ機能を有効にします。詳細については、セクション 8.3.6 を参照してください。
CTR	7	O	**RESET 時間遅延:** $\overline{\text{RESET}}$ のリセット時間遅延をユーザーがプログラム可能。遅延時間を調整する場合は外付けコンデンサを接続するか、または遅延を最短にする場合はピンをフローティングのままにします。詳細については、セクション 8.3.4 を参照してください。
CTS	8	O	**SENSE 時間遅延:** SENSE のセンス時間遅延をユーザーがプログラム可能。遅延時間を調整する場合は外付けコンデンサを接続するか、または遅延を最短にする場合はピンをフローティングのままにします。詳細については、セクション 8.3.5 を参照してください。

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 特に記述のない限り (1)

		最小値	最大値	単位
電圧	V_{DD}、$V_{SENSE\ (Adjustable)}$、$V_{\overline{RESET}}$	-0.3	70	V
電圧	$V_{SENSE(Fixed)}$	-65	70	V
電圧	V_{CTS}、V_{CTR}	-0.3	6	V
電圧	V_{BIST}、V_{BIST_EN}、$V_{BIST_EN/LATCH_CLR}$	-0.3	6	V
電流	I_{RESET}、I_{BIST}		10	mA
温度(2)	動作時の接合部温度、T_J	-40	150	°C
温度(2)	動作時周囲温度、T_A	-40	150	°C
温度(2)	保存、T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) このデバイスの消費電力は低いため、T_J は T_A と等しいものと仮定しています。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC - Q100-002 準拠 (1)	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電圧	V_{DD}	2.7		65	V
電圧	V_{DD} (50ms 過渡)(2)			70	V
電圧	V_{SENSE}、$V_{\overline{RESET}}$	0		65	V
電圧	V_{CTS}、V_{CTR}	0		5.5	V
電圧	$V_{\overline{BIST}}$、V_{BIST_EN}、$V_{BIST_EN/LATCH_CLR}$	0		5.5	V
電流	$I_{\overline{RESET}}$、I_{BIST}	0		5	mA
T_J (1)	接合部温度 (自由気流の温度)	-40		125	°C

(1) このデバイスの消費電力は低いため、T_J は T_A と等しいものと仮定しています。
(2) この仕様は過渡条件に対するものです。この条件での繰り返し動作は、デバイスの寿命に影響を及ぼす可能性があります。

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準 (1)		TPS3762-Q1	単位
		DDF	
		8-PIN	
$R_{\theta JA}$	接合部から周囲への熱抵抗	154.6	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	77.4	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	73.2	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	4.8	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	72.9	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性

$V_{DD\ (MIN)} \le V_{DD} \le V_{DD\ (MAX)}$、CTR = CTS = オープン、出力 $\overline{RESET}$ プルアップ レジスタ R_{PU} = 10kΩ、電圧 V_{PU} = 5.5V、出力 $\overline{BIST}$ プルアップ レジスタ $R_{PU_\overline{BIST}}$ = 10kΩ、電圧 $V_{PU_\overline{BIST}}$ = 5.5V、および負荷 C_{LOAD} = 10pF。自由気流での動作温度範囲内、代表値 T_A = -40℃～125°C (特に記述のない限り)標準値は、T_A = 25°C、V_{DD} = 12V および V_{IT} = 6.5V での値です (V_{IT} は V_{ITN} または V_{ITP} を指します)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
V_{DD}	電源電圧		2.7		65	V
UVLO [1]	低電圧誤動作防止	V_{DD} が $V_{DD\ (MIN)}$ より上に上昇する			2.6	V
UVLO (HYS) [1]	低電圧誤動作防止ヒステリシス	V_{DD} が $V_{DD\ (MIN)}$ 未満に低下		500		mV
$V_{POR\ (\overline{RESET})}$	パワーオン リセット電圧 [2] $\overline{RESET}$、アクティブ Low (オープン ドレイン)	$V_{OL\ (MAX)}$ = 300mV $I_{OUT\ (Sink)}$ = 15µA			1.4	V
$V_{POR\ (\overline{BIST})}$	パワーオン リセット電圧 [2] $\overline{BIST}$、アクティブ Low (オープン ドレイン)	$V_{OL\ (MAX)}$ = 300mV $I_{OUT\ (Sink)}$ = 15µA			1.4	V
I_{DD}	V_{DD} ピンへの電源電流	V_{IT} = 800mV $V_{DD\ (MIN)} \le V_{DD} \le V_{DD\ (MAX)}$		4	8.1	µA
I_{DD}	VDD ピンへの電源電流	V_{IT} = 2.7V ～ 65V $V_{DD\ (MIN)} \le V_{DD} \le V_{DD\ (MAX)}$			8.1	µA
SENSE (入力)						
I_{SENSE}	入力電流	V_{IT} = 800mV			200	nA
I_{SENSE}	入力電流	V_{IT} = 2.7V ～ 65V		1.5	5	µA
V_{ITN}	負の入力スレッショルド (低電圧)	V_{ITN} = 2.7V～65V	-1		1	%
V_{ITN}	負の入力スレッショルド (低電圧)	V_{ITN} = 800mV[3]	-0.9		0.9	%
V_{ITP}	正の入力スレッショルド (過電圧)	V_{ITP} = 2.7V～65V	-1		1	%
V_{ITP}	正の入力スレッショルド (過電圧)	V_{ITP} = 800mV[3]	-0.9		0.9	%
V_{HYS}	ヒステリシスの精度 [4]	V_{IT} = 0.8V および 2.7V ～ 65V V_{HYS} 範囲 = 0.7%	0.6	0.7	0.8	%
V_{HYS}	ヒステリシスの精度 [4]	V_{HYS} 範囲 = 2%	1.5	2	2.5	%
V_{HYS}	ヒステリシスの精度 [4]	V_{HYS} 範囲 = 5%	4.5	5	6	%
V_{HYS}	ヒステリシスの精度 [4]	V_{HYS} 範囲 = 10%	9	10	11	%
$\overline{RESET}$ (出力)						
$I_{lkg(OD)}$	オープンドレイン リーケージ	$V_{\overline{RESET}}$ = 5.5V $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
$I_{lkg(OD)}$	オープンドレイン リーケージ	$V_{\overline{RESET}}$ = 65V $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
V_{OL} [5]	Low レベル出力電圧	2.7V ≤ VDD ≤ 65V $I_{\overline{RESET}}$ = 2.7mA			350	mV

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

$V_{DD\ (MIN)} \le V_{DD} \le V_{DD\ (MAX)}$、CTR = CTS = オープン、出力 $\overline{RESET}$ プルアップ レジスタ R_{PU} = 10kΩ、電圧 V_{PU} = 5.5V、出力 $\overline{BIST}$ プルアップ レジスタ $R_{PU_\overline{BIST}}$ = 10kΩ、電圧 $V_{PU_\overline{BIST}}$ = 5.5V、および負荷 C_{LOAD} = 10pF。自由気流での動作温度範囲内、代表値 T_A = -40°C～125°C (特に記述のない限り)標準値は、T_A = 25°C、V_{DD} = 12V および V_{IT} = 6.5V での値です (V_{IT} は V_{ITN} または V_{ITP} を指します)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
コンデンサのタイミング (CTS、CTR)						
R_{CTR}	内部抵抗 (CTR)		2.96	3.7	4.44	MΩ
R_{CTS}	内部抵抗 (CTS)		2.96	3.7	4.44	MΩ
内蔵セルフ テスト						
$I_{lkg\ (\overline{BIST})}$	オープンドレイン リーケージ	$V_{\overline{BIST}}$ = 5.5V $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
$I_{lkg\ (\overline{BIST})}$	オープンドレイン リーケージ	$V_{\overline{BIST}}$ = 3.3V $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
$V_{\overline{BIST}_OL}$	Low レベル出力電圧	2.7V ≤ VDD ≤ 65V $I_{\overline{BIST}}$ = 5mA			300	mV
V_{BIST_EN}	BIST_EN ピンのロジック Low 入力				500	mV
V_{BIST_EN}	BIST_EN ピンのロジック High 入力		1300			mV
$V_{BIST_EN/LATCH_CLR}$	LATCH_CLR ピンのロジック low 入力				500	mV
$V_{BIST_EN/LATCH_CLR}$	LATCH_CLR ピンのロジック high 入力		1300			mV

(1) V_{DD} が UVLO を下回ると、$\overline{RESET}$ がアサートされます。V_{DD} スルー レート ≤ 100mV / µs
(2) V_{POR} は、制御された出力状態の最小 V_{DD} 電圧です。V_{POR} を下回ると、出力は決定できません。V_{DD} スルーレート ≤ 100mV/µs
(3) 可変電圧ガイドラインと抵抗の選択については、「アプリケーションと実装」セクションの可変電圧スレッショルドを参照してください
(4) ヒステリシスは、V_{ITP} および V_{ITN} 電圧スレッショルドを基準にしています。V_{ITP} には負のヒステリシス、V_{ITN} には正のヒステリシスがあります。
(5) 出力バリアントと V_{OH} と V_{OL} の関係については、タイミング要件表の後のタイミング図を参照してください

Copyright © 2026 Texas Instruments Incorporated

6.6 スイッチング要件

$V_{DD\ (MIN)} \le V_{DD} \le V_{DD\ (MAX)}$、CTR = CTS = オープン、出力 $\overline{RESET}$ プルアップ レジスタ R_{PU} = 10kΩ、電圧 V_{PU} = 5.5V、出力 $\overline{BIST}$ プルアップ レジスタ $R_{PU_\overline{BIST}}$ = 10kΩ、電圧 $V_{PU_\overline{BIST}}$ = 5.5V、および負荷 C_{LOAD} = 10pF。自由気流での動作温度範囲内、代表値 T_A = -40°C～125°C (特に記述のない限り)標準値は、T_A = 25°C、V_{DD} = 12V および V_{IT} = 6.5V での値です (V_{IT} は V_{ITN} または V_{ITP} を指します)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
一般的なスイッチング要件						
$t_{CTR\ (No\ Cap)}$	$\overline{リセット}$解放時間遅延 (CTR)(1)	VIT = 800mV C_{CTR} = オープン ヒステリシスから 20% のオーバードライブ		350	600	µs
$t_{CTR\ (No\ Cap)}$	$\overline{リセット}$解放時間遅延 (CTR)(1)	VIT = 2.7V ～ 65V C_{CTR} = オープン ヒステリシスから 20% のオーバードライブ			670	µs
t_{pd}	CTS = ディスエーブル(5)	VITP = 800mV V_{IT} から 20% オーバードライブ		1.2	3	µs
t_{pd}	CTS = ディスエーブル(5)	VITN = 800mV V_{IT} から 20% オーバードライブ		2	5	µs
t_{pd}	CTS = ディスエーブル	VITP = 2.7V ～ 65V V_{IT} から 20% オーバードライブ		10	36	µs
t_{pd}	CTS = ディスエーブル	VITN = 2.7V ～ 65V V_{IT} から 20% オーバードライブ		10	36	µs
t_{CTS}	センス検出時間遅延 (CTS)(2) (4)	VIT = 800mV C_{CTS} = オープン V_{IT} から 20% オーバードライブ		85	100	µs
t_{CTS}	センス検出時間遅延 (CTS)(2) (4)	VIT = 2.7V ～ 65V C_{CTS} = オープン V_{IT} から 20% オーバードライブ		85	120	µs
t_{SD}	スタートアップ遅延 (3)	C_{CTR} = オープン		1		ms
BIST スイッチング要件						
$t_{BIST_en_pd}$	BIST_EN 立ち上がりエッジから BIST アサートまでの時間			2.3		µs
$t_{BIST_en_pd}$	BIST_EN 立ち上がりエッジから RESET アサートまでの時間			2.3		µs
$t_{\overline{BIST}_recover}$	$\overline{BIST}$ の立ち上がりエッジからセンス入力有効まで	C_{CTR} = オープン、BIST = イネーブル		350	600	µs
$t_{\overline{BIST}}$	BIST 実行時				3.5	ms
$t_{SD+\overline{BIST}}$	BIST 実行時間ありの起動時間				4.5	ms
LATCH スイッチング要件						
$t_{BIST_EN/LATCH_CLR_Recover}$	$\overline{BIST}$ の立ち上がりエッジからセンス入力有効まで	C_{CTR} = オープン、BIST = ディスエーブル		10		µs

(1) **CTR リセット検出時間遅延:**
過電圧アクティブ low 出力は、$V_{ITP-HYS}$ から V_{OH}
までの測定値です。低電圧アクティブ low 出力は、$V_{ITN + HYS}$ から V_{OH} までの測定値です

(2) **CTS センス検出時間遅延:**
過電圧アクティブ low 出力は、V_{ITP} から V_{OL}
低電圧アクティブ low 出力までの測定値で、V_{ITN} から V_{OL} までの測定値

(3) パワーオン シーケンスの間、出力が V_{SENSE} に基づく正しい状態になるまでの間、V_{DD} は少なくとも $t_{SD} + \overline{BIST} + t_{CTR}$ の間、$V_{DD\ (MIN)}$ 以上である必要があります。なお、
t_{SD} 時間には伝搬遅延が含まれます (C_{CTR} = オープン)。CTR のコンデンサには、t_{SD} に時間が追加されます。

(4) C_{CTS} = オープンは、ピン上の寄生容量が 20pF 未満であることを想定しています。

(5) このパラメータは設計または特性で検証される値であり、実製品のテストは行っていません。

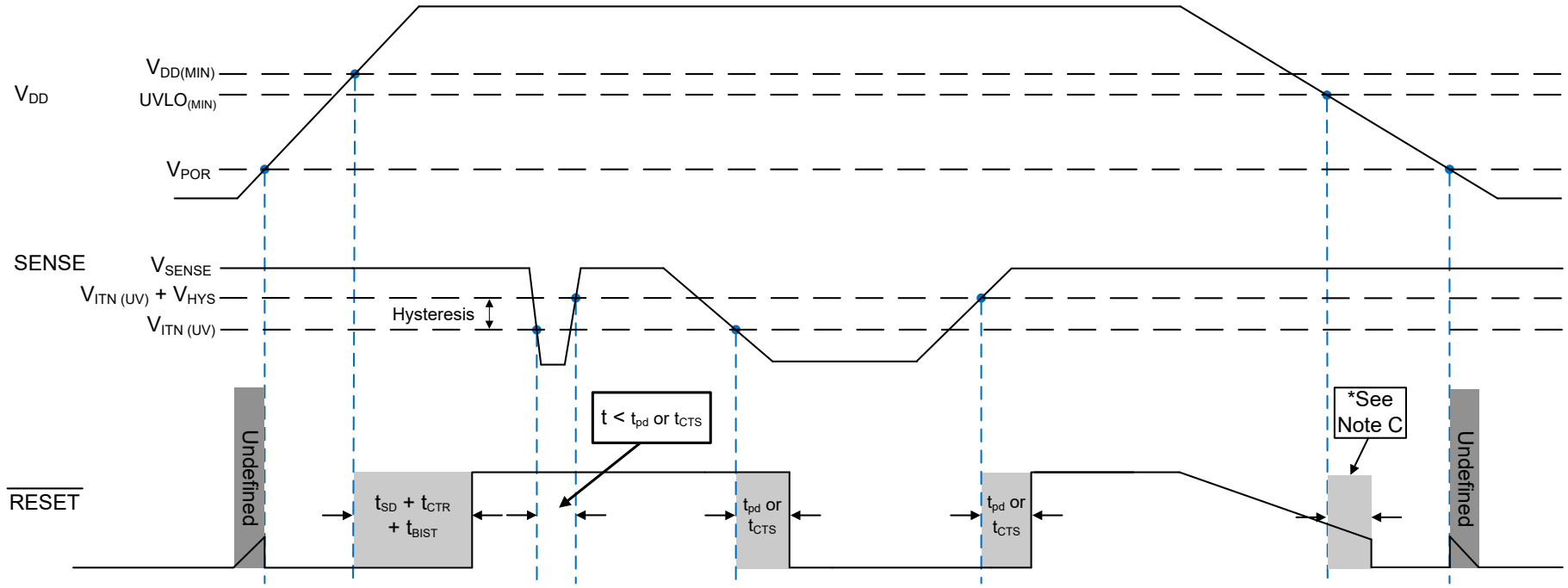
Copyright © 2026 Texas Instruments Incorporated

6.7 タイミング要件

$V_{DD\ (MIN)} \leq V_{DD} \leq V_{DD\ (MAX)}$、CTR = CTS = オープン、出力 $\overline{RESET}$ プルアップ レジスタ R_{PU} = 10kΩ、電圧 V_{PU} = 5.5V、出力 $\overline{BIST}$ プルアップ レジスタ $R_{PU_\overline{BIST}}$ = 10kΩ、電圧 $V_{PU_\overline{BIST}}$ = 5.5V、および負荷 C_{LOAD} = 10pF。動作周囲温度範囲 T_A = 40℃ ～ 125℃ (特に記述のない限り)。標準値は、T_A = 25°C、V_{DD} = 12V および V_{IT} = 6.5V での値です (V_{IT} は V_{ITN} または V_{ITP} を指します)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
BIST タイミング パラメータ						
$t_{BIST_en\ Glitch}$	BIST_EN グリッチ耐性			1.1		µs
t_{BIST_en}	BIST を開始するための最小 BIST_EN 入力幅			1.2	8	µs
LATCH タイミング パラメータ						
$t_{BIST_EN/LATCH_CLR\ Glitch}$	ラッチ グリッチ耐性			1.5		µs
$t_{BIST_EN/LATCH_CLR}$	ラッチ クリアのためのラッチ入力幅			1.6		µs

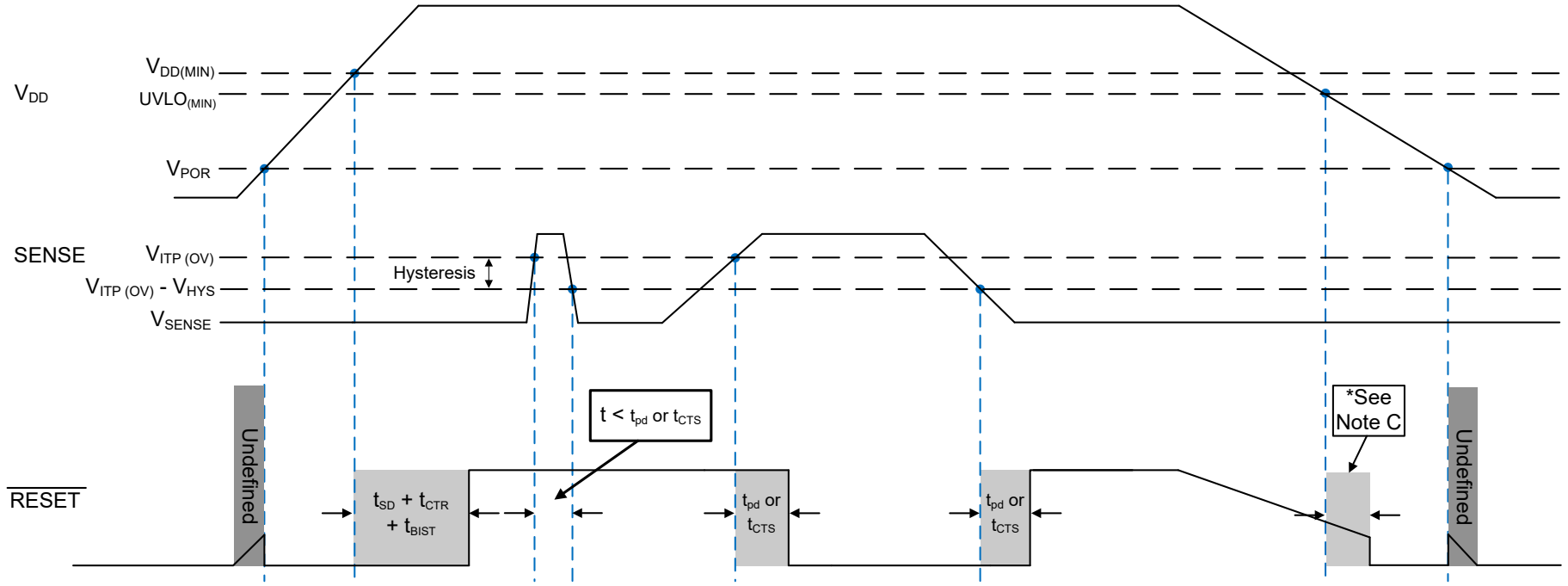
6.8 タイミング図



A. タイミング図は、オープンドレイン出力の $\overline{\text{RESET}}$ ピンが外付けのプルアップ抵抗を介して V_{DD} に接続されていることを前提としています。
B. 図 6-1 の場合、V_{DD} の下降スルーレートが遅い、または V_{DD} の減衰時間が伝搬検出遅延あるいは t_{CTR} 時間よりもはるかに長いことを示しています。
C. 遅延時間 t_{pd} または t_{CTR} に達した後に V_{DD} が $UVLO_{(MIN)}$ スレッショルドを下回ると、$\overline{\text{RESET}}$ がアサートされます。

図 6-1. SENSE 低電圧チャネル (UV) の時間図

Copyright © 2026 Texas Instruments Incorporated



A. タイミング図は、オープンドレイン出力の $\overline{\text{RESET}}$ ピンが外付けのプルアップ抵抗を介して V_{DD} に接続されていることを前提としています。
B. 図 6-2 の場合、V_{DD} の下降スルーレートが遅い、または V_{DD} の減衰時間が伝搬検出遅延あるいは t_{CTR} 時間よりもはるかに長いことを示しています。
C. 遅延時間 t_{pd} または t_{CTR} に達した後に V_{DD} が $UVLO_{(MIN)}$ スレッショルドを下回ると、$\overline{\text{RESET}}$ がアサートされます。

図 6-2. SENSE 過電圧チャネル (OV) の時間図

6.9 代表的特性

このセクションでは、TPS3762-Q1 デバイスの代表的特性を示します。特に指定がない限り、試験条件は T_A = 25°C において実施しています。

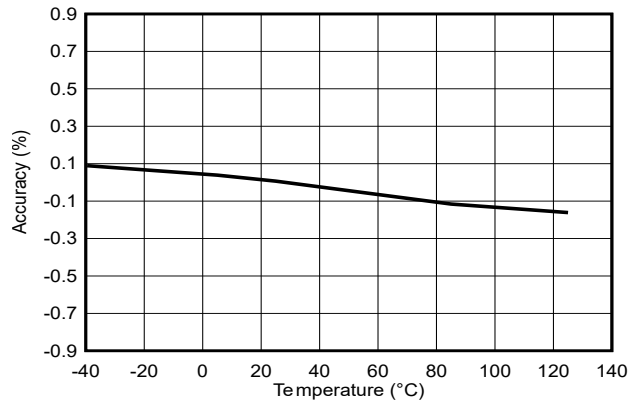


図 6-3. 低電圧精度と温度との関係 (V_{IT} = 0.8V)

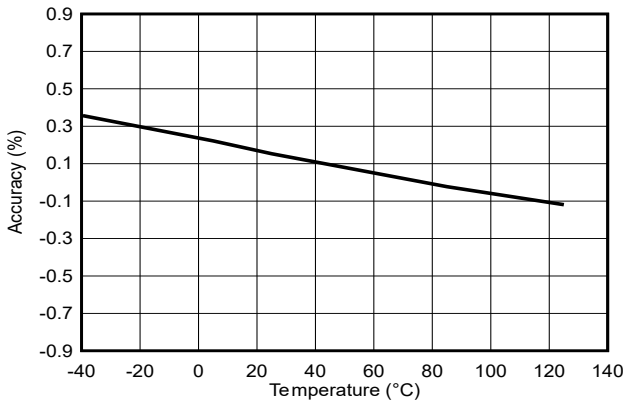


図 6-4. 過電圧精度と温度との関係 (V_{IT} = 0.8V)

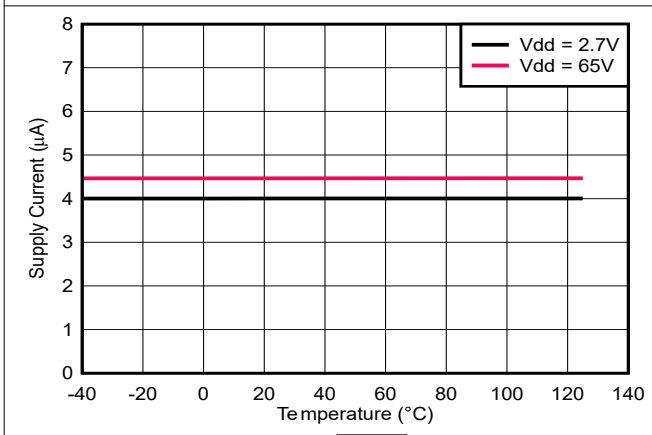


図 6-5. I_{DD} と温度との関係 ($\overline{RESET}$ = High、V_{IT} = 0.8V)

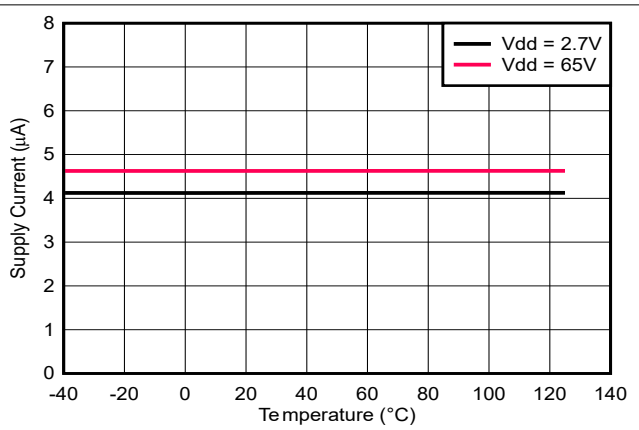


図 6-6. I_{DD} と V_{DD} との関係 ($\overline{RESET}$ = Low、V_{IT} = 0.8V)

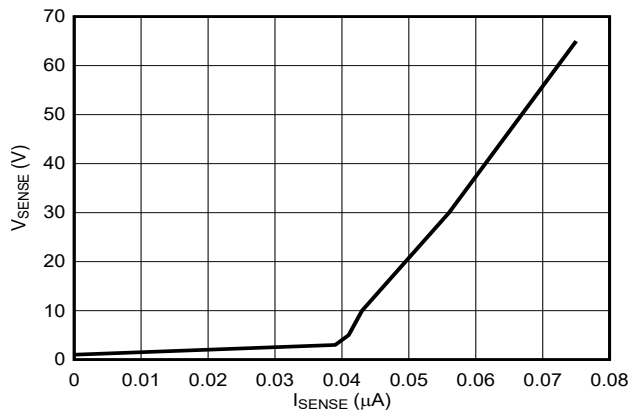


図 6-7. V_{SENSE} と I_{SENSE} との関係 (V_{DD} = 2.7V)

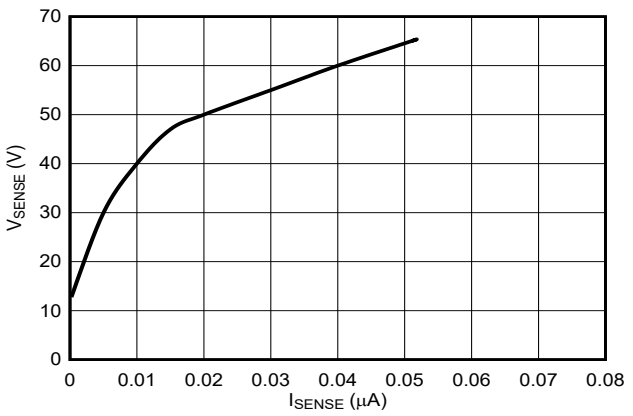


図 6-8. V_{SENSE} と I_{SENSE} との関係 (V_{DD} = 65V)

Copyright © 2026 Texas Instruments Incorporated

6.9 代表的特性 (続き)

このセクションでは、TPS3762-Q1 デバイスの代表的特性を示します。特に指定がない限り、試験条件は T_A = 25°C において実施しています。

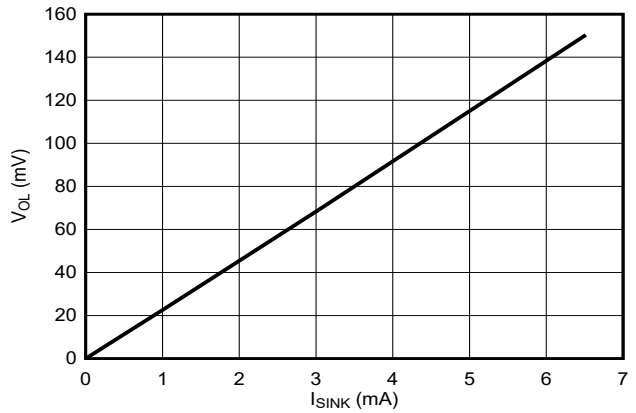


図 6-9. オープン ドレイン アクティブ Low V_{OL} と I_{RESET} との関係 (V_{DD} = 2.7V)

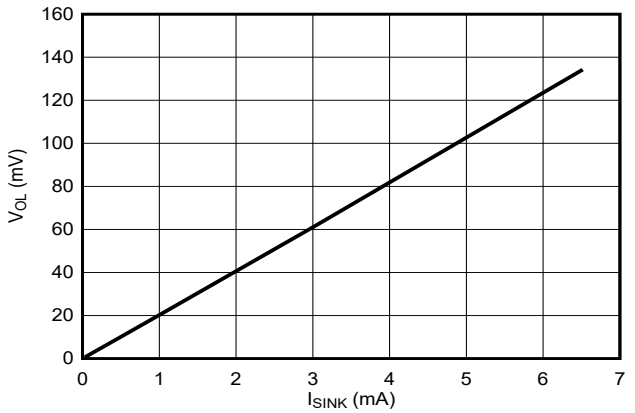


図 6-10. オープン ドレイン アクティブ Low V_{OL} と I_{RESET} との関係 (V_{DD} = 65V)

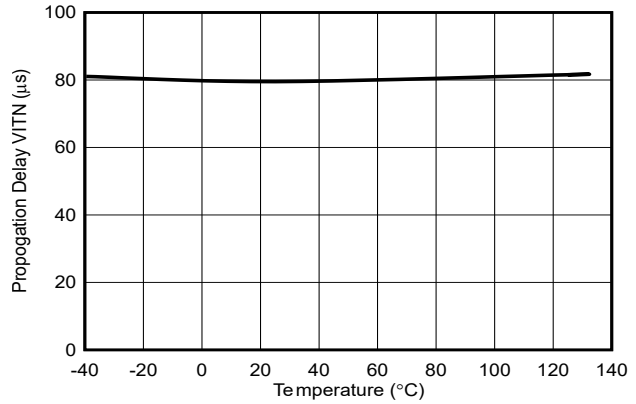


図 6-11. 伝搬遅延 (低電圧) と温度との関係 (V_{IT} = 0.8V、CTS = イネーブル = 50pF)

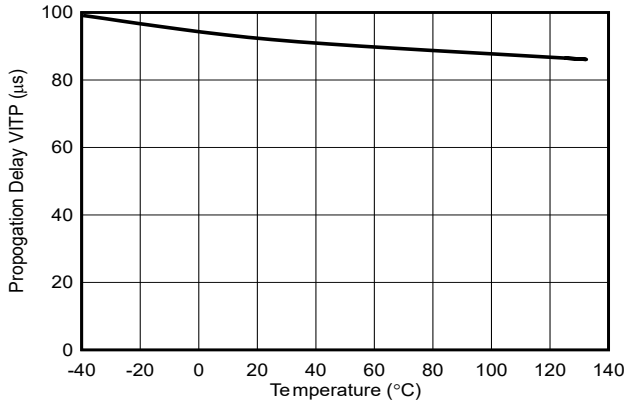


図 6-12. 伝搬遅延 (過電圧) と温度との関係 (V_{IT} = 0.8V、CTS = イネーブル = 50pF)

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TPS3762-Q1 は、高耐圧かつ低静止電流の電圧スーパーバイザ製品ファミリであり、過電圧および低電圧のスレッショルド オプション、各種遅延時間、内蔵セルフ テスト (BIST)、およびラッチ機能を備えています。TPS3762-Q1 の過電圧および低電圧のスレッショルドはデバイス固有であり、可変スレッショルドまたは固定スレッショルドのどちらかで提供されます。可変スレッショルド オプションでは、外付け抵抗ラダーを使用してセンス s ピンに分圧器を構成します。このピンは内部の 800mV スレッショルドを使用して、過電圧および低電圧故障をトリガします。外付け抵抗で可変オプションを使用する利点は、固定の内部スレッショルド バリアントと比較して応答速度が速いことです。TPS3762-Q1 の固定スレッショルドのオプションは、内蔵電圧分圧回路を使用しており、外付け抵抗を不要にするとともに、システム全体のリーク電流を低減します。

VDD、センス、および $\overline{\text{RESET}}$ ピンは 65V の連続動作をサポートできます。センスは –65V までの逆極性保護機能を備えています。VDD、センス、$\overline{\text{RESET}}$ の電圧レベルは互いに独立できます。TPS3762-Q1 にはリセット出力のラッチ機能があり、出力をアクティブに保持することで、システムが安全状態を確保できるようにします。固定および設定可能なセンス遅延とリセット遅延を備えており、誤リセットや誤ったリセット解除を防止します。

7.2 機能ブロック図

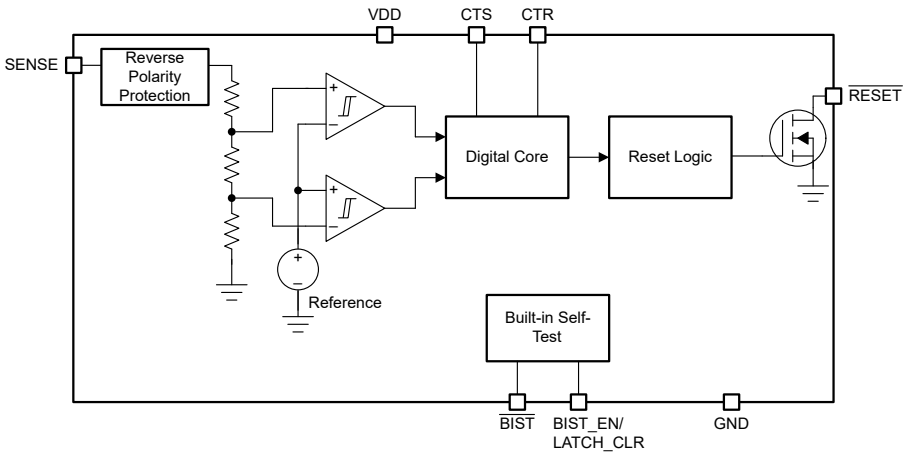


図 7-1. 固定スレッショルドの機能ブロック図

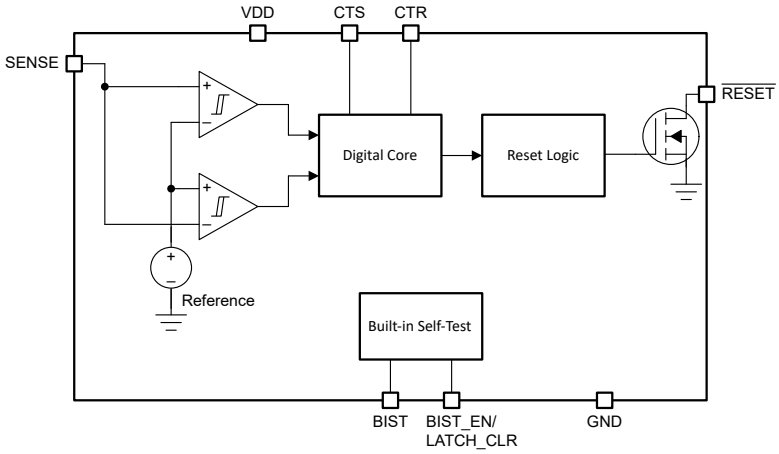


図 7-2. 可変スレッショルドの機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

7.3.1 入力電圧 (VDD)

VDD 動作電圧範囲:2.7V～65V このデバイスには入力電源コンデンサは必要ありませんが、入力電源にノイズが多い場合は、VDD と GND の間に 0.1µF コンデンサを配置する方法がアナログ手法として適切です。

デバイスが完全に機能するには、VDD はスタートアップ遅延 (t_{SD}) が少なくとも $V_{DD(MIN)}$ 以上である必要があります。

VDD 電圧は V_{SENSE} および V_{RESET} とは独立しており、VDD は他のピン電圧より高い場合でも低い場合でも動作します。

7.3.1.1 低電圧誤動作防止 (V_{POR} < V_{DD} < UVLO)

V_{DD} の電圧が UVLO 電圧未満で、かつパワーオン リセット電圧 (V_{POR}) より高い場合、センス ピンの電圧に関係なく、$\overline{\text{RESET}}$ および $\overline{\text{BIST}}$ ピンはアサートされます。

7.3.1.2 パワーオン リセット (V_{DD} < V_{POR})

VDD の電圧が、パワーオン リセット電圧 (V_{POR}) を下回った場合、出力信号は不定となり、デバイスの正常な動作を保証するものではありません。

注:図 7-3 と図 7-4 は、$\overline{\text{RESET}}$ ピンを VDD に接続する外部プルアップ抵抗を想定しています。

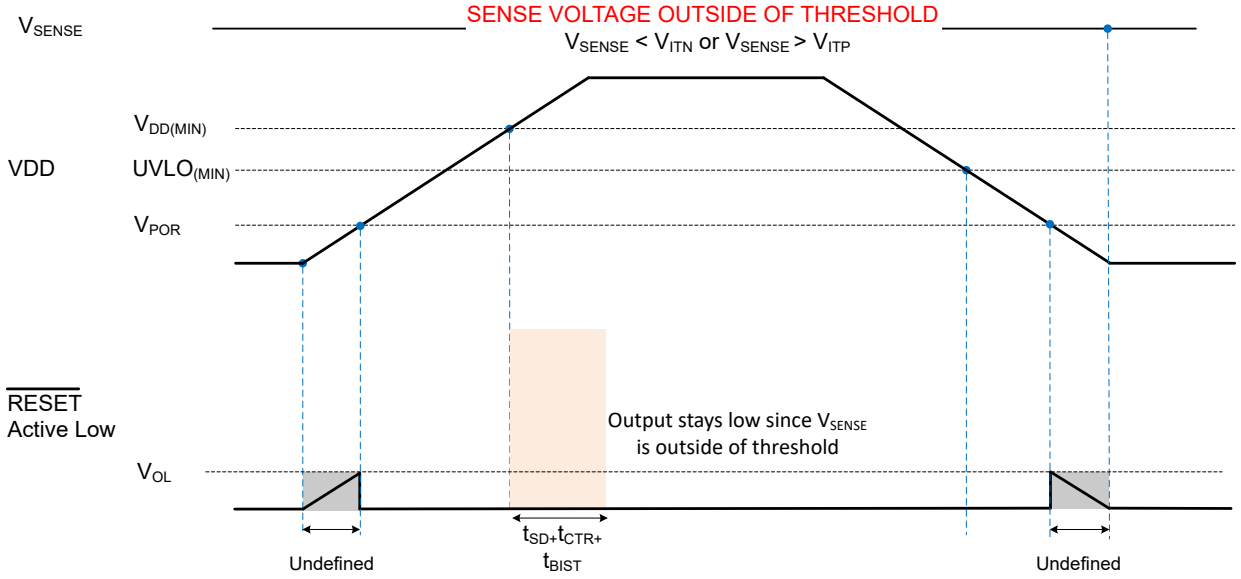


図 7-3. パワー サイクル (公称電圧外のセンス)

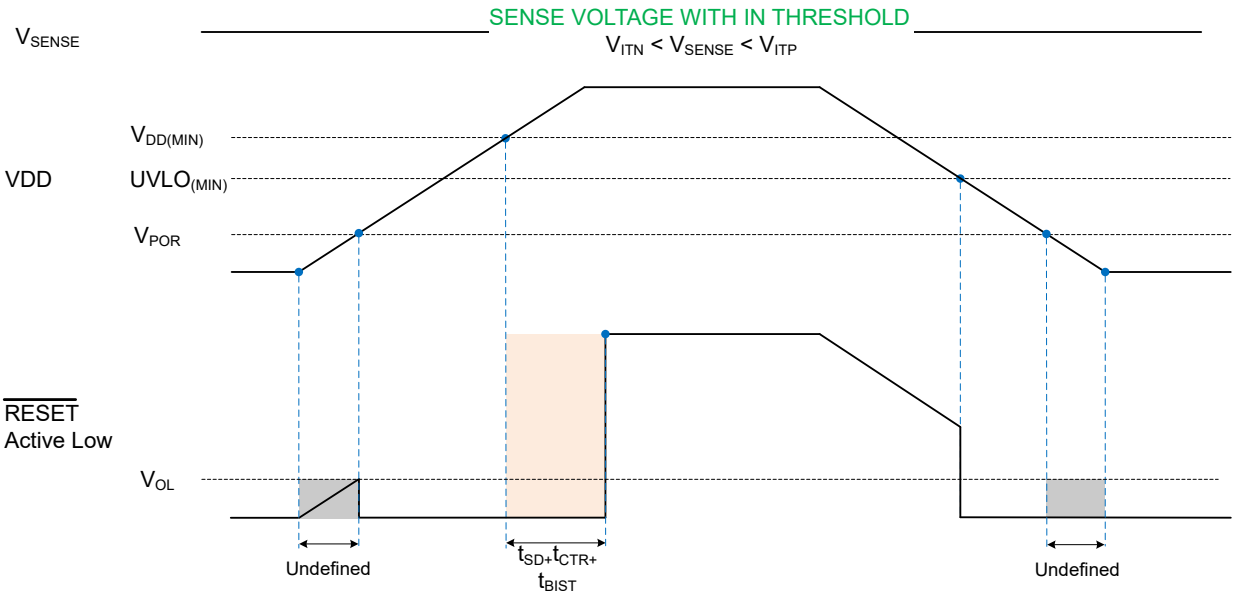


図 7-4. パワー サイクル (センスが公称電圧内)

Copyright © 2026 Texas Instruments Incorporated

7.3.2 SENSE

SENSE ピンは、監視対象の電源レールに接続されます。各デバイスのセンス ピンは、過電圧 (OV)、低電圧 (UV)、ウィンドウ (OV および UV) のいずれかの状態を監視するように構成されています。TPS3762-Q1 は、ノイズ耐性を向上させ、安定動作を維持するための内蔵ヒステリシスを備えています。

ほとんどの場合は不要ですが、t_{CTS} によるグリッチ除去が十分でないノイズの多いアプリケーションでは、監視信号上の過渡電圧に対する感度を低減するため、センス 入力に 10nF ～ 100nF のバイパス コンデンサを配置することが、優れたアナログ設計の慣行とされています。SENSE は、VDD に直接接続できます。

7.3.2.1 逆極性保護

TPS3762-Q1 は、センス ピンに対して最大 –65V までの逆極性保護機能を備えています。これにより、TPS3762-Q1 は誤接続や試験時に模擬された逆接続が発生しても、デバイスを損傷することなく対応できます。この保護機能により、TPS3762-Q1 は正確な電圧測定のために、逆極性保護ダイオードよりも前段の電源ラインに直接接続することが可能です。

7.3.2.2 SENSE ヒステリシス

TPS3762-Q1 は、UV および OV のスレッショルド付近に内蔵ヒステリシスを備えており、$\overline{\text{RESET}}$ の誤ったデアサートを防止します。ヒステリシスはスレッショルド電圧とは反対の方向に働きます。過電圧オプションの場合、ヒステリシスは正のスレッショルド電圧 (V_{ITP}) から差し引かれ、低電圧オプションの場合、ヒステリシスは負のスレッショルド電圧 (V_{ITN}) に加算されます。

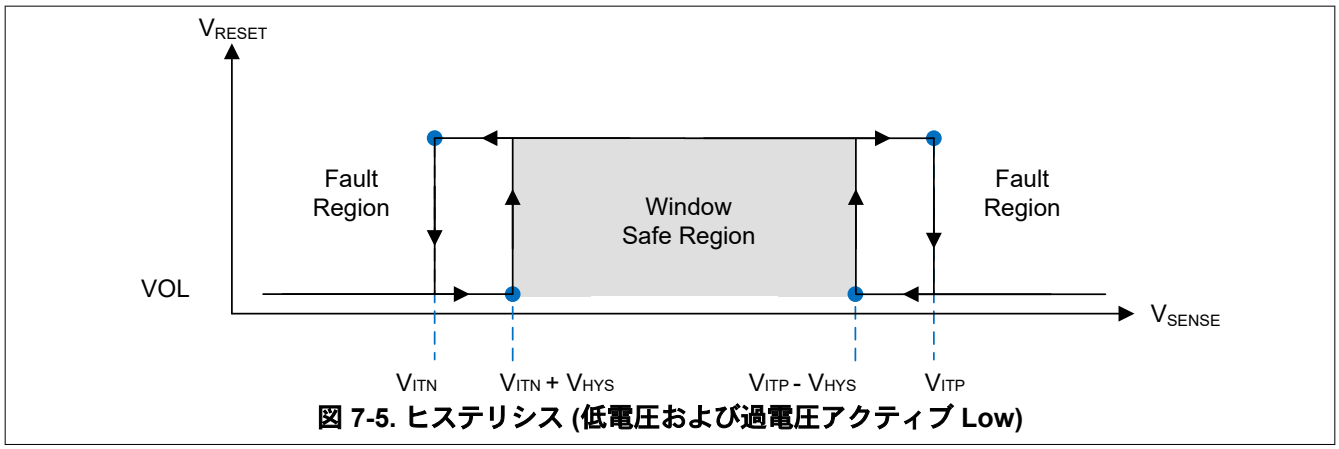


図 7-5. ヒステリシス (低電圧および過電圧アクティブ Low)

表 7-1. 共通の可変ヒステリシスの参照テーブル

ターゲット			デバイスのヒステリシス オプション
可変スレッショルド	トポロジー	解放電圧 (V)	
800mV	過電圧	784mV	-2%
800mV	過電圧	760mV	-5%
800mV	過電圧	720mV	-10%
800mV	アンダーボルテージ	816mV	2%
800mV	アンダーボルテージ	840mV	5%
800mV	アンダーボルテージ	880mV	10%

表 7-1 は、TPS3762-Q1 の 800mV 可変バリアントにおけるヒステリシス動作の一例を示しています。

ヒステリシス電圧の大きさがわかると、低電圧 (UV) チャネルの解放電圧は (V_{ITN} + V_{HYS})) で、過電圧 (OV) チャネルの解放電圧は (V_{ITP} - V_{HYS}) です。

低電圧 (UV)

V_{ITN} = 800mV

電圧ヒステリシス ($V_{V\ HYS}$) = 2% = 16mV

ヒステリシス精度 = +1.5% ～ +2.5% = 16.24mV ～ 16.4mV

解放電圧 = V_{ITN} + V_{HYS} = 816.24mV ～ 816.4mV

過電圧 (OV)

V_{ITP} = 800mV

電圧ヒステリシス ($V_{V\ HYS}$) = 2% = 16mV

ヒステリシス精度 = +1.5% ～ +2.5% = 16.24mV ～ 16.4mV

解放電圧 = V_{ITP} - V_{HYS} = 783.6mV ～ 783.76mV

Copyright © 2026 Texas Instruments Incorporated

7.3.3 出力ロジック構成

TPS3762-Q1 は、1 つのセンス ピンと 1 つの $\overline{\text{RESET}}$ ピンを備えたシングル チャネルのデバイスです。シングル $\overline{\text{RESET}}$ は、オープン ドレイン トポロジでのみ利用できます。

7.3.3.1 オープン ドレイン

オープンドレイン出力ピンは、電圧を必要な論理レベルまで高く維持するために外部プルアップ抵抗が必要です。プルアップ抵抗を適切な電圧レールに接続し、出力を適切なインターフェイス電圧レベルで他のデバイスに接続できるようにします。

適切なプルアップ抵抗を選択するには、システムの V_{OH} とオープン ドレイン リーク電流 (I_{lkg}) を考慮します。電気的特性には、抵抗の値が大きいと出力電圧に影響する電圧降下が大きくなります。オープン ドレイン出力は、別の TPS3762-Q1 ピンなどの他のオープン ドレイン信号を使って有線 AND ロジックとして接続できます。

7.3.3.2 Active-Low ($\overline{\text{RESET}}$)

$\overline{\text{RESET}}$ (アクティブ "Low") は、ピン ラベルの上にバーが表示されています。SENSE 電圧のスレッショルド範囲内の通常動作状態にあり、かつ VDD 電圧が UVLO を上回っている限り、$\overline{\text{RESET}}$ は High 電圧 (V_{OH}、デアサート状態) を維持します。リセットをアサートするには、センス ピンが以下の条件を満たす必要があります:

- 低電圧の場合、センス電圧は下側スレッショルド (V_{ITN}) を下回る必要があります。
- 過電圧の場合、センス電圧は下側スレッショルド (V_{ITP}) を下回る必要があります。

7.3.3.3 ラッチ

TPS3762-Q1 には、オプションのリセット出力ラッチ機能があります。バリアント固有のラッチ機能については、セクション 4 を確認してください。ピン 6 には内部 100kΩ のプルダウン抵抗が内蔵されており、起動時にラッチ機能を有効にします。ラッチ有効タイプ ($V_{BIST_EN/LATCH_CLR}$ < 0.5V) を使用している場合、故障 (OV または UV) が発生すると、$\overline{RESET}$ はアサートされて low になり、BIST_EN/LATCH_CLR ピンにロジック high 入力 ($V_{BIST_EN/LATCH_CLR}$R > 1.3V) が与えられてクリアされるまで low のまま保持されます。センス ピンが安全領域にあり、ラッチがディスエーブルの場合、遅延後に $\overline{RESET}$ がデアサートされます。この遅延時間は BIST および CTR タイミングに依存します。詳細については、セクション 7.3.6 を参照してください。$V_{BIST_EN/LATCH_CLR}$ > 1.3V の間、デバイスはラッチ無効モードとなり、センス ピンで OV または UV が発生しても $\overline{RESET}$ はラッチされません。ラッチ無効モードでは、OV または UV の故障に対して $\overline{RESET}$ はリセット遅延時間の間アサートされます。$V_{BIST_EN/LATCH_CLR}$ < 0.5V の場合、ラッチ モードはイネーブルです。

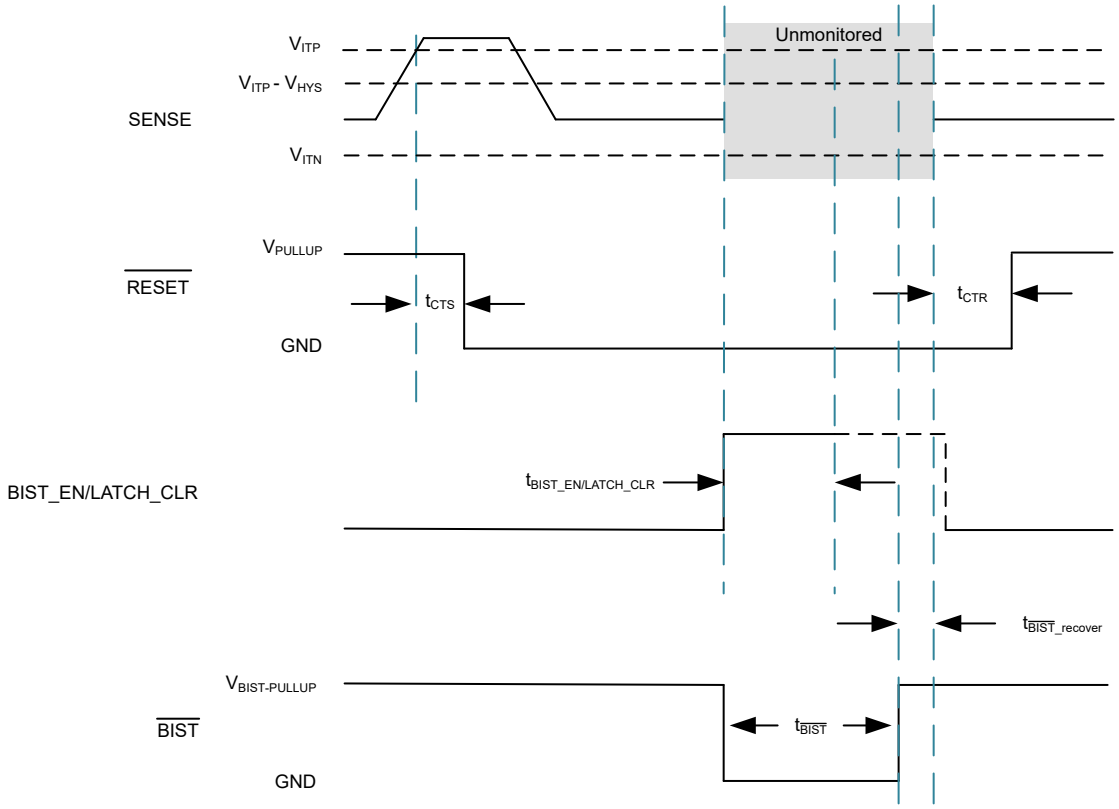


図 7-6. $\overline{RESET}$ ラッチおよびラッチ解除

Copyright © 2026 Texas Instruments Incorporated

7.3.3.4 UVBypass

TPS3762-Q1 には、オプションの低電圧バイパス (UVbypass) 機能が搭載されています。バリアント固有の UVbypass 機能については、セクション 4 を確認してください。UVbypass がイネーブルのバリアントを使用する場合、V_{DD} > V_{POR} になった後の最初の低電圧イベントは無視されます。低電圧イベントが発生していない場合、BIST を実行することで UVbypass をクリアできます。

UVbypass は、TPS3762-Q1 がバッテリから直接給電され、かつオフバッテリの DC-DC コンバータ出力を監視する特定のアプリケーション向けに設計されています (図 7-7 参照)。バッテリ直結型の DCDC 出力がスレッショルドを外れた場合、TPS3762-Q1 はこのデバイスをリセットします。詳細については、図 7-8～図 7-9 を参照してください。

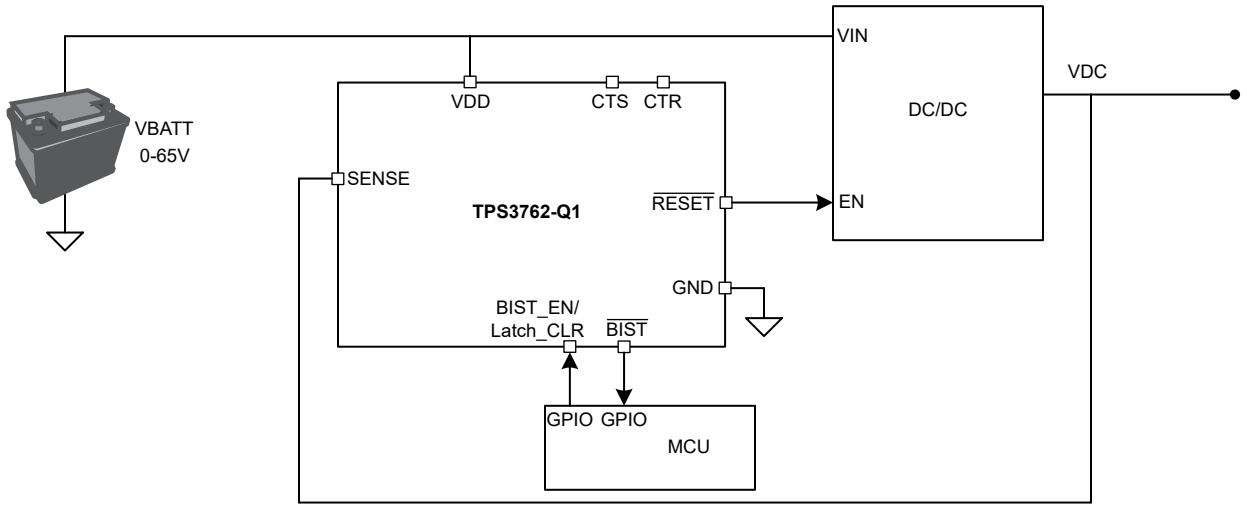


図 7-7. UVbypass の回路図

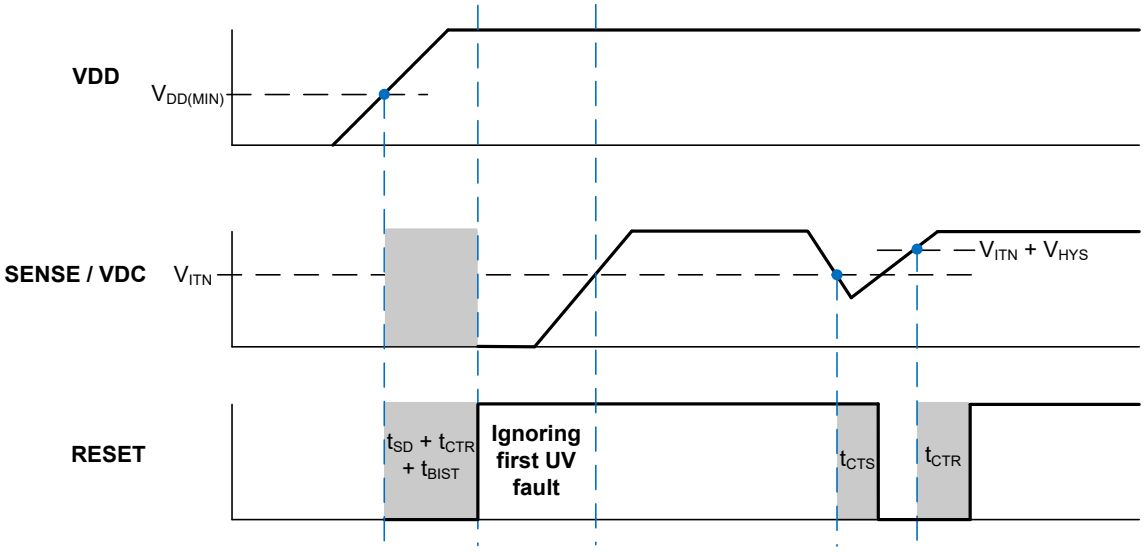


図 7-8. UVbypass がイネーブル

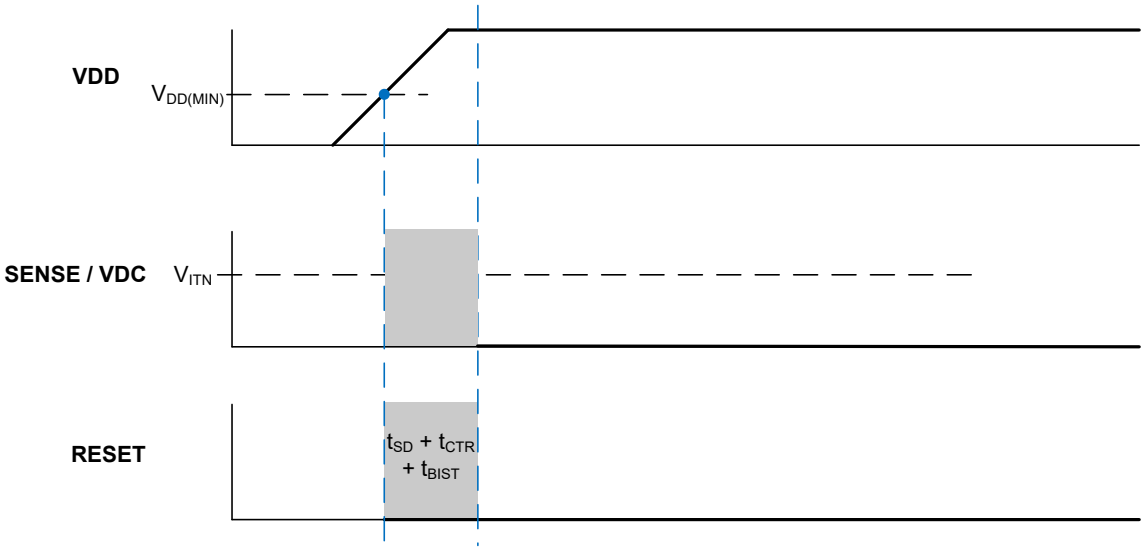


図 7-9. UVbypass がディスエーブル

Copyright © 2026 Texas Instruments Incorporated

7.3.4 ユーザーがプログラム可能なリセット時間遅延

TPS3762-Q1 は、外付けのコンデンサによりリセット解放時間遅延を調整可能です。

- CTR のコンデンサにより、出力のリセット時間遅延がプログラムされます。
- このピンにコンデンサを接続しない場合、セクション 6.6 に示されている t_{CTR} の値が最短のリセット遅延時間となります。
- TPS3762Q などのバリアントは固定内部時間遅延を備えています。各バリアントのタイミング仕様については、セクション 4 を参照してください。

7.3.4.1 リセット時間遅延の構成

RESET 時間遅延 (t_{CTR}) は、$\overline{RESET}$ が故障状態 (V_{OL}) から非故障状態 (V_{OH}) へ遷移する際に発生します。CTR ピンと GND の間にコンデンサを接続することで、遅延時間 (t_{CTR}) をプログラミングできます。$\overline{RESET}$ が復帰した後にセンスに故障が発生した場合、TPS3762-Q1 はリカバリ シーケンスを開始する前に、CTR コンデンサが完全に放電されていることを確認します。これにより、連続したフォルトに対してプログラムされた CTR 時間が確実に維持されます。

外付けコンデンサ $C_{CTR_EXT\ (typ)}$ (µF) と時間遅延 $t_{CTR\ (typ)}$ の関係は式 1 で計算されます。

$$t_{CTR\ (typ)} = 3.7 \times C_{CTR_EXT\ (typ)} + 0.00035 \quad (1)$$

$C_{CTR_EXT\ (typ)}$ = はマイクロファラッド (µF) 単位です

$t_{CTR\ (typ)}$ = は秒 (s) 単位です

リセット遅延時間は、外部コンデンサ (C_{CTR_EXT})、セクション 6.5 に示す CTR ピンの内部抵抗 (R_{CTR})、セクション 6.6 に示す定数 ($t_{CTR\ (no\ cap)}$) の 3 つの変数によって異なります。定数による最小分散と最大分散は、式 2 および 式 3 に示されます。

$$t_{CTR\ (min)} = 2.96 \times C_{CTR_EXT\ (min)} \quad (2)$$

$$t_{CTR\ (max)} = 4.44 \times C_{CTR_EXT\ (max)} + 0.00067 \quad (3)$$

CTR ピンのコンデンサに制限はありません。コンデンサ値が大きすぎると、コンデンサのリーク電流の影響により充電 (立ち上がり) が非常に遅くなる場合があります。また、システムノイズによって内部回路が $\overline{RESET}$ をアクティブ状態のまま保持する可能性があります。

コンデンサの漏れは、リセット時間遅延の精度に影響を与える可能性があります。

表 7-2. 一般的な理想コンデンサ値におけるリセット時間遅延

C_{CTR_EXT}	リセット時間遅延 (t_{CTR})			単位
	MIN (1)	標準値	MAX (1)	
33nF	97.68	122.45	147.12	ms
100nF	296	370.35	444.6	ms
1µF	2960	3700.35	4440.6	ms

Copyright © 2026 Texas Instruments Incorporated

7.3.5 ユーザーがプログラム可能なセンス遅延

TPS3762-Q1 は、外付けのコンデンサによりセンス解放時間遅延を調整可能です。

- CTS のコンデンサにより、入力のセンス時間遅延がプログラムされます。
- このピンにコンデンサがない場合、セクション 6.7 の t_{CTS} で示されている最短のセンス遅延時間が得られます。
- TPS3762-Q1 には、CTS ピンのコンデンサ値を無視する固定内部時間遅延オプションがあります。バリアント固有の機能については、セクション 4 を確認してください。

7.3.5.1 センス時間遅延の構成

SENSE 時間遅延 (t_{CTS}) は、$\overline{RESET}$ が非故障状態 (V_{OH}) から故障状態 (V_{OL}) へ遷移する際に発生します。CTS ピンと GND の間にコンデンサを接続することで、遅延時間 (t_{CTS}) をプログラミングできます。

外付けコンデンサ $C_{CTS_EXT\ (typ)}$ (µF) と時間遅延 $t_{CTS\ (typ)}$ の関係は式 4 で計算されます。

$$t_{CTS\ (typ)} = 3.7 \times C_{CTS_EXT\ (typ)} + 0.000085 \quad (4)$$

$C_{CTS_EXT\ (typ)}$ = はマイクロファラッド (µF) 単位です

$t_{CTS\ (typ)}$ = は秒 (s) 単位です

センス遅延時間は、外部コンデンサ (C_{CTS_EXT})、セクション 6.5 に示す CTS ピンの内部抵抗 (R_{CTS})、セクション 6.6 に示す定数 ($t_{CTS\ (no\ cap)}$) の 3 つの変数によって異なります。定数による最小分散と最大分散は、式 5 および 式 6 に示されます。

$$t_{CTS\ (min)} = 2.96 \times C_{CTS_EXT\ (min)} \quad (5)$$

$$t_{CTR\ (max)} = 4.44 \times C_{CTS_EXT\ (max)} + 0.0001 \quad (6)$$

TPS3762-Q1 に推奨されるセンス遅延コンデンサの最大容量は 10µF です。これは、、プログラムされたリセット時間遅延の一定割合 (期間) を確保するためです。また、コンデンサの値が大きすぎると、充電速度が非常に遅く (立ち上がり時間)、システム ノイズが発生すると内部回路が予測不能にトリップすることがあります。これは時間遅延の変動につながり、システム ノイズが存在する場合に遅延の精度が低下する可能性があります。

* コンデンサの漏れは、センス時間遅延の精度に影響を与える可能性があります。

表 7-3. 一般的な理想コンデンサ値におけるリセット検出時間

C_{CTS_EXT}	検出時間遅延 (t_{CTS})			単位
	最小値 (1)	標準値	最大値 (1)	
33nF	97.68	122.185	146.62	ms
100nF	296	370.085	444.1	ms
1µF	2960	3700.085	4440.1	ms

(1) 最小値と最大値は、理想的なコンデンサを使用して計算されています。

Copyright © 2026 Texas Instruments Incorporated

7.3.6 内蔵セルフ テスト

TPS3762-Q1 は、デバイス内部で診断を実行する内蔵セルフ テスト (BIST) 機能を備えています。$V_{DD(min)}$ を超えると、電源投入時の BIST が自動的に開始されます。選択したデバイスの注目可能品で BIST RESET トリガが有効になっている場合、BIST 実行中は $\overline{BIST}$ ピンおよび $\overline{RESET}$ 出力は Low にアサートされます。これらは、$\overline{BIST}$ テストが正常に完了し、デバイス内部に故障がないことが確認された場合にのみデアサートされます。BIST RESET トリガが無効な場合は、$\overline{BIST}$ ピンのみが Low にアサートされ、$\overline{BIST}$ テストが正常に完了し、デバイス内部に故障がないことが確認された場合にデアサートされます。BIST の実行時間および $\overline{BIST}$ アサート期間は、$t_{\overline{BIST}}$ によって規定されます。BIST に成功しない場合、$\overline{BIST}$ ピンは Low にアサートされたままになり、内部フォルトを示します。BIST RESET トリガが有効な注目可能品では、$\overline{BIST}$ が失敗した場合、$\overline{RESET}$ 出力はアサート状態を維持します。BIST 実行中は、デバイスはセンス ピンの故障監視を行いません。また、$\overline{RESET}$ はセンス ピン電圧に依存しません。$\overline{BIST}$ の内部テスト シーケンスは、センス ピンに関連する内部コンパレータ、バンドギャップ電圧、および $\overline{RESET}$ 出力における故障を確認することにより、デバイスの内部信号チェーンを検証します。詳細については、図 7-10 を参照してください。

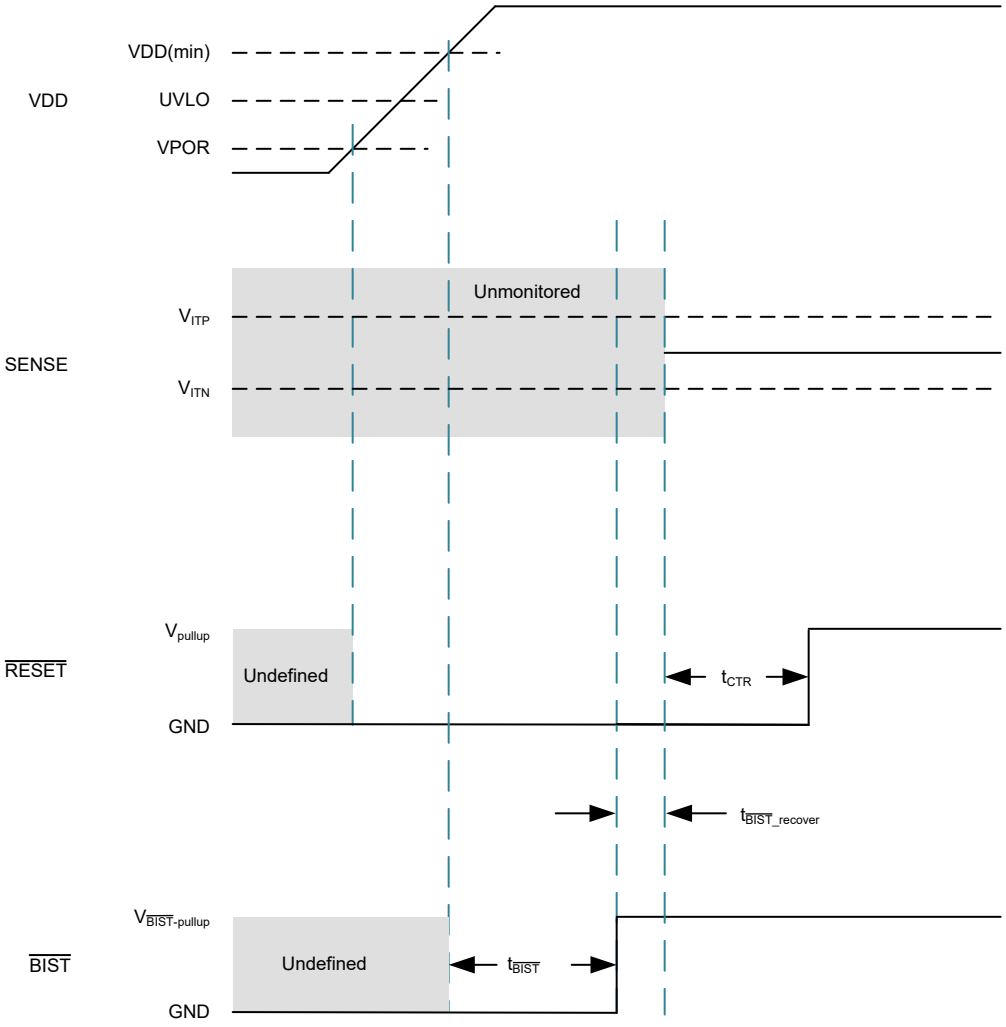


図 7-10. TPS3762-Q1 の起動シーケンス

正常なパワーアップ シーケンス完了後、BIST_EN/LATCH_CLR ピンにロジック High 入力 (V_{BIST_EN} または $V_{BIST_EN/LATCH_CLR}$ > 1.3V) を与えることで、BIST は任意のタイミングで開始できます。BIST が開始され、SENSE ピンが過電圧または低電圧フォルト モードでない場合のみ、$\overline{BIST}$ ピンがアサートされます。この BIST テスト期間 ($t_{\overline{BIST}}$) 中、$\overline{BIST}$ ピンは Low にアサートされ、$\overline{BIST}$ が開始されたことを示します。$\overline{RESET}$ のアサート動作は、デバイスのバリアントに依存します。BIST が成功すると、$\overline{BIST}$ ピンと $\overline{RESET}$ ピンがデアサートされます。内部デバイスが正しく動作しな

Copyright © 2026 Texas Instruments Incorporated

いために BIST が成功しなかった場合、$\overline{\text{RESET}}$ ピンと $\overline{\text{BIST}}$ ピンは Low にアサートされたままとなり、デバイスの内部的な故障を示します。詳細については、図 7-11～図 7-12 を参照してください。

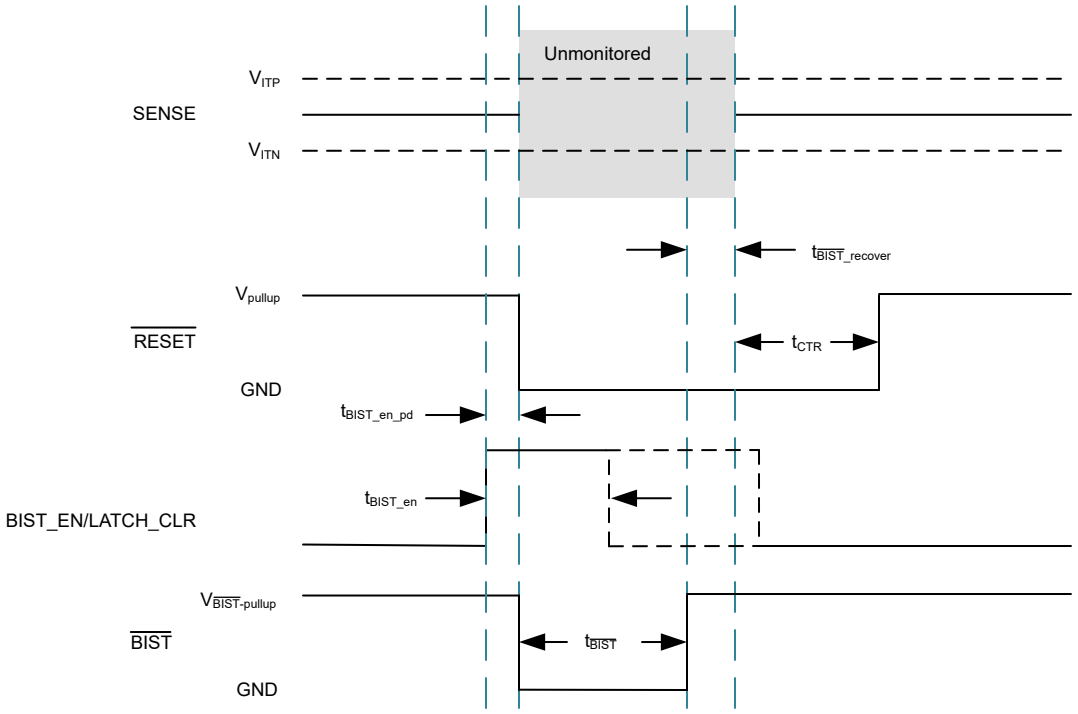


図 7-11. RESET アサーション付き BIST

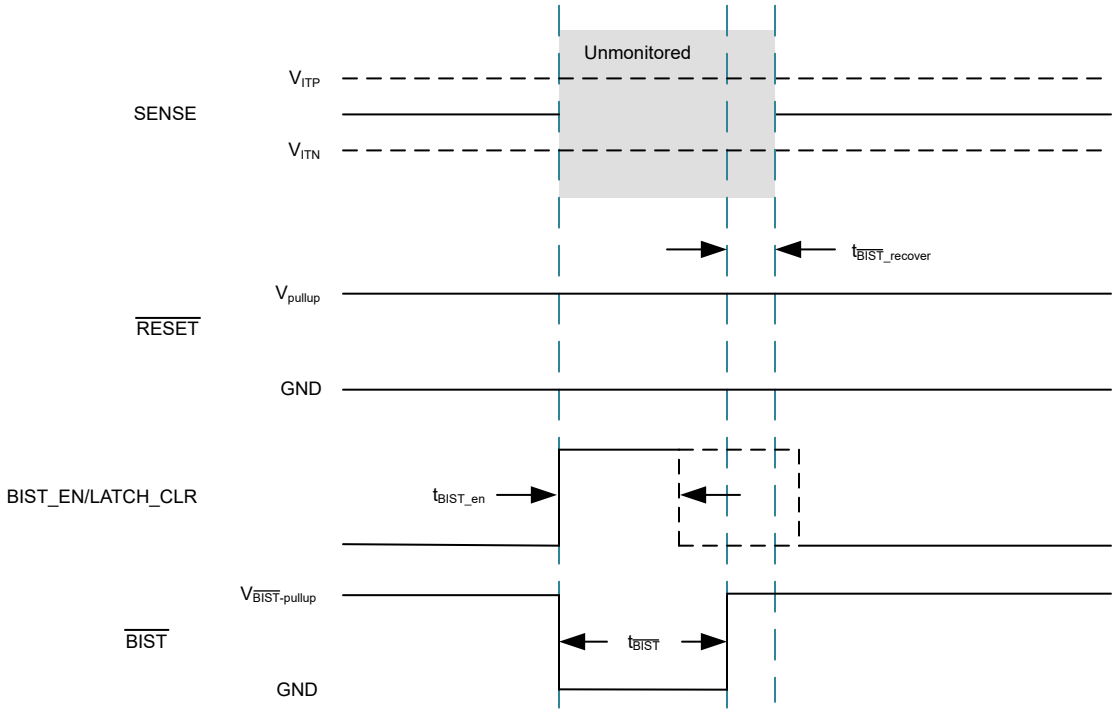


図 7-12. RESET アサーションなし BIST

Copyright © 2026 Texas Instruments Incorporated

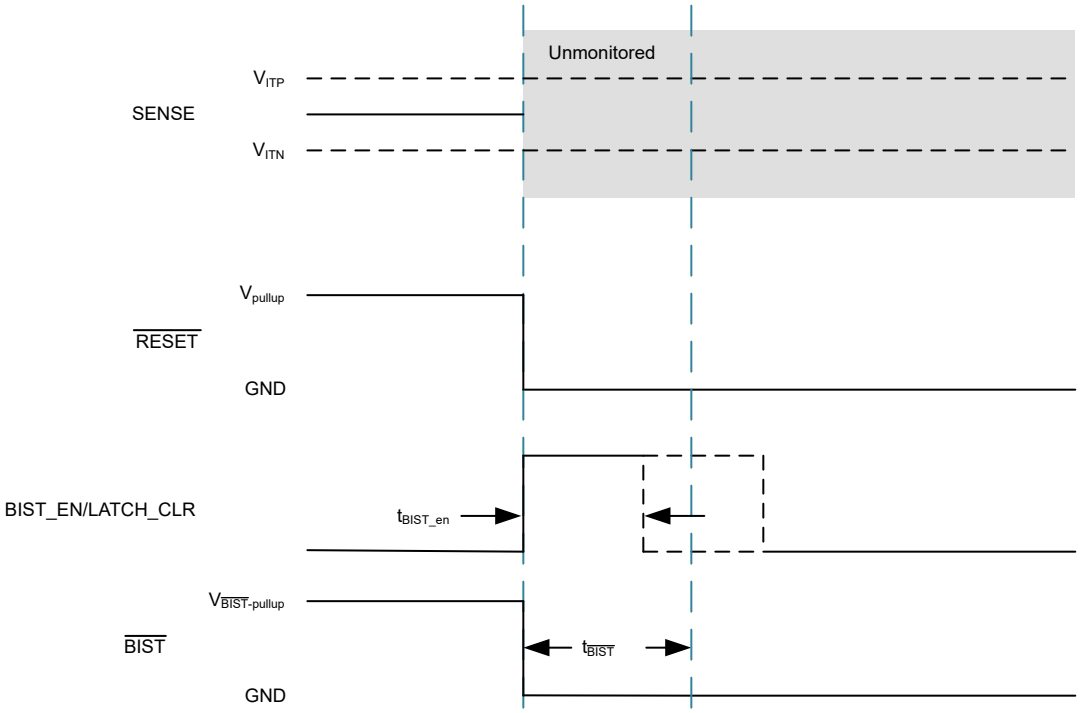


図 7-13. $\overline{RESET}$ アサーション付きで $\overline{BIST}$ が失敗

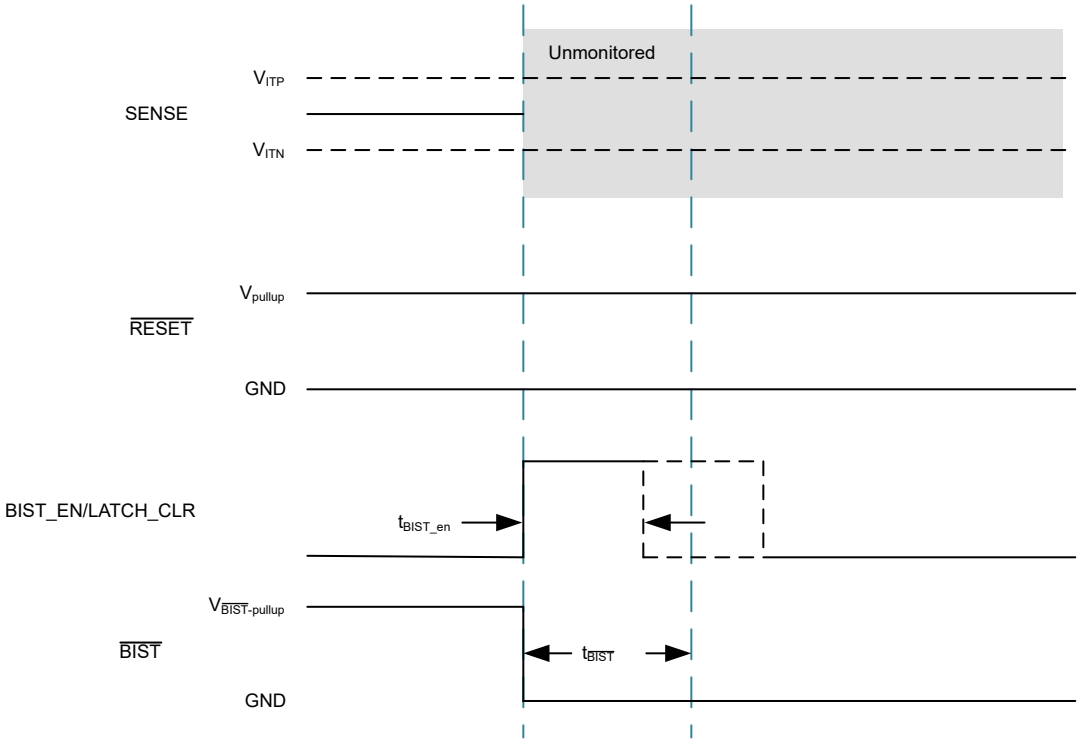


図 7-14. RESET アサーションなしで $\overline{BIST}$ が失敗

7.4 デバイスの機能モード

表 7-4. 低電圧検出機能モードの真理値表

説明	SENSE		CTR(1)	V_{DD} ピン	出力 (2) (RESET ピン)
	前の状態	現在の状態			
通常動作	SENSE > V_{ITN}	SENSE > V_{ITN}	オープンまたはコンデンサが接続	V_{DD} > $V_{DD(MIN)}$	High
低電圧の検出	SENSE > V_{ITN}	SENSE < V_{ITN}	オープンまたはコンデンサが接続	V_{DD} > $V_{DD(MIN)}$	Low
低電圧の検出	SENSE < V_{ITN}	V_{ITN} < SENSE < V_{ITN} + HYS	オープンまたはコンデンサが接続	V_{DD} > $V_{DD(MIN)}$	Low
通常動作	SENSE < V_{ITN}	SENSE > V_{ITN} + HYS	オープンまたはコンデンサが接続	V_{DD} > $V_{DD(MIN)}$	High
UVLO アクティブ化	SENSE > V_{ITN}	SENSE > V_{ITN}	オープンまたはコンデンサが接続	V_{POR} < V_{DD} < $V_{DD(MIN)}$	Low
V_{POR} を下回る、未定義出力	SENSE > V_{ITN}	SENSE > V_{ITN}	オープンまたはコンデンサが接続	V_{DD} < V_{POR}	未定義

(1) 真理値表では、リセット時間遅延は無視されます。
(2) オープンドレインのアクティブ Low 出力は、プルアップ電圧への外付けプルアップ抵抗が必要です。

表 7-5. 過電圧検出機能モードの真理値表

説明	SENSE		CTR(1)	V_{DD} ピン	出力 (2) (RESET ピン)
	前の状態	現在の状態			
通常動作	SENSE < V_{ITP}	SENSE < V_{ITP}	オープンまたはコンデンサが接続	V_{DD} > $V_{DD(MIN)}$	High
過電圧検出	SENSE < V_{ITP}	SENSE > V_{ITP}	オープンまたはコンデンサが接続	V_{DD} > $V_{DD(MIN)}$	Low
過電圧検出	SENSE > V_{ITP}	V_{ITP} - HYS < SENSE < V_{ITP}	オープンまたはコンデンサが接続	V_{DD} > $V_{DD(MIN)}$	Low
通常動作	SENSE > V_{ITP}	SENSE < V_{ITP} - HYS	オープンまたはコンデンサが接続	V_{DD} > $V_{DD(MIN)}$	High
UVLO アクティブ化	SENSE < V_{ITP}	SENSE < V_{ITP}	オープンまたはコンデンサが接続	V_{POR} < V_{DD} < UVLO	Low
V_{POR} を下回る、未定義出力	SENSE < V_{ITP}	SENSE < V_{ITP}	オープンまたはコンデンサが接続	V_{DD} < V_{POR}	未定義

(1) 真理値表では、リセット時間遅延は無視されます。
(2) オープンドレインのアクティブ Low 出力は、プルアップ電圧への外付けプルアップ抵抗が必要です。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

以下のセクションでは、最終アプリケーションの要件に応じた適切なデバイス実装について詳しく説明します。

8.2 可変電圧スレッショルド

図 8-1 に、外付け分圧抵抗を使用して、電圧スレッショルドを調整する方法の例を図示します。抵抗は、目標の電圧スレッショルドとデバイス部品番号に応じて計算できます。可変電圧スレッショルドを設定する場合は、可変タイプ (0.8V スレッショルド デバイス) を使用することを TI は推奨しています。このバリアントは内部抵抗ラダーをバイパスします。

たとえば、図 8-1 に示すように、TPS3762D02OVDDFRQ1 バリアントを使用して 12V 電源レール (V_{MON}) の過電圧 (OV) を監視する場合を考えます。監視対象の OV スレッショルド (V_{MON+}) は、デバイスがリセットをアサートする目的の電圧です。この例では、V_{MON+} は 35V です。過電圧リセットをアサートするには、センス ピンの電圧 V_{SENSE} が正方向の入力スレッショルド V_{ITP} と等しくなる必要があります。この例では、$V_{SENSE} = V_{ITP} = 0.8V$ です。R_1 と R_2 を使用すると、V_{MON+} と V_{SENSE} の関係を式 8 に示します。$R_2 = 10k\Omega$ と仮定し、R_1 は $R_1 = 427.5k\Omega$ として計算できます。

$$V_{SENSE} = V_{MON+} \times (R_2 \div (R_1 + R_2)) \quad (7)$$

TPS3762D02OVDDFRQ1 には、バリアント固有の 2%、5%、または 10% の電圧スレッショルドのヒステリシスが設定されています。リセット信号がデアサートされるには、V_{MON} は $V_{ITP} + V_{HYS}$ を下回る必要があります。この例では、2% の電圧スレッショルドのヒステリシスを備えるバリアントを選択しています。したがって、RESET 信号がデアサートされると、V_{MON} は 34.3V に等しくなります。

電圧スレッショルドを調整する際には、誤差を考慮する必要があります。抵抗分圧回路の公差に加え、SENSE ピンの内部抵抗が分圧精度に影響を及ぼす場合があります。高インピーダンスであると想定されますが、設計仕様に基づいて値を計算することが推奨されます。内部 SENSE 抵抗 (R_{SENSE}) は、式 9 に示すとおり、SENSE 電圧 (V_{SENSE}) を SENSE 電流 (I_{SENSE}) で割ることにより求められます。V_{SENSE} は、分圧抵抗と監視対象電圧に応じて、式 7 を使用して計算できます。V_{SENSE} は、式 8 を使用して計算できます。

$$I_{SENSE} = [(V_{MON} - V_{SENSE}) \div R_1] - (V_{SENSE} \div R_2) \quad (8)$$

$$R_{SENSE} = V_{SENSE} \div I_{SENSE} \quad (9)$$

Copyright © 2026 Texas Instruments Incorporated

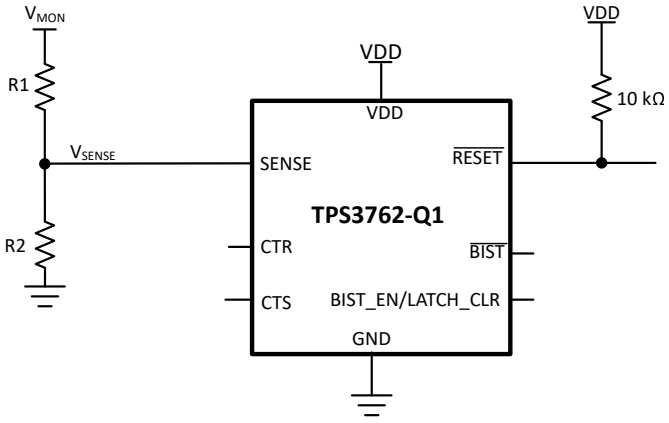


図 8-1. 外付け分圧抵抗による可変電圧スレッショルド

8.3 代表的なアプリケーション

8.3.1 設計 1：オフ バッテリの監視

このアプリケーションは、12V バッテリを使用したアプリケーションの初期出力段用を想定しています。TPS3762-Q1 は、高耐圧のセンスおよび V_{DD} 入力を使用して車載バッテリを監視します。

図 8-6 に、TPS3762-Q1 がバッテリから給電を受けながら、同時にバッテリ電圧を監視している例を示しています。

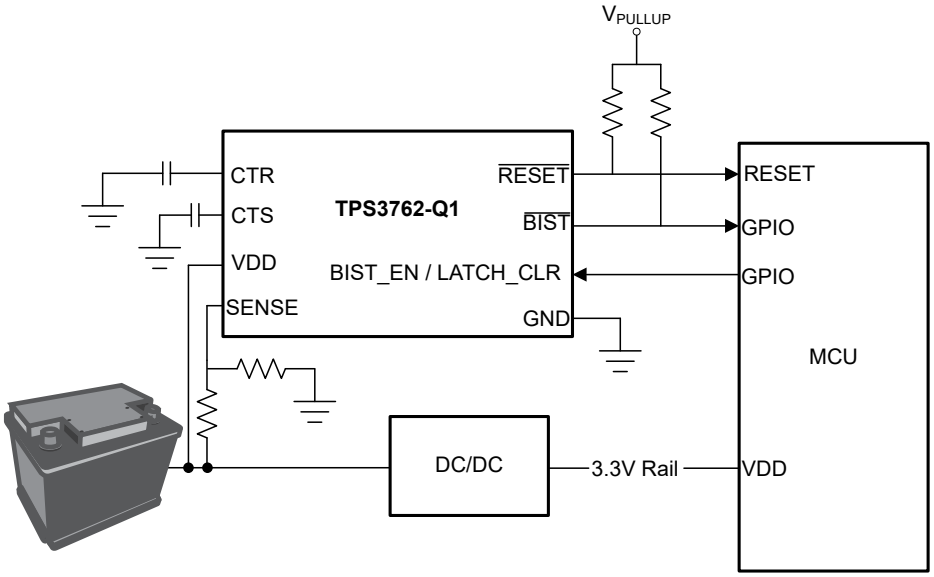


図 8-2. オフ バッテリの監視

Copyright © 2026 Texas Instruments Incorporated

8.3.1.1 設計要件

表 8-1. 設計パラメータ

パラメータ	設計要件
電圧スレッショルド	代表的な OV 電圧スレッショルド 30V。
最大入力電力	電源入力が最大 65V までの動作に対応します
出力ロジック	オープンドレイン
センス遅延	> 100ms
$\overline{\text{RESET}}$ 遅延	> 300ms
出力 特長	出力ラッチと内蔵セルフ テスト

8.3.1.2 詳細な設計手順

TPS3762-Q1 は、高電圧センスおよび V_{DD} 入力を使用して、車載バッテリを監視します。この設計例では、TPS3762D02OVDDFRQ1 を使用しています。

8.3.1.2.1 電圧スレッショルドの設定

正方向のスレッショルド電圧 V_{ITP} は、デバイスのバリアントによって設定されます。この例では、バッテリからの公称供給電圧は 12V です。過電圧スレッショルドを 30V に設定することで、電源電圧が許容範囲を逸脱する前にデバイスがリセットされることを確実にします。可変電圧バリアントを選択し、スレッショルドを満たすように R_1 と R_2 を調整します。R_2 = 10kΩ と仮定し、R_1 は 365kΩ として計算できます。抵抗値の選択の詳細については、セクション 8.2 を参照してください。TPS3762-Q1 は、固定電圧スレッショルド バリアントもサポートしています。スレッショルド電圧デコードについては、デバイス デコーダ を参照してください。

8.3.1.2.2 センスおよびリセット遅延への合致

TPS3762-Q1 は、リセット アサート (センス) 遅延 t_{CTS}、およびリセット デアサート (リセット) 遅延 t_{CTR} の両方を備えています。TPS3762-Q1 は、センス遅延およびリセット遅延の設定方法として、固定遅延とコンデンサ設定型遅延の 2 つのオプションを備えています。この設計で採用している TPS3762D02OVDDFRQ1 バリアントでは、コンデンサによるプログラム可能な遅延方式を選択しています。セクション 7.3.5 およびセクション 7.3.4 に、コンデンサでプログラム可能な遅延のタイミングの設定方法を示します。このアプリケーションでは、100ms を超えるセンス遅延が要求されるため、0.033µF のコンデンサを採用しています。このアプリケーションでは、300ms を超えるリセット遅延が必要なため、0.1µF コンデンサを使用します。

8.3.1.2.3 電源電圧の設定

電源電圧を設定するには、外付け回路なしで V_{DD} 入力をバッテリ レールに直接接続します。このデバイスが V_{DD} で 65V に対応可能であることは、監視対象の電源レールが最大 65V までの電圧過渡に対応可能であることを意味します。アナログ設計の一般的な慣行として、V_{DD} ピンに 0.1µF のコンデンサを配置することが推奨されます。

8.3.1.2.4 内蔵セルフ テストの開始とラッチ解除

図 7-10 に示すように、デバイスの電源投入時に内蔵セルフ テスト (BIST) がアサートされます。BIST は、図 7-11 で説明されているように、BIST_EN/LATCH_CLR ピンの電圧ロジック High 入力 (V_{BIST_EN} または $V_{BIST_EN/LATCH_CLR}$ > 1.3V) と交差する立ち上がりエッジによっていつでも開始できます。出力リセット ラッチは、デバイス バリアントによって設定されます。この設計で使用されているデバイス バリアントでは TPS3762D02OVDDFRQ1 で、出力にラッチがあります。デバイス固有の出力リセット ラッチ機能は、デバイス デコーダにあります。ラッチをクリアするには、BIST_EN/LATCH_CLR ピンにロジック high 入力が必要です。ラッチをクリアすると、BIST が開始され、t_{BIST} + $t_{\overline{BIST}_recover}$ + t_{CTR} が経過すると、$\overline{\text{RESET}}$ はロジック High に戻ります (詳細は図 7-6 に記載)。$V_{BIST_EN/LATCH_CLR}$ > 1.3V の間、デバイスはラッチ無効モードとなり、センス ピンで OV または UV が発生しても $\overline{\text{RESET}}$ はラッチされません。デバイスがラッチ無効モードにある間でも、OV および UV の故障に対して $\overline{\text{RESET}}$ はアサートされます。

8.3.1.3 アプリケーション曲線

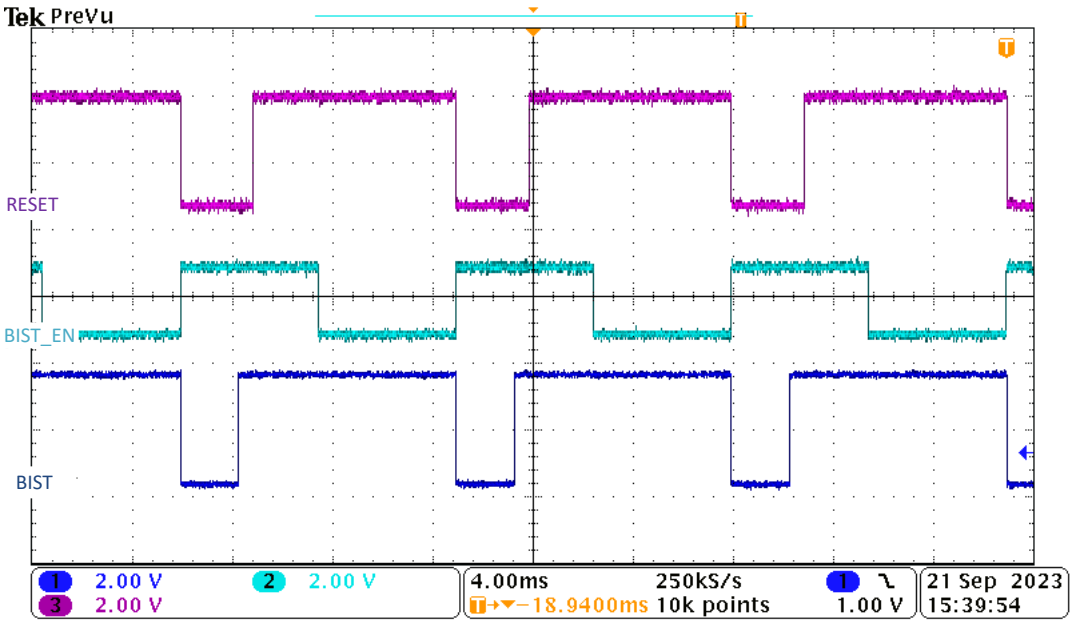


図 8-3. $\overline{\text{RESET}}$ アサーションを伴う BIST 波形

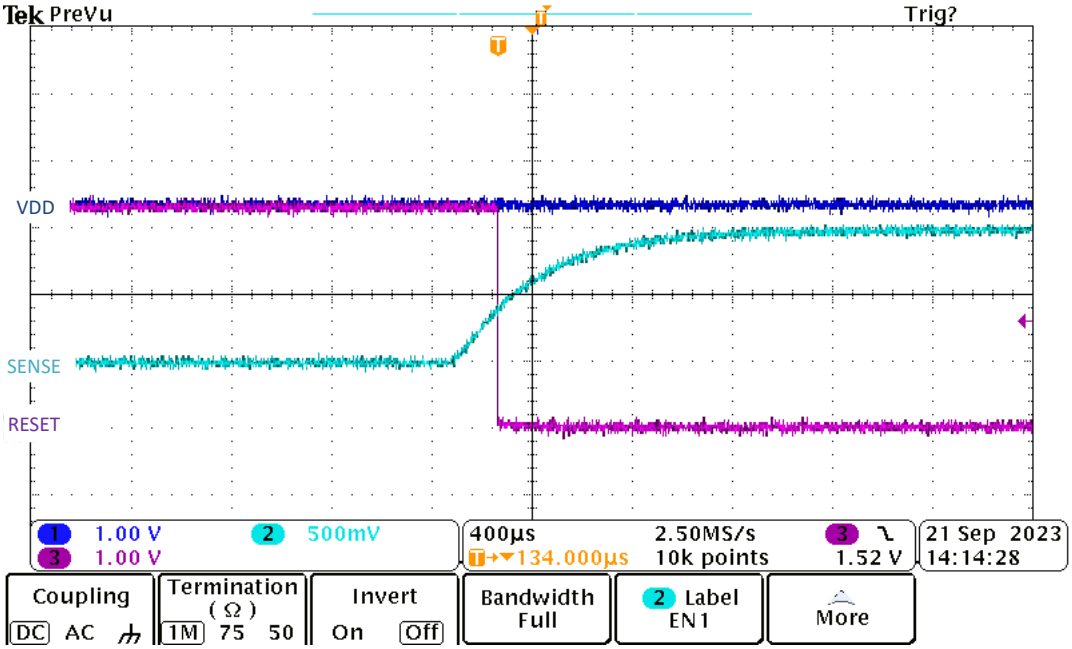


図 8-4. 過電圧検出時の $\overline{\text{RESET}}$ ラッチ波形

Copyright © 2026 Texas Instruments Incorporated

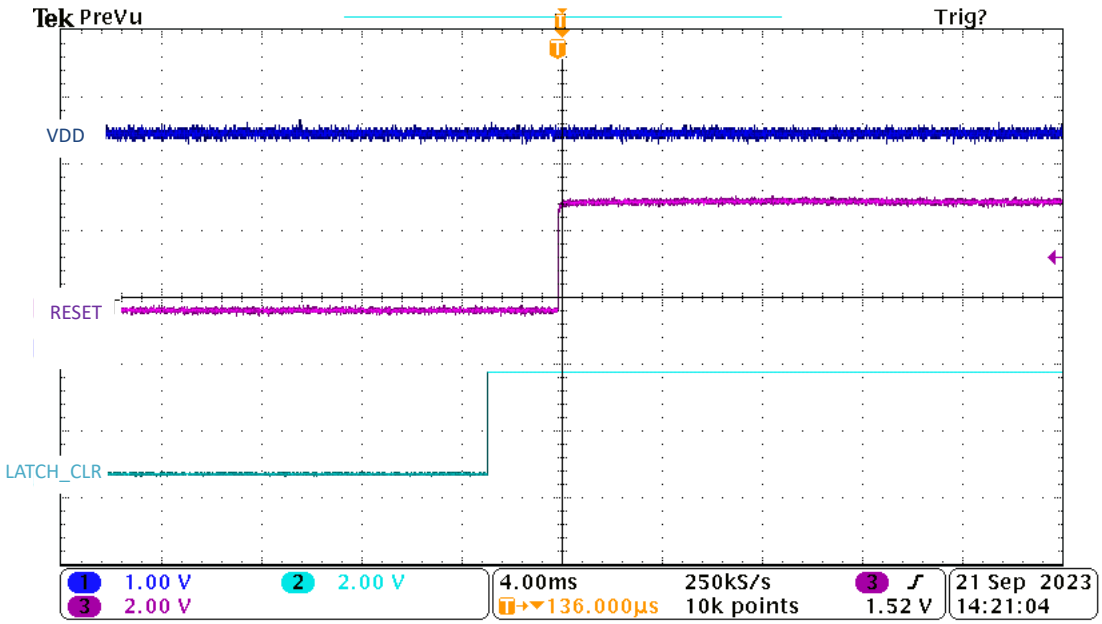


図 8-5. 過電圧検出時の $\overline{\text{RESET}}$ ラッチ解除波形

8.4 電源に関する推奨事項

TPS3762-Q1 は、V_{DD} 電圧が 2.7V (最低動作電圧) から 65V (最大動作電圧) までの入力電源で動作するように設計されています。適切なアナログ設計手法では、最低 0.1µF のセラミック コンデンサを V_{DD} ピンのできるだけ近くに配置することが推奨されます。

8.4.1 電力散逸とデバイス動作

任意のパッケージにおける許容消費電力は、電源から IC の接合部を経て最終的な放熱先である周囲環境へ熱を伝達するデバイスの能力の指標です。したがって、消費電力は周囲温度およびダイ接合部と周囲空気との間の各種インターフェイスを通る熱抵抗に依存します。

与えられたパッケージでのデバイスの最大連続許容消費電力は、式 10 を使って計算できます。

$$P_{D\text{-}MAX} = ((T_{J\text{-}MAX} – T_A) / R_{\theta JA}) \quad (10)$$

デバイスで実際に消費される電力は、式 11 で計算できます。

$$P_D = V_{DD} \times I_{DD} + p_{RESET} \quad (11)$$

P_{RESET} は、式 12 または式 13 で計算されます

$$p_{RESET\ (PUSHPULL)} = V_{DD} - V_{RESET} \times I_{RESET} \quad (12)$$

$$p_{RESET\ (OPEN\text{-}DRAIN)} = V_{RESET} \times I_{RESET} \quad (13)$$

式 10 および 式 11 は、熱的考慮事項によって許容される最大消費電力、デバイスの両端の電圧降下、デバイスの連続電流能力の関係を示します。これら 2 つの式を使用して、アプリケーションでのデバイスの最適な動作条件を決定する必要があります。

消費電力を低減 (P_D) または優れたパッケージ熱抵抗 ($R_{\theta JA}$) を使用するアプリケーションでは、最大周囲温度 ($T_{A\text{-}MAX}$) を増やすことができます。

消費電力が高いアプリケーションまたはパッケージからの熱抵抗が低いアプリケーションでは、最大周囲温度 ($T_{A\text{-}MAX}$) のディレーティングが必要です。$T_{A\text{-}MAX}$ は式 14 で与えられるように、動作時の最大接合部温度 ($T_{J\text{-}MAX\text{-}OP}$ = 125°C)、アプリケーションのデバイス パッケージの最大許容消費電力 ($P_{D\text{-}MAX}$)、およびアプリケーションの部品またはパッケージの接合部から周囲への熱抵抗 ($R_{\theta JA}$) に依存します:

$$T_{A\text{-}MAX} = (T_{J\text{-}MAX\text{-}OP} – (R_{\theta JA} \times P_{D\text{-}MAX})) \quad (14)$$

8.5 レイアウト

8.5.1 レイアウトのガイドライン

- VDD ピンへの接続が低インピーダンスであることを確認します。適切なアナログ設計手法では、0.1uF 以上のセラミック コンデンサを VDD ピンの出来るだけ近くに配置することが推奨されます。
- センス ピンのノイズ耐性をさらに向上させるため、SENSE ピンと GND の間に 10nF ～ 100nF のコンデンサを配置すると、監視信号上の過渡電圧に対する感度を低減できます。
- CTS または CTR にコンデンサを使用する場合は、これらの部品をそれぞれのピンにできるだけ近づけて配置してください。コンデンサ設定用ピンを未接続のまま使用する場合は、ピンの寄生容量を 5pF 未満に抑えるようにします。
- $\overline{\text{RESET}}$ のプルアップ抵抗は、ピンのできるだけ近くに配置します。
- 配線設計時には、高電圧配線と低電圧配線をできるだけ離して配置します。高電圧配線と低電圧配線を近接して配置する必要がある場合、配線間の間隔は 20mils (0.5mm) 以上確保します。
- 高電圧の金属パッドやパターンを低電圧の金属パッドやパターンに 20mils (0.5mm) より近い位置に配置しないでください。

Copyright © 2026 Texas Instruments Incorporated

8.5.2 レイアウト例

図 8-6 のレイアウト例に、ユーザー定義の遅延を伴うプリント基板 (PCB) 上で TPS3762-Q1-Q1 をレイアウトする方法を示します。

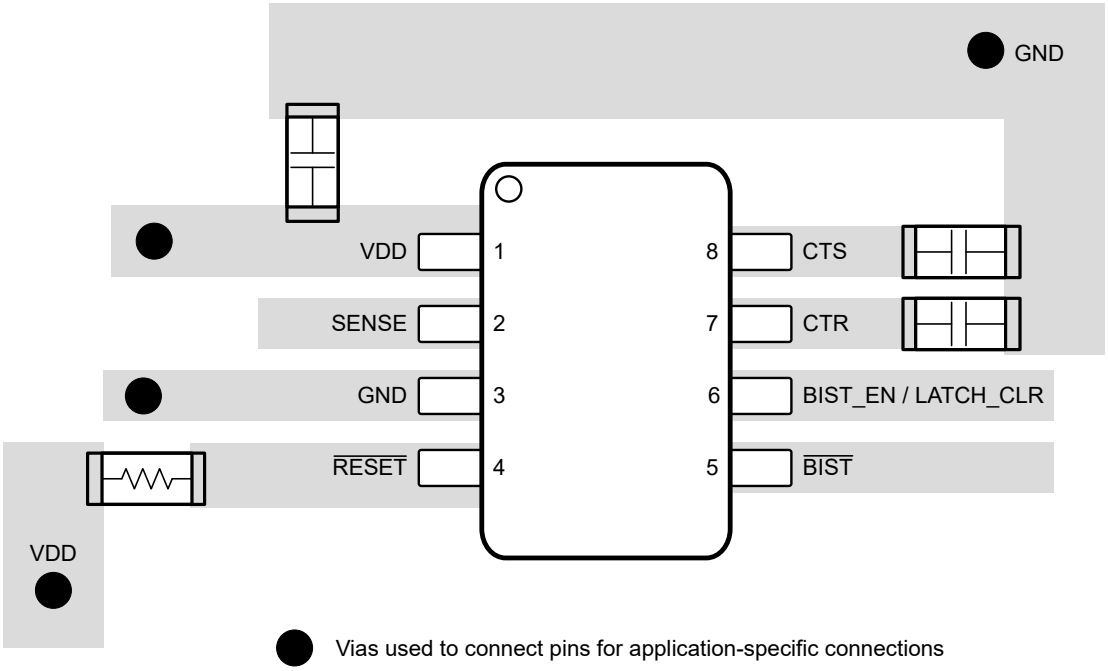


図 8-6. TPS3762-Q1-Q1 の推奨レイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

以下に示す関連ドキュメントは、www.ti.com からダウンロードできます。

- 『コンパレータ入力の分圧抵抗の最適化』SLVA450
- 『電源設計用の感度分析』、SLVA481
- 『TMS320C28x デジタル シグナル コントローラ スタートガイド』、SPRAAM0
- TPS3762-Q1『B-Q1EVM-775 評価基板 ユーザー ガイド』、SBVU030
- 『C2000 Delfino ファミリのマイクロプロセッサ』
- 『TMS320F2833x マイコン』、SPRS439

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (May 2024) to Revision B (February 2026)	Page
• 明確化のため「特長」を変更	1
• 5µs を 3µs に変更。	1
• 明確化のために説明を更新。	1
• 「パッケージ情報」表にパッケージ サイズを追加	1
• 「デバイスの比較」のサブセクションとして「デバイスの命名規則」を移動。	3
• 「デバイスの項目表記」に付加的なデバイスの情報を追加。	3

Copyright © 2026 Texas Instruments Incorporated

- 付加的なデバイス デコーダを追加。 3
- BIST_EN/LATCH_CLR のピンの説明を更新 5
- 固定スレッショルド電圧タイプに関する追加仕様を反映するため、「絶対最大定格」、「推奨動作条件」、「電気的特性」、「タイミング要件」、「スイッチング特性」を更新 6
- 「絶対最大定格」の表の注 1 を最新の標準に合わせて更新 6
- 「電気的特性」および「スイッチング要件」のテスト条件の表現を明確化するため更新 6
- 「TCTS」を「Tpd または TCTS」に変更 12
- 「可変スレッショルド機能ブロック図」から「逆極性保護」を削除 16
- 明確化のためラッチ セクションの文言を修正 22
- タイトルを「ラッチング」から「ラッチ」に変更 22
- 明確化のため CTR の式を更新 25
- リセット時間遅延用コンデンサの値の例を追加 25
- 明確化のため CTS の式を更新 26
- Sense 時間遅延用コンデンサの値の例を追加 26
- 明確化のために内蔵セルフ テストを更新 27

Changes from Revision * (October 2023) to Revision A (May 2024)	Page
• 量産データのリリース	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS3762BM6OVDDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62BM6
TPS3762BUV05DDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62BUV
TPS3762D02OVDDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62D02
TPS3762D02OVDDFRQ1.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62D02
TPS3762D02OVDDFRQ1.B	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS3762DW4W4DDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62DW4
TPS3762EG4OVDDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62EG4
TPS3762EUV02DDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62EU2
TPS3762EUVF4DDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62EF4
TPS3762F02OVDDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	62F02

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS3762-Q1 :

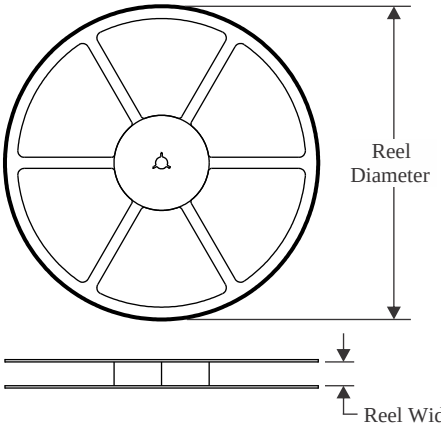
- Catalog : TPS3762

NOTE: Qualified Version Definitions:

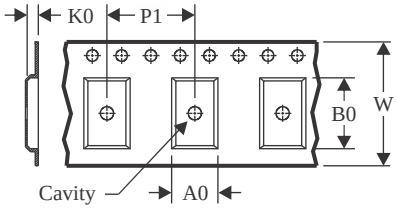
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

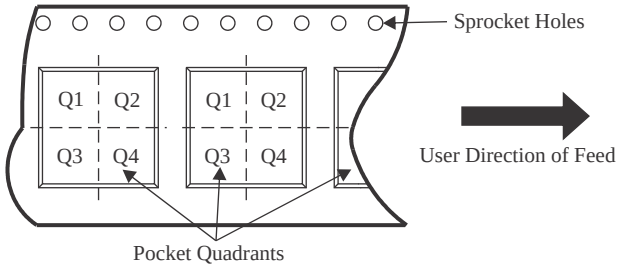


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

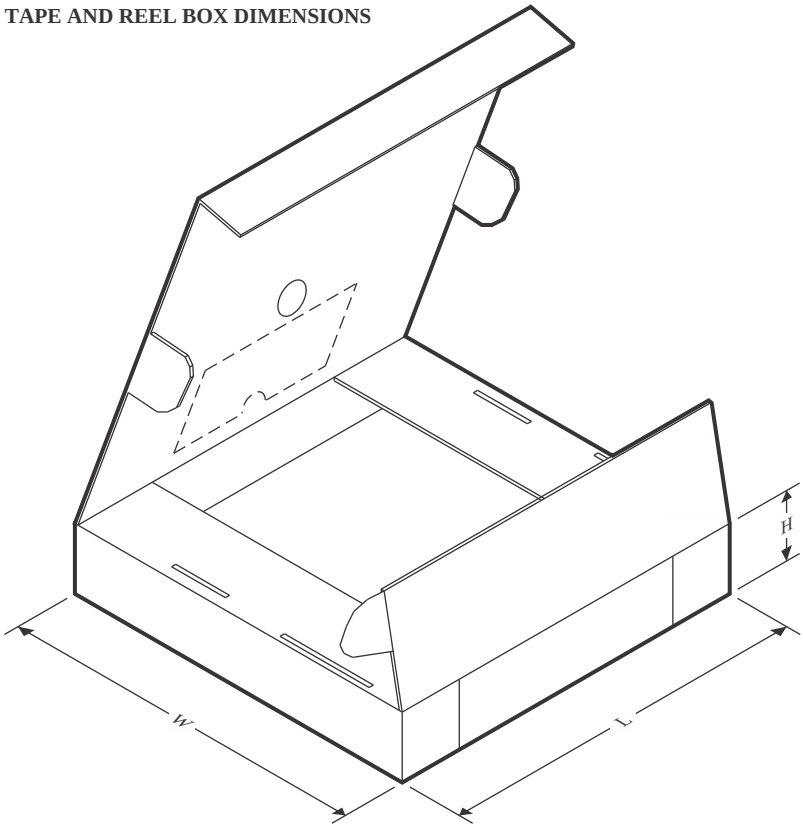
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3762BM6OVDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762BUV05DDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762D02OVDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762DW4W4DDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762EG4OVDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762EUV02DDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762EUVF4DDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3762F02OVDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

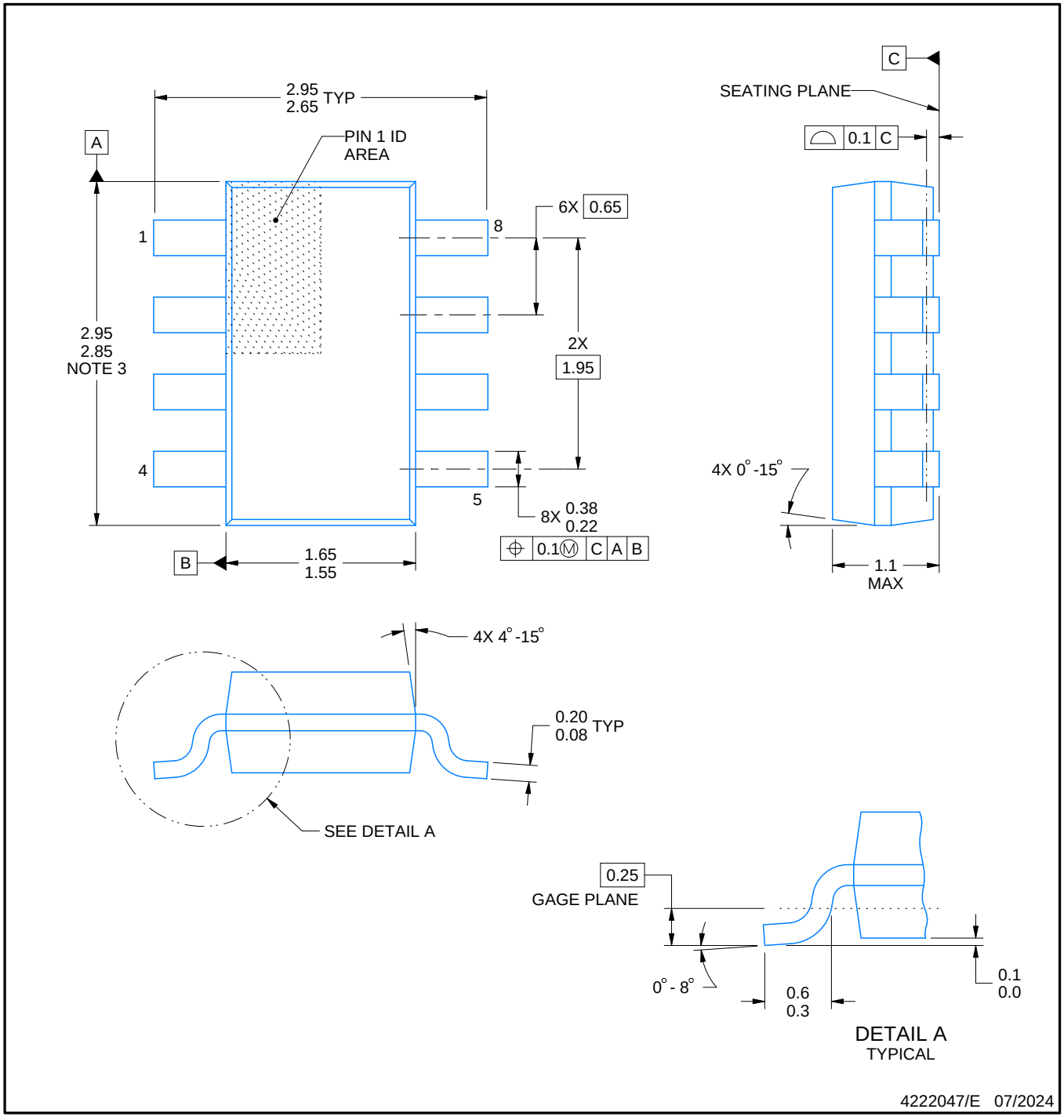
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3762BM6OVDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762BUV05DDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762D02OVDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762DW4W4DDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762EG4OVDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762EUV02DDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762EUVF4DDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TPS3762F02OVDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DDF0008A

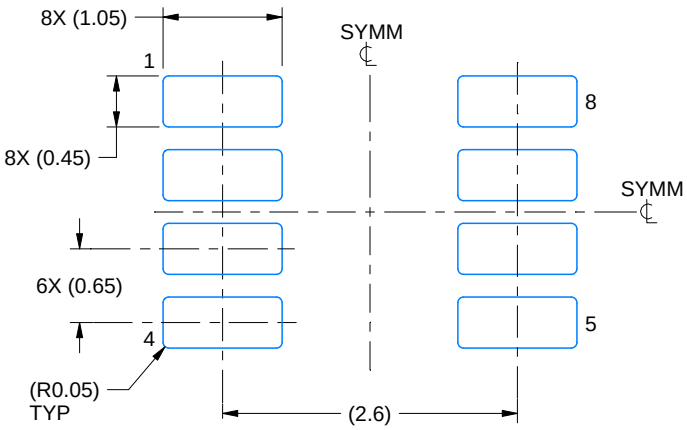
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

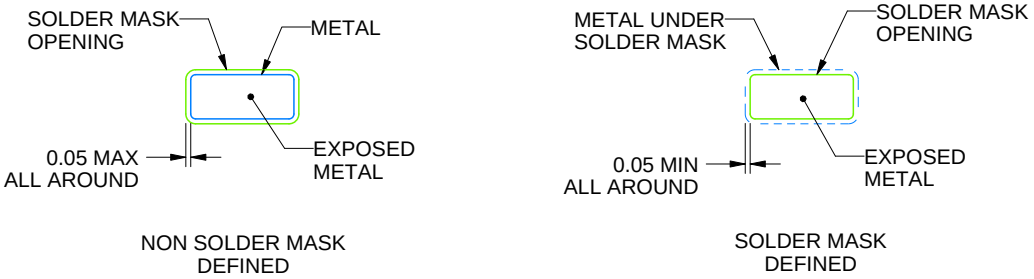


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

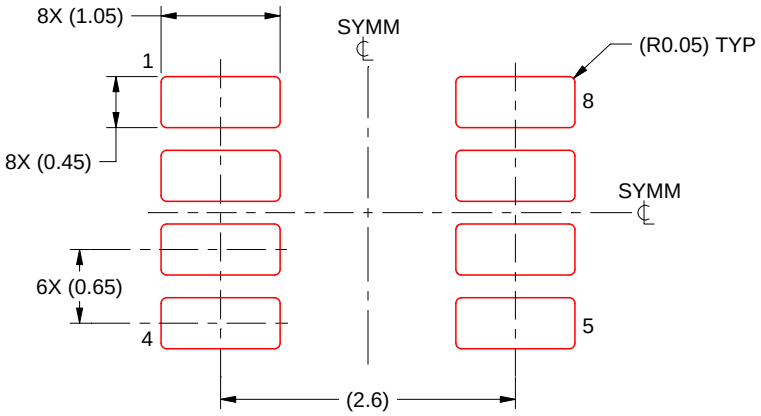
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月