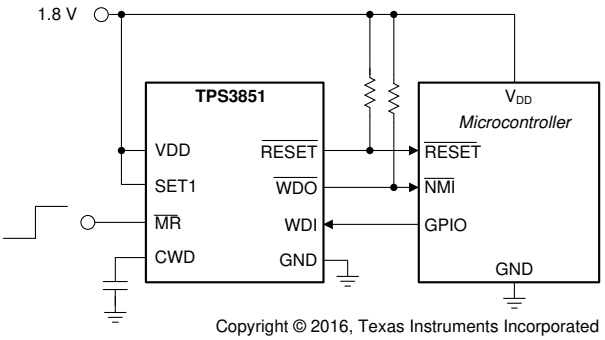
TPS3851 高精度電圧スーパーバイザ、ウォッチドッグ・タイマ内蔵

1 特長

- 入力電圧範囲:V_{DD} = 1.6V～6.5V
- 0.8% の電圧スレッショルド精度
- 低い静止電流:I_{DD} = 10µA (代表値)
- ウォッチドッグのタイムアウトをユーザーがプログラム可能
- オープン ドレイン出力
- 高精度の低電圧監視
  - 1.8V～5.0V の共通レールをサポート
  - 4% および 7% の低電圧スレッショルドを利用可能
  - 0.5% のヒステリシス
- ウォッチドッグのディスエーブル機能
- 工場でプログラム済みの高精度のウォッチドッグ タイマとリセット タイマ
- マニュアル リセット入力 ($\overline{MR}$)
- 小型 3mm × 3mm、8 ピン VSON パッケージで供給
- 接合部動作時の接合部温度範囲:
  –40℃ ～ +125℃

2 アプリケーション

- WLAN/Wi-Fi アクセス・ポイント
- ワイヤレス・セキュリティ・カメラ
- IP ネットワーク・カメラ
- ストリング・インバータ
- 血圧計
- 電気メーター



Copyright © 2016, Texas Instruments Incorporated

完全に統合されたマイコン スーパバイザ回路

3 説明

TPS3851 は、高精度の電圧スーパバイザとプログラム可能なウォッチドッグ タイマを組み合わせた製品です。TPS3851 コンパレータは、VDD ピンの低電圧 (V_{ITN}) スレッショルドについて 0.8% の精度を実現します (-40℃～+125℃)。
また、TPS3851 には低電圧スレッショルドの正確なヒステリシスも内蔵されており、許容誤差の厳しいシステムに最適です。スーパーバイザの $\overline{RESET}$ 遅延は 15% の精度で、高精度の遅延タイミングです。

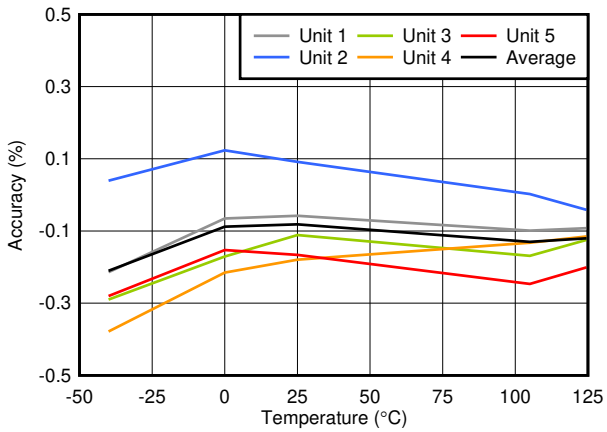
TPS3851 にはプログラム可能なウォッチドッグ タイマが内蔵されており、広範なアプリケーションに使用できます。専用ウォッチドッグ出力 ($\overline{WDO}$) により分解能が向上し、フォルト状況の性質を判定するために役立ちます。ウォッチドッグのタイムアウトは、外付けのコンデンサ、または工場でプログラムされるデフォルトの遅延設定によりプログラム可能です。ウォッチドッグはロジック ピンによりディセーブルできるため、開発プロセスにおいて望ましくないウォッチドッグのタイムアウトを回避できます。

TPS3851 は、小型 3.00mm × 3.00mm の 8 ピン VSON パッケージで提供されています。

製品情報

部品番号	パッケージ (1)	本体サイズ(2) (公称)
TPS3851	VSON (8)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



低電圧スレッショルド (V_{ITN}) の精度と温度との関係

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 タイミング要件.....6
5.7 タイミング図.....7
5.8 代表的特性.....8
6 詳細説明.....12
6.1 概要.....12
6.2 機能ブロック図.....12
6.3 機能説明.....12
6.4 デバイスの機能モード.....15
7 アプリケーションと実装.....16
7.1 アプリケーション情報.....16
7.2 代表的なアプリケーション.....19
7.3 電源に関する推奨事項.....21
7.4 レイアウト.....22
8 デバイスおよびドキュメントのサポート.....23
8.1 デバイス サポート.....23
8.2 ドキュメントのサポート.....23
8.3 ドキュメントの更新通知を受け取る方法.....23
8.4 サポート・リソース.....23
8.5 商標.....23
8.6 静電気放電に関する注意事項.....23
8.7 用語集.....23
9 改訂履歴.....24
10 メカニカル、パッケージ、および注文情報.....24

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

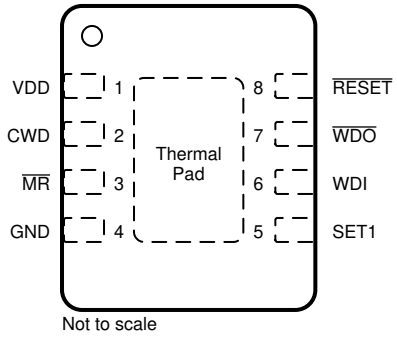


図 4-1. DRB パッケージ：TPS3851
3mm × 3mm VSON-8
上面図

表 4-1. ピンの機能

名称	番号	I/O	説明
CWD	2	I	プログラム可能なウォッチドッグ タイムアウト入力。ウォッチドッグ タイムアウトは、このピンとグランドの間にコンデンサを接続することで設定します。10kΩ 抵抗を介して V_{DD} に接続するか、未接続のままにすると、プリセットされたウォッチドッグタイムアウトを選択できます。「*CWD 機能*」セクションを参照してください。 TPS3851 は、標準タイミングまたは拡張タイミングの式 1 または式 2 を使用して、ウォッチドッグのタイムアウトを決定します。
GND	4	—	グランド ピン
$\overline{MR}$	3	I	手動のリセット ピン。このピンがロジック low になると、$\overline{RESET}$ が発行されます。このピンは内部でプルアップされています。$\overline{MR}$ がデアサート (high) された後、$\overline{RESET}$ は固定のリセット遅延 (t_{RST}) 時間の間 low に維持されます。
$\overline{RESET}$	8	O	リセット出力。1kΩ から 100kΩ への抵抗を使用して、$\overline{RESET}$ を適切なプルアップ電圧レール (V_{PU}) に接続します。V_{DD} が低電圧スレッショルド (V_{ITN}) を下回ると、$\overline{RESET}$ は low になります。V_{DD} が通常の動作範囲内になると、$\overline{RESET}$ タイムアウト カウンタが開始されます。完了すると、$\overline{RESET}$ は high になります。スタートアップ時は、規定されたパワーオン リセット (POR) 電圧 (V_{POR}) より下で $\overline{RESET}$ 状態が未定義です。POR を上回ると、$\overline{RESET}$ は low になり、監視対象の電圧が適切な動作範囲内 (V_{ITN} + V_{HYST} を上回る) になり、$\overline{RESET}$ タイムアウトが完了するまでの間、low のまま維持されます。
SET1	5	I	ロジック入力。SET1 ピンをグランドに接続すると、ウォッチドッグ タイマがディスエーブルになります。SET1 および CWD は、ウォッチドッグ タイムアウトを選択します。*SET1* セクションを参照してください。
VDD	1	I	電源電圧ピン。ノイズの多いシステムでは、0.1µF のバイパス コンデンサを接続することを推奨します。
WDI	6	I	ウォッチドッグ入力。タイムアウト (t_{WD}) が経過する前に、WDI で立ち下がりエッジが発生する必要があります。 ウォッチドッグを使用していない場合、SET1 ピンを使用してウォッチドッグをディセーブルできます。$\overline{RESET}$ または $\overline{WDO}$ が low (アサート) のとき、およびウォッチドッグがディセーブルのとき、WDI は無視されます。ウォッチドッグがディセーブルの場合、WDI は未接続のままにできず、VDD または GND のいずれかに駆動する必要があります。
$\overline{WDO}$	7	O	ウォッチドッグ出力。$\overline{WDO}$ は 1kΩ から 100kΩ への抵抗によって、適切なプルアップ電圧レール (V_{PU}) に接続します。ウォッチドッグ タイムアウトが発生すると、$\overline{WDO}$ が low になります (アサートされます)。$\overline{WDO}$ は、$\overline{RESET}$ が High の場合にのみアサートされます。ウォッチドッグ タイムアウトが発生すると、設定された $\overline{RESET}$ タイムアウト遅延 (t_{RST}) の間 $\overline{WDO}$ low になります (アサートされます)。$\overline{RESET}$ が low になると、$\overline{WDO}$ は高インピーダンス状態になります。
サーマル パッド		—	サーマル パッドは大面積のグランド プレーンに接続します。サーマル パッドは内部的に GND に接続されています。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電源電圧範囲	VDD	-0.3	7	V
出力電圧範囲	$\overline{\text{RESET}}$、$\overline{\text{WDO}}$	-0.3	7	V
電圧範囲	SET1、WDI、$\overline{\text{MR}}$	-0.3	7	V
	CWD	-0.3	V_{DD} + 0.3 (3)	
出力ピンの電流	$\overline{\text{RESET}}$、$\overline{\text{WDO}}$		±20	mA
入力電流 (すべてのピン)			±20	mA
連続総許容損失		を参照してください。*セクション 5.4*		
温度	動作時の接合部温度、T_J (2)	-40	150	℃
	自由気流での動作温度、T_A (2)	-40	150	
	保存、T_{stg}	-65	150	

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) このデバイスの消費電力は低いため、$T_J = T_A$ と想定できます。
(3) 絶対最大定格は V_{DD} + 0.3V または 7.0V のどちらか小さい方です。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±4000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 (2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、HBM の ESD 耐圧が 500V 未満でも製造可能です。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
V_{DD}	電源ピンの電圧	1.6		6.5	V
V_{SET1}	SET1 ピンの電圧	0		6.5	V
C_{CWD}	ウォッチドッグ タイミング コンデンサ	0.1 (1) (2)		1000 (1) (2)	nF
CWD	VDD へのプルアップ抵抗	9	10	11	kΩ
R_{PU}	プルアップ抵抗、$\overline{\text{RESET}}$、$\overline{\text{WDO}}$	1	10	100	kΩ
$I_{\overline{\text{RESET}}}$	$\overline{\text{RESET}}$ ピン電流			10	mA
$I_{\overline{\text{WDO}}}$	ウォッチドッグ出力電流			10	mA
T_J	接合部温度	-40		125	℃

(1) 0.1nF または 1000nF の C_{CWD} コンデンサを使用した標準タイミングを使用すると、$t_{WD(typ)}$ はそれぞれ 0.704ms または 3.23 秒となります。
(2) 0.1nF または 1000nF の C_{CWD} コンデンサを使用した拡張タイミングを使用すると、$t_{WD(typ)}$ はそれぞれ 62.74ms または 77.45 秒となります。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		TPS3851 DRB (VSON) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	50.7	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	51.6	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	25.8	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	1.3	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	25.8	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	7.1	℃/W

(1) 従来および最新の熱評価基準の詳細については、『*IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

5.5 電気的特性

動作温度範囲 $V_{ITN} + V_{HYST} \le V_{DD} \le 6.5V$ において $-40°C \le T_A$、$T_A \le 125°C$ (特に記述のない限り)、オープン ドレインのプルアップ抵抗は各出力で 10kΩ、代表値は $T_J = 25°C$ で測定

パラメータ		テスト条件	最小値	標準値	最大値	単位
一般的な特性						
V_{DD} (1) (2) (3)	電源電圧		1.6		6.5	V
I_{DD}	電源電流			10	19	µA
リセットの機能						
V_{POR} (2)	パワーオン リセット電圧	$I_{\overline{RESET}} = 15µA$、$V_{OL(MAX)} = 0.25V$			0.8	V
V_{UVLO} (1)	低電圧誤動作防止 (UVLO) 電圧			1.35		V
V_{ITN}	低電圧スレッショルド精度、$\overline{RESET}$ に入る	V_{DD} 立ち下がり	$V_{ITN} - 0.8\%$		$V_{ITN} + 0.8\%$	
V_{HYST}	ヒステリシス電圧	V_{DD} 立ち上がり	0.2%	0.5%	0.8%	
$I_{\overline{MR}}$	$\overline{MR}$ ピン内部プルアップ電流	$V_{\overline{MR}} = 0V$	500	620	700	nA
ウィンドウ機能						
I_{CWD}	CWD ピンの充電電流	CWD = 0.5V	347	375	403	nA
V_{CWD}	CWD ピンのスレッショルド電圧		1.196	1.21	1.224	V
V_{OL}	$\overline{RESET}$、$\overline{WDO}$ 出力 Low	VDD = 5V、I_{SINK} = 3mA			0.4	V
I_D	$\overline{RESET}$、$\overline{WDO}$ 出力リーク電流、オープン ドレイン	VDD = $V_{ITN} + V_{HYST}$、$V_{\overline{RESET}} = V_{\overline{WDO}} = 6.5V$			1	µA
V_{IL}	Low レベル入力電圧 ($\overline{MR}$、SET1)				0.25	V
V_{IH}	High レベル入力電圧 ($\overline{MR}$、SET1)		0.8			V
$V_{IL(WDI)}$	Low レベル入力電圧 (WDI)				$0.3 \times V_{DD}$	V
$V_{IH(WDI)}$	High レベル入力電圧 (WDI)		$0.8 \times V_{DD}$			V

(1) V_{DD} が V_{UVLO} を下回ると、$\overline{RESET}$ が Low に駆動されます。
(2) V_{DD} が V_{POR} を下回ると、$\overline{RESET}$ と $\overline{WDO}$ が未定義の状態になります。
(3) 電源がオンのとき、$\overline{RESET}$ が V_{DD} と相関する前に、少なくとも 300µs の間、V_{DD} は最低 1.6V である必要があります。

Copyright © 2025 Texas Instruments Incorporated

5.6 タイミング要件

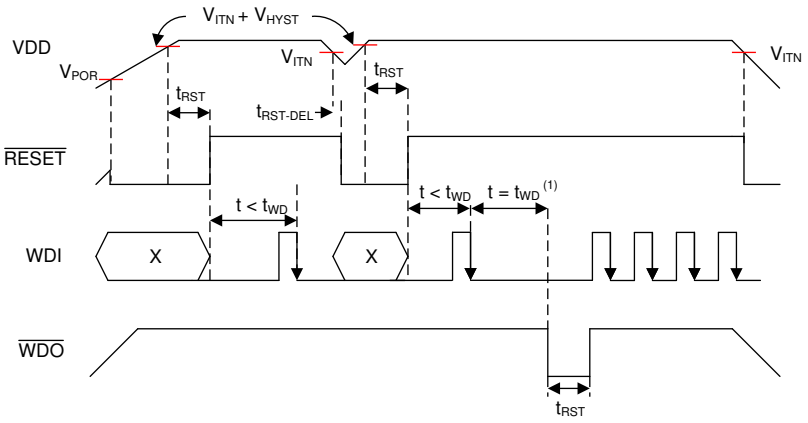
動作温度範囲 $V_{ITN} + V_{HYST} \le V_{DD} \le 6.5V$ において $–40°C \le T_A$、$T_A \le 125°C$ (特に記述のない限り)、オープンドレインのプルアップ抵抗は各出力で 10kΩ、代表値は $T_J = 25℃$ で測定

			最小値	公称値	最大値	単位
一般						
t_{INIT}	CWD ピンの評価期間(1)			381		µs
	$\overline{MR}$、SET1 ピンの最小パルス幅			1		µs
	スタートアップ遅延 (2)			300		µs
リセットの機能						
t_{RST}	リセットのタイムアウト期間		170	200	230	ms
$t_{RST-DEL}$	V_{DD} から $\overline{RESET}$ までの遅延	$V_{DD} = V_{ITN} + V_{HYST} + 2.5\%$		35		µs
		$V_{DD} = V_{ITN} – 2.5\%$		17		
t_{MR-DEL}	$\overline{MR}$ から $\overline{RESET}$ までの遅延			200		ns
ウィンドウ機能						
t_{WD}	ウォッチドッグのタイムアウト(3)	CWD = NC、SET1 = 0(4)	ウォッチドッグはディセーブル			
		CWD = NC、SET1 = 1(4)	1360	1600	1840	ms
		CWD = 10kΩ ～ VDD、SET1 = 0(4)	ウォッチドッグはディセーブル			
		CWD = 10kΩ ～ VDD、SET1 = 1(4)	170	200	230	ms
$t_{WD-setup}$	デバイスが WDI の変化に応答するために必要なセットアップ時間			150		µs
	最小 WDI パルス幅			50		ns
t_{WD-del}	WDI から $\overline{WDO}$ までの遅延			50		ns

(1) セクション 7.1.1.2 を参照してください。
(2) 電源がオンのとき、$\overline{RESET}$ が V_{DD} と相関する前に、少なくとも 300µs の間、V_{DD} は最低 1.6V である必要があります
(3) 固定ウォッチドッグ タイミングは、標準バージョンと拡張バージョンの両方に対応しています。
(4) SET1 = 0 は $V_{SET1} < V_{IL}$ を意味し、SET1 = 1 は $V_{SET1} > V_{IH}$ を意味します。

Copyright © 2025 Texas Instruments Incorporated

5.7 タイミング図



A. 図 5-2 を参照して WDI のタイミング要件についてはください。

図 5-1. タイミング図

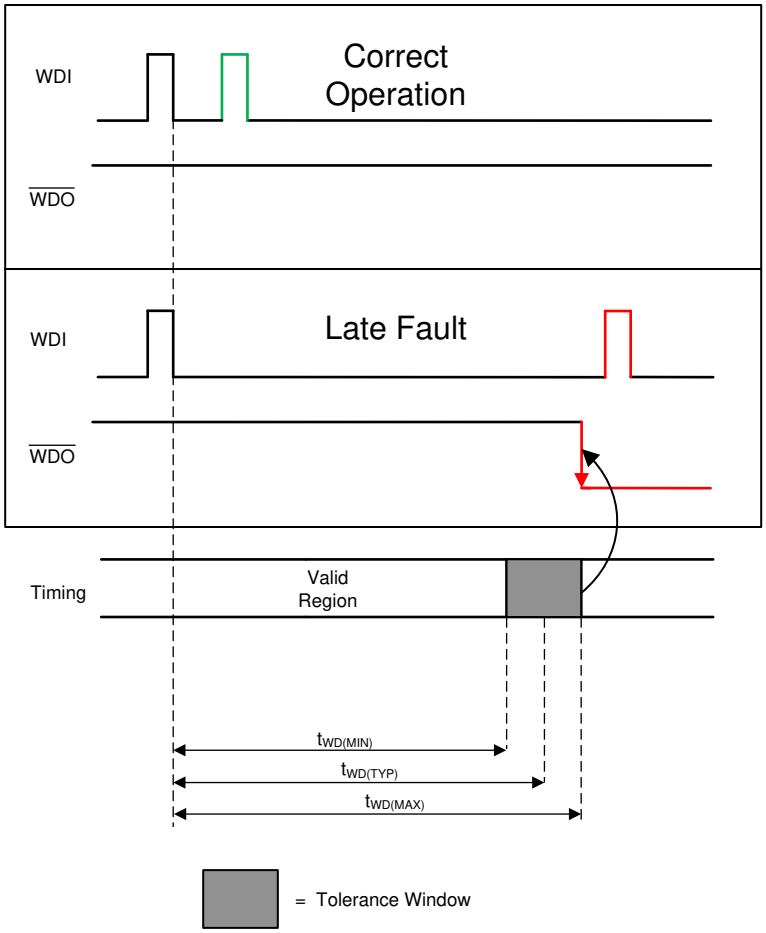


図 5-2. ウォッチドッグのタイミング図

5.8 代表的特性

すべての代表的特性の曲線は、25°C が 1.6V ≤ VDD ≤ 6.5V で測定 (他の注記がない限り)

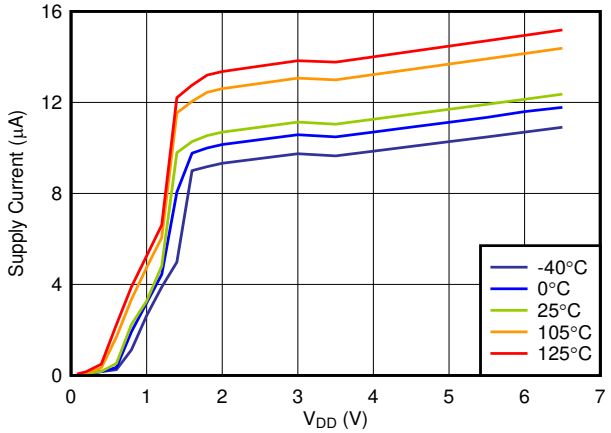
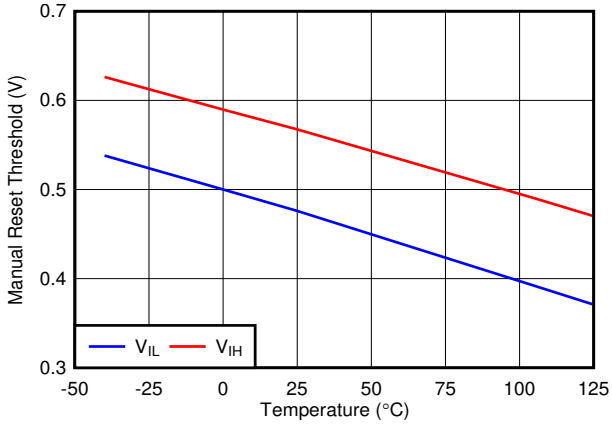


図 5-3. 消費電流 と V_{DD} との関係



VDD = 1.6V

図 5-4. $\overline{MR}$ スレッショルドと温度との関係

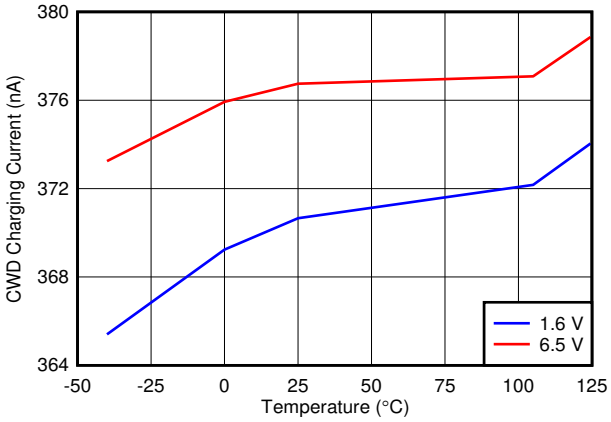
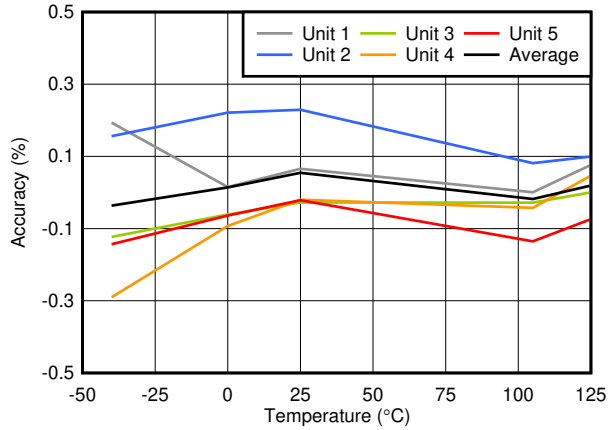
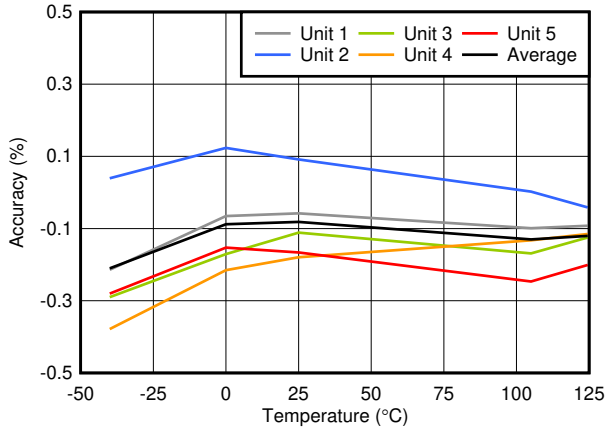


図 5-5. CWD 充電電流と温度との関係



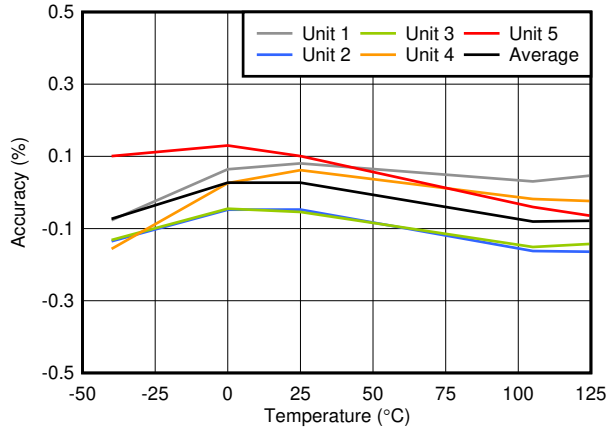
TPS3851G18、V_{ITN} = 1.728V

図 5-6. V_{ITN} + V_{HYST} の精度と温度との関係



TPS3851G18、V_{ITN} = 1.728V

図 5-7. V_{ITN} 精度と温度との関係



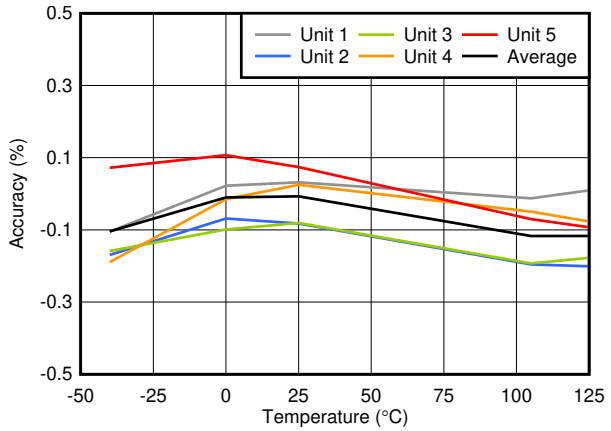
TPS3851G50、V_{ITN} = 4.8V

図 5-8. V_{ITN} + V_{HYST} の精度と温度との関係

Copyright © 2025 Texas Instruments Incorporated

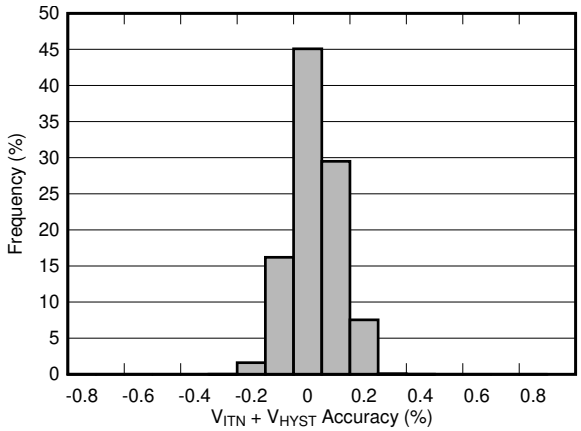
5.8 代表的特性 (続き)

すべての代表的特性の曲線は、25°C が 1.6V ≤ VDD ≤ 6.5V で測定 (他の注記がない限り)



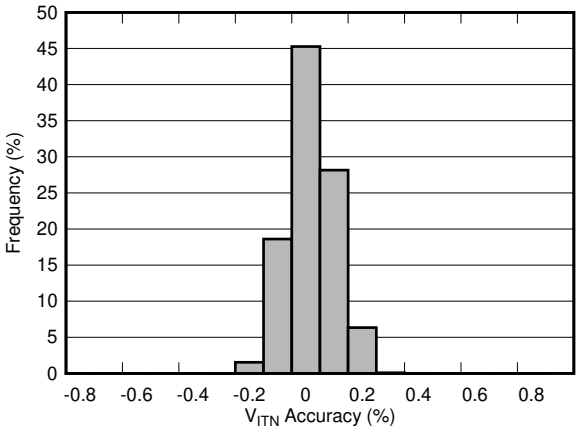
TPS3851G50、V_{ITN} = 4.8V

図 5-9. V_{ITN} 精度と温度との関係



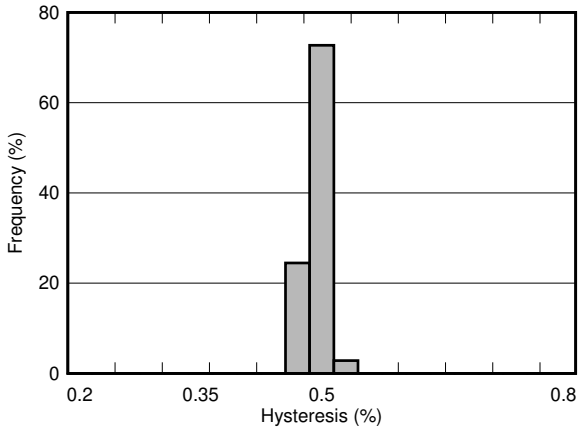
G および H バージョンを含む。1.8V、2.5V、3.0V、3.3V、5V のスレッショルド。合計ユニット = 36,627

図 5-10. V_{ITN} + V_{HYST} 精度ヒストグラム



G および H バージョンを含む。1.8V、2.5V、3.0V、3.3V、5V のスレッショルド。合計ユニット = 36,627

図 5-11. V_{ITN} 精度ヒストグラム



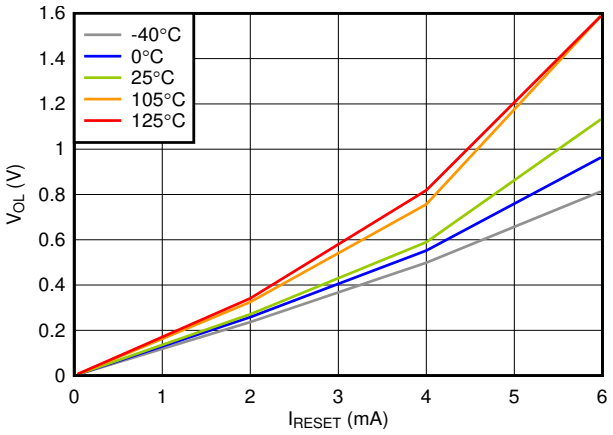
G および H バージョンを含む。1.8V、2.5V、3.0V、3.3V、5V のスレッショルド。合計ユニット = 36,627

図 5-12. ヒステリシスのヒストグラム

Copyright © 2025 Texas Instruments Incorporated

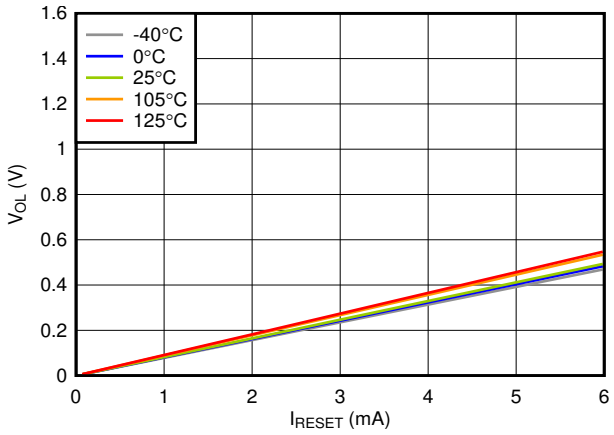
5.8 代表的特性 (続き)

すべての代表的特性の曲線は、25°C が 1.6V ≤ VDD ≤ 6.5V で測定 (他の注記がない限り)



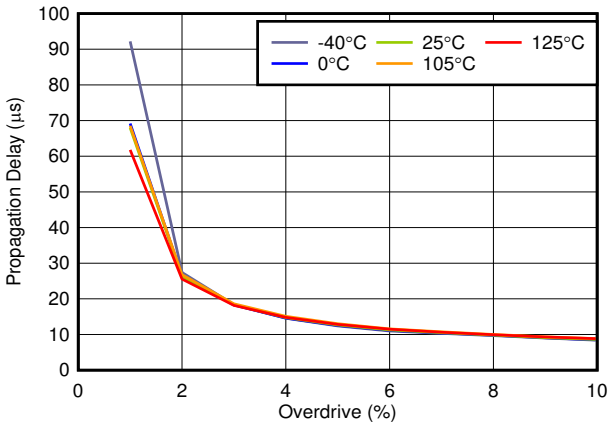
VDD = 1.6V

図 5-13. 低レベル $\overline{\text{RESET}}$ 電圧と $\overline{\text{RESET}}$ 電流との関係



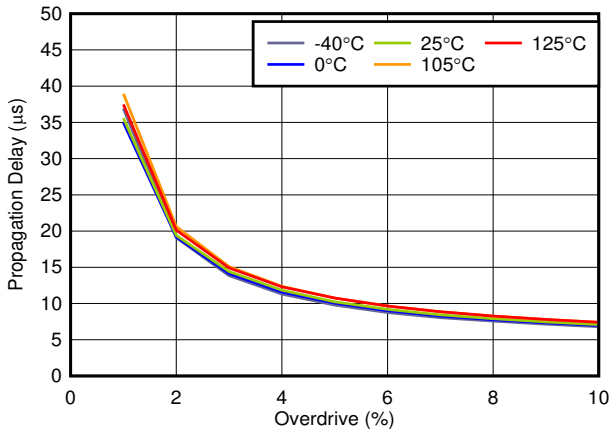
VDD = 6.5V

図 5-14. 低レベル $\overline{\text{RESET}}$ 電圧と $\overline{\text{RESET}}$ 電流との関係



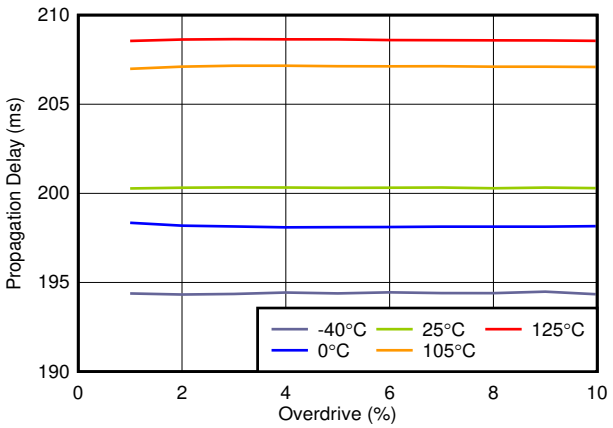
TPS3851G18 低電圧になります

図 5-15. 伝搬遅延とオーバードライブとの関係



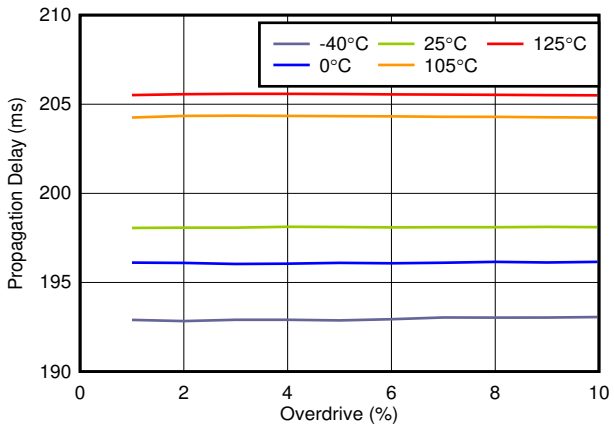
TPS3851G50 低電圧になります

図 5-16. 伝搬遅延とオーバードライブとの関係



TPS3851G18 は低電圧を終了します

図 5-17. 伝搬遅延 t_{RST} とオーバードライブとの関係



TPS3851G50 は低電圧を終了します

図 5-18. 伝搬遅延 t_{RST} とオーバードライブとの関係

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

すべての代表的特性の曲線は、25°C が 1.6V ≤ VDD ≤ 6.5V で測定 (他の注記がない限り)

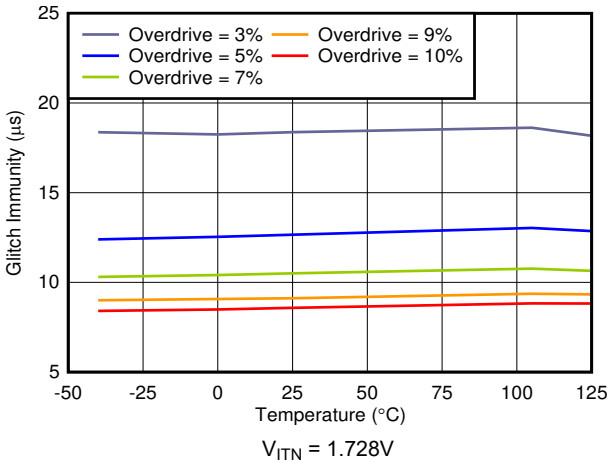


図 5-19. 高から低へのグリッチ耐性と温度との関係

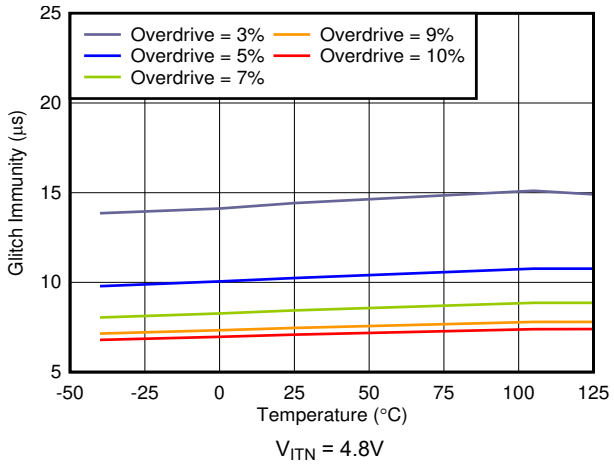


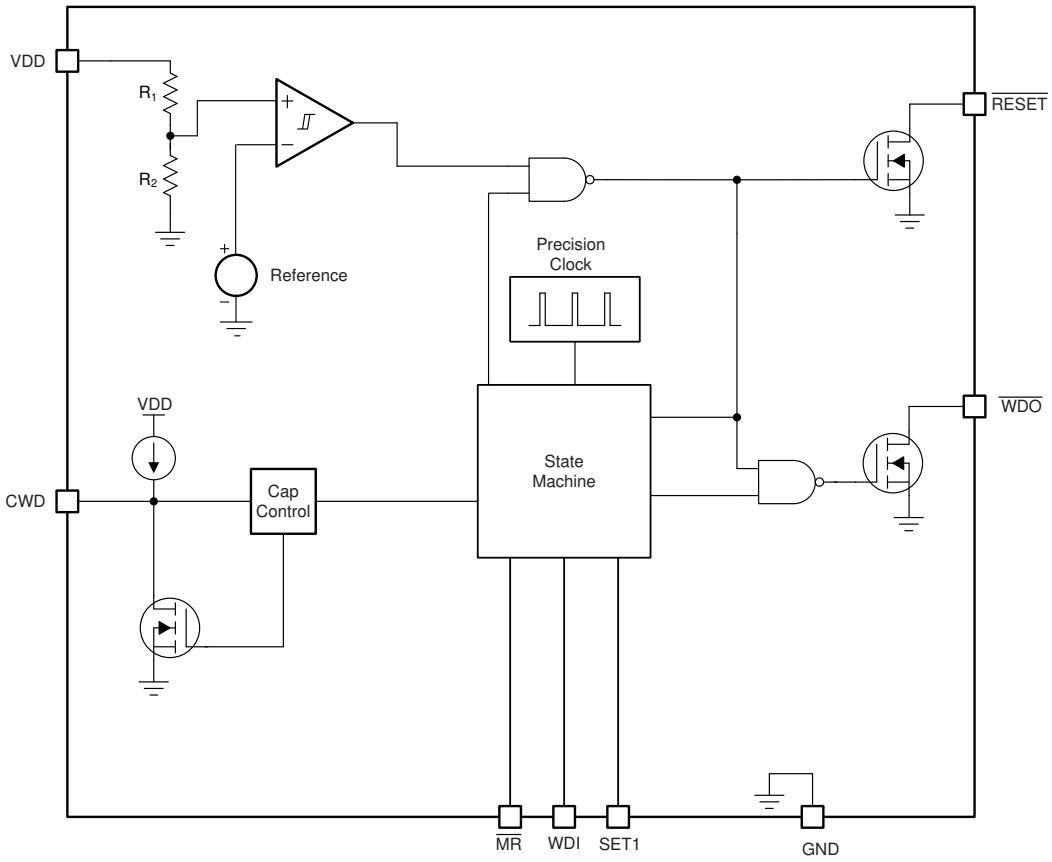
図 5-20. 高から低へのグリッチ耐性と温度との関係

6 詳細説明

6.1 概要

TPS3851 は高精度の電圧スーパバイザで、ウォッチドッグ タイマが内蔵されています。このデバイスには、–40°C ～ 125°C の規定温度範囲にわたって 0.8% の精度を達成するスレッショルドを持つ高精度低電圧監視回路が内蔵されています。また、TPS3851 にはスレッショルドの正確なヒステリシスが組み込まれており、マイクロプロセッサまたはシステム オン チップ (SoC) の最小電源電圧許容誤差に達する前に、電圧監視回路が確実に $\overline{\text{RESET}}$ を行う必要があるシステムと一緒に使用するように設計されています。ウォッチドッグ タイミング規格と拡張タイミングには、2 つのオプションがあります。標準タイミングを取得するには、TPS3851Xyy (y) S を使用し、拡張タイミングには TPS3851Xyy (y) E を使用します。

6.2 機能ブロック図



A. 注：$R_1 + R_2 = 4.5\text{M}\Omega$。

6.3 機能説明

6.3.1 RESET

1kΩ ～ 100kΩ のプルアップ抵抗を介して $\overline{\text{RESET}}$ を V_{PU} に接続します。V_{DD} が負のスレッショルド電圧 (V_{ITN}) を上回ると、$\overline{\text{RESET}}$ は high のままになります (デアサート)。V_{DD} が負のスレッショルド (V_{ITN}) を下回ると、$\overline{\text{RESET}}$ がアサートされ、$\overline{\text{RESET}}$ ピンが低インピーダンスに駆動されます。V_{DD} が $V_{ITN} + V_{HYST}$ を上回ると、遅延回路がイネーブルになり、指定されたリセット遅延期間 (t_{RST}) にわたって $\overline{\text{RESET}}$ を low に保持します。リセット遅延が経過すると、$\overline{\text{RESET}}$ ピンはハイ インピーダンス状態に移行し、プルアップ抵抗を使用して $\overline{\text{RESET}}$ を high に保持します。他のデバイスを正しいインターフェイス電圧で接続できるように、プルアップ抵抗を適切な電圧レールに接続する必要があります。適切な電圧レベルを確認するためには、プルアップ抵抗の値を選択する際に配慮が必要になります。プルアップ抵抗の値は、出力論理 low 電圧 (V_{OL})、容量性負荷、リーク電流 (I_D)、および $\overline{\text{RESET}}$ ピン $I_{\overline{\text{RESET}}}$ を流れる電流によって決定されます。

Copyright © 2025 Texas Instruments Incorporated

6.3.2 マニュアル リセット $\overline{MR}$

マニュアル リセット ($\overline{MR}$) 入力により、プロセッサや他のロジック回路でリセットを開始できます。$\overline{MR}$ がロジック low になると、$\overline{RESET}$ がアサートされます。$\overline{MR}$ がロジック high に戻り、V_{DD} が V_{ITN} + V_{HYST} を上回ると、リセット遅延時間 (t_{RST}) 後に $\overline{RESET}$ がデアサートされます。$\overline{MR}$ が外部から制御されていない場合は、$\overline{MR}$ ピンが内部でプルアップされているため、$\overline{MR}$ を V_{DD} に接続するか、フローティングのままにすることができます。

6.3.3 UV 障害検出

TPS3851 は、1.8V ～ 5V の一般的なレールについて低電圧検出機能を備えています。この電圧は、デバイスの入力レールで監視されます。V_{DD} が V_{ITN} を下回ると、$\overline{RESET}$ がアサートされます (low に駆動)。V_{DD} が V_{ITN} + V_{HYST} を上回ると、図 6-1 に示すように、t_{RST} 後 に $\overline{RESET}$ がデアサートされます。内部コンパレータには、ノイズ耐性と安定した動作を実現するヒステリシスも内蔵されています。大半の場合必要ではありませんが、ノイズの多いアプリケーションでは、VDD ピンの近くに 1nF ～ 100nF のバイパス コンデンサを配置して、監視対象の信号の過渡電圧に対する感度を低減する方法が優れたアナログ設計手法といえます。

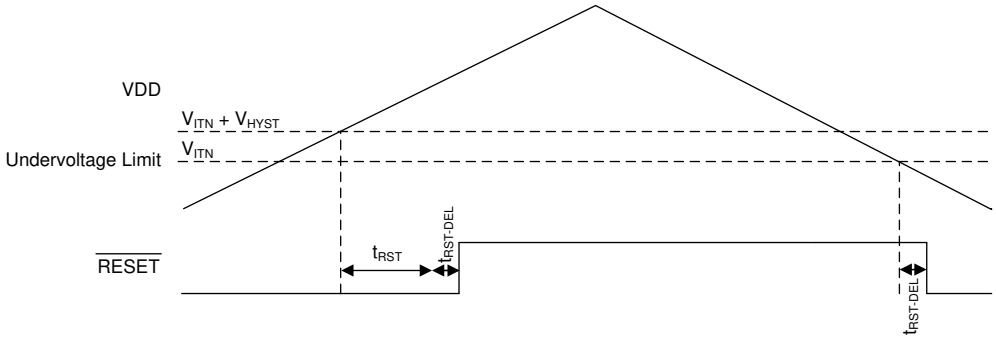


図 6-1. 低電圧の検出

6.3.4 ウォッチドッグ モード

このセクションには、ウォッチドッグの動作モードに関する説明が含まれています。

6.3.4.1 CWD

CWD ピンを使用すると、高精度かつ工場出荷時にプログラム可能なウォッチドッグ タイミングと、ユーザーがプログラム可能なウォッチドッグ タイミングの両方の機能をユーザーに提供できます。TPS3851 は、ウォッチドッグ タイマを設定するための 3 つの方法を備えています。コンデンサを CWD ピンに接続し、VDD にプルアップ抵抗を接続して、CWD ピンを未接続のままにすることです。CWD ピンの構成は、V_{DD} が有効領域 (V_{ITN} + V_{HYST} < V_{DD}) に入るたびにデバイスによって評価されます。このピン評価は、CWD ピンに接続されているオプションを決定する内部ステート マシンによって制御されます。このイベント シーケンスは通常、CWD ピンが未接続のままになっているか、抵抗を介してプルアップされたか、コンデンサへ接続されているかを判断するのに 381µs (t_{INIT}) を受け取ります。CWD ピンを VDD にプルアップする場合は、10kΩ 抵抗が必要です。

6.3.4.2 ウォッチドッグ入力 WDI

WDI は、$\overline{WDO}$ 出力を制御するウォッチドッグタイマ入力です。WDI 入力は、入力信号の立ち下がりエッジによってトリガされます。ウォッチドッグ タイマが正常に機能していることを確認するために、常に $t_{WD\ (min)}$ の前に WDI パルスを発行します。この領域でパルスが発行された場合、$\overline{WDO}$ はアサートされていません。そうしないと、デバイスは $\overline{WDO}$ をアサートし、$\overline{WDO}$ ピンを低インピーダンス状態にします。

ウォッチドッグ入力 (WDI) はデジタル ピンです。I_{DD} が上昇しないようにするには、常に WDI ピンを VDD または GND に駆動してください。ピンを中間電圧に接続すると、デジタル論理ゲートのアーキテクチャで電源電流 (I_{DD}) が増加する可能性があります。$\overline{RESET}$ がアサートされると、ウォッチドッグはディセーブルになり、WDI へのすべての信号が無視されます。$\overline{RESET}$ がアサートされなくなると、デバイスは通常動作を再開し、WDI の信号を無視しなくなります。ウォッチドッグがディセーブルの場合は、WDI ピンを VDD または GND に駆動します。

Copyright © 2025 Texas Instruments Incorporated

図 6-2 に、$\overline{WDO}$ がトリガされて low にプルされるのを防止するために WDI パルスが発行される有効な領域が示されています。

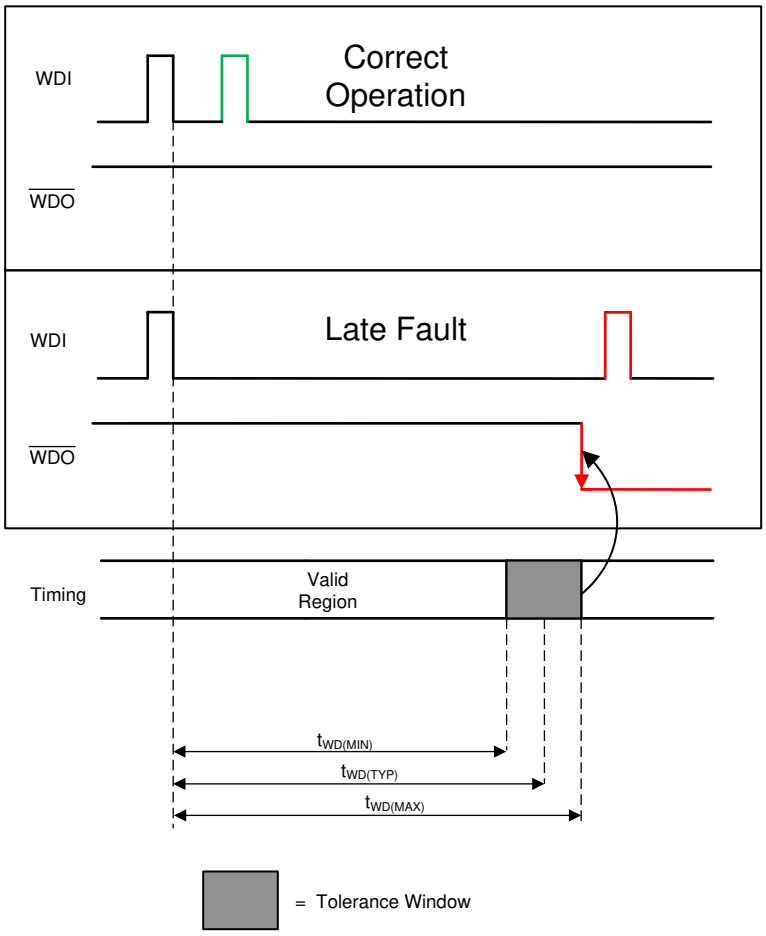


図 6-2. ウォッチドッグのタイミング図

6.3.4.3 ウォッチドッグ出力 $\overline{WDO}$

TPS3851 にはウォッチドッグ タイマがあり、独立したウォッチドッグ出力 ($\overline{WDO}$) があります。独立したウォッチドッグ出力により、システム全体をリセットせずに、ウォッチドッグ タイミングでフォルトを柔軟にフラグできます。$\overline{RESET}$ がアサートされていない (High) とき、$\overline{WDO}$ 信号は通常動作を維持します。アサートされると、$\overline{WDO}$ は t_{RST} の間 low に維持されます。$\overline{RESET}$ 信号がアサート (low) されると、$\overline{WDO}$ ピンはハイ インピーダンス状態に移行します。$\overline{RESET}$ がアサート解除されると、ウォッチドッグ タイマは通常動作に復帰します。

Copyright © 2025 Texas Instruments Incorporated

6.3.4.4 SET1

SET1 ピンは、ウォッチドッグ タイマをイネーブルおよびディセーブルにできます。SET1 が GND に設定されると、ウォッチドッグ タイマはディセーブルされ、WDI は無視されます。ウォッチドッグ タイマがディセーブルの場合は、WDI ピンを GND または VDD に駆動して、I_{DD} が上昇しないようにします。SET1 がロジック high のとき、ウォッチドッグは通常動作します。SET1 ピンは動的に変更できますが、ウォッチドッグがディセーブルからイネーブルになる場合、図 6-3 に示すように、150µs セットアップ時間では WDI の変化にウォッチドッグが応答しません。

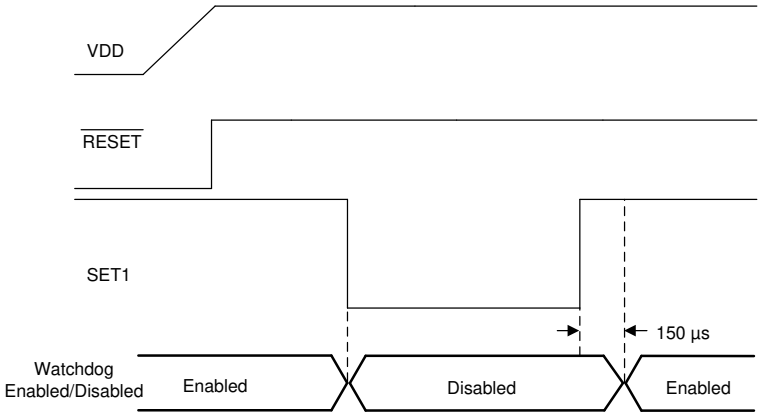


図 6-3. ウォッチドッグのイネーブル / ディスエーブル

6.4 デバイスの機能モード

表 6-1 に、TPS3851 の機能モードを纏めたものです。

表 6-1. デバイスの機能モード

V_{DD}	WDI	$\overline{WDO}$	$\overline{RESET}$
$V_{DD} < V_{POR}$	---	---	未定義
$V_{POR} \le V_{DD} < V_{DD(min)}$	無視	High	Low
$V_{DD(min)} \le V_{DD} \le V_{ITN} + V_{HYST}$ (1)	無視	High	Low
$V_{DD} > V_{ITN}$ (2)	$t_{PULSE} < t_{WD(min)}$ (3)	High	High
$V_{DD} > V_{ITN}$ (2)	$t_{PULSE} > t_{WD(min)}$ (3)	Low	High

(1) V_{DD} が $V_{ITN} + V_{HYST}$ を上回るまでのみ有効です。
(2) V_{DD} が $V_{ITN} + V_{HYST}$ を上回った後でのみ有効です。
(3) t_{pulse} は WDI の立ち下がりエッジ間の時間です。

6.4.1 V_{DD} が V_{POR} を下回る ($V_{DD} < V_{POR}$)

V_{DD} が V_{POR} を下回ると、$\overline{RESET}$ は未定義で、high または low のいずれかになります。$\overline{RESET}$ の状態は、$\overline{RESET}$ ピンに発生している負荷に大きく依存します。

6.4.2 パワー オン リセット超、$V_{DD(min)}$ 未満 ($V_{POR} \le V_{DD} < V_{DD(min)}$)

V_{DD} の電圧が $V_{DD(min)}$ 未満で V_{POR} 以上の場合、$\overline{RESET}$ 信号がアサートされます (ロジック low)。$\overline{RESET}$ がアサートされると、デバイスに入力されている WDI 信号に関係なく、ウォッチドッグ出力 $\overline{WDO}$ は高インピーダンス状態になります。

6.4.3 通常動作 ($V_{DD} \ge V_{DD(min)}$)

V_{DD} が $V_{DD(min)}$ 以上の場合、$\overline{RESET}$ 信号は V_{DD} によって決まります。$\overline{RESET}$ がアサートされると、$\overline{WDO}$ は高インピーダンス状態に移行します。その後、プルアップ抵抗を介して $\overline{WDO}$ が high にプルアップされます。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

以下のセクションでは、最終アプリケーションの要件に応じた適切なデバイス実装について詳しく説明します。

7.1.1 CWD 機能

TPS3851 は、ウォッチドッグ タイマを設定するための 3 つの方法を備えています。コンデンサを CWD ピンに接続し、VDD にプルアップ抵抗を接続して、CWD ピンを未接続のままにすることです。図 7-1 に、3 つのオプションすべての回路図を示します。このピンが 10kΩ プルアップ抵抗経由で VDD に接続されているか、未接続 (高インピーダンス) のままになっている場合、出荷時にプログラムされたウォッチドッグ タイムアウトがイネーブルになります (*セクション 7.1.1.1* セクションを参照)。それ以外の場合は、CWD ピンとグランドの間にコンデンサを配置することで、ウォッチドッグ タイムアウトを調整できます。

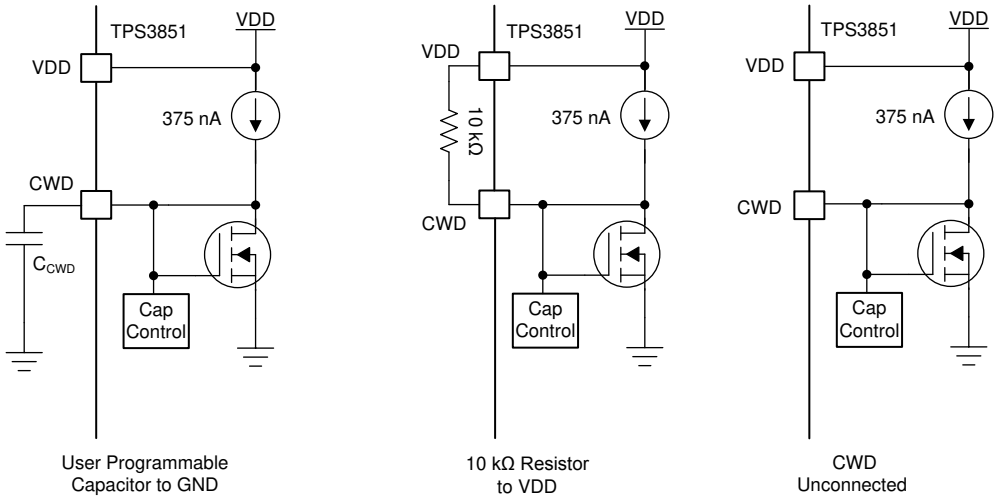


図 7-1. CWD 充電回路

7.1.1.1 出荷時にプログラムされたタイミング オプション

工場出荷時にプログラム済みのタイミング オプションを使用する場合 (表 7-1 を参照)、CWD ピンを未接続にするか、10kΩ プルアップ抵抗を経由して VDD にプルアップする必要があります。これらのオプションを使用すると、高精度で 15% 精度のウォッチドッグ タイミングを実現できます。

表 7-1. 出荷時にプログラムされたウォッチドッグ タイミング

入力		標準および延長タイミング WDT (t_{WD})			単位
CWD	SET1	最小値	標準値	最大値	
NC	0	ウォッチドッグはディセーブル			
NC	1	1360	1600	1840	ms
10kΩ から VDD へ	0	ウォッチドッグはディセーブル			
10kΩ から VDD へ	1	170	200	230	ms

Copyright © 2025 Texas Instruments Incorporated

7.1.1.2 調整可能なキャパシタ タイミング

コンデンサを CWD ピンに接続すると、コンデンサのタイミングを調整できます。C_{CWD} にコンデンサが接続されている場合、375nA の定電流源が V_{CWD} = 1.21V になるまで CWD を充電します。表 7-2 に、式 2、式 1 と SET1 ピンを使用して t_{WD} を計算する方法を示します。TPS3851 は、式 1 と 式 2 に示す式によってウォッチドッグ タイムアウトを決定します。ここで、C_{CWD} はナノファラッド、t_{WD} はミリ秒です。

$$t_{WD(standard)}\ (ms) = 3.23 \times C_{CWD}\ (nF) + 0.381\ (ms) \quad (1)$$

$$t_{WD(extended)}\ (ms) = 77.4 \times C_{CWD}\ (nF) + 55\ (ms) \quad (2)$$

TPS3851 は、100pF と 1µF の間にある C_{CWD} コンデンサを使用して設計およびテストされています。式 1 および 式 2 は理想的なコンデンサ用です。コンデンサの許容誤差は、デバイスの実際のタイミングによって異なります。タイミングを正確なものにするため、COG 誘電体で製造されたセラミック コンデンサを使用してください。C_{CWD} コンデンサを使用する場合は、式 1 を使用して標準タイミングの t_{WD} を設定できます。延長タイミングの t_{WD} を計算するには、式 2 を 使用します。表 7-3 に、標準タイミングと延長タイミングの両方に理想的なコンデンサを使用して計算された t_{WD} の最小値と最大値を示します。

表 7-2. プログラム可能な CWD タイミング

入力		標準タイミング WDT (t_{WD})			延長タイミング WDT (t_{WD})			単位
CWD	SET1	最小値	標準値	最大値	最小値	標準値	最大値	
C_{CWD}	0	ウォッチドッグはディセーブル			ウォッチドッグはディセーブル			
C_{CWD}	1	$t_{WD(std)}$ × 0.905	$t_{WD(std)}$ (1)	$t_{WD(std)}$ × 1.095	$t_{WD(ext)}$ × 0.905	$t_{WD(ext)}$ (2)	$t_{WD(ext)}$ × 1.095	ms

(1) 理想的なコンデンサを使用して 式 1 から計算されます。
(2) 理想的なコンデンサを使用して 式 2 から計算されます。

表 7-3. 一般的な理想コンデンサ値の t_{WD} 値

C_{CWD}	標準タイミング WDT (t_{WD})			延長タイミング WDT (t_{WD})			単位
	最小値(1)	標準値	最大値 (1)	最小値(1)	標準値	最大値 (1)	
100pF	0.637	0.704	0.771	56.77	62.74	68.7	ms
1nF	3.268	3.611	3.954	119.82	132.4	144.98	ms
10nF	29.58	32.68	35.79	750	829	908	ms
100nF	292.7	323.4	354.1	7054	7795	8536	ms
1µF	2923	3230	3537	70096	77455	84814	ms

(1) 最小値と最大値は、理想的なコンデンサを使用して計算されています。

Copyright © 2025 Texas Instruments Incorporated

7.1.2 オーバードライブ電圧

$\overline{\text{RESET}}$ の強制は 2 つの条件に依存します。1 つは、振幅 V_{DD} がトリップ ポイントを超えていること (ΔV_1 と ΔV_2) と、電圧がトリップ ポイントを超えている時間 (t_1 と t_2) です。電圧がトリップ ポイントをわずかに下回る時間が長い場合、$\overline{\text{RESET}}$ がアサートされ、出力は low に駆動されます。ただし、V_{DD} が数ナノ秒にわたってトリップポイントをわずかに下回る場合、$\overline{\text{RESET}}$ はアサートされず、出力は high のままになります。$\overline{\text{RESET}}$ がアサートされるまでに必要な時間の長さは、V_{DD} がトリップ ポイントを下回る量を増やすことで変更できます。V_{DD} がトリップ ポイントを 10% 下回った場合、コンパレータの応答に必要な時間は非常に短く、それによりトリップ ポイント電圧をかろうじて下回る場合よりもはるかに短時間で $\overline{\text{RESET}}$ のアサートが行われます。オーバードライブのパーセンテージの計算方法を、式 3 に示します。

$$\text{Overdrive} = |((V_{DD} / V_{ITX}) - 1) \times 100\%| \quad (3)$$

式 3 で、V_{ITX} はスレッショルドのトリップ ポイントに対応しています。V_{DD} が正のスレッショルドを上回っている場合は、$V_{ITN} + V_{HYST}$ を使用します。V_{ITN} は、V_{DD} が負のスレッショルドを下回るときに使用されます。図 7-2 で、t_1 と t_2 は V_{DD} がスレッショルドを超える時間に対応します。V_{ITN} および $V_{ITN} + V_{HYST}$ の伝搬遅延とオーバードライブとの関係を 図 5-16 および 図 5-18 に示します。

TPS3851 はオーバードライブ電圧曲線のため、VDD の短い正および負の過渡に比較的耐性があります。

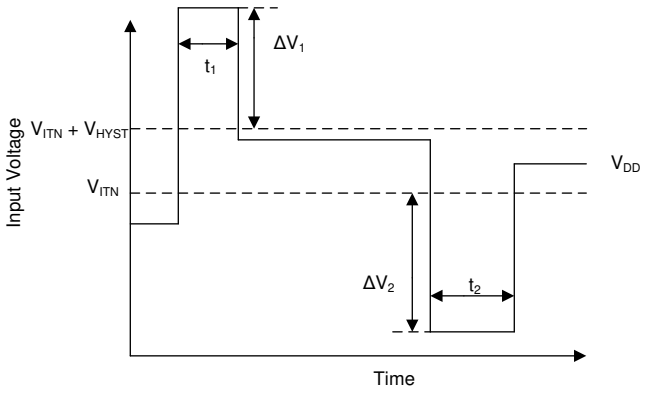


図 7-2. オーバードライブ電圧

Copyright © 2025 Texas Instruments Incorporated

7.2 代表的なアプリケーション

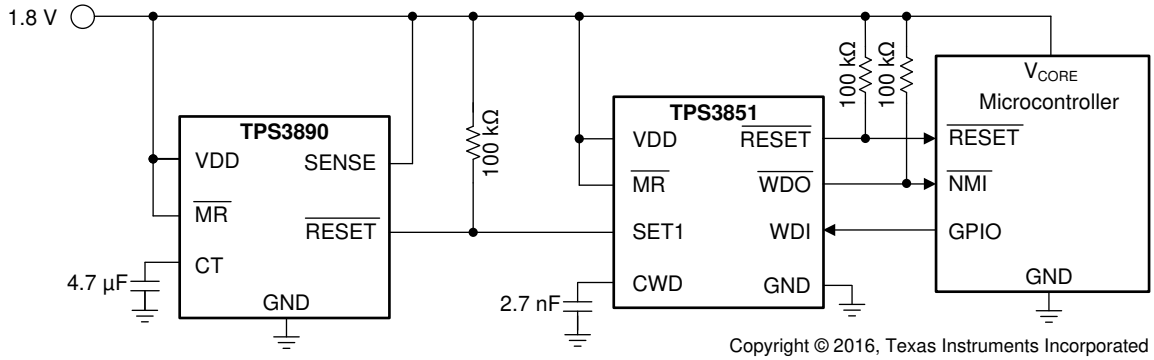


図 7-3. マイクロコントローラの電源電圧とウォッチドッグ監視の監視

7.2.1 設計要件

パラメータ	設計要件	設計結果
初期化期間のウォッチドッグはディセーブル	ウォッチドッグ タイマはロジックがイネーブルになるまで、ウォッチドッグを 5 秒間ディセーブルに維持する必要があります	5.02 秒 (標準値)
出力ロジック電圧	1.8V CMOS	1.8V CMOS
監視対象レール	1.8V、5% のスレッショルド	ワーストケース V_{ITN} = 1.714V–4.7%
ウォッチドッグのタイムアウト	10ms (標準値)	$t_{WD(min)}$ = 7.3ms、$t_{WD(TYP)}$ = 9.1ms、$t_{WD(max)}$ = 11ms
最大デバイス消費電流	50µA	$\overline{RESET}$ または $\overline{WDO}$ がアサートされている場合は 37µA(1)

(1) TPS3851G18S の消費電流のみを含みます。

7.2.2 詳細な設計手順

7.2.2.1 1.8V レールを監視する

低電圧コンパレータにより、1.8V ～ 5.0V のコモンレールに対する正確な電圧監視が可能です。このアプリケーションでは、レールで許容される変動のわずか 5% で、レールを非常に厳しく監視する必要があります。この要件を確実に満たすために、-4% しきい値には TPS3851G18S が選択されます。V_{ITN} のワーストケースを計算するには、精度も考慮する必要があります。V_{ITN} のワーストケースのオフセット誤差は、式 4 で計算することができます。

$$V_{ITN(Worst\ Case)} = V_{ITN(typ)} \times 0.992 = 1.8 \times 0.96 \times 0.992 = 1.714V \quad (4)$$

7.2.2.2 $\overline{\text{RESET}}$ および $\overline{\text{WDO}}$ プルアップ抵抗の計算

図 7-4 に示すように、TPS3851 は $\overline{\text{RESET}}$ 回路にオープン ドレイン構成を使用します。FET がオフになると、抵抗によってトランジスタのドレインが VDD にプルアップされ、FET がオンになると、FET のドレインがグランドにプルダウンされて、実質的に分圧抵抗を形成します。この分圧器の抵抗は、V_{OL} が最大値未満になるよう選択する必要があります。適切なプルアップ抵抗を選択するには、プルアップ電圧 (V_{PU})、$\overline{\text{RESET}}$ ピンに推奨される最大電流 ($I_{\overline{\text{RESET}}}$)、$V_{OL}$ の 3 つの仕様を考慮する必要があります。最大 V_{OL} は 0.4V です。これは、作成する実効分圧抵抗によって $I_{\overline{\text{RESET}}}$ を 0.4V 未満にできるようにし、10mA 未満に維持する必要があることを意味します。この例では、V_{PU} が 1.8V の場合、$I_{\overline{\text{RESET}}}$ を許容される最大消費電流である 50µA 未満に維持するように抵抗を選択する必要があります。この仕様を確実に満たすため、$\overline{\text{RESET}}$ または $\overline{\text{WDO}}$ がアサートされたときに最大 18µA をシンクする 100kΩ のプルアップ抵抗値が選択されています。図 5-13 に示すように、$\overline{\text{RESET}}$ の電流は
18µA で、low レベル出力電圧はほぼ 0 です。

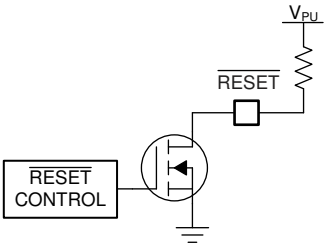


図 7-4. $\overline{\text{RESET}}$ オープン ドレインの構成

7.2.2.3 ウォッチドッグの設定

図 7-1 に示すように、ウォッチドッグ タイマを設定するには 3 つのオプションがあります。このアプリケーションの設計仕様には、プログラマブル タイミング オプション (CWD に外付けコンデンサを接続) が必要です。コンデンサを CWD ピンに接続すると、標準タイミングバージョンではウォッチドッグタイマが 式 1 によって制御されます。このタイミング要件を満たすことができるのは、標準バージョンのみであることに注意してください。式 1 は理想的なコンデンサに対してのみ有効です。温度ディレーティングまたは電圧ディレーティングは個別に考慮する必要があります。

$$C_{CWD}\ (nF) = (t_{WD}(ms) - 0.0381) / 3.23 = (10 - 0.381) / 3.23 = 2.97nF \quad (5)$$

2.9nF に最も近い標準コンデンサ値は 2.7nF です。C_{CWD} コンデンサに 2.7nF を選択すると、次の最小タイミング パラメータが得られます。

$$t_{WD(MIN)} = 0.905 \times t_{WD(TYP)} = 0.905 \times (3.23 \times 2.7 + 0.381) = 8.24ms \quad (6)$$

$$t_{WD(MAX)} = 1.095 \times t_{WD(TYP)} = 1.095 \times (3.23 \times 2.7 + 0.381) = 9.97ms \quad (7)$$

コンデンサの許容誤差は、$t_{WD(MIN)}$ と $t_{WD(MAX)}$ にも影響を及ぼします。高精度を実現するために、セラミック COG 誘電体コンデンサを選定します。2.7nF の場合、COG コンデンサは許容誤差 5% ですぐに利用可能です。この選択により、$t_{WD(MIN)}$ が 5% 減少し、$t_{WD(MAX)}$ が 5% 増加し、それぞれ 7.34ms と 11ms となります。適切な機能性を確保するには、$t_{WD(min)}$ より前に立ち下がりエッジを発行する必要があります。図 7-6 は、5ms の周期の WDI 信号により $\overline{\text{WDO}}$ がアサートされないことを示しています。

Copyright © 2025 Texas Instruments Incorporated

7.2.2.4 初期化期間中はウォッチドッグは無効になる

多くの場合、初期化期間を確保するために、起動中にウォッチドッグをディセーブルにする必要があります。初期化期間が終了すると、ウォッチドッグ タイマが再びオンになり、TPS3851 によるマイクロコントローラの監視が可能になります。この設定を実現するには、SET1 を GND から開始する必要があります。このデザインで、SET1 は、TPS3890 スーパーバイザで制御されています。このアプリケーションでは、VDD も監視するために TPS3890 を選択します。これは、V_{DD} が V_{ITN} を上回るまでの間、TPS3890 の $\overline{\text{RESET}}$ が low に維持されることを意味します。VDD が立ち上がり、TPS3890 の CT コンデンサを使用して遅延時間を調整できます。この方法では、$\overline{\text{RESET}}$ 遅延を最小 25µs から最大 30 秒 に調整できます。この設計では、ウォッチドッグ タイマがイネーブルになるまでに、標準的な遅延として 5 秒が必要です。CT コンデンサの計算 (TPS3890 データシート を参照) から 4.67µF の理想的な容量が求められ、最も近い標準セラミック コンデンサの値として 4.7µF が得られます。4.7µF コンデンサを CT から GND に接続するとき、標準遅延時間は 5 秒です。図 7-5 に、ウォッチドッグがディセーブルのとき、$\overline{\text{WDO}}$ 出力は high のままであることを示します。ただし、SET1 が high になり、WDI 信号が存在しない場合、$\overline{\text{WDO}}$ のアサートが開始されます。TPS3890 の詳細については、TPS3890 のデータシート をご覧ください。

7.2.3 グリッチの耐性

図 7-8 は、V_{DD} が 1.8V で開始されたときに 7% オーバードライブでの TPS3851G18S の高から低へグリッチ耐性を示しています。この曲線は、$\overline{\text{RESET}}$ がアサートされる前に、V_{DD} が少なくとも 6µs の間スレッショルドを下回ることができることを示しています。

7.2.4 アプリケーション曲線

特に記述のない限り、アプリケーション曲線は T_A = 25℃ で測定。

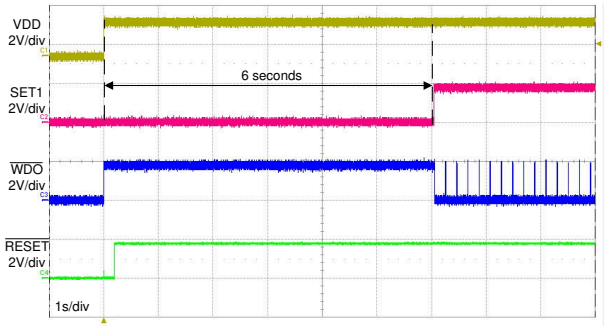


図 7-5. WDI 信号を使用しないスタートアップ

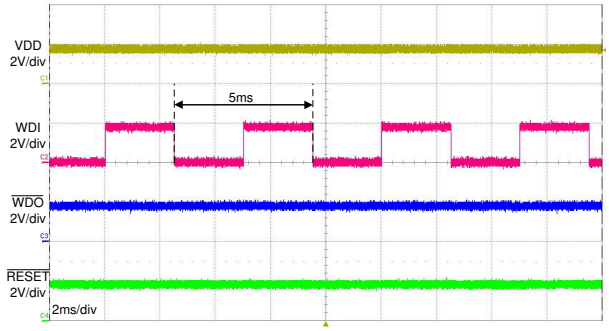


図 7-6. 代表的な WDI 信号

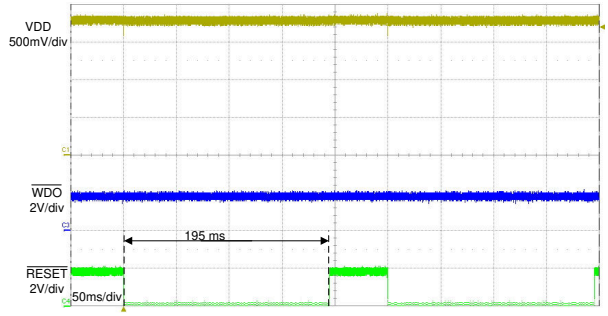


図 7-7. 代表的な $\overline{\text{RESET}}$ 遅延

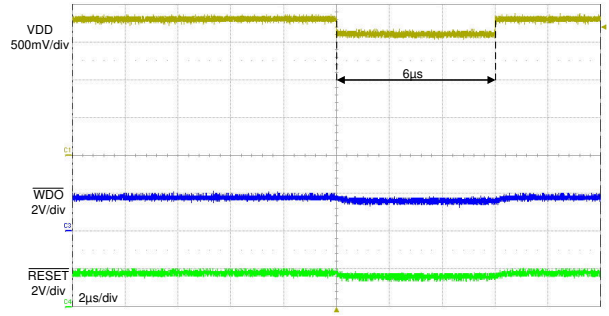


図 7-8. 高いレベルから低いグリッチ耐性

7.3 電源に関する推奨事項

このデバイスは、1.6V～6.5V の入力電源電圧範囲で動作するように設計されています。このデバイスには入力電源コンデンサは必要ありませんが、入力電源にノイズが多い場合は、VDD ピンと GND ピンの間に 0.1µF コンデンサを配置するのがアナログ手法として適切です。

Copyright © 2025 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

- VDD ピンへの接続が低インピーダンスであることを確認します。適切なアナログ設計手法では、0.1µF のセラミック コンデンサを VDD ピンのできるだけ近くに配置することが推奨されます。
- C_{CWD} コンデンサまたはプルアップ抵抗を使用する場合は、これらの部品を CWD ピンのできるだけ近くに配置します。CWD ピンを未接続のままにする場合は、ピンの寄生容量を最小限に抑えるようにしてください。
- プルアップ抵抗は、$\overline{\text{RESET}}$ と $\overline{\text{WDO}}$ のできるだけ近くに配置します。

7.4.2 レイアウト例

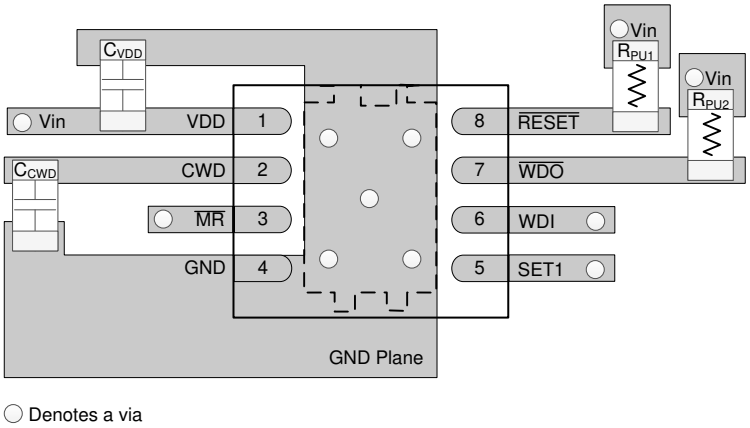


図 7-9. TPS3851 の推奨レイアウト

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. デバイスの命名規則

説明	項目表記	値
TPS3851 (ウォッチドッグ付きの高精度スーパーバイザ)	—	—
X (公称スレッショルド:監視対象の公称電圧の百分率)	G	V_{ITN} = –4%
	H	V_{ITN} = –7%
yy(y) (監視対象の公称電圧のオプション)	18	1.8V
	25	2.5V
	30	3.0V
	33	3.3V
	50	5.0V
z (ウォッチドッグの公称タイムアウト時間)	S	t_{WD} (ms) = 3.23 x C_{WD} (nF) + 0.381 (ms)
	E	t_{WD} (ms) = 77.4 x C_{WD} (nF) + 55.2 (ms)

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- 『*TPS3890 遅延をプログラム可能な、低静止電流で精度 1% のスーパバイザ*』(SLVSD65)
- *TPS3851EVM-780 の評価基板* (SBVU033)

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2025 Texas Instruments Incorporated

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (September 2021) to Revision B (June 2025)	Page
• ピンの機能で、MR ピンの内部プルアップ情報を更新	3

Changes from Revision * (November 2016) to Revision A (September 2021)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「±15% 精度の WDT および RST 遅延」を削除	1
• 「VDD ピンの」を追加	1
• V_{ESD} の値を ±4000V と ±1000V に変更	4
• I_{CWD} の最小値と最大値の仕様を変更	5
• V_{CWD} の最小値と最大値の仕様を変更	5
• t_{INIT} の脚注を追加	6
• t_{WDU} の最小および最大乗数をそれぞれ 0.85 と 1.15 から 0.905 と 1.095 に更新	17
• すべてのコンデンサの t_{WDU} の最小値および最大値を更新	17
• 式 6 および 7 を更新し、それぞれ 0.85 および 1.15 を 0.905 および 1.095 に置き換え	20

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS3851G18EDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851DD
TPS3851G18EDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851DD
TPS3851G18EDRBRG4	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	851DD
TPS3851G18EDRBRG4.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	851DD
TPS3851G18EDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851DD
TPS3851G18EDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851DD
TPS3851G18SDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	851DC
TPS3851G18SDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	851DC
TPS3851G18SDRBRG4	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	851DC
TPS3851G18SDRBRG4.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	851DC
TPS3851G18SDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851DC
TPS3851G18SDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851DC
TPS3851G25EDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851ED
TPS3851G25EDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851ED
TPS3851G25EDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851ED
TPS3851G25EDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851ED
TPS3851G30EDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851FD
TPS3851G30EDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851FD
TPS3851G30EDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851FD
TPS3851G30EDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851FD
TPS3851G33EDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851GD
TPS3851G33EDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851GD
TPS3851G33EDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851GD
TPS3851G33EDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851GD
TPS3851G33SDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851GC
TPS3851G33SDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851GC
TPS3851G33SDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851GC
TPS3851G33SDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851GC
TPS3851G50EDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851HD

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS3851G50EDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851HD
TPS3851G50EDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851HD
TPS3851G50EDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851HD
TPS3851G50SDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851HC
TPS3851G50SDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851HC
TPS3851G50SDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851HC
TPS3851G50SDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851HC
TPS3851H18EDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851LD
TPS3851H18EDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851LD
TPS3851H18EDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851LD
TPS3851H18EDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851LD
TPS3851H25EDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851MD
TPS3851H25EDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851MD
TPS3851H25EDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851MD
TPS3851H25EDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851MD
TPS3851H30EDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851ND
TPS3851H30EDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851ND
TPS3851H30EDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851ND
TPS3851H30EDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851ND
TPS3851H33EDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	851PD
TPS3851H33EDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	851PD
TPS3851H33EDRBRG4	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	851PD
TPS3851H33EDRBRG4.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	851PD
TPS3851H33EDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851PD
TPS3851H33EDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851PD
TPS3851H50EDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851RD
TPS3851H50EDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851RD
TPS3851H50EDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851RD
TPS3851H50EDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	851RD

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS3851 :

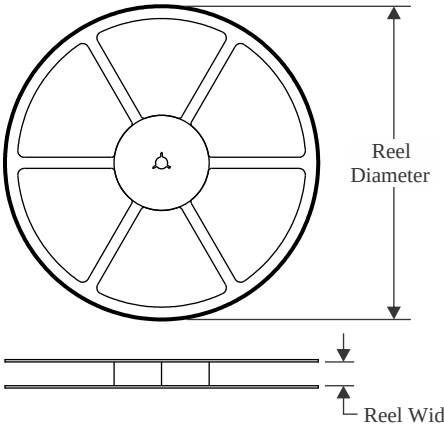
- Automotive : TPS3851-Q1

NOTE: Qualified Version Definitions:

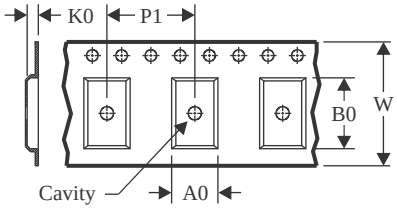
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

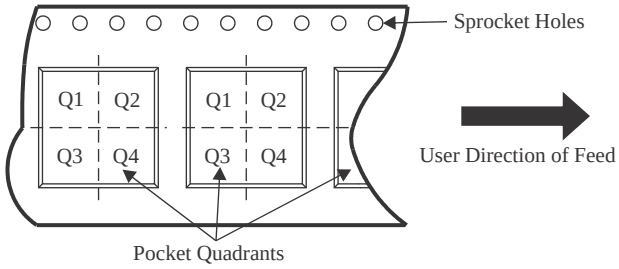


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

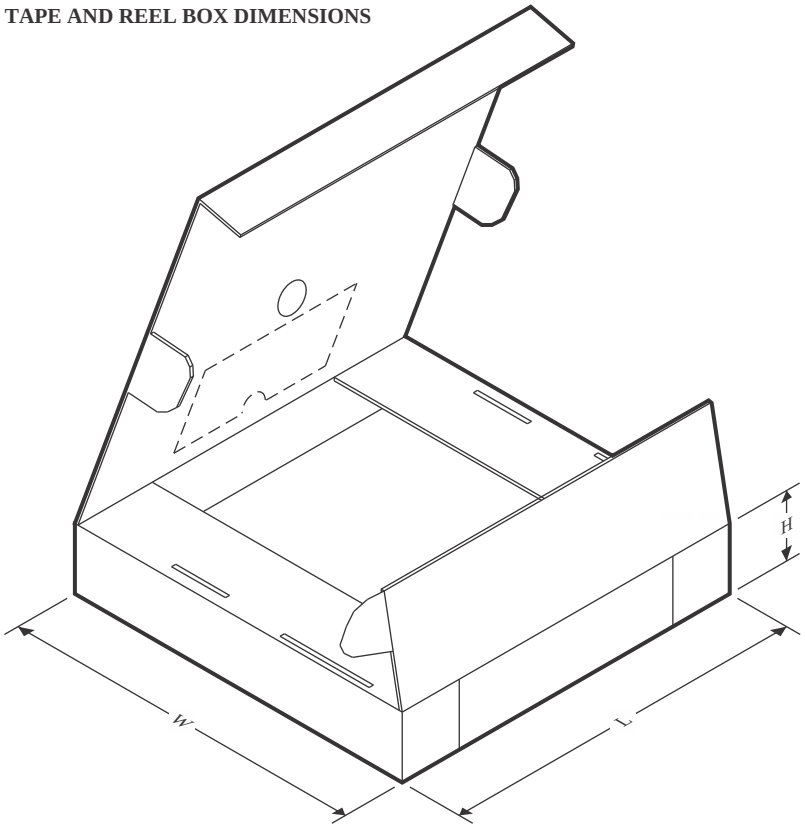


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3851G18EDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G18EDRBRG4	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G18EDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G18SDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G18SDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G18SDRBRG4	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G18SDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G25EDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G25EDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G30EDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G30EDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G33EDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G33EDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G33SDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G33SDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G50EDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3851G50EDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G50SDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851G50SDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851H18EDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851H18EDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851H25EDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851H25EDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851H30EDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851H30EDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851H33EDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851H33EDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851H33EDRBRG4	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851H33EDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851H50EDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS3851H50EDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3851G18EDRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS3851G18EDRBRG4	SON	DRB	8	3000	367.0	367.0	35.0
TPS3851G18EDRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS3851G18SDRBR	SON	DRB	8	3000	353.0	353.0	32.0
TPS3851G18SDRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS3851G18SDRBRG4	SON	DRB	8	3000	367.0	367.0	35.0
TPS3851G18SDRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS3851G25EDRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS3851G25EDRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS3851G30EDRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS3851G30EDRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS3851G33EDRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS3851G33EDRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS3851G33SDRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS3851G33SDRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS3851G50EDRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS3851G50EDRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS3851G50SDRBR	SON	DRB	8	3000	360.0	360.0	36.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3851G50SDRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS3851H18EDRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS3851H18EDRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS3851H25EDRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS3851H25EDRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS3851H30EDRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS3851H30EDRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS3851H33EDRBR	SON	DRB	8	3000	353.0	353.0	32.0
TPS3851H33EDRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS3851H33EDRBRG4	SON	DRB	8	3000	367.0	367.0	35.0
TPS3851H33EDRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS3851H50EDRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS3851H50EDRBT	SON	DRB	8	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

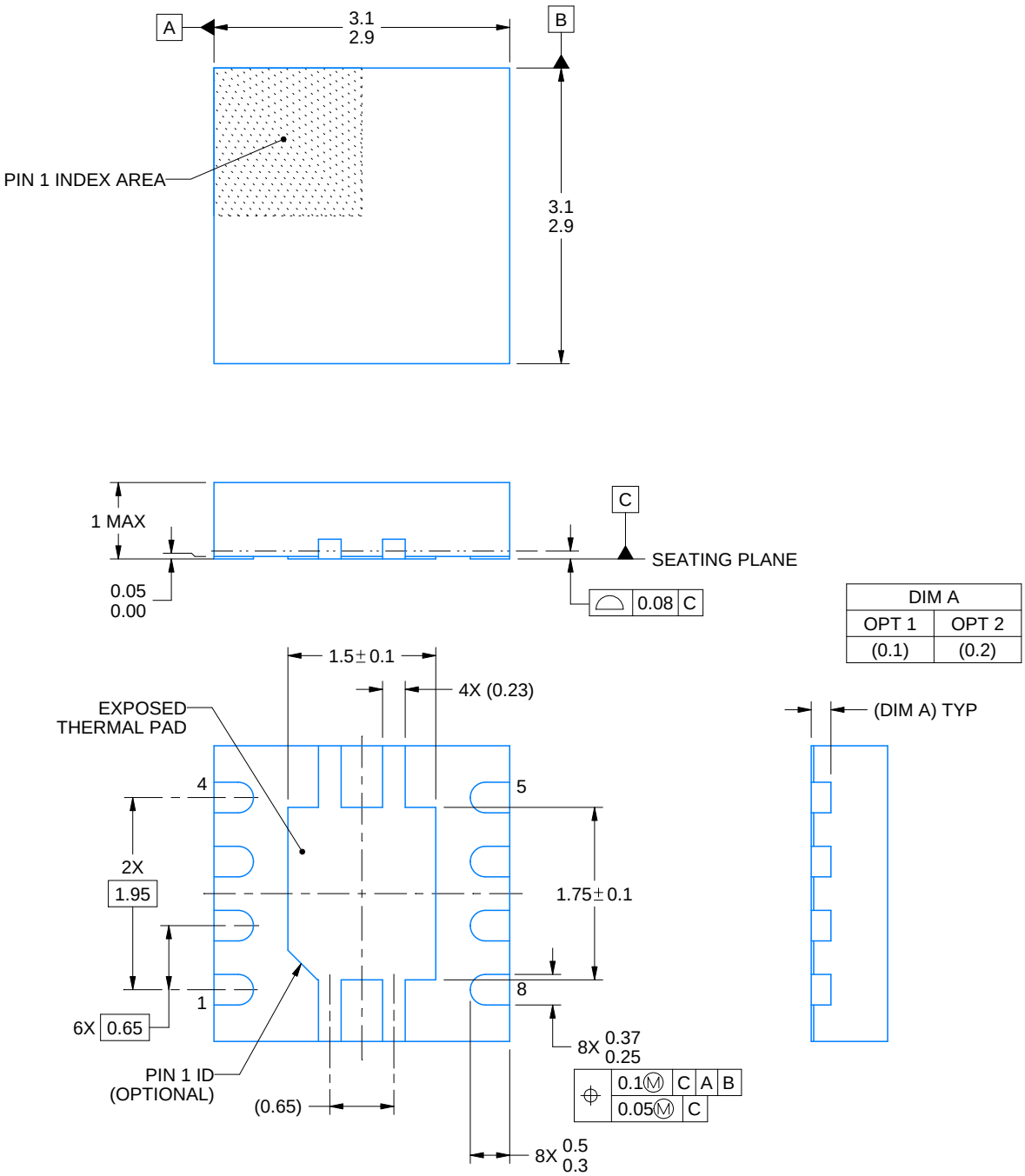
4203482/L

PACKAGE OUTLINE

DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

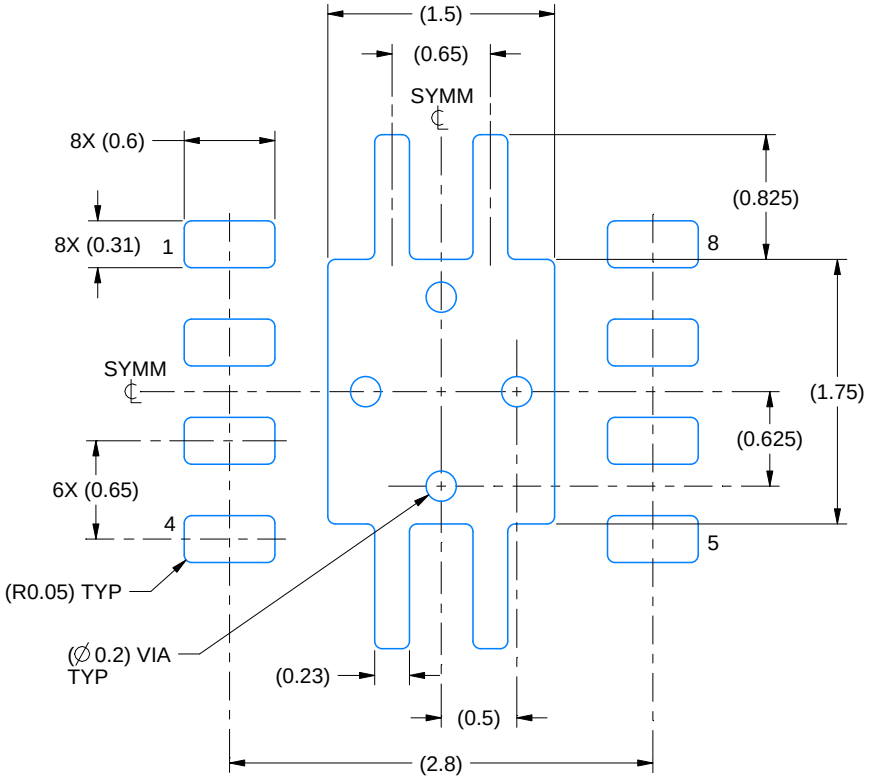
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

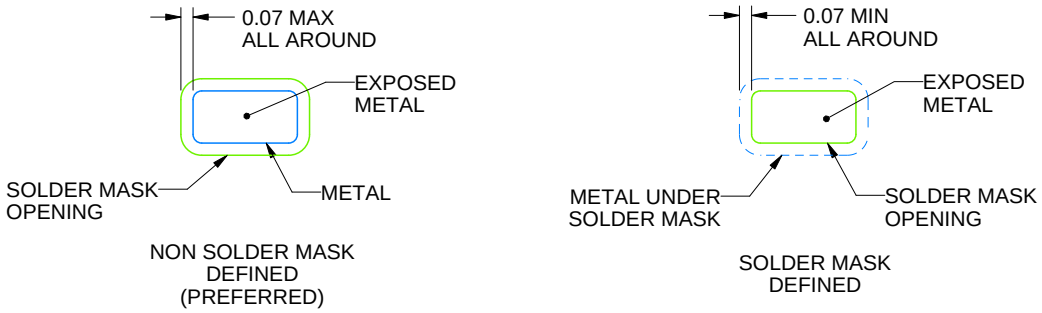
DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

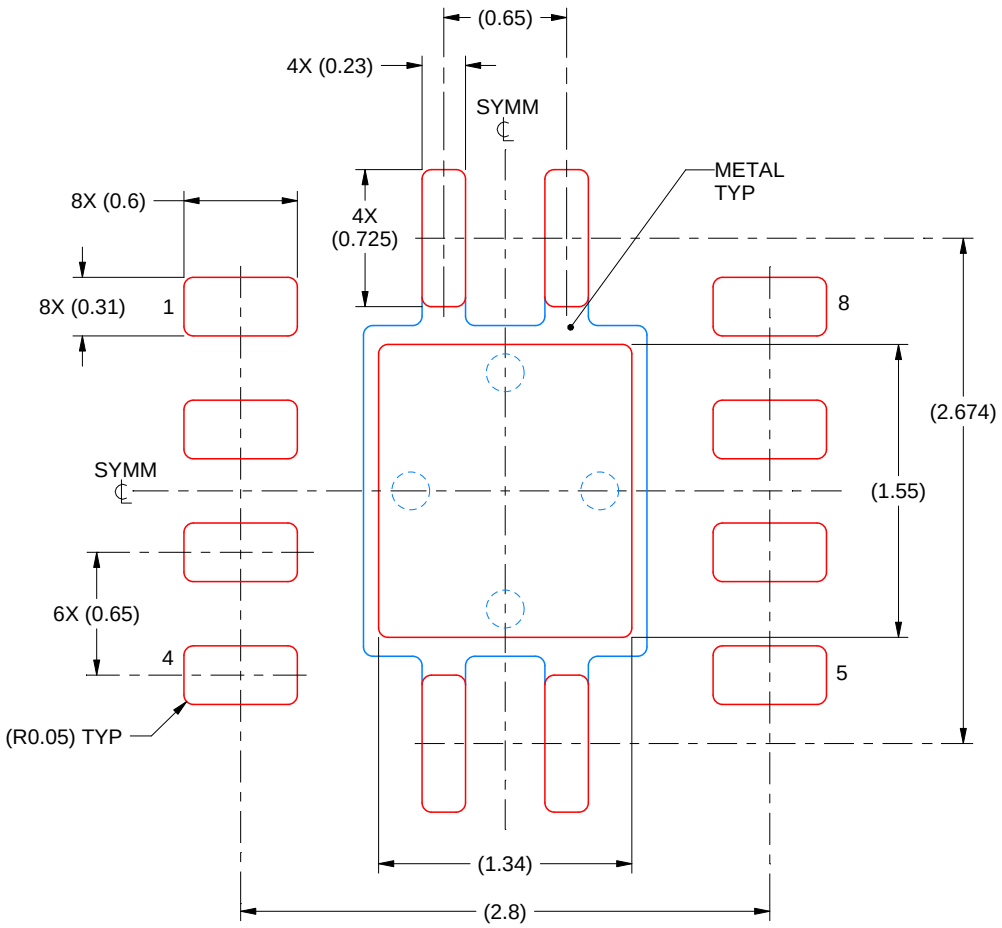


SOLDER MASK DETAILS

4218875/A 01/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218875/A 01/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月