TPS4021x 4.5V ～ 52V 入力、電流モード昇圧コントローラ

1 特長

- 機能安全対応
  - 機能安全システム設計に役立つ資料を利用可能
- 昇圧、フライバック、SEPIC、LED ドライバ アプリケーション向け
- 広い入力動作電圧：4.5V ～ 52V
- 可変発振器周波数
- 固定周波数電流モード制御
- 内部スロープ補償
- ローサイド ドライバ内蔵
- プログラム可能な閉ループ ソフト スタート
- 過電流保護
- 外付け同期対応
- 基準電圧 700mV (TPS40210)、260mV (TPS40211)
- 低電流ディスエーブル機能
- WEBENCH Power Designer により、TPS4021x を使用したカスタム設計を作成

2 アプリケーション

- LED ライティング
- 産業用制御システム
- バッテリ駆動システム

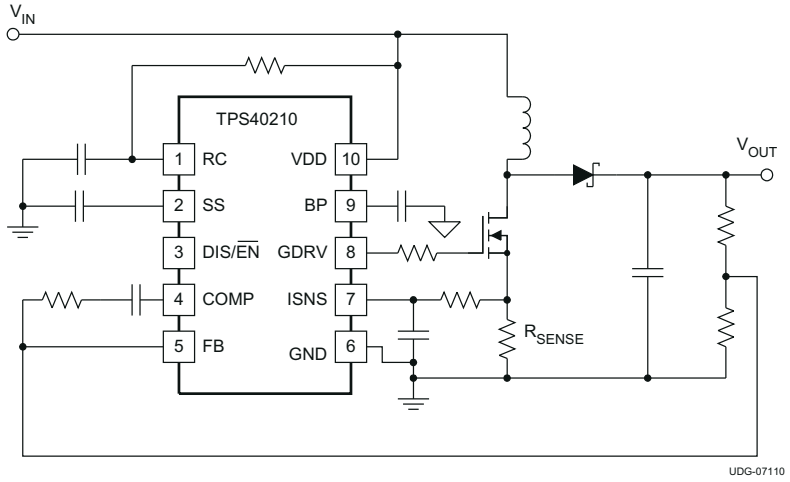
3 説明

TPS40210 および TPS40211 は、広い入力電圧範囲 (4.5V ～ 52V) に対応した非同期昇圧コントローラです。これらのコントローラは、昇圧、フライバック、SEPIC、各種 LED ドライバ アプリケーションなど、ソースを接地した N チャネル FET を必要とするトポロジに適しています。このデバイスは、プログラマブル ソフト スタートや、自動再試行付きの過電流保護、プログラマブル発振回路周波数などの機能を搭載しています。電流モード コントローラは、改善された過渡応答と簡素化されたループ補正を提供します。2 個の部品間の主な違いは、誤差アンプが FB ピンを安定化するための基準電圧です。

製品情報 (1)

部品番号	パッケージ	本体サイズ (公称)
TPS40210	HVSSOP (10)	3.05mm x 4.98mm
TPS40211	VSON (10)	3.10mm x 3.10mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 改訂履歴 2
5 ピン構成および機能 3
ピンの機能 3
6 仕様 4
6.1 絶対最大定格 4
6.2 ESD 定格 4
6.3 推奨動作条件 4
6.4 熱に関する情報 4
6.5 電気的特性 5
6.6 代表的特性 7
7 詳細説明 11
7.1 概要 11
7.2 機能ブロック図 11
7.3 機能説明 12
7.4 デバイスの機能モード 24
8 アプリケーションと実装 25
8.1 使用上の注意 25
8.2 代表的なアプリケーション 25
9 電源に関する推奨事項 36
10 レイアウト 37
10.1 レイアウトのガイドライン 37
10.2 レイアウト例 37
11 デバイスおよびドキュメントのサポート 40
11.1 デバイス サポート 40
11.2 ドキュメントのサポート 40
11.3 関連リンク 40
11.4 ドキュメントの更新通知を受け取る方法 41
11.5 サポート・リソース 41
11.6 商標 41
11.7 静電気放電に関する注意事項 41
11.8 用語集 41
12 メカニカル、パッケージ、および注文情報 41

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (March 2015) to Revision G (June 2020) — **Page**

- 機能安全の箇条書き項目を特長に追加 *セクション 1* 1

Changes from Revision E (October 2011) to Revision F (December 2014) — **Page**

- 更新されたランド パターンを追加 1
- 「ESD 定格」の表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 1

Changes from Revision D (April 2010) to Revision E (October 2011) — **Page**

- 改訂日を「D、2010 年 4 月」から「E、2011 年 10 月」に変更 1
- Illustrator を使用して、図 36 に Q1 および Q3 を追加 34

Changes from Revision C (October 2008) to Revision D (April 2010) — **Page**

- C_{ISNS} を C_{IFLT} に変更 19
- C_{ISNS} を C_{IFLT} に変更 20
- 式 22 と 23 を変更 20
- 修正された式 25 を変更 20
- 「R1 はハイサイド帰還抵抗であり、「f_L は目標とするループ クロスオーバー周波数 (Hz 単位)」を追加 20
- 新しい入力で段落を変更 20
- コンデンサの値を µF から F に変更 20

Copyright © 2026 Texas Instruments Incorporated

- 「設計例の仕様」表で MIN 列において 0.2 を 0.1 に変更 26
- 「ピーク効率」の行からテキストを削除 26
- T_{OP} 条件列で 10V を 8V に変更 26
- 式 32 の 42.8% を 42.9% に変更 27
- (V_{FD}) を追加し、近似デューティ サイクルを 42.8% から 42.9% に変更 27
- 式 32、34、35、36、37、38、および 39 を変更 27
- 式 47、48、49、50、51、53 を変更 28
- 式 58、60、61、62 を変更 30

5 ピン構成および機能

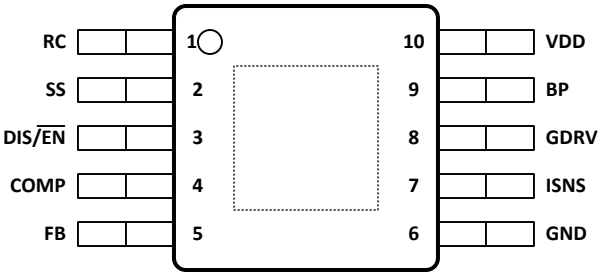


図 5-1. DGQ 10 ピン 上面図

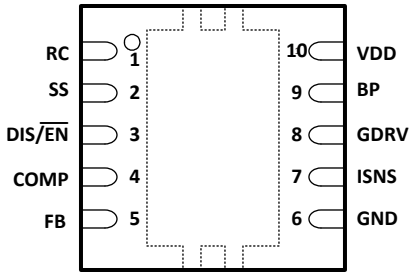


図 5-2. DRC 10 ピン 上面図

ピンの機能

ピン		I/O	説明
名称	番号		
BP	9	O	レギュレータ出力ピン。このピンから GND に 1.0µF のバイパス コンデンサを接続します。
COMP	4	O	エラー アンプ出力。制御ループの補償ネットワークは、COMP ピンと FB ピンの間に接続します。
DIS/ EN	3	I	無効化ピン。このピンを High にプルすると、このデバイスはシャットダウン モードに移行します。シャットダウン モードは、非常に低い静止電流によって特徴付けられます。シャットダウン モード中は、すべてのブロックの機能が無効化され、BP レギュレータも停止します。このピンには、GND に接続された 1MΩ の内部プルダウン抵抗が内蔵されています。このピンを未接続のままにすると、デバイスは有効になります。
FB	5	I	エラー アンプの反転入力。出力電圧を設定するために、出力からこのピンへ電圧分割回路を接続します。周波数補償ネットワークは、このピンと COMP の間に接続されます。
GDRV	8	O	パワー N チャネル MOSFET のゲートをこのピンに接続します。
GND	6	-	デバイスのグランド。
ISNS	7	I	電流センス ピン。このピンと GND の間に外付けの電流検出抵抗を接続します。このピンの電圧は、制御ループにおける電流フィードバックとして使用されるとともに、過電流状態の検出にも用いられます。ISNS ピンの電圧が過電流スレッショルド電圧 (標準値 150mV) を超えると、過電流状態と判定されます。
RC	1	I	スイッチング周波数の設定ピン。RC ピンから IC の電源 VDD へ抵抗を接続し、RC ピンから GND へコンデンサを接続します。
SS	2	I	ソフトスタート時間のプログラミング ピン。コンバータのソフトスタート時間を設定するために、SS ピンから GND にコンデンサを接続します。電源が過電流状態にあるとき、このピンはタイムアウト タイマとしても機能します。
VDD	10	I	システム入力電圧。このピンから GND にローカル バイパス コンデンサを接続します。必要なスロープ補償の量に応じて、このピンをコンバータ出力に接続できます。詳細については、「セクション 8.1」セクション を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
	入力電圧	VDD	-0.3	52	V
		RC、SS、FB、DIS/ $\overline{EN}$	-0.3	10	
		ISNS	-0.3	8	
	出力電圧	COMP、BP、GDRV	-0.3	9	
T_J	動作時接合部温度		-40	150	°C
T_{stg}	保存温度		-55	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの*推奨動作条件*に示された値と等しい、またはそれを超える条件で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1500	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

		最小値	最大値	単位
V_{DD}	入力電圧	4.5	52	V
T_J	動作時接合部温度	-40	125	°C

6.4 熱に関する情報

熱評価基準(1)		TPS40210 HVSSOP 10 ピン	TPS40211 VSON 10 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	67.2	47.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	50.5	74.6	
$R_{\theta JB}$	接合部から基板への熱抵抗	41.0	22.2	
ψ_{JT}	接合部から上面への特性パラメータ	2.4	2.9	
ψ_{JB}	接合部から基板への特性パラメータ	40.7	22.4	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	15.6	8.8	

(1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性

T_J = –40°C ～ 125°C、V_{DD}= 12V_{dc}、すべてのパラメータは電力損失がゼロの条件で示されています (特に記載のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
電圧リファレンス							
V_{FB}	帰還電圧範囲	TPS40210	COMP = FB、4.5 ≤ V_{DD} ≤ 52V、T_J = 25°C	693	700	707	mV
		TPS40211	COMP=FB、4.5 ≤ V_{DD} ≤ 52V、T_J = 25°C	254	260	266	
		TPS40210	COMP = FB、4.5 ≤ V_{DD} ≤ 52V、-40°C ≤ T_J ≤ 125°C	686	700	714	
		TPS40211	COMP = FB、4.5 ≤ V_{DD} ≤ 52V、-40°C ≤ T_J ≤ 125°C	250	260	270	
入力電源電圧							
V_{DD}	入力電圧範囲			4.5		52	V
I_{DD}	動作電流		4.5 ≤ V_{DD} ≤ 52V、スイッチングなし、V_{DIS} < 0.8		1.5	2.5	mA
			2.5 ≤ V_{DIS} ≤ 7 V		10	20	µA
			V_{DD} < $V_{UVLO(on)}$、V_{DIS} < 0.8			530	µA
低電圧誤動作防止							
$V_{UVLO(on)}$	ターンオン スレッショルド電圧			4.00	4.25	4.50	V
$V_{UVLO(hyst)}$	UVLO ヒステリシス			140	195	240	mV
発振器							
f_{OSC}	発振器の周波数範囲(1)			35		1000	kHz
	オシレータの周波数		R_{RC} = 182kΩ、C_{RC} = 330pF	260	300	340	
	周波数ライン レギュレーション		4.5 ≤ V_{DD} ≤ 52V	-20%		7%	
V_{SLP}	勾配補償ランプ			520	620	720	mV
PWM							
$t_{ON(min)}$	最小パルス幅		V_{DD} = 12V(1)		275	400	ns
			V_{DD} = 30V		90	200	
$t_{OFF(min)}$	最小オフ時間				170	200	
V_{VLY}	谷電圧				1.2		V
ソフト スタート							
$V_{SS(ofst)}$	SS ピンからエラー アンプ入力へのオフセット電圧				700		mV
$R_{SS(chg)}$	ソフトスタート充電抵抗			320	430	600	kΩ
$R_{SS(dchg)}$	ソフトスタート放電抵抗			840	1200	1600	
エラー アンプ							
GBWP	ユニティ ゲイン帯域幅積(1)			1.5	3.0		MHz
A_{OL}	開ループ ゲイン(1)			60	80		dB
$I_{IB(FB)}$	入力バイアス電流 (FB ピンから流れ出る電流)				100	300	nA
$I_{COMP(src)}$	出力ソース電流		V_{FB} = 0.6V、V_{COMP} = 1V	100	250		µA
$I_{COMP(snk)}$	出力シンク電流		V_{FB} = 1.2V、V_{COMP} = 1V	1.2	2.5		mA
過電流保護							
$V_{ISNS(oc)}$	過電流検出スレッショルド (ISNS ピン)		4.5 ≤ V_{DD} < 52V、-40°C ≤ T_J ≤ 125°C	120	150	180	mV
D_{OC}	過電流デューティ サイクル(1)					2%	
$V_{SS(rst)}$	過電流リセット スレッショルド電圧 (SS ピン)			100	150	350	mV
T_{BLNK}	リーディング エッジ ブランキング(1)				75		ns

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_J = –40°C ～ 125°C、V_{DD}= 12V_{dc}、すべてのパラメータは電力損失がゼロの条件で示されています (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電流検出アンプ						
A_{CS}	電流センス アンプのゲイン		4..2	5.6	7.2	V/V
$I_{B(ISNS)}$	入力バイアス電流			1	3	µA
ドライバ						
$I_{GDRV(src)}$	ゲートドライバのソース電流	V_{GDRV} = 4V、T_J = 25°C	375	400		mA
$I_{GDRV(snk)}$	ゲートドライバのシンク電流	V_{GDRV} = 4V、T_J = 25°C	330	400		
リニア レギュレータ						
V_{BP}	バイパス電圧出力	0mA < I_{BP} < 15mA	7	8	9	V
無効 / 有効						
$V_{DIS(en)}$	ターンオン電圧		0.7		1.3	V
$V_{DIS(hys)}$	ヒステリシス電圧		25	130	220	mV
R_{DIS}	DIS ピン プルダウン抵抗		0.7	1.1	1.5	MΩ

(1) 設計により保証されています。実製品の検査は行っていません。

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性

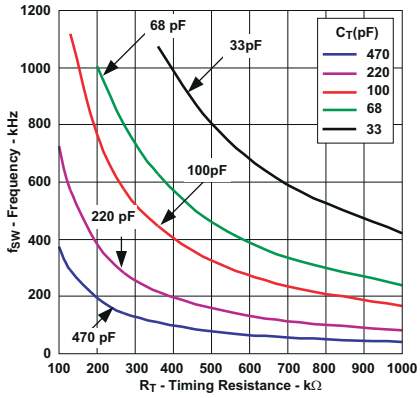


図 6-1. 発周波数とタイミング抵抗との関係

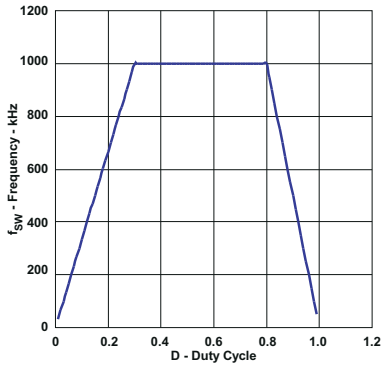


図 6-2. スイッチング周波数とデューティ サイクルとの関係

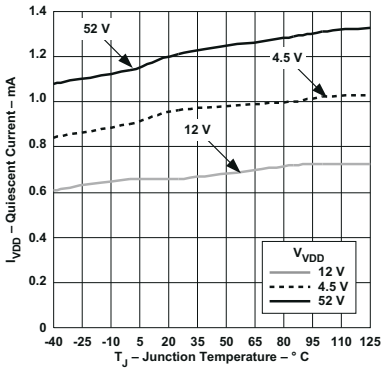


図 6-3. 静止電流と接合部温度の関係

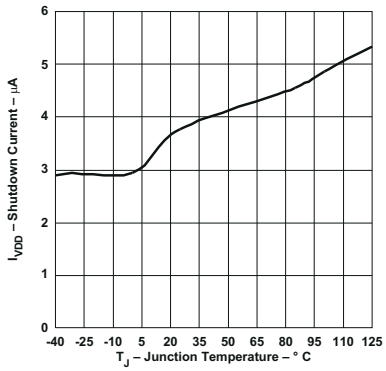


図 6-4. シャットダウン電流と接合部温度との関係

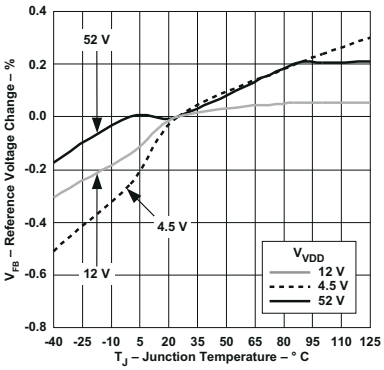


図 6-5. リファレンス電圧の変化と接合部温度との関係

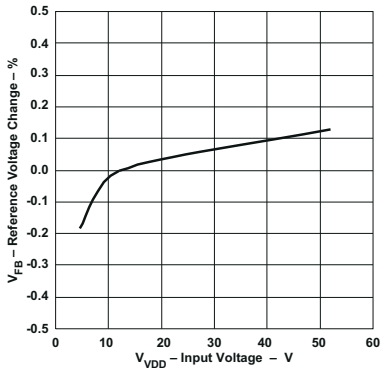


図 6-6. リファレンス電圧の変化と入力電圧との関係

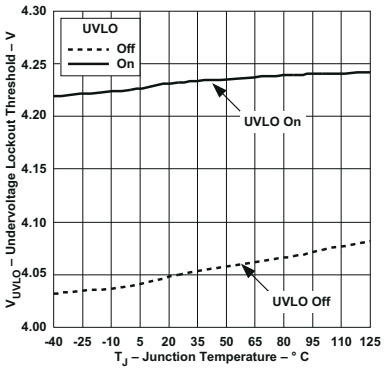


図 6-7. 低電圧誤動作防止スレッショルドと接合部温度との関係

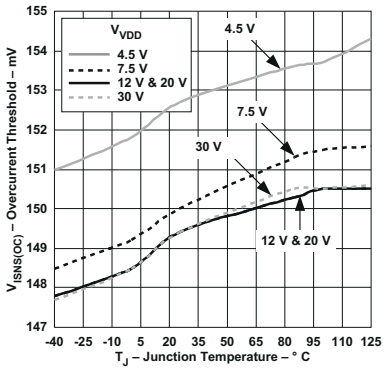


図 6-8. 過電流スレッショルドと接合部温度との関係

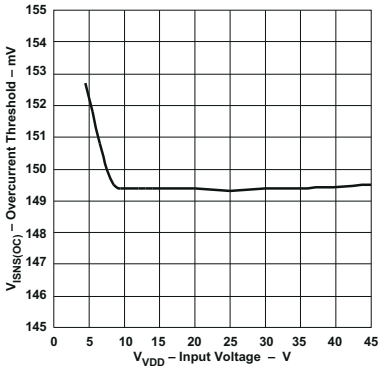


図 6-9. 過電流スレッショルドと入力電圧との関係

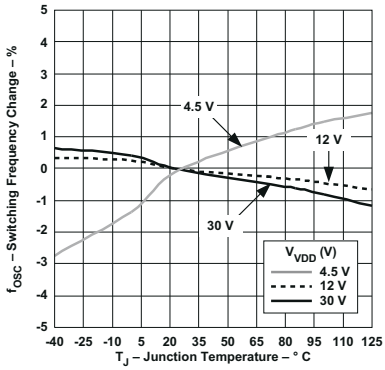


図 6-10. スイッチング周波数の変化と接合部温度との関係

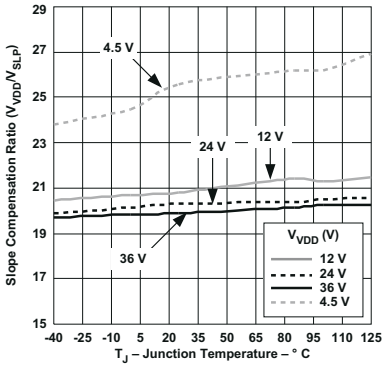


図 6-11. 発振器周波数と接合部温度との関係

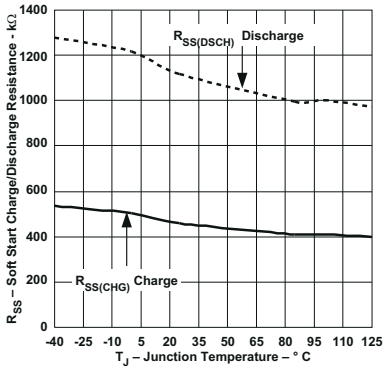


図 6-12. ソフトスタートの充電 / 放電抵抗と接合温度の関係

Copyright © 2026 Texas Instruments Incorporated

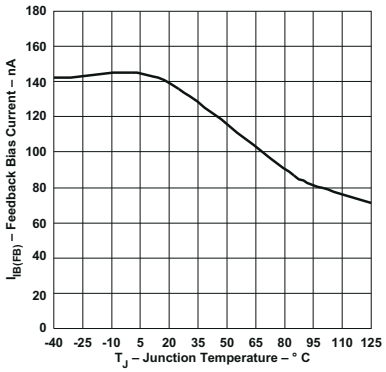


図 6-13. FB バイアス電流と接合部温度の関係

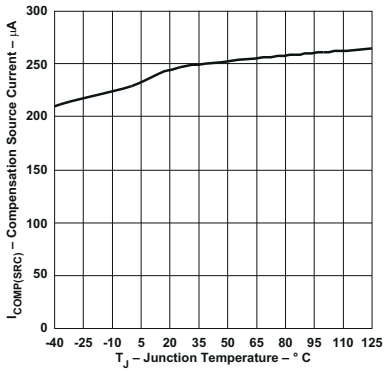


図 6-14. 補償用ソース電流と接合部温度の関係

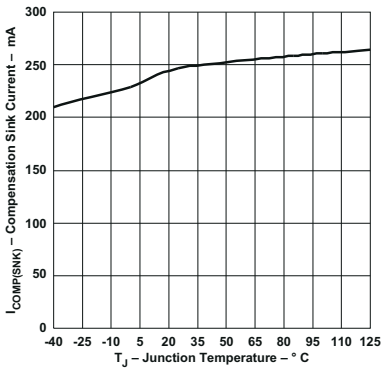


図 6-15. 補償シンク電流と接合部温度との関係

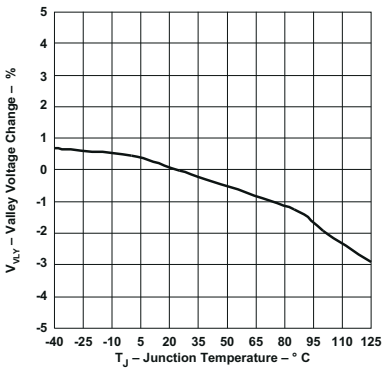


図 6-16. 谷電圧変化と接合部温度との関係

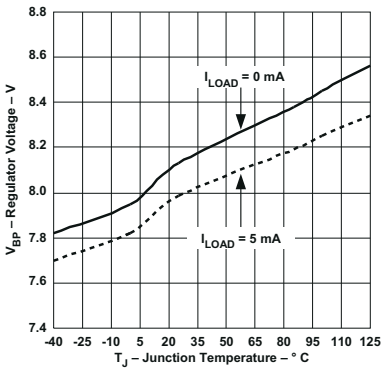


図 6-17. レギュレータ電圧と接合温度の関係

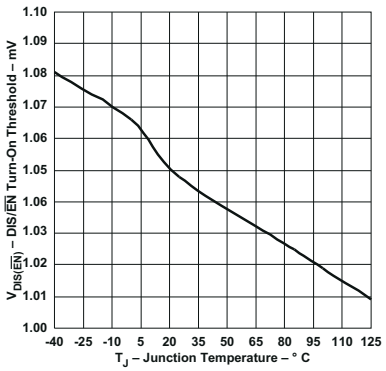


図 6-18. DIS/EN ターンオン スレッショルドと接合部温度との関係

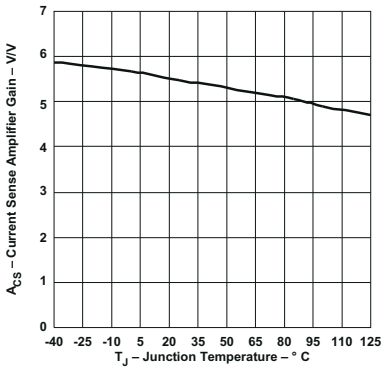


図 6-19. 電流センス アンプ ゲインと接合部温度との関係

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

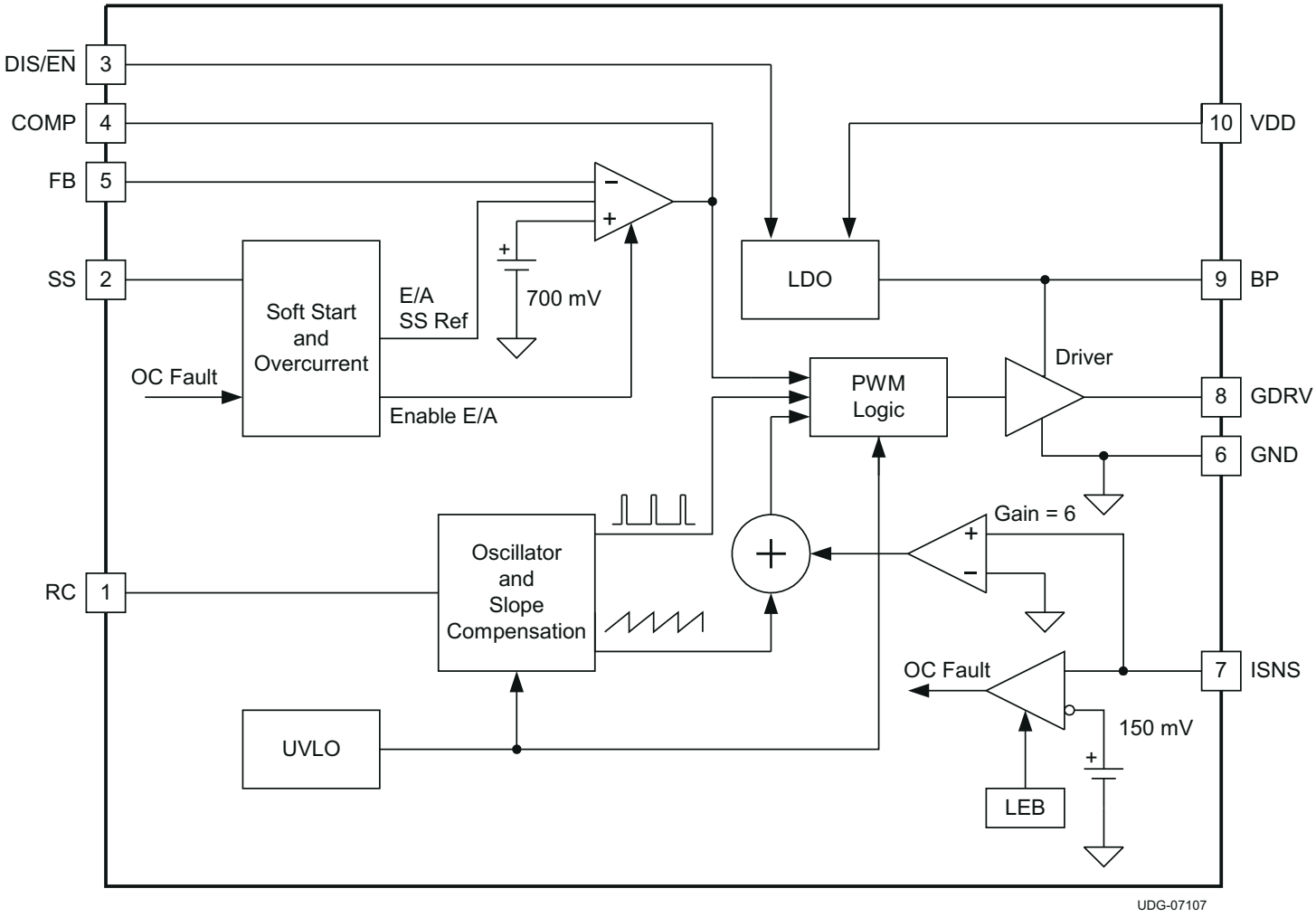
TPS4021x は、固定周波数で n チャネル MOSFET を駆動するために設計された、400mA の内蔵ゲート ドライバを備えたピーク電流モード制御のローサイド コントローラです。周波数は 35kHz から 1000kHz の範囲で調整可能です。小型でありながら機能が充実しているため、このデバイスは汎用性が高く、使いやすいものとなっています。

このコントローラは、パワー MOSFET のソースに直列に接続された低抵抗の電流検出抵抗を用いて、スイッチング電流を検出します。この抵抗にかかる電圧降下が 150mV を超えると、デバイスはヒカップ故障モードに入り、その周期は外付けのソフトスタート コンデンサによって設定されます。

TPS40210 は、精密な 700mV のリファレンス電圧でバイアスされたエラー アンプに電圧フィードバックを行う方式を採用しています。TPS40211 は、LED 駆動用途でより高い効率を得るために、より低い 260mV のリファレンス電圧を備えています。内部スロープ補償により、デューティ サイクルが 50% 以上のときにピーク電流モード制御で発生する特有のサブハーモニックの不安定性が解消されます。

TPS4021x にはソフトスタート機能も搭載されており、出力電圧はゆっくり立ち上がるソフトスタート電圧に追従するため、出力電圧のオーバーシュートを防ぎます。DIS/$\overline{EN}$ は、TPS40210 を無効化し、低い静止電流のシャットダウン モードに移行させます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 ソフト スタート

TPS40210 および TPS40211 のソフトスタート機能は閉ループ型のソフトスタートであり、出力電圧は SS ピンで生成されるランプに比例した線形ランプに従って上昇します。このランプは、BP ピンから SS ピンに接続された内部抵抗と、SS ピンから GND に接続された外付けコンデンサによって生成されます。SS ピン電圧 (V_{SS}) は、約 $V_{SS(ofst)}$ (約 700mV) だけレベル シフトされて低下し、誤差アンプの「+」入力の 1 つ (最も低い電圧の「+」入力が優先される) に入力されます。このレベルシフトされた電圧 (V_{SSE}) が時間 t_1 に上昇を開始すると (図 7-1 を参照)、コントローラが予測する出力電圧も上昇します。V_{SSE} は 0V 付近で開始されるため、コントローラは 0V から出力電圧のレギュレートを試みます。これはコンバータのアーキテクチャ上の制約により実現できません。出力電圧は、入力電圧からダイオードの電圧降下 ($V_{IN} - V_D$) を差し引いた値から始まり、そこから上昇します。出力電圧が上昇を開始する時点 (t_2) は、V_{SSE} ランプが ($V_{IN} - V_D$) よりも高い出力電圧を指示する点を通過する時点です。この電圧レベルには $V_{SSE(1)}$ とラベル付けされています。出力電圧が理論上のゼロから最終的な安定値まで上昇するのに必要な時間 (t_1 から t_3 まで) は、SS ピンに接続されたコンデンサ (C_{SS}) が、GND から $V_{SS(ofst)}$ だけ上の電圧を起点として、700mV の範囲を上昇するのに要する時間によって決まります。

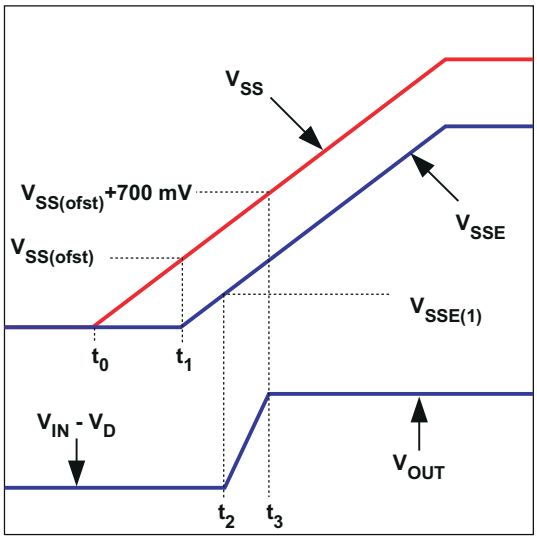


図 7-1. SS ピンの電圧と出力電圧

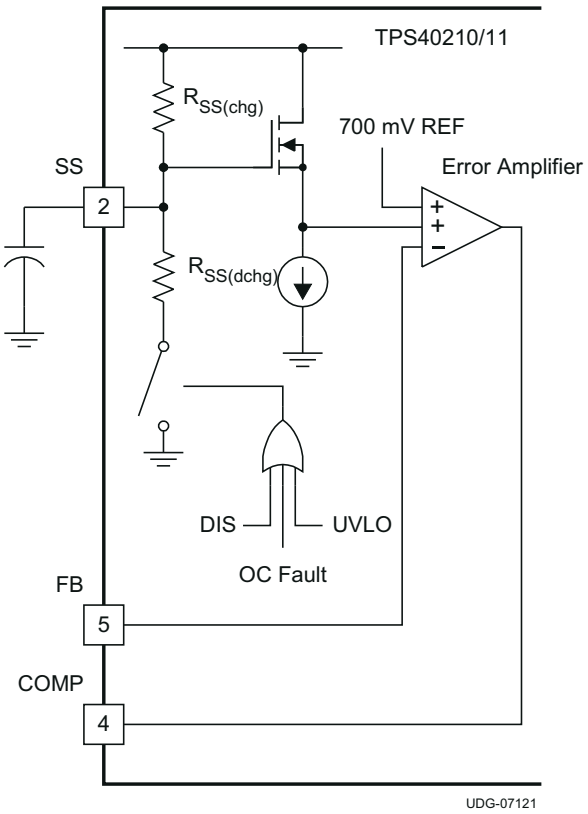


図 7-2. SS ピンの機能回路

Copyright © 2026 Texas Instruments Incorporated

図 7-1 のソフトスタート時間 t_3 - t_1 に対して必要な容量は、式 1 で計算されます。

$$C_{SS} = \frac{t_{SS}}{R_{SS} \times \ln\left(\frac{V_{BP} - V_{SS(ofst)}}{V_{BP} - \left(V_{SS(ofst)} + V_{FB}\right)}\right)} \quad (1)$$

ここで、

- t_{SS} は、必要なソフトスタート時間です
- $R_{SS(chg)}$ は SS 充電抵抗 (Ω) で、通常は 500kΩ です
- C_{SS} は、SS ピンのコンデンサの値 (単位:F) です
- V_{BP} は、BP ピンの電圧値 (単位:V) です
- $V_{SS(ofst)}$ は、SS ピンから誤差アンプへのレベルシフト量 (約 700mV) を示します
- V_{FB} はエラー アンプのリファレンス電圧で、標準値 700mV です

t_{SS} は、出力電圧が 0V から最終的な出力電圧まで上昇するのにかかる時間です。セクション 6.5 に示す $R_{SS(chg)}$の許容誤差も注意してください。これにより出力電圧の立ち上がり時間にばらつきが生じるため、設計時にはそれを考慮してマージンを確保する必要があります。

V_{BP} にも注意します。その値は入力条件によって異なります。例えば、ゆっくり立ち上がる入力電圧で動作するコンバータでは、V_{BP} は比較的低い値で初期化され、起動シーケンス全体を通して徐々に増加します。コントローラの入力で電圧が 8V を超える場合、DIS ピンを使用してコンバータを停止して再起動する場合、スタートアップ シーケンス全体にわたって V_{BP} は約 8V です。BP の電圧が高いほど、スタートアップ時間が短くなり、逆に BP の電圧が低くなると、スタートアップ時間が長くなります。

ソフトスタート時間 (t_{SS}) は、コンバータが過電流状態に入ることなく起動できるよう、十分に長く設定する必要があります。過電流状態は ISNS ピンのピーク電圧を検出することでトリガされるため、電圧を過電流スレッショルド電圧 $V_{ISNS(oc)}$ よりも低く維持する必要があります。ISNS ピンの電圧は、コンバータの負荷電流、出力電圧の立ち上がり速度、出力容量、および電流検出抵抗によって決まります。コンバータが供給しなければならない合計出力電流は、出力コンデンサの充電に必要な電流と、起動時に供給すべき外部負荷電流の合計です。この電流は、電流センス抵抗の値を決定するためには、式 15 または式 16 で使用される $I_{OUT(oc)}$ 値 (コンバータの動作モードに応じて) 未満である必要があります。これらの式においては、コントローラが最終的な出力電圧に到達した時点での実際の入力電圧が、計算に使用すべき重要な入力電圧となります。入力電圧がゆっくりと上昇し、スタートアップ時間が終了したときに公称入力電圧よりも低い場合、出力電流制限は公称入力電圧で $I_{OUT(oc)}$ 未満になります。出力コンデンサの充電電流を低減 (C_{OUT} を減少させるか、t_{SS} を増加させる) または $I_{OUT(oc)}$ を増加させ、R_{ISNS} の新しい値を計算する必要があります。

$$I_{C(chg)} = \left(\frac{C_{OUT} \times V_{OUT}}{t_{SS}}\right) \quad (2)$$

$$t_{SS} > \left(\frac{C_{OUT} \times V_{OUT}}{(I_{OUT(oc)} - I_{EXT})}\right) \quad (3)$$

ここで、

- $I_{C(chg)}$ は、出力コンデンサの充電電流です (単位:A)
- C_{OUT} は合計出力キャパシタンスです (単位:F)
- V_{OUT} は出力電圧です (単位:V)
- t_{SS} は 式 1 からのソフトスタート時間です
- $I_{OUT(oc)}$ は A での設定された過電流トリップ ポイントです

Copyright © 2026 Texas Instruments Incorporated

- I_{EXT} は A 内の任意の外部負荷電流です

SS ピンのコンデンサ (C_{SS}) も、過電流機能において役割を果たします。これは、再起動試行間のタイマーとして使用されます。コントローラが過電流状態を検出すると、SS ピンは抵抗 $R_{SS(dchg)}$ を介して GND に接続されます。SS ピンがソフトスタート リセット スレッショルド $V_{SS(rst)}$ まで放電するまで、スイッチングは停止し、他の何も発生しません。この時点で、SS ピン コンデンサは充電抵抗 $R_{SS(chg)}$ を介して再度充電でき、コントローラはその時点から再起動します。再起動試行間の最短時間は、SS ピンが $V_{SS(Ofst)}$ (約 700mV) から $V_{SS(rst)}$ (150mV) まで放電してから $V_{SS\ (ofst)}$ に戻ってスイッチングが再開されるときに発生します。実際には、これは保守的な見積もりです。なぜなら、V_{SSE} ランプがコントローラの出力電圧よりも高い出力電圧を指示するレベルまで上昇するまで、スイッチングは再開されないためです。これは、$V_{SS(ofst)}$ よりも高い SS ピン電圧で発生し、スイッチングが停止している間にコンバータの出力に残っている電圧に依存します。最も速い再起動時間は、式 4、式 5、式 6 を使用して計算できます。

$$t_{DCHG} = R_{SS(dchg)} \times C_{SS} \times \ln\left(\frac{V_{SS(ofst)}}{V_{SS(rst)}}\right) \tag{4}$$

$$t_{CHG} = R_{SS(chg)} \times C_{SS} \times \ln\left(\frac{\left(V_{BP} - V_{SS(rst)}\right)}{\left(V_{BP} - V_{SS(ofst)}\right)}\right) \tag{5}$$

$$t_{RSTRT(min)} = t_{CHG} + t_{DCHG} \tag{6}$$

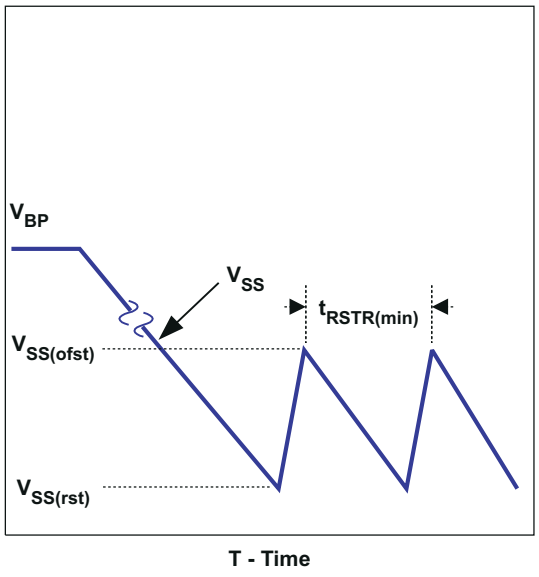


図 7-3. 過電流中のソフトスタート

7.3.2 BP レギュレータ

TPS40210 および TPS40211 には、ゲートドライバを含むコントローラ内部回路へ電力を供給するオンチップのリニア レギュレータが内蔵されています。このレギュレータの公称出力電圧は 8V であり、1µF のコンデンサでバイパスする必要があります。VDD ピンの電圧が 8V 未満の場合、BP ピンの電圧もそれより低くなり、外付け FET へのゲート駆動電圧は公称の 8V から低下します。この点は、コンバータ用の FET を選定する際に考慮する必要があります。

このレギュレータに外部負荷を接続することは可能ですが、このコントローラにはサーマル シャットダウン機能がないため、デバイスの熱定格を超えないよう十分に注意する必要があります。熱定格を超えると仕様外の動作を引き起こし、信

Copyright © 2026 Texas Instruments Incorporated

頼性の低下につながる可能性があります。BP ピンに外部負荷がある場合、コントローラの消費電力は増加し、ドロップアウト電圧は最大 5mA の負荷までで評価されています。コントローラが無効状態のとき、BP ピンのレギュレータも停止するため、そこに接続された負荷も同様に電源が切れます。DIS/$\overline{EN}$ ピンによってコントローラが無効化されると、このレギュレータはオフになります。

外部消費電力の値は、次の式によって算出できます。総電力は、P_Q、P_G、P_E の和です。

$$P_Q = V_{VDD} \times I_{VDD(en)} \tag{7}$$

$$P_G = V_{VDD} \times Q_g \times f_{SW} \tag{8}$$

$$P_E = V_{VDD} \times I_{EXT} \tag{9}$$

ここで、

- P_Q は、デバイスの静止電力です (単位:W)
- V_{DD} は VDD ピン電圧です (単位: V)
- $I_{DD(en)}$ は、コントローラが有効状態でスイッチングしていないときの静止電流です (単位: A)
- P_G は、FET のゲートで駆動することにより消費される電力です (単位:W)
- Q_g は、BP ピンの電圧での FET のゲート電荷です (単位: C)
- f_{SW} はスイッチング周波数です (単位:Hz)
- P_E は、BP ピンの外部負荷で発生する消費電力です (単位:W)
- I_{EXT} は最大負荷電流です (単位:A)

7.3.3 シャットダウン (DIS/$\overline{EN}$ ピン)

DIS/$\overline{EN}$ ピンは、コントローラ用のアクティブ High シャットダウン コマンドです。このピンを 1.2V 以上に引き上げると、コントローラは完全にシャットダウンし、低消費電流状態に入ります。この状態では、BP ピンに接続されているレギュレータがオフになります。このピンには内部に 1.1MΩ のプルダウン抵抗が接続されており、フローティング状態にした場合でもピン電圧は GND レベルに保たれます。この機能をアプリケーションで使用しない場合は、このピンを GND に接続するのが最適です。

7.3.4 最小オン時間およびオフ時間に関する考慮事項

TPS40210 の最小オフ時間は約 200ns、最小オン時間は 300ns です。これら 2 つの制約により、入力から出力への変換比に対して使用できる動作周波数には制限が生じます。指定されたデューティ サイクルに対して使用できる最大周波数については、図 6-2 を参照してください。

コンバータが動作するデューティ サイクルは、その動作モードに依存します。コンバータが不連続導通モードで動作している場合、デューティ サイクルは、連続導通モードで動作している場合よりも、負荷の変化によって大きく変動します。

連続導通モードでは、デューティ サイクルは主に入力電圧と出力電圧によって決まります。

$$\frac{V_{OUT} + V_D}{V_{IN}} = \frac{1}{1 - D} \tag{10}$$

$$D = \left(1 - \left(\frac{V_{IN}}{V_{OUT} + V_D}\right)\right) \tag{11}$$

不連続導通モードでは、デューティ サイクルは負荷、入力電圧、出力電圧、インダクタンス、およびスイッチング周波数の関数となります。

Copyright © 2026 Texas Instruments Incorporated

$$D = \frac{2 \times (V_{OUT} + V_D) \times I_{OUT} \times L \times f_{SW}}{(V_{IN})^2} \quad (12)$$

フリーホイールまたはキャッチ部品としてダイオードを使用するすべてのコンバータには、不連続導通から連続導通へ移行する負荷電流のレベルが存在します。これは、インダクタ電流がゼロに低下するばかりです。負荷電流が高くなると、インダクタ電流はゼロまで低下せず、正の方向に流れ続け、三角波ではなく台形波状になります。不連続導通と連続導通の間のこの負荷境界は、コンバータの各種パラメータから次のように求めることができます。

$$I_{OUT(crit)} = \frac{(V_{OUT} + V_D - V_{IN}) \times (V_{IN})^2}{2 \times (V_{OUT} + V_D)^2 \times f_{SW} \times L} \quad (13)$$

式 13 の結果より大きい負荷の場合、デューティ サイクルは 式 11 によって与えられ、式 13 の結果より小さい負荷の場合、デューティ サイクルは 式 12 によって与えられます。式 1 から式 4 の変数定義は以下のとおりです。

- V_{OUT} は、コンバータの希望する出力電圧です (単位:V)
- V_D は、整流ダイオード (またはキャッチ ダイオード) における順方向導通時の電圧降下です (単位:V)
- V_{IN} はコンバータの入力電圧です (単位:V)
- I_{OUT} はコンバータの出力電流です (単位:A)
- L はインダクタの値です (単位:H)
- f_{SW} はスイッチング周波数です (単位:Hz)

7.3.5 発振周波数の設定

発振周波数は、TPS40210 の RC ピンに接続された抵抗とコンデンサによって決まります。コンデンサは、抵抗を通じて流れる電流によっておよそ $V_{DD}/20$ まで充電され、その後 TPS40210 内部のトランジスタによって放電されます。特定の発振器周波数に必要な抵抗は、図 6-1 または式 14 から求められます。

$$R_T = \frac{1}{5.8 \times 10^{-8} \times f_{SW} \times C_T + 8 \times 10^{-10} \times f_{SW}^2 + 1.4 \times 10^{-7} \times f_{SW} - 1.5 \times 10^{-4} + 1.7 \times 10^{-6} \times C_T - 4 \times 10^{-9} \times C_T^2} \quad (14)$$

ここで、

- R_T はタイミング抵抗です (単位:kΩ)
- f_{SW} はスイッチング周波数です (単位:kHz)
- C_T はタイミング コンデンサです (単位:pF)

ほとんどの用途では、68pF ～ 120pF の範囲のコンデンサが最も良好な結果をもたらします。抵抗値も 100kΩ ～ 1MΩ の範囲に制限する必要があります。抵抗値が 100kΩ 未満になる場合は、コンデンサの値を小さくして、目的の周波数に対して抵抗値を再計算します。コンデンサのサイズが 47pF 未満になると、目的のスイッチング周波数を実現するためにタイミング部品の値を微調整するために、低下の精度式 14 と経験的な手段が必要になる場合があります。

7.3.6 発振器の同期

TPS40210 および TPS40211 は、外部クロック ソースに同期させることができます。発振器の機能ブロック図を図 7-4 に示します。発振器を外部クロックに同期させる場合、RC ピンは 150mV 未満に 20ns 以上引き下げる必要があります。外部クロックの周波数は、コンバータのフリーラン周波数よりも高い必要があります。コントローラを同期させる際に、RC ピンを長時間 Low のままにすると、不安定な動作が発生する可能性があります。RC ピンを Low に保持する必要のある最大時間は、公称出力パルスの 50%、または同期周波数の 10% です。外部クロック信号のデューティ比が低くできず、RC ピンが Low に保持される時間を制限できない場合は、同期用 MOSFET のゲートに抵抗とコンデンサを追加することができます。コンデンサは、同期信号の立ち上がりエッジを AC 結合するために、MOSFET のゲートと直列に追加する必要

Copyright © 2026 Texas Instruments Incorporated

があります。MOSFET をオフにするため、MOSFET のゲートからグランドへ抵抗を追加してください。抵抗とコンデンサの標準値は 220pF および 1kΩ です。

デューティ サイクルが 50% 未満の場合には、RC ピンと外部クロックの間にショットキー ダイオードを接続することで、発振器を同期させることができます。ダイオードのカソードは RC ピンに接続します。発振器のトリップ ポイントは、内部の分圧回路によって入力電圧の 1/20 に設定されています。クロック信号の振幅は、このトリップ ポイントよりも大きくする必要があります。クロック信号が Low になると、リセット電流によって RC ランプが再スタートし、発振器が外部クロックに同期します。これにより、クロック同期を単純かつ単一のコンポーネントで実現できます。

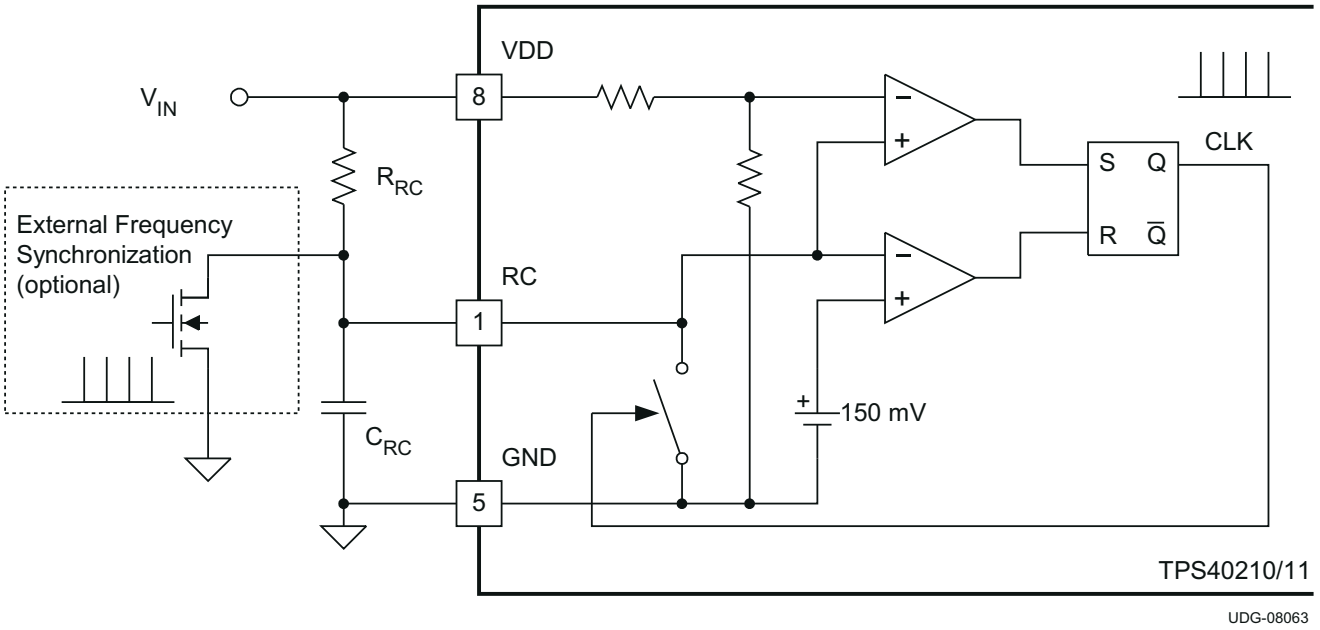


図 7-4. 発振器の機能図

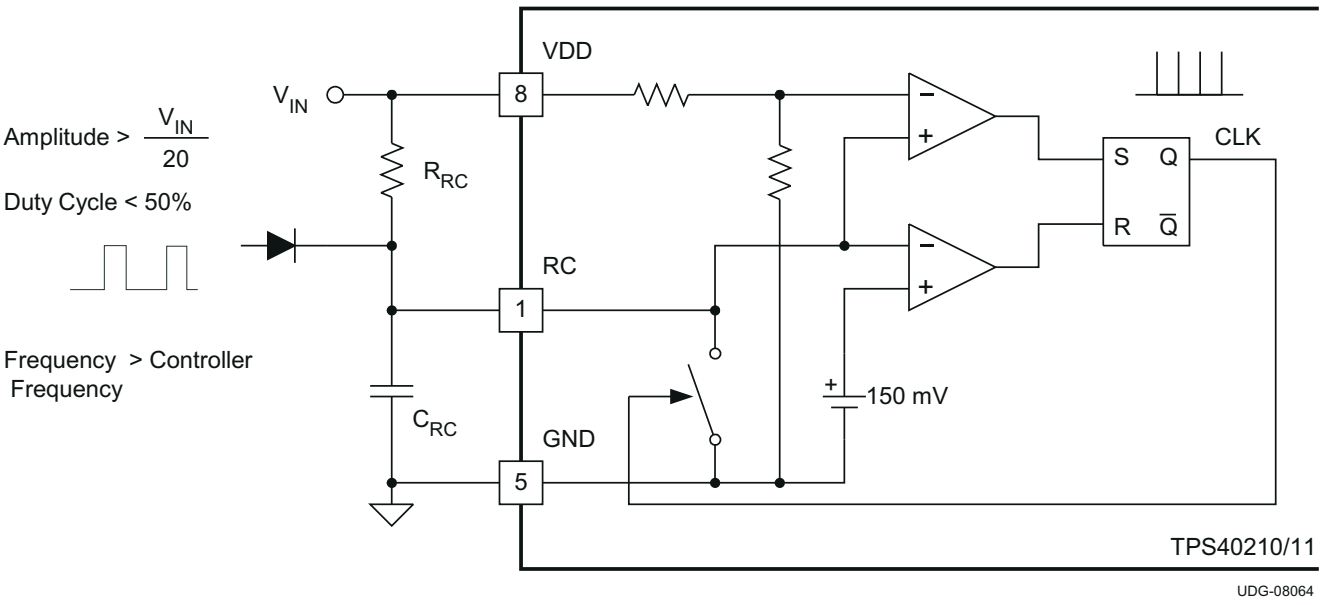


図 7-5. ダイオード接続の同期

7.3.7 電流センスと過電流

TPS4021x は電流モード制御コントローラであり、電流モード制御および過電流保護の両方のために、パワー FET のソース端子に直列に接続された抵抗を用いて電流を検出します。ISNS ピンの電圧が、セクション 6.5 からの電流制限スレッショルド電圧 $V_{ISNS(oc)}$ を超えると、デバイスは電流制限状態に入ります。これが発生すると、コントローラは比較的高いインピーダンスを介して SS コンデンサを放電し、その後再起動を試みます。この現象が発生する出力電流の量は、コンバータ内のいくつかの変数に依存します。

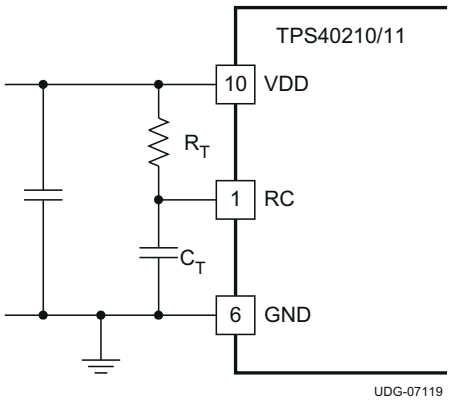


図 7-6. 発振器部品

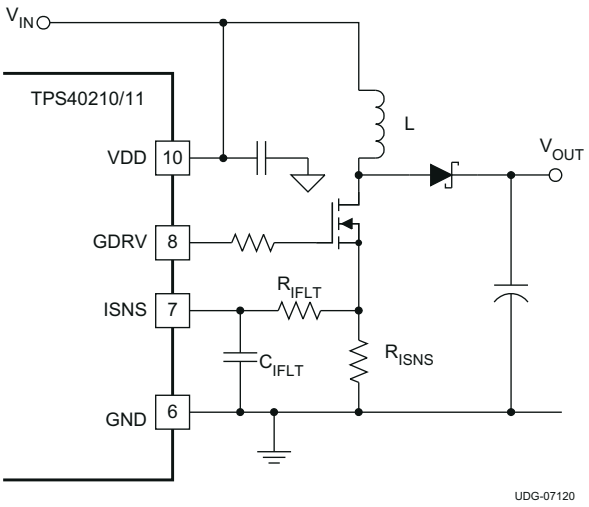


図 7-7. 電流センス部品

負荷電流過電流スレッショルドは、R_{ISNS} の適切な選択により設定されます。コンバータが不連続モードで動作している場合、電流検出抵抗を式 15 に示します。

$$R_{ISNS} = \frac{f_{SW} \times L \times V_{ISNS(oc)}}{\sqrt{2 \times L \times f_{SW} \times I_{OUT(oc)} \times \left(V_{OUT} + V_D - V_{IN}\right)}} \quad (15)$$

コンバータが連続導通モードで動作している場合、R_{ISNS} を式 16 に示します。

$$R_{ISNS} = \frac{V_{ISNS}}{\left(\frac{I_{OUT}}{1-D}\right) + \left(\frac{I_{RIPPLE}}{2}\right)} = \frac{V_{ISNS}}{\left(\frac{I_{OUT}}{(1-D)}\right) + \left(\frac{D \times V_{IN}}{2 \times f_{SW} \times L}\right)} \quad (16)$$

ここで、

- R_{ISNS} は電流検出抵抗の値です (単位:Ω)
- $V_{ISNS(oc)}$ は、ISNS ピンの過電流スレッショルド電圧です (電気的仕様から)
- D はデューティ サイクルです (式 11 から)
- f_{SW} はスイッチング周波数です (単位:Hz)
- V_{IN} は電力段への入力電圧です (単位:V) (本文を参照)
- L はインダクタの値です (単位:H)
- I_{OUT} は目標過電流スレッショルドです (単位:A)
- V_D は、図 7-7 でのダイオードの両端の電圧降下です (単位:V)

Copyright © 2026 Texas Instruments Incorporated

TPS40210 および TPS40211 には固定の低電圧ロックアウト (UVLO) があり、典型的には入力電圧が 4.25V でコントローラが起動します。入力電圧がゆっくり上昇する場合、レギュレーションに到達した時点で、設計時に想定した公称入力電圧よりも低い電圧しか供給されていない可能性があります。その結果、見かけ上の電流制限負荷電流の値が減少する可能性があるため、R_{ISNS} を選択するときに考慮する必要があります。R_{ISNS} の計算に使用される V_{IN} の値は、コンバータが起動を完了する時点の値である必要があります。起動時のコンバータの総出力電流は、外部負荷電流と、出力コンデンサ (複数の場合も含む) を充電するために必要な電流の合計になります。必要な出力コンデンサの充電電流の計算方法については、データシートの セクション 7.3.1 セクションを参照してください。

標準的な昇圧コンバータのトポロジには、出力で短絡故障が発生した場合に、入力から出力への電流を制限する手段がありません。このような事象からの保護が必要な場合は、ヒューズなどの二次的な保護手段を使用するか、上流電源の電流制限機能に頼る必要があります。

7.3.8 電流検出と分数調波の不安定性

ピーク電流モード制御の特性として、電流制御ループが不安定になる可能性のある状態が生じることがあります。この結果、パルス幅変調器から長いパルスと短いパルスが交互に出力されます。電圧ループはレギュレーションを維持し発振はしませんが、出力リップル電圧は増加します。この状態は、コンバータが連続導通モードで動作しており、かつデューティサイクルが 50%以上の場合にのみ発生します。この条件の原因については、電流モード コンバータのモデル化、分析、補償アプリケーション レポートを参照してください。この状態への対策は、発振器からの補償ランプ信号をパルス幅変調器へ入力される信号に重ね合わせることです。TPS40210 および TPS40211 では、発振器のランプ信号が一定量でパルス幅変調器に適用されます。ランプの傾きは、式 17 で与えられます。

$$s_e = f_{SW} \times \left(\frac{V_{VDD}}{20} \right) \tag{17}$$

コンバータがサブハーモニック不安定に陥らないようにするためには、補償ランプ信号の傾きは、電流ランプ信号の下り勾配の少なくとも半分以上である必要があります。補償ランプは TPS40210 および TPS40211 に固定されているため、電流センス抵抗の選択に制約があります。

パルス幅変調器で形成される電流検出波の下り勾配については、式 18 を参照してください。

$$m2 = \frac{A_{CS} \times R_{ISNS} \times (V_{OUT} + V_D - V_{IN})}{L} \tag{18}$$

勾配補償ランプは、パルス幅変調器で観測される電流検出波形の下降勾配の少なくとも半分、できれば同程度である必要があるため、デューティ サイクルが 50% 以上の連続モードで動作する場合には、電流検出抵抗に最大値の制限が設けられます。設計においては、電流検出抵抗の実際の値にはある程度のマージンを持たせる必要があります。出発点として、選択した実際の抵抗は、式 19 で計算された値より 80% 以下にする必要があります。この式では、勾配補償ランプを電流ランプの下り勾配の半分にする抵抗値を計算します。この結果の 80% 以下の値が許容されます。

$$R_{ISNS(max)} = \frac{V_{VDD} \times L \times f_{SW}}{60 \times (V_{OUT} + V_D - V_{IN})} \tag{19}$$

ここで、

- S_e は、パルス幅変調器に印加される電圧補償ランプの勾配です (単位: V/s)
- f_{SW} はスイッチング周波数です (単位:Hz)
- V_{DD} は、VDD ピンにおける電圧です (単位:V)
- m2 は、パルス幅変調器で観測される電流検出波形の下降勾配です (単位:V/s)
- R_{ISNS} は電流検出抵抗の値です (単位:Ω)
- V_{OUT} はコンバータの出力電圧、V_{IN} はコンバータの電力段の入力電圧です
- V_D は、図 7-7 でのダイオードの両端の電圧降下です (単位:V)

Copyright © 2026 Texas Instruments Incorporated

図 7-7 に示すように、VDD ピンを入力電圧ではなくコンバータの出力電圧に接続することで、電圧補償ランプを高くすることが可能です。これは、コンバータ設計において、望ましい出力電流制限設定に対してリップル電流が大きくなるような場合に有効です。

注

VDD ピンをコンバータの出力電圧に接続すると、コントローラの低電圧ロックアウト (UVLO) 回路が VDD ピンを監視し、起動前にダイオード電圧降下分を差し引いた入力電圧を検出するため、コンバータの起動電圧に影響を与えます。その結果、起動電圧はダイオードの電圧降下分だけ上昇します。

許容される R_{ISNS} の値が利用できない場合は、次に大きな値を使用し、別の抵抗を C_{IFLT} と並列に配置することで、抵抗からの信号を許容可能なレベルに分圧します。

7.3.9 電流センス フィルタ

多くの場合、ISNS ピンに小さなフィルタを配置すると、コンバータの性能が向上します。これらは、図 7-7 の R_{IFLT} と C_{IFLT} のコンポーネントです。このフィルタの時定数は、コンバータの公称パルス幅の約 10% とする必要があります。パルス幅は 式 20 を使用して求めることができます。

$$t_{ON} = \frac{D}{f_{SW}} \tag{20}$$

推奨される時定数は以下の通りです

$$R_{IFLT} \times C_{IFLT} = 0.1 \times t_{ON} \tag{21}$$

最良の結果を得るために、R_{IFLT} の値は約 1kΩ ～ 5kΩ の範囲とする必要があります。より高い値を使用することも可能ですが、ISNS ピン接続のインピーダンスが必要以上に高くなり、レイアウトによってはノイズの影響を受けやすくなる可能性があります。C_{IFLT} は、ノイズ耐性を確保するために、ISNS ピンのできるだけ近くに配置する必要があります。

7.3.10 制御ループの検討事項

TPS4021x に適した制御ループを設計する方法は、二通りあります。一つ目で、機器が利用可能であれば推奨される方法は、周波数応答アナライザを用いて開ループの変調器および電力段のゲインを測定し、それに合わせて補償設計を行うことです。この目的でのこれらのツールの使用方法については、ツールに付属する資料で十分に説明されているため、ここでは説明しません。

二つ目の方法は、まず補償を仮に設定し、その後システムの過渡応答を評価して、その補償がアプリケーションに適しているかどうかを判断することです。ほとんどのシステムでは、図 7-8 に示すように、直列抵抗とコンデンサ (R_{FB} と C_{FB}) を COMP ピンから FB ピンの間に配置するだけで、十分な応答が得られます。WEBENCH ®を使用して部品を選択するか、開ループ変調器と電力段のゲインをシミュレーションするための平均 Spice モデルを使用して、初期補償選択をより正確に行うことができます。

Copyright © 2026 Texas Instruments Incorporated

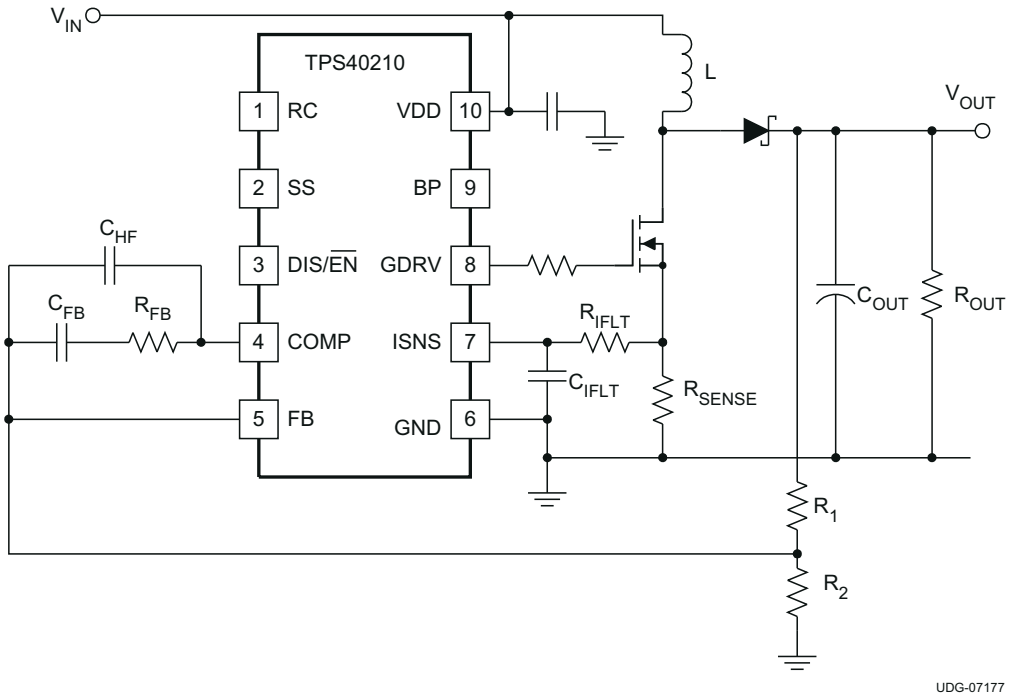


図 7-8. 基本補償回路

昇圧出力に使用されるほとんどのコンデンサの自然な位相特性と電流モード制御を組み合わせることで、このタイプの補償を用いた場合でも十分な位相マージンが得られます。補償設計の初期出発点を決定するには、制御から出力へのゲインを見積もる際に、目標とするクロスオーバ周波数を考慮する必要があります。使用するモデルは、出力コンデンサと負荷への電流源です。

これらの式を使用する場合、ループ帯域幅はスイッチング周波数 f_{SW} の 20% 以下にする必要があります。より妥当なループ帯域幅は、スイッチング周波数の 10% になります。期待される負荷範囲全体にわたってコンバータの過渡応答を評価し、適切に動作することを必ず確認します。

$$\left|K_{CO}\right| = g_M \times \left|Z_{OUT}\left(f_{CO}\right)\right| \tag{22}$$

$$g_M = \frac{0.13 \times \sqrt{L \times \frac{f_{SW}}{R_{OUT}}}}{\left(R_{ISNS}\right)^2 \times \left(120 \times R_{ISNS} + L \times f_{SW}\right)} \tag{23}$$

$$\left|Z_{OUT}\right| = R_{OUT} \times \sqrt{\frac{\left(1 + \left(2\pi \times f_L \times R_{ESR} \times C_{OUT}\right)^2\right)}{1 + \left(\left(R_{OUT}\right)^2 + 2 \times R_{OUT} \times R_{ESR} + \left(R_{ESR}\right)^2\right) \times \left(2\pi \times f_L \times C_{OUT}\right)^2}} \tag{24}$$

ここで、

- K_{CO} はコンバータの出力への制御ゲインです (単位: V/V)
- g_M は電力段および変調器の相互コンダクタンスです (単位: S)
- R_{OUT} は、出力負荷の等価抵抗です (単位:Ω)
- Z_{OUT} は、出力コンデンサを含む出力インピーダンスです (単位:Ω)

- R_{ISNS} は電流検出抵抗の値です (単位:Ω)
- L はインダクタの値 (単位: H) です。
- C_{OUT} はフィルタリング コンデンサの値です (単位:F)
- R_{ESR} は、C_{OUT} の等価直列抵抗です (単位:Ω)
- f_{SW} はスイッチング周波数です (単位:Hz)
- f_L は、制御ループの求められるクロスオーバ周波数です (単位:Hz)

これらの式は、動作が不連続モードであり、負荷が純抵抗であることを前提としています。連続導通モードにおけるゲインは、コンバータの臨界導通電流を与える抵抗値において 式 23 を評価することで求めることができます。電流源に近い特性を持つ負荷では、ここで予測される値よりもやや高いゲインになります。帯域幅 f_L の制御ループに必要な補償回路のゲインを求めるには、式 22 の逆数を取ります。

$$K_{COMP} = \frac{1}{|K_{CO}|} \tag{25}$$

エラー アンプの GBWP は、1.5MHz 以上であることが保証されているのみです。K_{COMP} に f_L を掛けた値が 750kHz より大きい場合は、この条件が満たされるまで目的のループ クロスオーバ周波数を下げます。これにより、補償回路を配置したときのエラーアンプの応答からの高周波の極が、f_L での過剰な位相遅れやループ内の位相マージンの減少を引き起こさないようにします。

COMP から FB に接続された RC ネットワークは、補償応答にゼロ点を配置します。このゼロは、目的のクロスオーバー周波数 f_L の約 1/10 になります。この場合、R_{FB} と C_{FB} は、式 26 と式 27 から計算できます。

$$R_{FB} = \frac{R1}{|K_{CO}|} = R1 \times K_{COMP} \tag{26}$$

$$C_{FB} = \frac{10}{2\pi \times f_L \times R_{FB}} \tag{27}$$

ここで、

- R1 はハイサイド帰還抵抗 図 7-8(単位:Ω) です
- F_L は、目標とするループのクロスオーバ周波数です (単位:Hz)

厳密には必須ではありませんが、制御ループ回路における高周波ノイズの減衰を目的として、COMP と FB の間にコンデンサを追加することが推奨されます。このコンデンサにより、補償応答に別のポールが生じます。この極周波数の許容位置によって、コンデンサの値が決まります。出発点として、極の周波数は 10 × f_L にする必要があります。C_{HF} の値は、式 28 から選択できます。

$$C_{HF} = \frac{1}{20\pi \times f_L \times R_{FB}} \tag{28}$$

エラー アンプの GBWP は通常これより高い値ですが、場合によっては 1.5MHz 程度まで低くなることがあります。10 × K_{Comp} × f_L > 1.5MHz の場合、エラー アンプのゲイン帯域幅積によって、高周波数コンデンサより低い高周波応答が制限されることがあります。一貫した高周波数ゲイン ロールオフを維持するため、C_{HF} は式 29 で計算できます。

$$C_{HF} = \frac{1}{2\pi \times 1.5 \times (10)^6 \times R_{FB}} \tag{29}$$

Copyright © 2026 Texas Instruments Incorporated

ここで、

- C_{HF} は高周波ロールオフ コンデンサの値です (単位:F)
- R_{FB} は中帯域ゲイン設定抵抗の値です (単位:Ω)

7.3.11 ゲート ドライブの回路

一部のアプリケーションでは、GDRV ピンとスイッチング MOSFET のゲートの間に抵抗を追加することで、利点が得られる場合があります。負荷レギュレーションの要件が特に厳しく (0.75% 未満)、かつ入力電圧が 5V を超える条件で動作するアプリケーション、または不連続導通領域におけるパルスジッタに敏感な場合には、この抵抗の追加が推奨されます。この抵抗の値の推奨開始点は、式 30 で計算できます。

$$R_G = \frac{105}{Q_G} \tag{30}$$

ここで、

- Q_G は、8V、V_{GS} (nC 単位) での MOSFET の合計ゲート電荷量です
- R_G は推奨される開始点ゲート抵抗 (Ω) です

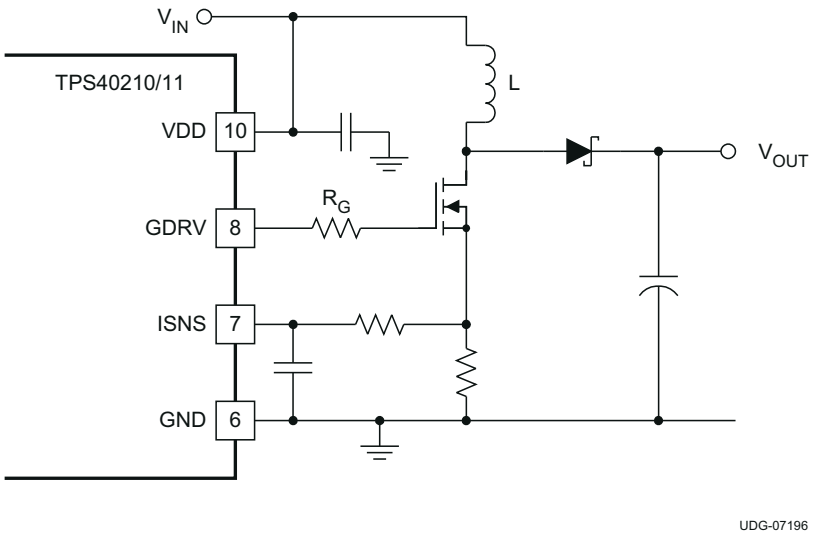


図 7-9. ゲート ドライブ抵抗

7.3.12 TPS40211

TPS40210 と TPS40211 の唯一の違いは、出力電圧を制御するためにエラー アンプが使用するリファレンス電圧です。TPS40211 は 260mV のリファレンス電圧を使用しており、出力が安定化された電圧ではなく、実際には電流となるアプリケーション向けに設計されています。この種のアプリケーションの代表的な例は、LED ドライバです。図 7-10 に例示的な回路図を示します。

Copyright © 2026 Texas Instruments Incorporated

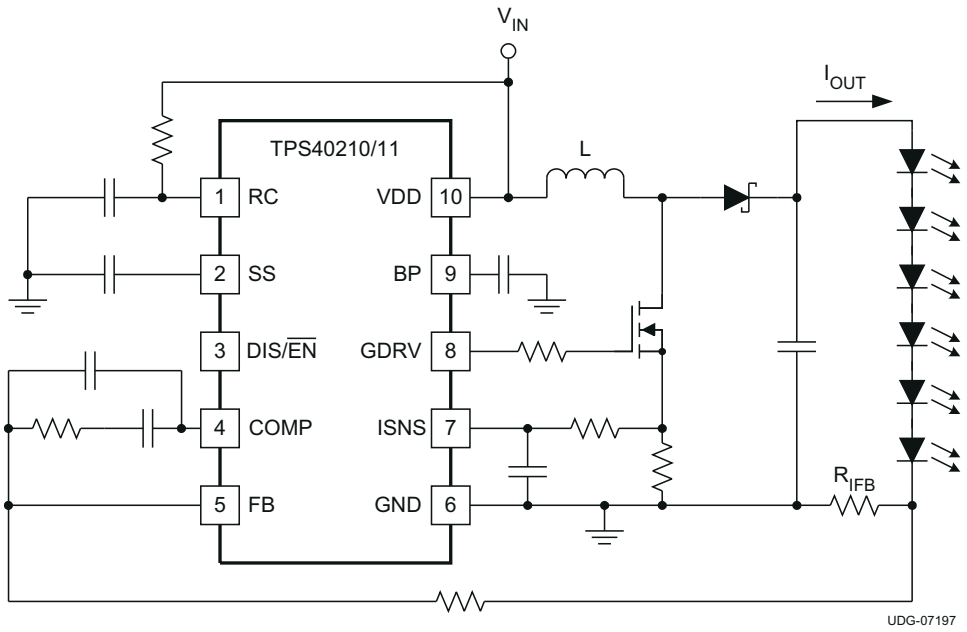


図 7-10. 代表的な LED 駆動回路図

LED ストリングの電流は、式 31 に示すように、抵抗 R_{ISNS} の選択によって設定されます。

$$R_{IFB} = \frac{V_{FB}}{I_{OUT}} \tag{31}$$

ここで、

- R_{IFB} は、LED ストリング用の電流検出抵抗の値です (単位:Ω)
- V_{FB} は TPS40211 のリファレンス電圧であり (単位:V)、標準値は 0.260V です
- I_{OUT} は LED ストリングの目的の DC 電流です (単位:A)

7.4 デバイスの機能モード

7.4.1 最小入力電圧付近での動作

TPS4021x は、4.5V 以上の入力電圧で動作するように設計されています。VDD の UVLO スレッショルドの標準値は 4.25V であり、このデバイスは入力電圧がこの UVLO 電圧まで低下しても動作可能です。実際の UVLO 電圧より低い入力電圧では、デバイスはスイッチングを行いません。V_{VDD} が UVLO スレッショルドを超えると、デバイスは有効状態になります。スイッチングが有効になり、ソフトスタート シーケンスが開始されます。TPS4021x は、SS ピンに接続された外部コンデンサによって決まる速度で出力電圧を立ち上げます。

7.4.2 DIS/$\overline{EN}$ ピンで動作

DIS/$\overline{EN}$ ピンには 1.2V の標準スレッショルドがあり、TPS4021x を無効化するために使用できます。DIS/$\overline{EN}$ がこのスレッショルド電圧を超えるように強制されると、V_{VDD} が UVLO スレッショルドを上回っていても、デバイスは無効化され、スイッチングは抑制されます。DIS/$\overline{EN}$ ピンのスレッショルドにはヒステリシスがあり、ターンオンのスレッショルドは標準で 1.05V です。DIS/$\overline{EN}$ をフローティングにするか、1.05V のスレッショルド未満に保ち、かつ V_{VDD} が UVLO スレッショルドを上回っている場合、デバイスは有効状態になります。スイッチングが有効になり、ソフトスタート シーケンスが開始されます。TPS4021x は、ソフトスタート ピンに接続された外部コンデンサによって決まる速度で出力電圧を立ち上げます。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPS4021x は、4.5V ～ 52V に対応したローサイド コントローラで、ローサイド N チャネル MOSFET 用のゲート ドライバを内蔵しています。このデバイスは、通常、昇圧トポロジで使用され、外付けの電流検出抵抗によってピーク電流制限を設定しつつ、低い DC 電圧をより高い DC 電圧へ変換します。また、SEPIC、フライバック、LED ドライブの各アプリケーションに構成することもできます。大電流アプリケーションでは、外部 MOSFET の熱性能と整流ダイオードスイッチにより、最大電流を制限することもできます。TPS4021x の外付け部品を選定するには、以下の設計手順を使用します。この設計手順は、TPS40210 を使用した標準的な昇圧レギュレータの設計を示しています。あるいは、WEBENCH ソフトウェアを使用して完全な設計を生成することもできます。WEBENCH ソフトウェアは、反復的な設計手順を使用し、包括的な部品データベースにアクセスして設計を生成します。

8.2 代表的なアプリケーション

8.2.1 12V から 24V への非同期昇圧レギュレータ

以下に、TPS40210 を用いた、12V から 24V への非同期昇圧レギュレータの設計手順および部品選定の例を示します。

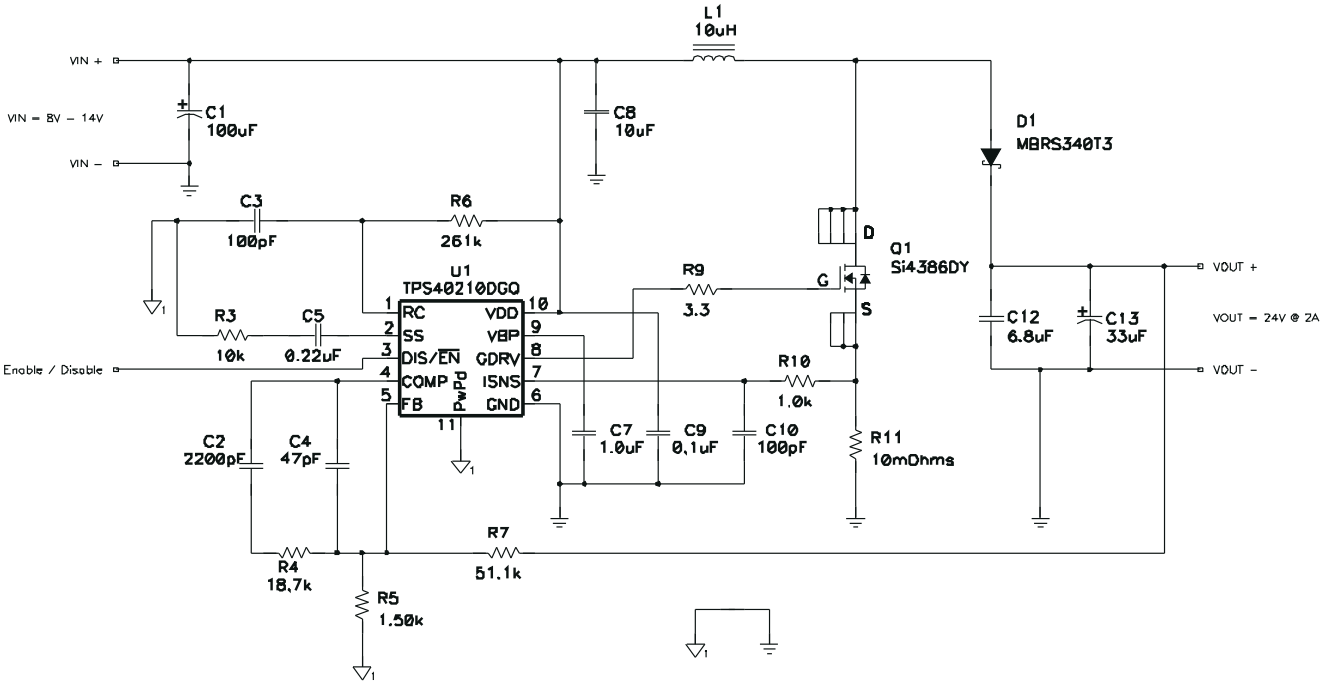


図 8-1. TPS40210 設計例 - 2A において 12V ～ 24V

8.2.1.1 設計要件

表 8-1. TPS40210 設計例の仕様

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力特性						
V_{IN}	入力電圧		8	12	14	V
I_{IN}	入力電流			4.4		A
	無負荷時入力電流				0.05	
$V_{IN(UVLO)}$	入力低電圧誤動作防止機能			4.5		V
出力特性						
V_{OUT}	出力電圧		23.5	24.0	24.5	V
	ライン レギュレーション				1%	
	ロード レギュレーション				1%	
$V_{OUT(ripple)}$	出力電圧リップル				500	mV_{PP}
I_{OUT}	出力電流	8V ≦ V_{IN} ≦ 14V	0.1	1	2.0	A
I_{OCP}	出力過電流の開始ポイント		3.5			
	過渡応答					
ΔI	負荷ステップ			1		A
	負荷スルーレート			1		A/µs
	オーバーシュート スレッショルド電圧			500		mV
	セトリング タイム			5		ms
システム特性						
f_{SW}	スイッチング周波数			600		kHz
η_{PK}	ピーク効率	V_{IN} = 12V		95%		
η	全負荷効率	V_{IN} = 12V、I_{OUT} = 2A		94%		
T_{OP}	動作温度範囲	8V ≤ V_{IN} ≤ 14V、I_{OUT} ≤ 2 A		25		°C
機械的寸法						
W	幅			1.5		インチ
L	長さ			1.5		
h	高さ			0.5		

8.2.1.2 詳細な設計手順

8.2.1.2.1 WEBENCH ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、TPS40210 デバイスを使用するカスタム設計を作成できます。

1. 最初に、V_{IN}、V_{OUT}、I_{OUT} の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化し、この設計と、テキサス・インスツルメンツによる他の可能なソリューションとを比較します。
3. WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格や部品の在庫情報と併せて参照できます。
4. ほとんどの場合、以下の内容も可能となります:
   - 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
   - 熱シミュレーションを実行し、基板の熱性能を把握する。
   - カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットでエクスポートする。
   - 設計のレポートを PDF で印刷し、同僚と設計を共有する。
5. WEBENCH ツールの詳細は、www.ti.com/ja-jp/webench でご覧になれます。

Copyright © 2026 Texas Instruments Incorporated

8.2.1.2.2 デューティ サイクルの推定

メイン スイッチング MOSFET のデューティ サイクルは、式 32 および式 33 を使って推定されます。

$$D_{MIN} \approx \frac{V_{OUT} - V_{IN(max)} + V_{FD}}{V_{OUT} + V_{FD}} = \frac{24\,V - 14\,V + 0.5\,V}{24\,V + 0.5\,V} = 42.9\% \tag{32}$$

$$D_{MAX} \approx \frac{V_{OUT} - V_{IN(min)} + V_{FD}}{V_{OUT} + V_{FD}} = \frac{24\,V - 8\,V + 0.5\,V}{24\,V + 0.5\,V} = 67.3\% \tag{33}$$

ショットキー整流ダイオードの 0.5V の推定順方向電圧降下 (V_{FD}) を使用すると、近似デューティ サイクルは 42.9% (最小値) ～ 67.3% (最大値) になります。

8.2.1.2.3 インダクタの選択

ピーク ツー ピークのリップルは、最大入力電流の 30% に設定されます。

$$I_{RIPPLE(max)} = 0.3 \times \frac{I_{OUT(max)}}{1 - D_{MIN}} = 0.3 \times \frac{2}{1 - 0.429} = 1.05\,A \tag{34}$$

最小インダクタンスは、式 35 を用いて見積もることができます。

$$L_{MIN} \approx \frac{V_{IN(max)}}{I_{RIPPLE(max)}} \times D_{MIN} \times \frac{1}{f_{SW}} = \frac{14\,V}{1.05\,A} \times 0.429 \times \frac{1}{600\,kHz} = 9.5\,\mu H \tag{35}$$

次に高い標準インダクタ値として、10µH を選定します。公称および最小 V_{IN} のリップル電流は、式 36 と式 37 で推定されます。

$$I_{RIPPLE(V_{in}typ)} \approx \frac{V_{IN}}{L} \times D \times \frac{1}{f_{SW}} = \frac{12\,V}{10\,\mu H} \times 0.50 \times \frac{1}{600\,kHz} = 1.02\,A \tag{36}$$

$$I_{RIPPLE(Vinmin)} \approx \frac{V_{IN}}{L} \times D \times \frac{1}{f_{SW}} = \frac{8\,V}{10\,\mu H} \times 0.673 \times \frac{1}{600\,kHz} = 0.90\,A \tag{37}$$

最悪条件におけるピーク ツー ピークのリップル電流は、デューティ サイクル 50% (V_{IN} = 12.25V) で発生し、1.02A と見積もられます。インダクタに流れる最悪条件の RMS 電流は、式 38 により近似されます。

$$I_{Lrms} = \sqrt{\left(I_{L(avg)}\right)^2 + \left(\tfrac{1}{12} I_{RIPPLE}\right)^2} \approx \sqrt{\left(\frac{I_{OUT(max)}}{1 - D_{MAX}}\right)^2 + \left(\tfrac{1}{12} I_{RIPPLE(VINmin)}\right)^2} = \sqrt{\left(\frac{2}{1 - 0.673}\right)^2 + \left(\left(\tfrac{1}{12}\right) \times 0.90A\right)^2} = 6.13\,Arms \tag{38}$$

ワーストケースの RMS インダクタ電流は 6.13Arms です。ピーク インダクタ電流は、式 39 を使用して見積もります。

$$I_{Lpeak} \approx \frac{I_{OUT(max)}}{1 - D_{MAX}} + \left(\tfrac{1}{2}\right) I_{RIPPLE(Vinmin)} = \frac{2}{1 - 0.673} + \left(\tfrac{1}{2}\right) 0.90 = 6.57\,A \tag{39}$$

最小 RMS 電流定格 6.13A、最小飽和電流定格 6.57A の 10-µH インダクタを選択する必要があります。TDK 製 RLF12560T-100M-7R5 (7.5A、10µH) のインダクタを選定します。

このインダクタの消費電力は、式 40 で推定できます。

$$P_L \approx (I_{Lrms})^2 \times DCR \tag{40}$$

TDK RLF12560T-100M-7R5 12.4mΩ DCR は、466mW の電力を消費します。

8.2.1.2.4 整流ダイオードの選択

消費電力を低減し、効率を向上させるため、整流ダイオードとして順方向電圧降下の小さいショットキー ダイオードを使用しています。スイッチノードのリンギングを考慮して V_{OUT} に 80% のディレーティングを適用すると、整流ダイオードの最小逆方向耐圧は 式 41 によって求められます。

$$V_{(BR)R(min)} \geq \frac{V_{OUT}}{0.8} = 1.25 \times V_{OUT} = 1.25 \times 24\,V = 30\,V \tag{41}$$

ダイオードの逆方向耐圧は 30V を超える必要があります。整流ダイオードのピーク電流および平均電流は、それぞれ 式 42 および 式 43 によって見積もられます。

$$I_{D(avg)} \approx I_{OUT(max)} = 2\,A \tag{42}$$

$$I_{D(peak)} = I_{L(peak)} = 6.57\,A \tag{43}$$

ダイオードの消費電力は、式 44 で推定されます。

$$P_{D(max)} \approx V_{FD} \times I_{D(avg)} = 0.5\,V \times 2\,A = 1W \tag{44}$$

この設計では、最大電力損失は 1W と見積もられています。30V および 40V のショットキー ダイオードを検討した結果、SMC パッケージの 40V、3A の MBRS340T3 が選定されました。このダイオードは 6A 時に順方向電圧降下が 0.48V であるため、導通による電力損失は約 960mW となり、定格電力損失の半分未満です。

8.2.1.2.5 出力コンデンサの選択

出力コンデンサは、所定の出力リップルおよび過渡応答の仕様を満たすように選定する必要があります。

$$C_{OUT} = 8\frac{I_{OUT} \times D}{V_{OUT(ripple)}} \times \frac{1}{f_{SW}} = 8\left(\frac{2\,A \times 0.673}{500\,mV}\right) \times \frac{1}{600\,kHz} = 36\,\mu F \tag{45}$$

$$ESR = \frac{7}{8} \times \frac{V_{OUT(ripple)}}{I_{L(peak)} - I_{OUT}} = \frac{7}{8} \times \frac{500\,mV}{6.57\,A - 2\,A} = 96\,m\Omega \tag{46}$$

所要の容量およびスイッチング周波数における ESR を確保するために、Panasonic 製 EEEFC1V330P (35V、33µF、120mΩ) のバルク コンデンサと、6.8µF のセラミック コンデンサを選定します。合計容量 39.8µF および ESR 60mΩ を、補償計算に使用します。

8.2.1.2.6 入力コンデンサの選択

昇圧コンバータは連続入力電流を持つため、入力コンデンサはインダクタのリップル電流のみを検出します。入力コンデンサの値は、式 47 および 式 48 によって算出できます。

$$C_{IN} > \frac{I_{RIPPLE}}{4 \times V_{IN(ripple)} \times f_{SW}} = \frac{1.02\,A}{4 \times 60\,mV \times 600\,kHz} = 7.1\,\mu F \tag{47}$$

Copyright © 2026 Texas Instruments Incorporated

$$ESR < \frac{V_{IN(ripple)}}{2 \times I_{RIPPLE}} = \frac{60\,mV}{2 \times 1.02\,A} = 29\,m\Omega \tag{48}$$

この設計で最大入力リップルが 60mV (公称 V_{IN} の 1/2 %) を満たすには、29mΩ 未満の ESR を持つ最小 7.1µF 入力コンデンサが必要です。10µF の X7R セラミック コンデンサを選定します。

8.2.1.2.7 電流センスと電流制限

許容される電流検出抵抗の最大値は、電流制限とサブハーモニック安定性の両方によって制約されます。これら 2 つの制限は、式 49 と式 50 で与えられます。

$$R_{ISNS} < \frac{V_{ISNS(OC)MIN}}{1.1 \times \left(I_{L(peak)} + I_{Drive}\right)} = \frac{120\,mV}{1.1 \times (6.57\,A + 0.50\,A)} = 15.4\,m\Omega \tag{49}$$

$$R_{ISNS} < \frac{V_{IN(MAX)} \times L \times f_{SW}}{60 \times (V_{OUT} + V_{FD} - V_{IN})} = \frac{14\,V \times 10\,\mu H \times 600\,kHz}{60 \times (24\,V + 0.48\,V - 14\,V)} = 134\,m\Omega \tag{50}$$

電流制限トリップポイントに 10% のマージン (1.1 倍) を設け、最大ゲート駆動電流を 500mA と仮定すると、電流制限の観点では抵抗値は 15.4mΩ 未満、安定性の観点では 134mΩ 未満である必要があります。10mΩ 抵抗を選択します。補償計算には、配線抵抗として約 2mΩ を加味しています。

R_{ISNS} の消費電力は、式 51 で計算されます。

$$P_{R_{ISNS}} = (I_{LRMS})^2 \cdot R_{ISNS} \cdot D \tag{51}$$

最大デューティ サイクルの場合、これは 0.253W です。

8.2.1.2.8 電流センス フィルタ

電流センスからスイッチング ノイズを除去するため、電流検出抵抗と ISNS ピンとの間に RC フィルタを配置します。1kΩ と 5kΩ の間の値の抵抗を選択し、コンデンサの値は式 52 で計算されます。

$$C_{IFLT} = \frac{0.1 \times D_{MIN}}{f_{SW} \times R_{IFLT}} = \frac{0.1 \times 0.429}{600\,kHz \times 1k\Omega} = 71\,pF \tag{52}$$

1kΩ のフィルタ抵抗に対して、71pF が算出され、100pF のコンデンサが選定されます。

8.2.1.2.9 スイッチング MOSFET の選択

TPS40210 は、グランド基準の N チャネル FET を駆動します。$R_{DS(on)}$ とゲート電荷は、目標とする効率に基づいて見積もられます。

$$P_{DISS(total)} \approx P_{OUT} \times \left(\frac{1}{\eta} - 1\right) = V_{OUT} \times I_{OUT} \times \left(\frac{1}{\eta} - 1\right) = 24\,V \times 2\,A \times \left(\frac{1}{0.95} - 1\right) = 2.526\,W \tag{53}$$

入力電圧 24V、電流 2A で効率 95% を目標とする場合、最大電力損失は 2.526W に制限されます。主な電力損失源となるのは、MOSFET、インダクタ、ダイオード、電流検出抵抗、および IC である TPS40210 です。

$$P_{FET} < P_{DISS(total)} - P_L - P_D - P_{Risns} - V_{IN(max)} \times I_{VDD(max)} \tag{54}$$

これにより、MOSFET の消費電力は 812mW になります。これは SO-8 パッケージの MOSFET を過熱させる可能性があるため、電力損失は 500mW に制限されます。導通損失の半分、スイッチング損失の半分を許容すると、MOSFET の目標 $R_{DS(on)}$ と Q_{GS} を式 55 と式 56 で決定できます。

$$Q_{GS} < \frac{3 \times P_{FET} \times I_{DRIVE}}{2 \times V_{OUT} \times I_{OUT} \times f_{SW}} = \frac{3 \times 0.50\,W \times 0.50\,A}{2 \times 24\,V \times 2\,A \times 600\,kHz} = 13.0\,nC \quad (55)$$

スイッチング損失を 250mW 未満に抑えるために、MOSFET のゲート ソース電荷は 13.0nC 未満とする目標が算出されます。

$$R_{DS(on)} < \frac{P_{FET}}{2 \times (I_{RMS})^2 \times D} = \frac{0.50\,W}{2 \times 6.13^2 \times 0.673} = 9.9\,m\Omega \quad (56)$$

導通損失を 250mW 未満に制限するため、9.9mΩ の目標 MOSFET $R_{DS(on)}$ を計算します。30V および 40V の MOSFET を検討した結果、9mΩ の Si4386DY MOSFET が選定されました。式 30 に、ゲート抵抗を追加しました。V_{GS}= 8V での Si4386DY の最大ゲート電荷は 33.2nC であり、R_G = 3.3Ω を意味します。

8.2.1.2.10 帰還分圧抵抗

消費電力とノイズ感度の間のバランスを維持するため、10kΩ と 100kΩ の間で V_{OUT} から FB への 1 次帰還分圧抵抗 (R_{FB}) を選択する必要があります。24V 出力の場合、消費電力を制限するために高い帰還抵抗が求められるため、R_{FB} = 51.1kΩ を選択します。

$$R_{BIAS} = \frac{V_{FB} \times R_{FB}}{V_{OUT} - V_{FB}} = \frac{0.700\,V \times 51.1\,k\Omega}{24\,V - 0.700\,V} = 1.53\,k\Omega \quad (57)$$

R_{BIAS} = 1.50kΩ が選択されています。

8.2.1.2.11 エラー アンプの補償

補償の選定は、WEBENCH を用いて補償部品を選択するか、平均化 Spice モデルを用いて開ループのモジュレータおよび電力段のゲインをシミュレーションすることで行うことができます。あるいは、以下の手順を用いることで、良好な初期設計値を得ることができます。

電流モード制御では通常、タイプ II 補償で十分ですが、設計および開発時の柔軟性を高めるために、タイプ III 補償に対応できるレイアウトとしておくことが望ましいです。電流モード制御の昇圧コンバータはゲインが大きく、出力インピーダンスが大きいため、式 58 で推定される最大出力インピーダンスで制御ループ ゲインを計算する必要があります。

$$R_{OUT(max)} = \frac{V_{OUT}}{I_{OUT(min)}} = \frac{24\,V}{0.1A} = 240\,\Omega \quad (58)$$

TPS40210 電流モード制御の相互コンダクタンスは、式 59 で推定できます。

$$g_M = \frac{0.13 \times \sqrt{L \times \frac{f_{SW}}{R_{OUT}}}}{(R_{ISNS})^2 \times (120 \times R_{ISNS} + L \times f_{SW})} = \frac{0.13 \times \sqrt{10\,\mu H \times \frac{600\,kHz}{240\,\Omega}}}{(12\,m\Omega)^2 \times (120 \times 12\,m\Omega + 10\,\mu H \times 600\,kHz)} = 19.2\,\frac{A}{V} \quad (59)$$

最大出力インピーダンス Z_{OUT} は、式 60 によって見積もることができます。

Copyright © 2026 Texas Instruments Incorporated

$$\left|Z_{OUT}(f)\right| = R_{OUT} \times \sqrt{\frac{\left(1+\left(2\pi \times f \times R_{ESR} \times C_{OUT}\right)^2\right)}{1+\left(\left(R_{OUT}\right)^2 + 2 \times R_{OUT} \times R_{ESR} + \left(R_{ESR}\right)^2\right) \times \left(2\pi \times f \times C_{OUT}\right)^2}} \tag{60}$$

$$\left|Z_{OUT}\left(f_L\right)\right| = 240\,\Omega \times \sqrt{\frac{\left(1+\left(2\pi \times 30\,kHz \times 60\,m\Omega \times 39.8\,\mu F\right)^2\right)}{1+\left(\left(240\,\Omega\right)^2 + 2 \times 240\,\Omega \times 60\,m\Omega + \left(60\,m\Omega\right)^2\right) \times \left(2\pi \times 30\,kHz \times 39.8\,\mu F\right)^2}} = 0.146\,\Omega \tag{61}$$

目的のクロスオーバ周波数 (f_L) が 30kHz のとき、Z_{OUT} は 0.146 Ω になります。

目的のクロスオーバでの変調器のゲインは、式 62 で推定できます。

$$\left|K_{CO}\right| = g_M \times \left|Z_{OUT}\left(f_{CO}\right)\right| = 19.2\,{}^{A}\!/_{V} \times 0.146\,\Omega = 2.80 \tag{62}$$

ユニティ ループ ゲインを実現するには、クロスオーバ周波数で逆ゲインが得られるように帰還補償ネットワークを設計する必要があります。これにより、補償の中帯域ゲインは、式 63 で計算された値に設定されます。

$$K_{COMP} = \frac{1}{\left|K_{CO}\right|} = \frac{1}{2.80} = 0.357 \tag{63}$$

エラー アンプの中帯域ゲインを K_{COMP} に設定するには、式 64 を使用します。

$$R4 = R7 \times K_{COMP} = \frac{R7}{\left|K_{CO}\right|} = \frac{51.1k\Omega}{2.80} = 18.2k\Omega \tag{64}$$

R4 = 18.7kΩ を選択しました。

目的のクロスオーバ周波数の 1/10 にゼロを配置します。

$$C2 = \frac{10}{2\pi \times f_L \times R4} = \frac{10}{2\pi \times 30\,kHz \times 18.7k\Omega} = 2837\,pF \tag{65}$$

C2 = 2200pF を選択しました。

目的のクロスオーバ周波数の約 5 倍、エラー アンプのユニティ ゲイン帯域幅の半分未満に高周波数の極を配置します:

$$C4 \approx \frac{1}{10\pi \times f_L \times R4} = \frac{1}{10\pi \times 30\,kHz \times 18.7k\Omega} = 56.74\,pF \tag{66}$$

$$C4 > \frac{1}{\pi \times GBW \times R4} = \frac{1}{\pi \times 1.5MHz \times 18.7k\Omega} = 11.35\,pF \tag{67}$$

C4 = 47pF を選択しました。

Copyright © 2026 Texas Instruments Incorporated

8.2.1.2.12 RC 発振器

RC 発振器の計算は、データシートに示されている 式 14 に従い、C_T に 100、f_{SW} に 600 を代入して求めます。600kHz のスイッチング周波数に対し、100pF のコンデンサを選定し、抵抗値は 262kΩ と算出されますが、標準値の 261kΩ を採用します。

8.2.1.2.13 ソフトスタート コンデンサ

VDD > 8V なので、ソフトスタート コンデンサは式 68 を使用して値を計算します。

$$C_{SS} = 20 \times T_{SS} \times 10^{-6} \tag{68}$$

T_{SS} = 12ms の場合、C_{SS} = 240nF です。220nF のコンデンサを選定します。

8.2.1.2.14 レギュレータ バイパス

データシートの推奨に従い、1.0µF のレギュレータ バイパス (BP) コンデンサを選定します。

8.2.1.2.15 部品表

表 8-2. 部品表

リファレンス指定子	説明	サイズ	部品番号	MANUFACTURER
C1	100µF、アルミニウム コンデンサ、SM、±20%、35V	0.406 x 0.457	EEEFC1V101P	Panasonic
C2	2200pF、セラミック コンデンサ、25V、X7R、20%	0603	標準	標準
C3	100pF、セラミック コンデンサ、16V、C0G、10%	0603	標準	標準
C4	47pF、セラミック コンデンサ、16V、X7R、20%	0603	標準	標準
C5	0.22µF、セラミック コンデンサ、16V、X7R、20%	0603	標準	標準
C7	1.0µF、セラミック コンデンサ、16V、X5R、20%	0603	標準	標準
C8	10µF、コンデンサ、セラミック コンデンサ、25V、X7R、20%	0805	C3225X7R1E106M	TDK
C9	0.1µF、セラミック コンデンサ、50V、X7R、20%	0603	標準	標準
C10	100pF、セラミック コンデンサ、16V、X7R、20%	0603	標準	標準
D1	ショットキー ダイオード、3A、40V	SMC	MBRS340T3	On Semi
L1	10µH、インダクタ、SMT、7.5A、12.4mΩ	0.325 × 0.318inch	RLF12560T-100M-7R5	TDK
Q1	MOSFET、N チャネル、40V、14A、9mΩ	SO-8	Si4840DY	Vishay
R3	10kΩ、チップ抵抗、1/16W、5%	0603	標準	標準
R4	18.7kΩ、チップ抵抗、1/16W、1%	0603	標準	標準
R5	1.5kΩ、チップ抵抗、1/16W、1%	0603	標準	標準
R6	261kΩ、チップ抵抗、1/16W、1%	0603	標準	標準
R7	51.1kΩ、チップ抵抗、1/16W、1%	0603	標準	標準
R9	3.3Ω、チップ抵抗、1/16W、5%	0603	標準	標準
R10	1.0kΩ、チップ抵抗、1/16W、5%	0603	標準	標準
R11	10mΩ、チップ抵抗、1/2W、2%	1812	標準	標準
U1	IC、4.5V ～ 52V I/P、電流モード昇圧コントローラ	DGQ10	TPS40210DGQ	TI

Copyright © 2026 Texas Instruments Incorporated

8.2.1.3 アプリケーション曲線

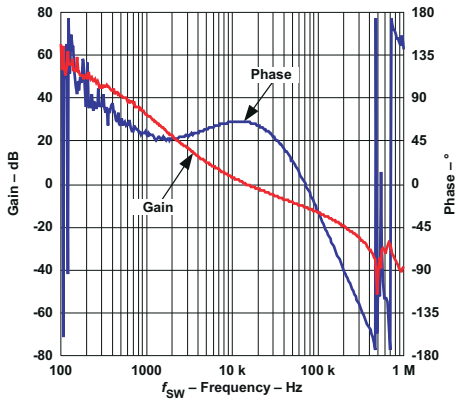


図 8-2. ゲインおよび位相と周波数との関係

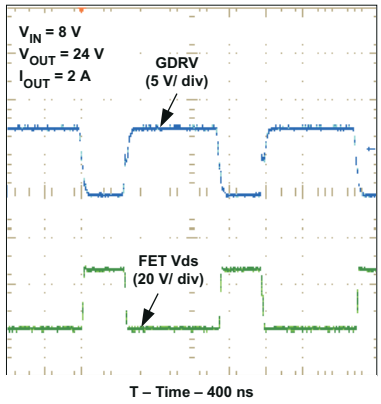


図 8-3. FET の VDS および VGS 電圧と時間との関係

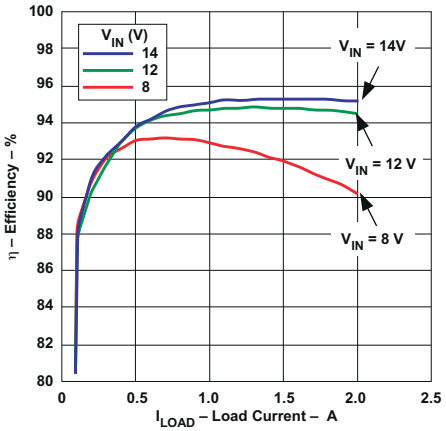


図 8-4. 効率と負荷電流との関係

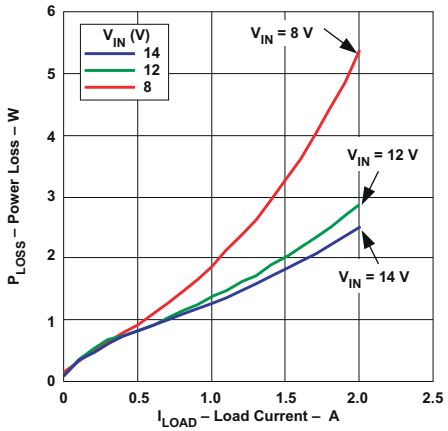


図 8-5. 電力損失と負荷電流の関係

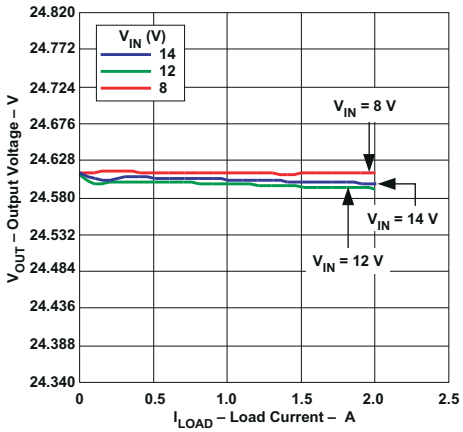


図 8-6. 出力電圧 対 負荷電流

8.2.2 12V 入力、700mA LED ドライバ、最大 35V LED ストリング

このアプリケーションでは、TPS40211 を昇圧コントローラとして使用し、1 つの LED ダイオード ストリングを駆動します。この回路のフィードバック点は、このストリングと直列に接続されたセンス抵抗です。260mV という低いリファレンス電圧により、この抵抗での電力損失を最小限に抑え、LED 電流を 0.26/R6 で与えられる値に維持します。入力電圧が変動すると、LED 電流を一定に保つためにデューティ サイクルが変化し、その結果、入力電圧が大きく変動しても光の強度は変化しません。

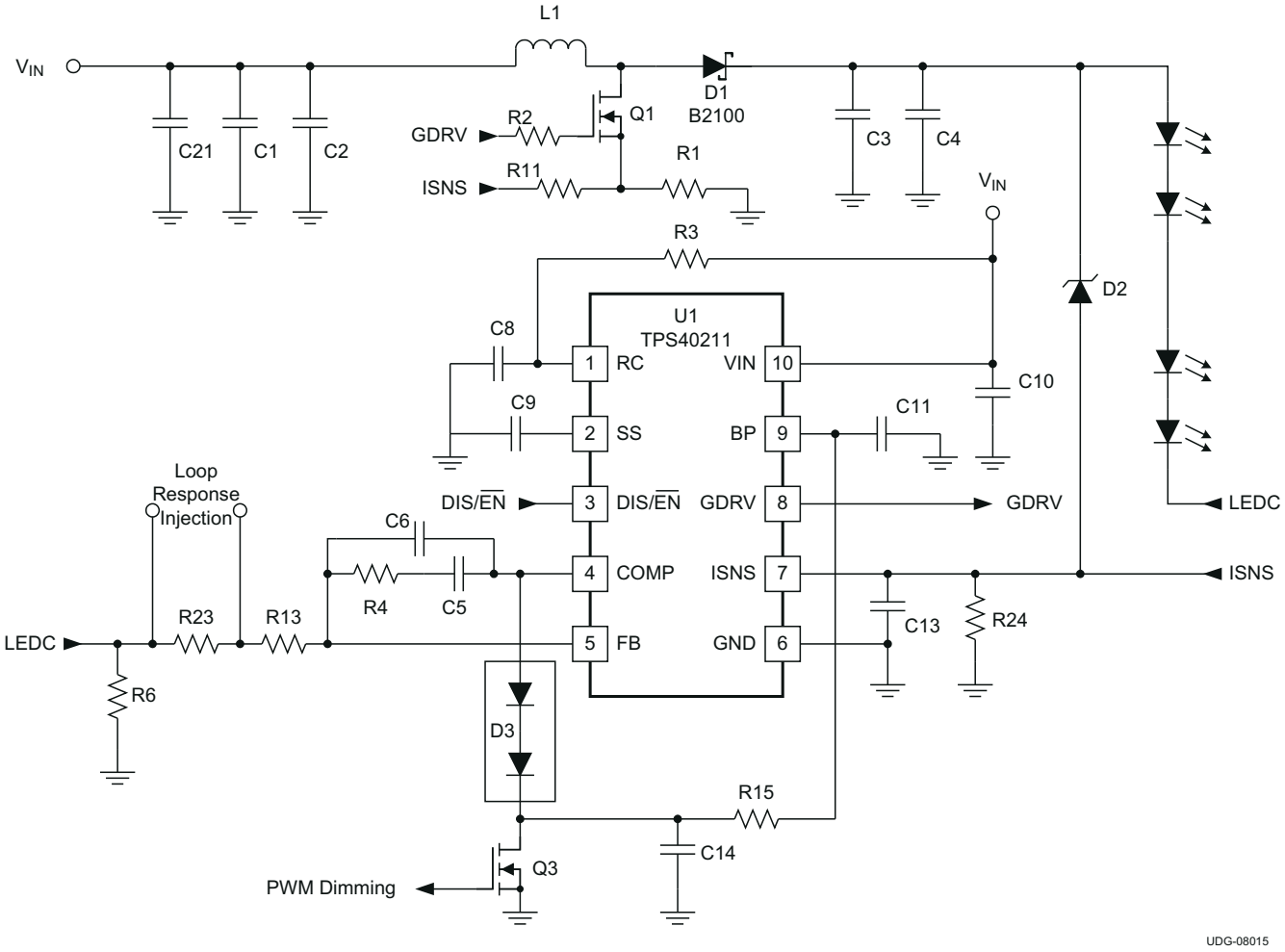


図 8-7. 12V 入力、700mA LED ドライバ、最大 35V LED ストリング

Copyright © 2026 Texas Instruments Incorporated

8.2.2.1 設計要件

表 8-3. TPS40211 設計例の仕様

パラメータ		最小値	標準値	最大値	単位
入力特性					
V_{IN}	入力電圧	8	12	20	V
出力特性					
V_{OUT}	出力電圧			35	V
I_{OUT}	出力電流		0.7		A
システム特性					
f_{SW}	スイッチング周波数		400		kHz

8.2.2.2 詳細な設計手順

表 8-4. TPS40211 LED ドライバの部品表

リファレンス指定子	タイプ	説明	サイズ
C1、C2	コンデンサ	10µF、25V	1206
C3、C4		2.2µF、100V	1210
C5		1nF、NPO	0603
C6		100pF、NPO	0603
C8		100pF	0603
C9		0.1µF	0603
C10		0.1µF、25V	0805
C11		1µF、25V	1206
C13		220pF	0603
C14		10nF、X7R	0603
C21		330µF、25V 電解	
D1	ダイオード	B2100、SHTKY、100V、2A	SMB
D2		BZT52C43	SOD-123
D3		MMBD7000	SOT-23
L1	インダクタ	Wurth 7447709100、10µH、6A	12mm × 12mm × 10mm
Q1	MOSFET	Si7850DP、60V、31mΩ	SO-8
Q3		2N7002、60V、0.1A	SOT-23
R1	抵抗	15mΩ	2512
R2		3.01Ω	0805
R3		402kΩ	0603
R4		14.3kΩ	0603
R6		0.36Ω	2512
R11		1kΩ	0603
R13		30.1kΩ	0603
R15		49.9kΩ	0603
R24		10kΩ	0603
R23		10Ω	0603
U1	IC	TPS40211	DRC-10

Copyright © 2026 Texas Instruments Incorporated

9 電源に関する推奨事項

TPS4021x は、4.5V ～ 52V の入力電圧範囲で動作するように設計されています。この入力電源は、TPS4021x の入力電圧範囲内に維持する必要があります。入力電源が TPS4021x によって制御されるバック電源段から数インチ以上離れている場合、セラミックのバイパス コンデンサに加えて、追加のバルク容量が必要になることがあります。100µF の電解コンデンサが一般的な選択です。

Copyright © 2026 Texas Instruments Incorporated

10 レイアウト

10.1 レイアウトのガイドライン

- C9 の効果を最大限に発揮させるためには、コントローラの VDD ピンの近くに配置します。スイッチング中に VDD に過剰な高周波ノイズがあると、負荷が増加するにつれて全体のレギュレーション性能が低下します。
- 出力ループ (Q1-D1-C12-R11) は、可能な限り小さくします。ループが大きいほど、電流制限精度が低下し、再放射が増加する可能性があります。
- 電流制限の精度を最良にするためには、ISNS フィルタ部品である C10 および R10 を、ISNS ピンおよび GND ピンの近くに配置します。
- 大きな AC 電流が流れるパターンを、グランド プレーンを通して接続するのは避けます。代わりに、AC 電流はトップ層の PCB パターンで流し、グランド プレーンはノイズ シールドとして使用します。
- TPS4021x や、RC ピン、FB ピン、COMP ピン、SS ピンに接続されるようなノイズに敏感な部品からノイズを遠ざけるために、必要に応じてグランド プレーンを分割します。また、これらのノイズに敏感な部品は、TPS4021x IC の近くに配置します。
- BP レギュレータのバイパスを良好にするために、C7 は BP ピンおよび GND ピンの近くに配置します。
- 寄生抵抗および寄生インダクタンスを最小限に抑えるために、GDRV のパターンはパワー FET のゲートにできるだけ近づけます。MOSFET のソースから、センス抵抗を通って GND ピンに戻る経路においても、寄生要素を最小限に抑える必要があります。
- 寄生容量と放射エミッションを最小限に抑えるために、SW ノードをできるだけ物理的に小さくします。
- 良好な出力電圧レギュレーションを得るために、負荷からトップ側の FB 抵抗 R7 までケルビン接続を行う必要があります。

10.2 レイアウト例

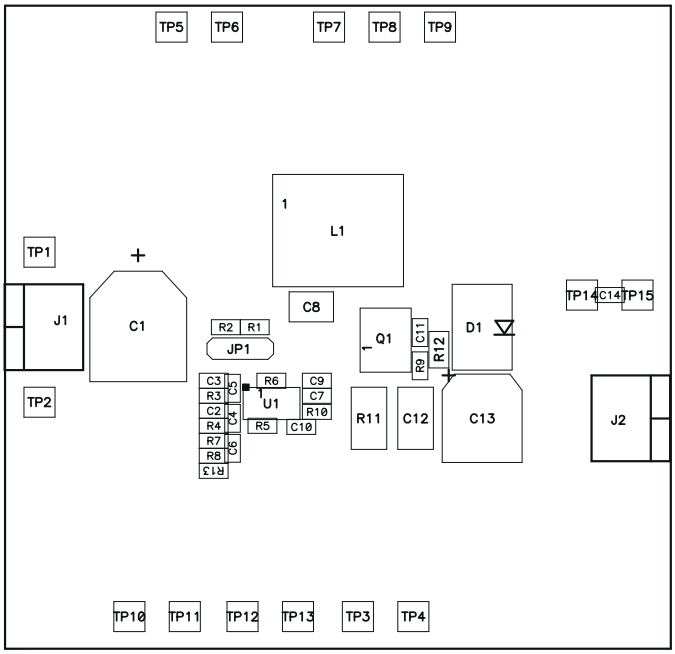


図 10-1. 部品の配置

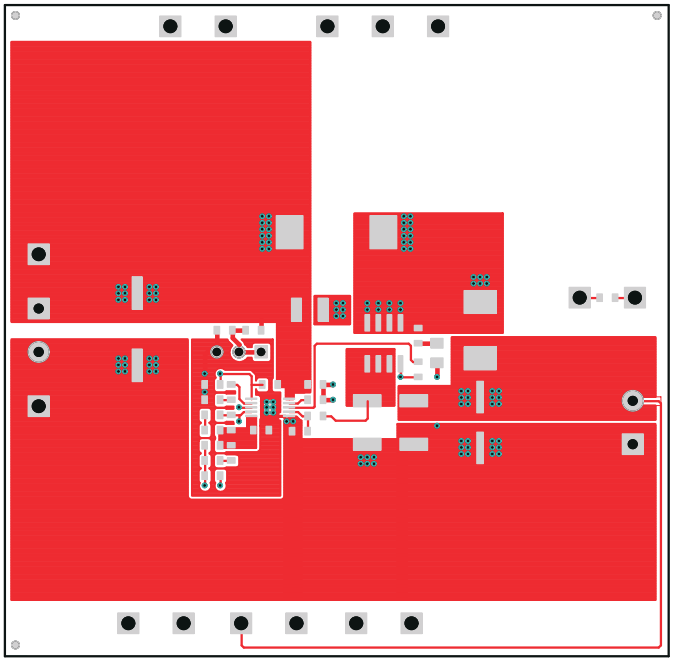


図 10-2. 上部銅

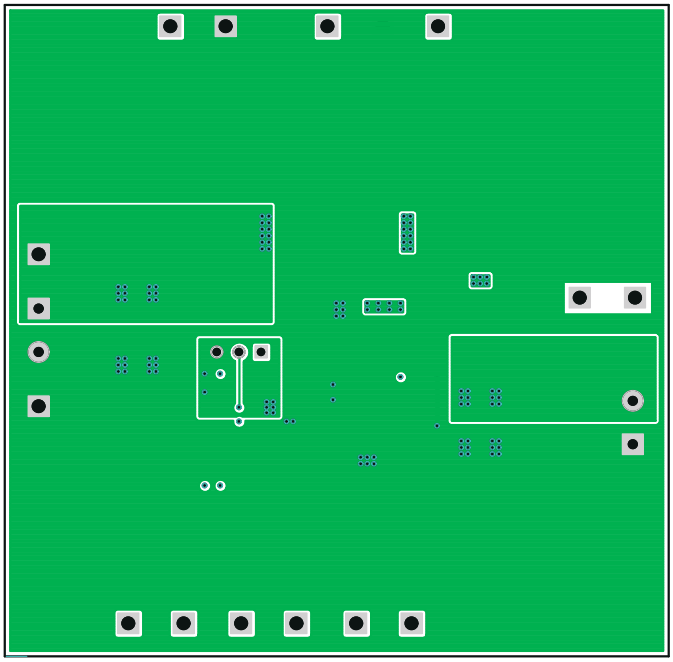


図 10-3. 上面から見た底面の銅箔

Copyright © 2026 Texas Instruments Incorporated

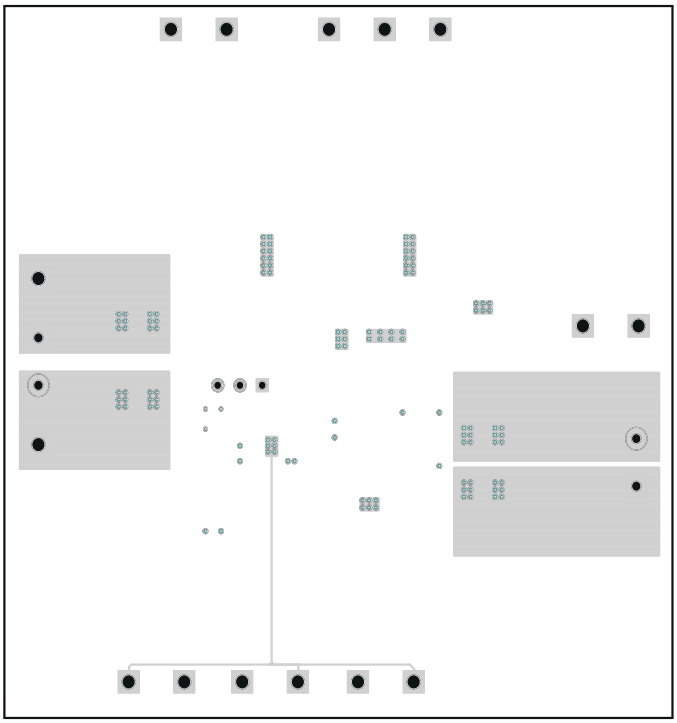


図 10-4. 内部層 1 (銅箔) 上面図

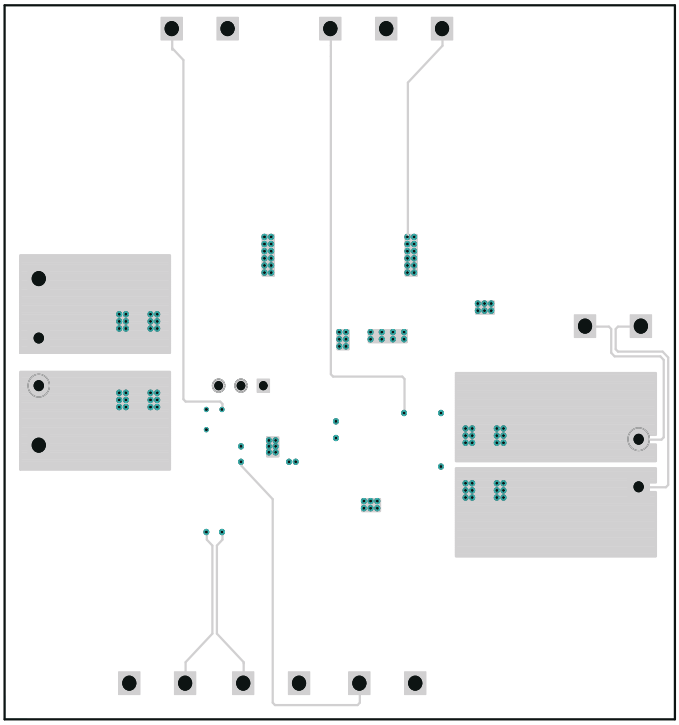


図 10-5. 内部層 2 (銅箔) 上面図

11 デバイスおよびドキュメントのサポート

11.1 デバイス サポート

11.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

- 『高速 MOSFET ゲート ドライブ回路用の設計およびアプリケーション ガイド』、2001 セミナー シリーズ、SEM 1400
- 『安定した制御ループの設計』、2001 セミナー シリーズ、SEM1400

11.1.2 関連デバイス

以下のデバイスは TPS40210 と類似した特性を備えており、関心がある可能性があります。

表 11-1. 関連製品

デバイス	説明
TPS6100x	シングルおよびデュアル セル昇圧コンバータ、全負荷への起動機能付き
TPS6101x	高効率の 1 セルおよび 2 セル昇圧コンバータ
TPS6300x	高効率、シングル インダクタ、昇降圧コンバータ、1.8A スイッチ付

11.1.3 開発サポート

11.1.3.1 WEBENCH ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、TPS40210 デバイスを使用するカスタム設計を作成できます。

1. 最初に、V_{IN}、V_{OUT}、I_{OUT} の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化し、この設計と、テキサス・インスツルメンツによる他の可能なソリューションとを比較します。
3. WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格や部品の在庫情報と併せて参照できます。
4. ほとんどの場合、以下の内容も可能となります:
   - 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
   - 熱シミュレーションを実行し、基板の熱性能を把握する。
   - カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットでエクスポートする。
   - 設計のレポートを PDF で印刷し、同僚と設計を共有する。
5. WEBENCH ツールの詳細は、www.ti.com/ja-jp/webench でご覧になれます。

11.2 ドキュメントのサポート

11.2.1 関連資料

これらの参照は、Web サイトの www.power.ti.com の「技術資料」にあります。多くの設計ツールと他の参考資料へのリンクは、www.power.ti.com にあります。

- 熱特性強化型パッケージ PowerPAD™
- PowerPAD™ の簡単な使用法
- *UCC28722 をベースとした単相スマートメーター用の AC/DC 非絶縁型 SMPS*

11.3 関連リンク

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

Copyright © 2026 Texas Instruments Incorporated

表 11-2. 関連リンク

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
TPS40210	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
TPS40211	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

11.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.5 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

11.6 商標

TI E2E™ is a trademark of Texas Instruments.
WEBENCH ® are registered trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.8 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

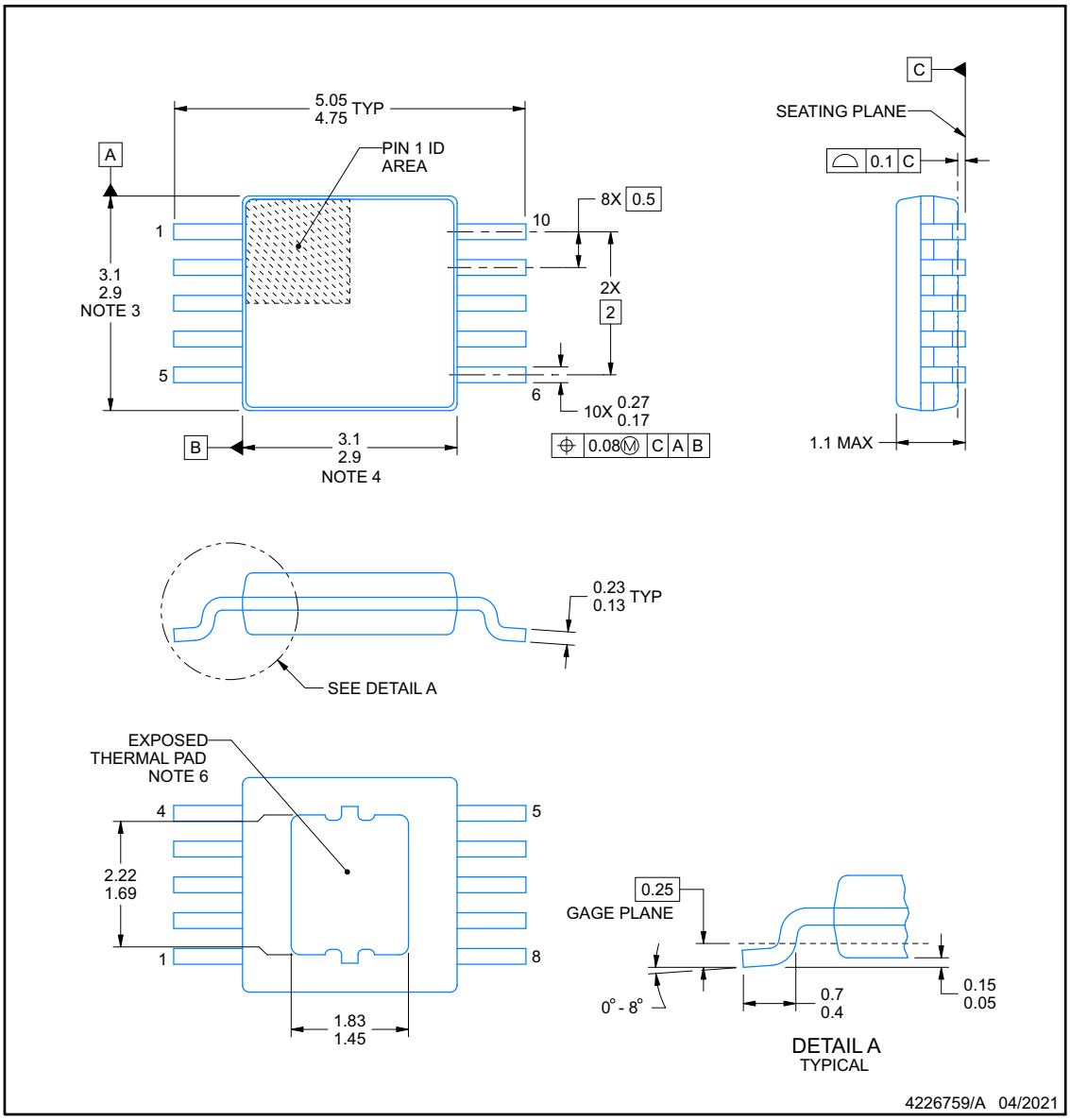
PACKAGE OUTLINE

DGQ0010D-C01



PowerPAD™ - 1.1 mm max height

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA-T.
6. The thermal pad design could vary depending on manufacturing site.

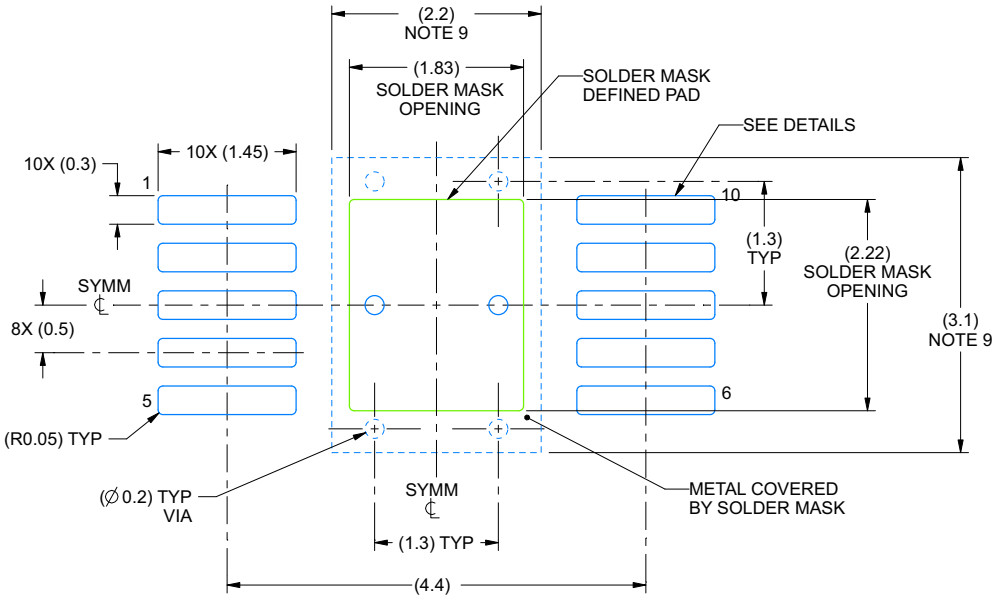
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

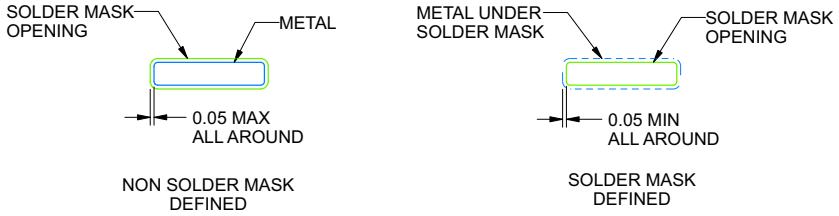
DGQ0010D-C01

PowerPAD ™ - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:15X



SOLDER MASK DETAILS

4226759/A 04/2021

NOTES: (continued)

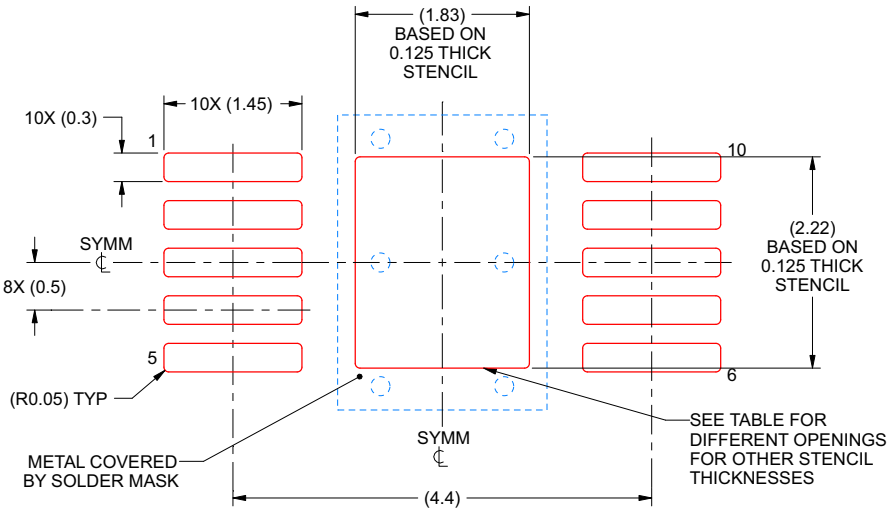
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
10. Size of metal pad may vary due to creepage requirement.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DGQ0010D-C01 **PowerPAD ™ - 1.1 mm max height**

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.05 X 2.48
0.125	1.83 X 2.22 (SHOWN)
0.150	1.67 X 2.03
0.175	1.55 X 1.88

4226759/A 04/2021

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS40210DGQ	Active	Production	HVSSOP (DGQ) | 10	80 | TUBE	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	40210
TPS40210DGQ.A	Active	Production	HVSSOP (DGQ) | 10	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	40210
TPS40210DGQG4	Active	Production	HVSSOP (DGQ) | 10	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	40210
TPS40210DGQR	Active	Production	HVSSOP (DGQ) | 10	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	40210
TPS40210DGQR.A	Active	Production	HVSSOP (DGQ) | 10	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	40210
TPS40210DGQRG4	Active	Production	HVSSOP (DGQ) | 10	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	40210
TPS40210DRCR	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4210
TPS40210DRCR.A	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4210
TPS40210DRCT	Active	Production	VSON (DRC) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4210
TPS40210DRCT.A	Active	Production	VSON (DRC) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4210
TPS40210DRCTG4	Active	Production	VSON (DRC) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4210
TPS40210DRCTG4.A	Active	Production	VSON (DRC) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4210
TPS40211DGQ	Active	Production	HVSSOP (DGQ) | 10	80 | TUBE	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	40211
TPS40211DGQ.A	Active	Production	HVSSOP (DGQ) | 10	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	40211
TPS40211DGQR	Active	Production	HVSSOP (DGQ) | 10	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	40211
TPS40211DGQR.A	Active	Production	HVSSOP (DGQ) | 10	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	40211
TPS40211DRCR	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4211
TPS40211DRCR.A	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4211
TPS40211DRCRG4	Active	Production	VSON (DRC) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4211
TPS40211DRCT	Active	Production	VSON (DRC) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4211
TPS40211DRCT.A	Active	Production	VSON (DRC) | 10	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4211

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS40210, TPS40211 :

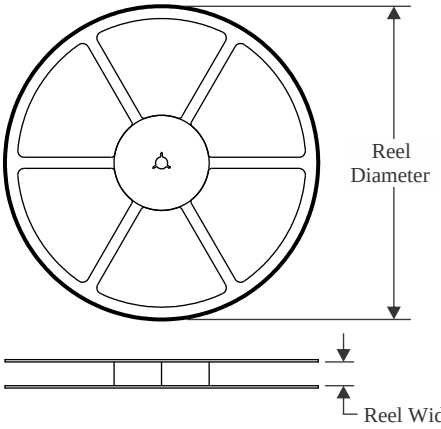
- Automotive : TPS40210-Q1, TPS40211-Q1
- Enhanced Product : TPS40210-EP

NOTE: Qualified Version Definitions:

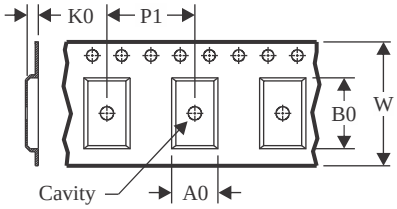
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

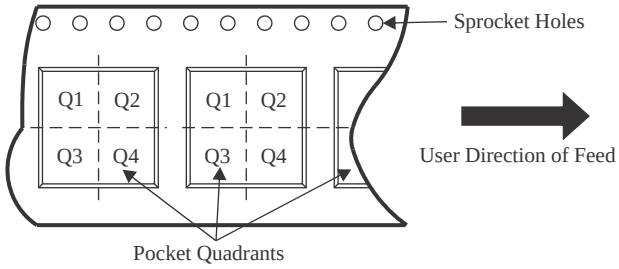


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

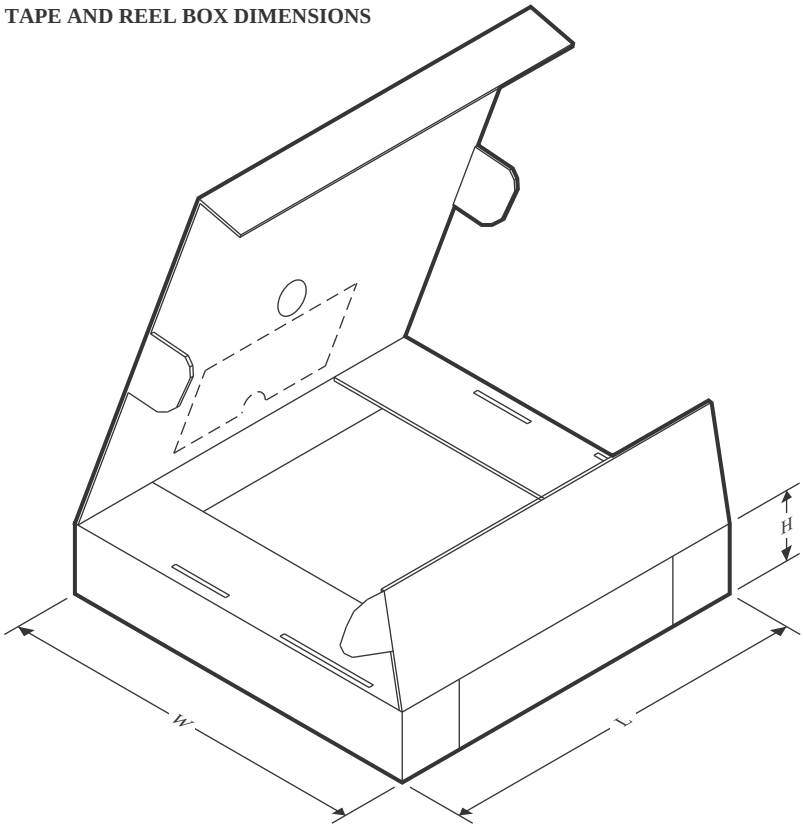
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS40210DGQR	HVSSOP	DGQ	10	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TPS40210DRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS40210DRCT	VSON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS40210DRCTG4	VSON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS40211DGQR	HVSSOP	DGQ	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS40211DRCR	VSON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS40211DRCT	VSON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

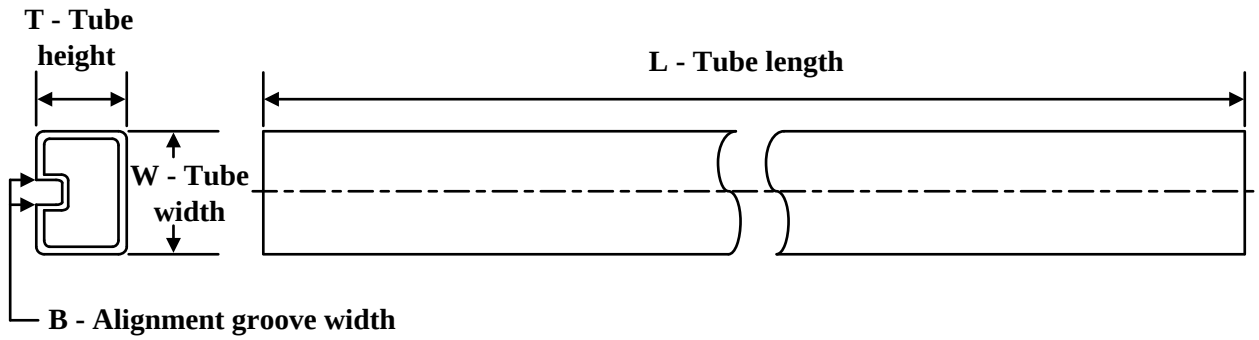
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS40210DGQR	HVSSOP	DGQ	10	2500	366.0	364.0	50.0
TPS40210DRCR	VSON	DRC	10	3000	353.0	353.0	32.0
TPS40210DRCT	VSON	DRC	10	250	213.0	191.0	35.0
TPS40210DRCTG4	VSON	DRC	10	250	213.0	191.0	35.0
TPS40211DGQR	HVSSOP	DGQ	10	2500	364.0	364.0	27.0
TPS40211DRCR	VSON	DRC	10	3000	353.0	353.0	32.0
TPS40211DRCT	VSON	DRC	10	250	213.0	191.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPS40210DGQ	DGQ	HVSSOP	10	80	322	6.55	1000	3.01
TPS40210DGQ	DGQ	HVSSOP	10	80	330	6.55	500	2.88
TPS40210DGQ.A	DGQ	HVSSOP	10	80	322	6.55	1000	3.01
TPS40210DGQ.A	DGQ	HVSSOP	10	80	330	6.55	500	2.88
TPS40210DGQG4	DGQ	HVSSOP	10	80	322	6.55	1000	3.01
TPS40210DGQG4	DGQ	HVSSOP	10	80	330	6.55	500	2.88
TPS40211DGQ	DGQ	HVSSOP	10	80	330	6.55	500	2.88
TPS40211DGQ	DGQ	HVSSOP	10	80	322	6.55	1000	3.01
TPS40211DGQ.A	DGQ	HVSSOP	10	80	322	6.55	1000	3.01
TPS40211DGQ.A	DGQ	HVSSOP	10	80	330	6.55	500	2.88

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月