

TPS4800-Q1 逆極性保護、短絡保護および診断機能を備えた 100V 車載用低 I_Q ハイサイドドライバ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - デバイス温度グレード 1: 動作時周囲温度範囲 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 3.5V~95V の入力範囲 (絶対最大定格 100V)
- 最低 -65V までの逆入力保護
- 内蔵 11V チャージポンプ
- 低い静止電流: $46\mu\text{A}$ (動作時)
- $1\mu\text{A}$ の低シャットダウン電流 (EN/UVLO = Low)
- 強力なゲートドライバ (1.69A のソースと 2A のシンク)
- 外付けの R_{sense} または可変遅延 (TMR) 付き MOSFET VDS センシングを使用した可変短絡保護 (ISCP)
- ハイサイド/ローサイドの電流センス (CS_SEL)
- 短絡故障時の故障表示 (FLT)、入力低電圧および短絡コンパレータ診断 (SCP_TEST)
- ゲート駆動 UVLO の故障表示 (FLT_GD)
- 可変低電圧誤動作防止 (UVLO) および過電圧保護 (OV)

2 アプリケーション

- 車載用 48V BMS
- DC/DC コンバータ
- 電動工具

3 説明

TPS4800-Q1 は、保護および診断機能を備えた、100V、低 I_Q スマート ハイサイドドライバです。本デバイスは、動作電圧範囲が 3.5V~95V と広いため、12V、24V、48V のシステム設計に適しています。このデバイスは、最低 -65V の負の電源電圧に耐えられ、負荷を保護できます。大電流システム設計において並列 MOSFET を使用して電力スイッチングを可能にする強力なゲートドライブを備えています。

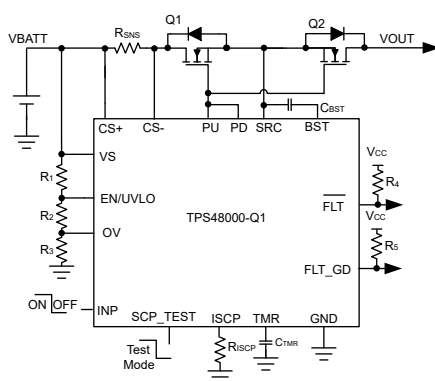
このデバイスは、可変短絡保護機能を備えています。自動リトライおよびラッチオフ フォルト動作は設定可能です。電流検出は、CS+ および CS- ピンを使用して、外付けの検出抵抗、または MOSFET VDS センシングのいずれかを使用して実行できます。CS_SEL ピン入力を使用して、ハイサイドまたはローサイドの電流検出抵抗構成が可能です。このデバイスは、SCP_TEST 入力の外部制御を使用した、内蔵の短絡コンパレータを診断する機能も備えています。

動作時の静止電流が $46\mu\text{A}$ (代表値) と低いため、常時オンのシステム設計が可能です。EN/UVLO が Low で、静止電流が $1\mu\text{A}$ (代表値) まで低減します。このデバイスは 19 ピン VSSOP パッケージで供給されます。

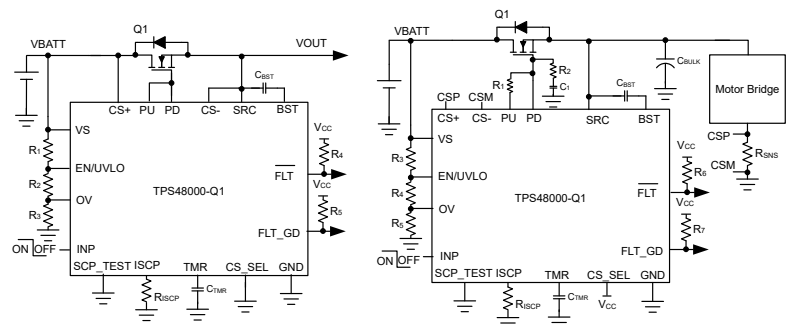
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TPS48000-Q1	DGX (VSSOP, 19)	5.1mm × 3.0mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



DC-DC 用スマート ハイサイド ドライバ



ハイサイド VDS センシングとローサイド電流センシングを使用する構成



目次

1 特長	1	7.3 機能説明.....	13
2 アプリケーション	1	7.4 デバイスの機能モード.....	20
3 説明	1	8 アプリケーションと実装	21
4 ピン構成および機能	3	8.1 使用上の注意.....	21
5 仕様	5	8.2 代表的なアプリケーション: 常時 (PAAT) 負荷での電力駆動.....	21
5.1 絶対最大定格.....	5	8.3 電源に関する推奨事項.....	27
5.2 ESD 定格.....	5	8.4 レイアウト.....	28
5.3 推奨動作条件.....	5	9 デバイスおよびドキュメントのサポート	30
5.4 熱に関する情報.....	6	9.1 ドキュメントの更新通知を受け取る方法.....	30
5.5 電気的特性.....	6	9.2 サポート・リソース.....	30
5.6 スイッチング特性.....	7	9.3 商標.....	30
5.7 代表的特性.....	9	9.4 静電気放電に関する注意事項.....	30
6 パラメータ測定情報	11	9.5 用語集.....	30
7 詳細説明	12	10 改訂履歴	30
7.1 概要.....	12	11 メカニカル、パッケージ、および注文情報	31
7.2 機能ブロック図.....	12		

4 ピン構成および機能

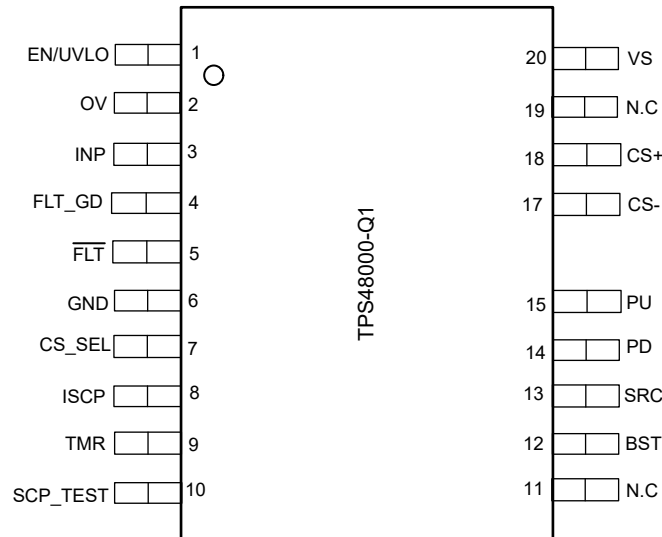


図 4-1. DGX パッケージ、19 ピン VSSOP (上面図)

表 4-1. ピンの機能

名称	ピン		タイプ ⁽¹⁾	説明
	番号			
EN/UVLO	1		I	EN/UVLO 入力。このピンの電圧が 1V を超えると、通常動作が可能になります。このピンを 0.3V 未満に強制すると、デバイスがシャットダウンし、静止電流が約 1μA (標準値) に低下します。オプションで、抵抗デバイダ経由で入力電源に接続し、低電圧誤動作防止を設定します。 EN/UVLO がフローティングになっている場合、内部プルダウンにより、EN/UVLO が Low になり、デバイスがシャットダウン状態のままになります。
OV	2		I	可変過電圧スレッシュホールド入力。入力電源 OV から GND に抵抗ラダーを接続します。OVP の電圧が過電圧カットオフ スレッシュホールドを超えると、PD が SRC にプルダウンされ、外部 FET がオフになります。OV の電圧が OV 立ち下がリスレッシュホールドを下回ると、PU が BST にプルアップされ、外部 FET がオンになります。 未使用時は OV を GND に接続する必要があります。OV がフローティングになっている場合、内部プルダウンにより、OV が low にプルされ、PU は BST にプルアップされたままになります。
INP	3		I	外部放電 FET 制御のための入力信号。PD ピンおよび PU ピンの状態を設定する GND への CMOS 互換入力リファレンス。 INP は、INP がフローティングのままのときに GND が PD を SRC にプルダウンするために、弱い内部プルダウンを備えています。
FLT_GD	4		O	ゲート駆動 UVLO 用のオープン ドレイン フォルト出力。PD から SRC へのゲート駆動が標準値 7V を上回ると、このピンは Low にアサートされます。
FLT	5		O	オープン ドレイン フォルト出力。短絡回路フォルト、入力 UVLO、過電圧、および SCP コンパレータ診断中は、このピンは Low にアサートされます。FLT 機能が不要な場合は、GND に接続します。
GND	6		G	GND をシステム グランドに接続します。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
CS_SEL	7	I	電流検出選択入力。このピンをグランドに接続すると、ハイサイド電流検出が有効になります。このピンを 1.58V を超える電圧に駆動すると、ローサイド電流検出が有効になります。CS_SEL は、GND への弱い内部プルダウンがあります。
ISCP	8	I	短絡検出設定。ISCP と GND の間に抵抗を接続することで、短絡電流コンパレータのスレッシュホールドが設定されます。 短絡保護機能が必要ない場合は、CS+、CS-、VS ピンを互いに接続し、ISCP ピンと TMR ピンを GND に接続します。
TMR	9	I	フォルトタイマ入力。TMR ピンと GND の間にコンデンサを接続することで、故障時のターンオフ時間が設定されます。 最速の設定にするには、オープンのままにします。 短絡保護機能が必要ない場合は、CS+、CS-、VS ピンを互いに接続し、ISCP ピンと TMR ピンを GND に接続します。
SCP_TEST	10	I	内部の短絡コンパレータ (SCP) の診断入力。INP を High にした状態で SCP_TEST が Low から High に駆動されると、内部 SCP コンパレータ動作がチェックされます。 SCP コンパレータが正常に動作している場合、FLT が Low になり、PD が SRC にプルされます。 この機能が必要ない場合は、SCP_TEST ピンを GND に接続します。SCP_TEST には、GND への弱い内部プルダウンがあります。
N.C	11	—	接続なし。
BST	12	O	ハイサイド ブートストラップ電源。このピンと SRC との間に、外部 FET の $Q_{g(tot)}$ を上回る最小値の外部コンデンサを接続する必要があります。
SRC	13	O	外部 FET のソース接続。
PD	14	O	大電流ゲートドライバのプルダウン。このピンは、SRC にプルダウンされています。ターンオフを最速にするには、このピンを外部ハイサイド MOSFET のゲートに直接接続します。
PU	15	O	大電流ゲートドライバのプルアップ。このピンは BST にプルアップされています。ゲート駆動遷移速度を最大にするには、このピンを PD に接続します。このピンと外部 MOSFET のゲートとの間に抵抗を接続することで、ターンオン時の突入電流を制御できます。
CS-	17	I	電流センスの負入力。
CS+	18	I	電流センスの正入力。
N.C	19	—	接続なし。
VS	20	P	コントローラの電源ピン。

(1) I: 入力、O: 出力、I/O: 入力または出力、P: 電源、G = グランド。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
入力ピン:	VS, CS+, CS- から GND へ	-65	100	V
	SRC ~ GND	-65	100	
	PU, PD, BST ~ SRC	-0.3	19	
	ISCP, TMR, SCP_TEST から GND へ	-0.3	5.5	
	EN/UVLO, OV, INP, CS_SEL, $V_{(VS)} > 0V$	-1	70	
	EN/UVLO, OV, INP, CS_SEL, $V_{(VS)} \leq 0V$	$V_{(VS)}$	$(70 + V_{(VS)})$	
	CS+ から CS- へ	-1	100	V
	FLT, FLT_GD ~ GND	-1	20	V
シンク電流	$I_{(FLT)}$		10	mA
	$I_{(CS+)}$, $I_{(CS-)}$, 1ms	-100	100	mA
出力ピン	PU, PD, G2, BST ~ GND	-65	112	V
動作時の接合部温度、 T_j		-40	150	°C
保管温度、 T_{stg}		-55	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±750	
		コーナールピン (EN/UVLO, VS, SCP_TEST) その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	公称値	最大値	単位
入力ピン:	VS から GND へ	3.5		95	V
	短絡保護時の VS ピンの最小電圧	4			
	EN/UVLO, INP, CS_SEL から GND へ	0		65	
出力ピン	FLT から GND へ	0		15	V
外付けコンデンサ	VS, SRC ~ GND	22			nF
	BST ~ SRC	0.1			μF
T_j	動作時接合部温度	-40		150	°C

(1) 推奨動作条件は、デバイスが機能すると想定されている条件を示します。仕様およびテスト条件については、「電気的特性」を参照してください。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS4800-Q1		単位
		DGX		
		19ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	92.3		°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	28.6		°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	47.5		°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.6		°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	47.2		°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

$T_J = -40^\circ\text{C} \sim +150^\circ\text{C}$, $V_{(VS)} = 48\text{V}$, $V_{(BST-SRC)} = 11\text{V}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧						
V_S	動作時入力電圧		3.5		95	V
$V_{(S_PORR)}$	入力電源 POR スレッシュホールド、立ち上がり		1.7	2.5	3.34	V
$V_{(S_PORF)}$	入力電源 POR スレッシュホールド、立ち下がり		1.7	2.4	3.16	V
$I_{(GND)}$	システム全体の静止電流	$V_{(EN/UVLO)} = 2\text{V}$		46	56	μA
		$V_{(EN/UVLO)} = 2\text{V}$, $-40^\circ\text{C} \leq T_J \leq +85^\circ\text{C}$			53	μA
$I_{(SHDN)}$	SHDN 電流、 $I_{(GND)}$	$V_{(EN/UVLO)} = 0\text{V}$, $V_{(SRC)} = 0\text{V}$		1	4.3	μA
$I_{(REV)}$	逆極性時の $I_{(VS)}$ リーク電流	$0\text{V} \leq V_{(VS)} \leq -65\text{V}$	15	22.1	38	μA
有効化、低電圧誤動作防止 (EN/UVLO)、短絡コンパレータテスト (SCP_TEST) 入力						
$V_{(UVLOR)}$	UVLO スレッシュホールド電圧、立ち上がり		1.17	1.23	1.29	V
$V_{(UVLOF)}$	UVLO スレッシュホールド電圧、立ち下がり		1.09	1.14	1.19	V
$V_{(ENR)}$	スレッシュホールド電圧 (立ち上がり) をイネーブル				1	V
$V_{(ENF)}$	スレッシュホールド電圧 (立ち下がり) をイネーブル		0.3			V
$I_{(EN/UVLO)}$	イネーブル入力リーク電流	$V_{(EN/UVLO)} = 70\text{V}$		174	490	nA
$V_{(SCP_TEST_H)}$	SCP テスト モードの立ち上がりスレッシュホールド				2	V
$V_{(SCP_TEST_L)}$	SCP テスト モードの立ち下がりスレッシュホールド		0.8			V
$I_{(SCP_TEST)}$	SCP_TEST の入力リーク電流			90	730	nA
過電圧保護 (OV) 入力						
$V_{(OVR)}$	過電圧スレッシュホールド入力、立ち上がり		1.17	1.23	1.28	V
$V_{(OVF)}$	過電圧スレッシュホールド入力、立ち下がり		1.08	1.14	1.19	V
$I_{(OV)}$	OV の入力リーク電流			86	205	nA
チャージポンプ (BST-SRC)						
$I_{(BST)}$	チャージポンプ電源電流	$V_{(BST-SRC)} = 10\text{V}$, $V_{(EN/UVLO)} = 2\text{V}$	100	345	555	μA
$V_{(BST_UVLOR)}$	$V_{(BST-SRC)}$ UVLO 電圧スレッシュホールド、立ち上がり	$V_{(EN/UVLO)} = 2\text{V}$	7.19	9	10.81	V
$V_{(BST_UVLOF)}$	$V_{(BST-SRC)}$ UVLO 電圧スレッシュホールド、立ち下がり	$V_{(EN/UVLO)} = 2\text{V}$	6.54	8.2	9.64	V

5.5 電気的特性 (続き)

$T_J = -40^\circ\text{C} \sim +150^\circ\text{C}$, $V_{(VS)} = 48\text{V}$, $V_{(BST-SRC)} = 11\text{V}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{(BST-SRC_ON)}$	チャージポンプのターンオン電圧	$V_{(EN/UVLO)} = 2\text{V}$	8.24	10.3	12.46	V
$V_{(BST-SRC_OFF)}$	チャージポンプのターンオフ電圧	$V_{(EN/UVLO)} = 2\text{V}$	9.34	11.6	13.86	V
$V_{(BST-SRC)}$	$V_{(VS)} = 3.5\text{V}$ でのチャージポンプ電圧	$V_{(EN/UVLO)} = 2\text{V}$	8.9	10.5	11.82	V
ゲートドライブ出力 (G1PU, G1PD)						
$I_{(PU)}$	ピークソース電流			1.69		A
$I_{(PD)}$	ピークシンク電流			2		A
$V_{(G_GOOD)}$	VGS グッドスレッショルド		5.32	7	8.48	V
短絡保護 (ISCP)						
$I_{(SCP)}$	SCP 入力バイアス電流		8.22	10	12.51	μA
$V_{(SCP)}$	SCP スレッショルド	$R_{(ISCP)} = 140.5\text{k}\Omega$	283	300	318	mV
		$R_{(ISCP)} = 28\text{k}\Omega$	58.4	75	91.6	mV
		$R_{(ISCP)} = 10.5\text{k}\Omega$	31.1	40	48.9	mV
		$R_{(ISCP)} = 500\Omega$	14.9	20	25.2	mV
		$R_{(ISCP)} = \text{オープン}$	468	560	651	mV
$V_{(SCP)}$	ISCP ピンの外部バイアスでの SCP スレッショルド	$V_{(ISCP)} = 3\text{V}$	470	563	642	mV
		$V_{(ISCP)} = 1.405\text{V}$	279	300	319	mV
		$V_{(ISCP)} = 280\text{mV}$	67	75	83	mV
		$V_{(ISCP)} = 105\text{mV}$	33	40	47	mV
遅延タイム (TMR)						
$I_{(TMR_SRC_CB)}$	TMR ソース電流		65	87	106	μA
$I_{(TMR_SRC_FLT)}$	TMR ソース電流		1.33	2.73	3.87	μA
$I_{(TMR_SNK)}$	TMR シンク電流		2.14	2.8	3.43	μA
$V_{(TMR_SC)}$	TMR 入力クランプレベル		0.87	1.1	1.26	V
$V_{(TMR_LOW)}$	TMR 入力 Low レベル		0.14	0.21	0.26	V
$N_{(A-R \text{ Count})}$	TMR 充放電のサイクル数			32		
入力制御 (INP)、フォルトフラグ (FLT, FLT_GD)						
$R_{(FLT)}, R_{(FLT_GD)}$	FLT, FLT_GD プルダウン抵抗		52	85	107	Ω
$I_{(FLT)}, I_{(FLT_GD)}$	FLT FLT_GD 入力リーク電流	$0\text{V} \leq V_{(FLT)} \leq 20\text{V}$			410	nA
$V_{(INP_H)}$	INP 入力ロジック High レベル				2	V
$V_{(INP_L)}$	INP 入力ロジック Low レベル		0.8			V
$I_{(INP)}$	INP の入力リーク電流			89	210	nA
$V_{(CS_SEL_H)}$	ローサイド検出用の CS_SEL スレッショルド		1.25		1.58	V
$V_{(CS_SEL_L)}$	ハイサイド検出用の CS_SEL スレッショルド		0.66		1.14	V
$I_{(CS_SEL)}$	CS_SEL の入力リーク電流		10	88.8	210	nA

5.6 スイッチング特性

$T_J = -40^\circ\text{C} \sim +150^\circ\text{C}$, $V_{(VS)} = 48\text{V}$, $V_{(BST-SRC)} = 11\text{V}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{\text{PU}}(\text{INP_H})$	INP ターンオン伝搬遅延	INP \uparrow ~ PU \uparrow , $C_L = 47\text{nF}$	0.32		1.68	μs
$t_{\text{PD}}(\text{INP_L})$	INP ターンオフ伝搬遅延	INP \downarrow ~ PD \downarrow , $C_L = 47\text{nF}$		0.36	1.05	μs

5.6 スイッチング特性 (続き)

$T_J = -40^\circ\text{C} \sim +150^\circ\text{C}$, $V_{(VS)} = 48\text{V}$, $V_{(BST-SRC)} = 11\text{V}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PD(EN_OFF)}$	EN ターンオフ伝搬遅延	EN ↓ ~ PD ↓, $C_L = 47\text{nF}$	1.68	4.6	6.52	μs
$t_{PD(UVLO_OFF)}$	UVLO ターンオフ伝搬遅延	UVLO ↓ ~ PD ↓ および $\overline{\text{FLT}}$ ↓, $C_L = 47\text{nF}$	2.22	4.8	6.58	μs
$t_{PD(OV_OFF)}$	OV ターンオフ伝搬遅延	OV ↓ ~ PD ↓ および $\overline{\text{FLT}}$ ↓, $C_L = 47\text{nF}$		4.5	5.55	μs
t_{SC}	ハード短絡保護の伝搬遅延	$V_{(CS+-CS-)} \uparrow V_{(SCP)} \sim \text{PD} \downarrow$, $C_L = 47\text{nF}$, $C_{(TMR)} = \text{オープン}$			4	μs
t_{SC_PUS}	出力短絡における電源投入時の短絡保護伝搬遅延	$C_{TMR} = \text{オープン}$			10	μs
$t_{PD(FLT_SC)}$	短絡中の $\overline{\text{FLT}}$ アサート遅延	$V_{(CS+-CS-)} \uparrow V_{(SCP)} \sim \overline{\text{FLT}} \downarrow$, $C_{(TMR)} = \text{オープン}$		10.5	15	μs
F_{ISCP}	ISCP パルス電流周波数			1.18		kHz
$t_{PD(FLT_GD)}$	ゲートドライブ UVLO 中の FLT アサート遅延	$V_{(PD-SRC)} \uparrow V_{(BSTUVLOR)} \sim \text{FLT_GD} \downarrow$		120		μs
$t_{PD(FLT_GD)}$	ゲートドライブ UVLO 中の FLT デアサート遅延	$V_{(PD-SRC)} \downarrow V_{(BSTUVLOR)} \sim \text{FLT_GD} \uparrow$		127		μs

5.7 代表的特性

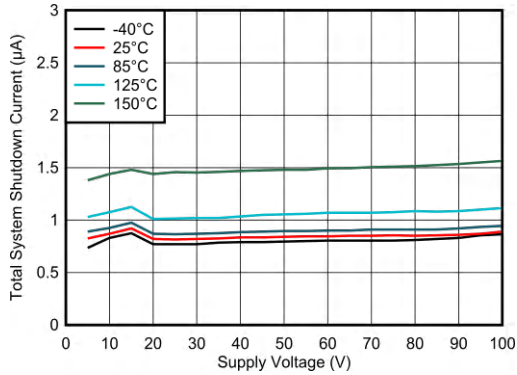


図 5-1. シャットダウン電源電流と電源電圧との関係

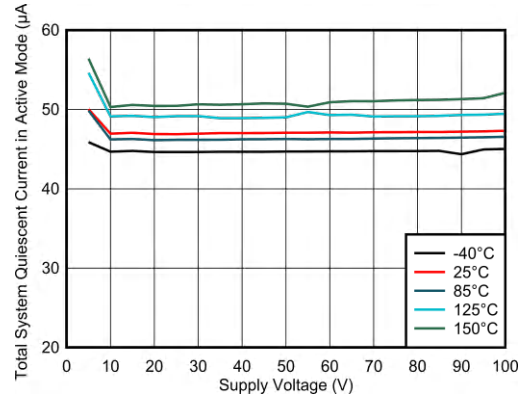


図 5-2. アクティブモードでの動作静止電流と電源電圧との関係

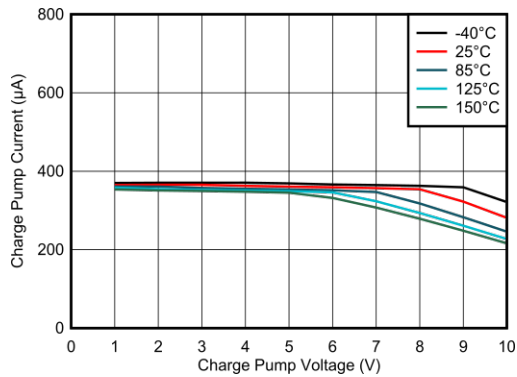
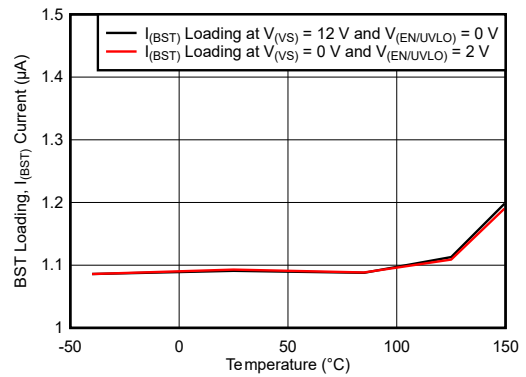


図 5-3. チャージポンプ電流とチャージポンプ電圧との関係



$V_{(BST)} = 15V$ $V_{(SRC)} = 0V$

図 5-4. BST 負荷電流 ($I_{(BST)}$) と温度との関係

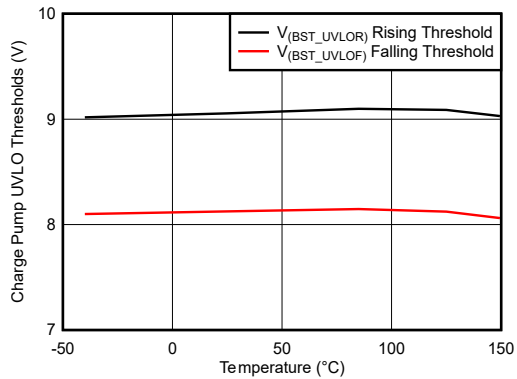


図 5-5. チャージポンプ UVLO スレッシュホルドと温度との関係

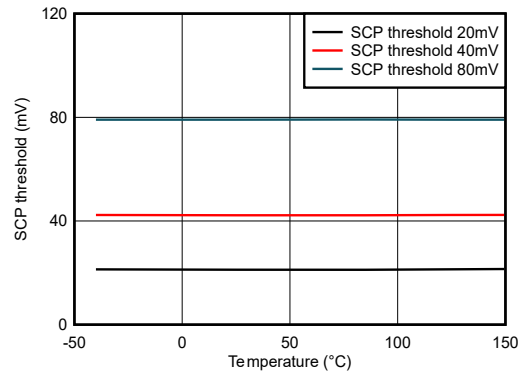


図 5-6. 短絡スレッシュホルド ($V_{(SCP)}$) と温度との関係

5.7 代表的特性 (続き)

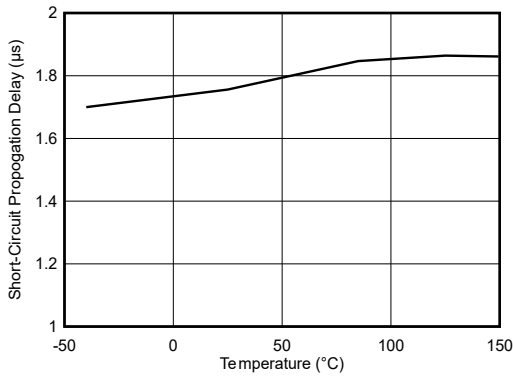


図 5-7. 短絡保護応答時間 (t_{sc}) と温度との関係

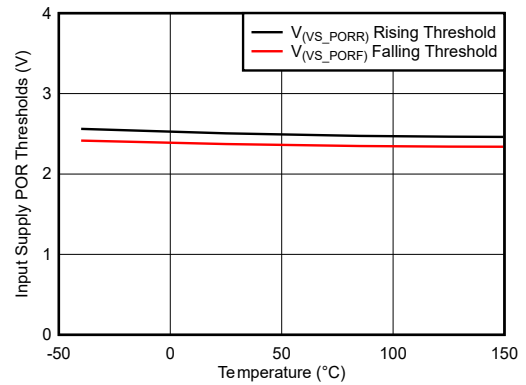


図 5-8. 入力電源の POR スレッシュホールドと温度との関係

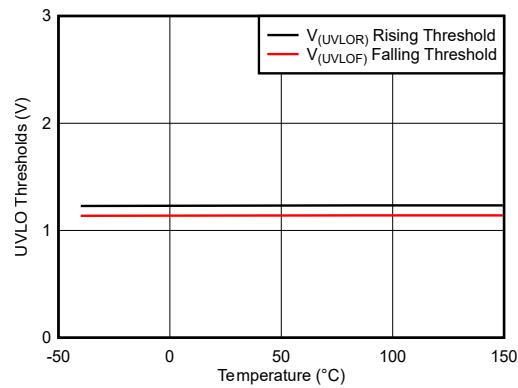


図 5-9. 入力電源の UVLO スレッシュホールドと温度との関係

6 パラメータ測定情報

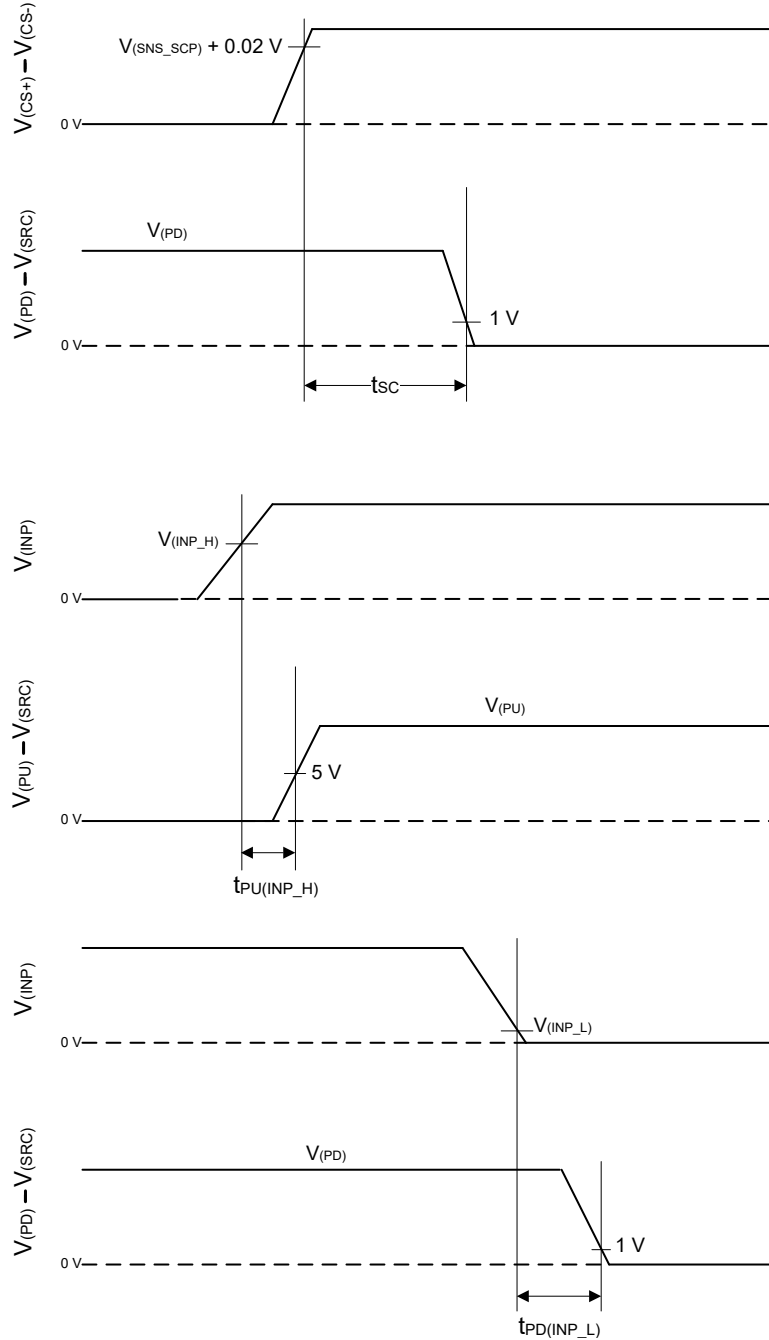


図 6-1. タイミング波形

7 詳細説明

7.1 概要

TPS48000-Q1 は、保護および診断機能を備えた、100V、低 IQ、スマートハイサイドドライバです。本デバイスは、動作電圧範囲が 3.5V ~ 95V と広いため、12V、24V、48V のシステム設計に適しています。このデバイスは、最低 -65V の負の電源電圧に耐えられ、負荷を保護できます。

このデバイスは、大電流システム設計において並列 FET を使って電力をスイッチングできる、強力な 1.69A ピークソースと 2A ピークシンクのゲートドライバを備えています。

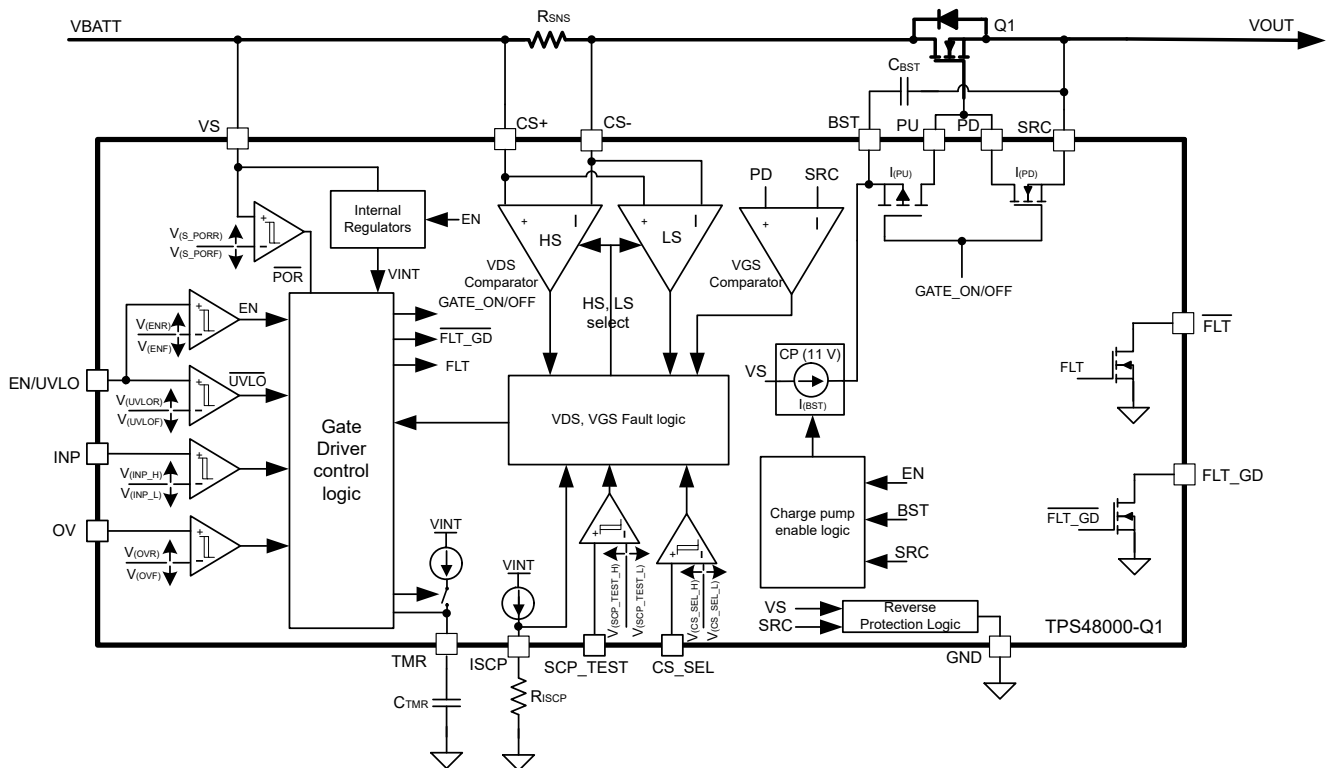
このデバイスは、ISCP ピンと TMR ピンを使用して、それぞれスレッシュホールドと応答時間を調整する設定可能な短絡保護機能を搭載しています。自動リトライおよびラッチオフ フォルト動作は設定可能です。電流検出は、外付けの検出抵抗、または MOSFET VDS センシングのいずれかを使用して実行できます。CS_SEL ピン入力を使用して、ハイサイドまたはローサイドの電流検出抵抗構成が可能です。SCP_TEST 入力の外部制御を使用して、内蔵の短絡コンパレータを診断できます。

このデバイスは、可変の低電圧および過電圧保護機能を備えています。

このデバイスは、短絡時および入力の低電圧、過電圧状態におけるオープンドレイン出力のフォルト (FLT) を表示します。また、ゲート駆動 UVLO 状態を示す専用のフォルト通知 (FLT_GD) も備えています。

動作時の静止電流が 46μA (代表値) と低いいため、常時オンのシステム設計が可能です。EN/UVLO が Low で、静止電流が 1μA (代表値) まで低減します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 チャージポンプとゲートドライバの出力 (VS, PU, PD, BST, SRC)

図 7-1 に、チャージポンプとゲートドライバ回路の実装の概略図を示します。このデバイスは、パワー FET を駆動するための強力な 1.69A ピークソースと 2A ピークシンクのゲートドライバ (PU, PD) を備えています。強力なゲートドライバを使用すると、大電力システム設計で FET を並列接続でき、飽和領域における遷移時間を最小化することができます。11V で、345 μ A のチャージポンプが VS 端子から生成され、ゲートドライバ (BST と SRC) の両端に配置された外部ブートストラップコンデンサ C_{BST} を充電します。

VS はコントローラの電源ピンです。VS を印加し、EN/UVLO を High にすると、チャージポンプがオンになり、 C_{BST} コンデンサを充電します。 C_{BST} の両端の電圧が $V_{(BST_UVLOR)}$ を超えると、ゲートドライバ セクションがアクティブになります。UVLO ヒステリシスにより、最初のゲートターンオン時の性能のチャタリングが低減されます。外部 FET Q_G と FET のターンオン時に許容されるディップに基づいて C_{BST} を選択します。チャージポンプは、BST から SRC への電圧が通常 $V_{(BST_SRC_OFF)}$ に達するまで有効に維持されます。この時点でチャージポンプは無効化され、VS ピンに流れる電流が減少します。BST から SRC への電圧が放電して $V_{(BST_SRC_ON)}$ に達するまで、チャージポンプは無効のまま維持され、通常はその時点でチャージポンプが有効化されます。図 7-2 に示すように、BST と SRC の間の電圧はこれら 2 つの限界値の間で充電および放電を継続します。

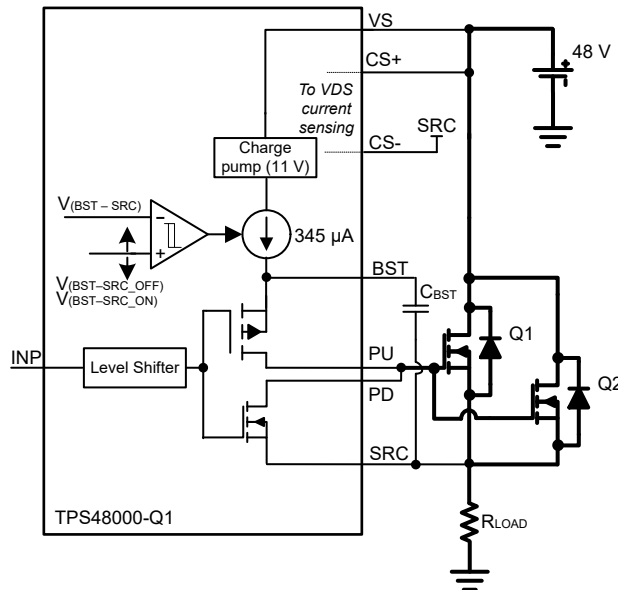


図 7-1. ゲートドライバ

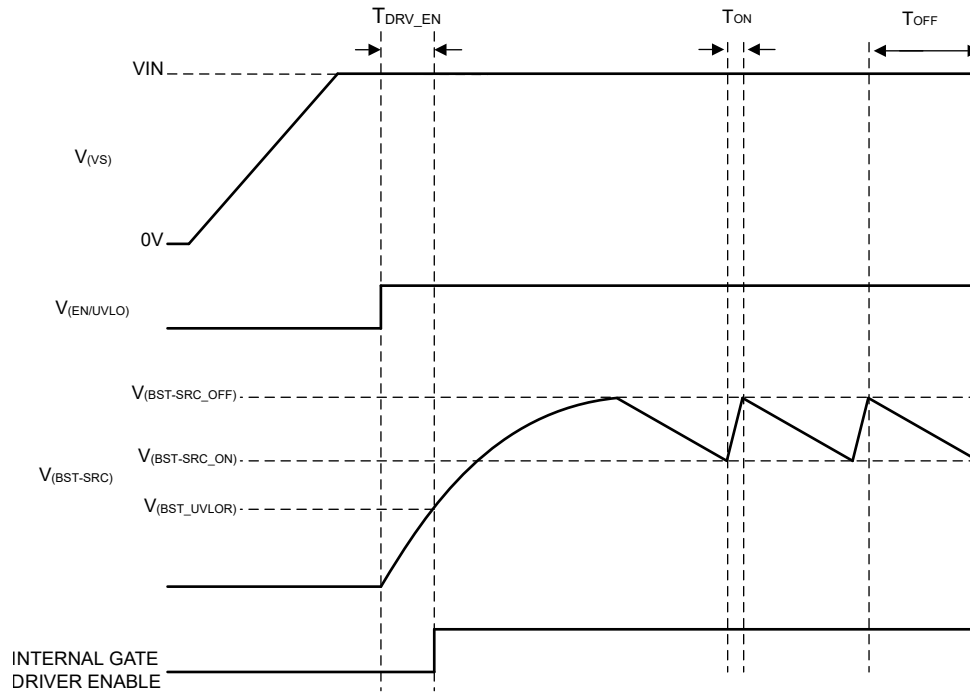


図 7-2. チャージポンプ動作

ゲートドライバの初期イネーブル遅延を計算するには、次の式を使用します。

$$T_{DRV_EN} = \frac{C_{BST} \times V_{(BST_UVLOR)}}{345 \mu A} \quad (1)$$

ここで、

C_{BST} は、BST と SRC ピンの間に接続されているチャージポンプ容量です

$V_{(BST_UVLOR)} = 10.81V$ (最大値)。

図 7-3 に示されているように、 T_{DRV_EN} を低減する必要がある場合は、外部 V_{AUX} の低リーケージのダイオード D_1 を経由した電源を使用して、BST 端子を外部からプリバイアスします。BST に外部電源を供給する TPS4800-Q1 アプリケーション回路を図 7-3 に示します。

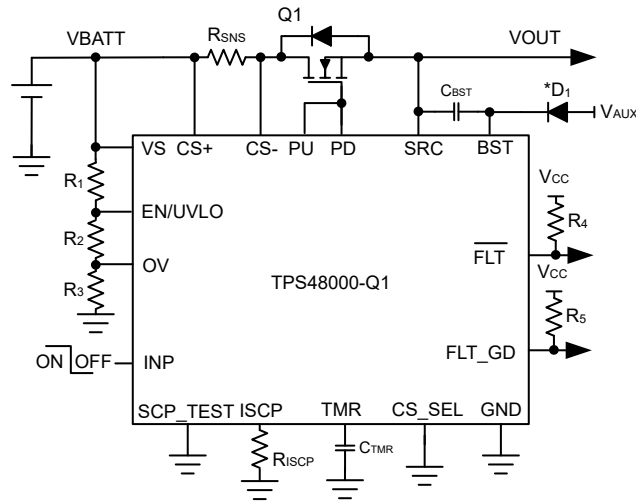


図 7-3. BST への外部電源を使用した TPS48000-Q1 アプリケーション回路

注

V_{AUX} は、8V ~ 18V の範囲の外部安定化電源から供給できます。

7.3.2 FET ゲート (PU、PD) スルー レート制御を使用した容量性負荷駆動

車載パワー ディストリビューション ユニットのような特定の最終製品は、他の ECU を含むさまざまな負荷に電力を供給します。これらの ECU には、大きな入力容量が存在する場合があります。ECU への電力を制御されない方法でオンにすると、大きな突入電流が発生し、パワー FET が損傷する可能性があります。容量性負荷スイッチング時の突入電流を制限するため、TPS48000-Q1 デバイスでは、以下のシステム設計手法を使用できます。

容量性負荷での FET のターンオン時の突入電流を制限するには、図 7-4 に示されているように、 R_1 、 R_2 、 C_1 を使用します。 R_1 と C_1 の部品により、FET のゲートの電圧ランプ レートが遅くなります。FET ソースはゲート電圧に追従して、出力コンデンサ両端間の制御された電圧上昇が発生します。

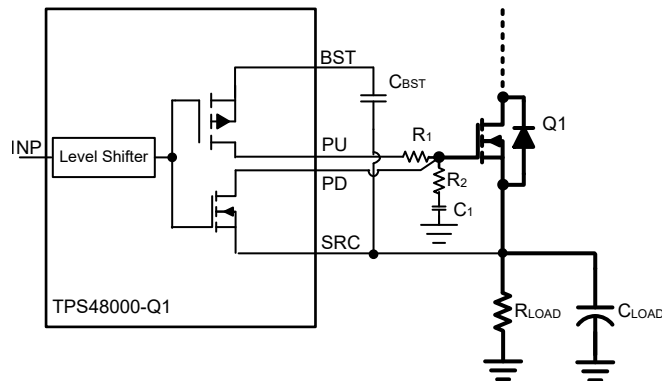


図 7-4. 突入電流制限

式 2 を使用して、FET のターンオン時の突入電流を計算します。

$$I_{INRUSH} = C_{LOAD} \times \frac{V_{BATT}}{T_{charge}} \tag{2}$$

$$C_1 = \frac{0.63 \times V_{(BST - SRC)} \times C_{LOAD}}{R_1 \times I_{INRUSH}} \tag{3}$$

ここで、

C_{LOAD} は、負荷容量です。

V_{BATT} は入力電圧、 T_{charge} は充電時間です。

$V_{(BST-SRC)}$ は、チャージポンプ電圧 (11V) です。

ダンピング R_2 (~ 10Ω) を C_1 と直列に使用します。式 3 を使用して、ターゲット突入電流に必要な C_1 値を計算できます。 R_1 の 100kΩ 抵抗は、計算の開始点として適切です。

TPS48000-Q1 の PD ピンを外部 FET のゲートに直接接続することで、 R_1 および C_1 部品の影響を受けることなく高速ターンオフを実現できます。

C_1 の場合、ターンオン時に C_{BST} の負荷が追加され、充電されます。以下の式を用いて、必要な C_{BST} 値を計算します。

$$C_{BST} = \frac{Q_{g(total)}}{\Delta V_{BST}} + 10 \times C_1 \tag{4}$$

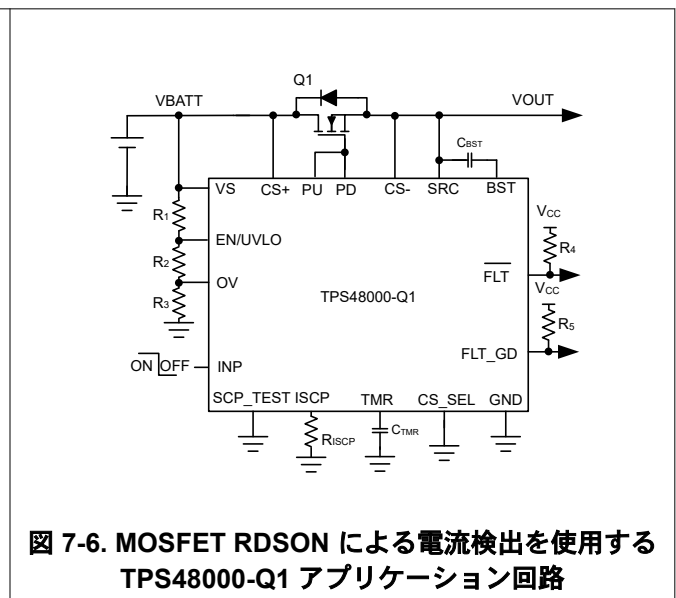
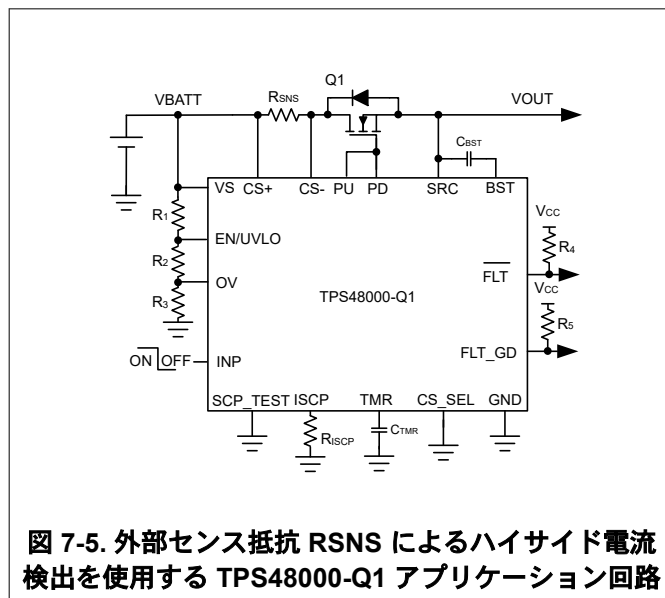
ここで、

$Q_{g(total)}$ は、FET の総ゲート電荷です。

ΔV_{BST} (1V 標準値) は、BST ピンと SRC ピンの間のリップル電圧です。

7.3.3 短絡保護

TPS48000-Q1 は調整可能な短絡保護機能を特長としています。スレッショルドと応答時間は、それぞれ R_{ISCP} 抵抗と C_{TMR} コンデンサを使用して調整できます。このデバイスは、CS+ ピンと CS- ピンの間の電圧を検出します。これらのピンは、FET $R_{DS(on)}$ センシング用の FET ドレイン端子とソース端子の間に、または外部のハイサイドおよびローサイド電流センス抵抗 (R_{SNS}) の間に図 7-6 図 7-7 と 図 7-8 をそれぞれ接続することができます (図 7-5 を参照)。



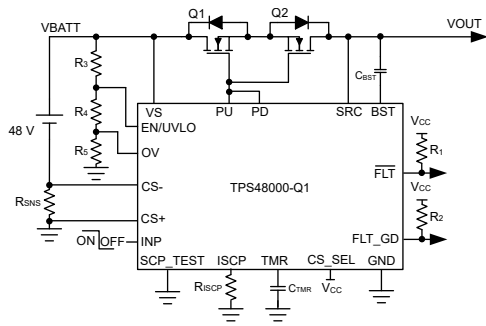


図 7-7. 外部センス抵抗 RSNS によるローサイド電流検出をバッテリー側で使用する TPS48000-Q1 アプリケーション回路

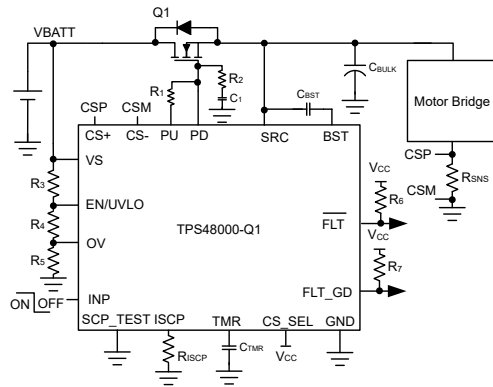


図 7-8. 外部センス抵抗 RSNS によるローサイド電流検出を使用する TPS48000-Q1 アプリケーション回路

ISCP ピンと GND ピンの間に外付け R_{ISCP} 抵抗を使用して、短絡検出スレッシュホールドを設定します。式 5 を用いて、必要な R_{ISCP} 値を計算します。

$$R_{ISCP} (\Omega) = \frac{(I_{SC} \times R_{SNS} - 19 \text{ mV})}{2 \mu\text{A}} \quad (5)$$

ここで、

R_{SNS} はハイサイドまたはローサイドの電流センス抵抗の値、または FET R_{DSON} の値です。

I_{SC} は、目的の短絡電流レベルです。

短絡保護応答は、TMR ピンと GND ピンの間に C_{TMR} コンデンサを接続しない状態で最も高速になります。

デバイスの電源がオンで EN/UVLO および INP を High にした状態で、 Q_1 ターンオン中に、PD と SRC の間の電圧を監視することで、外部 FET の最初の VGS が検出されます。PD と SRC の間の電圧が $V_{(G_GOOD)}$ (通常 7V) スレッシュホールドを上回り、外部 FET がオンになったことが保証されると、SCP コンパレータの出力が監視されます。CS+ と CS- の間で検出された電圧が短絡設定点 (V_{SCP}) を超えると、PD は SRC に対して Low になり、FLT が Low にアサートされます。以後のイベントについては、以下のセクションで説明するように、自動再試行またはラッチオフのどちらかに設定できます。

外部 FET (Q_1) の VGS は、CS_SEL を Low にしたときのみ監視されます。ローサイド電流検出では、外部 FET (Q_1) の VGS は監視されません (図 7-7 と 図 7-8 を参照)。

注

また、 R_{ISCP} 抵抗ではなくバッファ経由で ISCP ピンに外部バイアス電圧を接続することで、短絡スレッシュホールドを設定することもできます。これにより、電気的特性表に記載されているように、SCP スレッシュホールドの精度を向上させたシステム設計が可能になります。ISCP ピンに強制的に印加される外部バイアス電圧は、以下の式によって計算できます。

$$V_{(SCP_BIAS)} (\text{mV}) = I_{SC} \times R_{SNS} \times 5 - 95\text{mV}$$

ISCP ピンの外部バイアス電圧は 3V を超えないようにする必要があります。

7.3.3.1 自動リトライ付き短絡保護

C_{TMR} は短絡保護遅延 (t_{SC}) と自動リトライ時間 (t_{RETRY}) をプログラムします。 $CS+$ と $CS-$ の両端の電圧が設定点を超えると、 C_{TMR} は $I_{(TMR_SRC_CB)}$ のプルアップ電流で充電を開始します。

C_{TMR} が $V_{(TMR_SC)}$ まで充電されると、PD は SRC に対して Low になり、 \overline{FLT} は Low にアサートされて、FET のターンオフが差し迫っていることが警告されます。このイベントの後、自動リトライ動作が開始します。 C_{TMR} コンデンサは、 $I_{(TMR_SNK)}$ のプルダウン電流で放電を開始します。電圧が $V_{(TMR_LOW)}$ レベルに達すると、コンデンサは $I_{(TMR_SRC_FLT)}$ のプルアップで充電を開始します。 C_{TMR} の 32 回の充電放電サイクルの後、FET は再度オンになり、 \overline{FLT} はデアサートされます。

デバイス再試行時間 (t_{RETRY}) は、式 7 に示すように、最初の C_{TMR} に基づいています。

式 6 を使用して、TMR と GND の間に接続する C_{TMR} コンデンサを計算します。

$$C_{TMR} = \frac{I_{TMR} \times t_{SC}}{1.1} \tag{6}$$

ここで、

I_{TMR} は $80\mu A$ の内部プルアップ電流です。

t_{SC} は望ましい短絡応答時間です。

TMR をフローティングにして、短絡応答時間を最短にします。

$$t_{RETRY} = 22.7 \times 10^6 \times C_{TMR} \tag{7}$$

短絡パルス幅が t_{SC} を下回ると、FET はオン状態を維持し、 C_{TMR} が内部プルダウン スイッチを使用して放電されます。

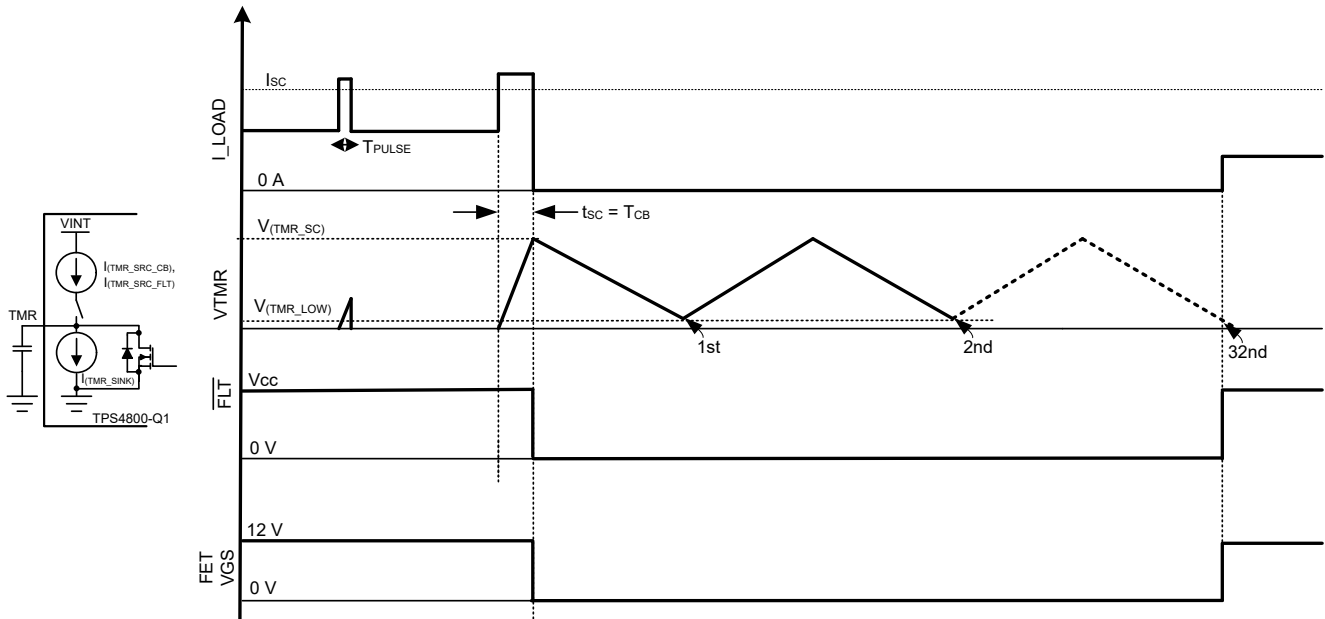


図 7-9. 自動リトライ付き短絡保護

7.3.3.2 ラッチオフ付き短絡保護

C_{TMR} の両端に約 $100k\Omega$ の抵抗を接続します。この抵抗を使用すると、充電サイクル中に C_{TMR} の両端の電圧が $V_{(TMR_SC)}$ 未満のレベルにクランプされ、ラッチオフ動作が発生し、同時に \overline{FLT} が Low にアサートされます。

式 8 を使用して、 $R_{TMR} = 100k\Omega$ の TMR と GND の間に接続される C_{TMR} コンデンサを計算します。

$$C_{TMR} = \frac{t_{SC}}{R_{TMR} \times \ln\left(\frac{1}{1 - \frac{1.1}{R_{TMR} \times I_{TMR_SRC_CB}}}\right)} \quad (8)$$

ここで、 t_{SC} は望ましい短絡応答時間です。

ラッチをリセットするには、INP または EN/UVLO ($V_{(ENF)}$ 未満) をトグルするか、VS を $V_{(VS_PORF)}$ 未満にパワー サイクルします。Low エッジでは、タイマ カウンタがリセットされ、 C_{TMR} が放電されます。INP が High になると、PU は BST にプルアップされます。

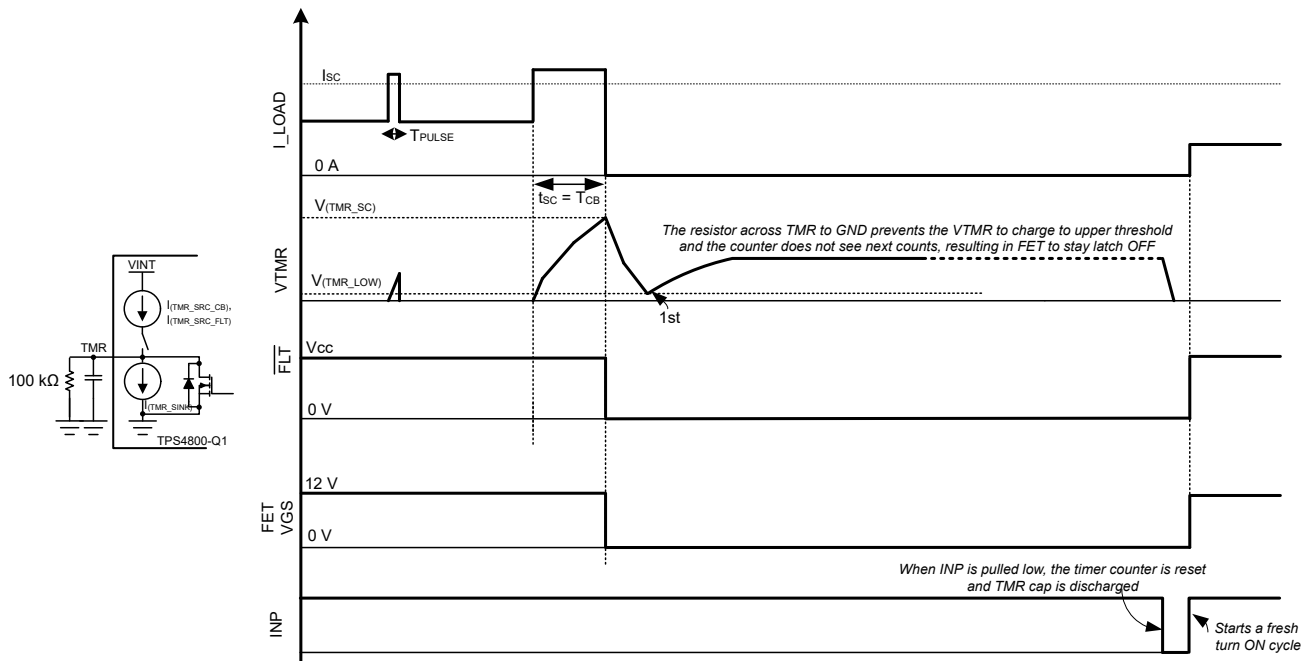


図 7-10. ラッチオフ付き短絡保護

7.3.4 過電圧 (OV) および低電圧誤動作防止 (UVLO) 保護

TPS4800-Q1 は、EN/UVLO ピンを使用した高精度の低電圧保護機能と、正確な過電圧保護機能を備えており、堅牢な負荷保護を実現します。入力低電圧または過電圧フォルトが検出されると、FLT がアサートされます。低電圧および過電圧保護スレッシュホールドのプログラム設定には、図 7-11 に示すように抵抗ラダーを接続します。

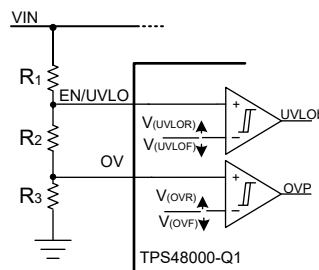


図 7-11. 過電圧および低電圧保護スレッシュホールドのプログラミング

7.3.5 逆極性保護

TPS48000-Q1 デバイスには、逆極性保護機能が内蔵されており、入力および出力逆極性フォルト時の障害からデバイスを保護します。逆極性フォルトは、最終製品のジャンプ スタート、設置、メンテナンス中に発生することがあります。

このデバイスは、入力と出力の両方で、-65V までの逆極性電圧を許容します。

出力側では、スイッチをオフにしたときの出力ケーブル ハーネスのインダクタンスのキックバックにより、通常動作中に負の過渡電圧が発生する可能性があります。このようなシステムでは、出力の負の電圧レベルは出力側の TVS またはダイオードによって制限されます。

7.3.6 短絡保護診断 (SCP_TEST)

安全重視の設計では、短絡保護 (SCP) 機能とその診断が重要です。

TPS48000-Q1 は、内部の短絡保護機能を診断する機能を備えています。SCP_TEST を Low から High に駆動すると、短絡イベントをシミュレートするために、SCP コンパレータの入力間に電圧が内部的に印加されます。コンパレータ出力はゲートドライブ (PU/PD) と FLT も制御します。ゲートドライブが Low になり (最初は High)、FLT も Low になると、SCP が良好であることを示します。それ以外の場合、SCP 機能が機能していないとみなすことができます。

SCP_TEST 機能を使用しない場合は、SCP_TEST ピンを GND に接続します。

7.3.7 TPS48000-Q1 をシンプルゲートドライバとして使用

図 7-12 に、負荷接続解除スイッチまたは双方向 FET でトポロジを駆動する、シンプルなゲートドライバとしての TPS48000-Q1 のアプリケーション回路図を示します。短絡保護機能は無効化されています。

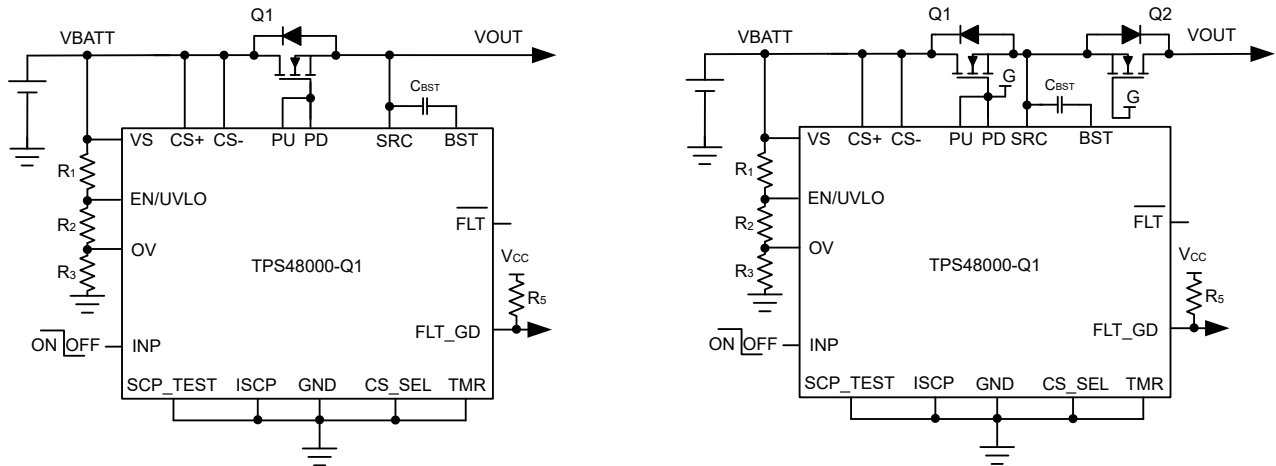


図 7-12. シンプルなゲートドライバ設計のために TPS48000-Q1 を使用したアプリケーション回路

7.4 デバイスの機能モード

TPS48000-Q1 には、2 つの動作モードがあります。アクティブ モードと低静止電流 (IQ) シャットダウン モードがあります。

EN/UVLO ピンの電圧が $V_{(ENR)}$ の立ち上がりスレッショルドよりも高い場合、デバイスはアクティブ モードになります。アクティブ状態では、内部チャージポンプが有効になり、ゲートドライバ、すべての保護および診断機能が有効になります。

EN/UVLO 電圧が $V_{(ENF)}$ 立ち下がりスレッショルドを下回ると、デバイスは低静止電流 (IQ) シャットダウン モードに移行します。このモードでは、チャージポンプ、ゲートドライバ、およびすべての保護機能が無効になります。ゲートドライバと外部 FET がオフになります。このモードでは、TPS48000-Q1 は 1 μ A (標準値) の低 IQ を消費します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPS4800-Q1 は、保護および診断機能を備えた、100V、低 IQ、スマート ハイサイド ドライバです。本デバイスは、動作電圧範囲が 3.5V ~ 95V と広いため、12V、24V、48V のシステム設計に適しています。このデバイスは、最低 -65V の負の電源電圧に耐えられ、負荷を保護できます。本デバイスは、大電流システム設計において並列 FET を使って電力をスイッチングできる、強力な 1.69A ピーク ソースと 2A ピーク シンクのゲートドライバを備えています。

このデバイスは、ISCP ピンと TMR ピンを使用して、それぞれスレッシュホールドと応答時間を調整する設定可能な短絡保護機能を搭載しています。自動リトライおよびラッチオフ フォルト動作は設定可能です。TPS4800-Q1 では、外付けの検出抵抗、または MOSFET VDS センシングのいずれかを使用して電流検出を実行できます。CS_SEL ピン入力を使用して、ハイサイドまたはローサイドの電流センス抵抗構成が可能です。

内蔵短絡コンパレータの診断は、SCP_TEST 入力の外部制御を使用して行うことができます。このデバイスは、短絡時、入力の低電圧、過電圧状態におけるオープンドレイン出力のフォルト (FLT) を表示します。また、ゲート駆動 UVLO 状態を示す専用のフォルト通知 (FLT_GD) も備えています。

動作中の静止電流が 46 μ A と低いので、常時オンのシステム設計が可能になります。EN/UVLO が Low で、静止電流が 1 μ A (代表値) まで低減します。

8.2 代表的なアプリケーション：常時 (PAAT) 負荷での電力駆動

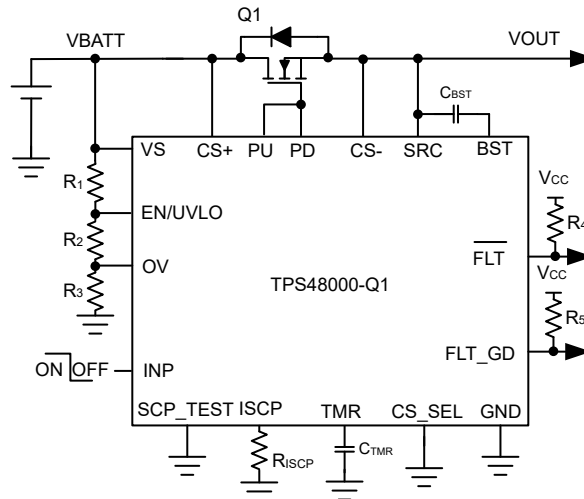


図 8-1. VDS ベースの電流検出を用いた PAAT 負荷駆動用の TPS4800-Q1 アプリケーション回路

8.2.1 設計要件

表 8-1. 設計パラメータ

パラメータ	値
入力電圧範囲、 V_{IN}	16~60V
低電圧誤動作防止設定点、 V_{INUVLO}	16V
過電圧設定点、 V_{INOVP}	60V
最大負荷電流、 I_{OUT}	20A
短絡保護回路スレッショルド、 I_{SC}	60A
フォルトタイマ期間、 t_{SC}	50 μ s
故障応答	自動再試行
電流検出	MOSFET VDS

8.2.2 詳細な設計手順

MOSFET の選択、 Q_1

MOSFET Q_1 の選択に重要な電気的パラメータは、最大連続ドレイン電流 I_D 、最大ドレイン ソース間電圧 $V_{DS(MAX)}$ 、最大ドレイン ソース間電圧 $V_{GS(MAX)}$ 、ドレイン ソース間オン抵抗 $R_{DS(ON)}$ です。

最大連続ドレイン電流 I_D 定格は、最大連続負荷電流を超える必要があります。

最大ドレイン - ソース間電圧 $V_{DS(MAX)}$ は、このアプリケーションで見られる最大の電圧に耐えるのに十分な高さが必要です。このアプリケーションでは、ロード ダンプによる最大アプリケーション電圧として 60V を考慮し、 V_{DS} 電圧定格 80V の MOSFET を選択します。

TPS4800-Q1 が駆動できる最大 V_{GS} は 11V であるため、 V_{GS} の最小定格が 15V の MOSFET を選択する必要があります。

MOSFET の導通損失を低減するには、適切な $R_{DS(ON)}$ が推奨されます。

設計要件に基づき、IAUS200N08S5N023 を選択し、定格を以下に示します。

- 80V $V_{DS(MAX)}$ および $\pm 20V$ $V_{GS(MAX)}$
- $R_{DS(ON)}$ は 10V V_{GS} で 2.3m Ω (標準値)
- MOSFET $Q_{g(total)}$ は 85nC (標準値)

TI は、最大 V_{IN} および I_{SC} などの短絡状態が、 t_{SC} 以上のタイミングで、選択した FET (Q_1) の SOA 内に収まるようにすることを推奨しています。

ブートストラップコンデンサ C_{BST} の選定

内部チャージポンプは、(BST ピンと SRC ピンとの間に接続された) 外部ブートストラップコンデンサを約 345 μA で充電します。次の式を使って、IAUS200N08S5N023 MOSFET を駆動するために必要なブートストラップコンデンサの最小値を計算します。

$$C_{BST} = \frac{Q_{g(total)}}{1V} = 85 \text{ nF} \quad (9)$$

使用可能な最も近い標準値を選択します: 100nF、10%

短絡保護スレッシュホールドのプログラム設定 – R_{ISCP} の選択

R_{ISCP} は短絡保護スレッシュホールドを設定します。その値は、次の式を使用して計算できます。

$$R_{ISCP} (\Omega) = \frac{(I_{SC} \times R_{DS_ON} - 19 \text{ mV})}{2 \mu A} \quad (10)$$

60A を短絡保護スレッシュホールドに設定する場合、 R_{ISCP} の値は 50.5k Ω と計算されます。

使用可能な最も近い標準値を選択します: 51k Ω 、1%

di/dt が大きい場合、システムおよびレイアウトの寄生インダクタンスにより、CS+ ピンと CS- ピンの間に大きな差動信号電圧が生成される可能性があります。これにより、誤って短絡保護が発生する可能性、およびシステム内で不要なトリップが発生する可能性があります。こうした問題を克服するため、センス抵抗 (R_{SNS}) の両端に RC フィルタ部品用のプレースホルダを追加し、実際のシステムでのテスト中に値を微調整することが推奨されます。MOSFET VDS 検出による電流センス設計では、短絡保護応答への影響を回避するため、RC フィルタ部品を使用しないでください。

フォルト タイマ期間のプログラミング、 C_{TMR} の選択

説明の設計例では、50 μ s の持続時間にわたって過電流過渡が許容されます。このブランキング間隔 t_{SC} (またはサーキットブレーカ間隔、 T_{CB}) を設定するには、TMR ピンとグランドの間に適切なコンデンサ C_{TMR} を選択します。 t_{SC} に 50 μ s を設定する C_{TMR} の値は、次の式で計算できます。

$$C_{TMR} = \frac{87 \mu A \times t_{SC}}{1.1} \quad (11)$$

使用可能な最も近い標準値を選択します: 3.3nF、10%

低電圧誤動作防止と過電圧の設定点の設定

低電圧誤動作防止 (UVLO) と過電圧の設定点は、デバイスの VS、EN/UVLO、OV および GND ピン間に接続された R_1 、 R_2 と R_3 の外部電圧分割回路網を使用して調整できます。低電圧および過電圧を設定するために必要な値は、式 12 と式 13 で計算します。

$$V_{(OVR)} = \frac{R_3}{(R_1 + R_2 + R_3)} \times V_{IN_{OVP}} \quad (12)$$

$$V_{(UVLOR)} = \frac{R_2 + R_3}{(R_1 + R_2 + R_3)} \times V_{IN_{UVLO}} \quad (13)$$

電源から引き込まれた入力電流を最小限に抑えるため、TI では R_1 、 R_2 、 R_3 に高い抵抗値を使用することを推奨しています。ただし、この抵抗列に外部のアクティブ部品が接続されたことによるリーク電流は、これらの計算に誤差を生じさせる可能性があります。したがって、抵抗列の電流 $I(R_{123})$ は、UVLO ピンと OV ピンのリーク電流の 20 倍以上になるように選択する必要があります。

デバイスの電氣的仕様から、 $V_{(OVR)} = 1.225V$ 、 $V_{(UVLOR)} = 1.23V$ となります。設計要件から、 $V_{IN_{OVP}}$ は 60V、 $V_{IN_{UVLO}}$ は 16V になります。式を解くには、まず $R_1 = 470k\Omega$ の値を選択し、式 12 を使用して $(R_2 + R_3) = 39.1k\Omega + 470k\Omega$ を求めます。式 13 と $(R_2 + R_3)$ の値を使用して $R_3 = 10.4k\Omega$ を求め、最終的に $R_2 = 28.7k\Omega$ を求めます。直近の標準的な 1% 抵抗値として $R_1 = 470k\Omega$ 、 $R_2 = 29.4k\Omega$ 、 $R_3 = 10k\Omega$ 。

8.2.3 アプリケーション曲線

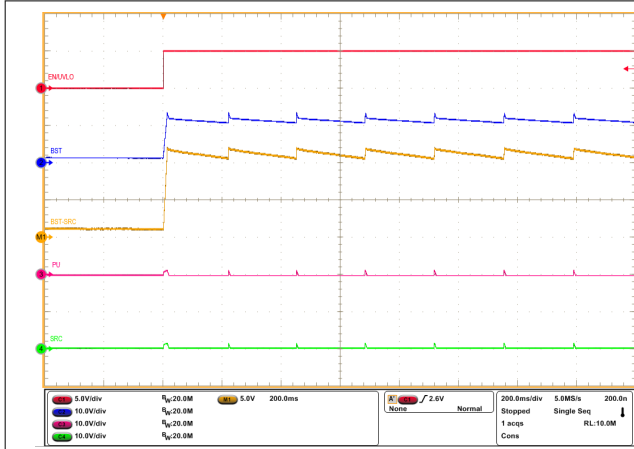


図 8-2. INP = GND、 $C_{BST} = 470\text{nF}$ でのブートストラップ電圧のスタートアッププロファイル

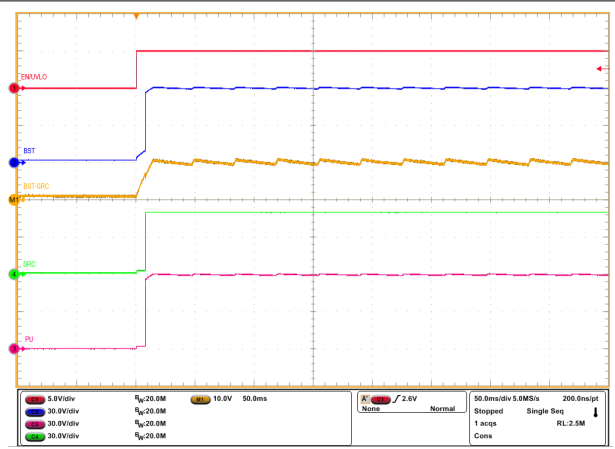


図 8-3. INP = High、 $C_{BST} = 470\text{nF}$ でのブートストラップ電圧のスタートアッププロファイル

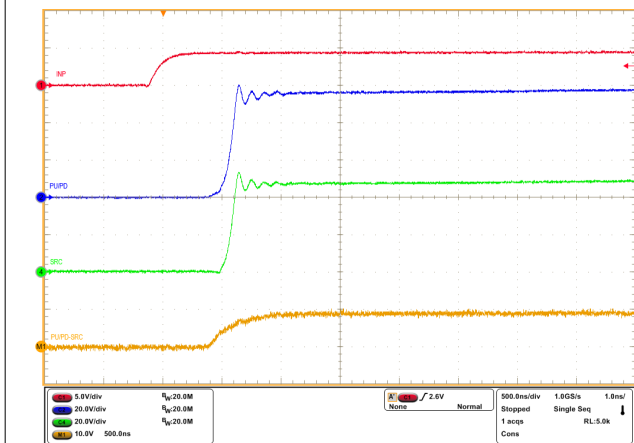


図 8-4. INP -> Low から High、 $C_{BST} = 470\text{nF}$ での TPS4800-Q1 のターンオン応答

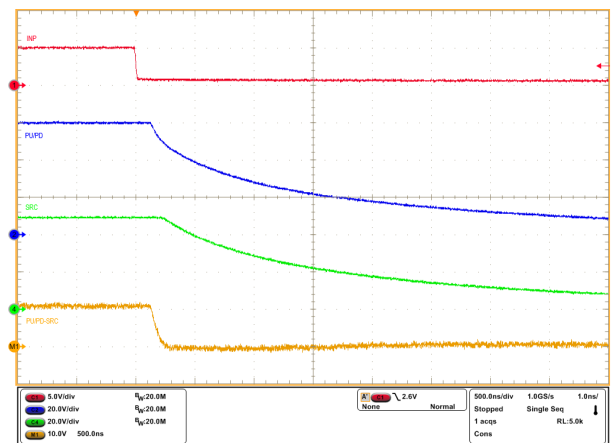


図 8-5. INP -> High から Low、 $C_{BST} = 470\text{nF}$ での TPS4800-Q1 のターンオフ応答

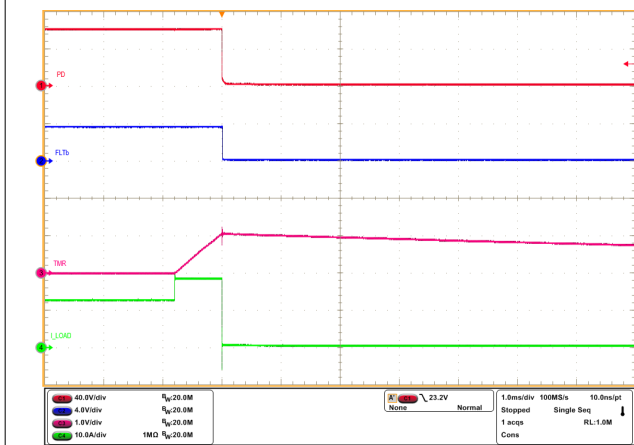


図 8-6. 15A の短絡保護設定および $t_{sc} = 1\text{ms}$ で 12A ~ 18A の負荷ステップに対する TPS4800-Q1 の過電流応答

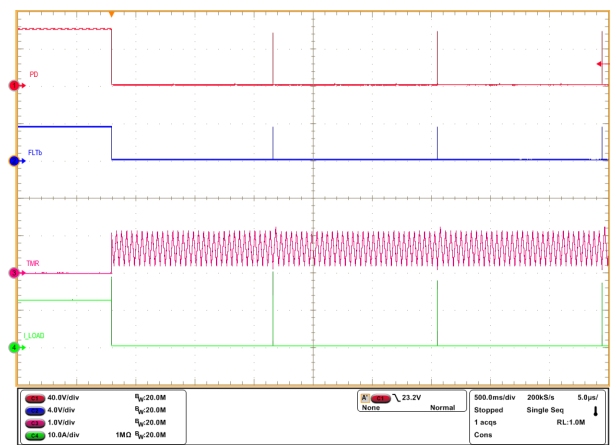


図 8-7. 過電流フォルトにおける TPS4800-Q1 の自動リトライ応答

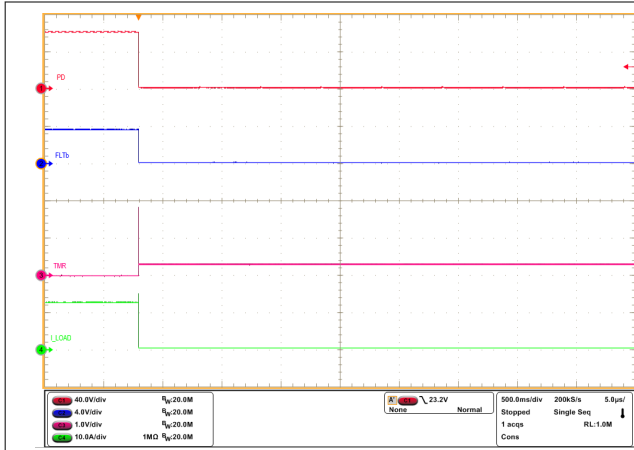


図 8-8. 過電流フォルトにおける TPS4800-Q1 のラッチオフ応答

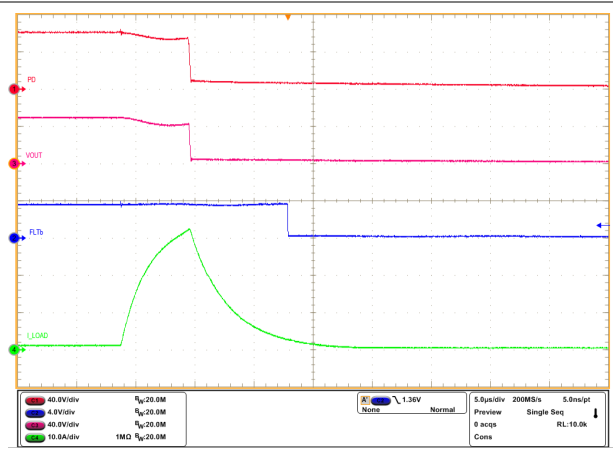


図 8-9. 15A 短絡保護設定と TMR = オープンにおける TPS4800-Q1 デバイスの出力短絡応答

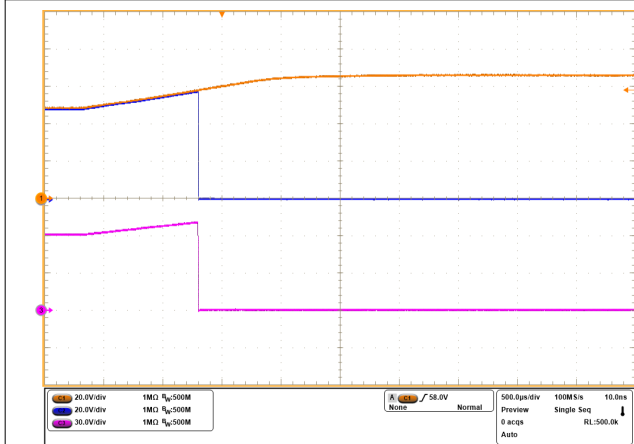


図 8-10. 58V レベルでの TPS4800-Q1 の過電圧カットオフ応答

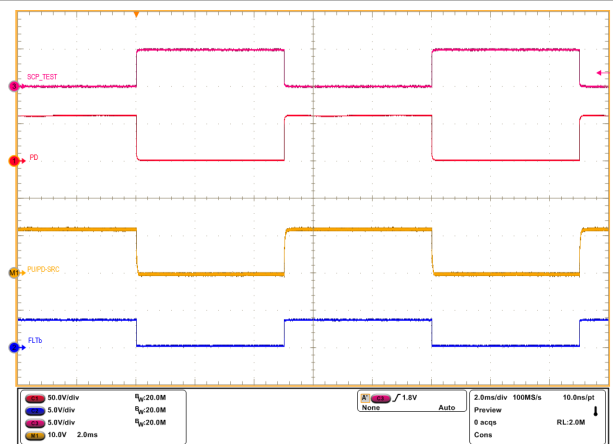


図 8-11. TPS4800-Q1 の短絡保護回路診断テスト応答

8.3 電源に関する推奨事項

INP1 制御、過電流保護などにより電流フローが中断される状況下で外部 MOSFET がオフになると、入力寄生ライン インダクタンスによって入力に正の電圧スパイクが生成され、出力寄生インダクタンスによって出力に負の電圧スパイクが生成されます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何らかの策を講じない場合は、こうした過渡現象によって、デバイスの **絶対最大定格** を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- 入力と GND の間に TVS ダイオードと入力コンデンサ フィルタを組み合わせることで、エネルギーを吸収し、正の過渡電圧を減衰させることができます。
- 出力と GND の間にダイオードまたは TVS ダイオードを配置して、負のスパイクを吸収します。

TPS48000-Q1 には、VS ピンから電力が供給されます。適切に動作させるためには、このピンの電圧を $V_{(VS_PORR)}$ レベルよりも高く維持する必要があります。入力電源に過渡現象によってノイズが多い場合は、入力電源ラインと VS ピンの間に $R_{VS} - C_{VS}$ フィルタを配置し、電源ノイズをフィルタして除去することが推奨されます。 R_{VS} 値を 100Ω 付近に設定することを推奨します。

di/dt が大きい場合、システムおよびレイアウトの寄生インダクタンスにより、CS+ ピンと CS- ピンの間に大きな差動信号電圧が生成される可能性があります。これにより、誤って短絡保護が発生する可能性、およびシステム内で不要なトリップが発生する可能性があります。こうした問題を克服するため、センス抵抗 (R_{SNS}) の両端に RC フィルタ部品用のプレースホルダを追加し、実際のシステムでのテスト中に値を微調整することが推奨されます。MOSFET VDS 検出による電流センス設計では、短絡保護応答への影響を回避するため、RC フィルタ部品を使用しないでください。

以下の図に、オプションの保護部品を使用した回路実装を示します。

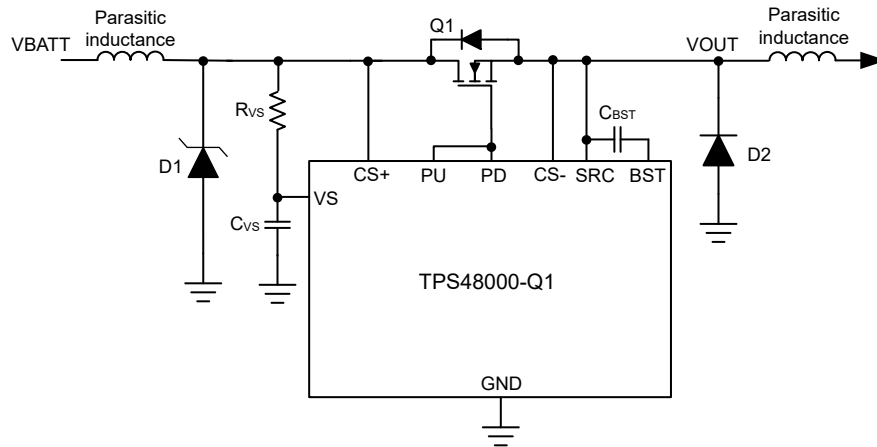


図 8-12. オプションの保護部品を使用した TPS48000-Q1 の回路実装

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- センス抵抗 (R_{SNS}) は TPS48000-Q1 の近くに配置し、ケルビン技法を使用して R_{SNS} を接続します。ケルビン技法の詳細については、『[適切なセンス抵抗のレイアウトの選択](#)』を参照してください。

VDS ベースの電流検出を行う場合は、MOSFET に対して同様の Kevlin 手法を用います。

- すべてのアプリケーションにおいて、VS 端子と GND の間に 0.1 μ F 以上の値のセラミック デカップリング コンデンサを選択します。電力線の障害に対するデカップリングを改善するために、コントローラの電源ピン (VS) に RC ネットワークを追加することを検討してください。
- ボードの入力から負荷への大電流パスおよび帰路は並列かつ互いに近接して配置し、ループ インダクタンスを最小化します。
- 外部 MOSFET は、コントローラの GATE 駆動ピン (PU/PD) の近くに配置して、MOSFET の GATE がコントローラの GATE 駆動ピンに近接し、GATE ループが短くなるようにします。必要に応じて、高周波発振を抑制するため、各外部 MOSFET のゲートと直列に抵抗のプレースホルダを追加することを検討します。
- TVS ダイオードを入力に配置して、ホットプラグ時および高速ターンオフ時の過渡電圧をクランプします。
- 外部ブートストラップ コンデンサは、BST ピンと SRC ピンの近くに配置して、ループが非常に短くなるようにします。
- TPS48000-Q1 の周囲にある各種部品のグラウンド接続は、互いに直接接続し、TPS48000-Q1 の GND に接続してから、システム グラウンドに一箇所で接続します。各種部品のグラウンドは、高電流のグラウンドライン経由で相互に接続しないでください。

8.4.2 レイアウト例

- Top Layer
- Inner Layer GND plane
- Inner Layer PGND plane
- Via to GND plane
- Via to PGND plane

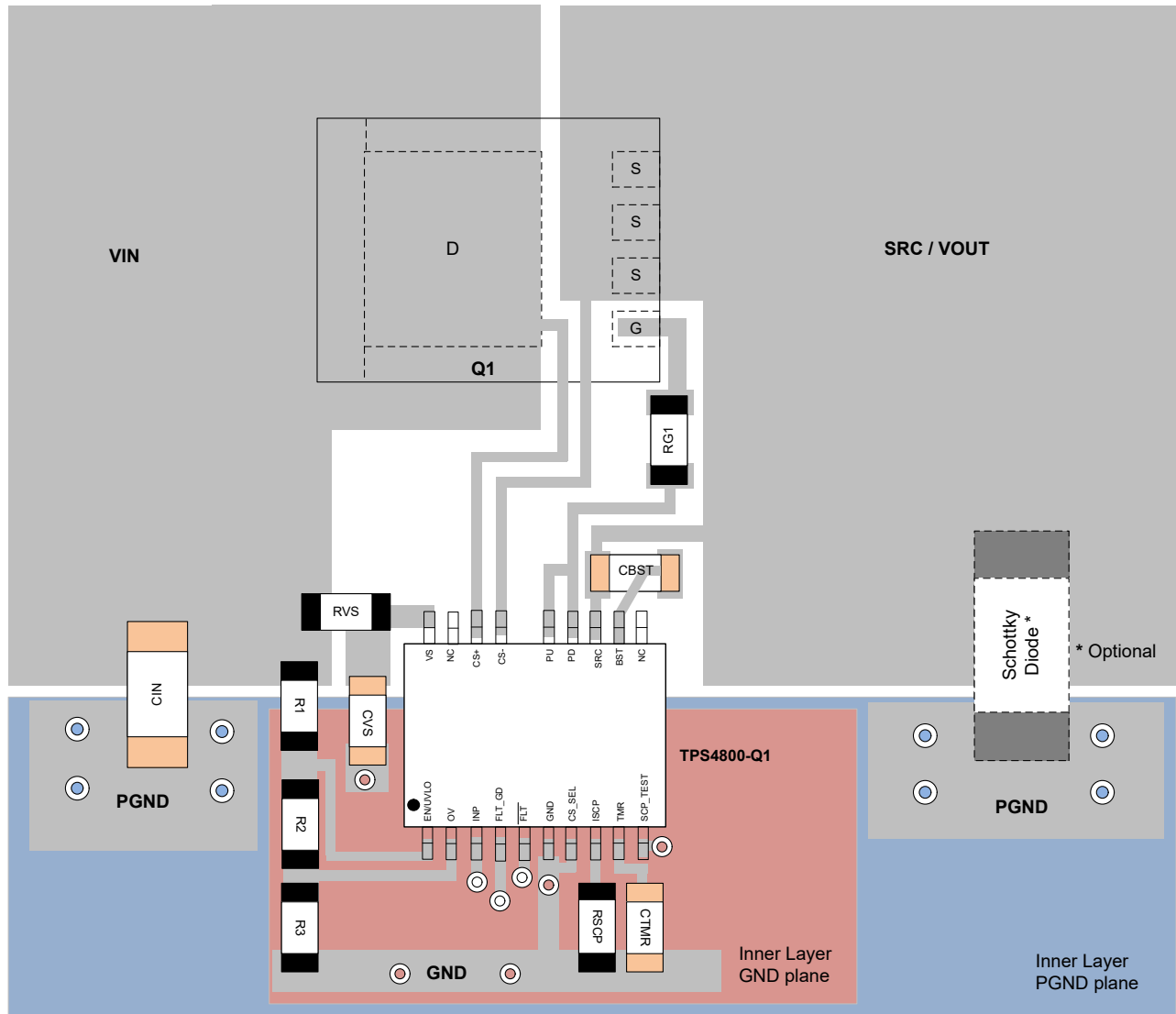


図 8-13. VDS ベースの電流検出を使用した TPS4800-Q1 の代表的な PCB レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (December 2024) to Revision B (March 2026)	Page
• MIN を 1.78V から 1.7V に、MAX を 3.27V から 3.34V に変更.....	6
• MIN を 1.71V から 1.7V に、MAX を 3.1V から 3.16V に変更.....	6
• MAX を 55 μ A から 56 μ A に変更.....	6
• TYP を 0.75 μ A から 1 μ A に、MAX を 3.3 μ A から 4.3 μ A に変更.....	6
• MIN を 19 μ A から 15 μ A に、TYP を 22.1 μ A から 22.4 μ A に、MAX を 37 μ A から 38 μ A に変更.....	6
• MIN を 1.176V から 1.17V に、MAX を 1.287V から 1.29V に変更.....	6
• TYP を 1.136V から 1.14V に、MAX を 1.184V から 1.19V に変更.....	6
• MAX を 478nA から 490nA に変更.....	6
• MAX を 700nA から 730nA に変更.....	6
• MIN を 1.171V から 1.17V に、TYP を 1.225V から 1.23V に、MAX を 1.278V から 1.28V に変更.....	6
• MIN を 1.088V から 1.08V に、TYP を 1.138V から 1.14V に、MAX を 1.186V から 1.19V に変更.....	6
• MAX を 200nA から 205nA に変更.....	6
• MIN を 190 μ A から 100 μ A に、MAX を 466 μ A から 555 μ A に変更.....	6
• MIN を 8.1V から 7.19V に、MAX を 9.9V から 10.81V に変更.....	6
• MIN を 7.28V から 6.54V に、MAX を 8.9V から 9.64V に変更.....	6
• MIN を 9.3V から 8.24V に、MAX を 11.4V から 12.46V に変更.....	6
• MIN を 9.34V から 9.3V に、MAX を 12.8V から 13.86V に変更.....	6

• MIN を 9.1V から 8.9V に、MAX を 11.62V から 11.82V に変更.....	6
• MIN を 5.5V から 5.32V に、MAX を 8.3V から 8.48V に変更.....	6
• MIN を 8.4µA から 8.22µA に、MAX を 12.33µA から 12.51A に変更.....	6
• MIN と MAX の値を追加.....	6
• MIN を 60mV から 58.4mV に、MAX を 90mV から 91.6mV に変更.....	6
• MIN を 32mV から 31.1mV に、MAX を 48mV から 48.9mV に変更.....	6
• MIN を 15mV から 14.9mV に、MAX を 25mV から 25.2mV に変更.....	6
• MIN、TYP を追加し、MAX を 757mV から 651mV に変更.....	6
• 新しい行項目.....	6
• MIN を 283mV から 279mV に、MAX を 315mV から 319mV に変更.....	6
• MIN を 67.8mV から 67mV に、MAX を 81.7mV から 83mV に変更.....	6
• MIN を 33.3mV から 33mV に、MAX を 46.2mV から 47mV に変更.....	6
• MIN を 67µA から 65µA に、MAX を 104µA から 106µA に変更.....	6
• MIN を 1.4µA から 1.33µA に、MAX を 3.8µA から 3.87µA に変更.....	6
• MIN を 2.17µA から 2.14µA に、MAX を 3.4µA から 3.43µA に変更.....	6
• MIN を 0.93V から 0.87V に、MAX を 1.2V から 1.26V に変更.....	6
• MIN を 0.15V から 0.14V に、MAX を 0.25V から 0.26V に変更.....	6
• MIN を 53Ω から 52Ω に変更.....	6
• MAX を 206nA から 210nA に変更.....	6
• MIN を 1.35V から 1.25V に、MAX を 2V から 1.58V に変更.....	6
• MIN を 0.8V から 0.66V に、MAX を 1.36V から 1.14V に変更.....	6
• MAX を 200nA から 210nA に変更.....	6
• MAX を 1.53µs から 1.68µs に変更.....	7
• MAX を 1µs から 1.05µs に変更.....	7
• MIN を 2.2µs から 1.68µs に、MAX を 6µs から 6.52µs に変更.....	7
• MIN を 2.8µs から 2.22µs に、MAX を 6µs から 6.58µs に変更.....	7
• MAX を 5.4µs から 5.55µs に変更.....	7

Changes from Revision * (December 2023) to Revision A (December 2024)	Page
• ドキュメントのステータスを「事前情報」から変更: 「量産データ」.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS48000QDGXRQ1	Active	Preproduction	VSSOP (DGX) 19	5000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS48000QDGXRQ1.A	Active	Preproduction	VSSOP (DGX) 19	5000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS48000QDGXRQ1	Active	Production	VSSOP (DGX) 19	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4800
TPS48000QDGXRQ1.A	Active	Production	VSSOP (DGX) 19	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4800

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS48000QDGXRQ1	VSSOP	DGX	19	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS48000QDGXRQ1	VSSOP	DGX	19	5000	353.0	353.0	32.0

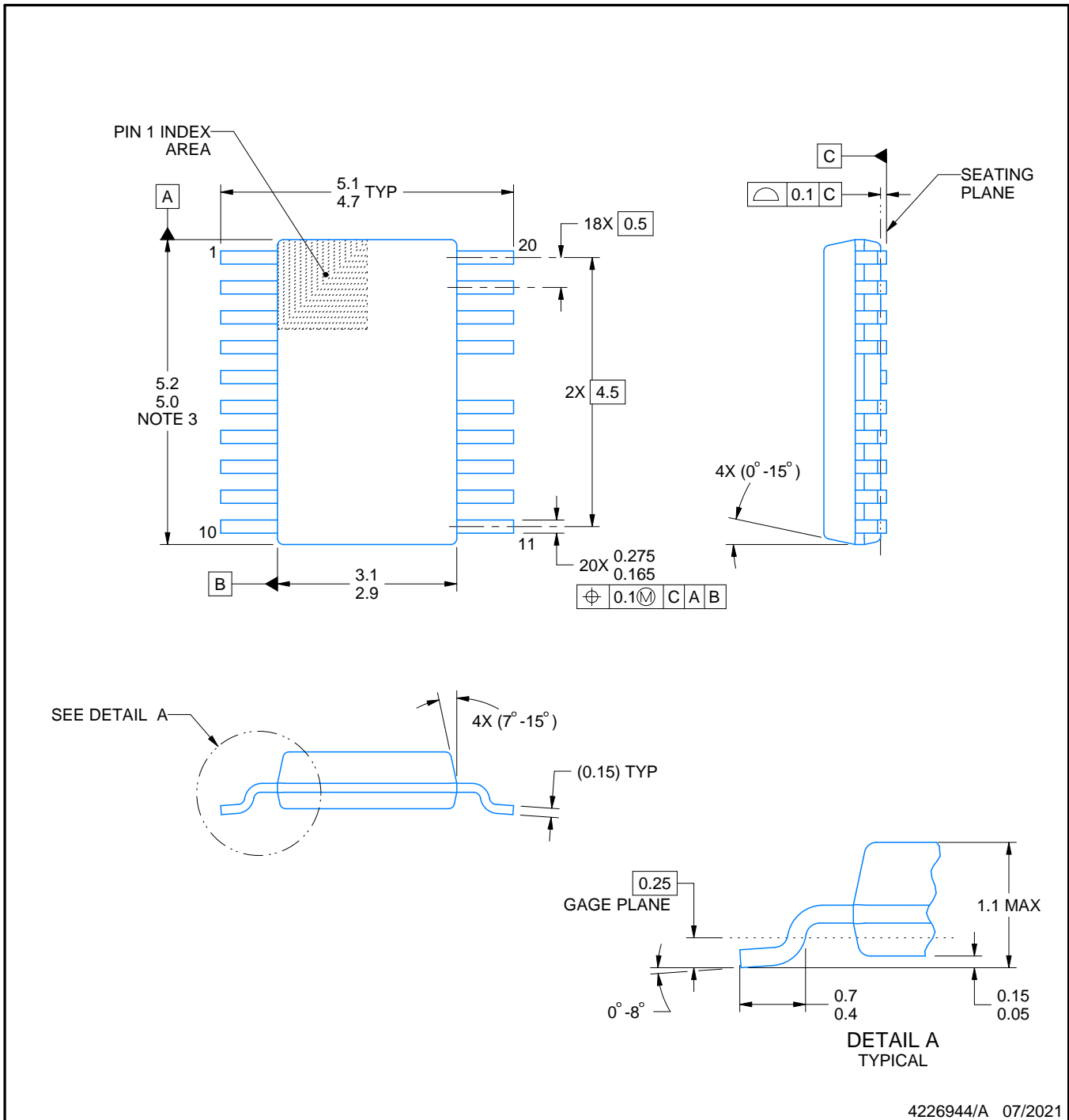
DGX0019A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226944/A 07/2021

NOTES:

PowerPAD is a trademark of Texas Instruments.

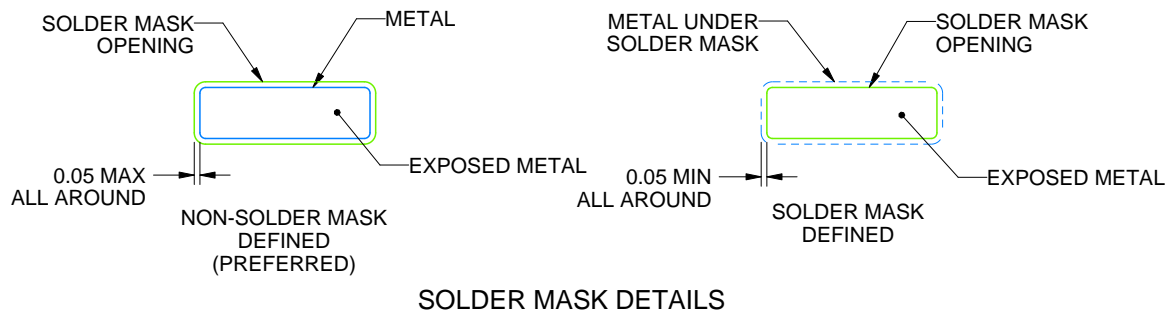
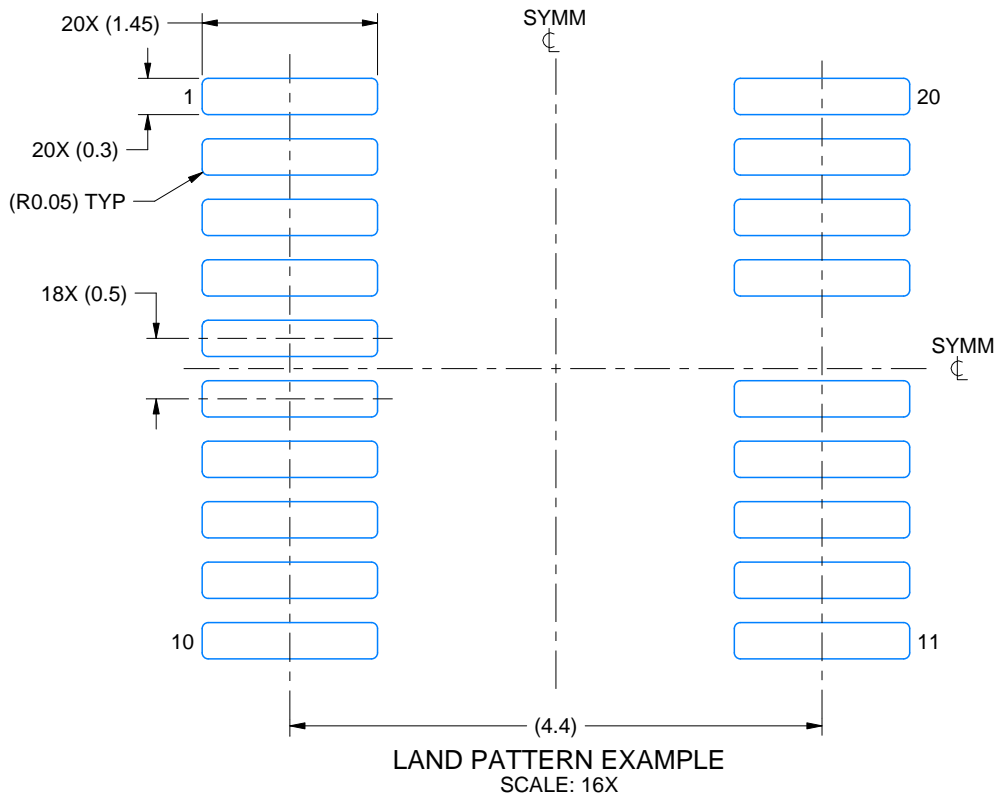
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of July 2021.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGX0019A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226944/A 07/2021

NOTES: (continued)

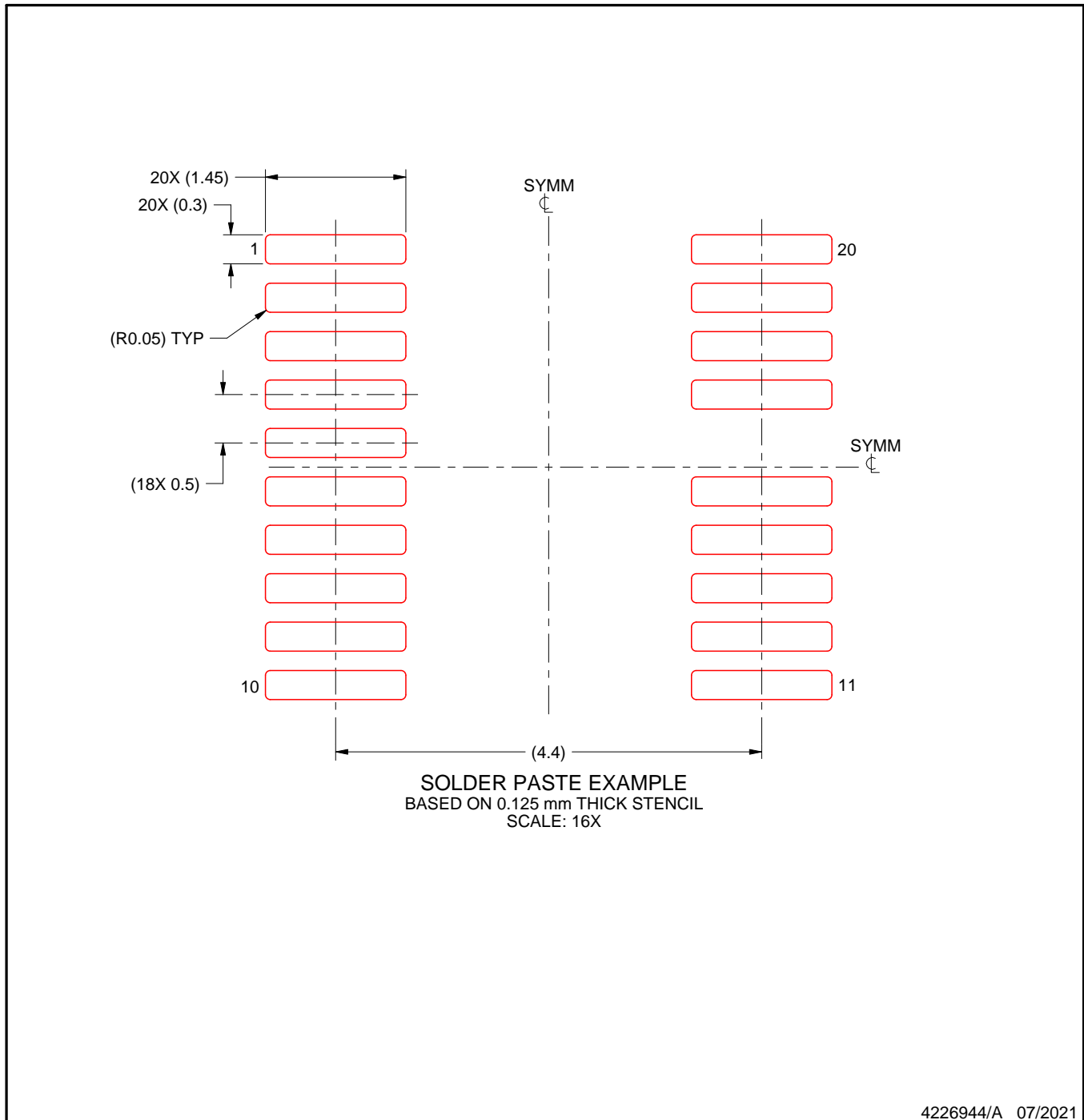
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGX0019A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月