TPS4816-Q1 双方向 IMON、 I2t、OV、診断機能付き、100V 低 I_Q 車載用ハイサイド スイッチ コントローラ

1 特長

- AEC-Q100 車載グレード 1 温度認定済み
- 3.5V～95V の入力範囲 (絶対最大定格 100V)
- 最低 –60V までの逆入出力保護
- 内蔵 12V チャージ ポンプ
- 1µA の低シャットダウン電流 (EN/UVLO = Low)
- デュアル ゲート ドライブ：GATE = 0.5A src/2A シンク、G = 100µA src/0.39A シンク
- 容量性負荷を駆動するためのプリチャージスイッチドライバ (INP_G) を内蔵
- 調整可能なサーキット ブレーカ タイマ (I2t) 付きの高精度 I2t 過電流保護 (IOC)
- 高精度 (±5%) で高速 (5µs) の短絡保護機能
- 高精度アナログ双方向電流モニタ出力 (IMON、I_DIR)：±2% (30mV V_{SNS})
- NTC ベースの過熱検出 (TMP) とモニタリング出力 (ITMPO)
- 短絡フォルト時のフォルト表示 ($\overline{FLT}$)、I2t、チャージ ポンプ UVLO、OV、過熱
- TPS48160-Q1 (I2t イネーブル)、TPS48161-Q1 (I2t ディスエーブル)
- 高精度 (±2%) および調整可能な低電圧誤動作防止 (UVLO) および過電圧保護 (OV)

2 アプリケーション

- パワー ディストリビューション ボックス
- ボディ コントロール モジュール
- DC/DC コンバータ
- バッテリ マネージメント システム

3 説明

TPS4816-Q1 は、保護および診断機能を備えた 低 I_Q のスマート ハイサイド ドライバのファミリです。動作電圧範囲が 3.5V～95V と広く、(絶対最大定格が 100V のため)、12V、24V、48V の車載用システムの設計に適しています。

本デバイスは、大電流システム設計において並列 FET を使って電力をスイッチングできる、強力な 0.5A ピーク ソースと 2A ピーク シンク ゲート ドライバを備えています。ゲート ドライバの制御入力として INP を使います。外付けの R-C 部品を配置することで、MOSFET スルー レート制御 (オンおよびオフ) が可能です。

制御入力 (INP_G) を備えたプリチャージ ドライバ (G) も内蔵しています。この機能は、大きな容量性負荷を駆動する必要がある設計を可能にします。シャットダウン モードでは、本コントローラは合計 1µA のシャットダウン電流を消費します (48V 電源入力の場合)。

デバイスは、高精度の 双方向電流検出 (±2%) 出力 (IMON、I_DIR) を備えており、外部 R_{SNS} 抵抗と $\overline{FLT}$ 通知を使用して、可変の I2t ベースの過電流および短絡保護 (±5%) を実現しています。自動リトライおよびラッチオフ フォルト動作は設定可能です。このデバイスは、外部 FET の過熱検出用に、NTC ベースの温度センシング (TMP) およびモニタリング監視出力 (ITMPO) も備えています。

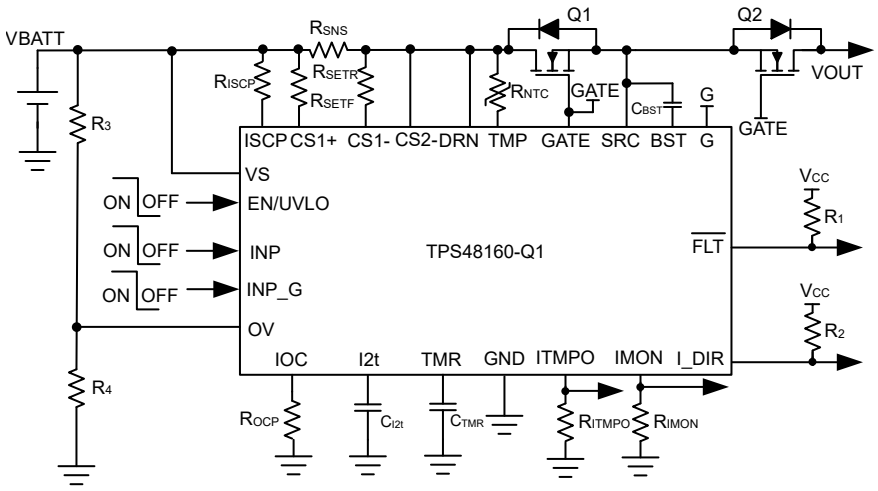
TPS4816-Q1 は、23 ピンの VQFN パッケージで供給されます。

パッケージ情報

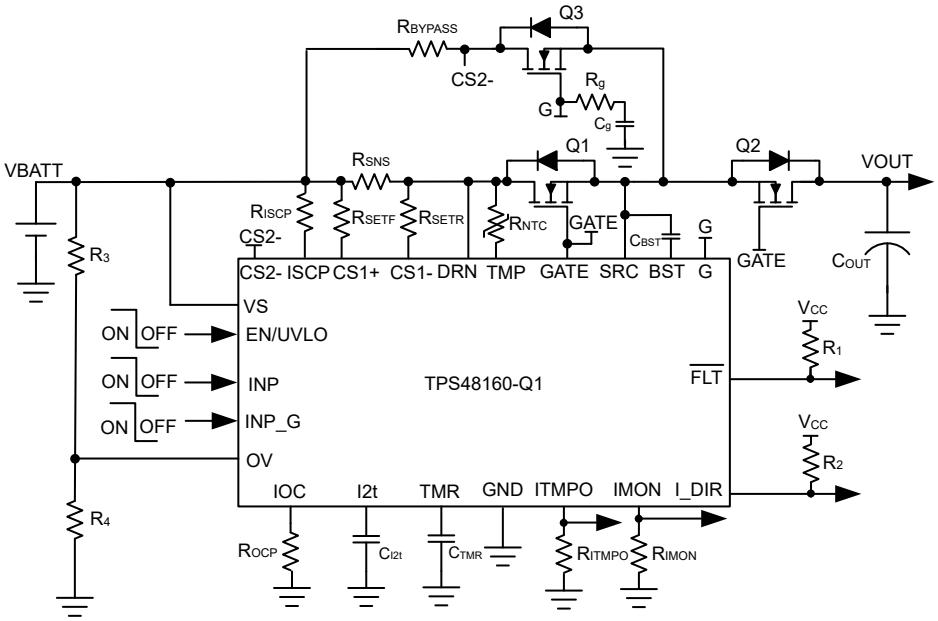
部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS48160-Q1、TPS48161-Q1	RGE (VQFN、23)	4mm × 4mm

(1) 供給されているすべてのパッケージについては、セクション 12 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



バックツーバック FET を駆動する TPS48160-Q1 アプリケーション回路



TPS48160-Q1 アプリケーション回路、バルク キャパシタ充電付き

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイスの比較.....4
5 ピン構成および機能.....5
6 仕様.....8
6.1 絶対最大定格.....8
6.2 ESD 定格.....8
6.3 推奨動作条件.....8
6.4 熱に関する情報.....9
6.5 電気的特性.....9
6.6 スイッチング特性.....12
6.7 代表的特性.....13
7 パラメータ測定情報.....14
8 詳細説明.....16
8.1 概要.....16
8.2 機能ブロック図.....17
8.3 機能説明.....18
8.4 デバイスの機能モード.....30
9 アプリケーションと実装.....31
9.1 アプリケーション情報.....31
9.2 代表的なアプリケーション：駆動容量負荷.....31
9.3 電源に関する推奨事項.....37
9.4 レイアウト.....38
10 デバイスおよびドキュメントのサポート.....40
10.1 ドキュメントの更新通知を受け取る方法.....40
10.2 サポート・リソース.....40
10.3 商標.....40
10.4 静電気放電に関する注意事項.....40
10.5 用語集.....40
11 改訂履歴.....40
12 メカニカル、パッケージ、および注文情報.....40

Copyright © 2025 Texas Instruments Incorporated

4 デバイスの比較

表 4-1. デバイスの比較

デバイス名/ 機能	TPS48160-Q1	TPS48161-Q1
I2t 保護	あり	いいえ

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

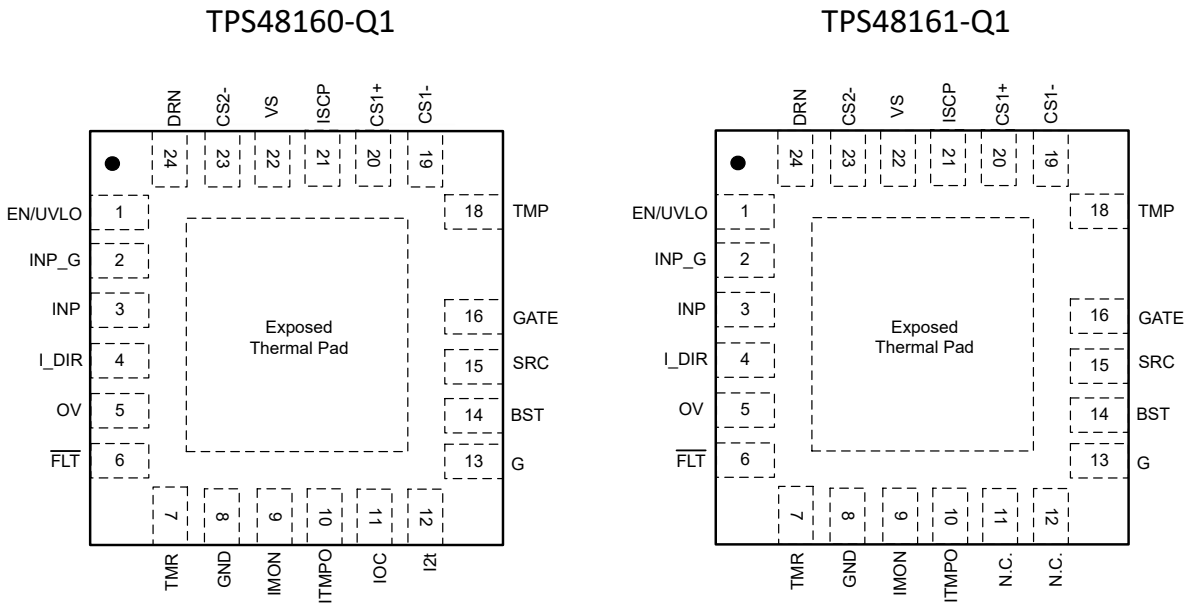


図 5-1. RGE パッケージ、23 ピン VQFN (上面図)

表 5-1. ピンの機能

ピン			タイプ(1)	説明
名称	TPS48160-Q1	TPS48161-Q1		
EN/UVLO	1	1	I	EN/UVLO 入力。 このピンの電圧が $V_{(UVLOR)}$ 1.21V を上回ると、通常動作が可能になります。EN/UVLO が $V_{(UVLOF)}$ を下回ると、ゲートドライブはオフになります。 このピンを $V_{(ENF)}$ 0.3V 未満に強制すると、デバイスがシャットダウンし、静止電流が約 1µA (標準値) に低下します。オプションで、抵抗デバイダ経由で入力電源に接続し、低電圧誤動作防止を設定します。 EN/UVLO がフローティングになっている場合、100nA の内部プルダウンにより、EN/UVLO が Low にプルされ、デバイスがオフ状態のままになります。
INP_G	2	2	I	G による外部 FET 制御の入力信号。 G ピンの状態を設定する GND への CMOS 互換入力リファレンス。 INP_G は、INP_G がフローティングのままのときに GND が G を SRC にプルダウンするために、100nA の弱い内部プルダウンを備えています。
INP	3	3	I	ゲートによる外部 FET 制御の入力信号。 GATE ピンの状態を設定する GND への CMOS 互換入力リファレンス。 INP は、INP がフローティングのままのときに GND がゲートを SRC にプルダウンするために、100nA の弱い内部プルダウンを備えています。
I_DIR	4	4	O	オープンドレイン I_DIR 出力。 CS1+ および CS1– を流れる電流が逆方向に流れると、このピンはデバイスによって Low にアサートされます。

表 5-1. ピンの機能 (続き)

ピン			タイプ(1)	説明
名称	TPS48160-Q1	TPS48161-Q1		
OV	5	5	I	可変過電圧スレッショルド入力。 入力電源 OV から GND に抵抗ラダーを接続します。OV の電圧が過電圧カットオフしきい値を超えると、ゲートと G が SRC にプルダウンされ、外部 FET がオフになります。OV の電圧が OV 立ち下がりスレッショルドを下回ると、ゲートまたは G が BST にプルアップされ、外部 FET が オンになります。 未使用時は OV を GND に接続する必要があります。OV がフローティングになっている場合、100nA の内部プルダウンにより、OV が low にプルされ、ゲートまたは G は BST にプルアップされたままになります。
$\overline{FLT}$	6	6	O	オープン ドレイン立ち下がり出力。 チャージ ポンプの UVLO、メインまたはプリチャージ FET SCP、I2t タイマトリガ、OV 中、$\overline{FLT}$ が low になります。 I2t ピンの電圧がフォルト スレッショルド 2V に達すると、このピンが Low にアサートされます。このピンは、過負荷状態に起因してメイン FET がオフになりそうな状態を示すものです。このピンは、短絡時に Low にアサートされ、GATE がオフになります。 過電流状態と自動リトライ時間が経過するまで、$\overline{FLT}$ ピンはハイ インピーダンス状態にはなりません。
TMR	7	7	I	過電流フォルト発生後の自動リトライまたはラッチ タイマ入力。 TMR ピンと GND の間にコンデンサを接続することで、リトライ期間の時間が設定されます。オープンのままにするのが最も速い設定です。 ラッチオフ機能を実現するには、TMR ピンから GND までの C_{TMR} 間に抵抗を接続します。
GND	8	8	G	GND をシステム グランドに接続します。
IMON	9	9	O	アナログ双方向電流モニタ出力。 このピンは、外部の電流センス抵抗 R_{SNS} を介して、電流のスケールダウン比をソースします。このピンと GND との間の抵抗は、電圧に比例する電流を変換します。 使用しない場合は、フローティングのままにするか、グランドに接続することができます。
ITMPO	10	10	O	アナログ温度出力。 アナログ電圧帰還は、サーミスタの温度に比例する電圧を供給します。 使用しない場合は、フローティングのままにします。
IOC	11	—	I	過電流検出設定。 IOC と GND の間に抵抗を接続することで、過電流コンパレータ スレッショルドを設定します IOC ピンは、MCU を使用して外部から駆動することもできます。
N.C.	—	11	—	接続なし。
I2t	12	—	O	I2t タイマ入力。 I2t ピンと GND の間にコンデンサを接続することで、過電流 (t_{OC}) の時間を設定します。
N.C.	—	12	—	接続なし。
G	13	13	O	外部バイパス FET のゲート。 100µA ピーク ソースおよび 0.39A シンク容量。 外部バイパス FET のゲートに接続します。
BST	14	14	O	ハイサイド ブートストラップ電源。 このピンと SRC との間には、最小値の 0.1µF の外部コンデンサを接続する必要があります。このピンの電圧スイングは 12V ～ (VIN + 12V) です。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン			タイプ(1)	説明
名称	TPS48160-Q1	TPS48161-Q1		
SRC	15	15	O	外部 FET のソース接続。
GATE	16	16	O	大電流ゲートドライバのプルアップおよびプルダウン。 0.5A ピーク ソースおよび 2A シンク容量。 このピンは、ゲートを BST にプルアップし、SRC にプルダウンします。オン / オフを最速にするには、このピンをメイン パスの外部ハイサイド MOSFET のゲートに直接接続します。
TMP	18	18	I	温度入力。 外部 NTC サーミスタへのアナログ接続。 この機能を使用しない場合は、TMP ピンを VS に直接接続します。
CS1–	19	19	I	メイン パス電流センスの負入力。 CS1- と外部電流センス抵抗の間に抵抗 (R_{SETR}) を接続して、IMON ゲインを逆方向に設定します。
CS1+	20	20	I	メイン パス電流センスの正入力。 CS1+ と外部電流センス抵抗の間に抵抗 (RSETF) を接続して、IMON ゲインを順方向に設定します。 メイン FET 電流検出を使用しない場合は、CS1+ と CS1– を VBATT に接続します。
ISCP	21	21	I	短絡検出スレッショルド設定。 短絡保護が不要な場合は、ISCP を DRN に接続します。
VS	22	22	電源	コントローラの電源ピン。
CS2–	23	23	I	バイパス パス電流センスの負入力。
DRN	24	24	I	メイン パス SCP 検出の負入力。 バイパス パスを使用しない場合は、DRN+ と CS2- を一緒に R_{SNS} の後に VBATT に接続します。
GND	サーマル パッド	—	—	露出サーマル パッドを GND プレーンに接続します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
入力ピン	VS、CS1+、CS1–、DRN、CS2–、ISCP、TMP ～ GND	-65	100	V
入力ピン	VS、CS1+、CS1–、DRN、CS2–、ISCP、TMP ～ SRC	-65	100	V
入力ピン	SRC ～ GND	-65	100	V
入力ピン	GATE、G、BST ～ SRC	-0.3	19	V
入力ピン	TMR ～ GND	-0.3	5.5	V
入力ピン	IOC ～ GND、TPS48160-Q1 のみ	-1	5.5	V
入力ピン	EN/UVLO、INP、INP_G、$V_{(VS)}$ > 0V	-1	100	V
入力ピン	EN/UVLO、INP、INP_G、$V_{(VS)}$ ≤ 0V	$V_{(VS)}$	(100 + $V_{(VS)}$)	V
入力ピン	CS1+ ～ CS1–	-0.3	0.4	V
入力ピン	DRN ～ CS2–	-5	100	V
入力ピン	OV ～ GND	-1	20	V
出力ピン	$\overline{FLT}$、I_DIR ～ GND	-1	20	V
出力ピン	IMON ～ GND	-1	5.5	V
出力ピン	I2t、ITMPO ～ GND、TPS48160-Q1 のみ	-1	7.5	V
出力ピン	ITMPO ～ GND、TPS48161-Q1 のみ	-1	7.5	V
出力ピン	GATE、G、BST ～ GND	-65	112	V
シンク電流	$I_{(FLT)}$、$I_{(I_DIR)}$		10	mA
シンク電流	$I_{(CS1+)}$ ～ $I_{(CS1–)}$、1msec。$I_{(DRN)}$ ～ $I_{(CS2–)}$、1msec		100	mA
動作時の接合部温度、T_j (2)		-40	150	°C
保管温度、T_{stg}		-40	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125℃を超えると、動作寿命が短くなります。

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)		±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	コーナー ピン	±750	
			その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	公称値	最大値	単位
入力ピン	VS、CS1+、CS1–、DRN、CS2–、ISCP、TMP ～ GND	-60		95	V
入力ピン	EN/UVLO、INP、INP_G	0		95	V
入力ピン	IOC、TMR ～ GND、TPS48160-Q1 のみ	0		5	V
入力ピン	TMR ～ GND、TPS48161-Q1 のみ	0		5	V

Copyright © 2025 Texas Instruments Incorporated

6.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	公称値	最大値	単位
入力ピン	OV ～ GND	0		15	V
出力ピン	I2t、IMON、ITMPO ～ GND、TPS48160-Q1 のみ	0		5	V
出力ピン	IMON、ITMPO ～ GND、TPS48161-Q1 のみ	0		5	V
出力ピン	$\overline{FLT}$、I_DIR ～ GND	0		15	V
外付けコンデンサ	VS、SRC ～ GND	22			nF
外付けコンデンサ	BST ～ SRC	0.1			µF
外付けコンデンサ	I2t から GND へ	10			nF
外付けコンデンサ	TMR ～ GND	1			nF
Tj	動作時接合部温度(2)	-40		150	°C

(1) 推奨動作条件は、デバイスが機能すると想定されている条件を示します。仕様およびテスト条件については、「電気的特性」を参照してください。
(2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125℃を超えると、動作寿命が短くなります。

6.4 熱に関する情報

熱評価基準(1)		TPS4816x-Q1 RGE (VQFN) 23 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	43	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	38.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	20.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	20.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性

T_J = –40 ℃ ～ +125℃.$V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 12V、$V_{(SRC)}$ = 0V

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧 (VS)						
VS	動作時入力電圧		3.5		95	V
$V_{(S_PORR)}$	入力電源 POR スレッショルド、立ち上がり		2.06	2.6	3.12	V
$V_{(S_PORF)}$	入力電源 POR スレッショルド、立ち下がり		2	2.5	3.01	V
	システム全体の静止電流、$I_{(GND)}$	$V_{(EN/UVLO)}$ = 2V		430	525	µA
	システム全体の静止電流、$I_{(GND)}$	$V_{(EN/UVLO)}$ = 2V TPS48161-Q1 のみ		370	470	µA
$I_{(SHDN)}$	SHDN 電流、$I_{(GND)}$	$V_{(SRC)}$ = 48V、$V_{(EN/UVLO)}$ = 0V、$V_{(SRC)}$ = 0V		0.9	3.4	µA
$V_{(REV_DRN)}$	入力電源逆極性保護機能スレッショルド			1.5		V
$I_{(REV_VS)}$	逆極性時の $I_{(VS)}$ リーク電流	0V ≤ $V_{(VS)}$ ≤ – 65V			60	µA
$I_{(REV_SRC)}$	逆極性時の $I_{(SRC)}$ リーク電流	0V ≤ $V_{(VS)}$ ≤ – 65V			27	µA

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_J = –40 ℃ ～ +125℃.$V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 12V、$V_{(SRC)}$ = 0V

パラメータ		テスト条件	最小値	標準値	最大値	単位
イネーブル、低電圧誤動作防止 (EN/UVLO)、過電圧保護入力 (OV)						
$V_{(UVLOR)}$	UVLO スレッショルド電圧、立ち上がり		1.16	1.2	1.245	V
$V_{(UVLOF)}$	UVLO スレッショルド電圧、立ち下がり		1.09	1.11	1.16	V
$V_{(ENR)}$	低 IQ シャットダウンのイネーブル スレッショルド電圧、立ち上がり				1	V
$V_{(ENF)}$	低 Iq シャットダウンのイネーブル スレッショルド電圧、立ち下がり		0.3			V
$I_{(EN/UVLO)}$	イネーブル入力リーク電流	$V_{(EN/UVLO)}$ = 48V			500	nA
$V_{(OVR)}$	OV スレッショルド電圧、立ち上がり		1.16	1.2	1.245	V
$V_{(OVF)}$	OV スレッショルド電圧、立ち下がり		1.09	1.11	1.16	V
$I_{(OV)}$	OV のリーク電流	$V_{(OV)}$ = 20 V			500	nA
チャージ ポンプ (BST–SRC)						
$I_{(BST_AM)}$	アクティブ モードでのチャージ ポンプ電源電流	$V_{(BST-SRC)}$ = 12V、$V_{(EN/UVLO)}$ = 2V	300	540	775	µA
$V_{(BST\ UVLO)}$	$V_{(BST-SRC)}$ UVLO 電圧スレッショルド、立ち上がり	$V_{(EN/UVLO)}$ = 2V	7	7.6	8.4	V
	$V_{(BST-SRC)}$ UVLO 電圧スレッショルド、立ち下がり	$V_{(EN/UVLO)}$ = 2V	6	6.6	7.2	V
$VCP_{(AM_LOW)}$	アクティブ モードでのチャージ ポンプ ターンオン電圧	$V_{(EN/UVLO)}$ = 2V	9.5	10.4	12.3	V
$VCP_{(AM_HIGH)}$	アクティブモードでのチャージ ポンプ ターンオフ電圧	$V_{(EN/UVLO)}$ = 2V	10.42	11.3	13	V
$VCP_{(AM_VS_3V)}$	アクティブ モードでの $V_{(VS)}$ = 3V でのチャージ ポンプ電圧	$V_{(EN/UVLO)}$ = 2V	9.02	10.3	11.8	V
$I_{(SRC)}$	SRC ピンのリーク電流	$V_{(EN/UVLO)}$ = 2V、$V_{(INP)}$ = 0V		1	1.57	µA
ゲートドライバ出力 (GATE、G)						
$I_{(GATE)}$	ピーク ソース電流			0.5		A
$I_{(GATE)}$	ピーク シンク電流			2		A
$I_{(G)}$	ゲート電荷 (ソース) 電流、オン状態			100		µA
$I_{(G)}$	G ピーク シンク電流			390		mA
電流センスおよび電流モニタ (CS1+、CS1–、IMON、I_DIR)						
$V_{(OS_SET)}$	入力換算オフセット (V_{SNS} から $V_{(IMON)}$ へのスケーリング)		-140		140	µV
$V_{(GE_SET)}$	ゲイン誤差 (V_{SNS} から $V_{(IMON)}$ へのスケーリング)		-1		1	%
$V_{(IMON_Acc)}$	IMON の精度	V_{SNS} = ±6mV	-5		5	%
$V_{(IMON_Acc)}$	IMON の精度	V_{SNS} = ±10mV	-5		5	%
$V_{(IMON_Acc)}$	IMON の精度	V_{SNS} = ±15mV	-2		2	%
$V_{(IMON_Acc)}$	IMON の精度	V_{SNS} = ±30mV	-2		2	%
過電流 (I2t) および短絡保護 (IOC、I2t、ISCP、DRN)						
$V_{(OCP)}$	OCP スレッショルド精度	15mV ≤ $V_{(OCP)}$ ≤ 100mV	-7.5		7.5	%
$I^2_{(I2t_Acc)}$	I2t ピンの I^2 電流精度	15mV ≤ $V_{(OCP)}$ ≤ 100mV V_{SNS} = $V_{(OCP)}$ + $V_{(OCP)}$ の 50%	-15		15	%
$I^2_{(I2t_Acc)}$	I2t ピンの I^2 電流精度	15mV ≤ $V_{(OCP)}$ ≤ 100mV V_{SNS} = $V_{(OCP)}$ + $V_{(OCP)}$ の 100%	-10		10	%

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_J = –40 ℃ ～ +125℃.$V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 12V、$V_{(SRC)}$ = 0V

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I^2_{(I2t_Acc)}$	I2t ピンの I^2 電流精度	15mV ≤ $V_{(OCP)}$ ≤ 100mV V_{SNS} = $V_{(OCP)}$ + $V_{(OCP)}$ の 200%	-10		10	%
$V_{(I2t_OC)}$	過電流シャットダウンの I2t ピン電圧スレッショルド		1.93	2	2.09	V
$I_{(I2t_Charge)}$	I2t ピンから $V_{(I2t_OFFSET)}$ への充電電流			5100		µA
$R_{(I2t_Discharge)}$	内部スイッチの放電抵抗			1200		Ω
$V_{(I2t_OFFSET)}$	I2t ピンのオフセット電圧		490	500	415	mV
$V_{(REF_OC)}$	IOC ピンのリファレンス電圧		190	200	205	mV
$V_{(SCP)}$	SCP スレッショルド精度	$V_{(SCP)}$ = 10mV、 $R_{(ISCP)}$ = 330Ω		10		mV
$V_{(SCP)}$	SCP スレッショルド精度	$V_{(SCP)}$ = 20mV、 $R_{(ISCP)}$ = 732Ω	19	20	21	mV
$V_{(SCP)}$	SCP スレッショルド精度	$V_{(SCP)}$ = 100mV、 $R_{(ISCP)}$ = 3.92kΩ	95	100	105	mV
I_{SCP}	SCP 入力バイアス電流		24.4	25	25.2	µA
負荷ウェークアップ コンパレータ (CS2-、DRN)						
$V_{(BYPASS_SCP)}$	バイパス パス の短絡スレッショルド		1.72	2	2.17	V
自動リトライまたはラッチオフ タイマ (TMR)						
$I_{(TMR_SRC_FLT)}$	TMR ソース電流		2	2.5	3	µA
$I_{(TMR_SNK)}$	TMR シンク電流		2	2.5	3	µA
$V_{(TMR_HIGH)}$	AR カウンタ立ち上がりスレッショルドの TMR ピンの電圧		1.04	1.23	1.42	V
$V_{(TMR_LOW)}$	AR カウンタ立ち下がりスレッショルドの TMR ピンの電圧		0.15	0.25	0.39	V
$N_{(A\text{-}R\ Count)}$				32		
温度モニタ (CS1–、TMP、ITMPO)						
$V_{(REF_TMP)}$	温度アンプの内部リファレンス電圧		475	500	525	mV
$V_{(ITMPO)}$	150℃ での温度モニタ出力電圧 $R_{(NTC)}$ = 10kΩ (25℃)	$R_{(TMP)}$ = 330Ω、 $R_{(NTC)}$ = 309Ω (150℃)、 $R_{(ITMPO)}$ = 2.55kΩ	-6		6.64	%
$V_{(ITMPO)}$	150℃ での温度モニタ出力電圧 $R_{(NTC)}$ = 47kΩ (25℃)	$R_{(TMP)}$ = 1kΩ、 $R_{(NTC)}$ = 520Ω (150℃)、 $R_{(ITMPO)}$ = 6.19kΩ	-6		6.67	%
$I_{(TMP)}$	TMP のリーク電流				100	nA
$V_{(TMP_OT)}$	過熱スレッショルド		1.9	2	2.06	V
入力制御 (INP、INP_G、$\overline{LPM}$)、& フォルト フラグ ($\overline{FLT}$)						
$R_{(\overline{FLT})}$ 、$R_{(I_DIR)}$	$\overline{FLT}$、I_DIR プルダウン抵抗			70		Ω
$I_{(\overline{FLT})}$ 、$I_{(I_DIR)}$	$\overline{FLT}$、I_DIR リーク電流	0V ≤ $V_{(\overline{FLT})}$ ≤ 20V、 0V ≤ $V_{(I_DIR)}$ ≤ 20V			400	nA
$V_{(INP_H)}$、$V_{(INP_H)}$					2	V
$V_{(INP_L)}$、$V_{(INP_G_L)}$			0.72			V
$V_{(INP_Hys)}$、 $V_{(INP_G_Hys)}$	INP、INP_G ヒステリシス			400		mV
$I_{(INP)}$、$I_{(INP_G)}$	INP、INP_G リーク電流				200	nA

Copyright © 2025 Texas Instruments Incorporated

6.6 スイッチング特性

T_J = –40 ℃ ～ +125℃.$V_{(VS)}$ = 48V、$V_{(BST-SRC)}$ = 12V、$V_{(SRC)}$ = 0V

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{GATE(INP_H)}$	INP ターンオン伝搬遅延	INP ↑ ～ GATE ↑、$C_{L(GATE)}$ = 47nF		1.2	2.5	µs
$t_{GATE(INP_L)}$	INP ターンオフ伝搬遅延	INP ↓ ～ GATE ↓、$C_{L(GATE)}$ = 47nF		0.35	1.5	µs
$t_{G(INP_G_H)}$	INP_G ターン オン伝搬遅延	INP_G ↑ ～ G ↑、$C_{L(G)}$ = 1nF		10	15	µs
$t_{GATE(INP_G_L)}$	INP_G ターン オフ伝搬遅延	INP_G ↓ ～ G ↓、$C_{L(G)}$ = 1nF		1	2.5	µs
$t_{GATE(EN_OFF)}$	EN ターンオフ伝搬遅延	EN ↓ ～ GATE ↓、$C_{L(GATE)}$ = 47nF、INP = High		3.1	4.5	µs
$t_{GATE(UVLO_OFF)}$	UVLO ターンオフ伝搬遅延	UVLO ↓ ～ GATE ↓、$C_{L(GATE)}$ = 47nF、INP = High		4	6.5	µs
$t_{GATE(OV_OFF)}$	OV ターンオフ伝搬遅延	OV ↓ ～ GATE ↓、$C_{L(GATE)}$ = 47nF		4	6.5	µs
$t_{GATE(UVLO_ON)}$	CBT プリバイアス > VPORF および INP が High に維持された状態での UVLO ～ GATE ターンオン伝搬遅延	EN/UVLO ↑ ～ GATE ↑、$C_{L(GATE)}$ = 47nF、INP = High,		8.5	25	µs
$t_{GATE(VS_OFF)}$	VS 立ち下がり < VPORF および INP、EN/UVLO が High に維持された状態での GATE ターンオフ伝搬遅延	VS ↓ (VPORF 超過) ～ GATE ↓、$C_{L(GATE)}$ = 47nF、INP = EN/UVLO = 2V		25	40	µs
t_{SC}	アクティブ モードでの短絡保護回路の伝搬遅延	$V_{(CS1+-CS1-)}$ ↑ $V_{(SCP)}$ ～ GATE ↓、$C_{L(GATE)}$ = 47nF		3.9	5	µs
t_{BYPASS_SC}	バイパスでの短絡保護回路の伝搬遅延 (INP_G = High へのパワーアップ)	$V_{(DRN-CS2-)}$ ↑ $V_{(BYPASS_SCP)}$ ～ G ↓、$C_{L(G)}$ = 1nF、$V_{(INP_G)}$ = 2V		3.1	4.5	µs
$t_{GATE(FLT_ASSERT)}$	短絡中の $\overline{FLT}$ アサート遅延	$V_{(CS1+-CS1-)}$↑ $V_{(SCP)}$ ～ $\overline{FLT}$ ↓		15	21	µs
$t_{GATE(FLT_DE_ASSERT)}$	短絡中の $\overline{FLT}$ デアサート遅延	$V_{(CS1+-CS1-)}$↓ $V_{(SCP)}$ ～ $\overline{FLT}$ ↑		3.8		µs
$t_{GATE(FLT_ASSERT_BSTUVLO)}$	GATE ドライブ UVLO 中の $\overline{FLT}$ アサート遅延	$V_{(GATE-SRC)}$ ↓ $V_{(BSTUVLOR)}$ ～ $\overline{FLT}$ ↓		30		µs
$t_{GATE(FLT_DE_ASSERT_BSTUVLO)}$	GATE ドライブ UVLO 中の $\overline{FLT}$ デアサート遅延	$V_{(GATE-SRC)}$ ↑ $V_{(BSTUVLOR)}$ ～ $\overline{FLT}$ ↑		15		µs
$t_{(IDIR_DELAY)}$	I_DIR ピンの電流方向表示の遅延	$V_{(SNS)}$ ↑ または ↓ ～ $V_{(I_DIR)}$ ↑ または ↓		6.5	10	µs

Copyright © 2025 Texas Instruments Incorporated

6.7 代表的特性

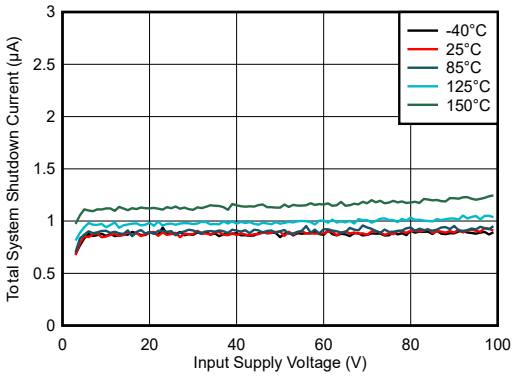


図 6-1. シャットダウン電源電流と電源電圧との関係

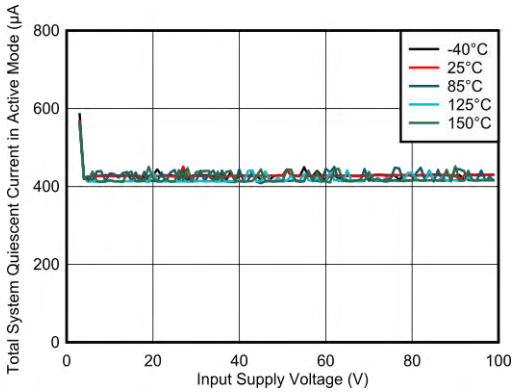


図 6-2. アクティブ モードでの動作静止電流と電源電圧との関係

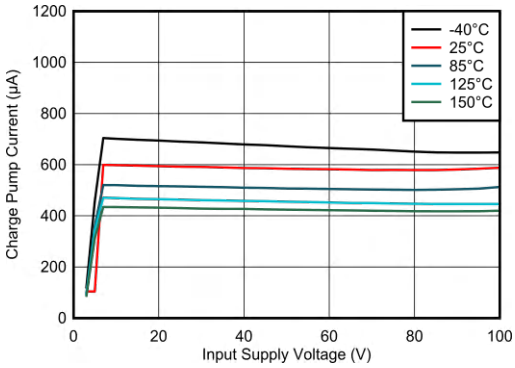


図 6-3. チャージ ポンプ電流と電源電圧との関係

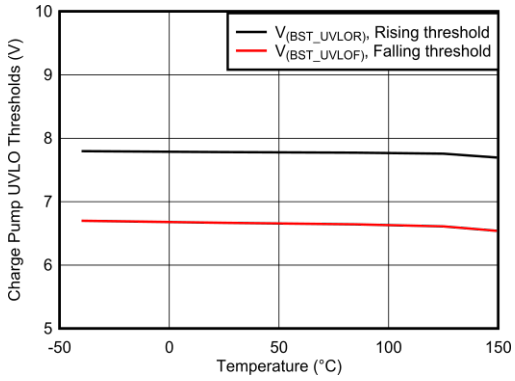
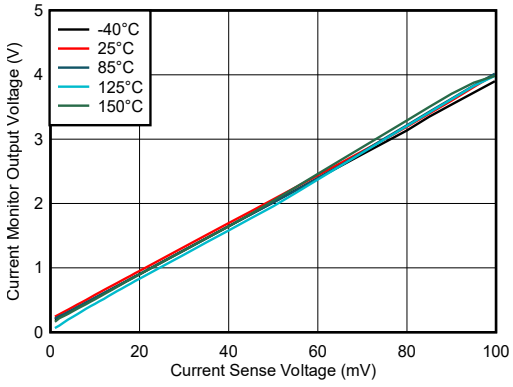


図 6-4. チャージ ポンプ UVLO スレッショルドと温度との関係



R_{IMON} = 5.6kΩ　　R_{SET} = 124Ω

図 6-5. 電流監視電圧 ($V_{(IMON)}$) と検出電圧 (V_{SNS}) との関係

7 パラメータ測定情報

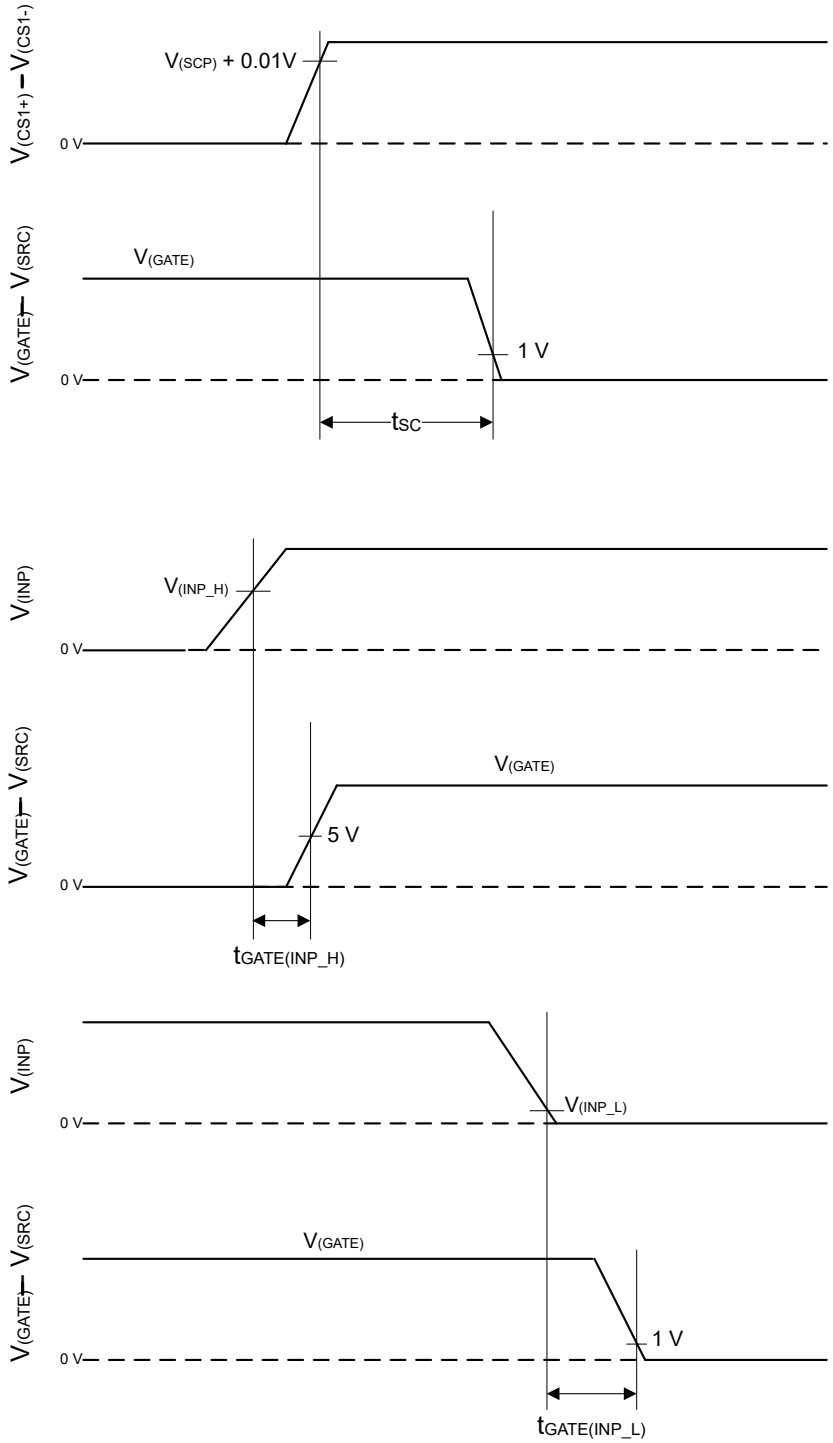


図 7-1. タイミング波形

Copyright © 2025 Texas Instruments Incorporated

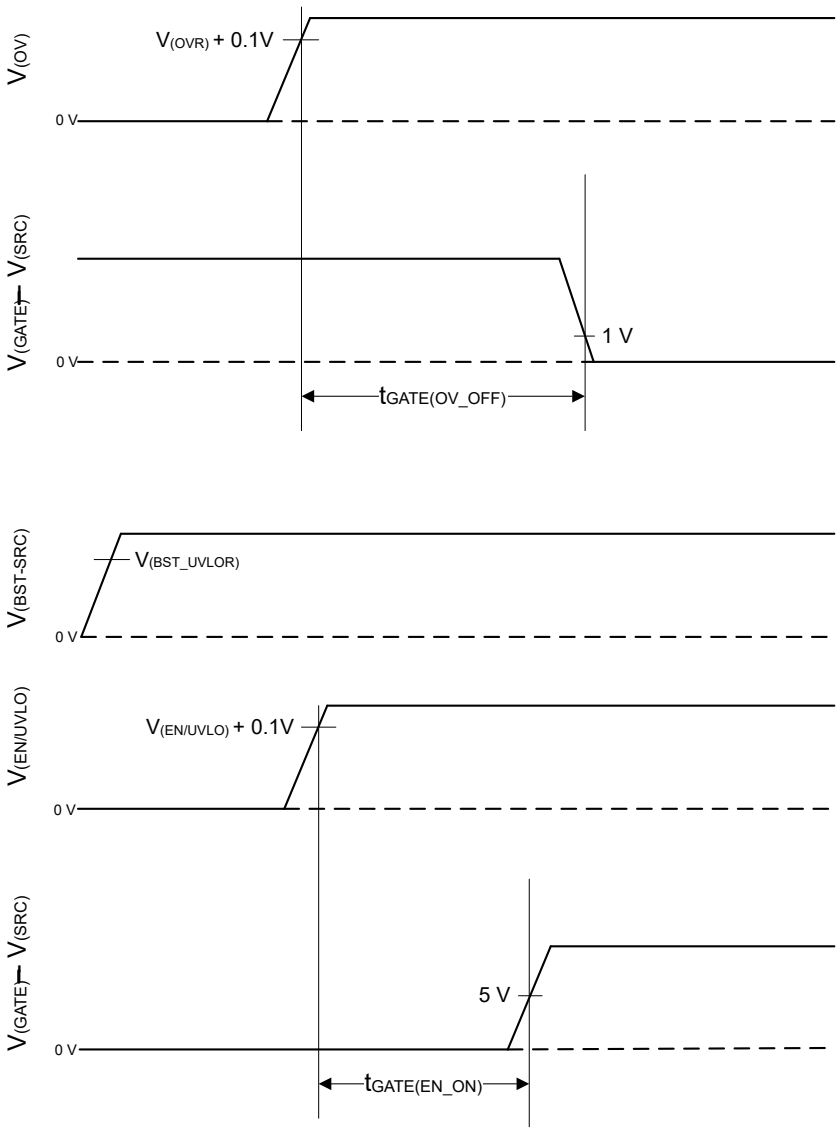

V(OV)
V(OVR) + 0.1V
0 V
V(GATE) – V(SRC)
1 V
0 V
tGATE(OV_OFF)
V(BST-SRC)
V(BST_UVLOR)
0 V
V(EN/UVLO)
V(EN/UVLO) + 0.1V
0 V
V(GATE) – V(SRC)
5 V
0 V
tGATE(EN_ON)

図 7-2. タイミング波形

8 詳細説明

8.1 概要

TPS4816-Q1 は、保護および診断機能を備えた 低 IQ のスマート ハイサイド ドライバのファミリです。TPS4816-Q1 は、3.5V ～ 95V の広い動作電圧範囲、100V の絶対最大電圧を備えており、12V、24V、48V の車載用システム設計に適しています。

TPS4816-Q1 には、メイン パスの FET を駆動するための 0.5A ピーク ソース / 2A シンク ゲートドライバ、およびバイパスまたはプリチャージ パス用の 100µA src/0.39A シンク容量を備えた 2 つの統合ゲートドライバがあります。強力なゲートドライブ (GATE) により、INP ピンをゲート制御入力として使用できる大電流システム設計において、並列 FET を使って電力スイッチングが可能です。

TPS4816-Q1 は、制御入力 (INP_G) を備えたプリチャージ ドライバ (G) を内蔵しています。この機能により、まずプリチャージ後にメイン パワー FET をオンにすることで、大きな容量性負荷を駆動する必要のあるシステムを設計できます。

本デバイスは、エネルギー管理システムを可能にする高精度電流検出 (30mV VSNS で ±2%) 出力 (IMON) と双方向電流表示出力 (I_DIR) を備えています。このデバイスには、外部 R_{SNS} 抵抗を使用して、正確で調整可能な I2t ベースの過電流および短絡保護 (±5 %) 機能が内蔵されています。自動リトライおよびラッチオフ フォルト動作は設定可能です。

TPS4816-Q1 は、過電流、短絡、チャージ ポンプ低電圧、入力過電圧状況において、オープン ドレイン $\overline{\text{FLT}}$ 出力のフォルトを通知します。

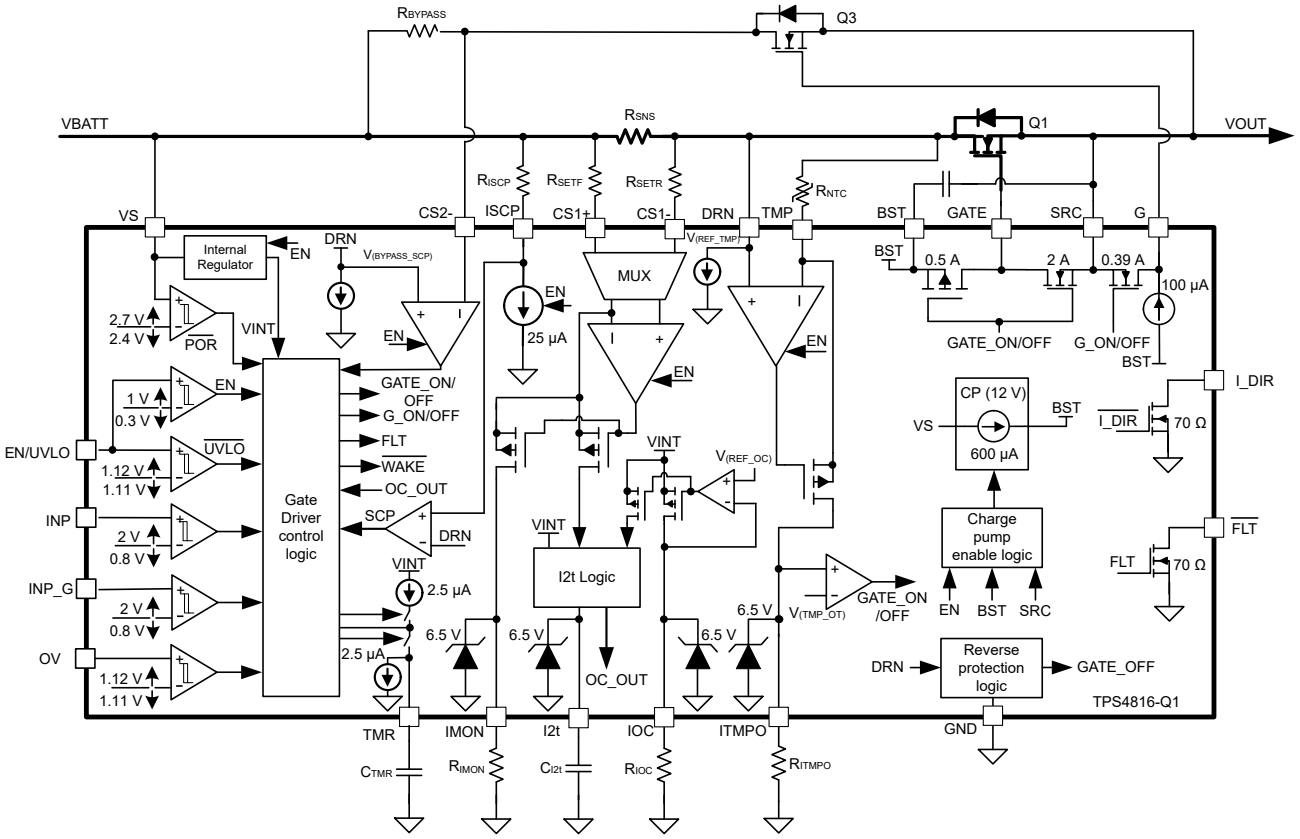
TPS4816-Q1 には最小 -65V までの逆極性保護機能が内蔵されており、入力逆極性フォルトが発生した場合でも IC を保護するための外部コンポーネントは不要です。

デバイスは、NTC ベースの温度センシング (TMP) および監視出力 (ITMPO) を備えており、外部 FET の過熱を検出するため、堅牢な熱システム設計が可能になります。

TPS4816-Q1 は、23 ピンの QFN パッケージで供給されます。

Copyright © 2025 Texas Instruments Incorporated

8.2 機能ブロック図


RBYPASS
Q3
VBATT
RSNS
Q1
VOUT
RISCP
RSETF
RSETR
RNTC
VS
CS2-
ISCP
CS1+
CS1-
DRN
TMP
BST
GATE
SRC
G
Internal Regulator
EN
DRN
V(BYPASS_SCP)
MUX
V(REF_TMP)
0.5 A
2 A
0.39 A
100 µA
2.7 V
2.4 V
POR
VINT
25 µA
GATE_ON/OFF
G_ON/OFF
BST
1 V
0.3 V
CP (12 V)
600 µA
I_DIR
70 Ω
EN/UVLO
UVLO
1.12 V
1.11 V
FLT
WAKE
OC_OUT
V(REF_OC)
INP
2 V
0.8 V
Gate Driver control logic
SCP
I2t Logic
Charge pump enable logic
INP_G
2.5 µA
6.5 V
V(TMP_OT)
GATE_ON /OFF
OV
OC_OUT
Reverse protection logic
GATE_OFF
TPS4816-Q1
GND
TMR
IMON
I2t
IOC
ITMPO
CTMR
RIMON
CI2t
RIOC
RITMPO

8.3 機能説明

8.3.1 チャージ ポンプとゲート ドライバの出力 (VS、GATE、BST、SRC)

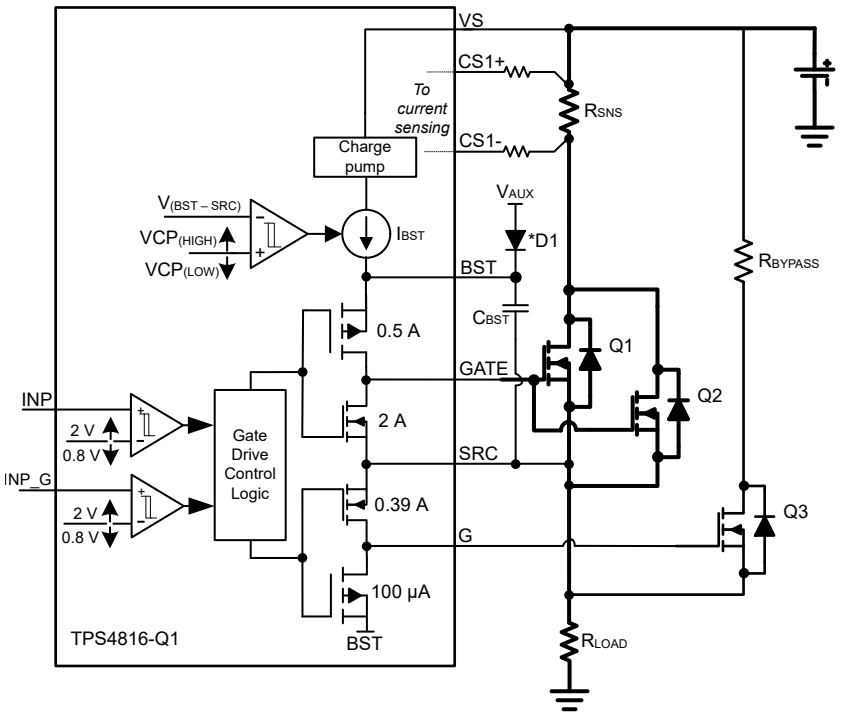


図 8-1. ゲート ドライバ

図 8-1 に、チャージ ポンプとゲート ドライバ回路の実装の概略図を示します。このデバイスには、メイン FET Q1 および Q2 のための強力な 0.5A/2A ピーク ソース/シンク ゲート ドライバ (GATE) と、バイパス FET Q3 用の 100µA/0.39A ピーク ソース/シンク電流ゲート ドライバ (G) が内蔵されています。強力なゲート ドライバを使用すると、大電力システム設計で FET を並列接続でき、飽和領域における遷移時間を最小化することができます。アクティブ モードで 12V で、600µA のチャージ ポンプが VS 端子から生成され、ゲート ドライバ (BST と SRC) の両端に配置された外部ブートストラップ コンデンサ C_{BST} を充電します。

VS はコントローラの電源ピンです。VS を印加し、EN/UVLO を High にすると、チャージ ポンプがオンになり、C_{BST} コンデンサを充電します。C_{BST} の両端の電圧が $V_{(BST_UVLOR)}$ を超えると、ゲート ドライバ セクションがアクティブになります。このデバイスには 1V (標準値) の UVLO ヒステリシスがあり、最初のゲート ターンオン時の性能のチャタリングが低減されます。外部 FET Q_G と FET のターンオン時に許容されるディップに基づいて C_{BST} を選択します。アクティブ モードで、チャージ ポンプは、BST から SRC への電圧が通常 $VCP_{(HIGH_AM)}$ に達するまでイネーブルに維持されます。この時点でチャージ ポンプは無効化され、VS ピンに流れる電流が減少します。BST から SRC への電圧が $VCP_{(LOW_AM)}$ まで放電されるまでチャージ ポンプはディスエーブルのまま維持され、通常はその時点でチャージ ポンプが有効化されます。

下図に示されているように、BST と SRC の間の電圧は、アクティブ モードで $VCP_{(HIGH_AM)}$ と $VCP_{(LOW_AM)}$ の間で充電および放電を継続します。

Copyright © 2025 Texas Instruments Incorporated

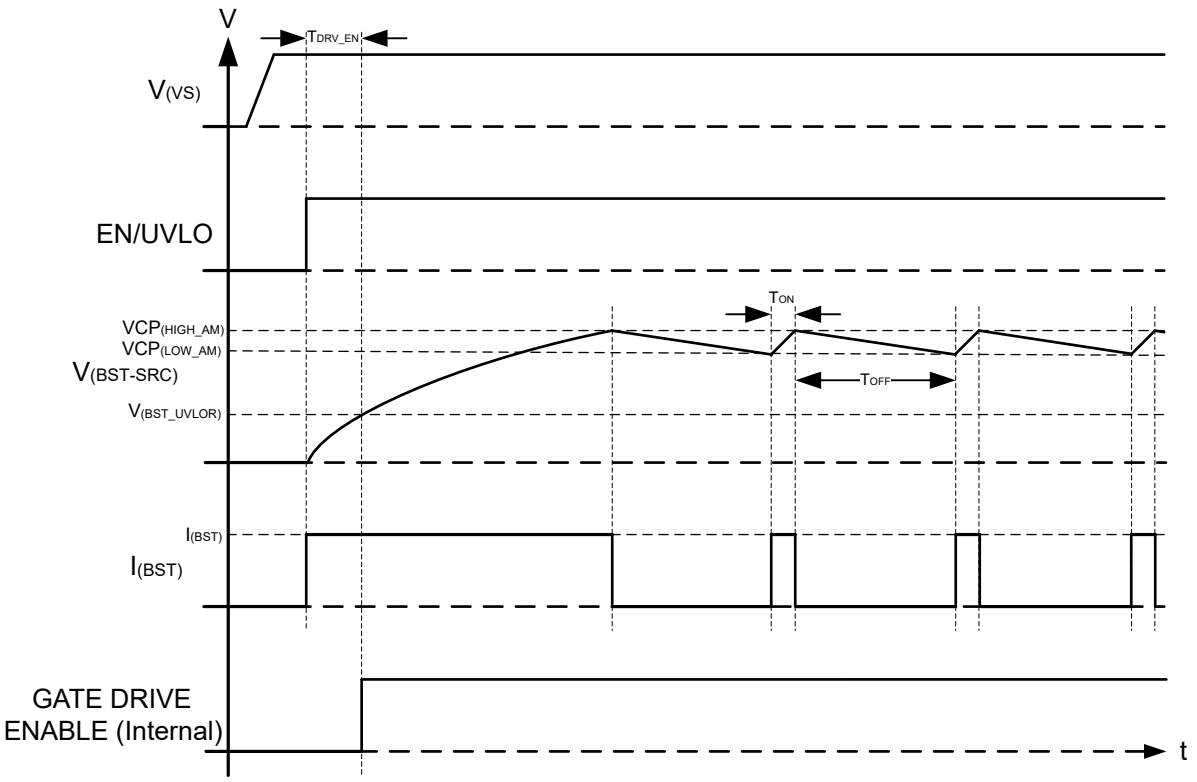


図 8-2. チャージ ポンプ動作

8.3.2 容量性負荷駆動

車載パワー ディストリビューション ユニットおよびゾーン コントローラのような特定の最終製品は、他の ECU を含むさまざまな負荷に電力を供給します。これらの ECU には、大きな入力容量が存在する場合があります。ECU への電力を制御されない方法でオンにすると、大きな突入電流が発生し、パワー FET が損傷する可能性があります。

容量性負荷スイッチング時の突入電流を制限するため、TPS4816-Q1 デバイスでは、以下のシステム設計手法を使用できます。

8.3.2.1 負荷コンデンサ充電にバイパス FET (G 駆動) を使用

大電流のアプリケーションでは、複数の FET を並列に接続すると、FET の間に突入電流が均等に分散され、結果的に FET のサイズが大きくなるため、メイン FET のゲート スルーレート制御は推奨されません。

TPS4816-Q1 には、専用の制御入力 (INP_G)、および DRN ピンと CS2– ピンの間のバイパス コンパレータを備えたゲート ドライバ (G) が統合されています。この機能を使用して、独立した低消費電力バイパス FET を駆動し、突入電流制限機能で容量性負荷を事前充電することができます。図に、TPS4816-Q1 を使用した容量性負荷充電のための低消費電力バイパス FET の実装を示します。外部コンデンサ C_g は、ゲート ターンオン スルーレートを小さくし、突入電流を制御します。

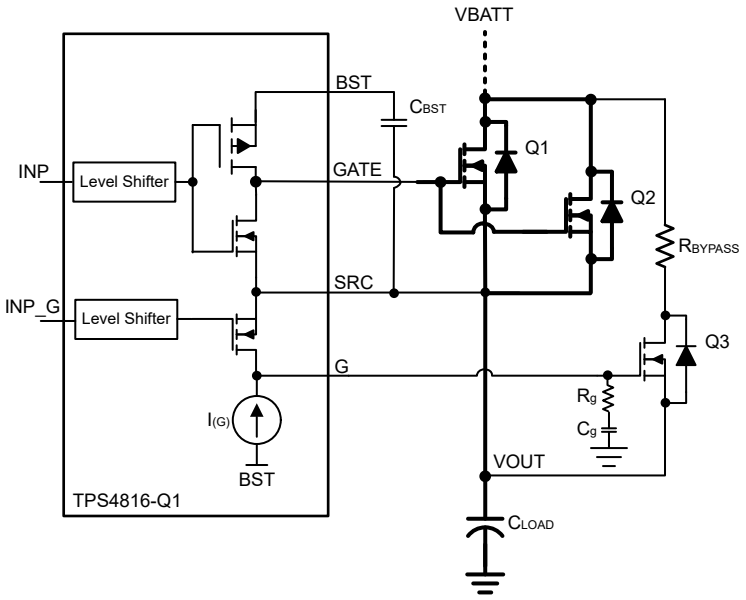


図 8-3. 低消費電力バイパス FET のゲート (G) スルーレート制御を使用したコンデンサ充電

EN/UVLO が high にプルアップされて INP_G が high にプルされるパワーアップ中、デバイスは、100µA のソース電流で G を high にプルすることでバイパス FET (G) をオンにし、INP を low に引き下げてメイン FET (GATE) をオフにすることができます。出力コンデンサの充電が完了した時点で、INP を high にすることでメイン FET (GATE) をターンオフできます。また、INP_G を low にプルすることでバイパス FET (G) をオフにできます。INP_G = High のとき、TPS4816-Q1 は DRN と CS2 の両端の電圧を検出します。これを $V_{(BYPAYSE_SCP)}$ スレッショルド（2-V、標準値）と比較して、バイパスパスの出力のグランドへの短絡フォルトを検出します。

8.3.2.2 メイン FET (GATE 駆動) のゲート スルー レート制御を使用

低消費電力のバイパス パスを使用しないアプリケーションでは、メイン FET ゲートドライブ制御を使用して、コンデンサを充電できます。

図 8-4 に示されているように、容量性負荷でのメイン FET のターンオン時の突入電流を制限するには、R_1、R_2、C_1、D_2 を使用します。R_1 と C_1 の部品により、メイン FET のゲートの電圧ランプ レートが遅くなります。FET ソースはゲート電圧に追従して、出力コンデンサ両端間の制御された電圧上昇が発生します。

ダンピング R_2 (～ 10Ω) を C_1 と直列に使用します。D_2 は、R_1 をバイパスすることにより、ゲートドライブの高速ターンオフを保証します。

Copyright © 2025 Texas Instruments Incorporated

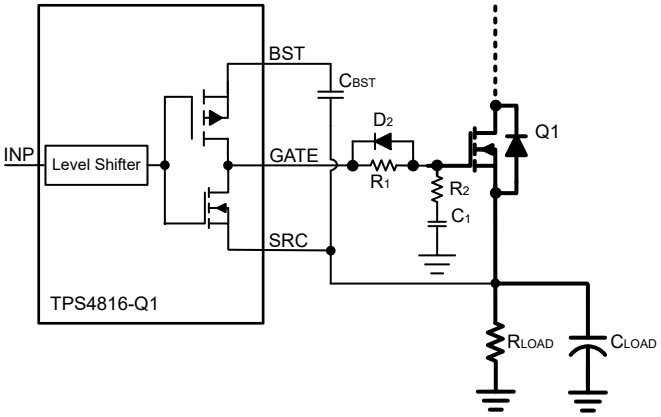


図 8-4. メイン パスの突入電流制限

8.3.3 過電流および短絡保護

TPS4816-Q1 には、高精度の I2t 機能が内蔵されており、堅牢で柔軟な過電流保護メカニズムを実装できます。この I2t 機能には、突入電流やバルク キャパシタの充電などの負荷過渡に影響を及ぼさずに、PCB パターン、コネクタ、ワイヤ ハーネスを過熱から保護することを意図したインテリジェントな回路遮断機能があります。

また、デバイスには、高精度で構成可能な短絡保護スレッショルド (I_{SC}) があり、固定応答時間 (t_{SC} = 5us 最大) を実現しています。

図 8-5 に、全体の電流時間特性を示します。

- 構成可能な I2t ベースの過電流保護 (I_{OC}) スレッショルドおよび調整可能な応答時間 (t_{OC} および t_{OC_MIN})
- 可変短絡スレッショルド (I_{SC}) 、内部的に固定高速応答 (t_{SC}) 付き

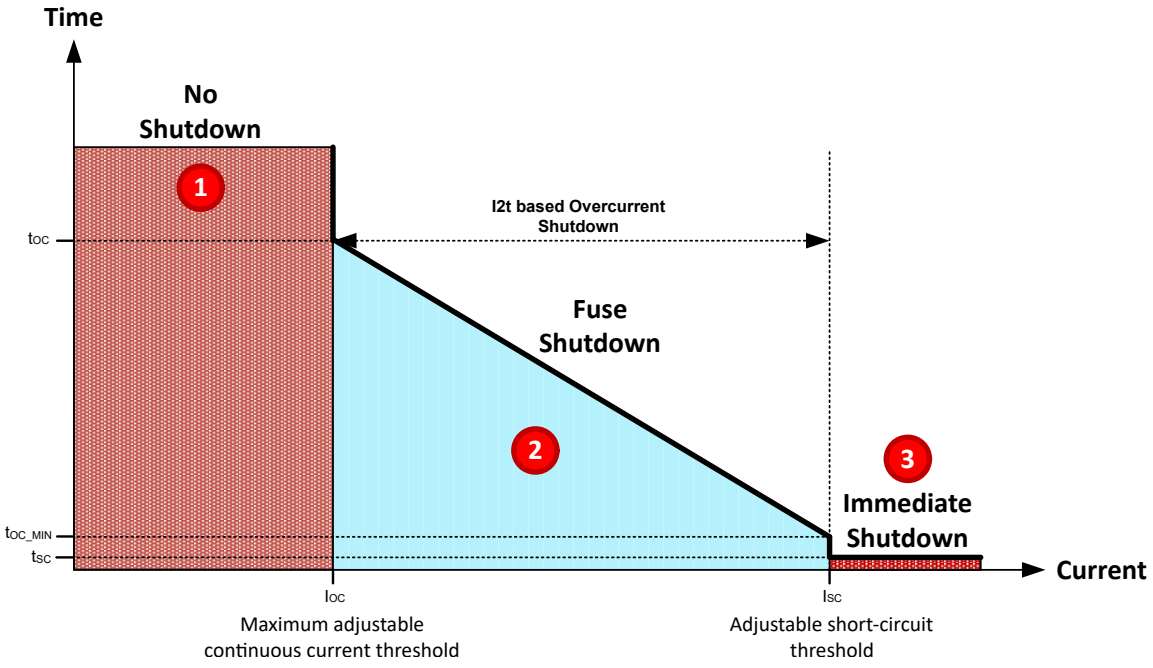


図 8-5. TPS4816-Q1 の構成可能な電流と時間特性曲線との関係

Copyright © 2025 Texas Instruments Incorporated

8.3.3.1 I2t ベースの過電流保護

TPS4816-Q1 の I^2t プロファイルは、I^2t 開始過電流スレッショルド、I_{OC} および I^2t アンペアの 2 乗係数 (融点またはブレーク ポイント) という 2 つのパラメータによって設定されます。過電流保護時間 t_{OC} は、負荷電流が設定 I_{OC} スレッショルドを上回る場合の設定 I^2t 係数に基づいて決定されます。

I^2t 保護開始スレッショルドの設定、R_{IOC}

I^2t 保護開始スレッショルド I_{OC} は、IOC ピンと GND ピンの間の外部抵抗 R_{IOC} を使用して設定されます。

式 1 を用いて、必要な R_{IOC} 値を計算します。

$$R_{IOC}\left(\Omega\right) = \frac{V_{(REF_OC)}}{K \times \left(I_{OC}\right)^2} \tag{1}$$

ここで、

$V_{(REF_OC)}$ は、200mV の内部リファレンス電圧です。

I_{OC} は、過電流レベルです。

スケーリング係数 K は、式 2 で計算できます。

$$\text{Scaling factor}\left(K\right) = \frac{\left(0.1 \times \frac{R_{SNS}}{R_{SET}}\right)^2}{I_{BIAS}} \tag{2}$$

ここで、

I_{BIAS} は、5µA の内部リファレンス電流です。

R_{SET} は、CS1+ と入力バッテリ電源の間に接続された抵抗です。

R_{SNS} は、電流センス抵抗です。

I^2t プロファイルの設定、C_{I2t}

デバイスは、CS1+ および CS1– を介して外部電流センス抵抗 (R_{SNS}) の両端の電圧を検出します。R_{SNS} の両端で検出された電圧が、R_{IOC} 抵抗で設定された I_{OC} スレッショルドを超えると、C_{I2t} コンデンサは $I_{LOAD}{}^2 – I_{OC}{}^2$ 電流に比例する電流で充電を開始します。

式 3 を用いて、必要な C_{I2t} 値を計算します。

$$C_{I2t}\left(F\right) = \frac{K \times t_{OC_MIN}}{V_{(I2t_OC)} - V_{(I2t_OFFSET)}} \times \left[I_{OC_MAX}{}^2 - I_{OC}{}^2\right] \tag{3}$$

ここで、

$V_{(I2t_OC)}$ は、I^2t トリップ スレッショルド電圧 2V (標準値) です。

$V_{(I2t_OFFSET)}$ は、通常動作時の I2t ピンのオフセット電圧 500mV (標準値) です。

t_{OC_MIN} は、最大過電流スレッショルド I_{OC_MAX} での目標過電流応答時間です。

注

最大過電流制限 (I_{OC_MAX}) は、短絡保護スレッショルド (I_{SC}) を 5% ～ 10% 下回ることができます。

I2T 係数は、t_{OC_MIN}、IOC スレッショルドおよび最大過電流制限 (I_{OC_MAX}) の設定に基づいて、式 4 を使用して計算できます。

Copyright © 2025 Texas Instruments Incorporated

$$\text{I2T Factor} = \left(I_{OC_MAX}{}^2 - I_{OC}{}^2\right) \times t_{OC_MIN} \quad (4)$$

8.3.3.1.1 自動リトライ付きの I2t ベースの過電流保護

C_{I2t} は過電流保護遅延 (t_{OC_MIN}) をプログラムし、C_{TMR} は自動リトライ時間 (t_{RETRY}) をプログラムします。CS1+ と CS1- の両端の電圧が設定点 ($V_{(OCP)}$) を超えると、C_{I2t} コンデンサは $I_{LOAD}{}^2$ - $I_{OC}{}^2$ 電流に比例する電流で充電を開始します。

C_{I2t} が $V_{(I2t_OC)}$ まで充電されると、GATE が SRC にプルダウンされ、メイン FET をオフにし、同時に $\overline{FLT}$ は Low にアサートされます。このイベントの後、自動リトライ動作が開始します。C_{TMR} は、電圧が $V_{(TMR_HIGH)}$ レベルに達するまで、2.5uA のプルアップ電流で充電を開始します。このレベルが経過した後、コンデンサは 2.5uA のプルダウン電流で放電を開始します。

電圧が $V_{(TMR_LOW)}$ レベルに達すると、コンデンサは 2.5uA のプルアップで再充電を開始します。C_{TMR} の 32 回の充電放電サイクルの後、FET は再度オンになり、デアサート遅延後に $\overline{FLT}$ はデアサートされます。

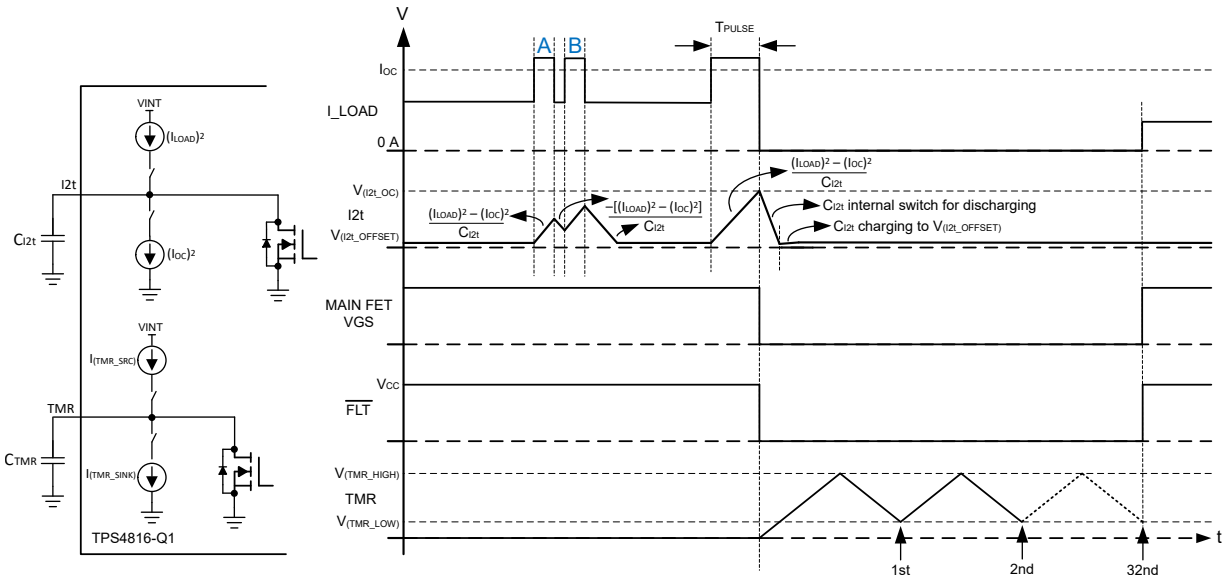


図 8-6. 自動リトライ付きの I2t ベースの過電流保護

Copyright © 2025 Texas Instruments Incorporated

8.3.3.1.2 ラッチオフ付きの I2t ベースの過電流保護

ラッチオフ構成の場合、TMR ピンと GND の間に 100kΩ の抵抗を接続します。

ラッチは、INP の立ち下がりエッジ時、INP_G が低くなる (EN/UVLO が $V_{(ENF)}$ 未満)、またはパワー サイクル VS が $V_{(VS_PORF)}$ より下回るとリセットされます。Low エッジでは、タイマ カウンタがリセットされ、C_{TMR} が放電されます。INP が High になると、GATE は BST にプルアップされます。

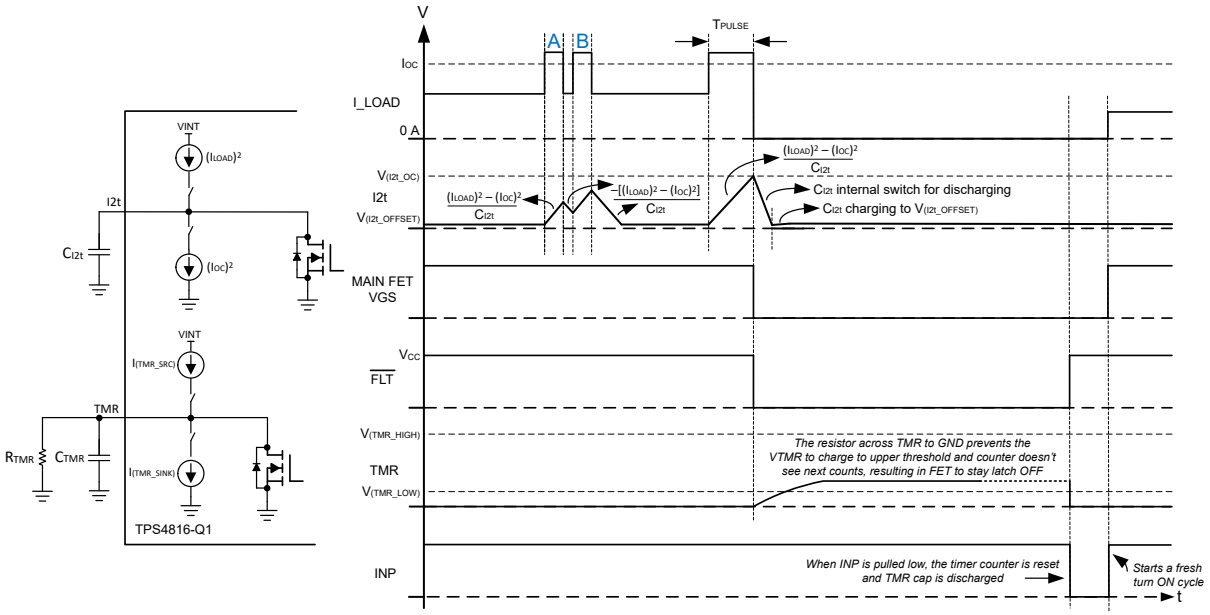


図 8-7. ラッチオフ付きの I2t ベースの過電流保護

8.3.3.2 短絡保護

短絡電流スレッショルド (I_{SC}) は R_{ISCP} 抵抗に設定できます。式 5 を用いて、必要な R_{ISCP} 値を計算します。

$$R_{ISCP}\left(k\Omega\right) = \frac{I_{SC} \times R_{SNS} - 1.8}{I_{SCP}} \quad (5)$$

ここで、

I_{SC} は、短絡電流スレッショルド (アンペア単位) です。

R_{SNS} は、外部電流センス抵抗 (ミリ Ω 単位) です。

I_{SCP} は、25µA の内部リファレンス電流です。

負荷電流が I_{SC} スレッショルドを超えると、TPS4816-Q1 の 5µs (最大) 内で GATE が SRC にプルダウンされ、メイン パス FET が保護され、同時に $\overline{FLT}$ が Low にアサートされます。このイベントの後、過電流保護方式の FET OFF イベント後の動作と同様に、C_{TMR} の充電および放電サイクルが開始されます。

過電流保護方式で説明されているのと同様の方法で、ラッチオフを実現することもできます。

8.3.4 アナログ電流モニタ出力 (IMON)

TPS4816-Q1 には高精度のアナログ負荷電流モニタ出力 (IMON) があり、ゲインを調整可能 (アクティブ モードでは ON、負荷ウェークアップのみ) です。IMON 端子の電流ソースは、R_{SNS} 電流センス抵抗を流れる電流に比例するように構成します。この電流は、IMON 端子と GND ピンの間の抵抗 R_{IMON} を使用して電圧に変換できます。

この電圧は、次の式で計算され、システムを流れる電流を監視する手段として使用できます。

式 6 を使用して、I^2t がイネーブルの TPS48160-Q1 バリアントの $V_{(IMON)}$ を計算できます。

$$V_{(IMON)} = \left(V_{SNS} + V_{(VOS_SET)}\right) \times \frac{0.9 \times R_{IMON}}{R_{SET}} \quad (6)$$

式 7 を使用して、I^2t ディスエーブルの TPS48161-Q1 バリアントの $V_{(IMON)}$ を計算します。

$$V_{(IMON)} = \left(V_{SNS} + V_{(VOS_SET)}\right) \times \frac{R_{IMON}}{R_{SET}} \quad (7)$$

ここで、

$V_{SNS} = I_{LOAD} \times R_{SNS}$,

$V_{(OS_SET)}$ は、電流センス アンプの入力換算オフセット (±140µV) です (V_{SNS} から $V_{(IMON)}$ へのスケーリング)。

0.9 は電流センス アンプと IMON パス FET の間の電流ミラー係数です。

電流を監視するための最大電圧範囲 ($V_{(IMONmax)}$) は、線形出力を確保するために、最小値 ([$V_{(VS)}$ – 0.5V]、5.5V) に制限されます

。これにより、R_{IMON} 抵抗の最大値に制限が課せられます。IMON ピンには、6.5V (標準値) の内部クランプがあります。

電流ミラー係数の精度は ±1% 未満です。次の式を使用して、$V_{(IMON)}$ の全体的な精度を計算します。

$$\%\,V_{(IMON)} = \frac{V_{(OS_SET)}}{V_{SNS}} \times 100 \quad (8)$$

TPS4816-Q1 は双方向の電流検出 (CS1+ と CS1– の間) を備えており、IMON 出力を使用して監視を行って R_{SNS} (V_{SNS}) の両端でスケーリングされた電圧の大きさを求めることができます。また、オープンドレイン I_DIR 出力ピンを使用して電流の方向を示します。

下図に示されているように、電流が順方向に流れると I_DIR 出力は High になり、逆電流の場合は I_DIR は Low になります。

Copyright © 2025 Texas Instruments Incorporated

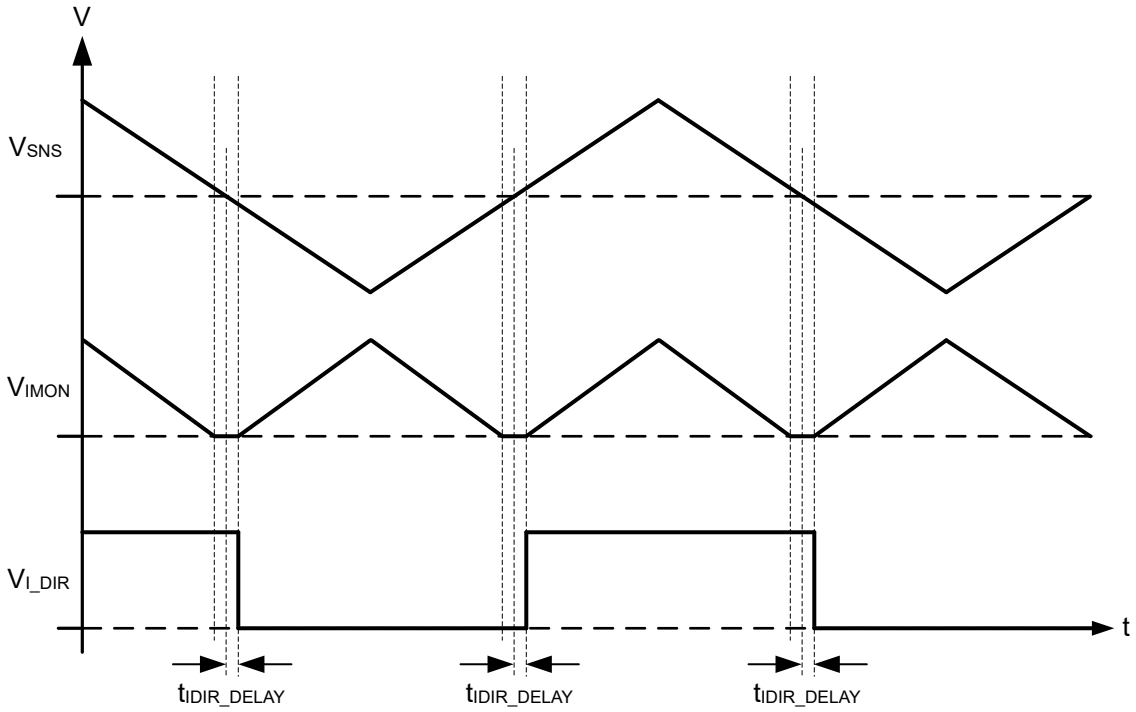


図 8-8. TPS4816-Q1 双方向電流監視のタイミング図

8.3.5 NTC ベースの温度センシング (TMP) およびアナログ モニタ出力 (ITMPO)

TPS4816-Q1 は、温度監視アンプを内蔵しています (アクティブ モードではオンのみ)。この温度監視機能は、入力ピンを TMP、出力ピンを ITMPO として持つ差動アンプを使用して実装されています。

アナログ出力電圧 V_{ITMPO} は、R_{NTC} で検出された温度を表します。この温度は、マイコンでピン ITMPO (温度監視出力) で直接読み取ることができます。

V_{ITMPO} は、次の式に基づいて計算できます。

$$V_{ITMPO} = \left(V_{REF_TMP} + V_{TMP_OFFSET}\right) \times \frac{R_{ITMPO}}{\left(R_{NTC} + R_{TMP}\right)} \quad (9)$$

ここで、

V_{REF_TMP} は 500mV (標準値)

V_{TMP_OFFSET} は ±5mV

R_{TMP} は 25°C 時の 10k NTC で 330Ω

R_{TMP} は 25°C 時の 47k NTC で 1kΩ

TPS4816-Q1 は ITMPO ピンにコンパレータを内蔵しており、外部メイン FET 過熱フォルトを検出できます。ITMPO の電圧が $V_{(TMP_OT)}$ (2V 標準値) スレッショルドを上回ると、メイン FET (GATE) がオフになり、デバイスはラッチオフになり、$\overline{FLT}$ は Low にアサートされます。ラッチは、INP の立ち下がりエッジ時、$\overline{LPM}$ が低くなる (EN/UVLO が $V_{(ENF)}$ 未満)、またはパワー サイクル VS が $V_{(VS_PORF)}$ より下回るとリセットされます。

外部 FET 過熱スレッショルドは、次の式に基づいてプログラムできます。

$$V_{(TMP_OT)} = \left(V_{REF_TMP} + V_{TMP_OFFSET}\right) \times \frac{R_{ITMPO} + R_{INT}}{\left(R_{NTC} + R_{TMP}\right)} \quad (10)$$

Copyright © 2025 Texas Instruments Incorporated

ここで、

R_{ITMPO} は、ITMPO ピンの抵抗 (Ω 単位) です。

$V_{(TMP_OT)}$ は、外部 FET の固定過熱スレッショルド 2V (標準値) です。

R_{INT} は、200Ω (標準値)、最小/最大値が 90/340Ω の内部抵抗です。

R_{NTC} は NTC サーミスタ抵抗で、温度によって変化します。R_{TMP} は、温度に対してサーミスタの動作を線形化するために使用される通常の抵抗で、図 8-9 に示されているように配置されます。

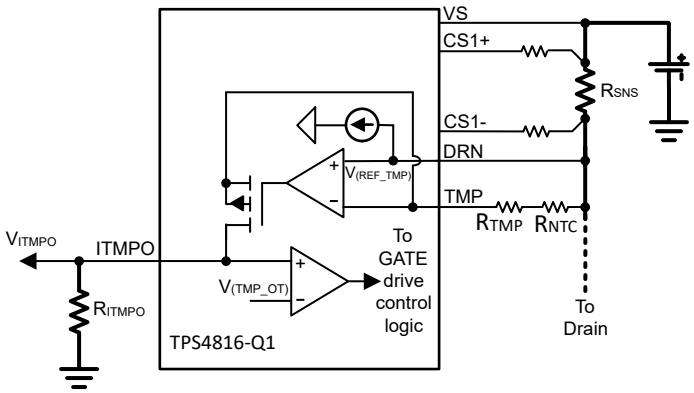


図 8-9. NTC ベースの温度センシングおよび監視出力

8.3.6 フォルト表示および診断 (FLT)

TPS4816-Q1 には、チャージ ポンプの UVLO 機能が内蔵されています。BST-SRC の両端の電圧は内部的に監視されます。電圧が $V_{(BST_UVLO)}$ 未満の場合、$\overline{FLT}$ は Low にアサートされます。この状況では、GATE ドライブと G ゲートドライブの両方も無効化され、メイン FET とバイパス FET がオフになります。BST_SRC 間の電圧が $V_{(BST_UVLO)}$ を上回ると、$\overline{FLT}$ はデアサートされ、ゲートドライバは有効になります。

短絡、I2t ベースの過電流、チャージ ポンプ UVLO、入力過電圧が検出された場合、TPS4816-Q1 の $\overline{FLT}$ は Low にアサートされます。

8.3.7 逆極性保護

TPS4816-Q1 デバイスには、逆極性保護機能が内蔵されており、入力および出力逆極性フォルト時の障害からデバイスを保護します。逆極性の障害が発生するのは、最終製品の設置と保守の最中に発生します。このデバイスは入力と出力の両方で、最小 –65V までの逆極性電圧に耐えます。

TPS4816-Q1 は、入力逆極性フォルト イベントの検出に DRN ピンを使用します。DRN ピンの電圧が $V_{(REV_DRN)}$ = 1.5V を下回ると (VS 電圧に関係なく) 、ゲート駆動はオフになります。

出力側では、スイッチをオフにしたときの出力ケーブル ハーネスのインダクタンスのキックバックにより、通常動作中に負の過渡電圧が発生する可能性があります。このようなシステムでは、出力の負の電圧レベルは出力側の TVS またはダイオードによって制限されます。

8.3.8 低電圧 (UVLO) と過電圧 (OV) 保護

TPS4816-Q1 には、EN/UVLO ピンを使用した正確な低電圧保護 (±2%未満) 機能があります。EN/UVLO ピンの電圧が 1.2V (標準値) を下回ると、GATE および G が Low になります。

TPS4816-Q1 には、OV ピンを使用した正確な過電圧保護 (±2%未満) 機能があります。OV ピンの電圧が 1.2V (標準値) を上回ると、GATE および G が low になります。

Copyright © 2025 Texas Instruments Incorporated

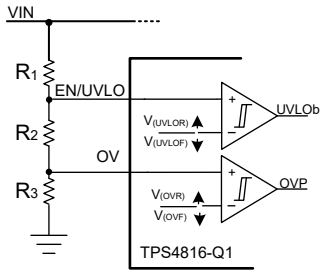


図 8-10. 過電圧および低電圧保護スレッショルドのプログラミング

8.3.9 TPS48161-Q1 をシンプル ゲート ドライバとして使用

図 8-11 に、負荷接続解除スイッチ (シングル FET) またはバックツーバック FET でトポロジを駆動する、シンプルなゲートドライバとしての TPS48161-Q1 のアプリケーション回路図を示します。I2T 過電流、短絡、過熱保護などの保護機能はディセーブルです。

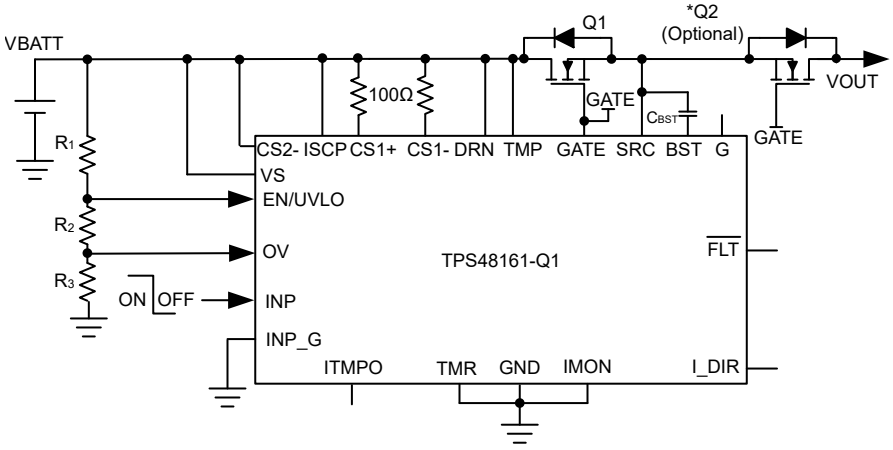


図 8-11. TPS48161-Q1 シンプルなゲート ドライバとしてのアプリケーション回路図

8.4 デバイスの機能モード

8.4.1 パワーダウン

印加された VS 電圧が $V_{(VS_PORF)}$ を下回ると、デバイスはディスエーブル状態になります。このモードでは、チャージ ポンプとすべての保護機能が無効になります。両方のゲートドライブ出力 (GATE および G) が Low になります。

8.4.2 シャットダウンモード

VS > $V_{(VS_PORR)}$ になり、EN/UVLO が < $V_{(ENF)}$ にプルされると、デバイスは低 I_Q のシャットダウン モードに遷移します。このモードでは、チャージ ポンプとすべての保護機能が無効になります。両方のゲート ドライブ出力 (GATE および G) が Low になります。このモードでは、デバイスが消費するのは、1µA (標準値) という小さい I_Q です。

EN/UVLO ピンを high に駆動して、シャットダウンからアクティブ モードへの遷移。

8.4.3 アクティブ モード (AM)

このモードでは、チャージ ポンプ、ゲート ドライバ、およびすべての保護が有効になります。メイン FET (ゲート駆動) は INP をハイまたはローに駆動することでオンまたはオフに調整でき、バイパス FET (G 駆動) は INP_G をハイまたはローに駆動することでオンまたはオフに調整できます。

EN/UVLO が low になると、デバイスはアクティブ モードを終了し、シャットダウン モードに遷移します。

アクティブ状態で使用可能な保護:

- **入力 UVLO**:EN/UVLO の電圧が $V_{(UVLOF)}$ を下回ると、メイン FET (GATE ドライブ) はオフになります。
- **入力過電圧 (OV) 保護**:OV ピンの電圧が $V_{(OVR)}$ を超え、$\overline{FLT}$ がローにアサートされると、ゲートドライブはオフになります。
- **チャージ ポンプ UVLO**:BST と SRC との間の電圧が $V_{(BST_UVLOF)}$ を下回り、$\overline{FLT}$ が Low にアサートされると、メイン FET (GATE ドライブ) はオフになります。
- **メイン パス I^2t 保護**:メイン FET (GATE ドライブ) は、CS1+ と CS1– の間の電圧が、C_{I2t} に基づく I^2t 係数で設定された時間にわたって I^2t 開始スレッショルド ($V_{(OCP)}$) を上回っている場合にオフになります。デバイスは、選択された構成に基づいて自動再試行またはラッチオフになり、$\overline{FLT}$ は Low にアサートされます。
- **メイン パスの短絡保護**:CS1+ と CS1– の両端の電圧が設定された短絡スレッショルド ($V_{(SCP)}$) を上回ると、メイン FET (GATE ドライブ) がオフになります。デバイスは、選択された構成に基づいて自動再試行またはラッチオフになり、$\overline{FLT}$ は Low にアサートされます。

Copyright © 2025 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

9.2 代表的なアプリケーション：駆動容量負荷

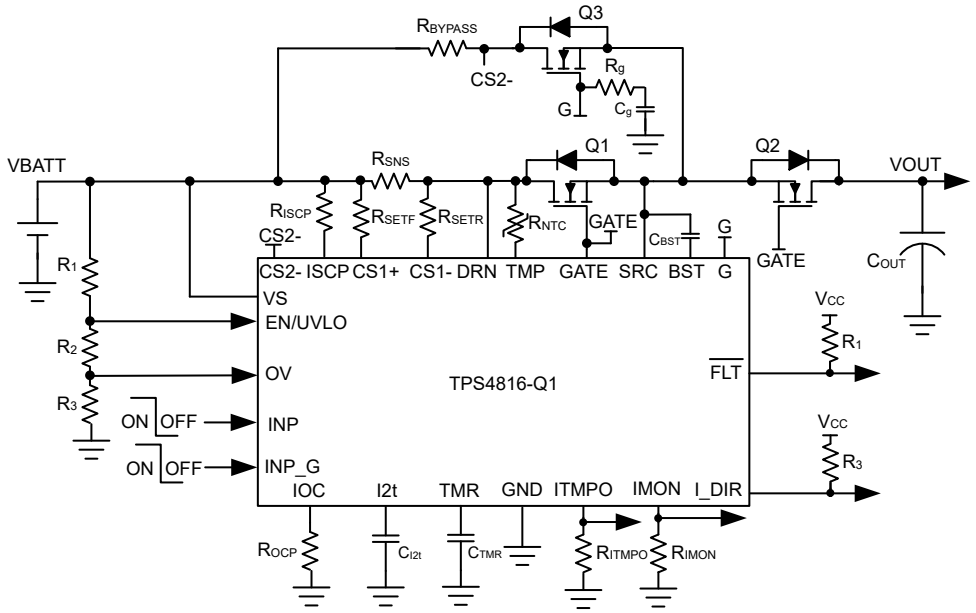


図 9-1. TPS4816-Q1 による容量性負荷の駆動

9.2.1 設計要件

表 9-1. 設計パラメータ

パラメータ	値
標準入力電圧 V_{BATT_MIN} ～ V_{BATT_MAX}	36V ～ 60V
低電圧誤動作防止設定点、V_{INUVLO}	24V
低電圧設定点、V_{INOV}	60V
最大負荷電流、I_{OUT}	35A
I^2t 開始スレッショルド、I_{OC}	40A
I^2t 保護スレッショルド	$3000A^2s$
最大過電流スレッショルド、I_{OC_MAX}	120A
短絡保護回路スレッショルド、I_{SC}	130A
故障応答	自動再試行

Copyright © 2025 Texas Instruments Incorporated

表 9-1. 設計パラメータ (続き)

パラメータ	値
自動再試行時間	1000ms
出力バルク キャパシタ、C_{OUT}	1mF
C_{OUT} 充電時間、T_{charge}	40ms

9.2.2 詳細な設計手順

電流センス抵抗、R_{SNS} の選択

I^2t に基づく過電流保護スレッショルド電圧 $V_{(SNS_OCP)}$ の推奨範囲は 6mV ～ 200mV です。6mV の低スレッショルドに近い値は、システム ノイズの影響を受けることがあります。上限スレッショルド 200mV に近い値の場合、電流センス抵抗で大きな消費電力が発生する可能性があります。両方の懸念を最小限に抑えるため、I^2t 保護開始スレッショルド電圧として 20mV を選択しています。電流センス抵抗 R_{SNS} は、次の式で計算できます。

$$R_{SNS} = \frac{V_{(SNS_OCP)}}{I_{OC}} \tag{11}$$

I^2t 保護開始スレッショルドが 40A (I_{OC}) の場合、R_{SNS} は 0.5mΩ と計算されます。

2 つの 1mΩ で、1% のセンス抵抗を並列に使用することができます。

IMON スケーリング抵抗 R_{SET} の選択

R_{SET} は、VS または入力電源と CS1+ ピンの間に接続される抵抗です。この抵抗は、I^2t に基づいた過電流保護スレッショルド電圧をスケーリングし、R_{IOC}、C_{I2t}、R_{IMON} の充電電流を調整して、I^2t プロファイルと電流監視出力を決定します。

I^2t ピンの最大電流は、短絡保護 (I_{SC}) スレッショルドに基づき、次の式で計算できます。

$$I_{I2t_MAX}\left(\mu A\right) = K \times {I_{SC}}^2 \tag{12}$$

ここで、スケーリング係数 K は次の式に基づいて計算できます。

$$\text{Scaling factor}\left(K\right) = \frac{\left(0.1 \times \frac{R_{SNS}}{R_{SET}}\right)^2}{I_{BIAS}} \tag{13}$$

R_{SET} は、I_{I2t_MAX} が常に 100µA より小さくなるように調整する必要があります。R_{SET} の推奨範囲は 100Ω ～ 500Ω です。

この設計例では、R_{SET} に 330Ω、1% を選択すると、I_{2t_MAX} 電流 100µA 未満が得られます。

電流監視抵抗 R_{IMON} の選択

IMON ピン $V_{(IMON)}$ の電圧は出力負荷電流に比例します。これを下流システムの ADC に接続して、システムの動作条件と状態を監視できます。R_{IMON} は、最大負荷電流と使用する ADC の入力電圧範囲に基づいて選択する必要があります。R_{IMON} は、次の式で設定します。

$$V_{(IMON)} = \left(V_{SNS} + V_{(VOS_SET)}\right) \times \frac{0.9 \times R_{IMON}}{R_{SET}} \tag{14}$$

$V_{SNS} = I_{OC_MAX} \times R_{SNS}$ および $V_{(OS_SET)}$ は、電流センス アンプの入力換算オフセット (±150µV) です。I_{OC_MAX} = 120A の場合、ADC の動作範囲が 0V ～ 3.3V (例：$V_{(IMON)}$ = 3.3V) であると考えると、R_{IMON} は 60.24kΩ と計算されます。

Copyright © 2025 Texas Instruments Incorporated

R_{IMON} に 式 14 に示されている値よりも小さい値を選択すると、負荷電流の最大値に対して ADC の制限を超えないようにすることができます。使用可能な最も近い標準値を選択します:60kΩ、1%

メイン パス MOSFET Q1 と Q2 の選択

Q1 および Q2:MOSFET Q1 および Q2 の選択に重要な電気的パラメータは、最大連続ドレイン電流 ID、最大ドレイン - ソース間電圧 $V_{DS(MAX)}$、最大ドレイン - ソース間電圧 $V_{GS(MAX)}$、ドレイン - ソース間オン抵抗 $R_{DS(ON)}$ です。最大連続ドレイン電流定格 (ID) は、最大連続負荷電流を超える必要があります。最大ドレイン - ソース間電圧 $V_{DS(MAX)}$ は、このアプリケーションで見られる最大の電圧に耐えるのに十分な高さが必要です。ロード ダンプによる最大アプリケーション電圧として 60V を考慮し、VDS 電圧定格 80V の MOSFET を選択します。

TPS4816-Q1 が駆動できる最大 VGS は 12V であるため、最小 VGS 定格が 15V の MOSFET を選択する必要があります。

MOSFET の導通損失を低減するには、適切な $R_{DS\ (ON)}$ が推奨されます。設計要件に基づき、4 つの IAUS200N08S5N023 が選択されています。その定格は次の通りです。

- 80V $V_{DS(MAX)}$ および ±20V $V_{GS(MAX)}$
- $R_{DS(ON)}$ は 10V VGS で 2.3mΩ (標準値)
- MOSFET の Qg (合計) は 110nC (最大値)

TI は、V_{BATT_MAX} および I_{SC} などの短絡状態が、t_{SC} (5µs 最大) 以上のタイミングで、選択した FET (Q1 および Q2) の SOA 内に収まるようにすることを推奨しています。

ブートストラップ コンデンサ C_{BST} の選定

内部チャージ ポンプは、(BST ピンと SRC ピンとの間に接続された) 外部ブートストラップ コンデンサを約 600µA で充電します。次の式を使って、4 つの IAUS200N08S5N023 MOSFET を駆動するために必要なブートストラップ コンデンサの最小値を計算します。

$$C_{BST} = \frac{Q_{g(total)}}{1\ V} \tag{15}$$

使用可能な最も近い標準値を選択します:470nF、10%

I^2t プロファイルのプログラミング、R_{IOC} および C_{I2t} の選択

R_{IOC} は、I^2t 保護開始スレッショルドを設定します。その値は次の式を使用して計算できます。

$$R_{IOC}\left(\Omega\right) = \frac{V_{(REF_OC)}}{K \times \left(I_{OC}\right)^2} \tag{16}$$

ここで、スケーリング係数 K は次の式に基づいて計算できます。

$$\text{Scaling factor}\left(K\right) = \frac{\left(0.1 \times \frac{R_{SNS}}{R_{SET}}\right)^2}{I_{BIAS}} \tag{17}$$

40A を I^2t 保護開始スレッショルドに設定する場合、R_{IOC} の値は 27kΩ と計算されます。

使用可能な最も近い標準値を選択します:27kΩ、1%

最大過電流制限 (I_{OC_MAX}) でゲートドライブをオフにする時間は、次の式で決定できます。

$$\text{I2T Factor} = \left(I_{OC_MAX}{}^2 - I_{OC}{}^2\right) \text{x}\ t_{OC_MIN} \tag{18}$$

Copyright © 2025 Texas Instruments Incorporated

3000A^{2}s を I^2t 係数に設定すると、t_{OC_MIN} 値は 234.5ms と計算されます。

式 19 を用いて、必要な C_{I2t} 値を計算します。

$$C_{I2t}\left(F\right) = \frac{K \times t_{OC_MIN}}{V_{(I2t_OC)} - V_{(I2t_OFFSET)}} \times \left[{I_{OC_MAX}}^2 - {I_{OC}}^2\right] \quad (19)$$

3000A^{2}s を I^2t 係数、40A を I^2T 開始スレッショルド、120A を最大過電流として設定すると、C_{I2t} は ～ 9.2µF と計算されます。

使用可能な最も近い標準値を選択します：10µF、10%

短絡保護スレッショルドのプログラミング、R_{ISCP} の選択

R_{ISCP} は短絡保護スレッショルドを設定します。その値は、次の式を使用して計算できます。

$$R_{ISCP}\left(k\Omega\right) = \frac{I_{SC} \times R_{SNS} - 1.8}{I_{SCP}} \quad (20)$$

130A を短絡保護スレッショルドとして設定する場合、並列に接続する 2 つの FET について、R_{ISCP} の値は 2.53kΩ と計算されます。使用可能な最も近い標準値を選択します：2.55kΩ、1%

フォルト タイマ期間のプログラミング、C_{TMR} の選択

ここで説明している設計例では、TMR ピンとグランドの間に適切なコンデンサ C_{TMR} を選択することで、自動リトライ時間 t_{RETRY} を設定できます。t_{RETRY} に 1ms を設定する C_{TMR} の値は、次の式で計算できます。

$$t_{RETRY}\left(s\right) = 64 \times C_{TMR} \times \left[\frac{V_{(TMR_HIGH)} - V_{(TMR_LOW)}}{I_{(TMR_SRC)}}\right] \quad (21)$$

自動リトライ時間を 1000ms に設定すると、C_{TMR} 値は 39.06nF と計算されます。

使用可能な最も近い標準値を選択します：47nF、10%

低電圧誤動作防止と過電圧の設定点、R1、R2 および R3 の設定

低電圧誤動作防止 (UVLO) と過電圧の設定点は、デバイスの VS、EN/UVLO、OV および GND ピン間に接続された R1、R2 と R3 の外部電圧分割回路網を使用して調整できます。低電圧および過電圧を設定するために必要な値は、式 22 と式 23 で計算します。

$$V_{(OVR)} = \frac{R_3}{(R_1 + R_2 + R_3)} \times VIN_{OVP} \quad (22)$$

$$V_{(UVLOR)} = \frac{R_2 + R_3}{(R_1 + R_2 + R_3)} \times VIN_{UVLO} \quad (23)$$

TI は、電源から引き込まれた入力電流を最小限に抑えるため、R1、R2 および R3 に高い抵抗値を使用することを推奨しています。ただし、この抵抗列に外部のアクティブ部品が接続されたことによるリーク電流は、これらの計算に誤差を生じさせる可能性があります。したがって、抵抗列の電流 I(R123) は、UVLO および OV ピンのリーク電流の 20 倍以上になるように選択する必要があります。

デバイスの電気的仕様から、$V_{(OVR)}$ = 1.2V、$V_{(UVLOR)}$ = 1.2V となります。設計要件から、V_{INOVP} は 60V、V_{INUVLO} は 16V です。式を解くには、まず R1 = 470kΩ の値を選択し、式 22 を使用して (R2 + R3) = 39.5kΩ を計算します。式 23 と (R2 + R3) の値を使用して R3 = 10.5kΩ を求め、最終的に R2 = 29kΩ を求めます。

直近の標準的な 1% 抵抗値として R1 = (470kΩ)、R2 = 29.4kΩ、R3 = 10kΩ。

Copyright © 2025 Texas Instruments Incorporated

突入電流のプログラミング、R_g および C_g の選択

I_{INRUSH} を計算するには、次の式を使用します。

$$I_{INRUSH} = C_{LOAD} \times \frac{V_{BATT_MAX}}{T_{charge}} \quad (24)$$

計算される I_{INRUSH} は、常にバイパス パス短絡 (I_{BYPASS_SC}) 電流より小さい必要があります。この値は、次の式で計算できます。

$$I_{BYPASS_SC} = \frac{2\,V}{R_{BYPASS}} \quad (25)$$

1Ω R_{BYPASS} については、I_{BYPASS_SC} は I_{INRUSH} よりも小さい 2A と計算されます。

I_{INRUSH} に基づいて、次の式を使用して必要な C_g を計算します。

$$C_g = \frac{C_{LOAD} \times I_{(G)}}{I_{INRUSH}} \quad (26)$$

$I_{(G)}$ は 100µA (標準値) です。

I_{INRUSH} を 1.5A に設定すると、C_g の値は～ 50nF と計算されます。

ターンオフ時の Cg からの放電電流を制限するには、直列抵抗 R_g を Cg と組み合わせて使用する必要があります。

選択された R_g の値は 100Ω、C_g は 68nF です。

R_{BYPASS} と Q_3 の選択

ブロッキング MOSFET Q3 の選択に重要な電気的パラメータは、最大連続ドレイン電流 I_D、最大ドレイン - ソース間電圧 $V_{DS(MAX)}$、最大ドレイン - ソース間電圧 $V_{GS(MAX)}$、ボディ ダイオードを流れる最大ソース電流、ドレイン - ソース間オン抵抗 R_{DSON} です。

設計要件に基づき、IAUS200N08S5N023 を選択し、定格を以下に示します。

- 80V $V_{DS(MAX)}$ および ±20V $V_{GS(MAX)}$
- $R_{DS(ON)}$ は 10V VGS で 2.3mΩ (標準値)

バイパス抵抗の平均電力定格は、次の式で計算できます。

$$P_{AVG} = I_{INRUSH}^2 \times R_{BYPASS} \quad (27)$$

R_{BYPASS} の平均消費電力は、2.25W と計算されます。

バイパス抵抗のピーク消費電力は、次の式で計算できます。

$$P_{PEAK} = \frac{V_{BATT_MAX}^2}{R_{BYPASS}} \quad (28)$$

R_{BYPASS} のピーク消費電力は、～ 3600W と計算されます。グラウンドフォルト へ短絡した場合のパワーアップ時のピーク消費電力時間は、電気的特性表の $t_{(BYPASS_SC)}$ パラメータ (最大 5µs) から導き出せます。

P_{PEAK} および $t_{(BYPASS_SC)}$ に基づき、2Ω、1%、1.5W CRCW25122R00JNEGHP 抵抗は、$t_{(BYPASS_SC)}$ 時間を上回る期間にわたって平均およびピークの電力消費をサポートするために使用されます。TI は、設計者がバイパス抵抗の電力消費プロファイル全体を抵抗のメーカーと共有し、推奨事項を取得することを推奨しています。

バイパス パスのピーク短絡電流は、次の式に基づいて計算できます。

Copyright © 2025 Texas Instruments Incorporated

$$I_{PEAK_BYPASS} = \frac{V_{BATT_MAX}}{R_{BYPASS}} \quad (29)$$

I_{PEAK_BYPASS} は 60A と計算されます。TI は、バイパス パス (Q3) の動作ポイント (V_{BATT_MAX}、I_{PEAK_BYPASS}) が、$t_{(BYPASS_SC)}$ を上回る時間にわたって SOA 曲線内にあることを設計者が確認することを推奨しています。

9.2.3 アプリケーション曲線

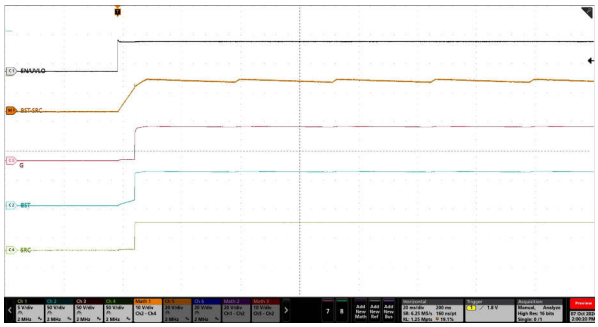


図 9-2. バイパス パスのスタートアップ プロファイル (INP_G = High、VIN = 48V、無負荷、C_{BST} = 470nF)

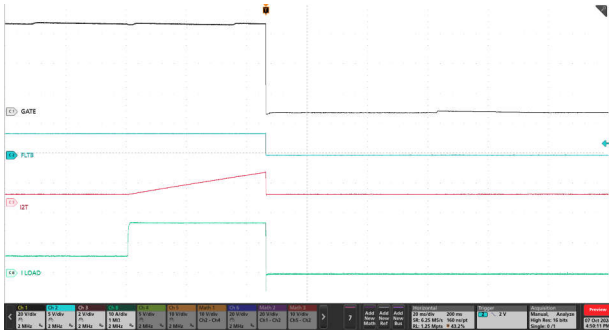


図 9-3. 6A から 16A への負荷ステップにおける TPS4816-Q1 EVM の I^2T ベースの過電流応答

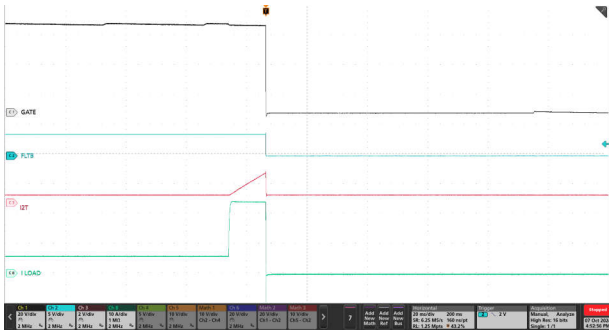


図 9-4. 6A から 23A への負荷ステップにおける TPS4816-Q1 EVM の I^2T ベースの過電流応答

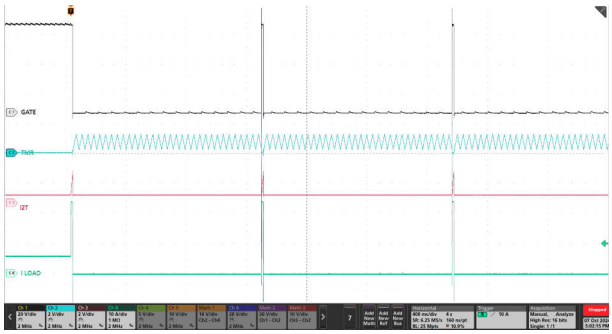


図 9-5. I^2T ベースの過電流フォルトにおける TPS4816-Q1 の自動リトライ応答

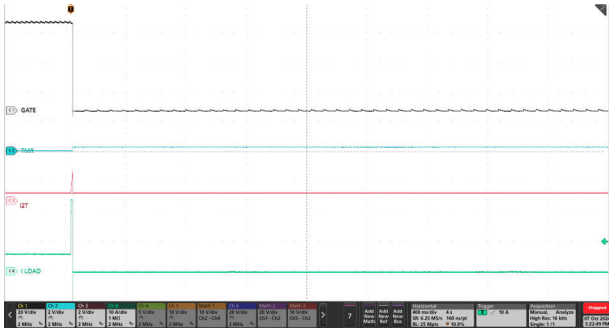


図 9-6. I^2T ベースの過電流フォルトにおける TPS4816-Q1 のラッチオフ応答

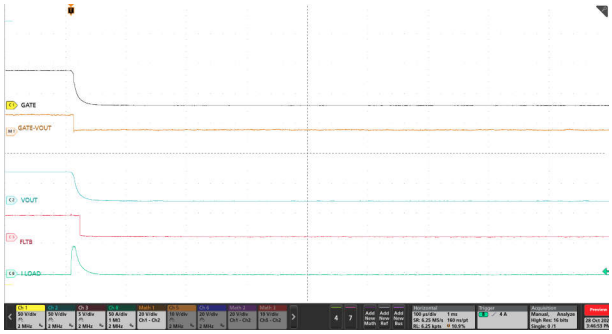


図 9-7. TPS4816-Q1 の出力短絡応答

Copyright © 2025 Texas Instruments Incorporated

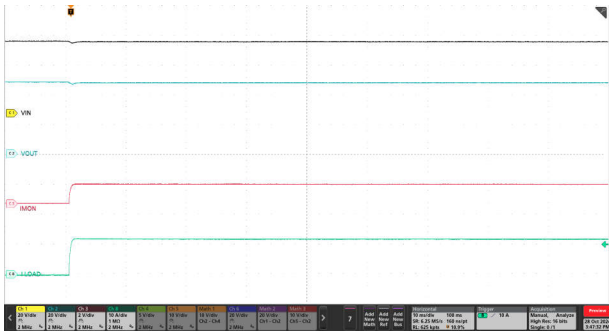


図 9-8. TPS4816-Q1 電流監視出力 (IMON) の過渡応答

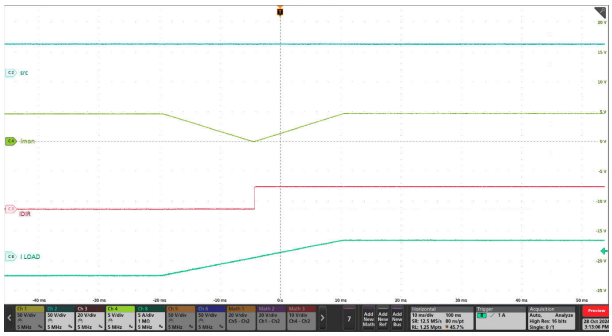


図 9-9. TPS4816-Q1 双方向電流監視出力 (IMON、I_DIR) の過渡応答

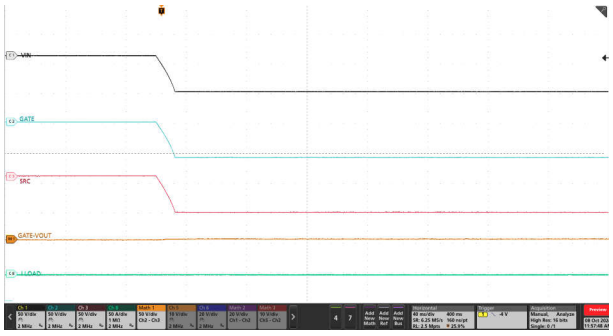


図 9-10. 入力逆バッテリ フォルト時の GATE ターンオフ

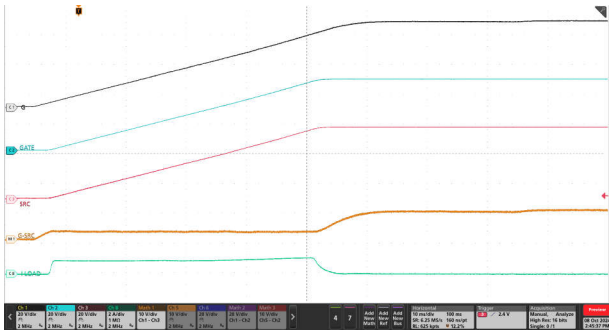


図 9-11. 出力が 1000µF の突入電流プロファイル (INP_G = High、INP = Low)

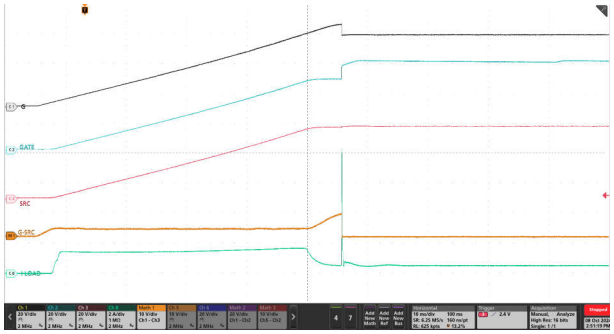


図 9-12. 出力が 1000µF、負荷が 0.5A の突入電流プロファイル (INP_G = High、INP = Low)

9.3 電源に関する推奨事項

INP 制御、過電流、短絡保護による電流フローの中断などの状況下で外部 MOSFET がオフになると、入力寄生ラインインダクタンスによって入力に正の電圧スパイクが生成され、出力寄生インダクタンスによって出力に負の電圧スパイクが生成されます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何等かの策を講じない場合は、こうあした過渡現象によって、デバイスの絶対最大定格を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- 入力と GND の間に ダイオードまたは TVS ダイオードと入力コンデンサ フィルタを組み合わせて使用することで、エネルギーを吸収し、正の過渡電圧を減衰させることができます。
- 出力と GND の間にダイオードまたは TVS ダイオードを配置して、負のスパイクを吸収します。

TPS4816-Q1 には、VS ピンから電力が供給されます。適切に動作させるためには、このピンの電圧を $V_{(VS_PORR)}$ レベルよりも高く維持する必要があります。入力電源に過渡現象によってノイズが多い場合は、入力電源ラインと VS ピンの間

Copyright © 2025 Texas Instruments Incorporated

に R_{VS} – C_{VS} フィルタを配置し、電源ノイズをフィルタして除去することが推奨されます。TI は、R_{VS} 値を約 100Ω、C_{VS} 値を 0.1µF くらいにすることを推奨しています。

TPS4816-Q1 は、入力逆極性フォルト イベントの検出に DRN ピンを使用します。入力電源に過渡現象によってノイズが多い場合は、入力電源ラインと DRN ピンの間に R_{DRN} – C_{DRN} フィルタを配置し、電源ノイズをフィルタして除去することが推奨されます。TI は、R_{DRN} 値を約 10Ω、C_{DRN} 値を 0.1µF くらいにすることを推奨しています。

di/dt が大きい場合、システムおよびレイアウトの寄生インダクタンスにより、CS1+ ピンと CS1– ピンの間に大きな差動信号電圧が生成される可能性があります。これにより、誤って短絡保護が発生する可能性、およびシステム内で不要なトリップが発生する可能性があります。こうした問題を克服するため、センス抵抗 (R_{SNS}) の両端に RC フィルタ部品用のプレースホルダを追加し、実際のシステムでのテスト中に値を微調整することが推奨されます。突入期間中または起動時に誤った短絡保護 (SCP) を回避するために、ISCP ピンと DRN ピン間にコンデンサ (C_{ISCP}) を配置することもできます。

図 9-13 に、オプションの保護部品を使用した回路実装を示します。

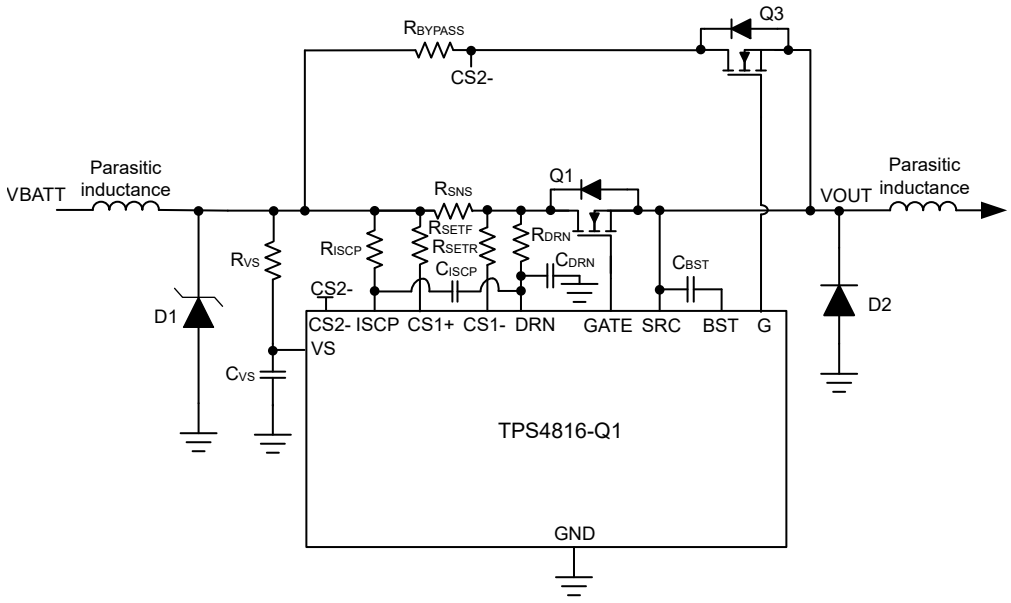


図 9-13. オプションの保護部品を使用した TPS4816-Q1 の回路実装

9.4 レイアウト

9.4.1 レイアウトのガイドライン

- センス抵抗 (R_{SNS}) は TPS4816-Q1 の近くに配置し、ケルビン技法を使用して R_{SNS} を接続する必要があります。ケルビン技法の詳細については、『*適切なセンス抵抗のレイアウトの選択*』を参照してください。
- すべてのアプリケーションで、VS 端子と GND の間に 0.1 µF 以上の値のセラミック デカップリング コンデンサを使うことが推奨されます。電力線の障害に対するデカップリングを改善するために、コントローラの電源ピン (VS) に RC ネットワークを追加することを検討してください。
- ボードの入力から負荷への大電流パスおよび帰路は並列かつ互いに近接して配置し、ループ インダクタンスを最小化する必要があります。
- 短いゲート ループを形成するために、MOSFET のゲートが GATE ピンの近くに配置されるように、外部 MOSFET はコントローラの近くに配置する必要があります。必要に応じて、高周波発振を抑制するため、各外部 MOSFET のゲートと直列に抵抗のプレースホルダを追加することを検討します。
- TVS ダイオードを入力に配置して、ホットプラグ時および高速ターンオフ時の過渡電圧をクランプします。

Copyright © 2025 Texas Instruments Incorporated

- 非常に短いループを形成するために、外部ブートストラップ コンデンサは、BST ピンと SRC ピンの近くに配置する必要があります。
- TPS4816-Q1 の周囲にある各種部品のグランド接続は、互いに直接接続し、TPS4816-Q1 の GND に接続してから、システム グランドに一箇所で接続する必要があります。各種部品のグランドは、高電流のグランド ライン経由で相互に接続しないでください。

9.4.2 レイアウト例

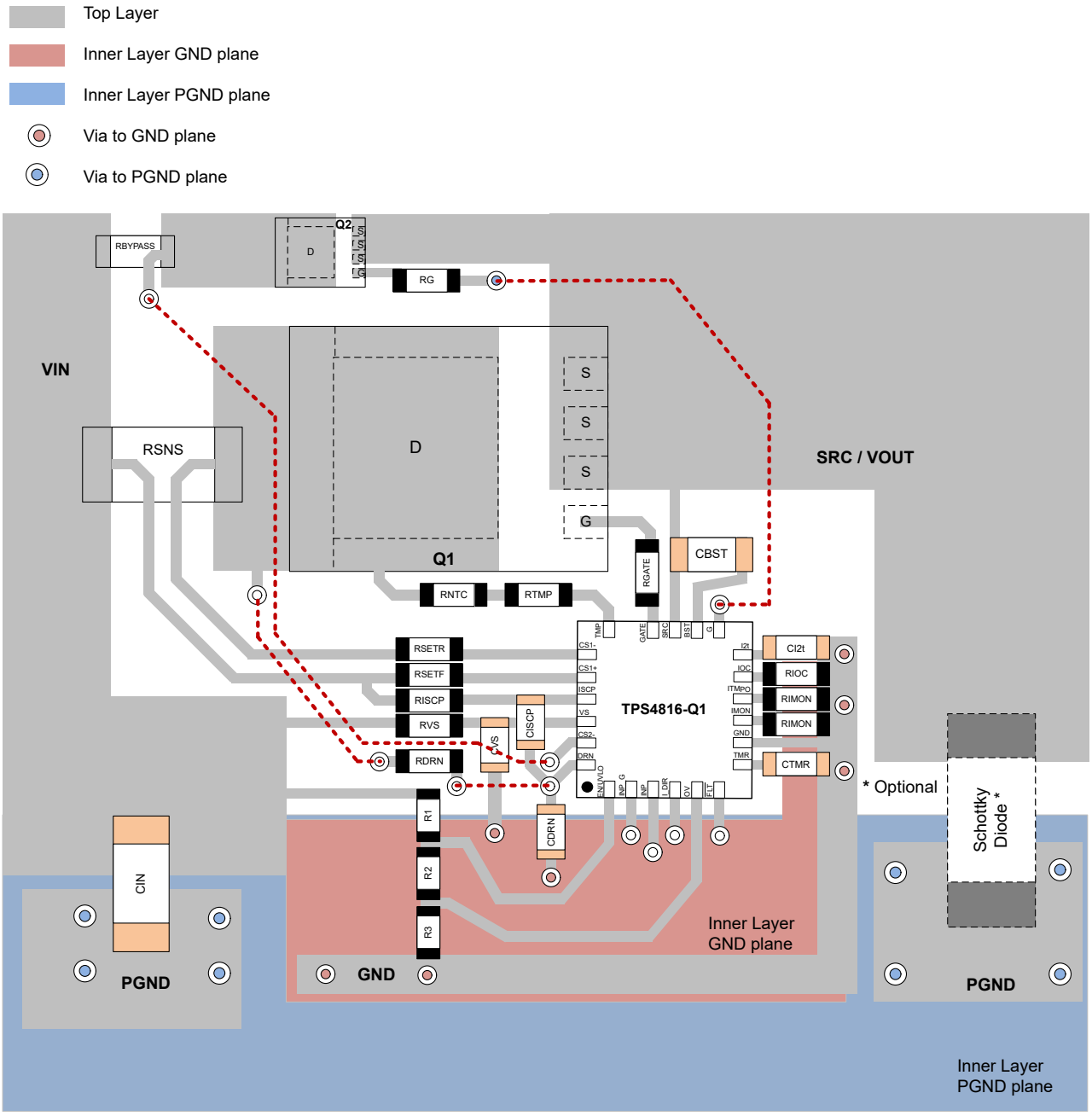


図 9-14. 代表的な TPS4816-Q1 PCB レイアウト例

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2025	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS48160QRGERQ1	Active	Production	VQFN (RGE) | 23	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 48160Q
TPS48161QRGERQ1	Active	Production	VQFN (RGE) | 23	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 48161Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

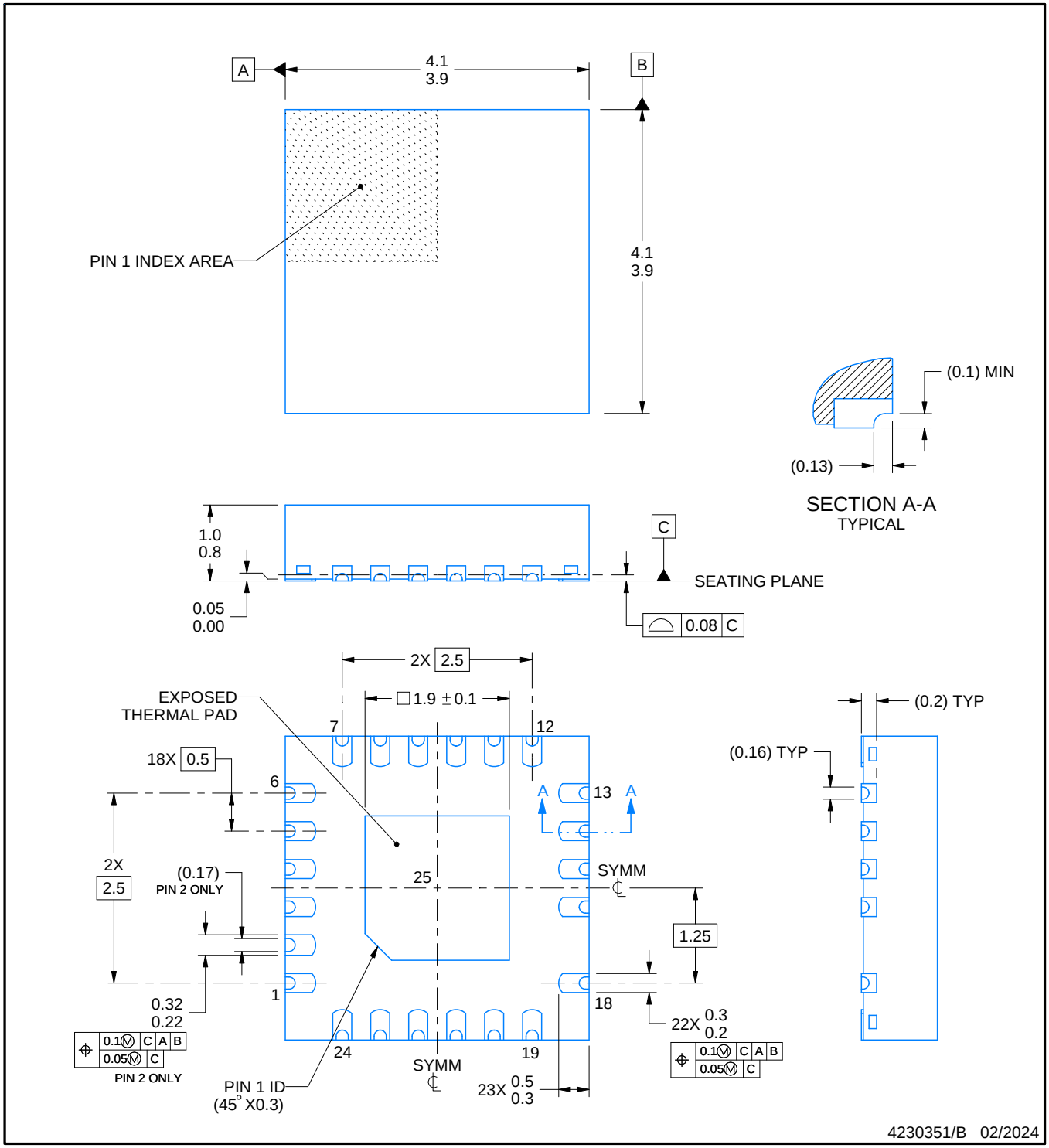
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

RGE0023A

PACKAGE OUTLINE

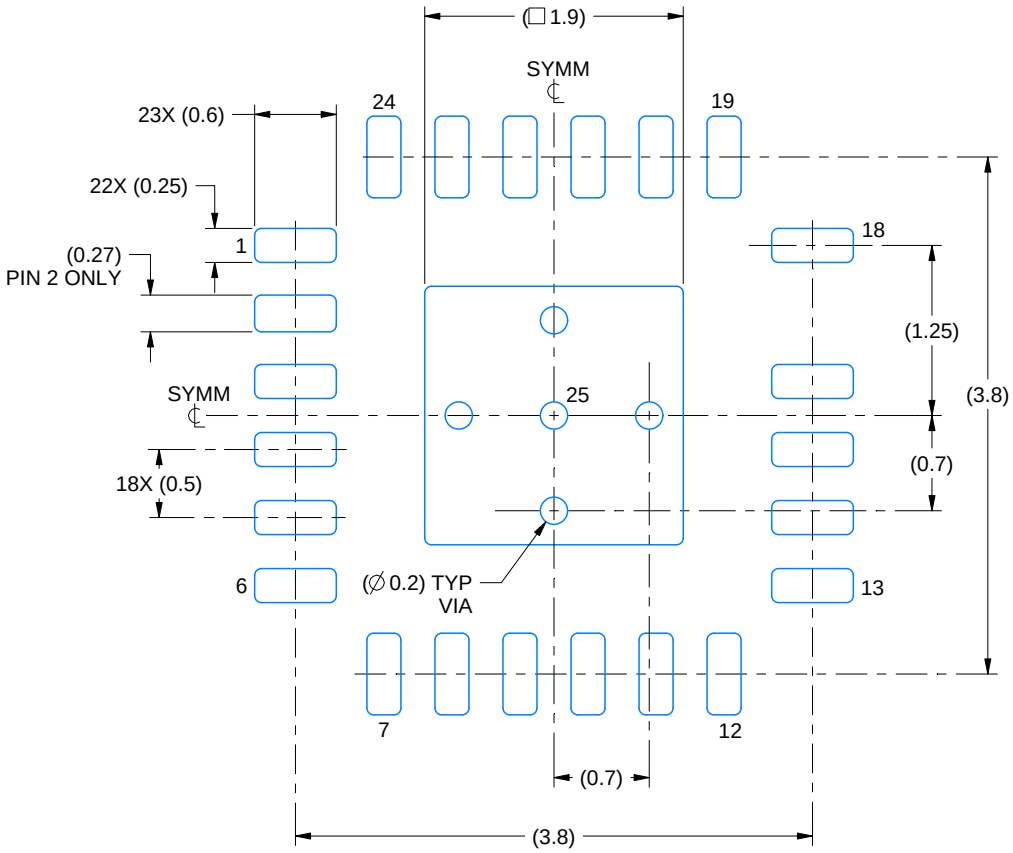
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

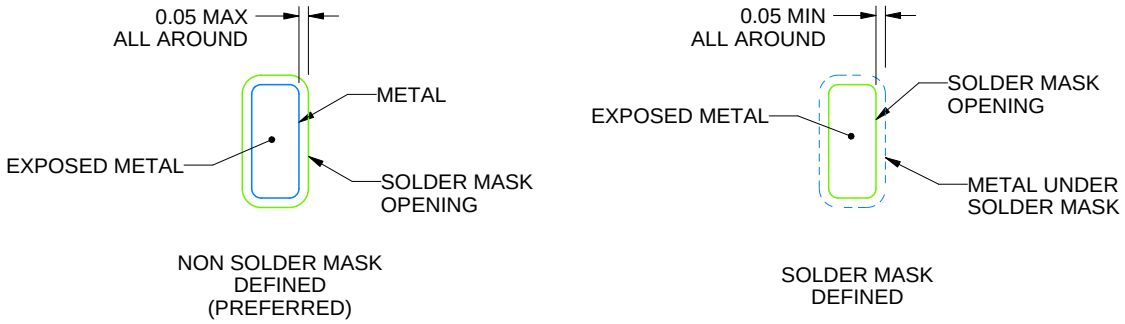


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



NON SOLDER MASK DEFINED (PREFERRED)

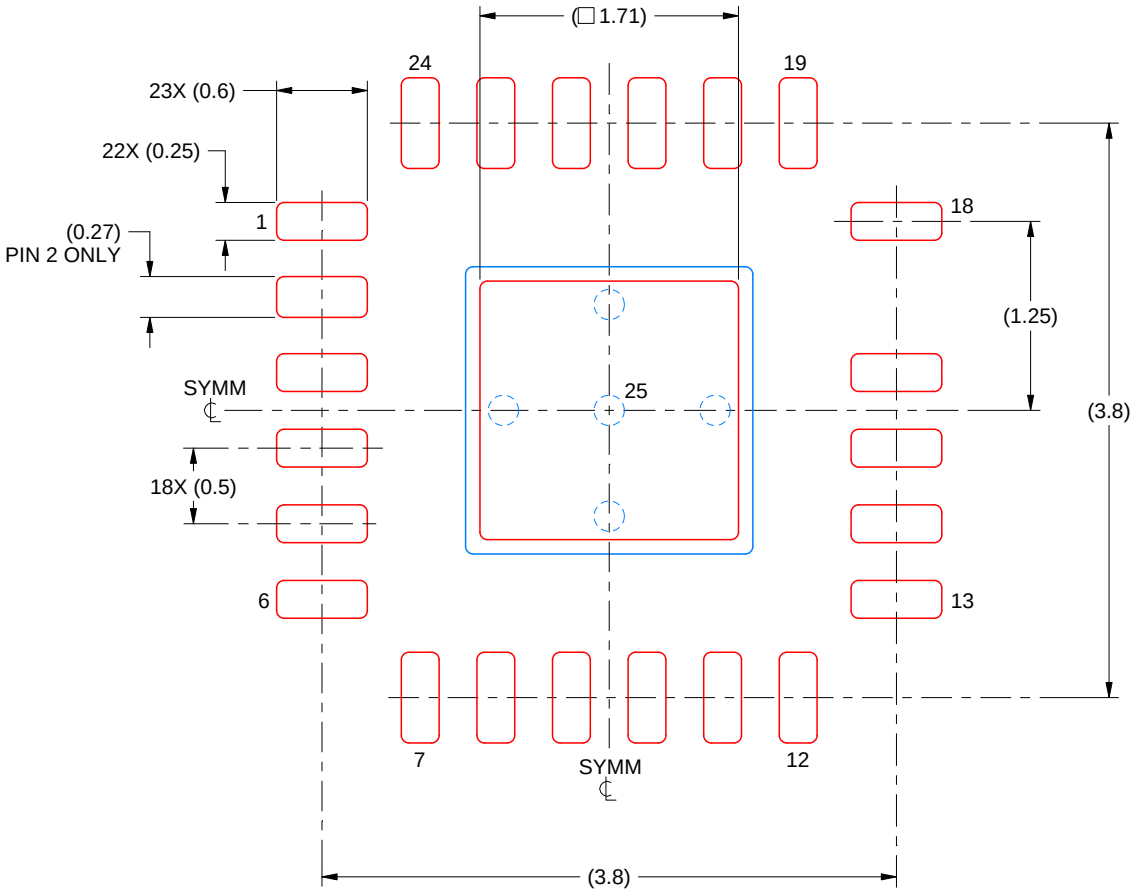
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4230351/B 02/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

THERMAL PAD 25:
77% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月