

TPS481HS04-Q1 I²t ワイヤ保護および低消費電力モード搭載の 4mΩ、車載シングルチャネル、SPI 制御ハイスайдスイッチ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度グレード 1: -40°C ~ 125°C
 - 70V の負荷ダンプへの耐性
- nFET 内蔵のシングルチャネル SPI 制御スマートハイスайдスイッチ。
- MCU を介さないワイヤハーネス保護機能と SPI でプログラム可能なヒューズ曲線を内蔵
 - 持続的な過負荷状態からの保護
- ユーザー プログラマブル EEPROM
- SPI からプログラム可能な可変式過電流保護によりシステムレベルの信頼性を向上
- 幅広い容量性入力 ECU の負荷電流ニーズに対応する SPI で構成可能な容量性充電モード
- 低静止電流 / 低消費電力オン状態で常時オンの負荷に電力を供給、MCU に対するウェイク信号によりウェイクオン時の負荷電流を自動的に供給
- 堅牢な出力保護機能を内蔵:
 - サーマル保護内蔵
 - グラウンド短絡からの保護
 - 逆電源電圧による FET の自動スイッチ オンを含むバッテリー逆接続からの保護
 - バッテリーまたはグラウンドの喪失時に使用できる自動シャットオフ機能
 - 誘導性負荷の逆起電圧の発生を防止する出力クランプを内蔵
- SPI によるデジタル センス出力で以下を測定するように構成可能:
 - 負荷電流 (内蔵 ADC による高精度の測定)
 - 出力または電源電圧、FET 温度
- SPI インターフェイスによる完全なフォルト診断と FLT ピンによるフォルト表示
 - 開放負荷およびバッテリーへの短絡の検出

2 アプリケーション

- 車載ゾーン ECU
- パワー ディストリビューション モジュール
- 車体制御モジュール

3 説明

TPS481HS04-Q1 デバイスは、シリアル ペリフェラル インターフェイス (SPI) を介して制御されるシングルチャネルのスマート ハイスайдスイッチであり、配電やアクチュエータ駆動用途を目的としています。このデバイスには堅牢な保護機能が内蔵されており、短絡や過負荷の状態から出力ワイヤと負荷を確実に保護できます。このデバイスは SPI 経由で構成できる過電流保護機能を搭載しており、大きな突入電流を必要とする負荷に対応できる十分な柔軟性と強化された保護機能を実現します。さらに、このデバイスにはプログラム可能なヒューズ プロファイル (電流と時間の関係) が組み込まれていて、過負荷状態が持続した場合にスイッチをオフにします。

このデバイスは、パワー ディストリビューション スイッチ アプリケーションの ECU 負荷用に、SPI で構成可能な容量性充電モードをサポートしています。また、このデバイスには 2 つの低消費電力モード (LPM) の状態、すなわち自動移行モードと手動移行モードが備わっており、これにより、デバイス自身の消費電流を約 10 ~ 20μA に抑えつつ、負荷となる ECU に電流を供給することができます。

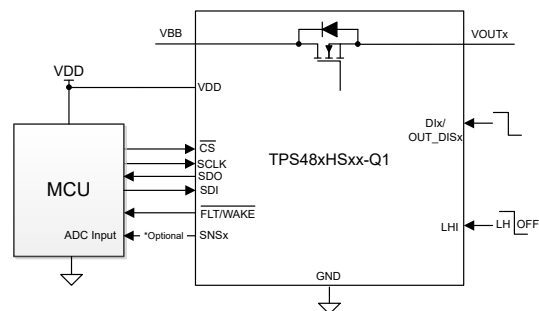
負荷電流、チャネル出力電圧、出力 FET 温度をシステムの MCU に報告することで、スイッチや負荷の障害を診断することができます。

TPS481HS04-Q1 は、PCB の実装面積を削減できる QFN パッケージで提供されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TPS481HS04-Q1	RBL (QFN, 21)	5.75mm x 5.5mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーション回路



目次

1 特長.....	1	8 レジスタ マップ.....	45
2 アプリケーション.....	1	8.1 TPS481HS04-Q1 のレジスタ.....	46
3 説明.....	1	8.2 EEPROM (NVM) の概要.....	83
4 ピン構成および機能.....	3	9 アプリケーションと実装.....	86
5 仕様.....	5	9.1 使用上の注意.....	86
5.1 絶対最大定格.....	5	9.2 代表的なアプリケーション.....	87
5.2 ESD 定格.....	5	9.3 電源に関する推奨事項.....	94
5.3 推奨動作条件.....	5	9.4 レイアウト.....	94
5.4 熱に関する情報.....	6	10 デバイスおよびドキュメントのサポート.....	96
5.5 電気的特性.....	6	10.1 ドキュメントのサポート.....	96
5.6 SPI のタイミング要件.....	11	10.2 ドキュメントの更新通知を受け取る方法.....	96
5.7 スイッチング特性.....	12	10.3 サポート・リソース.....	96
6 パラメータ測定情報.....	14	10.4 商標.....	96
7 詳細説明.....	15	10.5 静電気放電に関する注意事項.....	96
7.1 概要.....	15	10.6 用語集.....	96
7.2 機能ブロック図.....	16	11 改訂履歴.....	96
7.3 機能説明.....	17	12 メカニカル、パッケージ、および注文情報.....	96
7.4 デバイスの機能モード.....	38	12.1 テープおよびリール情報.....	97
7.5 TPS481HS04-Q1 量産開始前の半導体チップの 制限事項.....	43	12.2 メカニカル データ.....	99

4 ピン構成および機能

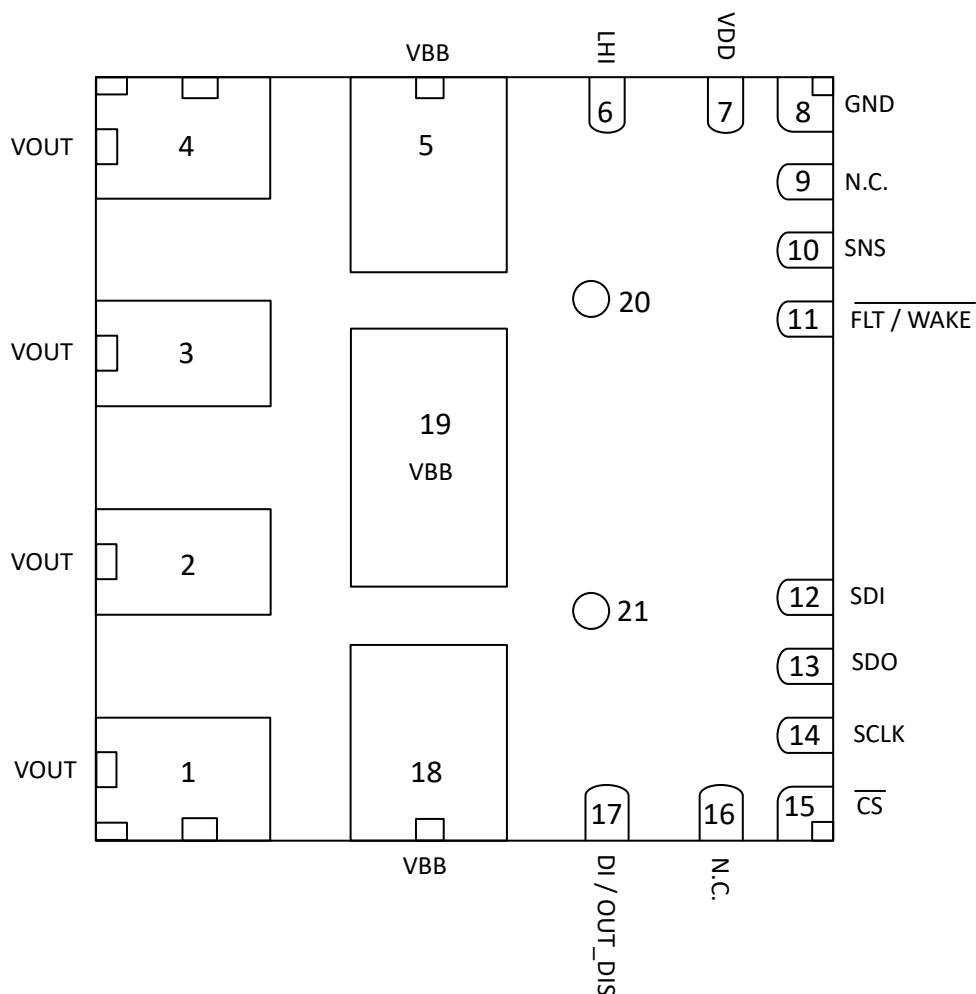


図 4-1. RBL パッケージ 21 ピン QFN-HR (底面図) — TPS481HS04-Q1

表 4-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1、 2、3、4	VOUT	O	ハイサイド スイッチ 出力。負荷に接続します
5、18、19	VBB	電源	電源
6	LHI	I	外部から Limp Home モードを有効化します。
7	VDD	電源	ロジック電源入力
8	GND	GND	デバイスのグランド
9、16、20、21	NC	O	無接続
10	SNS	O	SNS 電流出力、IC の GND ピンに対して並列 RC ネットワークを使用します

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
11	FLT / WAKE	O	フォルト出力 - 任意の (1 つまたは複数の) チャンネルのオープンドレイン、VDD ピンへの 4.7K 抵抗によってプルアップ。また、キープオフ モードでの負荷電流要求時に MCU へのウェイク信号として機能します。
12	SDI	I	SPI デバイス (2 次側) データ入力
13	SDO	O	デバイスからの SPI データ出力。VDD への内部プルアップ。
14	SCLK	I	SPI クロック入力
15	CSN	I	チップ セレクト。VDD への内部プルアップ
17	DI / OUT_DIS	I	DI_OUT_DIS_FN ビットにより EEPROM で構成可能。 DI としてプログラムされている場合: CHx_LH_IN ビットで設定されている場合、LIMP HOME モードで出力動作を設定します OUT_DIS としてプログラムされている場合: OUT_DIS_MASK_CHx = 0 の場合、High にアサートされると VOUTx を無効化します。 このピンは、保護のため、および逆極性保護 FET オン機能を有効にするために、10K の抵抗を介して MCU または他の HI/LO ソースに接続する必要があります。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
VBB ピンの最大過渡電圧、 V_{BBt}			70	V
負荷ダンブ電圧			70	V
VOUT 電圧		-60	$V_{BB}+0.7$	V
逆極性電圧、VBB ピンで連続動作		-36		V
低電源ピン電圧、 V_{DD}		-0.3	7	V
SPI デジタル入力ピン電圧、 V_{SPI}	SDI, SCLK, $\overline{CS}$	-0.3	7	V
シリアル データ出力ピン電圧、 V_{SDO}	SDO	-0.3	7	V
センス・ピン電圧、 V_{SNS}		-0.3	7	V
FLT / WAKE ピン電圧		-0.3	7	V
Limp home アクティブ化ピン電圧、 V_{LHI}			V_{BB}	V
Limp home 直接入力ピン電圧 / 出力無効化、 $V_{DI_OUT_DIS}$		-0.3	7	V
最大接合部温度、 T_J			150	°C
保管温度、 T_{stg}		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しなくなる可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電 ⁽¹⁾	人体モデル (HBM)、AEC Q100-002、分類レベル H2 準拠	VBB と VOUTx を含むすべてのピン	±2000
		人体モデル (HBM)、AEC Q100-002、分類レベル H3A 準拠 ⁽²⁾	VBB と VOUTx	±4000
		荷電デバイス モデル (CDM)、AEC Q100-011 分類レベル C5 準拠	すべてのピン	±750

- (1) AEC-Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。
(2) ESD 衝撃は、GND に接続されたピンの基準電圧によるものです

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{BB_NOM}	公称電源電圧	6	60	V
V_{BB_EXT}	拡大電源電圧	3	70	V
V_{DD}	低電圧電源電圧	3.0	5.5	V
V_{SPI}	SPI デジタル入力ピン電圧 (SCLK, SDI, CSN)	-0.3	5.5	V
V_{SDO}	SDO ピン電圧	-0.3	5.5	V
V_{FLT7} $WAKE_SIG$	FLT / WAKE_SIG ピンの電圧	-0.3	5.5	V
V_{SNS}	SNS ピン電圧	-0.3	5.5	V

5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{LHI}	Limp home アクティブ化ピン電圧、LHI	-0.3	V_{BB}	V
$V_{DI_OUT_DIS}$	Limp Home 直接ピン入力電圧 (DI) / 出力無効化ピン入力電圧 (OUT_DIS)	-0.3	5.5	V
T_A	自由空気での動作温度	-40	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾⁽²⁾		TPS481HS04-Q1	単位
		RBL	
		21 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	24 (推定)	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	未定	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	未定	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	未定	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	未定	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	未定	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』レポートを参照してください。

(2) 熱パラメータは、JESD51-5 および JESD51-7 に準拠した 4 層 PCB に基づいています。

5.5 電気的特性

$V_{BB} = 8V \sim 60V @ V_{DD} = 3.0V \sim 5.5V, T_J = 40^\circ C \sim 150^\circ C$ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
入力電圧および電流							
V _(V_{BB}_UVLO)	V _{BB} 低電圧誤動作防止	UVLO_SET = 0x1	V _{BB} 上昇スレッシュヨルド	5.5		V	
			V _{BB} 立ち下がりスレッシュヨルド	4.5		V	
		UVLO_SET = 0x7	V _{BB} 上昇スレッシュヨルド	17		V	
			V _{BB} 立ち下がりスレッシュヨルド	16		V	
		UVLO_SET = 0xC	V _{BB} 上昇スレッシュヨルド	27		V	
			V _{BB} 立ち下がりスレッシュヨルド	26		V	
		UVLO_SET = 0xF	V _{BB} 上昇スレッシュヨルド	33		V	
			V _{BB} 立ち下がりスレッシュヨルド	32		V	
V _(V_{DD}_UVLOR)	V _{DD} 低電圧誤動作防止の立ち上がり			2.9		V	
V _(V_{DD}_UVLOF)	V _{DD} 低電圧誤動作防止の立ち下がり			2.6		V	
I _{SLEEP、V_{BB}}	スリープ電流 (すべての MOSFET チャネルを含むデバイス全体のリーク電流)	デバイスは SLEEP モード、V _{OUT} = 0V	T _J = 25°C	1		μA	
I _{SLEEP、V_{DD}}	V _{DD} ピンからのスリープ電流	V _{VDD} = 5.5V、デバイスは SLEEP モード、V _{OUT} = 0V	T _J = 25°C	0.3		μA	
I _{OUT(OFF),SLEEP}	(チャネルあたりの) 出力リーク電流	V _{OUT} = 0V、チャネル無効化、SLEEP 状態	T _J = 25°C	0.1		μA	

5.5 電気的特性 (続き)

V_{BB} = 8V ~ 60V @ V_{DD} = 3.0V ~ 5.5V、T_J = 40°C ~ 150°C (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
I _Q , V _{DD}	V _{DD} 静止電流	アクティブ状態、SCLK オフ	V _{DD} = 5.5V		1.65		mA
			V _{DD} = 3.0V		70		μA
I _Q , V _{BB} , ACTIVE	ACTIVE 状態での V _{BB} の静止電流	チャンネル有効化、IOUTx = 0A、ADC 無効化、ACTIVE 状態	V _{DD} = 5.5V		3.2		mA
			V _{DD} = 5.5V		3.3		mA
			V _{DD} = 3.0V		3.3		mA
			V _{DD} = 0V		3.3		mA
I _L , CONT	チャンネルごとの連続負荷電流	1 つのチャンネルが有効、T _{AMB} = 85°C	T _{AMB} = 85°C		18.5		A
Ron の特性							
R _{ON_OL}	オン抵抗、OL オン モード	8V ≤ V _{BB} ≤ 60V、IOUTx = 200mA、OL_ON_EN_CHx = 1	T _J = 25°C		215		mΩ
R _{ON}	オン抵抗	8V ≤ V _{BB} ≤ 60V、IOUTx = 2A、OL_ON_EN_CHx = 0	T _J = 25°C		4.9		mΩ
電流センス特性							
I _{ENTRY_OL_ON}	OL_ON モードに移行するための I _{OUT} 電流 (OL_ON_EN_CHx = 1)	OL_ON モードに移行するための I _{OUT} 電流 (OL_ON_EN_CHx = 1)			1		A
I _{EXIT_OL_ON}	OL_ON モードを終了するための I _{OUT} 電流 (OL_ON_EN_CHx = 1)	OL_ON モードを終了するための I _{OUT} 電流 (OL_ON_EN_CHx = 1)			1.36		A
K _{SNS1}	電流センス比 I _{OUTx} / i _{SNS}	OL_ON_EN_CHx = 0			11450		
K _{SNS2}	電流センス比 I _{OUTx} / i _{SNS}	OL_ON_EN_CHx = 1			267		
ADC の特性							
K _{DIG1}	ADC の電流センス比 I _{OUTx} / i _{SNS}	OL_ON_EN_CHx = 0			25.88		
K _{DIG2}	ADC の電流センス比 I _{OUTx} / i _{SNS}	OL_ON_EN_CHx = 1			0.6		
V _{ADC_REF}	ADC リファレンス電圧				2.8		V
I _{ADC}	ADC 消費電流				0.5		mA
SNS 特性							
V _{BP_SNS_RANGE}	V _{BB} SNS 電圧検出範囲			8		65	V
V _{OUT_SNS_RANGE}	V _{OUT} SNS 電圧検出範囲			0		65	V
過電流保護特性							
I _{OCP_RANGE}	過電流保護スレッショルド、即時シャットダウン モード — 範囲			18.5		74	A

5.5 電気的特性 (続き)

VBB = 8V ~ 60V @ VDD = 3.0V ~ 5.5V、TJ = 40°C ~ 150°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{OCP}	過電流保護スレッショルド、即時シャットダウン モード	ILIMIT_SET_CHx = 0x0		18.5		A
		ILIMIT_SET_CHx = 0x1		22.2		A
		ILIMIT_SET_CHx = 0x2		25.9		A
		ILIMIT_SET_CHx = 0x3		29.6		A
		ILIMIT_SET_CHx = 0x4		33.3		A
		ILIMIT_SET_CHx = 0x5		37		A
		ILIMIT_SET_CHx = 0x6		40.7		A
		ILIMIT_SET_CHx = 0x7		44.4		A
		ILIMIT_SET_CHx = 0x8		48.1		A
		ILIMIT_SET_CHx = 0x9		51.8		A
		ILIMIT_SET_CHx = 0xA		55.5		A
		ILIMIT_SET_CHx = 0xB		59.2		A
		ILIMIT_SET_CHx = 0xC		62.9		A
		ILIMIT_SET_CHx = 0xD		66.6		A
		ILIMIT_SET_CHx = 0xE		70.3		A
		ILIMIT_SET_CHx = 0xF		74		A
t_{OCP_DETECT}	即時シャットダウン検出時間	$I_{OUT} = I_{OCP}$ から I_{OCP} 検出まで $R_{OUT} = I_{OCP}$ の 150%、 $L_{IN} = 0nH$ 、 $L_{OUT} = 0nH$		1		us
t_{OCP_TOFF}	即時シャットダウン ターンオフ時間	I_{OCP} 検出から V_{OUTx} の 10% まで $R_{OUT} = I_{OCP}$ の 150%、 $L_{IN} = 0nH$ 、 $L_{OUT} = 0nH$		3		us
コンデンサの充電						
t_{INRUSH_RANGE}	突入時間の設定範囲	INRUSH_DURATION_CHx の範囲	0		100	ms

5.5 電気的特性 (続き)

VBB = 8V ~ 60V @ VDD = 3.0V ~ 5.5V、TJ = 40°C ~ 150°C (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
I _{CL_Reg}	電流制限レギュレーション モード		INRUSH_LIMIT_CHx = 0x0		1.75		A
			INRUSH_LIMIT_CHx = 0x1		2.38		A
			INRUSH_LIMIT_CHx = 0x2		2.75		A
			INRUSH_LIMIT_CHx = 0x3		3.13		A
			INRUSH_LIMIT_CHx = 0x4		3.50		A
			INRUSH_LIMIT_CHx = 0x5		3.88		A
			INRUSH_LIMIT_CHx = 0x6		4.25		A
			INRUSH_LIMIT_CHx = 0x7		4.63		A
			INRUSH_LIMIT_CHx = 0x8		5.00		A
			INRUSH_LIMIT_CHx = 0x9		5.38		A
			INRUSH_LIMIT_CHx = 0xA		6.35		A
			INRUSH_LIMIT_CHx = 0xB		6.8		A
			INRUSH_LIMIT_CHx = 0xC		7.25		A
			INRUSH_LIMIT_CHx = 0xD		7.7		A
			INRUSH_LIMIT_CHx = 0xE		8.1		A
			INRUSH_LIMIT_CHx = 0xF		8.6		A
容量性充電							
フォルト特性							
I _{CHx(OL_PU)}	オフ状態でのオープン負荷 (OL) 検出における内部プルアップ電流	スイッチ ディスエーブル、 OL_OFF_EN_CHx = イネーブル	OL_PULLUP_STR = 00		25		μA
			OL_PULLUP_STR = 01		57		μA
			OL_PULLUP_STR = 10		121		μA
			OL_PULLUP_STR = 11		256		μA
I _{CHx(SHRT_VBB)}	オフ状態での VBB への短絡検出におけるプルダウン電流	チャネル無効、オフ状態での VBB 短絡診断機能が有効化されている状態			6		mA
V _{DS_LT_2V}	突入期間での VDS スレッシュホールド				2		V
V _{CHx(STB_OL_TH)}	オフ状態の開放負荷 (OL) およびバッテリーへの短絡の検出電圧	チャネル無効化、オフ状態の開放負荷またはバッテリーへの短絡診断有効化、VOUTx			2		V
T _{ABS}	サーマル シャットダウン				188		°C

5.5 電気的特性 (続き)

VBB = 8V ~ 60V @ VDD = 3.0V ~ 5.5V、TJ = 40°C ~ 150°C (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
T _{OTW}	サーマル シャットダウン警告			135			°C
T _{REL}	相対的なサーマル シャットダウンの温度			60			°C
T _{HYS}	サーマル シャットダウン ヒステリシス			25			°C
t _{RETRY}	再試行時間	フォルト シャットダウンからスイッチ再有効化までの時間 (サーマル シャットダウンまたは I _{OCF}) RETRY_TIME ビット	1		ms		
			10				
			0.15				
			100				
t _{LPM_WAKE_DEGLITCH}	自動 LPM 終了後 FLT/WAKE を通知するためのグリッチ除去時間		1		ms		
			10				
			20				
			100				
タイミング特性							
PWM _{FREQ}	PWM 周波数	PWM_EN_CHx = 1	PWM_FREQ_CHx = 000	0.8		Hz	
			PWM_FREQ_CHx = 001	3.2		Hz	
			PWM_FREQ_CHx = 010	12.7		Hz	
			PWM_FREQ_CHx = 011	100		Hz	
			PWM_FREQ_CHx = 100	200		Hz	
			PWM_FREQ_CHx = 101	400		Hz	
			PWM_FREQ_CHx = 110	816		Hz	
			PWM_FREQ_CHx = 111	1650		Hz	
低電力モードの特性							
I _{CHx(LWUX)}	LPM を終了するための IOUTx 電流、LPM_MODE = 0		LPM_EXIT_CURR_CHx = 00	0.23		A	
			LPM_EXIT_CURR_CHx = 01	0.47		A	
			LPM_EXIT_CURR_CHx = 10	0.7		A	
			LPM_EXIT_CURR_CHx = 11	0.93		A	
I _{EXIT_LPM_AUTO}	LPM を終了するための IOUTx 電流、LPM_MODE = 1		LPM_EXIT_CURR_CHx = 00	1.66		A	
			LPM_EXIT_CURR_CHx = 01	2.77		A	
			LPM_EXIT_CURR_CHx = 10	3.88		A	
			LPM_EXIT_CURR_CHx = 11	5		A	

5.5 電気的特性 (続き)

VBB = 8V ~ 60V @ VDD = 3.0V ~ 5.5V、TJ = 40°C ~ 150°C (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
I _{Q,VDD,LPM}	MANUAL_LPM モードでの VDD 静止電流	V _{DD} = 5.0V、I _{OUTx} = 0A、 LPM_MODE = 0	チャンネル OFF		10		μA
			チャンネル ON		10		
		V _{DD} = 5.0V、I _{OUTx} = 0A、 LPM_MODE = 1	チャンネル OFF		15		μA
			チャンネル ON		15		
I _{Q,VBB,LPM}	LPM での VBB 静止電流	V _{DD} = 5.0V、I _{OUTx} = 0A、 LPM_MODE = 0	チャンネル OFF		10		μA
			チャンネル ON		10		
		V _{DD} = 5.0V、I _{OUTx} = 0A、 LPM_MODE = 1	チャンネル OFF		15		μA
			チャンネル ON		15		
デジタル入力ピンの特性							
V _{IH,SPI}	入力電圧 high レベル (SCLK、SDI、CSN)	3.0V ≤ VDD ≤ 5.5V	3.0V ≤ VDD ≤ 5.5V		0.7 x V _{VDD}		V
V _{IL,SPI}	入力電圧 low レベル (SCLK、SDI、CSN)	3.0V ≤ VDD ≤ 5.5V	3.0V ≤ VDD ≤ 5.5V			0.3 x V _{VDD}	V
R _{PD,SCLK}	SCLK 内部プルダウン抵抗				2		MΩ
I _{IH,SCLK}	高レベルの入力電流	SCLK V _{SCLK} = 5V	V _{SCLK} = 5V		2.5		μA
I _{IL,SCLK}	低レベルの入力電流	V _{SCLK} = 0.8V	V _{SCLK} = 0.8V		0.4		μA
R _{PD,SDI}	SDI 内部プルダウン抵抗				2		MΩ
I _{IH,SDI}	高レベルの入力電流	SDI	V _{SDI} = 5V		2.5		μA
I _{IL,SDI}	低レベルの入力電流	V _{SDI} = 0.8V	V _{SDI} = 0.8V		0.4		μA
R _{PU,CSN}	CSN 内部プルアップ抵抗				100		kΩ
V _{IH,DI_OUT_DISx} 、 V _{IH,LHI}	LHI および DI/OUT_DISx 入 力電圧 High レベル				1		V
V _{IL,DI_OUT_DISx} 、 V _{IL,LHI}	LHI および DI/OUT_DISx 入 力電圧 Low レベル					1.5	V
R _{PD,DI_OUT_DISx} 、 R _{PD,LHI}	LHI および DI/OUT_DISx の 内部プルダウン抵抗				10		MΩ
デジタル出力ピンの特性							
V _{OH,SDO}	出力ロジック高電圧ドロップ	SDO ピン電流 = -2mA	SDO ピン電流 = -2mA			0.2	V
V _{OL,SDO}	出力ロジック Low 電圧	SDO ピン電流 = 2mA	SDO ピン電流 = 2mA			0.2	V
V _{OL_FLT}	出力ロジック low 電圧ドロップ	FLT ピン電流 = 4mA	FLT ピン電流 = 4mA			0.4	V

5.6 SPI のタイミング要件

動作時接合部温度範囲全体で TJ = -40°C ~ 150°C

パラメータ		テスト条件	最小値	公称値	最大値	単位
fSPI	SPI クロック (SCLK) 周波数	CSDO = 30pF、RSDO = 768Ω			8	MHz
tSPI	SPI クロック (SCLK) 周期	CSDO = 30pF、RSDO = 768Ω	125			ns
tHigh	High 時間: SCLK ロジック High の時間		45			ns
tLow	ロータイム: SCLK ロジック Low の期間		45			ns
tsucs	CS セットアップ時間: CS の立ち下がりエッジから SCLK の立ち上がりエッジまでの遅延時間		45			ns
tsu_SDI	SDI セットアップ時間: SCLK の立ち下がりエッジの前に必要な SDI のセットアップ時間		15			ns
tH_SDI	SDI ホールド時間: SCLK の立ち下がりエッジの前に保持しておく必要がある SDI のホールド時間		30			ns
tD_SDO	遅延時間: SCLK の立ち上がりエッジから SDO の有効データまでの遅延時間				30	ns

5.6 SPI のタイミング要件 (続き)

動作時接合部温度範囲全体で $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$

パラメータ		テスト条件	最小値	公称値	最大値	単位
t_{hcs}	ホールド時間: SCLK の立ち下がりエッジから $\overline{\text{CS}}$ の立ち上がりエッジまでの時間		45			ns
$t_{\text{dis_cs}}$	$\overline{\text{CS}}$ ディスエーブル時間、 $\overline{\text{CS}}$ 非アクティブから SDO 高インピーダンス			10		ns
t_{hics}	$\overline{\text{CS}}$ が High でなければならない SPI 転送非アクティブ時間 (二回の転送間の時間)		500			ns

5.7 スイッチング特性

VBB = 48V, RL = 8.4Ω、(特に記述のない限り) @ $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{SLEEP}	SLEEP 状態から CONFIG 状態までの遅延時間	$\overline{\text{CS}}$ の立ち下がりエッジの 50%、または LHI の立ち上がりエッジの 50%		200		μs
t_{DR}	チャンネル ターンオン遅延時間 (CONFIG 状態から)	$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 10% まで、SLRT_CHx = 0x0		27		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 10% まで、SLRT_CHx = 0x1		20		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 10% まで、SLRT_CHx = 0x2		15.6		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 10% まで、SLRT_CHx = 0x3		13		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 10% まで、SLRT_CHx = 0x4		130		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 10% まで、SLRT_CHx = 0x7		6		μs
t_{DF}	チャンネル ターンオフ遅延時間	$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 90% まで、SLRT_CHx = 0x0		217		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 90% まで、SLRT_CHx = 0x1		156		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 90% まで、SLRT_CHx = 0x2		122		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 90% まで、SLRT_CHx = 0x3		100		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 90% まで、SLRT_CHx = 0x4		930		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 90% まで、SLRT_CHx = 0x7		43		μs
SR_{R}	VOUT の立ち上がりスルーレート	VOUT の 20% ~ 80%、SLRT_CHx = 0x0		0.27		V/μs
		VOUT の 20% ~ 80%、SLRT_CHx = 0x1		0.36		V/μs
		VOUT の 20% ~ 80%、SLRT_CHx = 0x2		0.43		V/μs
		VOUT の 20% ~ 80%、SLRT_CHx = 0x3		0.5		V/μs
		VOUT の 20% ~ 80%、SLRT_CHx = 0x4		0.057		V/μs
		VOUT の 20% ~ 80%、SLRT_CHx = 0x7		0.8		V/μs
SR_{F}	VOUT の立ち下がりスルーレート	VOUT の 80% ~ 20%、SLRT_CHx = 0x0		0.29		V/μs
		VOUT の 80% ~ 20%、SLRT_CHx = 0x1		0.41		V/μs
		VOUT の 80% ~ 20%、SLRT_CHx = 0x2		0.53		V/μs
		VOUT の 80% ~ 20%、SLRT_CHx = 0x3		0.65		V/μs
		VOUT の 80% ~ 20%、SLRT_CHx = 0x4		0.13		V/μs
		VOUT の 80% ~ 20%、SLRT_CHx = 0x7		1.5		V/μs

5.7 スイッチング特性 (続き)

VBB = 48V、RL = 8.4Ω、(特に記述のない限り) @ TJ = -40°C ~ 150°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{ON}	チャネルのターンオン時間	$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 80% まで、 SLRT_CHx = 0x0		144		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 80% まで、 SLRT_CHx = 0x1		108		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 80% まで、 SLRT_CHx = 0x2		89		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 80% まで、 SLRT_CHx = 0x3		76		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 80% まで、 SLRT_CHx = 0x4		698		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 80% まで、 SLRT_CHx = 0x7		45		μs
t _{OFF}	チャネル ターンオフ時間	$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 20% まで、 SLRT_CHx = 0x0		344		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 20% まで、 SLRT_CHx = 0x1		246		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 20% まで、 SLRT_CHx = 0x2		191		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 20% まで、 SLRT_CHx = 0x3		157		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 20% まで、 SLRT_CHx = 0x4		946		μs
		$\overline{\text{CS}}$ の 50%、または Dlx から VOUT の 20% まで、 SLRT_CHx = 0x7		67		μs
t _{OFF_OUT_DIS}	OUT_DIS チャネル ターンオフ時間	OUT_DIS の 50% から VOUT の 10% まで、 DI_OUT_DIS_FN_CHx = 1		10		μs

6 パラメータ測定情報

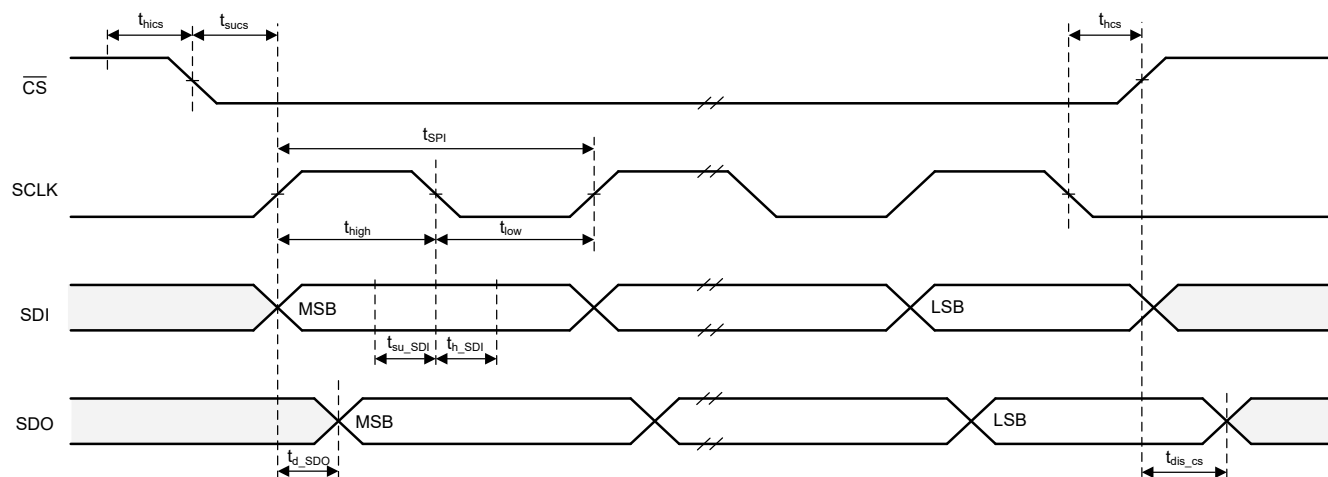


図 6-1. SPI のタイミング特性の定義

7 詳細説明

7.1 概要

TPS481HS04-Q1 デバイスはシングル チャネルのスマート ハイサイド スイッチであり、12V の車載バッテリーで使用することを目的としています。TPS481HS04-Q1 デバイスは、SPI 制御および構成、また主要デバイスの ADC と負荷診断を備えたデジタル読み出し機能を備えています。このデバイスは、パワー ディストリビューション スイッチに必要な特定の機能に加えて、アクチュエータ駆動アプリケーション用のハイサイド スイッチで見られる従来の保護およびデジタル化機能も備えています。

診断機能として、デジタル電流、出力電圧、FET 温度センサ出力を備えており、SPI シリアル インターフェイス経由で読み取ることができます。高精度の負荷電流センサにより、複雑な負荷を診断できます。デバイスの出力電圧センサと FET 温度センサの機能により、スイッチや負荷障害を診断できます。

このデバイスには、サーマル シャットダウン、過電流保護、過渡耐性、バッテリー逆接続動作による保護機能が搭載されています。さらにこのデバイスには、定義済みのヒューズまたは時間電流曲線を使用して SPI で構成可能なワイヤ ハーネス保護機能も搭載されています。この保護機能は、SPI で構成可能なスレッシュホールドを持つ即時のスイッチオフ過電流保護機能と組み合わせて動作し、過負荷および短絡フォルトに対する完全な保護を提供します。

また TPS481HS04-Q1 デバイスは、低静止電流モードを内蔵していて、このモードではマイクロ アンペア単位の電流しか消費しないにもかかわらず、数百 mA の範囲の電流を供給することができます。このデバイスは、負荷電流が増加すると自動的に大電流モードに切り替わり、マイコンにウェーク信号を供給します。さらに、このデバイスには容量性充電モードが搭載されており、電源のピーク電流負荷を低減できます。この 2 つの機能を組み合わせることで、オフボード ECU アプリケーションへのパワー ディストリビューション スイッチをサポートできます。

診断、パワー ディストリビューション、保護機能の詳細については、ドキュメントの「[機能説明](#)」および「[アプリケーション情報](#)」セクションを参照してください。

TPS481HS04-Q1 は、TI ハイサイド スイッチ ファミリー デバイスの 1 つです。各デバイスの型番はデバイスの動作要素を示します。図 7-1 に、デバイスの命名規則の例を示します。

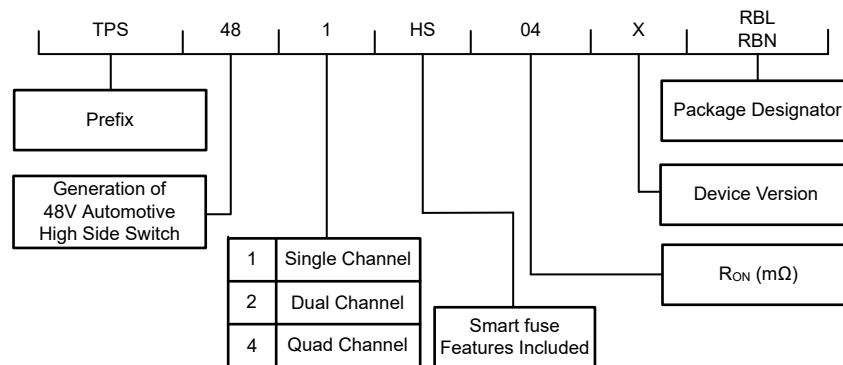
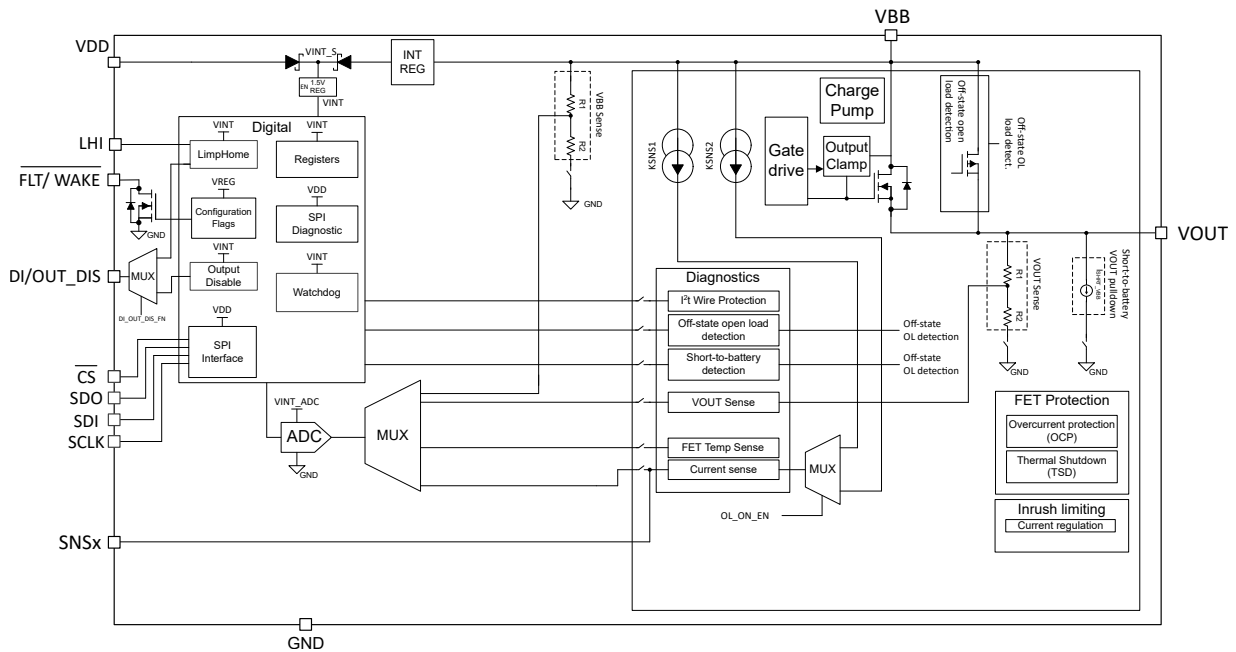


図 7-1. 命名規則

7.2 機能ブロック図

以下に TPS481HS04-Q1 の機能ブロック図を示します。



7.3 機能説明

7.3.1 容量性負荷、抵抗性負荷、誘導性負荷の駆動

すべてのオフボード負荷にはさまざまな種類があります。各負荷プロファイルごとにスマート ハイサイド スイッチまたはコントローラとの相互作用が異なり、堅牢な保護を保証するため、さまざまな検討が必要になります。負荷が抵抗性、容量性、誘導性のいずれかであるか、または LED のようにこれらのカテゴリのいずれかにきちんと収まらないものであるかによって、負荷の駆動方法へのアプローチや設計の仕方が変わってきます。出力電力保護を適切に設計するには、期待される負荷プロファイルを理解し、それが出力段の設計にどのように影響するかを理解する必要があります。

表 7-1. TPS48xHSxx-Q1 を使用した負荷駆動

負荷の種類	負荷の駆動方式	レジスタ設定
容量性負荷、CAP_CHRG_CHx = 0x0、0x2、0x3	即時シャットダウン (IOCP)	CAP_CHRG_CHx = 0x0 ILIMIT_SET_CHx INRUSH_DURATION_CHx (VOUT_ERR_CHx 表示にのみ使用)
	電流制限レギュレーション (ICL_REG)	CAP_CHRG_CHx = 0x2、 INRUSH_LIMIT_CHx、 INRUSH_DURATION_CHx (VOUT_ERR_CHx 表示にのみ使用)
	メインパスの PWM モードを使用	CAP_CHRG_CHx = 0x3、PWM_DTY_CHx および PWM_FREQ_CHx INRUSH_DURATION_CHx
抵抗性または誘導性負荷	メインパスの PWM 方式を使用	CAP_CHRG_CHx = 0x0 PWM_EN_CHx = 0x1、PWM_DTY_CHx およ び PWM_FREQ_CHx

7.3.2 保護メカニズム

7.3.2.1 過電流保護

TPS481HS04-Q1 デバイスには、さまざまな過電流イベントからデバイスを保護するため、以下の機能があります：

- 突入期間中の容量性負荷充電
- 即時シャットダウン過電流保護 (IOCP)
- 定常状態でプログラム可能なヒューズ保護 (または I2T 保護)
- サーマル シャットダウン (T_{REL} および T_{ABS})
- LPM での短絡保護 (I_{SCP_LPM_MAN} または I_{SCP_LPM_AUTO})

過電流保護に関して、このデバイスには 2 つの動作モードがあります。1 つはチャネル起動時のオプションの突入電流期間、もう 1 つは定常動作中のモードです。オプションの突入電流期間は、チャネルの初期オン時にバルブ、モータの停止電流、または容量性負荷など、さまざまな突入電流を扱えるように設定できます。ILIM_CONFIG_CHx レジスタ内の CAP_CHRG_CHx、INRUSH_DURATION_CHx、および INRUSH_LIMIT_CHx ビットは、突入期間中のデバイスの動作を制御します。I2T 保護は、CAP_CHRG_CHx = 00 および V_{DS} < V_{DS_LT_2V} の場合、突入期間中にのみアクティブになります。突入期間の完了後、定常状態動作が引き継ぎます。定常状態動作中、過電流保護 (IOCP) はアクティブで、I2T 保護はアクティブ (イネーブルの場合) です。

突入期間中、有効になっている場合、すべての電圧検出 (VBB、VOUT) および FET 温度検出を使用できます。電流センサは、V_{DS} < V_{DS_LT_2V} の場合、または突入期間の完了してデバイスが定常状態動作している後でのみ CAP_CHRG_CHx = 00 でのみ利用できます。定常動作中は、電圧検出、FET 温度検出、および電流検出のすべてが利用可能です。

図 7-2 に、オプションの突入期間と定常状態動作における過電流保護の概要を示します。

突入期間および定常動作中に利用できる各種保護機能の詳細については、以下のセクションを参照してください。LPM での過電流保護については、LPM セクションで説明しています。

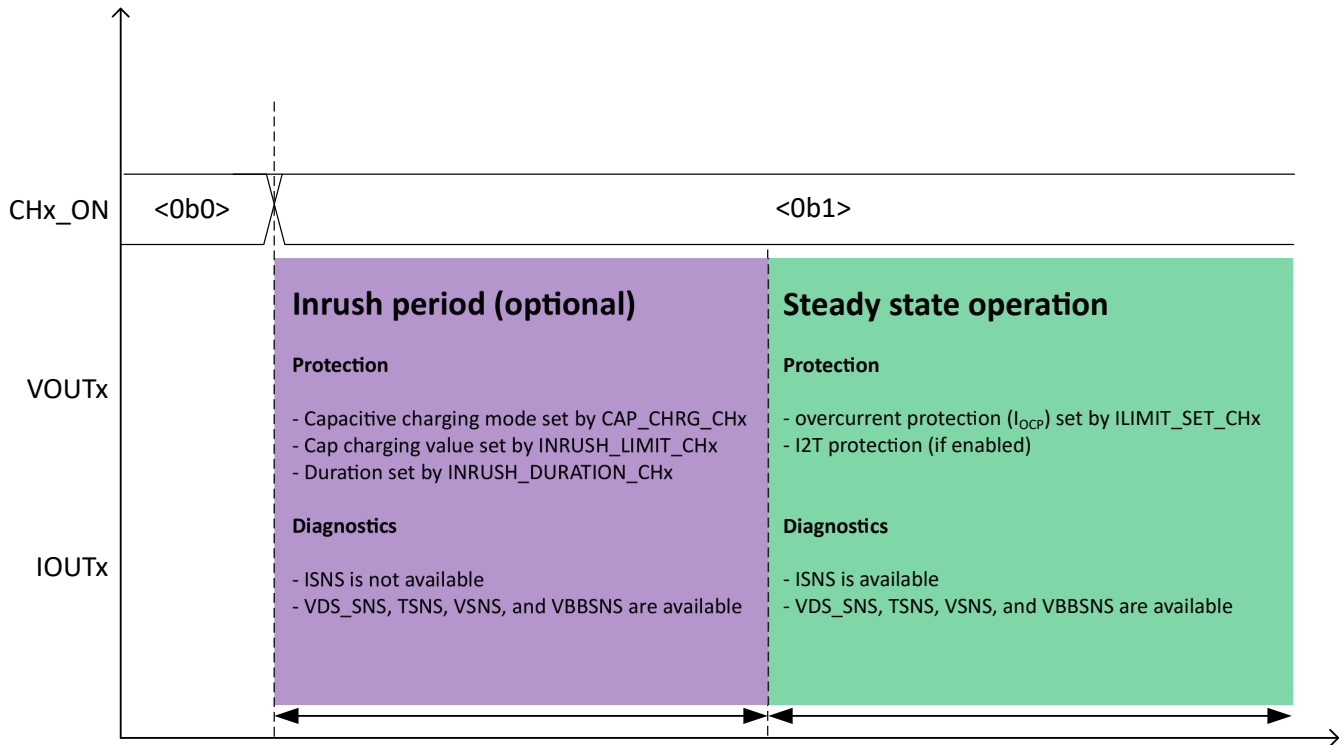


図 7-2. 過電流保護モードの概要

7.3.2.1.1 突入時間 — 過電流保護

突入時間はデバイスのオプション モードであり、チャンネルの初期オン時に発生する電球、モータの停止電流、または容量負荷など、さまざまな立ち上がり電流を処理できるように構成することができます。突入期間は、ILIM_CONFIG_CHx レジスタ内の CAP_CHRG_CHx、INRUSH_DURATION_CHx、および INRUSH_LIMIT_CHx ビットによって設定できます。突入期間が有効化されている場合、ACTIVE 状態または LIMPHOME 状態のいずれかでチャンネルが有効になっているときは、その両方の状態において設定が適用されます。

このデバイスには、突入期間中に 2 種類のオフセット電流保護設定があり、CAP_CHRG_CHx ビットを使用して設定できます：

- 容量性充電なし、即時シャットダウン過電流保護 (I_{OCP}) のみ
- 電流制限レギュレーション (I_{CL_REG})

容量性充電設定を使用しない場合、定常状態と比較して突入期間中に異なる過電流保護 (I_{OCP}) 値を持つことができ、電球電流による突入やモータ ストール電流が可能です。さらに、容量性充電なし設定では、 $V_{DS} < V_{DS_LT_2V}$ のとき、I2T 保護 (イネーブルの場合) がアクティブになります。電流制限レギュレーション モードにより、デバイスはダウンストリームの ECU の入力コンデンサなどの大きな容量を充電できます。CAP_CHRG_CHx ビットの 設定によっては、INRUSH_LIMIT_CHx の値が変化します。各チャンネルの過電流保護は独立しており、チャンネルごとに設定できます。

容量結合充電なし — CAP_CHRG_CHx = 00

容量性充電設定がないため、デバイスは定常状態動作と比較して、突入期間中に異なる即時シャットダウン過電流保護 (I_{OCP}) 値を得ることができ、電球電流突入やモータ ストール電流など、起動時の各種の突入電流イベントを可能にします。

CAP_CHRG_CHx [1:0] = 00 の場合、立ち上がり期間中の即時シャットダウン過電流保護 (I_{OCP}) の値は INRUSH_LIMIT_CHx [3:0] ビットで設定され、期間は INRUSH_DURATION_CHx [2:0] ビットで設定されます。立ち上

がり期間のタイマが終了すると、定常動作時の即時シャットダウン過電流保護 (I_{OCP}) の値は $ILIMIT_SET_CHx [3:0]$ ビットによって設定されます。

$CAP_CHRG_CHx [1:0] = 00$ の場合、 $V_{DS} < V_{DS_LT_2V}$ のときに $I2T$ 保護 (有効な場合) および電流検出が利用可能です。

図 7-3 にこの例を示します。

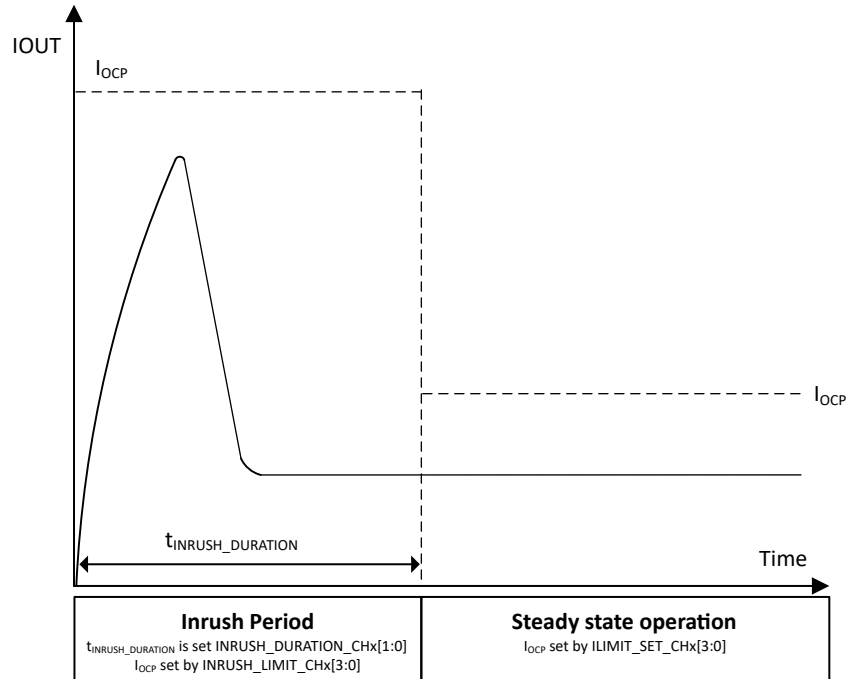


図 7-3. 容量性充電なし ($CAP_CHRG_CHx [1:0] = 00$) - 電球駆動例

電流制限レギュレーション容量結合充電モード — $CAP_CHRG_CHx [1:0] = 10$

デバイスは、大容量の下流キャパシタ負荷 (ECU のバルク入力キャパシタなど) を充電するために、電流制限レギュレーション付き容量性充電モードを提供します。 $CAP_CHRG_CHx [1:0] = 10$ の場合、チャネルが初期に有効化された際、電流制限レギュレーション モードは $INRUSH_LIMIT_CHx [3:0]$ で設定された値で出力電流をクランプします。デバイスは、キャパシタ負荷の充電が完了するか、立ち上がり期間が終了するか、またはサーマル シャットダウンが発生するまで、電流を継続的に制限します。 $INRUSH_LIMIT_CHx [3:0]$ でプログラム可能な設定の範囲は、電気的特性表で I_{CL_REG} として規定されています。 V_{OUT} 電圧が $V_{BB} - 2V$ を超え、突入時間タイマがタイムアウトしていない場合、デバイスは大きなスパイクなしに、電流制限レギュレーションをゆっくりと終了できます。図 7-4 に、電流制限レギュレーション容量性充電モードと、突入期間タイマが満了する前のスロー終了の例を示します。

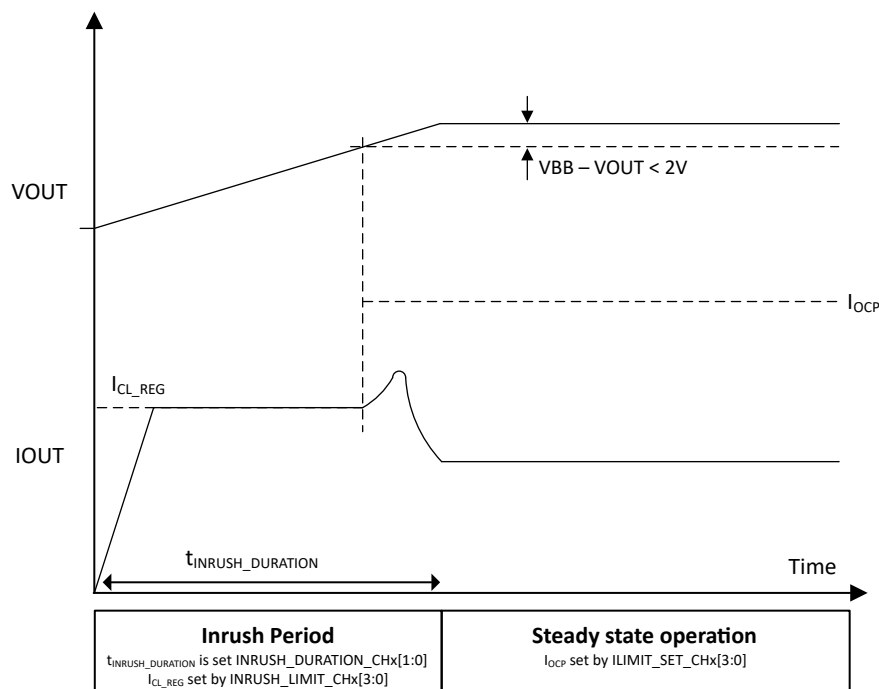


図 7-4. 電流制限レギュレーションの容量性充電 (CAP_CHRG_CHx [ECU] 1:0 = 10) - ECU 入力バルク容量駆動例

7.3.2.1.2 過電流保護 — 定常状態動作

デバイスがオプションの突入期間 (有効化されている場合) を完了すると、デバイスは安定動作に移行します。この動作では、即時シャットダウン過電流保護 (I_{OCP}) と I2T 保護 (イネーブルの場合) によって過電流保護が実現されます。 I_{OCP} は過電流保護機能であり、出力電流が $ILIMIT_SET_CHx[3:0]$ ビットで設定された I_{OCP} スレッショルドを超えた場合、チャネルを即座にオフにします。 I_{OCP} 機能はディスエーブルにすることはできず、デバイスがイネーブルの間、定常状態の動作で常にアクティブになります。I2T 保護は、定義された時間電流曲線に基づいて、プログラム可能なヒューズ保護を提供します。I2T 保護の意図は、溶断しているヒューズの動作と一致していることです。I2T 保護の時間電流曲線は、 $NOM_CUR_CHx[2:0]$ ビットと $I2T_TRIP_CHx[3:0]$ ビットで設定できます。 $ISWCL_CHx[1:0]$ ビットおよび I_{OCP} は、I2T 保護における時間-電流特性曲線を定義する際にも役立ちます。 I_{OCP} および I2T 保護 (有効化されているとき) は、チャネルが突入期間後に定常状態で動作している場合、ACTIVE 状態および LIMPHOME モードでアクティブになります。

次のセクションでは、I2T 保護と I_{OCP} 保護について説明します。

7.3.2.1.3 プログラマブル ヒューズ保護

デバイスには、チャネルごとにプログラム可能なヒューズ保護が内蔵されています。この保護機能は定義された時間電流曲線に基づいており、溶断ヒューズ データシートでは一般に I2t 保護と呼ばれます。この目的は、溶断型ヒューズのスイッチのターンオフ動作を一致させることです。 $NOM_CUR_CHx[2:0]$ ビットと $I2T_TRIP_CHx[3:0]$ ビットは時間電流曲線を設定しますが、本デバイスは固定遅延シャットダウン (I_{SWCL}) および即時シャットダウン保護 (I_{OCP}) も使用して、デバイスの完全な I2T 保護を実現しています。TPS481HS04-Q1 の I2T 保護は、次の 4 つの領域で構成されています。

1. 公称電流
2. ヒューズ シャットダウン
3. 固定遅延シャットダウン
4. 即時シャットダウン保護 (I_{OCP})

I2T 保護のこれらの動作領域を 図 7-5 に示します。

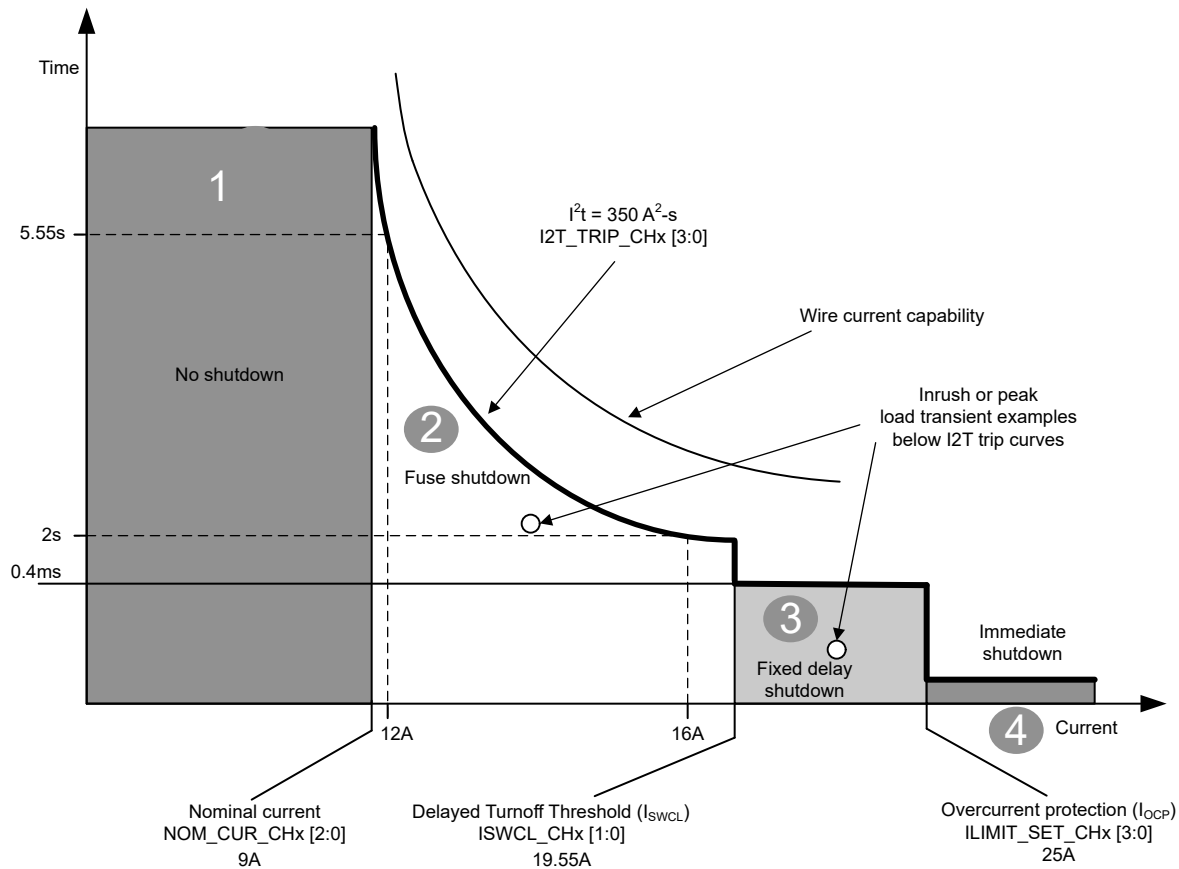


図 7-5. ヒューズ ベースのシャットダウンの動作領域

公称電流領域 (1) では、デバイスをオフにすることなく無制限に電流を供給できる領域が定義されています。これは、溶断式ヒューズのヒューズ電流定格とほぼ等しくなります。この領域は **NOM_CUR_CHx [2:0]** ビットによって設定されます。出力電流が **NOM_CUR_CHx** 設定より小さい場合、デバイスは前述のように無期限に電流を供給でき、**I2T** の蓄積が開始されることはありません。出力電流が **NOM_CUR_CHx** の設定以上の場合、デバイスは **I2T** 累積ループに入り、**I2T_TRIP_CHx [3:0]** スレッシュホールドが満たされるまで累積を開始します。出力電流が **I2T_TRIP_CHx** 値に達する前に **NOM_CUR_CHx** を下回ると、デバイスは **I2T** 蓄積を停止しますが、デバイスに電力が供給されている限り、累積エネルギーの追跡を継続します。

公称電流領域の上は、**I2T_TRIP_CHx [3:0]** ビットによって設定されるヒューズ シャットダウン領域 (2) です。この領域は、時間電流曲線の曲率と、デバイスの **I2T** の蓄積がアクティブである領域を定義します。出力電流レベルと **NOM_CUR_CHx** の設定に基づき、デバイスは設定された **I2T_TRIP** 値をベースに異なる時間間隔でトリップします。

DCR_CHx = 「1」設定での累積と累積解除

デバイスの時間電流曲線は以下の式で定義されます。

$$I2T_TRIP = (I_{LOAD}^2 - I_{NOM}^2) * t \text{ (式 1)}$$

累積エネルギーが **I2T_TRIP** 値を超えず、電流が **NOM_CUR_CH** を下回ると、式 1 を使用して、累積エネルギーがゼロになるまで、**ISNS** の値に基づいて累積エネルギーをデクリメントします。デバイスがデクリメントして 0 まで減少し続ける間、**I2T_MOD** ビットは累積エネルギーが 0 に戻るまで 1 のまま保持されます。その後、**I2T_MOD** ビットはゼロに戻ります。チャンネルが **I2T** ループに入っていたために変換が無効になっていた場合、**I2T_MOD = 0** になると変換は再度有効になります。

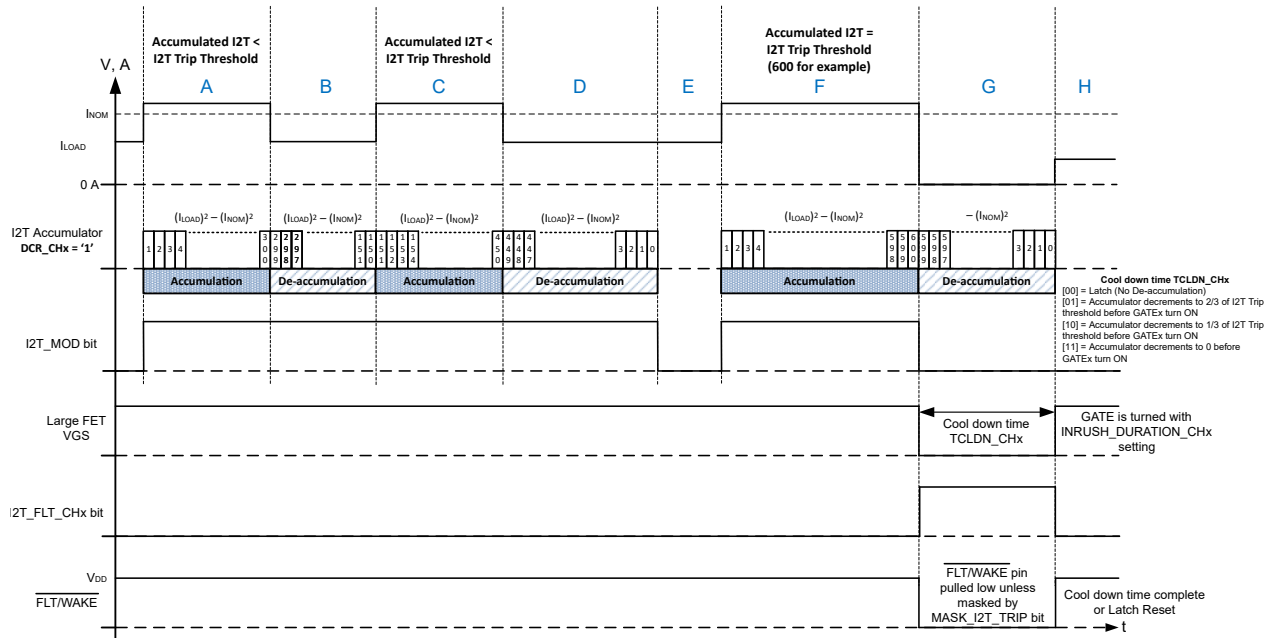


図 7-6. DCR_CHx = 「1」 設定での I2T 累積と累積解除

DCR_CHx = 「0」 設定の場合の累積と累積解除

$$I2T_TRIP = (ILOAD^2) * t \text{ (式 2)}$$

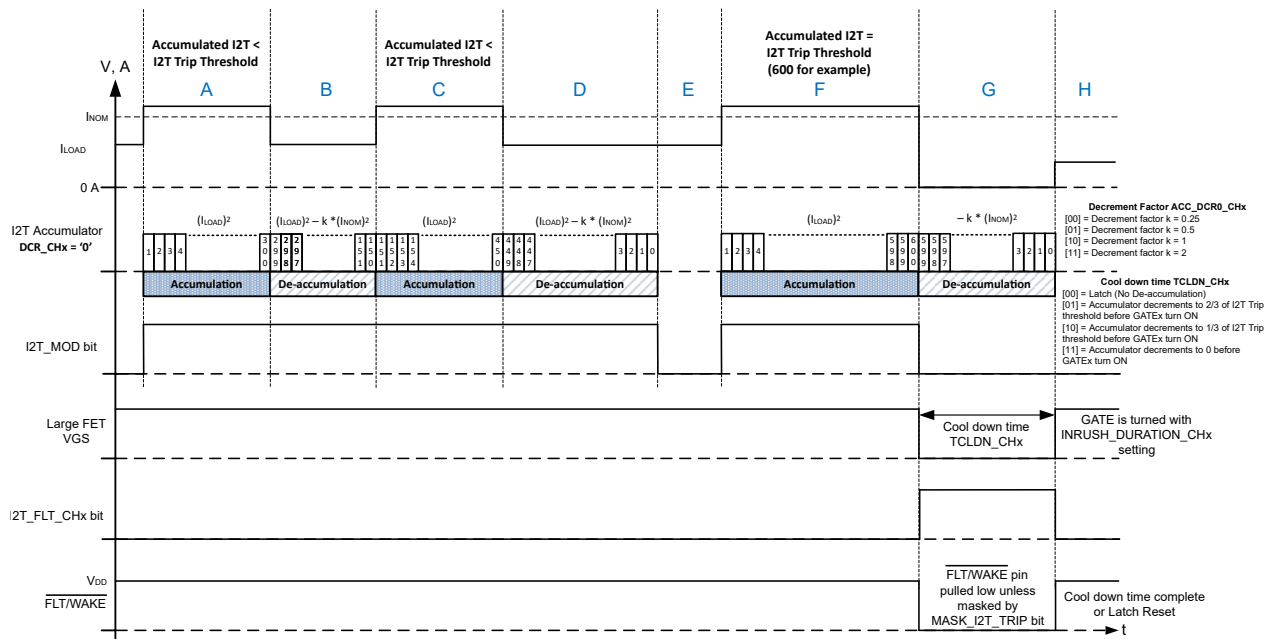


図 7-7. DCR_CHx = 「0」 設定での I2T 累積と累積解除

ヒューズ シャットダウン領域の上は、デバイスが固定遅延シャットダウンを提供する固定遅延シャットダウン領域 (3) です。これは ISWCL_CHx [1:0] および SWCL_DLY_TMR_CHx [1:0] ビットで設定されます。ISWCL_CHx [1:0] は出力電流値を設定し、SWCL_DLY_TMR_CHx は時間を設定します。出力電流が SWCL_DLY_TMR_CHx に対して連続的に ISWCL_CHx レベルを超えると、チャンネルはただちにオフになります。

I2T_TRIP_CHx の値を超えたため、または ISWCL_CHx の機能が原因でシャットダウンが発生した場合、デバイスは TCLDN_CHx [1:0] で設定された期間オフのままになります。TCLDN_CHx [1:0] = 00 の場合、デバイスはオフのままです。再試行は行いません。この設定で再試行するには、TCLDN_CHx [1:0] ビットを別の設定に変更する必要があります。設定を変更すると、新しい設定で定義されたクールダウン時間の経過後、デバイスは再試行します。チャンネルが I2T シャットダウン状態に入ると、アキュムレータの値は 0 にリセットされるため、再試行時間を調整して、ワイヤ ハーネスが冷却するのに十分な時間が確保されるようにする必要があります。また、チャンネルが I2T シャットダウン状態に移行すると、NOM_CUR_CHx、I2T_TRIP_CHx、ISWCL_CHx の値は変更できないことに注意してください。

固定遅延シャットダウン領域の上は、即時シャットダウン過電流保護 (I_{OC}P) 領域 (4) です。この領域は ILIMIT_SET_CHx [3:0] ビットで設定されます。出力電流が I_{OC}P レベルを超えると、デバイスは直ちにオフになります。I_{OC}P の再試行またはラッチオフの動作は LATCH_CHx ビットで設定されます。これは次のセクションで説明します。

7.3.2.1.4 即時シャットダウン過電流保護 (I_{OC}P)

定常動作時、デバイスは即時シャットダウン型の過電流保護 (I_{OC}P) を備えています。この保護機能は、出力電流が ILIMIT_SET_CHx [3:0] ビットで設定された I_{OC}P スレッシュホールドを超えた場合に、チャンネルを即座にオフにします。ILIMIT_SET_CHx [3:0] ビットにより、I_{OC}P 機能をチャンネルごとに設定できます。I_{OC}P 機能はディスエーブルにすることはできず、デバイスがイネーブルの間、定常状態の動作で常にアクティブになります。

I_{OC}P レベルを超えた場合、チャンネルは直ちにオフになり、LATCH_CHx ビットの設定に基づいて再試行またはラッチオフのいずれかを行います。LATCH_CHx = 0 の場合、チャンネルは t_{RETRY,INT} 後に再試行します。再試行時間が過ぎると、チャンネルは (設定されている場合) 突入期間に入ります。短絡状態が続く場合、チャンネルは t_{RETRY,INT} の間隔を空けて、最大 7 回まで再試行を繰り返します。それでも短絡状態が続く場合、チャンネルは、チャンネルがラッチ オフされるまでに、t_{RETRY,EXTD} の間隔を空けてさらに 7 回の再試行を行います。LATCH_CHx = 0 のときにデバイスのラッチ オフ状態を解除するには、CHx_ON ビットをトグルするか、Dix/OUT_DISx または LHI ピンをトグルする必要があります。LATCH_CHx = 1 で I_{OC}P レベルを超えた場合、デバイスはラッチ オフし、CHx_ON ビットがトグルされるか、Dix/OUT_DISx ピンまたは LHI ピンがトグルされるか、LATCH_CHx ビットがトグルされるまで再試行しません。各種デバイス設定における再試行とラッチオフの動作の詳細については、以下の「再試行とラッチオフの動作」セクションを参照してください。

7.3.2.2 出力ディスエーブル機能 (OUT_DIS)

TPS481HS04-Q1 デバイスは、OUT_DISx ピンが High になると、t_{OFF_OUT_DIS} 内に出力チャンネル x を迅速に無効化する機能を備えています。出力無効化 (OUT_DIS) 機能は、出力を素早くオフにする必要があるような緊急事態に対処するために使用されます。

この OUT_DIS 機能は、直接入力 (DI) 機能とチャンネルごとに多重化されます。DIAG_CONFIG_CHx レジスタで DI_OUT_DIS_FN_CHx が「1」に設定されている場合、Dix/OUT_DISx ピンは、そのチャンネルの OUT_DIS として構成されます。マスキング時間は、デバイスにグランド バウンスの問題が発生した場合に、CONFIG_DI_MASK ビットを使用してプログラムできます。

以下の表に、OUT_DIS 機能のさまざまなピンおよびレジスタ構成に基づいた GATEx 状態を示します (DI_OUT_DIS_FN_CHx =「1」の場合の OUT_DIS ロジック表)。

表 7-2. OUT_DIS ロジック表

OUT_DIS	LHI	VOUTx の状態
L	L	CHx_ON に従います
L	H	CHx_LH_IN に従います
H	L	OFF

表 7-2. OUT_DIS ロジック表 (続き)

OUT_DIS	LHI	VOUTx の状態
H	H	OFF

出力チャンネルがオフのときに OUT_DISx ピンが High で、その後、OUT_DISx ピンが Low にアサートされると、出力チャンネルは ACTIVE モードであれば CHx_ON ビットに従い、LIMPHOME モードであれば CHx_LH_IN ビットに従います。このシナリオでは、CHx_ON ビットまたは CHx_LH_IN ビットの構成によってチャンネルが有効になっている場合、チャンネルは突入期間 (構成されている場合) を通過します。

7.3.2.3 サーマル シャットダウン

デバイスにはパワー FET に温度センサが搭載されており、デバイスのコントローラ部分には、FET の温度 ($T_{J, FET}$) およびコントローラの温度 ($T_{J, CONTROLLER}$) を監視します。デバイスがサーマル・シャットダウン障害と見なされる場合は 2 つあります。

- 相対サーマル・シャットダウン (T_{REL}): $T_{J, FET} - T_{J, CONTROLLER} > T_{REL}$
- 絶対サーマル・シャットダウン (T_{ABS}): $T_{J, FET} > T_{ABS}$

上記のいずれかの故障が発生すると、スイッチはオフになります。デバイスは、 $\overline{FLT/WAKE}$ ピンを使用してフォルトを通知します。

相対サーマル シャットダウン (T_{REL})

相対的なサーマル・シャットダウンイベントは、グラウンドへの短絡イベントなど、コントローラ温度 ($T_{J, FET}$) に対して FET 温度 ($T_{J, CONTROLLER}$) が急速に上昇する、大きなピーク電力イベントが発生する場合に発生することがあります。相対温度 ($T_{J, FET} - T_{J, CONTROLLER}$) が T_{REL} を超えると、チャンネルがオフになります。

絶対サーマル シャットダウン (T_{ABS})

絶対的なサーマル・シャットダウンは、FET 温度 ($T_{J, FET}$) が T_{ABS} を上回ると発生します。これは、チャンネルが永続的な短絡使用事例など、長い期間にわたって過電流にさらされた場合に発生する可能性があります。FET 温度 ($T_{J, FET}$) が T_{ABS} を超えると、チャンネルがオフになります。

7.3.2.4 逆極性バッテリー

逆接続状態では、MOSFET のボディダイオード内で過剰な電力損失が発生するのを防ぐため、出力の状態 (SW_STATE レジスタで設定) に関係なく、スイッチは自動的に有効になります。多くのアプリケーション (抵抗性負荷など) では、バッテリー逆接続時に全負荷電流が存在する可能性があります。

7.3.3 診断機能

7.3.3.1 ADC 内蔵

TPS481HS04-Q1 は内蔵の逐次比較 10 ビット ADC を備えており、さまざまなアナログ信号をデジタル信号に変換し、SPI 経由で読み取ることができます。ADC は、以下に示すアナログ信号を変換できます。

- 電流センス (ISNSx)
- MOSFET 温度センス (TSNSx)
- VBB 電圧センス (VBB)
- VOUT 電圧センス (VOUTx)

図 7-8 に、内蔵 ADC と、ADC へのアナログ信号入力の機能ブロック図を示します。

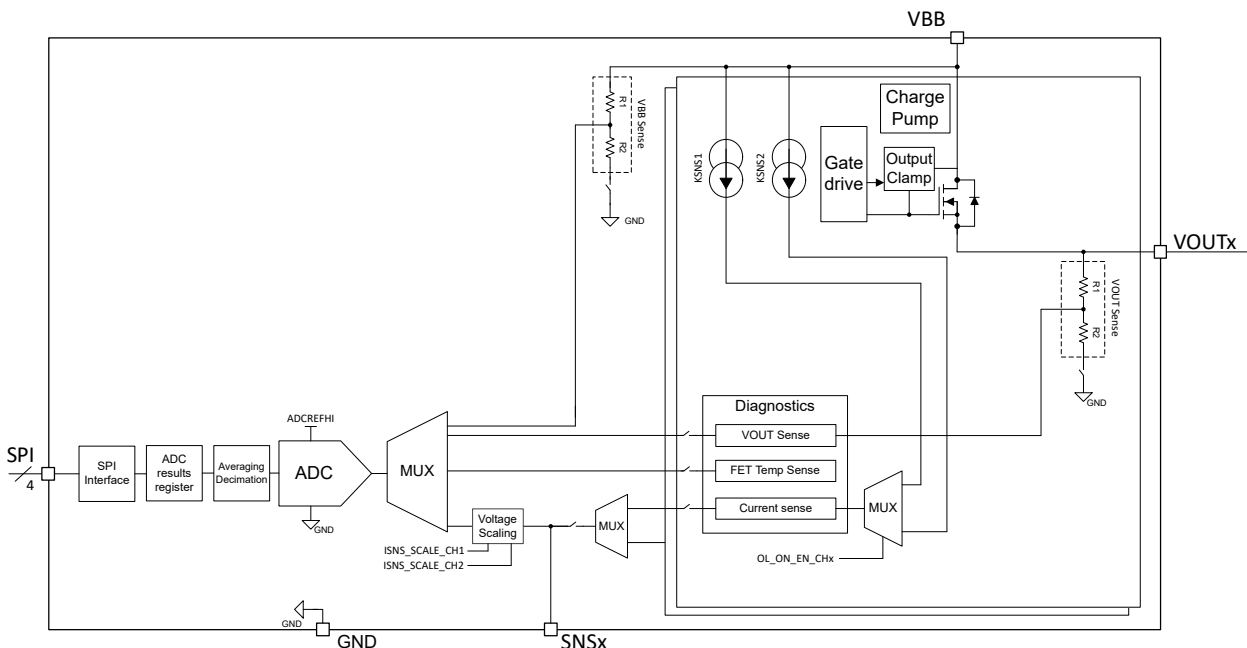


図 7-8. 内蔵 ADC の機能ブロック図

アナログ信号の変換は、ADC CONFIG レジスタを使用してグローバルに無効化できます。

また、デバイスには遅延の設定が可能なので、ADC のサンプリング レートを下げることで、デバイスの静止電流をさらに低減できます。遅延は構成可能であり、ADC CONFIG レジスタの ADC CONFIG DELAY [1:0] ビットで設定します。

I2T 保護が有効 (I2T_EN_CHx = 1) で、いずれかのチャンネルが I2T モードではない (I2T_MOD_CHx = 0) 場合、デバイスは各アナログ信号を、設定可能な遅延で、ラウンド ロビン シーケンスを使用して変換します。以下の図に、I2T モードのチャンネルがなく (I2T_MOD_CHx = 0)、すべてのアナログ信号変換が有効化されている場合の ADC スケジューリングを示します。I2T 保護が無効の場合、以下のラウンド ロビン シーケンスも適用されます。

I2T 保護が有効 (I2T_EN_CHx = 1) で、チャネルの一方または両方が I2T モード (I2T_MOD_CHx = 1) の場合、デバイスは内部 I2T 保護に使用される ISNSx 変換を除いてすべての変換を無効にします。デバイスは、構成可能な遅延機能も無効にします。以下の図に、チャネルの一方または両方が I2T モード (I2T_MOD_CHx = 1) の場合の ADC スケジューリングを示します。

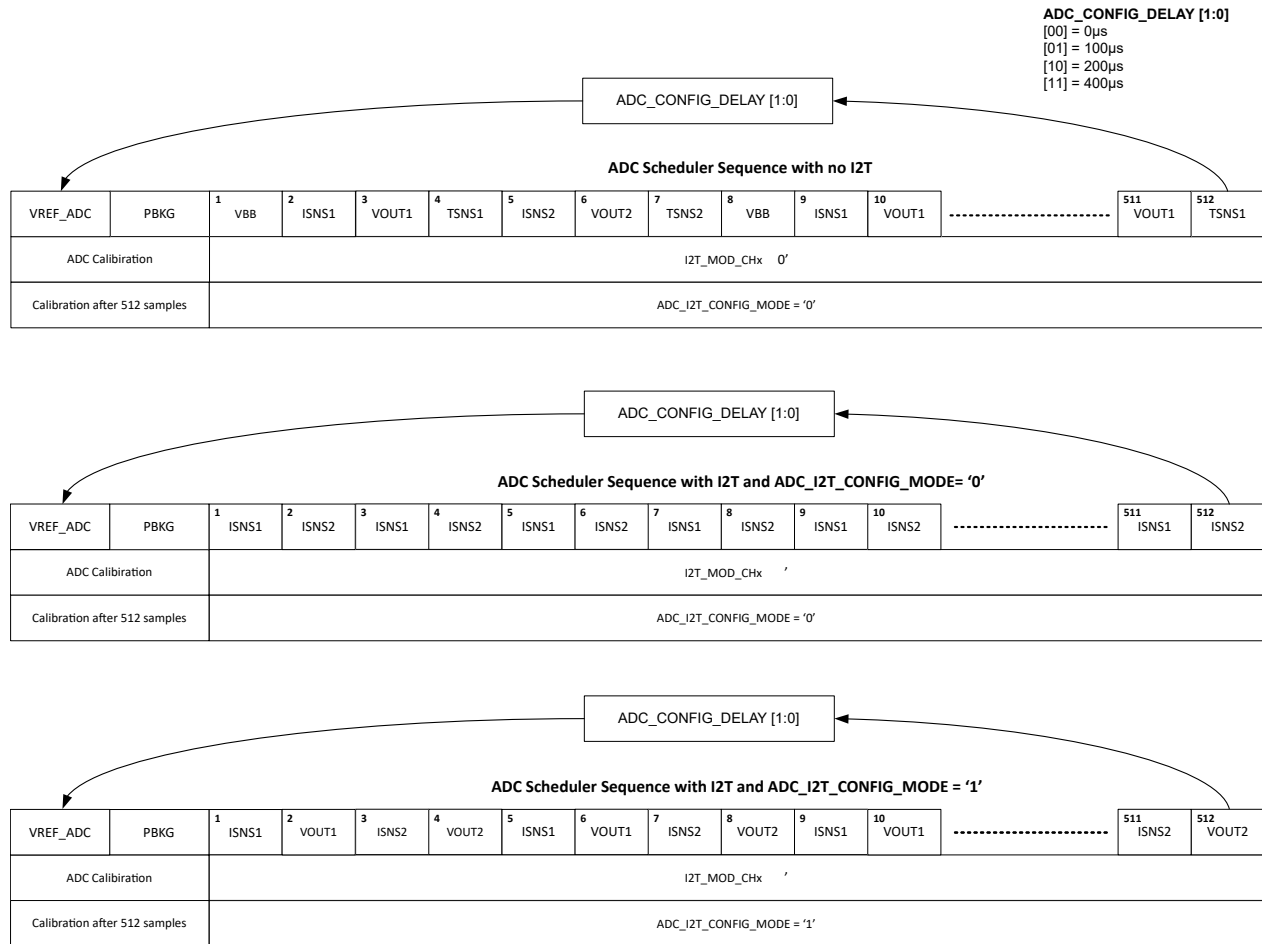


図 7-9. ADC 変換シーケンス

7.3.3.2 アナログおよびデジタル電流センス出力

デバイスの内蔵電流センス回路は、各チャンネルの負荷電流 (I_{OUTx}) に比例する検出電流 (I_{SNS}) を供給します。各チャンネルの電流センスは内部で多重化され、ADC スケジューラに供給されます。ADC 変換で検出された電流の結果は、各チャンネルの $ADC_RESULT_CHx_I$ に保存されます。このレジスタが最後に読み出された後に新しい ADC 変換結果が存在する場合、 $ISNS_RDY_CHx$ ビットは 1 に設定されます。

SNS ピンの検出測定を正確に行うためには、検出抵抗を IC GND に接続する必要があります。

さまざまな $OL_ON_EN_CHx$ 設定の電流検出の ADC 変換式は以下のとおりです：

$OL_ON_EN_CHx = 0$ は、大きい FET 電流センスにのみ適用できます

$$ADC_RESULT_CHx_I = \frac{1023}{V_{(ADC_REF)}} \times \frac{I_{LOADx}}{KDIG1} \quad (1)$$

$OL_ON_EN_CHx = 1$ は、小さい FET 電流センスにのみ適用できます

$$ADC_RESULT_CHx_I = \frac{1023}{V_{(ADC_REF)}} \times \frac{I_{LOADx}}{KDIG2} \quad (2)$$

SNSx ピンの電圧は $RSNSx$ 抵抗に基づいており、以下の式から算出できます

OL_ON_EN_CHx = 0 は、大きい FET 電流センスにのみ適用できます

$$VSNSx = \frac{ILOADx}{KSNST} \times RSNsx \quad (3)$$

OL_ON_EN_CHx = 1 は、小さい FET 電流センスにのみ適用できます

$$VSNSx = \frac{ILOADx}{KSNS2} \times RSNsx \quad (4)$$

電流センス機能は、デフォルトで各チャンネルに対して有効になっています。電流センス機能は、ADC_CONFIG レジスタの ADC_ISNS_DIS ビットを使用して、グローバルにイネーブルまたはディスエーブルできます。

I2T 保護を使用する場合、I2T 保護を使用する前に、電流センス機能をイネーブルにする必要があります。電流センス機能は、チャンネルがイネーブルで、定常状態で動作している場合にのみ利用できます。電流センス機能は、突入期間では利用できません。

7.3.3.3 出力電圧測定

TPS481HS04-Q1 には、内蔵の 10 ビット ADC を使用して、チャンネルごとの出力電圧測定機能があります。

出力電圧の測定機能は、デフォルトでは無効になっています。出力電圧検出機能を有効にするには、ADC_CONFIG レジスタ内の ADC_VSNS_DIS ビットを設定して、グローバルで有効化する必要があります。グローバル ビットが有効になっている場合、デバイスは各 CHx_CONFIG レジスタ内の VSNS_DIS_CHx ビットの設定に従って、各チャンネルの出力電圧測定を有効にします。

出力電圧測定値の変換式を以下に示します。ADC の測定結果は、ADC_RESULT_CHx_VOUT レジスタで確認できます。VSNS_RDY_CHx ビットは、前回レジスタを読み取って以降に新しい ADC 変換結果がある場合に 1 に設定されます。

$$ADC_RESULT_CHx_V = \frac{1023}{V(ADC_REF)} \times 0.043 \times VOUTx \quad (5)$$

7.3.3.4 MOSFET 温度測定

TPS481HS04-Q1 は、10 ビット ADC を経由して各パワー MOSFET の温度を測定します。

FET 温度検出機能は、デフォルトで無効になっています。各チャンネルの FET 温度センス機能をイネーブルにするには、ADC_CONFIG レジスタで ADC_TSNS_DIS ビットを使用してグローバルにイネーブルにする必要があります。

FET 温度測定の変換式の詳細については、[式 6](#) に示します。

$$ADC_RESULT_T = 507.42 - 1.33 \times T \quad (6)$$

ADC の測定結果は、ADC_RESULT_CHx_T レジスタで確認できます。このレジスタが最後に読み出された後に新しい ADC 変換結果が存在する場合、TSNS_RDY_CHx ビットは 1 に設定されます。チャンネルのいずれかが I2T ループ (I2T_MOD_CHx = 1) にある場合、FET 温度測定がイネーブルになっていれば、すべてのチャンネルでディスエーブルになり、TSNS_RDY_CHx ビットは 0 になります。チャンネルが I2T ループ (I2T_MOD_CHx = 0) を終了すると、I2T イベントの前に以前にイネーブルになっていた場合、FET 温度測定は自動的に再度イネーブルになります。

7.3.3.5 VBB 電圧の測定

TPS481HS04-Q1 は、10 ビット ADC 経由で VBB 電圧を測定します。

VBB 電圧測定は、デフォルトで無効になっています。VBB 電圧センス機能は、ADC_CONFIG レジスタの ADC_VBB_DIS ビットによりイネーブルできます。

VBB 電圧測定値の変換式については、式 7 に詳述します。ADC の測定結果は ADC_RESULT_VBB レジスタで確認できます。このレジスタが前回の読み取り以降に新しい ADC 変換結果が存在する場合、VBB_RDY ビットは 1 に設定されます。

$$\text{ADC_RESULT_VBB} = \frac{1023}{V_{(\text{ADC_REF})}} \times 0.045 \times \text{VBB} \quad (7)$$

7.3.3.6 VOUT のバッテリーへの短絡とオープン負荷

TPS481HS04-Q1 は、チャンネル出力がオンかオフかにかかわらず、バッテリーへの短絡および開放負荷イベントを検出できますが、2 つの条件では異なる方法が使用されます。

7.3.3.6.1 チャンネル出力 (FET) を有効化した測定

チャンネル出力が有効で FET がオンのとき、電流検出機能を使用して VOUT のバッテリー短絡および開放負荷状態を検出することができます。どちらの場合も、電流検出回路と ADC を使用して負荷電流が測定され、その結果は ADC_RESULT_CHx_I レジスタで取得できます。大きい FET をオフにして小さな FET をオンにすることにより、低消費電流レベルで電流センスの精度を向上させることができます。これには、個別の CHx_CONFIG レジスタで OL_ON_EN_CHx ビットを 1 に設定します。ただし、このビットを有効にするには、負荷電流が I_ENTRY_OL_ON を下回る必要があります。これにより、ADC は低負荷電流をより高い精度で測定できます。

OL_ON_EN_CHx 設定を有効化した電流センスの ADC 変換式は以下のとおりです。

OL_ON_EN_CHx = 1 の場合、

$$\text{ADC_RESULT_CHx_I} = \frac{1023}{V_{(\text{ADC_REF})}} \times \frac{\text{ILOADx}}{\text{KDIG2}} \quad (8)$$

I2T を無効化した場合 (I2T_EN = 0) のみ OL_ON_EN_CHx = 1 モードを使用することを推奨します。OL_ON_EN_CHx = 1 を I2T 有効化 (I2T_EN = 1) の状態で使用すると、意図しない低 I2T スレッシュホールドでチャンネルがオフになる可能性があります。

7.3.3.6.2 チャンネル出力無効化での検出

デバイスは、チャンネル出力が無効 (FET オフ) のときに、オープン負荷またはバッテリー短絡イベントを検出できます。これらは以下で、「オフ状態オープン負荷検出」と「オフ状態バッテリー短絡検出」と呼びます。チャンネル出力が無効化されているとき、デバイスは定義されたシーケンスを通じて、オープン負荷イベントとバッテリーへの短絡イベントを区別することができます。このシーケンスについては以下で説明します。オフ状態でのオープン負荷およびオフ状態でのバッテリーへの短絡検出のブロック図を、図 7-10 に示します。

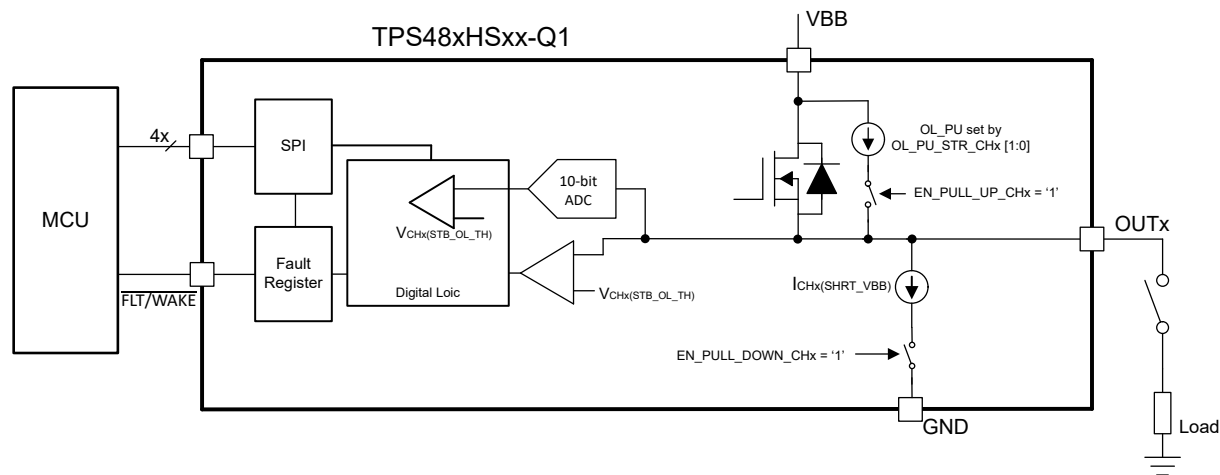


図 7-10. 開放負荷およびバッテリー短絡の検出

注

この図では、デバイスのグラウンドと負荷グラウンドが同じ電位であることを想定しています。実際のシステムでは、1V 程度のグラウンドシフト電圧が存在する可能性があります。

オフ状態のバッテリーへの短絡の検出

デバイスにはチャンネルごとにプルダウン電流 (I_{SHRT_VBB}) が組み込まれており、チャンネルが無効化されているときに、オープン負荷とバッテリーへの短絡フォルトを区別するのに役立ちます。EN_PULL_DOWN_CHx ビットが設定されている場合、プルダウン抵抗が有効化されます。

出力ワイヤ ハーネスのインダクタンス、出力コンデンサ、負荷に起因してしばらくの時間遅延が発生した後、MCU によって SVBB_DIAG_EN_CHx ビットが有効化され、VDS が $V_{CHx(SHRT_VBB)}$ を上回っているか下回っているかを検出するために使用される内部コンパレータが有効化されます。

オフ状態の開放負荷検出

フォルトの発生なしにバッテリーへの短絡検出が完了した後、プルダウン抵抗を無効化して、オープン負荷検出を実行することができます。このデバイスには、各チャンネルにプルアップ電流ソース OL_PU が組み込まれており、出力をプルアップして、オープン負荷フォルトが発生しているかどうかを判定できます。プルアップ電流ソースは、EN_PULL_UP_CHx ビットにより有効化されます。

内部プルアップの強度は、DIAG_CONFIG_CHx レジスタの各チャンネルの OL_PU_STR_CHx ビットによってプログラムできます。

出力ワイヤ ハーネスのインダクタンス、出力コンデンサ、負荷に起因してしばらくの時間遅延が発生した後、MCU によって OL_DIAG_EN_CHx ビットが有効化されることで、出力電圧が $V_{CHx(SHRT_VBB)}$ を上回っているか下回っているかを検出するために使用される内部コンパレータが有効化されます。

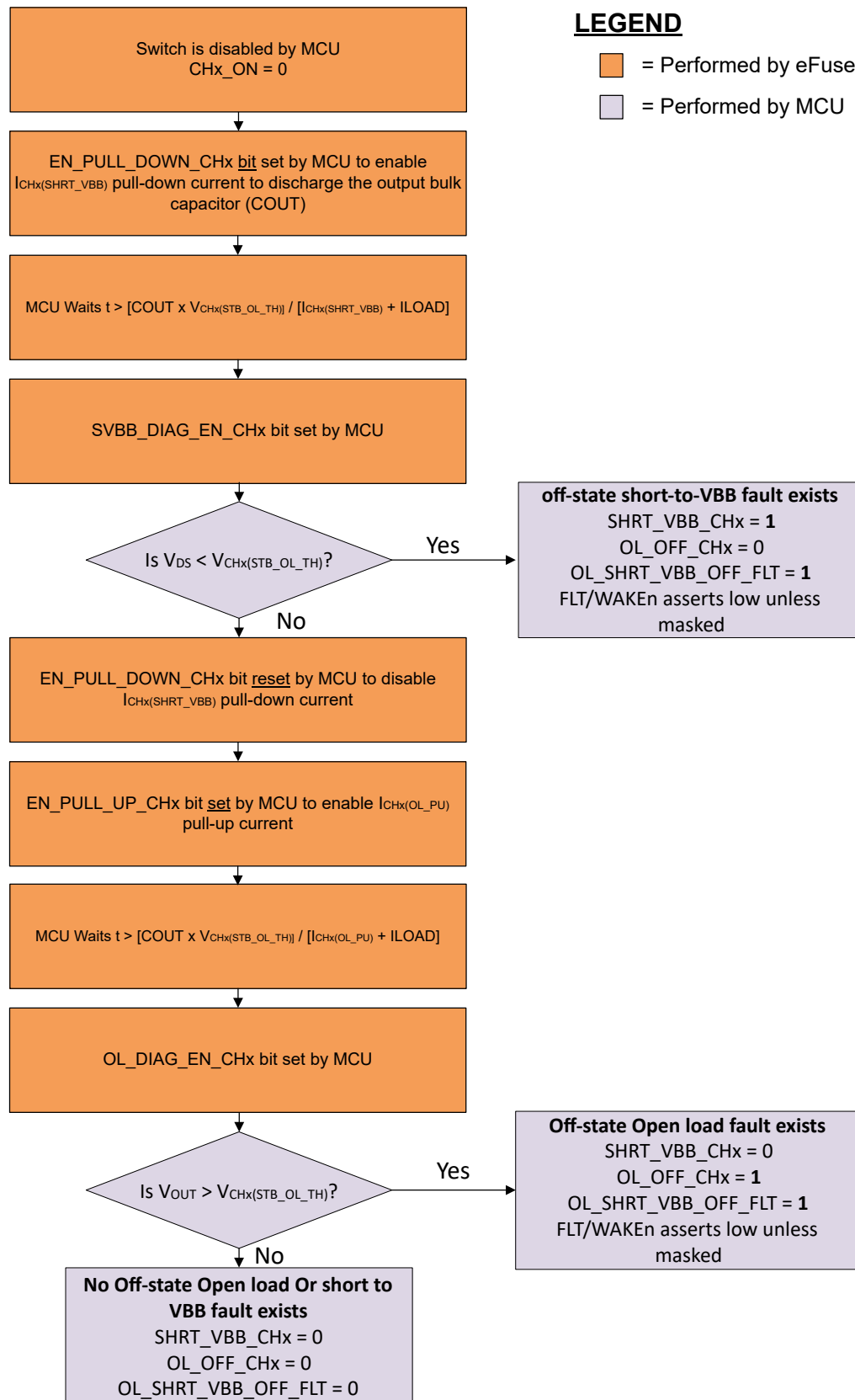


図 7-11. チャンネル無効化時の VOUT の VBB への短絡または FET 短絡およびオープン負荷検出のフロー チャー
ト

7.3.3.7 常時給電 (PAAT) 負荷の VOUT からバッテリーへの短絡または FET 短絡の検出

このデバイスには各チャンネルにプルダウン電流が内蔵されており、チャンネルが無効であるときに、VOUT からバッテリーへの短絡もしくは FET の短絡故障を検出するために使用できます。検出メカニズムについては、以下のフローチャートを参照してください

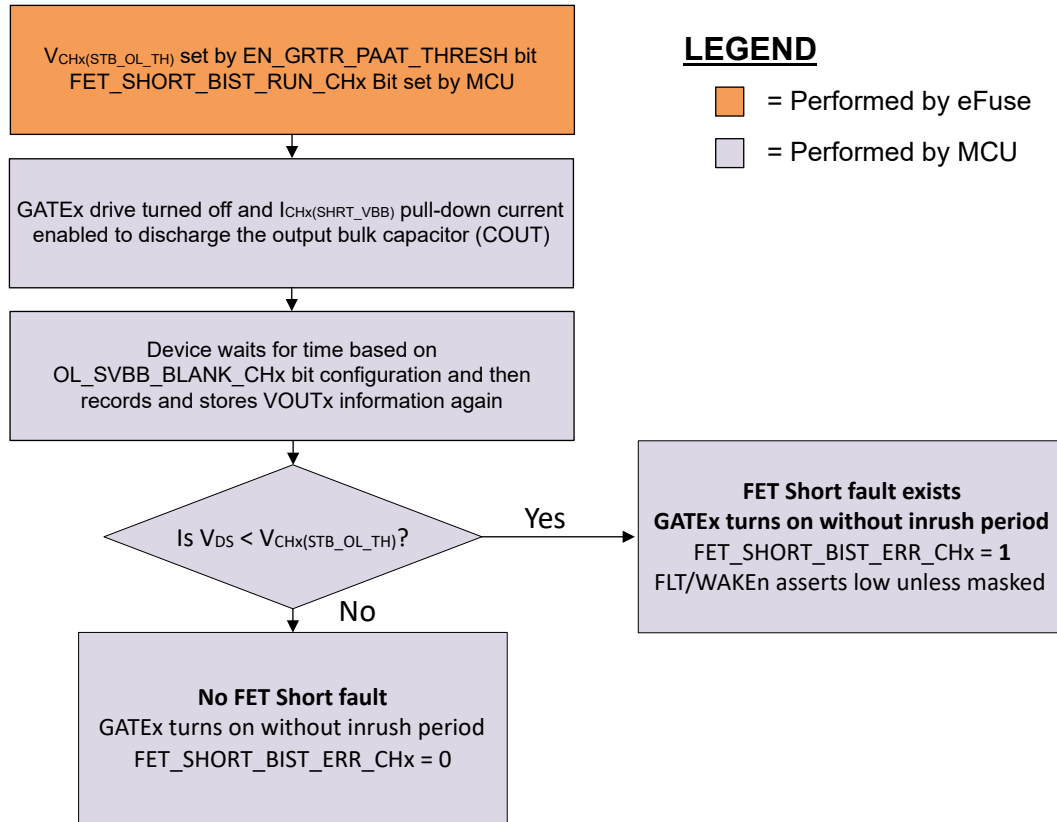


図 7-12. PAAT 負荷の FET 短絡診断のフローチャート

7.3.4 フォルト通知 (FLT / WAKE)

このデバイスは、FLT/WAKE ステータスピンと、SPI を介しての故障ステータスビットを使用した、拡張フォルト通知機能を備えています。

FLT/WAKE ステータスピンを使用すると、デバイスでフォルトが発生したとき、システムに割り込みが可能です。FLT/WAKE ステータスピンは、デバイスでフォルトが発生すると Low にアサートされるオープンドレイン出力です。読み取り時にクリアされるフォルトの場合、故障が解消され、フォルトをクリアする特定のレジスタが読み出されると、FLT/WAKE ピンは High になります。FLT/WAKE ピンでの通知は、一部のフォルトでは FAULT_MASK レジスタによりマスクできます。詳細については、FAULT_MASK レジスタを参照してください。

また、デバイスは、SPI を介して、グローバル故障レジスタ (FAULT_GLOBAL) およびチャンネル固有の故障レジスタ (FLT_STAT_CHx) でフォルト情報を提供します。これにより、システムはデバイス内で故障が発生した原因を迅速に診断できます。デバイスは SDO ヘッダーの FAULT_GLOBAL [15:8] ビットに出力するので、各 SPI トランザクションについてこれらのステータスビットを連続的に読み取ることができます。

個別の故障ステータスビットの詳細については、レジスタマップの FAULT_GLOBAL および FLT_STAT_CHx レジスタを参照してください。

表 7-3 に、デバイスが FLT/WAKE ピンと故障ステータスビットを使用してさまざまなイベントを通知する方法を示します。

表 7-3. 故障通知表

イベント/フォルト		検出	PROTECTION	FAULT_GLOBAL レポート	FLT_STAT_CHx レポート	FLT / WAKE 通知
FET - 過熱警告		Y	N	CHx_FLT	THERMAL_WRN_CHx	N
FET - 温度シャットダウン (TSD)		Y	Y	CHx_FLT および CHAN_OCP_I2T_TSD	THERMAL_WRN_CHx	Y
I _{OC} P - 即時シャットダウン		Y	Y	CHx_FLT および CHAN_OCP_I2T_TSD	ILIMIT_CHx	Y
I _{CL} _REG — 電流制限レギュレーション		Y	Y	該当なし	該当なし	N
I _{CL} _REG — 電流制限レギュレーション — 突入期間の満了		Y	Y	CHx_FLT および CHAN_OCP_I2T_TSD	ILIMIT_CHx	Y
I _{CL} _REG - 電流制限レギュレーション - TSD		Y	Y	CHx_FLT および CHAN_OCP_I2T_TSD	ILIMIT_CHx および THERMAL_SD_CHx	Y
チャネルは T _{RETRY} 内です (LATCH_CHx = 0)		Y	該当なし	該当なし	FLT_CHx	Y
チャネルはラッチオフされています (LATCH_CHx = 1)		Y	該当なし	該当なし	LATCH_STAT_CHx と FLT_CHx	Y
Limp Home エントリ (LHI = 1)		Y	該当なし	GLOBAL_ERR_WRN およ び LIMPHOME_STAT	該当なし	N
アクティブ I2T の蓄積またはデクリメン ト		Y	該当なし	該当なし	I2T_MOD_CHx	N
I2T シャットダウン		Y	Y	CHx_FLT および CHAN_OCP_I2T_TSD	I2T_FLT_CHx および FLT_CHx	Y
VOUT は VBB に短絡		Y	N	CHx_FLT および OL_SHRT_VBB_OFF_FLT ¹ (OL_SVBB_EN_CHx = 01 の場合)	OL_OFF_CHx (OL_SVBB_EN_CHx = 01 の場合)	Y、マスクされ ていない場合
オープン負荷	OFF 状態	Y	N	CHx_FLT および OL_SHRT_VBB_OFF_FLT (OL_SVBB_EN_CHx = 10 の場合)	OL_OFF_CHx (OL_SVBB_EN_CHx = 10 の場合)	Y、マスクされ ていない場合
	ON 状態	Y	N	該当なし	該当なし	N
逆極性バッテリー		Y	Y、外付け部 品を使用	該当なし	該当なし	N
VBB の UV 警告		Y	N	GLOBAL_ERR_WRN およ び VBB_UV_WRN	該当なし	N
VBB_UVLO		Y	Y	GLOBAL_ERR_WRN およ び VBB_UVLO	該当なし	Y
VDD_UVLO		Y	Y	GLOBAL_ERR_WRN およ び VDD_UVLO	該当なし	N
パワー オンリセット (POR)		Y	Y	GLOBAL_ERR_WRN およ び POR	該当なし	Y
GND 喪失		Y	Y、 R _{SDO} ≥ 768Ω を使用	該当なし	該当なし	N
SPI ウォッチドッグ エラー		Y	該当なし	GLOBAL_ERR_WRN およ び WD_ERR (WD_EN = 1 のとき)	該当なし	Y、マスクされ ていない場合
SPI フレーム エラー		Y	該当なし	GLOBAL_ERR_WRN およ び SPI_ERR	該当なし	Y、マスクされ ていない場合

表 7-3. 故障通知表 (続き)

イベント/フォルト	検出	PROTECTION	FAULT_GLOBAL レポート	FLT_STAT_CHx レポート	FLT / WAKE 通知
SPI CRC エラー	Y	該当なし	GLOBAL_ERR_WRN および SPI_ERR (CRC_EN = 1 のとき)	該当なし	Y、マスクされていない場合

7.3.5 SPI モード動作

TPS481HS04-Q1 は、高速 SPI シリアル インターフェイスを経由してホスト コントローラと通信します。インターフェイスにはクロック (SCLK)、チップ セレクト ($\overline{\text{CS}}$)、シリアル データ入力 (SDI) の三つのロジック入力、および一つのデータ出力 (SDO) があります。 $\overline{\text{CS}}$ ピンが high のとき、SDO ピンはトリステストです。SPI の最大クロック レートは 8MHz ですが、実際には直列保護抵抗によって制限されます。

このデバイスは、シンプルなデジチェーン SPI をサポートしています。このモードは、CRC の有無にかかわらず使用できます。

TPS481HS04-Q1 IC とコントローラまたは MCU の間の通信は、メイン セカンダリ構成の SPI バスを経由します。外部 MCU は常に SPI メイン デバイスであり、コマンド リクエストを TPS481HS04-Q1 IC の SDI ピンで送信し、デバイス応答を IC の SDO ピンで受信します。TPS481HS04-Q1 デバイスは常に SPI セカンダリ デバイスとして動作し、SDI ライン経由でコマンド要求を受信し、SDO ラインを介して外部 MCU に (ステータスや測定値などの) 応答を送信します。

TPS481HS04-Q1 デバイスは、以下の形式でプライマリ MCU に接続できます：

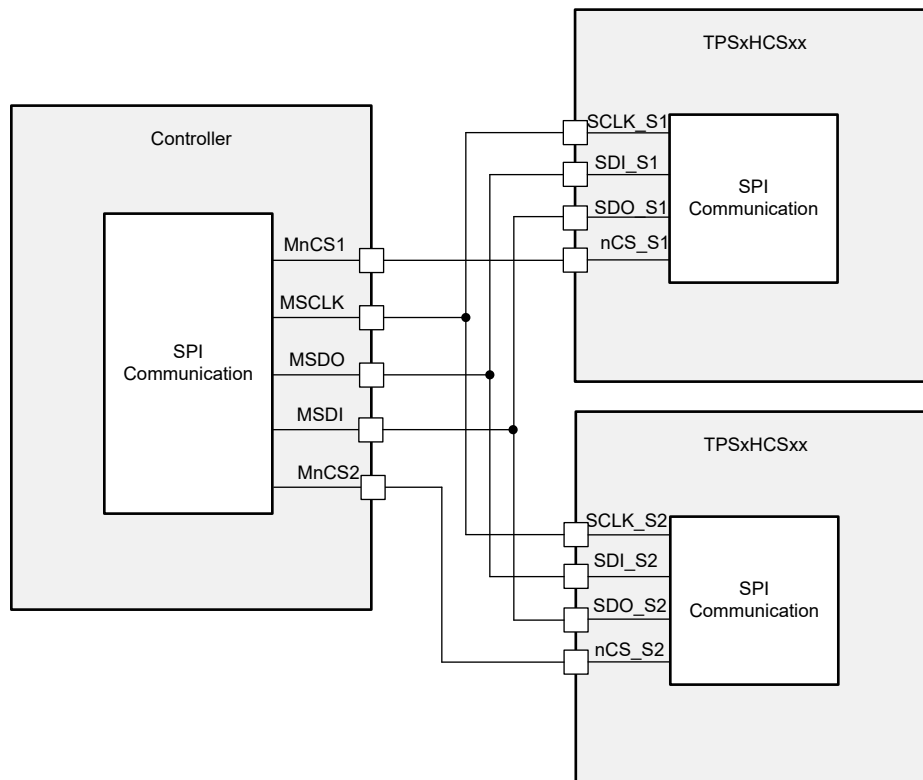


図 7-13. 独立したセカンダリの構成 (個別の $\overline{\text{CS}}$ 信号)

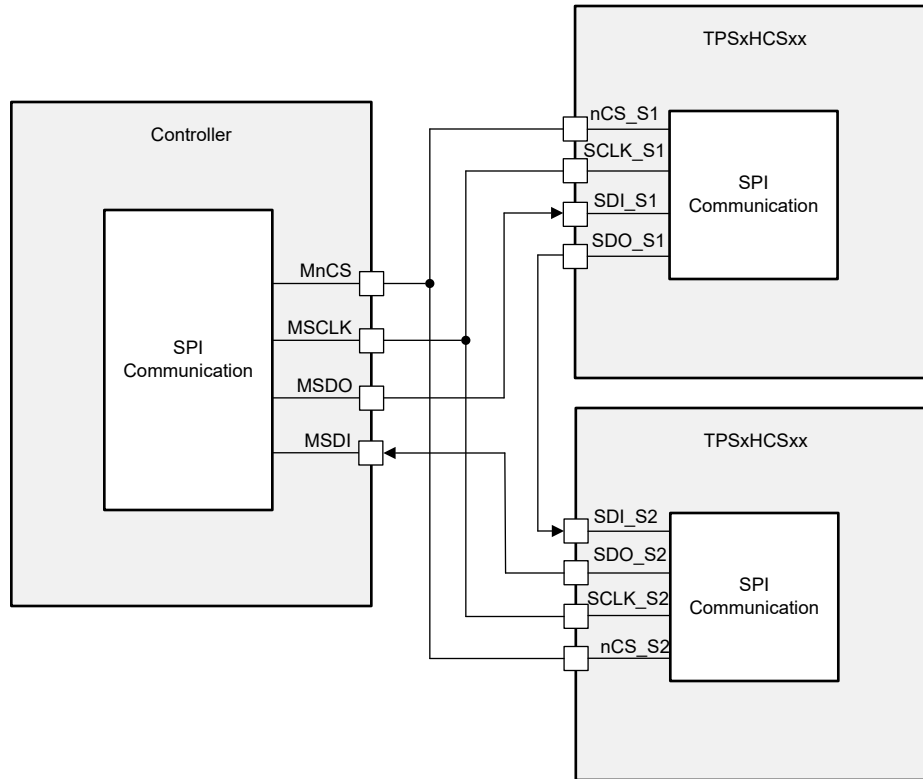


図 7-14. デイジー チェーン構成

SPI インターフェイス

このセクションでは、SPI インターフェイスピンの動作について説明します

チップ セレクト ($\overline{\text{CS}}$ または nCS)

システム マイコンは、 $\overline{\text{CS}}$ ピンを使用して通信を受信するために TPS481HS04-Q1 を選択します。 $\overline{\text{CS}}$ ピンがレベルの論理 LOW 状態にある場合、シリアル入力 (SDI) ピンを介して TPS481HS04-Q1 にコマンドまたは構成ワードを送信でき、シリアル出力 (SDO) ピンを介してマイクロコントローラがデバイス情報を取得できます。 $\overline{\text{CS}}$ の立ち下がりがエッジによって SDO 出力が有効化され、FAULT_GLOBAL レジスタの内容がラッチされて SDO から送信されます。マイコンは、レジスタに格納された情報を取得するために READ コマンドを発行できます。 $\overline{\text{CS}}$ ピンの立ち上がりエッジによって、次の動作が開始されます:

1. SPI 通信エラーがなく、かつ SPI 書き込みコマンドである場合、指定されたレジスタが更新されます。
2. $\text{CS} = \text{LOW}$ の間にこのレジスタへの読み出しコマンドが発行された場合、読み出しクリアレジスタはクリアされます。

データの破損を防ぐため、 $\overline{\text{CS}}$ 信号の HIGH から LOW、および LOW から HIGH への遷移は、SCLK がローレベルの論理状態にあるときにのみ発生する必要があります。不完全な SPI ワードがデバイスに送信されていないことを確認するには、クリーンな $\overline{\text{CS}}$ 信号が必要です。このピンは内部で VDD レールにプルアップされています。

システム クロック

システム クロック (SCLK) ピンは、TPS481HS04-Q1 の内部シフトレジスタをクロック供給します。SDI データは、SCLK 信号の立ち下がりがエッジで、入力シフト レジスタにラッチされます。SDO ピンは、SCLK の立ち上がりエッジでデバイス保存情報をシフト アウトします。SDO データは、マイコンが SCLK の立ち下がりがエッジで読み取ることが可能です。

シフトレジスタの誤ったクロック生成は、データの有効性を確保するために回避する必要があります。また、 $\overline{CS}$ が遷移するたびに、SCLK ピンがロジック Low 状態になることが不可欠です。したがって、デバイスへのアクセスがなく $\overline{CS}$ ピンがロジック HIGH 状態である限り、SCLK ピンをロジック LOW 状態にプルすることを推奨します。 $\overline{CS}$ ピンがロジック HIGH 状態である場合、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンが高インピーダンス出力のままです。

シリアル データ入力 (SDI) およびシリアル データ出力 (SDO)

SDI ピンは、シリアル指示データ入力に使用されます。 $\overline{CS}$ が Low の場合、SCLK の立ち下がりエッジで、SDI 情報は入力シフトレジスタにラッチされます。

SDO ピンは、内部シフトレジスタからの出力です。このピンは内部で VDD レールにプルアップされています。 $\overline{CS}$ ピンが High のとき、SDO ピンはハイインピーダンスになります。SCLK の立ち上がりエッジが連続するごとに、マイコンは SCLK の立ち下がりエッジで次のデータビットを読み出すことができます。 $\overline{CS}$ が High のとき、SDO はハイインピーダンスに戻ります。

CRC エラー検出およびクロックのチェック

CRC_EN ビットを High にセットすると、CRC エラー検出がイネーブルされます。各シリアル トランザクションには、CRC-4-ITU-Normal チェックシーケンス (FCS) が付加されて送信されます。4 ビット CRC は、正規生成多項式 $X^4 + X + 1$ に基づき、CRC の開始値 = 1111 です。CRC がイネーブルされると、TPS481HS04-Q1 は受信した SDI プログラム / 構成データにチェックバイトが追加されることを想定します。

完全なワードをプログラムするには、デバイスに正確な情報ビット (次の表を参照) を入力する必要があります。CRC が無効な場合、IC は正確なビット数がクロックインされたときにのみレジスタ書き込みを有効にします。CRC が有効な場合、IC は正確なビット数が CRC エラーなしでクロックインされたときにのみレジスタ書き込みを有効にします。ワード長が必要な長さを超える、または満たさない場合、あるいは CRC エラーが発生した場合、FAULT_GLOBAL レジスタ内の SPI_ERR ビットがロジック「1」にアサートされ、受信データは無効と見なされます。SCLK が存在しない場合、SPI_ERR ビットのフラグは立てられないことに注意します。SPI_ERR は、次のチップ アクセス時に SDO で SPI メインデバイスに送り返されます。読み出し時のクリアは、レジスタが読み出されたときに SPI エラーが発生しない場合にのみ適用されることに注意してください。

SPI フレーム フォーマット

図 7-15 に示すように、デバイスは 24 ビットのフレーム幅 (CRC が使用されない場合) を使用します。SDO 出力の 16 ビット幅の「データ出力」は、常に前の SPI コマンドフレーム (読み出しまたは書き込み) を使用していることに注意してください。

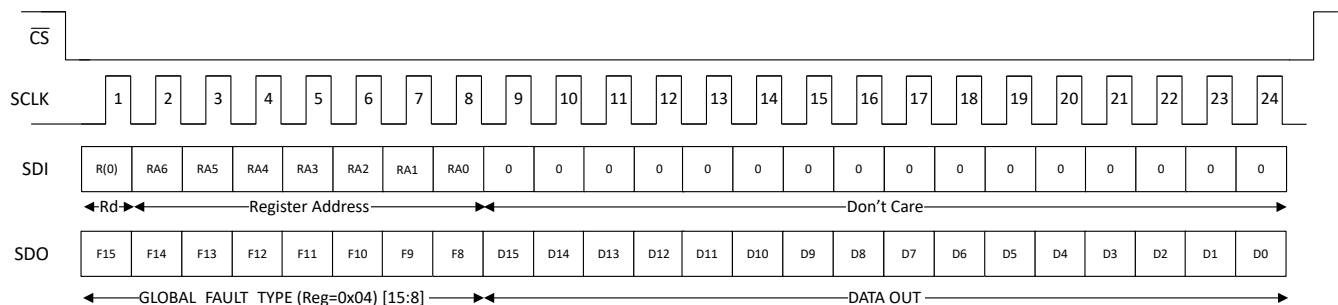


図 7-15. 24 ビット読み取り、CRC なし (CRC_EN = 0)

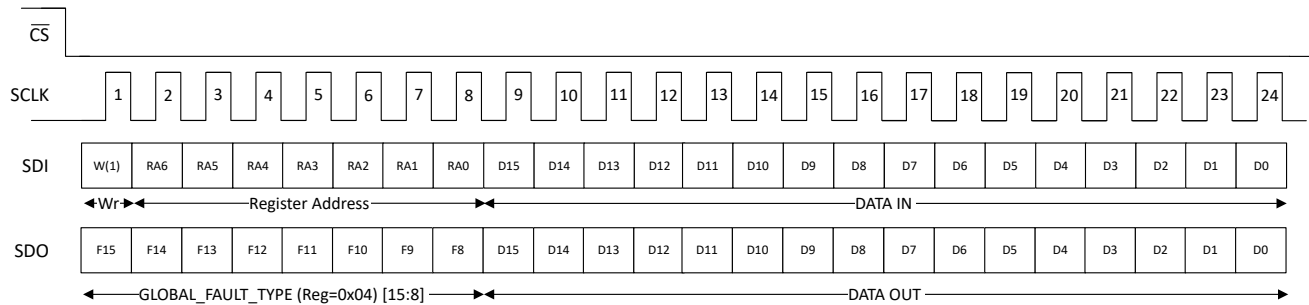


図 7-16. 24 ビット書き込み、CRC なし (CRC_EN = 0)

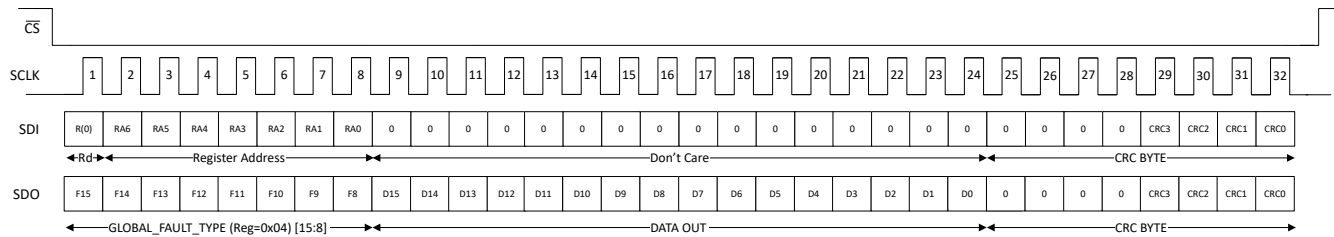


図 7-17. 32 ビット読み取り、CRC 有効化 (CRC_EN = 1)

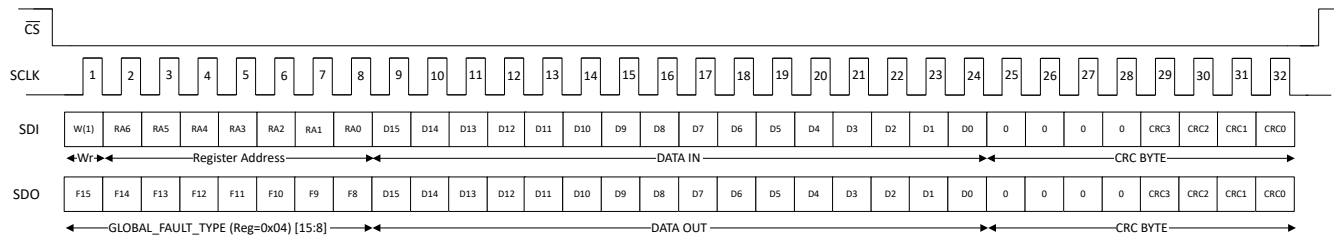


図 7-18. 32 ビット書き込み、CRC 有効化 (CRC_EN = 1)

FAULT_GLOBAL [15:8] ビット

xx デバイスは SDO ヘッダーに FAULT_GLOBAL [15:8] ビットを出力するため、各 SPI トランザクション中にこれらのステータス ビットを連続的に読み取ることができます。FAULT_GLOBAL [15:8] ビットは、DEV_CONFIG レジスタ内の FLT_LTCH_DIS ビットの設定に基づき、リード クリア ビットまたはリアルタイム ステータス ビットとして構成できます。ただし、FLT_LTCH_DIS ビットは LPM_STATUS ビットには適用されません。

FLT_LTCH_DIS = 0 の場合、故障ビットはラッチされ、ビット説明に関連するレジスタが読み出されて、故障が存在しなくなった場合にのみクリアされます。以下の 表 7-4 に、故障が解消された場合に、各故障ビットをクリアするために読み取る必要のあるレジスタを示します。これについては、レジスタ マップの各ビットの説明にも詳しく説明されています。

表 7-4. FLT_LTCH_DIS = 0 のときの FAULT_GLOBAL [15:8] ビットの動作

ビット	ビット名	フォルトが解消された場合、フォルト ビットをクリアするために読み取る必要があるレジスタ
15	予約済み	該当なし
14	予約済み	該当なし
13	CH2_FLT	FLT_STAT_CH2
12	CH1_FLT	FLT_STAT_CH1
10	CHAN_OCP_I2T_TSD	FLT_STAT_CHx
9	OL_SHRT_VBB_OFF_FLT	FLT_STAT_CHx
8	GLOBAL_ERR_WRN	FAULT_GLOBAL

FLT_LTCH_DIS = 1 の場合、フォルトビットは、フォルトが解消されるとクリアされます。

SPI ウォッチドッグ機能

TPS481HS04-Q1 デバイスには、オプションの SPI ウォッチドッグ機能があり、ホスト コントローラからの有効な SPI トランザクションと VDD 電源の喪失を監視できます。設定可能なタイムアウト期間 WD_TO 内に有効な SPI トランザクションが発生しなかった場合、マスクされていない限り FLT ピンが Low になり、FAULT_GLOBAL レジスタ内の WD_ERR ビットが 1 に設定されます。有効な SPI トランザクションは、SPI エラーおよび CRC エラーのない SPI トランザクション (イネーブルされている場合) で構成されます。デバイスへの VDD 電源が VDD_UVLO スレッシュホールドを下回ると、デバイスの SPI は動作しません。VDD 電源が VDD_UVLO を下回る状態が、ウォッチドッグ時間よりも長く続くと、デバイスでウォッチドッグ エラーが発生し、WD_ERR ビットが 1 に設定され、マスクされていない限り FLT ピンが Low になります。

ウォッチドッグ機能は、DEV_CONFIG レジスタの WD_EN ビットによってイネーブルになります。以下の 表 7-5 に、構成可能な各種のウォッチドッグ タイムアウト ウィンドウ WD_TO を示します。

表 7-5. ウォッチドッグ タイムアウトの設定

WD_TO の設定	ウォッチドッグのタイムアウト期間
00	400μs
01	400ms
10	800ms
11	1200ms

ウォッチドッグ機能が有効 (WD_EN = 1) で、ウォッチドッグ タイムアウト ウィンドウ内に有効な SPI トランザクションが行われない、または VDD 電源の消失によってウォッチドッグ エラーが発生すると、WD_ERR = 1 となり、マスクされていない限り FLT ピンが Low になります。デバイスは LIMPHOME モードに遷移し、そこでのチャネルの出力制御は DEV_CONFIG_CHx レジスタ内の CHx_LH_IN ビットによって設定されます。ウォッチドッグ エラーの結果、LIMPHOME_STAT ビットが 1 に設定されることに注意してください。有効な SPI トランザクションが検出されると、FLT/WAKE ピンは High になり、デバイスは自動的に LIMPHOME モードを終了し、チャネルの出力制御は CHx_ON ビットに戻ります。FAULT_GLOBAL レジスタの WD_ERR ビットは、SPI ウォッチドッグ タイムアウト エラーの結果として 1 にラッチされ、読み取りが行われてエラーが解消された後にのみクリアされます。

7.4 デバイスの機能モード

7.4.1 状態遷移図

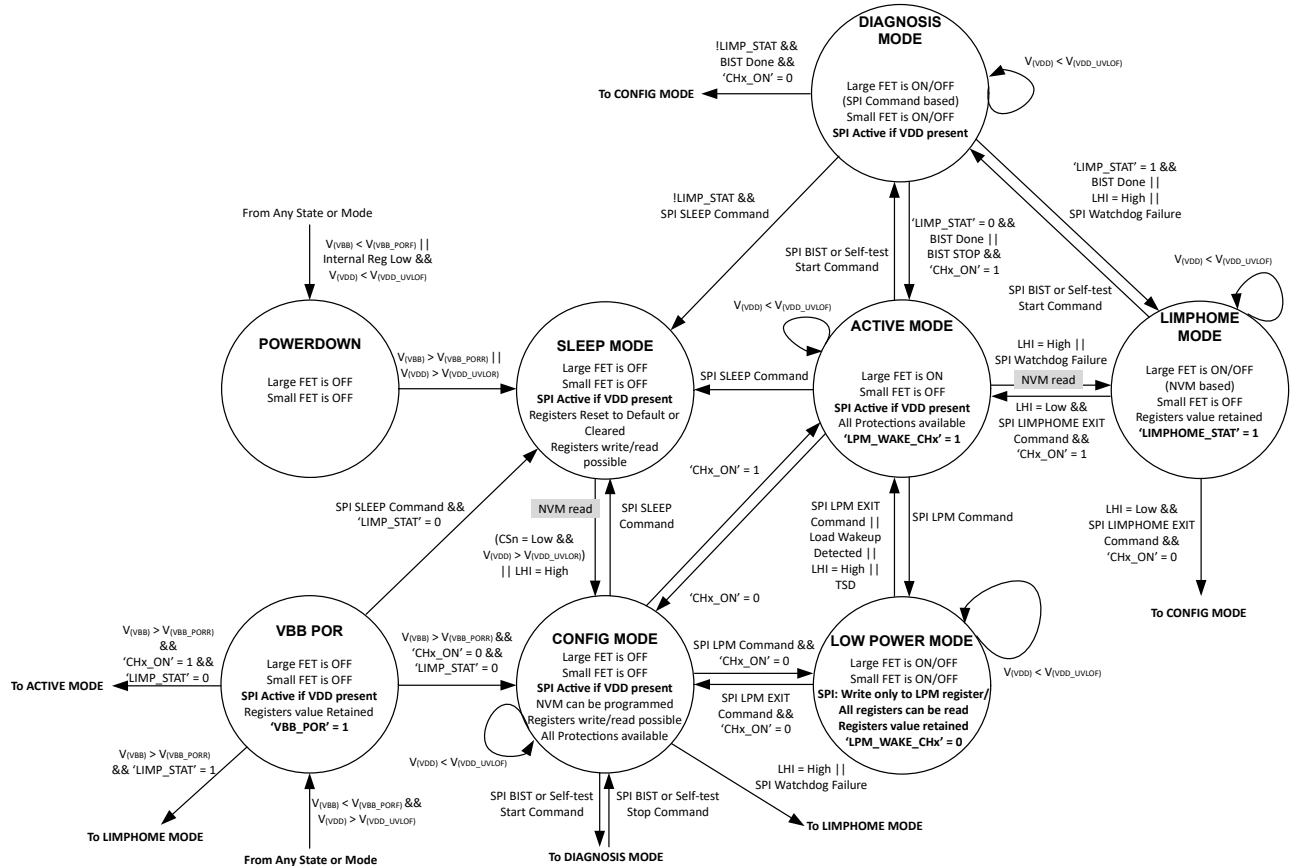


図 7-19. 状態遷移図

7.4.2 パワーダウン

印加された VBB 電圧が $V(VBB_PORF)$ を下回り、VDD が $V(VDD_PORF)$ を下回ると、デバイスは無効化状態になります。このモードでは、チャージポンプとすべての保護機能が無効になります。出力はオフになります。

7.4.3 SLEEP

TPS481HS04-Q1 デバイスには SLEEP モードがあり、デバイスを超低消費電流状態にします。デバイスが SLEEP モードになると、両方のチャネルがオフになり、レジスタがクリアされて、すべてのデジタル回路の電源がオフになります。VBB < VBB_UVLO かつ VDD < VDD_UVLO になると、デバイスはこの状態に遷移します。SLEEP レジスタの SLEEP ビットに 1 を書き込むことで、手動でデバイスを SLEEP モードにできます。

$\overline{CS}$ ピンが Low になると、デバイスは SLEEP モードから復帰します。 $\overline{CS}$ ピンを使用してデバイスを SLEEP から復帰させるには、次の 2 つの方法があります。

1. $t < t_{\text{READY}}$ の間 $\overline{CS}$ ピンに Low のパルスを与えます
2. $\overline{CS}$ ピンを少なくとも t_{READY} の間 Low に保持し、最初の SPI トランザクションが終了するまで $\overline{CS}$ ピンを Low に保持し続けます

上記のどちらの方法でも、SPI_ERR 故障なしでデバイスはウェークアップします。ダミー SPI トランザクションが $t < t_{\text{READY}}$ で完了した場合、ダミー SPI トランザクションを使用してメソッド 1 を簡素化できます。以下の 図 7-20 に、

SPI_ERR 故障が発生しない 2 つの適切なウェークアップ シナリオと、SPI_ERR 故障が発生する不適切なウェークアップ シナリオの例を示します。

SLEEP モードから復帰すると、以下のレジスタ マップに記載されているリセット値にレジスタの値が設定されます。さらに、 $\overline{\text{FLT/WAKE}}$ ピンが Low にアサートされ、POR、VDD_UVLO、および VBB_UVLO のフォルトビットがアサートされます。これらのフォルトが読み取り時にすでに解消している場合、FAULT_GLOBAL レジスタを読み取ることでこれらのビットはクリアされます。

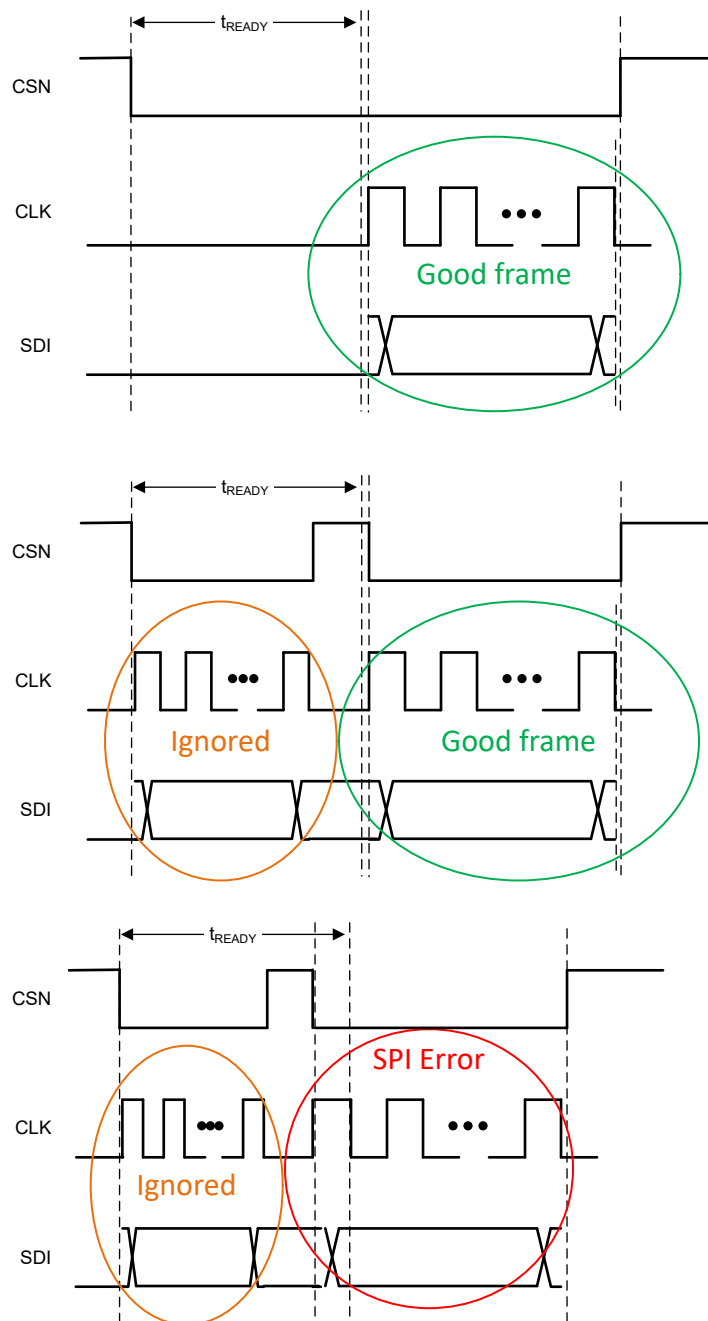


図 7-20. スタートアップ通信タイミング

7.4.4 ロー パワー モード (LPM)

LPM_ENTRY ビットが 1 に設定されると、デバイスは ACTIVE から低消費電力モード (LPM) に遷移します。LPM では、LPM レジスタの LPM_MODE ビットに基づき、大きいまたは小さい FET のオンによりチャージ ポンプがイネーブルになり、このモードでは $\overline{\text{FLT/WAKE}}$ ピンが High にアサートされます。

このデバイスには、以後のセクションで説明する 2 種類の負荷ウェークアップ メカニズムがあります

低消費電力モード (LPM) からアクティブ モードへの自動遷移 (AUTO_LPM_ENTRY = 「0」) :

デバイスが低消費電力モード (LPM) のとき、LPM_STATUS ビットは「1」に設定されます。デバイスは、負荷電流 ($I_{\text{CHx(LOAD)}}$) が、LPM_EXIT_CURR_CHx に設定されている負荷ウェークアップ トリガ スレッシュホールド ($I_{\text{CHx(LWUx)}}$) 設定を超えると、LPM からアクティブ モードに自動的に遷移します。負荷電流が負荷ウェークアップ スレッシュホールドを超えると、デバイスは自動的に $\overline{\text{FLT/WAKE}}$ ピンを Low にアサートし、LPM が終了したことを示します。また、レジスタ マップで LPM_WAKE_CHx ビットが「1」に設定され、LPM_STATUS ビットも「0」にリセットされます。

AUTO_LPM_ENTRY ビットを「0」にリセットすることで、自動 LPM 機能を無効にする必要があります。

ECU ポーリングにおける低消費電力モード (LPM) からアクティブ モードへ、そして再び LPM (自動 LPM) への自動遷移 (AUTO_LPM_ENTRY = 「1」) :

TPS481HS04-Q1 には自動 LPM 機能が内蔵されており、DEV_CONFIG_CHx レジスタの AUTO_LPM_ENTRY ビットによって有効にすることができます。自動 LPM 機能により、デバイスはアクティブから低静止電流 (IQ) の LPM に自動的に移行するとともに、出力に必要な電力を常に確保できます。

AUTO_LPM_ENTRY ビットが「1」に設定されており、デバイスによって負荷ウェークアップが検出されると ($I_{\text{CHx(LOAD)}} > I_{\text{CHx(LWUx)}}$)、デバイスは LPM レジスタの LPM_WAKE_DEGLITCH タイマ設定に基づいて内部タイマ ($t_{\text{LPM_WAKE_DEGLITCH}}$) を開始します。

EVENT1: I_{LOADx} が LPM_WAKE_DEGLITCH タイマの期間内に $I_{\text{EXIT_LPM_AUTO}}$ を下回り、かつ I_{LOADx} が AUTO_LPM_FILTER の設定値である $I_{\text{EXIT_LPM_AUTO}}$ スレッシュホールドより下にとどまっている場合、デバイスは自動的に LPM に遷移します。 $\overline{\text{FLT/WAKE}}$ はアサートされず、High のままになります。

注: 負荷ウェークアップ電流パルス時間 + AUTO_LPM_FILTER 設定よりも長い LPM_WAKE_DEGLITCH 時間を設定することを推奨します。そのようにしないと、デバイスはアクティブ モードにとどまり、LPM に自動的に遷移しません。

EVENT2: LPM_WAKE_DEGLITCH タイマ設定期間内に、検出された I_{LOADx} が $I_{\text{EXIT_LPM_AUTO}}$ より上にとどまっている場合、デバイスはアクティブ モードのままになります。MCU にウェークを通知するために、 $\overline{\text{FLT/WAKE}}$ は Low になります。MCU は、LPM_ENTRY ビットを「0」にリセットして、 $\overline{\text{FLT/WAKE}}$ ピンを High にデアサートできます。

EVENT3: LPM_WAKE_DEGLITCH および AUTO_LPM_FILTER 設定は、負荷ウェークアップが検出されたときのみ有効になります。 $\overline{\text{FLT/WAKE}}$ が一度 Low にアサートされると、これらの設定は無効化されます。

注

自動 LPM 機能は、LPM_MODE ビットが 1 (大きい FET の LPM) に設定されている場合にのみ使用できます。

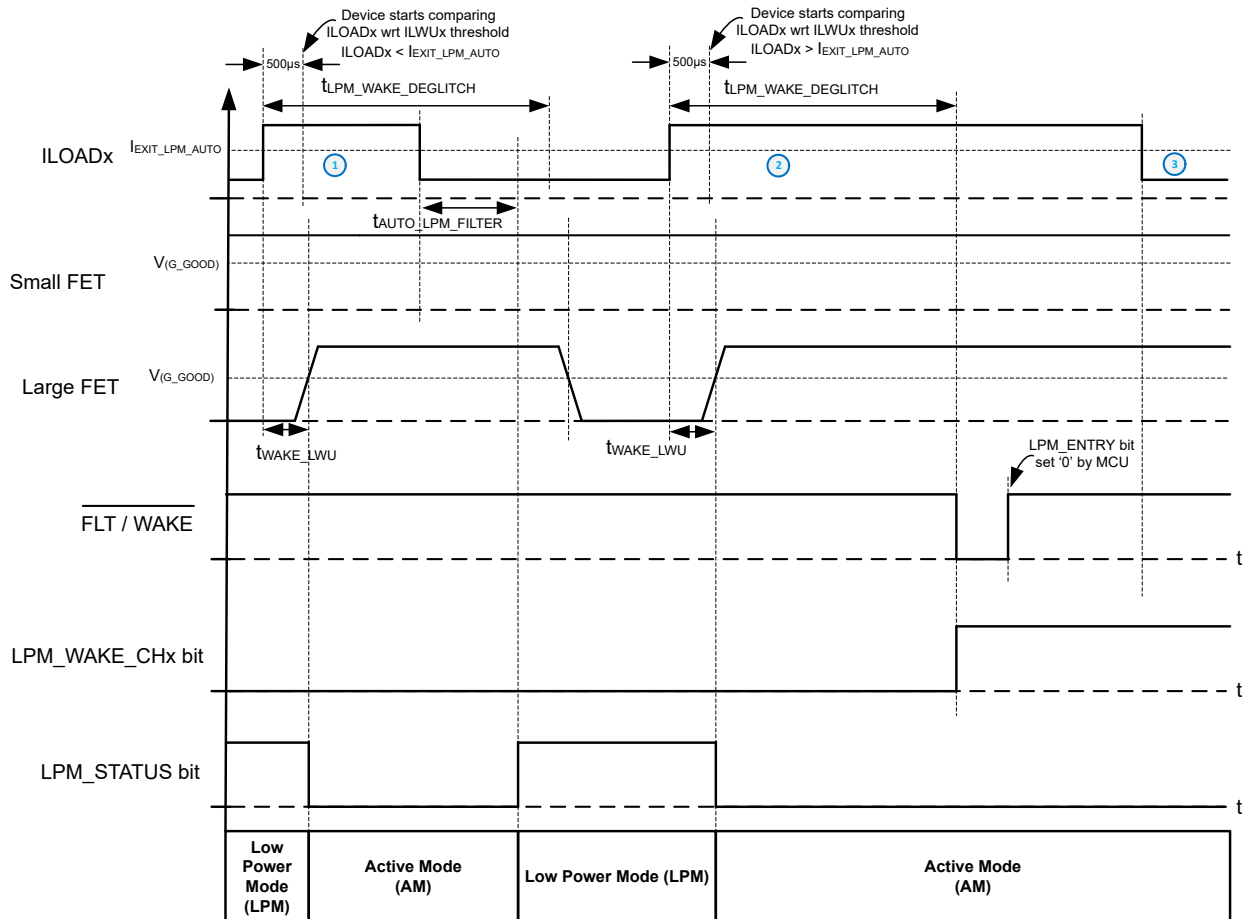


図 7-21. ECU ポーリングにおける自動 LPM エントリによる負荷ウェークアップのタイミング図

7.4.5 CONFIG または ACTIVE モード

CONFIG/ACTIVE 状態は、通常動作中に出力がオフ (CONFIG) またはオン (ACTIVE) のときにデバイスが維持される状態です。両者の違いは、CONFIG 状態 (出力がオフの状態) では、すべてのレジスタを構成できる点にあります。構成レジスタ (特にチャネルを正常に有効化するために必要なもの) は、出力をオンにする前、つまり SLEEP モードからの遷移時 (すべてのレジスタが消去された後) に書き込まれることが想定されています。ただし、構成レジスタは LPM 中も保持されるため、LPM から ACTIVE 状態への遷移時にデバイスを再構成する必要はありません。VBB (I_{QVBB}) および VDD (I_{QVDD}) からの静止電流の引き込みは、負荷およびデバイス診断に対応するため、他の状態よりも大きくなります。この状態では、SPI 通信および診断チェックが完全にサポートされています。

7.4.6 LIMPHOME モード

このデバイスは、SPI 通信障害、システム レベルの障害 (つまり自動車事故)、または MCU 障害 (ソフトウェアまたはハードウェア) が発生した場合に、出力を目的の安全状態 (High、Low、状態保持、または D_{IX} に従って) に設定する LIMPHOME モードを備えています。このデバイスは、次の状況で、LIMPHOME モードになります。

- LHI が High にプルされる
- ウォッチドッグ タイムアウト エラー

LIMPHOME での出力の状態は CHx_LH_IN ビットによって決まります。 $DI_OUT_DIS_FN_CHx$ ビットの設定によって、 CHx_LH_IN 設定が異なる可能性があります。この詳細については、次の表を参照してください。 $DI_OUT_DIS_FN_CHx$ ビットおよび OUT_DIS 機能の詳細については、「出力無効化 (OUT_DIS) 機能」セクションを参照してください。

表 7-6. DI_OUT_DIS_FN = 0 の場合の CHx_LH_IN ビットの設定

設定	設定の説明
00	LIMPHOME モードのとき、出力状態は DI ピンによって設定されます - DI = HI の場合、LIMPHOME モードで CHx = オンになります - DI = LO の場合、LIMPHOME モードで CHx = オフになります
01	LIMPHOME モードに移行するとき、CHx_ON ビットからの出力状態を保持します
10	LIMPHOME モードで出力はオフになります
11	LIMPHOME モードで出力はオンになります

表 7-7. DI_OUT_DIS_FN = 1 の場合の CHx_LH_IN ビットの設定

設定	設定の説明
00	LIMPHOME モードで出力はオフになります
01	LIMPHOME モードに移行するとき、CHx_ON ビットからの出力状態を保持します
10	LIMPHOME モードで出力はオフになります
11	LIMPHOME モードで出力はオンになります

レジスタ値は、LIMPHOME モードでも保持されます。デバイスが LIMPHOME モードに移行すると、FAULT_GLOBAL レジスタの LIMPHOME_STAT ビットが High に設定されます。LIMPHOME モードでは、レジスタを読み取ることができませんが、LIMPHOME モードを終了するために FAULT_GLOBAL レジスタの LIMPHOME_STAT ビットをクリアする以外に、書き込みトランザクションは発生しません。LIMPHOME_STAT ビットをクリアするには、LHI ピンを Low にし、LIMPHOME_STAT ビットに 1 を書き込む必要があります。これにより、ビットがクリアされ、デバイスが LIMPHOME モードを終了できるようになります。LIMPHOME モードを終了して ACTIVE モードになると、デバイスは読み取り / 書き込みに対するフル アクセスが可能になります。

7.5 TPS481HS04-Q1 量産開始前の半導体チップの制限事項

パラメータ	テスト条件 / 説明	量産開始前の半導体チップで の結果	予想される動作 / 量産半導体チップで改善すべき点
ホットショート	Lin = 5μH および Lout = 5μH における出力のグランドへの短絡	デバイスが損傷します。	アクティブ クランプによりインダクタンスは通常どおり消磁され、スイッチはオフになるはずですが、 量産開始前の半導体チップに対して、グランドへのホット ショート テストを実施することは推奨しません。
SDO ピンの状態	CSn が Low から High にプルされます	SDO は最後のデータ値の LSB を保持します。パラレル SPI インターフェイスには対応できません。	CSn が Low から High にプルされると、SDO はトライステートになるべきです。
GND 損失検出	デバイスの GND がフローティング、または高スルーレート過渡 (10V/μs) で、GND ピンが 2V のスレッショルドを超える	スイッチがオフになる。内部発振器は、接地不良またはホットスワップによって発生する可能性がある GND への高いスルーレートの影響を受けやすいため、デジタル回路が動作停止します (SPI 書き込みが動作しない)	スイッチはオフになるはずですが、GND が回復し、SPI 書き込み / 読み取りが正常に動作すると、スイッチは自動的にオンになるはずですが。

7.5.1 SDO ピンのトライステート問題のディスクリート部品での回避方法 (デジチェーン用ではなくパラレル SPI 構成のみ)

図 7-22 に、複数の TPS481HS04-Q1 デバイスを並列 SPI 構成で使用する場合に、各スレーブ デバイスの SDO ピンに必要なディスクリート NPN-PNP ベースの回路を示します。

- CS が Low になると、Q1 がオンになって、マスタ MCU を各スレーブ デバイスの SDO ピンに接続します
- CS が High になると、Q1 がオフになり、スレーブ デバイスの SDO ピンをマスタ MCU および他のスレーブ デバイスの SDO ピンから切断します

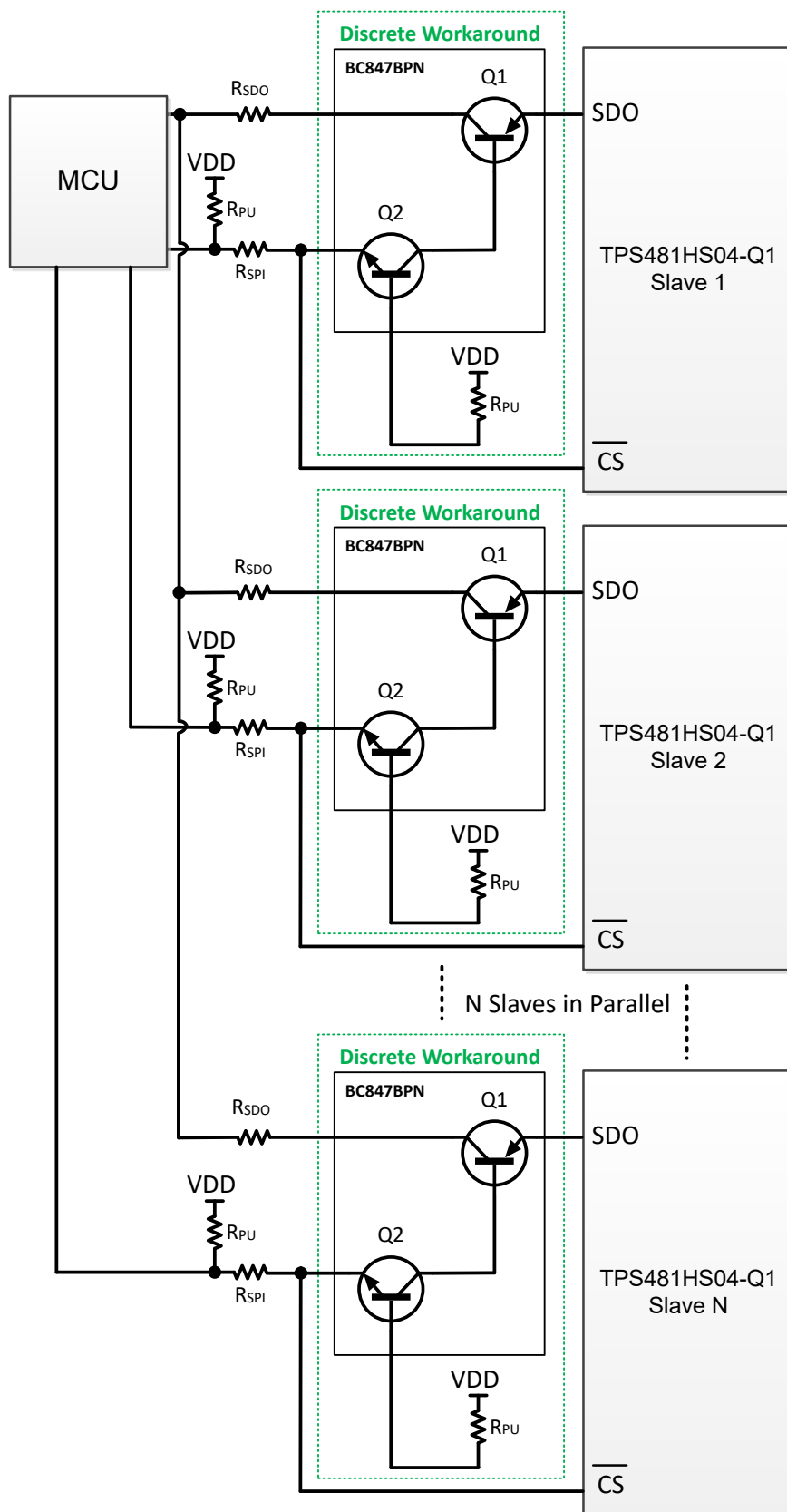


図 7-22. SDO のトリステート問題のディスクリート部品での回避方法

8 レジスタ マップ

表 8-1. レジスタ セクション / ブロック アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RC	R C	読み出し クリア
R-0	R -0	読み出し 0 を返す
書き込みタイプ		
W	W	書き込み
W0CP	W 0C P	W 0 でクリア 特権アクセスが必要
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1 TPS481HS04-Q1 のレジスタ

TPS481HS04-Q1 レジスタのメモリマップされたレジスタを、表 8-2 に示します。表 8-2 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-2. TPS481HS04-Q1 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	DEV_ID	NVM からデバイス ID を読み取ります	セクション 8.1.1
1h	SLEEP	ACTIVE または STANDBY 状態から SLEEP 状態に移行するように設定します	セクション 8.1.2
2h	LPM	低消費電力モード (LPM 状態) の開始または終了を設定します	セクション 8.1.3
3h	FAULT_GLOBAL	任意のチャンネルおよびグローバル フォルトのフォルト	セクション 8.1.4
4h	FAULT_MASK	フォルト ピンでのフォルト通知をマスキングします	セクション 8.1.5
5h	BIST_RESULT_CH1	BIST 診断ステータス結果	セクション 8.1.6
6h	SW_STATE	ターン オン / オフ の OUTx	セクション 8.1.7
7h	DEVICE_TEST_CH1	デバイス BIST の設定	セクション 8.1.8
8h	DEV_CONFIG	デバイス設定用レジスタ	セクション 8.1.9
9h	ADC_CONFIG	ADC 構成 - ADC 変換または ADC 全体を無効化します	セクション 8.1.10
Ah	ADC_RESULT_VBB	ADC 変換結果の VBB	セクション 8.1.11
Bh	ADC_RESULT_BIST	ADC および ISNS の BIST 変換結果	セクション 8.1.12
Ch	FLT_STAT_CH1	チャンネルとチャンネル フォルトのステータス	セクション 8.1.13
Dh	PWM_CH1	チャンネル 1 のすべての PWM 構成を設定します	セクション 8.1.14
Eh	ILIM_CONFIG_CH1	チャンネル 1 のすべての電流制限設定を設定します	セクション 8.1.15
Fh	DIAG_CONFIG_CH1	チャンネル 1 の構成レジスタ	セクション 8.1.16
10h	ADC_RESULT_CH1_I	ADC 変換結果の負荷電流センス CH1	セクション 8.1.17
11h	ADC_RESULT_CH1_T	ADC 変換結果の TJ センス CH1	セクション 8.1.18
12h	ADC_RESULT_CH1_V	ADC 変換結果の VOUT センス CH1	セクション 8.1.19
14h	I2T_CONFIG_CH1	すべての I2T 構成ビットを設定します	セクション 8.1.20
1Eh	I2T_TRIP_CONFIG_CH1	チャンネル 1 の I2T_TRIP 構成レジスタ	セクション 8.1.21
1Fh	I2T_ACC_RD_CH1	I2T_TRIP に関する I2T_ACCUM の割合	セクション 8.1.22
35h	IOCP_CONFIG_CH1	チャンネル 1 の IOCP 構成	セクション 8.1.23
37h	UV_CONFIG	デバイスの UVLO 構成	セクション 8.1.24
3Dh	DEV_CONFIG_2	追加のデバイス構成レジスタ	セクション 8.1.25
3Fh	EEPROM_PROG	ユーザー EEPROM プログラム制御およびステータス レジスタ	セクション 8.1.26

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-3 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-3. TPS481HS04-Q1 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RC	R C	読み出し後 クリア
書き込みタイプ		
W	W	書き込み

**表 8-3. TPS481HS04-Q1 のアクセス タイプ コード (続
き)**

アクセス タイプ	コード	説明
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.1 DEV_ID レジスタ (オフセット = 0h) [リセット = 0000h]

表 8-4 に、DEV_ID を示します。

概略表に戻ります。

表 8-4. DEV_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	DEVICE_ID	R	0h	型番 これらのビットは、EEPROM で再プログラムすることはできません 1h = TPS481HS04-Q1 量産開始前の半導体チップ

8.1.2 SLEEP レジスタ (オフセット = 1h) [リセット = FFFFh]

SLEEP を表 8-5 に示します。

[概略表](#)に戻ります。

表 8-5. SLEEP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-1	予約済み	R	7FFFh	予約済み
0	SLEEP	R/W	0h	デバイスを SLEEP 状態にするには、このビットを 1 に設定します 0h = 変更なし 1h = デバイスを SLEEP 状態にします

8.1.3 LPM レジスタ (オフセット = 2h) [リセット = 3FCCh]

LPM を表 8-6 に示します。

概略表に戻ります。

表 8-6. LPM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	LPM_WAKE_DEGLITCH	R/W	0h	自動 LPM 終了における、負荷ウェークアップから FLT/WAKEn 信号のアサートまでのグリッチ除去時間を設定します 0h = 1ms 1h = 10ms 2h = 20ms 3h = 100ms
13-12	予約済み	R	3h	予約済み
11-10	予約済み	R	3h	予約済み
9-8	予約済み	R	3h	予約済み
7-6	予約済み	R	3h	予約済み
5-4	LPM_EXIT_CURR_CH1	R/W	0h	負荷電流の増加による LPM 終了のスレッシュホールドを設定します:CH1 LPM_MODE の設定によって終了のスレッシュホールドは異なります。 LPM_MODE = 0 の場合、スレッシュホールドは次のようになります。 0h = 0.23A 1h = 0.47A 2h = 0.7A 3h = 0.93A LPM_MODE = 1 の場合、スレッシュホールドは次のようになります。 0b00 = 1.66A 0b01 = 2.77A 0b10 = 3.88A 0b11 = 5A
3-2	予約済み	R	3h	予約済み
1	LPM_MODE	R/W	0h	このビットは、デバイスが LPM のときに、全チャネルに大小の FET のどちらを使用するかを決定します 注: 自動 LPM エントリでは、このビットを 1 に設定する必要があります 0h = LPM 小さい FET モード: 高い Rdson、低い終了スレッシュホールド電流 1h = LPM 大きい FET モード: 低い Rdson、高い終了スレッシュホールド電流
0	LPM_ENTRY	R/W	0h	このビットを 1 に設定すると、デバイスは LPM になります 0h = 変更なし 1h = ACTIVE / CONFIG モードから LPM に移行します

8.1.4 FAULT_GLOBAL レジスタ (オフセット = 3h) [リセット = E147h]

表 8-7 に、FAULT_GLOBAL を示します。

概略表に戻ります。

表 8-7. FAULT_GLOBAL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	1h	予約済み
14	予約済み	R	1h	予約済み
13	予約済み	R	1h	予約済み
12	CH1_FLT	R	0h	チャンネル 1 のフォルト ステータス。 FLT_LTCH_DIS = 0 の場合、FLT_STAT_CH1 レジスタが読み取られ、フォルト条件が存在しなくなったときにのみフォルトビットがラッチされ、クリアされます FLT_LTCH_DIS = 1 の場合、フォルト条件が存在しなくなったときにフォルトビットがクリアされます 0h = CH1 でフォルトは発生していません 1h = CH1 でフォルトが発生しました
11	LPM_STATUS	R	0h	このビットは、デバイスが LPM モードであることを示します。デバイスが LPM モードでない場合はクリアされます。 0h = デバイスは LPM ではありません 1h = デバイスは LPM に移行しました
10	CHAN_OCP_I2T_TSD	R	0h	このビットは、いずれかのチャンネルに過電流保護、I2T 保護、またはサーマル シャットダウン フォルトがあるかどうかを示します。 FLT_LTCH_DIS = 0 の場合、FLT_STAT_CHx レジスタが読み取られ、フォルト条件が存在しなくなったときにのみフォルトビットがラッチされ、クリアされます FLT_LTCH_DIS = 1 の場合、フォルト条件が存在しなくなったときにフォルトビットがクリアされます 0h = どのチャンネルでも過電流保護、I2T 保護、サーマル シャットダウン フォルトなし 1h = 1 つ以上のチャンネルに過電流保護、I2T 保護、またはサーマル シャットダウン フォルトあり
9	I2T_MOD	R	0h	このビットは、いずれかのチャンネルが現在 I2T モード (I2T_MOD_CHx = 1) であることを示します 0h = I2T モードのチャンネルはない (I2T_MOD_CHx = 0) 1h = 1 つ以上のチャンネルが I2T モードである (I2T_MOD_CHx = 1)
8	GLOBAL_ERR_WRN	R	1h	このビットは、FAULT_GLOBAL[7:0] ビットでグローバル フォルトが通知されているかどうかを示します。 このビットにより通知されるフォルトは、LIMPHOME_STATE、POR、SPI_ERR、WD_ERR、VDD_UVLO、VBB_UV_WRN、VBB_UVLO です。 FLT_LTCH_DIS = 0 の場合、フォルトビットがラッチされ、FAULT_GLOBAL レジスタが読み取られてフォルト条件が解消されたときにのみクリアされます FLT_LTCH_DIS = 1 の場合、フォルト条件が解消されたときにフォルトビットがクリアされます 0h = グローバル フォルトは発生していません 1h = 次のイベントのいずれかが発生しました。LIMPHOME_STATE、POR、SPI_ERR、WD_ERR、VDD_UVLO、VBB_UV_WRN、VBB_UVLO

表 8-7. FAULT_GLOBAL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	LIMPHOME_STAT	R	0h	このビットは、LHI ピンが High になった結果として、デバイスが LIMPHOME モードになっているかどうかを示します。 1 を書き込むと、LIMPHOME モードがクリアされ、終了します。LIMPHOME モードを終了するには、このビットが 1 に設定されているときに LHI ピンを Low にする必要があります。 0h = デバイスは LIMPHOME モードではありません 1h = LHI ピンが High になったため、または WD_ERR のため、デバイスは LIMPHOME モードです
6	POR	RC	1h	このビットは、前回の読み取り以降にパワーオンリセット (POR) が発生したかどうかを示します。 このビットは読み取り時にクリアされます。したがって、再読み取りでビットが 0 になっている場合、読み取り後にパワーオンリセットが発生していないことを意味します。 0h = 最後にレジスタを読み取った後にパワーオンリセット (POR) が発生していません。 1h = 最後にレジスタを読み取った後でパワーオンリセットが発生しています。
5	LPM_STATUS_LATCH	RC	0h	このビットは、デバイスが LPM であるかどうかを示します。 0h = デバイスは LPM ではありません 1h = デバイスは LPM に移行しました
4	SPI_ERR	RC	0h	このビットは、フォーマット、クロック、または CRC のいずれかの SPI 通信エラーが発生しているかどうかを示します。フォルトビットは、読み取られてエラーが存在しなくなった後にのみラッチされてクリアされます。 0h = SPI 通信エラーは発生していません 1h = フォーマット、クロック、または CRC のいずれかの SPI 通信エラーが発生しました
3	WD_ERR	RC	0h	WD_EN = 1 の場合、このビットは、ウォッチドッグ タイムアウト ウィンドウに許容可能な SPI コマンドがあったかどうかを示します。 フォルトビットは、読み取られてエラーが存在しなくなった後にのみラッチされてクリアされます。 0h = SPI インターフェイスのウォッチドッグ エラーは発生していません 1h = SPI ウォッチドッグ タイムアウト エラーが発生しました
2	VDD_UVLO	RC	1h	このビットは、常に VDD 電源が VDD_UVLOF を下回っているかどうかを示します。 フォルトビットは、FAULT_GLOBAL レジスタが読み取られ、UVLO 条件が解消されるとクリアされます 0h = VDD_UVLO フォルトは発生していません 1h = VDD_UVLO フォルトが発生しました
1	VBB_UV_WRN	RC	1h	このビットは、常に VBB 電源が V_{BB_UV_WRN} を下回っているかどうかを示します。VBB が V_{BB_UV_WRN} を下回ると、デバイスの診断機能はオフになります フォルトビットは、FAULT_GLOBAL レジスタが読み取られて UV 条件が解消するとクリアされます 0h = VBB_UV_WRN フォルトは発生していません 1h = VBB_UV_WRN フォルトが発生しました

表 8-7. FAULT_GLOBAL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	VBB_UVLO	RC	1h	このビットは、常に VBB 電源が V_{BB_UVLOF} を下回っているかどうかを示します。 フォルト ビットは、FAULT_GLOBAL レジスタが読み取られ、UVLO 条件が解消されるとクリアされます 0h = VBB_UVLO フォルトは発生していません 1h = VBB_UVLO フォルトが発生しました

8.1.5 FAULT_MASK レジスタ (オフセット = 4h) [リセット = C000h]

表 8-8 に、FAULT_MASK を示します。

概略表に戻ります。

表 8-8. FAULT_MASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	3h	予約済み
13	MASK_CPUMP_UVLO	R/W	0h	このビットは、デバイスが FLT ピンでの CPUMP UVLO フォルトの信号をマスクするかどうかを決定します 0h = フォルト発生時に CPUMP UVLO フォルトが FLT ピンで通知されます 1h = CPUMP UVLO フォルトは FLT ピンで通知されません (マスクされます)
12	MASK_FET_SHORT	R/W	0h	このビットは、デバイスが FLT ピンでの FET 短絡 BIST フォルトの信号をマスクするかどうかを決定します 0h = フォルト発生時に、FET 短絡フォルトが FLT ピンで通知されます 1h = FET 短絡フォルトは FLT ピンで通知されません (マスクされます)
11	MASK_LPM_HS	R/W	0h	このビットは、デバイスが FLT ピンでの LPM ハード短絡保護フォルトの信号をマスクするかどうかを決定します 0h = フォルト発生時に、LPM ハード短絡フォルトが FLT ピンで通知されます 1h = LPM ハード短絡フォルトは FLT ピンで通知されません (マスクされます)
10	MASK_NVM_CRC_ERR	R/W	0h	このビットは、デバイスが FLT ピンでの NVM_CRC_ERR フォルトの信号をマスクするかどうかを決定します 0h = フォルト発生時に、NVM_CRC_ERR フォルトが FLT ピンで通知されます 1h = NVM_CRC_ERR フォルトは FLT ピンで通知されません (マスクされます)
9	MASK_I2T_TRIP	R/W	0h	このビットは、デバイスが FLT ピンでの I2T フォルトの信号をマスクするかどうかを決定します 0h = I2T トリップ保護フォルト発生時に、I2T フォルトが FLT ピンで通知されます 1h = I2T トリップ保護フォルトは FLT ピンで通知されません (マスクされます)
8	MASK_VDD_UVLO	R/W	0h	このビットは、デバイスが FLT ピンでの電源電圧 VDD UVLO フォルトをマスクするかどうかを決定します 0h = 診断によるフォルト検出時に、VDD UV フォルトが FLT ピンで通知されます 1h = VDD UV フォルトは FLT ピンで通知されません (マスクされます)
7	MASK_IOCP	R/W	0h	このビットは、デバイスが FLT ピンでの即時シャットダウン過電流保護 (I _{ocp}) フォルトの信号をマスクするかどうかを決定します 0h = IOCP 保護フォルト発生時に、フォルトが FLT ピンで通知されます 1h = SCP / CB フォルトは FLT ピンで通知されません (マスクされます)
6	MASK_ILIM	R/W	0h	このビットは、CAP_CHRG_CHx = 10 が使用されているときに、デバイスが FLT ピンの電流制限レギュレーション (I _{CL_REG}) の信号をマスクするかどうかを決定します 0h = ILIM フォルト発生時に、フォルトが FLT ピンで通知されます 1h = ILIM フォルトは FLT ピンで通知されません (マスクされます)

表 8-8. FAULT_MASK レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	MASK_SHRT_VBB	R/W	0h	このビットは、デバイスが FLT ピンでのバッテリー短絡フォルト (オフ状態) の信号をマスクするかどうかを決定します。 0h = 診断によるフォルトの検出時、VBB への短絡フォルトが FLT ピンで通知されます 1h = VBB への短絡フォルトは FLT ピンで通知されません (FLT ピンからマスクされます)
4	MASK_OL_OFF	R/W	0h	このビットは、デバイスが FLT ピンでのオフ状態開放負荷フォルトの信号をマスクするかどうかを決定します 0h = 診断によるフォルトの検出時、オフ状態のワイヤ破損フォルトを FLT ピンで通知します 1h = オフ状態のワイヤ破損フォルトは FLT ピンで通知されません (FLT ピンからマスクされます)
3	MASK_TSD	R/W	0h	このビットは、デバイスが FLT ピンでの TSD フォルトの信号をマスクするかどうかを決定します 0h = TSD 保護フォルト発生時に、フォルトが FLT ピンで通知されます 1h = TSD 保護フォルトは FLT ピンで通知されません (マスクされます)
2	MASK_SPI_ERR	R/W	0h	このビットは、デバイスが FLT ピンと FAULT_GLOBAL レジスタで SPI エラー (SPI_ERR) をマスクするかどうかを決定します 0h = FAULT_TYPE_STAT レジスタと FLT ピンで SPI エラーが通知されます 1h = FAULT_TYPE_STAT レジスタと FLT ピンは SPI エラーの影響を受けません
1	MASK_WD_ERR	R/W	0h	このビットは、デバイスが FLT ピンと FAULT_GLOBAL レジスタで SPI ウォッチドッグ エラー (WD_ERR) をマスクするかどうかを決定します 0h = SPI ウォッチドッグ エラーが FAULT_TYPE_STAT レジスタと FLT ピンで通知されます 1h = FAULT_TYPE_STAT レジスタと FLT ピンは SPI ウォッチドッグ エラーの影響を受けません
0	MASK_VBB_UVLO	R/W	0h	このビットは、デバイスが FLT ピンでの電源電圧 VBB UVLO フォルトをマスクするかどうかを決定します 0h = 診断によるフォルト検出時に、VBB UV フォルトが FLT ピンで通知されます 1h = VBB UV フォルトは FLT ピンで通知されません (マスクされます)

8.1.6 BIST_RESULT_CH1 レジスタ (オフセット = 5h) [リセット = 7D88h]

BIST_RESULT_CH1 を表 8-9 に示します。

概略表に戻ります。

表 8-9. BIST_RESULT_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	BIST_FORCED_EXIT	RC	0h	このビットは、いずれかの BIST が異常な強制状態により終了したときに 1 に設定され、BIST_RESULT レジスタが読み取られて、異常終了が発生しなくなった場合にクリアされます 0h = BIST は早期に終了していません 1h = 1 つ以上の BIST が早期に終了しました
14	予約済み	R	1h	予約済み
13	予約済み	R	1h	予約済み
12	予約済み	R	1h	予約済み
11	予約済み	R	1h	予約済み
10	予約済み	R	1h	予約済み
9	UV_BIST_ERR	RC	0h	このビットは、UVLO BIST が成功したか失敗したかを示します 0h = UVLO の BIST が成功しました 1h = UVLO の BIST が失敗しました
8	予約済み	R	1h	予約済み
7	予約済み	RC	1h	予約済み
6	TSD_BIST_ERR_CH1	RC	0h	このビットは、CH1 の TSD BIST が成功したか失敗したかを示します 0h = TSD CH1 の BIST が成功しました 1h = TSD CH1 の BIST が失敗しました
5	IOCP_BIST_ERR_CH1	RC	0h	このビットは、CH1 の IOCP BIST が成功したか失敗したかを示します 0h = IOCP CH1 の BIST が成功しました 1h = IOCP CH1 の BIST が失敗しました
4	OTP_CRC_ERR	R	0h	このビットは、NVM CRC が成功したか失敗したかを示します 0h = EEPROM NVM の CRC チェックに合格しました 1h = EEPROM NVM の CRC チェックに失敗しました
3	予約済み	R	1h	予約済み
2	FET_SHORT_BIST_ERR_CH1	RC	0h	このビットは、CH1 の FET 短絡 BIST が成功したか失敗したかを示します 0h = CH1 の FET 短絡 BIST が成功しました 1h = CH1 の FET 短絡 BIST が失敗しました
1	ADC_BIST_ERR	RC	0h	このビットは、ADC BIST が成功したか失敗したかを示します 0h = ADC の BIST が成功しました 1h = ADC の BIST が失敗しました
0	BG_BIST_ERR	RC	0h	このビットは、BG BIST が成功したか失敗したかを示します 0h = BG の BIST が成功しました 1h = BG の BIST が失敗しました

8.1.7 SW_STATE レジスタ (オフセット = 6h) [リセット = EEEEh]

表 8-10 に SW_STATE を示します。

概略表に戻ります。

表 8-10. SW_STATE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	1h	予約済み
14	予約済み	R	1h	予約済み
13	予約済み	R	1h	予約済み
12	SWEN_S_CH1	R	0h	このビットは、CH1 の小さい FET の SWEN ステータスを示します 0h = CH1 の SFET の SWEN は Low 1h = CH1 の SFET の SWEN は High
11	予約済み	R	1h	予約済み
10	予約済み	R	1h	予約済み
9	予約済み	R	1h	予約済み
8	SW_STATE_M_CH1	R	0h	このビットは、CH1 の大きい FET の VGS ステータスを示します 0h = CH1 の LFET の VGS Comp は Low 1h = CH1 の LFET の VGS Comp は High
7	予約済み	R	1h	予約済み
6	予約済み	R	1h	予約済み
5	予約済み	R	1h	予約済み
4	SWEN_M_CH1	R	0h	このビットは、CH1 の大きい FET の SWEN ステータスを示します 0h = CH1 の LFET の SWEN は Low 1h = CH1 の LFET の SWEN は High
3	予約済み	R	1h	予約済み
2	予約済み	R	1h	予約済み
1	予約済み	R	1h	予約済み
0	CH1_ON	R/W	0h	このビットは、チャンネル 1 の出力状態を決定します 0h = CH1 出力をオフに設定します (FET はオフ) 1h = CH1 出力は ON に設定されています (FET はオン)

8.1.8 DEVICE_TEST_CH1 レジスタ (オフセット = 7h) [リセット = 7D18h]

DEVICE_TEST_CH1 を表 8-11 に示します。

[概略表](#)に戻ります。

表 8-11. DEVICE_TEST_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	BIST_CTRL_CHECK	R/W	0h	このビットは、ロジック回路とゲートドライバ回路をテストするために、I2T、IOCP、UV、TSD の各 BIST が成功したときに、FET をオフにするかどうかを決定します 0h = 関連する BIST が成功しても FET はオフになりません 1h = 関連する BIST が成功すると FET はオフになります
14-13	予約済み	R/W	3h	予約済み
12	予約済み	R	1h	予約済み
11	予約済み	R	1h	予約済み
10	予約済み	R	1h	予約済み
9	UV_BIST_RUN	R/W	0h	このビットは UVLO BIST を実行し、成功または失敗の結果によって BIST_RESULT レジスタの UV_BIST_ERR ビットを更新します。BIST の実行後、このビットは 0 にリセットされます。 0h = UV BIST を実行していません 1h = UV BIST を実行中です
8	予約済み	R	1h	予約済み
7	TSD_BIST_RUN	R/W	0h	このビットは TSD BIST を実行し、成功または失敗の結果によって BIST_RESULT レジスタの TSD_BIST_ERR_CH1 ビットを更新します。BIST の実行後、このビットは 0 にリセットされます。 0h = TSD BIST を実行していません 1h = TSD BIST を実行中です
6	I2T_BIST_RUN_CH1	R/W	0h	このビットはチャンネル 1 の I2T BIST を実行し、成功または失敗の結果によって BIST_RESULT レジスタの I2T_BIST_ERR_CH1 ビットを更新します。BIST の実行後、このビットは 0 にリセットされます。 0h = CH1 の I2T BIST を実行していません 1h = CH1 の I2T BIST を実行中です
5	SCP_BIST_RUN_CH1	R/W	0h	このビットは、チャンネル 1 の IOCP BIST を実行し、成功または失敗の結果によって BIST_RESULT レジスタの IOCP_BIST_ERR_CH1 ビットを更新します。BIST の実行後、このビットは 0 にリセットされます。 0h = CH1 の IOCP BIST を実行していません 1h = CH1 の IOCP BIST を実行中です
4	ISNS_BIST_RUN	R/W	1h	このビットは、チャンネル 1 の ISNS BIST を実行し、ADC_RESULT_BIST レジスタの結果を更新します。BIST の実行後、このビットは 0 にリセットされます。 注: ISNS BIST は、デバイスが I2T ループ中 (I2T_MOD_CHx = 1) であるか、過電流またはサーマルフォルト条件が発生している場合は実行できません。 0h = ISNS BIST を実行していません 1h = ISNS BIST を実行中です
3	予約済み	R	1h	予約済み
2	FET_SHORT_BIST_RUN_CH1	R/W	0h	CH1 の FET 短絡障害の BIST 診断を実行し、その結果によって BIST_RESULT レジスタを更新します。BIST の実行後、このビットは 0 にリセットされます 0h = CH1 FET 短絡検出用の BIST を実行していません 1h = CH1 FET 短絡検出用の BIST を実行中です

表 8-11. DEVICE_TEST_CH1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	ADC_BIST_RUN	R/W	0h	このビットは、チャンネル 1 の ADC BIST を実行し、ADC_RESULT_BIST レジスタの結果を更新します。BIST の実行後、このビットは 0 にリセットされます。 注: ADC BIST は、デバイスが I2T ループ中 (I2T_MOD_CHx = 1) であるか、過電流またはサーマル フォルト条件が発生している場合は実行できません。 0h = ADC BIST を実行していません 1h = ADC BIST を実行中です
0	BG_BIST_RUN	R/W	0h	このビットはバンドギャップ BIST 診断を実行し、合格または不合格の結果で BIST_RESULT レジスタの BG_BIST_ERR ビットを更新します。BIST の実行後、このビットは 0 にリセットされます。 0h = バンドギャップ BIST を実行していません 1h = バンドギャップ BIST を実行中です

8.1.9 DEV_CONFIG レジスタ (オフセット = 8h) [リセット = 7E00h]

表 8-12 に、DEV_CONFIG を示します。

概略表に戻ります。

表 8-12. DEV_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CRC_EN	R/W	0h	このビットを 1 に設定すると、SPI コマンド フレームの CRC チェックが有効化されます。 0h = SPI コマンド フレームの CRC チェックなし 1h = SPI コマンド フレームの CRC チェックが有効化
14-13	予約済み	R	3h	予約済み
12-11	予約済み	R	3h	予約済み
10-9	予約済み	R	3h	予約済み
8-7	CH1_LH_IN	R/W	0h	これらのビットは、LIMPHOME モードでチャネル 1 の出力がどのように応答するかを決定します。 DI_OUT_DIS_FN_CH1 = 0 の場合、値は次のとおりです。 0h = LIMPHOME モードの時に DI ピンが出力を制御します 1h = LIMPHOME モードへの移行時、CH1_ON ビットの出力状態を維持します 2h = LIMPHOME モードで出力がオフになります 3h = LIMPHOME モードで出力がオンになります DI_OUT_DIS_FN_CH1 = 1 の場合、値は次のようになります。 0h = LIMPHOME モードで出力がオフになります 1h = LIMPHOME モードへの移行時、CH1_ON ビットの出力状態を維持します 2h = LIMPHOME モードで出力がオフになります 3h = LIMPHOME モードで出力がオンになります
6	LIMPHOME_CONFIG	R/W	0h	このビットを設定すると、LIMPHOME モード構成に入ったときに NVM 値のレジスタへのリロードが可能になります。 0h = LIMPHOME モードでのレジスタ値が保持されます 1h = LIMPHOME モード遷移中、レジスタ値が NVM から再ロードされます
5	AUTO_LPM_ENTRY	R/W	0h	LPM_ENTRY ビットが 1 に設定されているときに自動 LPM モードを有効化するには、このビットを 1 に設定します。 0h = 自動 LPM モードへの移行が無効化されています 1h = 自動 LPM モードへの移行が有効化され、LPM_ENTRY ビットが 1 に設定されると、デバイスがこのモードに移行します
4	AUTO_LPM_FILTER	R/W	0h	このビットは、自動 LPM に移行するためのすべての条件が満たされて、デバイスが自動 LPM に再移行するときのグリッチ除去時間を設定します 0h = 1ms 1h = 100µs
3	WD_EN	R/W	0h	このビットは、SPI ウォッチドッグ機能を有効化するかどうかを決定します。 有効化されていると、ウォッチドッグ タイムアウト ウィンドウに有効な SPI コマンドが存在しない場合、ウォッチドッグ タイムアウトがトリガされます。 0h = ウォッチドッグは無効です 1h = ウォッチドッグ機能は有効です
2-1	WD_TO	R/W	0h	このビットは、SPI ウォッチドッグ機能のタイムアウト期間を決定します (有効化されている場合)。ウォッチドッグ タイムアウト ウィンドウに有効な SPI コマンドが存在しない場合、ウォッチドッグ タイムアウトがトリガされます。 0h = ウォッチドッグのタイムアウト期間は 400µs です 1h = ウォッチドッグのタイムアウト期間は 400ms です 2h = ウォッチドッグのタイムアウト期間は 800ms です 3h = ウォッチドッグのタイムアウト期間は 1200ms です

表 8-12. DEV_CONFIG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	FLT_LTCH_DIS	R/W	0h	このビットは、フォルト発生時に、FAULT_GLOBAL [13:8] のフォルトビットをラッチするかどうかを決定します。 0h = FAULT_GLOBAL レジスタのフォルトビット [13:8] はラッチされ、関連するレジスタが読み取られた場合のみクリアされます 1h = FAULT_GLOBAL レジスタのフォルトビット [13:8] はラッチされず、フォルトが解消するとクリアされます 注: FLT_LTCH_DIS = 0 のときに個別のフォルトビットをクリアする方法の詳細については、各フォルトビットの説明を参照してください。 LPM_STATUS は読み取り専用です。

8.1.10 ADC_CONFIG レジスタ (オフセット = 9h) [リセット = FD3Ah]

表 8-13 に、ADC_CONFIG の詳細を示します。

概略表に戻ります。

表 8-13. ADC_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R	3Fh	予約済み
9	ADC_I2T_CONFIG_MODE	R/W	0h	このビットは、いずれかのチャンネルが I2T 累積モード (I2T_MOD_CHx = 1) である場合でも、VSNS が変換されるかどうかを決定します。 0h = I2T モードでは、ISNS のみがチャンネルごとにサンプリングされます 1h = ISNS と VOUT はどちらも I2T モードでチャンネルごとにサンプリングされます
8	予約済み	R	1h	予約済み
7-6	ADC_CONFIG_DELAY	R/W	0h	これらのビットは、連続するラウンド ロビン ループ間の遅延時間を設定して、ADC 動作によるデバイスの静止電流を低減します。 0h = 0μs 1h = 100μs 2h = 200μs 3h = 400μs
5	予約済み	R	1h	予約済み
4	ADC_VSNS_DIS	R/W	1h	このビットは、すべてのチャンネルで VOUT センス (VSNS) 機能を無効化するかどうかを決定します。無効化した場合、ADC 変換シーケンスのすべてのチャンネルの VOUT 変換が除外されます。 注: VSNS 機能は、CHx_CONFIG レジスタの VSNS_DIS_CHx ビットを使用して、チャンネルごとに有効化または無効化することもできます。チャンネルごとに機能を有効化 / 無効化するには、このビットを 0 に設定する必要があります。 0h = VSNS ADC 機能は有効です 1h = VSNS ADC 機能はすべてのチャンネルで無効で、すべてのチャンネルの ADC 変換シーケンスで VSNS ADC 変換は除外されます
3	ADC_TSNS_DIS	R/W	1h	このビットは、すべてのチャンネルで温度センス機能を無効化するかどうかを決定します。無効化した場合、ADC 変換シーケンスのすべてのチャンネルの温度センス変換が除外されます。 注: 温度センス機能は、グローバルにのみ有効化または無効化できます 0h = TSNS ADC 機能は有効です 1h = TSNS ADC 機能はすべてのチャンネルで無効で、すべてのチャンネルの ADC 変換シーケンスで TSNS ADC 変換は除外されます
2	ADC_ISNS_DIS	R/W	0h	このビットは、すべてのチャンネルの電流センス (ISNS) 機能を無効化するかどうかを決定します。無効化した場合、ADC 変換シーケンスのすべてのチャンネルの ISNS 変換は除外されます 注: ISNS 機能は、CHx_CONFIG レジスタの ISNS_DIS_CHx を使用して、チャンネルごとに有効化または無効化することもできます。チャンネルごとに機能を有効化 / 無効化するには、このビットを 0 に設定する必要があります。 0h = ISNS ADC 機能は有効です 1h = ISNS ADC 機能はすべてのチャンネルで無効で、すべてのチャンネルの ADC 変換シーケンスで ISNS ADC 変換は除外されます
1	ADC_VBB_DIS	R/W	1h	このビットは、VBB_SNS 機能を無効化するかどうかを決定します。無効化した場合、ADC 変換シーケンスの電源電圧の VBB 変換は除外されます。 0h = VBB_SNS ADC 機能は有効で、VBB_SNS ADC 変換は ADC 変換シーケンスに含まれます 1h = VBB_SNS ADC 機能は無効で、VBB_SNS ADC 変換は ADC 変換シーケンスで除外されます

表 8-13. ADC_CONFIG レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	ADC_DIS	R/W	0h	このビットは、ADC 機能を無効化するかどうかを決定します。無効化した場合、VDS_SNS、VSNS、TSNS、ISNS は使用不可となります。 デフォルトで、ADC が有効になっています。 0h = ADC 機能は有効です 1h = すべての ADC 機能は無効です

8.1.11 ADC_RESULT_VBB レジスタ (オフセット = Ah) [リセット = F800h]

表 8-14 に、ADC_RESULT_VBB を示します。

概略表に戻ります。

表 8-14. ADC_RESULT_VBB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	1Fh	予約済み
10	VBB_RDY	R	0h	このビットは、最後の読み取り以降に VBB 電圧変換用の新しい ADC 結果が利用可能かどうかを示します 0h = VBB ADC 値は更新されていません 1h = 最後の読み取り以降に新しい VBB ADC 値の準備が完了しています
9-0	ADC_RESULT_VBB	R	0h	VBB 電圧の変換からの 10 ビット ADC の結果

8.1.12 ADC_RESULT_BIST レジスタ (オフセット = Bh) [リセット = F000h]

表 8-15 に、ADC_RESULT_BIST を示します。

概略表に戻ります。

表 8-15. ADC_RESULT_BIST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	3h	予約済み
13-12	予約済み	R	3h	予約済み
11	ADC_ISNS_BIST	RC	0h	このビットは、ISNS と ADC の BIST 結果のどちらが ADC RESULT_BIST レジスタに通知されているかを示します 0h = ADC の BIST 値が通知されています 1h = ISNS の BIST 値が通知されています
10	BIST_RESULT_RDY	R	0h	このビットは、最後に読み取った後に、新しい BIST 結果の変換が利用可能になっているかを示します 0h = BIST ADC 値は更新されていません 1h = 最後に読み取った後に、新しい BIST ADC 値の準備ができています
9-0	ADC_RESULT_BIST	R	0h	BIST の変換結果による 10 ビット ADC の値

8.1.13 FLT_STAT_CH1 レジスタ (オフセット = Ch) [リセット = C000h]

FLT_STAT_CH1 を表 8-16 に示します。

概略表に戻ります。

表 8-16. FLT_STAT_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R	3h	予約済み
13	IOCP_CH1	RC	0h	このビットは、チャンネル 1 で即時シャットダウン過電流保護 (IOCP) フォルトが発生したかどうかを示します フォルトがラッチされ、FLT_STAT_CH1 レジスタが読み取られてフォルト条件が解消されるとクリアされます 0h = このチャンネルで即時シャットダウン過電流保護フォルトは発生していません 1h = このチャンネルで即時シャットダウン過電流保護フォルトが発生しました
12	I2T_MOD_CH1	R	0h	このビットは、チャンネル 1 が I2T ループにあり、累積しているかどうかを示します。チャンネル 1 が I2T ループ内にない場合、値は 0 になります。 0h = I2T がオフになっているか、チャンネルが I2T ループ内にありません 1h = チャンネルが I2T ループ内で累積しています
11	LATCH_STAT_CH1	RC	0h	このビットは、過電流保護、サーマル シャットダウン、または I2T フォルトが原因でチャンネル 1 がラッチ オフされたかどうかを示します。 チャンネルがオフになった後で再びオンになると、このビットはクリアされます。 0h = チャンネルはラッチ オフされていません 1h = チャンネルは現在ラッチ オフされています
10	FLT_CH1	R	0h	このビットは、そのチャンネルでアクティブなフォルトが依然として発生しているか、デバイスが再試行時間間隔内にあるか、または I2T、IOCP、サーマル シャットダウン フォルトに対してラッチ オフ状態であることを示します。 0h = 現在このチャンネルにはアクティブなフォルトがなく、自動再試行の待機期間内、ラッチ オフ状態、または I2T クールダウン中になっていません 1h = 現在このチャンネルにはアクティブなフォルトが発生しているか、自動再試行の待機期間内、ラッチオフ状態、または I2T クールダウン中です
9	LPM_HS_CH1	RC	0h	このビットは、ISCP_LPM_x がトリガされたかどうかを示します。 フォルトはラッチされ、FLT_STAT_CH1 レジスタが読み取られてフォルト条件が解消されるとクリアされます 0h = LPM 短絡保護はトリガされていません
8	VOUT_ERR_CH1	R	0h	このビットは、チャンネルが有効化され、 $t > t_{VDS_DEGL}$ の突入期間外 (構成されている場合) になった後、チャンネル 1 のドレイン - ソース間電圧 (V_{DS}) が $V_{DS_LT_2V}$ 未満であるかどうかを示します。 0h = このチャンネルが有効の場合、VDS 電圧は正常 (< 2V) です 1h = このチャンネルが有効となる条件下において、VDS 電圧は不正 (> 2V) です
7	I2T_FLT_CH1	RC	0h	このビットは、チャンネル 1 で I2T フォルトが発生したかどうかを示します。このビットが I2T フォルトを示すためには、I2T_EN を 1 に設定する必要があります。 FLT_STAT_CH1 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされ、クリアされます。 注: このビットは、過電流保護やサーマル シャットダウン フォルトを示しません。 0h = I2T フォルトが発生していないか、I2T が有効ではありません 1h = このチャンネルで I2T フォルトが発生しました

表 8-16. FLT_STAT_CH1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	LPM_WAKE_CH1	R	0h	このビットは、原因 (負荷ステップや短絡) に関係なく、デバイスが LPM から復帰した原因がチャンネル 1 であったかどうかを示します 0h = デバイスが LPM ではないか、もしくはこのチャンネルはデバイスが LPM モードから復帰した原因ではありません 1h = このチャンネルは、デバイスが LPM から復帰した原因です
5	THERMAL_SD_CH1	RC	0h	このビットは、チャンネル 1 でサーマル シャットダウン フォルトが発生したかどうかを示します。 FLT_STAT_CH1 レジスタが読み取られ、リトライタイマが満了し、チャンネル温度がサーマル シャットダウンのヒステリシス スレッショルドを下回ると、フォルトはラッチされ、クリアされます。 0h = このチャンネルでサーマル シャットダウン フォルトは発生していません 1h = このチャンネルでサーマル シャットダウン フォルトが発生しました
4	ILIMIT_CH1	RC	0h	このビットは、チャンネル 1 で過電流保護フォルトが発生したかどうかを示します。 FLT_STAT_CH1 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされクリアされます。 0h = このチャンネルで過電流保護フォルトは発生していません 1h = このチャンネルで過電流保護フォルトが発生しました
3	SHRT_VBB_CH1	RC	0h	このビットは、オフ状態のチャンネル 1 で VBB への短絡が発生したかどうかを示します。 FLT_STAT_CH1 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされ、クリアされます。 注: オフ状態でこのビットが VBB に短絡したことを通知するには、SVBB_EN_CH1 を有効にする必要があります。 0h = オフ状態での VBB 短絡フォルトは発生していません。または、オフ状態での VBB への短絡が有効ではありません 1h = このチャンネルでオフ状態の VBB への短絡フォルトが発生しました
2	OL_OFF_CH1	R	0h	このビットは、チャンネル 1 でオフ状態の開放負荷があるかどうかを示します。 チャンネル 1 の出力は、OL_PULLUP_STR 設定によってプル アップされます。 注: オフ状態での開放負荷を通知するには、このビットで OL_OFF_EN_CH1 を有効にする必要があります。 0h = このチャンネルでオフ状態の開放負荷フォルトは発生していません。またはオフ状態の開放負荷検出が有効ではありません 1h = このチャンネルでオフ状態の開放負荷フォルトが発生しました
1	CPUMP_UVLO_CH1	RC	0h	このビットは、チャンネル 1 でチャージ ポンプ UVLO (CP_UVLO) フォルトが発生したかどうかを示します。 FLT_STAT_CH1 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされ、クリアされます 0h = このチャンネルで CPUMP UVLO フォルトは発生していません 1h = このチャンネルで CPUMP UVLO フォルトが発生しました
0	THERMAL_WRN_CH1	RC	0h	このビットは、チャンネル 1 の FET 温度が過熱警告スレッショルドを上回っているかどうかを示します。 FLT_STAT_CH1 レジスタが読み取られ、フォルト条件が解消されると、フォルトはラッチされ、クリアされます 0h = このチャンネルの FET 温度が過熱警告スレッショルドを下回っています 1h = このチャンネルの FET 温度が過熱警告スレッショルドを上回っています

8.1.14 PWM_CH1 レジスタ (オフセット = Dh) [リセット = F000h]

PWM_CH1 を表 8-17 に示します。

概略表に戻ります。

表 8-17. PWM_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	Fh	予約済み
11-9	PWM_FREQ_CH1	R/W	0h	PWM 周波数を設定します 0h = 0.8Hz 1h = 3.2Hz 2h = 12.7Hz 3h = 100Hz 4h = 200Hz 5h = 400Hz 6h = 816Hz 7h = 1650Hz
8-1	PWM_DTY_CH1	R/W	0h	CH1 の PWM 動作のデューティサイクルを設定する 8 ビット。各ビットは約 0.39% のデューティサイクルに対応し、直線的に 100% のデューティサイクルまで設定できます。0x0 = GATEx 常時オン 0x1 = 予約済み 0x2 = 2 x 0.39% 0x3 = 3 x 0.39% 0x4 = 5 x 0.39% 0x5 = 6 x 0.39%
0	PWM_EN_CH1	R/W	0h	CH1 の PWM イネーブル 0h = 出力は CH1_ON 設定に追従します。 1h = CH1_ON が High の場合、デューティ サイクルおよび周波数に応じて出力が PWM に設定されます

8.1.15 ILIM_CONFIG_CH1 レジスタ (オフセット = Eh) [リセット = 0010h]

ILIM_CONFIG_CH1 を表 8-18 に示します。

概略表に戻ります。

表 8-18. ILIM_CONFIG_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	LATCH_CH1	R/W	0h	OCP または TSD フォルトが発生してチャネルがシャットダウンした場合、このビットで、そのチャネルを自動再試行するかラッチ オフするかを設定します 0h = tRETRY 後に自動再試行します 1h = SW_STATE レジスタが再度書き込まれるまでラッチ オフします
14	DI_OUT_DIS_FN_CH1	R/W	0h	DI_OUT_DIS ピンを Output_Disable として使用する場合、このビットを 1 に設定します 0h = LH 状態は DI_OUT_DIS ピンによって決定されます (DI ピン機能) 1h = DI_OUT_DIS ピンが High に設定されている場合、出力は無効になります (OUT_DIS 機能)
13-12	CAP_CHRG_CH1	R/W	0h	これらのビットは、電源オン後の突入期間中の容量性充電モードを設定します。 CAP_CHRG_CH1=00 の場合、これらのビットは、INRUSH_DURATION_CH1 期間中、過電流保護スレッシュホールドとしてプログラムされます。スレッシュホールドに達すると、チャネルは直ちにオフになります。 CAP_CHRG_CH1 = 10 の場合、これらのビットは電流制限レギュレーション スレッシュホールドとしてプログラムされます。このチャネルは、電流制限モードに入り、出力が完全に充電されるまで、またはサーマル シャットダウン イベントが発生するまで、電流のレギュレーションを継続します。 CAP_CHRG_CH1 = 11 の場合、これらのビットはパルス モード容量結合充電としてプログラムされます。このデバイスは、PWM_CH1 レジスタの PWM 設定に従って、出力をオンにします。過電流保護は IOCP_SET_CH1 ビットによって設定されます 注: INRUSH_DURATION の期間中、I2T は有効化されません。 0h = コンデンサ充電モードなし、IOCP_SET_CH1 ビットで IOCP 値を設定 1h = 予約済み 2h = 電流制限レギュレーション モード、INRUSH_LIMIT_CH1 ビットで値を設定 3h = パルス モード容量結合モード、値は PWM_CH1 レジスタ設定で設定されます
11	I2T_EN_CH1	R/W	0h	チャネル 1 の I2T 機能を有効化します。I2T の有効化は、チャネルの有効化前または有効化中に実行可能ですが、I2T の計算は突入期間の終了後に開始されます。 0h = I2T 機能が有効化されていません 1h = I2T 機能が有効化されます
10-8	INRUSH_DURATION_CH1	R/W	0h	これらのビットは、INRUSH_LIMIT_CH1 レベルが適用される突入期間を決定します。 0h = 0ms 1h = 2ms 2h = 4ms 3h = 6ms 4h = 10ms 5h = 20ms 6h = 50ms 7h = 100ms

表 8-18. ILIM_CONFIG_CH1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-6	AUTO_RETRY_DURATION_CH1	R/W	0h	チャンネルが自動再試行の対象として設定されていて、障害が解消された場合の、自動再試行時間を設定します 0h = 1ms 1h = 10ms 2h = 0.15ms 3h = 100ms
5	FOLDBACK_LOCK_DIS_CH1	R/W	0h	OCP または TSD フォルト後の無限自動再試行には、このビットを設定します。 0h = 有限 (13) の自動再試行後、チャンネルをフォールドバック ロック状態にラッチします。自動再試行時間は、7 サイクルごとに 10 倍になります。リトライ カウンタは、CHx_ON ビット、LHI または Dlx/OUT_DISx ピンがトグルされた場合にのみリセットされます。 1h = 無限自動再試行。自動リトライ時間は無限サイクルの間変わりません。
4	予約済み	R	1h	予約済み
3-0	INRUSH_LIMIT_CH1	R/W	0h	これらのビットは、電流制限レギュレーション (I_{CL_REG}) モード (CAP_CHRG_CH1 = 10) が使用されている場合、チャンネル 1 の突入電流制限値を決定します。その他の容量結合充電モードでは、これらの設定は無視されます。 0h = 1.75A 1h = 2.38A 2h = 2.75A 3h = 3.13A 4h = 3.5A 5h = 3.88A 6h = 4.25A 7h = 4.63A 8h = 5A 9h = 5.38A Ah = 6.35A Bh = 6.8A Ch = 7.25A Dh = 7.7A Eh = 8.1A Fh = 8.6A

8.1.16 DIAG_CONFIG_CH1 レジスタ (オフセット= Fh) [リセット= 4000h]

DIAG_CONFIG_CH1 を表 8-19 に示します。

[概略表](#)に戻ります。

表 8-19. DIAG_CONFIG_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	VSNS_DIS_CH1	R/W	0h	このチャンネルの VOUT SNS ADC 機能を無効化する場合、このビットを 1 に設定します 0h = VOUT SNS ADC 機能を有効化 1h = VOUT SNS ADC 機能を無効化
14	予約済み	R	1h	予約済み
13	ISNS_DIS_CH1	R/W	0h	このチャンネルの ISNS ADC 機能を無効化する場合、このビットを 1 に設定します 0h = ISNS ADC 機能を有効化 1h = ISNS ADC 機能を無効化
12-10	SLRT_CH1	R/W	0h	CH1 の出力に設定するスルーレート。電気的特性表に従い、調整可能なスルーレートに対して 6 種類のスルーレート値を提供します。NVM からロードされたデフォルト値。 0h = 0.27V/μs 1h = 0.36V/μs 2h = 0.43V/μs 3h = 0.5V/μs 4h = 0.057V/μs
9	OL_ON_ENTRY_CH1	R/W	0h	このビットは、チャンネル 1 が、より低い出力電流をより正確に検出するために、小さい FET を使用するモードに移行するかどうかを決定します。 注: デバイスがこのモードに移行できるのは、チャンネルに既存のフォルトがなく、出力電流が I _{ENTRY_OL_ON} を下回っている場合のみです。 0h = KSNS1/KDIG1 比と RON = 大きい FET 1h = KSNS2/KDIG2 比と RON = 小さい FET
8-7	FET_SHORT_BIST_BLANK	R/W	0h	これらのビットは、チャンネル 1 の FET_SHORT BIST のブランキング時間を決定します 0h = 50μs 1h = 250μs 2h = 500μs 3h = 2ms
6-5	OL_PU_STR_CH1	R/W	0h	これらのビットは、オフ状態開放負荷検出回路の VOUT1 のプルアップ電流 (I _{pu}) を決定します。 0h = 25μA 1h = 57μA 2h = 121μA 3h = 256μA
4	PD_EN_CH1	R/W	0h	このビットは、バッテリーへの短絡を検出するために、オフ状態のプルダウンを有効化します。このビットを 0 に設定すると、プルダウンが無効化されます。SVBB アルゴリズムが完了すると、ビットは自動的にクリアされます 0h = プルダウンが非アクティブです 1h = プルダウンが有効です
3	PU_EN_CH1	R/W	0h	このビットは、開放負荷を検出するために、オフ状態のプルアップを有効化します。このビットを 0 に設定すると、プルアップが無効化されます。OL アルゴリズムが完了すると、ビットは自動的にクリアされます 0h = プルアップが非アクティブです 1h = プルアップが有効です

表 8-19. DIAG_CONFIG_CH1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	SVBB_EN_CH1	R/W	0h	このビットは、オフ状態のバッテリーへの短絡のアルゴリズムを有効化します。このビットを強制的に 0 にすると、異常終了します。アルゴリズムが完了すると、ビットは自動的にクリアされます。このステータスは FLT_STAT_CH1 レジスタで更新されます。 0h = オフ状態で SVBB は実行されていません 1h = オフ状態で SVBB が実行されています
1	OL_EN_CH1	R/W	0h	このビットは、オフ状態での開放負荷のアルゴリズムを有効化します。このビットを強制的に 0 にすると、異常終了します。アルゴリズムが完了すると、ビットは自動的にクリアされます。このステータスは FLT_STAT_CH1 レジスタで更新されます。 0h = オフ状態で OL は実行されていません 1h = オフ状態で OL が実行されています
0	TSNS_DIS_CH1	R/W	0h	このチャンネルの ADC TSNS 機能を無効化する場合、このビットを 1 に設定します 0h = TSNS ADC 機能を有効化 1h = TSNS ADC 機能を無効化

8.1.17 ADC_RESULT_CH1_I レジスタ (オフセット = 10h) [リセット = E800h]

ADC_RESULT_CH1_I を表 8-20 に示します。

概略表に戻ります。

表 8-20. ADC_RESULT_CH1_I レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	予約済み	R	7h	予約済み
12	ISNS_CH1_ONOFF_STAT	R	0h	チャンネルがオンの場合に ISNS の ADC 変換が行われると、このビットは 1 にセットされます。 0h = CH1 FET のステータスがオフの間に ISNS 読み取りが実行されます 1h = CH1 FET のステータスがオンの間に ISNS 読み取りが実行されます
11	予約済み	R	1h	予約済み
10	ISNS_RDY_CH1	R	0h	このビットは、最後に読み取った後に、チャンネル 1 の出力電流 (ISNS) 変換結果に対応する新しい ADC 値が利用可能になっているかを示します 0h = ADC 値は更新されていません 1h = ADC 値は最後の読み取り以降に準備が完了しています
9-0	ADC_RESULT_CH1_I	R	0h	CH1 の電流の変換からの ADC の結果 (10 ビット)

8.1.18 ADC_RESULT_CH1_T レジスタ (オフセット = 11h) [リセット = F800h]

ADC_RESULT_CH1_T を表 8-21 に示します。

[概略表](#)に戻ります。

表 8-21. ADC_RESULT_CH1_T レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	1Fh	予約済み
10	TSNS_RDY_CH1	R	0h	このビットは、前回の読み取り以降に、チャンネル 1 の TSNS 変換の新しい ADC 結果が利用可能かどうかを示します 0h = ADC 値は更新されていません 1h = ADC 値は最後の読み取り以降に準備が完了しています
9-0	ADC_RESULT_CH1_T	R	0h	CH1 温度の変換結果の ADC 値 (10 ビット)

8.1.19 ADC_RESULT_CH1_V レジスタ (オフセット = 12h) [リセット = F800h]

ADC_RESULT_CH1_V を表 8-22 に示します。

[概略表](#)に戻ります。

表 8-22. ADC_RESULT_CH1_V レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	1Fh	予約済み
10	VSNS_RDY_CH1	R	0h	このビットは、最後の読み取り以降に、チャンネル 1 の VOUT 電圧 (VSNS) 変換に対応する新しい ADC 結果が利用可能かどうかを示します 0h = ADC 値は更新されていません 1h = ADC 値は最後の読み取り以降に準備が完了しています
9-0	ADC_RESULT_CH1_V	R	0h	CH1 出力電圧の変換結果の ADC 値 (10 ビット)

8.1.20 I2T_CONFIG_CH1 レジスタ (オフセット = 14h) [リセット = 00XXh]

I2T_CONFIG_CH1 を表 8-23 に示します。

概略表に戻ります。

表 8-23. I2T_CONFIG_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	TCLDN_CH1	R/W	0h	これらのビットは、チャンネル 1 での I2T シャットダウン後のアキュムレータ値に基づいて、クールダウン時間 (または再試行時間) を決定します。 注: 0h の設定を使用する場合、チャンネルは I2T のシャットダウン後、リトライなしでオフのままになります。この設定で再試行するには、ビットを 1h、2h、または 3h に変更し、アキュムレータが定義された値に到達した後に、デバイスが再試行できるようにします。 0h = ラッチ モード (または再試行なし) 1h = アキュムレータは I2T トリップ スレッシュホールドの 2/3 にデクリメントします 2h = アキュムレータは I2T トリップ スレッシュホールドの 1/3 にデクリメントします 3h = アキュムレータは 0 にデクリメントします
13	DCR_CH1	R/W	0h	動作モードを設定します 0h = I2t モード DCR0_x000D_ 1h = I2t モード DCR1
12-11	ACC_DCR0_CH1	R/W	0h	DCR_CHx = 0 のとき、IADC < NOM_CUR で IACC をデクリメントします。 0h = デクリメント係数 k = 0.25 1h = デクリメント係数 k = 0.5 2h = デクリメント係数 k = 1 3h = デクリメント係数 k = 2
10-9	SWCL_DLY_TMR_CH1	R/W	0h	チャンネル 1 の遅延ターンオフ タイマを設定するための 2 ビット。電流が ISWCL を超えたときにチャンネルがシャットダウンするまでの時間を設定します。 0h = 0.05ms 1h = 1.0ms 2h = 2.0ms 3h = SWCL によるターンオフなし
8-7	ISWCL_CH1	R/W	1h	チャンネル 1 の I2T 機能の遅延ターンオフ電流スレッシュホールド値を設定する 2 ビット。スレッシュホールドは、選択したセンス抵抗で検出される最大電流よりも低く設定する必要があります。
6-5	予約済み	R	3h	予約済み

表 8-23. I2T_CONFIG_CH1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	NOM_CUR_CH1	R/W	X	これらのビットは、I2T 機能のチャネル 1 の電流の公称値を設定します。チャネル 1 で I2T 機能が有効の場合、この値を上回ると、デバイスは I2T 累積モードに移行します。 注: デバイスがクールダウン期間中の場合、NOM_CUR_CH1 の値は変更できません。 00h = 3.6A 01h = 4.3A 02h = 5A 03h = 5.7A 04h = 6.4A 05h = 7.1A 06h = 7.8A 07h = 8.5A 08h = 9.2A 09h = 9.9A 0Ah = 10.6A 0Bh = 11.3A 0Ch = 12A 0Dh = 12.7A 0Eh = 13.4A 0Fh = 14.1A 10h = 14.8A 11h = 15.5A 12h = 16.2A 13h = 16.9A 14h = 17.6A 15h = 18.3A 16h = 18.9A 17h = 19.6A 18h = 20.3A 19h = 21A 1Ah = 21.7A 1Bh = 22.4A 1Ch = 23.1A 1Dh = 23.8A 1Eh = 24.5A 1Fh = 25.2A

8.1.21 I2T_TRIP_CONFIG_CH1 レジスタ (オフセット = 1Eh) [リセット = F8F8h]

I2T_TRIP_CONFIG_CH1 を表 8-24 に示します。

概略表に戻ります。

表 8-24. I2T_TRIP_CONFIG_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	Fh	予約済み
11-8	予約済み	R	8h	予約済み
7-4	予約済み	R	Fh	予約済み
3-0	I2T_TRIP_CH1	R/W	8h	これらのビットは、チャンネル 1 の I2T トリップ値を設定します。 注: 参考として、I2T トリップ値の式を以下に示します。 DCR_CH1 = 0 の場合: $I2T_TRIP = I_{OUT1}^2 \times t$ DCR_CH1 = 1 の場合: $I2T = (I_{OUT1}^2 - NOM_CUR_CH1^2) \times t$ 注: デバイスがクールダウン期間中の場合、I2T_TRIP_CH1 の値は変更できません。 DCR = 0 での I2T 設定: 0x0 = 256.3 A2s 0x1 = 384.4 A2s 0x2 = 768.7 A2s 0x3 = 1153 A2s 0x4 = 1537.3 A2s 0x5 = 1921.5 A2s 0x6 = 2305.8 A2s 0x7 = 2690.1 A2s 0x8 = 3202.5 A2s 0x9 = 3714.9 A2s 0xA = 4227.2 A2s 0xB = 4867.7 A2s 0xC = 5636.3 A2s 0xD = 6404.9 A2s 0xE = 7685.8 A2s 0xF = 10247.7 A2s DCR = 1 での I2T 設定: 0h = 112.9 A2s 1h = 169.3 A2s 2h = 338.5 A2s 3h = 507.7 A2s 4h = 677 A2s 5h = 846.2 A2s 6h = 1015.4 A2s 7h = 1184.6 A2s 8h = 1410.3 A2s 9h = 1635.9 A2s Ah = 1861.5 A2s Bh = 2143.6 A2s Ch = 2482 A2s Dh = 2820.5 A2s Eh = 3384.5 A2s Fh = 4512.7 A2s

8.1.22 I2T_ACC_RD_CH1 レジスタ (オフセット = 1Fh) [リセット = 0000h]

I2T_ACC_RD_CH1 を表 8-25 に示します。

[概略表](#)に戻ります。

表 8-25. I2T_ACC_RD_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	I2T_ACC_RD_CH1	R	0h	CH1 の I2T アキュムレータの 16 MSB ビット

8.1.23 IOCP_CONFIG_CH1 レジスタ (オフセット = 35h) [リセット = FFFXh]

IOCP_CONFIG_CH1 を表 8-26 に示します。

[概略表](#)に戻ります。

表 8-26. IOCP_CONFIG_CH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	Fh	予約済み
11-8	予約済み	R/W	Fh	予約済み
7-4	予約済み	R/W	Fh	予約済み
3-0	IOCP_SET_CH1	R/W	X	これらのビットは、チャンネル 1 の過電流保護 (I _{OCP}) スレッシュホールドを決定します。 0h = 18.5A 1h = 22.2A 2h = 25.9A 3h = 29.6A 4h = 33.3A 5h = 37A 6h = 40.7A 7h = 44.4A 8h = 48.1A 9h = 51.8A Ah = 55.5A Bh = 59.2A Ch = 62.9A Dh = 66.6A Eh = 70.3A Fh = 74A

8.1.24 UV_CONFIG レジスタ (オフセット = 37h) [リセット = 0XFXh]

表 8-27 に、UV_CONFIG を示します。

概略表に戻ります。

表 8-27. UV_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	UVLO_SET	R/W	0h	これらのビットは、デバイスの UVLO 立ち下がりスレッシュホールドを設定します 00h = UVLO ディセーブル 01h = 4.5V 02h = 5 V 03h = 6 V 04h = 7 V 05h = 8 V 06h = 9 V 07h = 16 V 08h = 18 V 09h = 20 V 0Ah = 22 V 0Bh = 24 V 0Ch = 26 V 0Dh = 28 V 0Eh = 30 V 0Fh = 32 V
11-10	予約済み	R/W	3h	予約済み
9-8	UVLO_MASK	R/W	X	これらのビットは、UVLO マスキング時間設定を設定します 0h = 0μs 1h = 10μs 2h = 50μs 3h = 200μs
7-4	予約済み	R	Fh	予約済み
3-2	予約済み	R	3h	予約済み
1	UVLO_LPM_EN	R/W	X	このビットは、LPM で UVLO が有効になっている場合に設定されます 0h = LPM で UVLO 機能が無効化 1h = LPM で UVLO 機能が有効化
0	予約済み	R	1h	予約済み

8.1.25 DEV_CONFIG_2 レジスタ (オフセット = 3Dh) [リセット = FFE0h]

DEV_CONFIG_2 を表 8-28 に示します。

[概略表](#)に戻ります。

表 8-28. DEV_CONFIG_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R	7FFh	予約済み
4	LIMPHOME_STAT_FLT_EN	R/W	0h	このビットは、FLT ピンの LIMPHOME_STAT ビットを有効化します。 0h = LIMPHOME_STAT ビットは FLT ピンで通知されません 1h = LIMPHOME_STAT ビットが FLT ピンで通知されます
3-2	CONFIG_DI_MASK	R/W	0h	このビットは、Dix/OUT_DISx ピンのマスクング時間を設定します 0h = 0μs 1h = 6.5μs 2h = 10μs 3h = 20μs
1-0	CONFIG_LHI_MASK	R/W	0h	このビットは、LHI ピンのマスクング時間を設定します 0h = 0μs 1h = 6.5μs 2h = 10μs 3h = 20μs

8.1.26 EEPROM_PROG レジスタ (オフセット = 3Fh) [リセット = FFFCh]

表 8-29 に、EEPROM_PROG を示します。

概略表に戻ります。

表 8-29. EEPROM_PROG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R	3FFFh	予約済み
1	EEPROM_BUSY	R	0h	EEPROM プログラミング ステータス 0h = デバイスは EEPROM プログラミング 手順中ではありません 1h = デバイスは現在 EEPROM プログラミング 手順中です
0	PROG_NVM	R	0h	EEPROM プログラミング制御ステータス ビット。このビットは、EEPROM プログラミングが完了すると自動でクリアし、0 になります。 1h = デバイスは EEPROM をプログラムしています

8.2 EEPROM (NVM) の概要

TPS48xHSxx-Q1 は、一部の構成レジスタおよびユーザー定義のプログラマブル レジスタ用として、ユーザーがプログラム可能な電氣的にプログラム可能な読み取り専用メモリ (EEPROM) を備えています。これにより、ユーザーはこれらのレジスタのデフォルト値を再プログラムすることができます。表に、EEPROM プログラミング手順により、どのレジスタをプログラムできるかを示します。

表 8-30. レジスタの概要

オフセット	レジスタ名	EEPROM ユーザー プログラマブル
00h	DEV_ID	N
01h	SLEEP	N
02h	LPM	N
03h	FAULT_GLOBAL	N
04h	FAULT_MASK	Y
05h	BIST_RESULT_CH1	N
06h	SW_STATE	N
07h	DEVICE_TEST_CH1	N
08h	DEV_CONFIG	Y
09h	ADC_CONFIG	N
0Ah	ADC_RESULT_VBB	N
0Bh	ADC_RESULT_BIST	N
0Ch	FLT_STAT_CH1	N
0Dh	PWM_CH1	Y
0Eh	ILIM_CONFIG_CH1	Y
0Fh	DIAG_CONFIG_CH1	Y
10h	ADC_RESULT_CH1_I	N
11h	ADC_RESULT_CH1_T	N
12h	ADC_RESULT_CH1_V	N
14h	I2T_CONFIG_CH1	Y
1Eh	I2T_TRIP_CH1	Y
1Fh	I2T_ACC_RD_CH1	N
35h	IOCP_CONFIG_CH1	Y
37h	UV_CONFIG	Y
3Dh	DEV_CONFIG_2	Y

表 8-30. レジスタの概要 (続き)

オフセット	レジスタ名	EEPROM ユーザー プログラマブル
3Fh	EEPROM_PROGRAM_CONTROL_STATUS	Y

EEPROM のプログラミング手順

ユーザーがプログラム可能なレジスタのデフォルト値は、以下の手順によって再プログラムすることができます。EEPROM を正しく再プログラムするには、以下の条件を満たす必要があります

- VBB 電圧 $\geq 6V$ 、デバイスの GND を基準とします
- VDD 電圧 $> VDD_UVLO$ 、デバイス GND を基準とします

図に、デフォルト値を再プログラムする手順を示します。

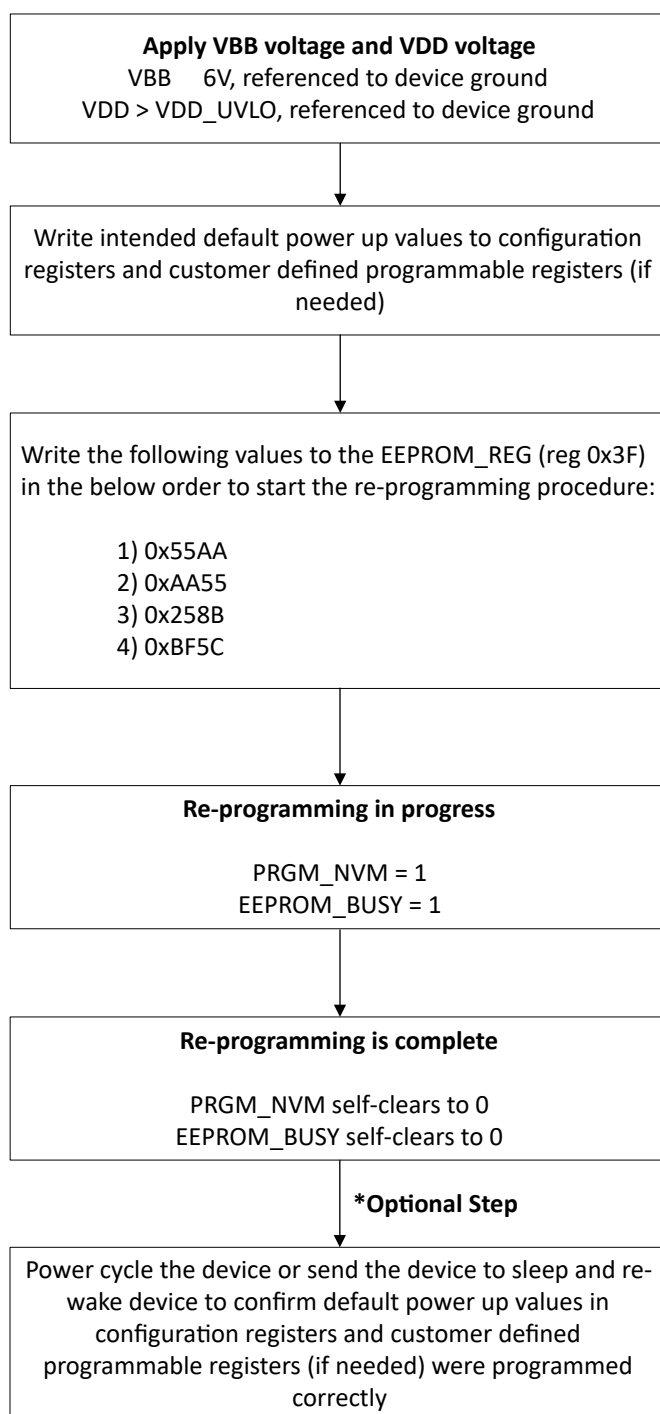


図 8-1. EEPROM の再プログラミング手順

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

図 9-1 は、TPS481HS04-Q1 の代表的なアプリケーションの回路図を示しています。すべての標準的な外付け部品が含まれています。このセクションでは、一般的に必要なアプリケーション機能を実装する際の検討事項について説明します。この回路は、入力電源の逆極性保護を想定していないため、保護のための追加部品が必要です。

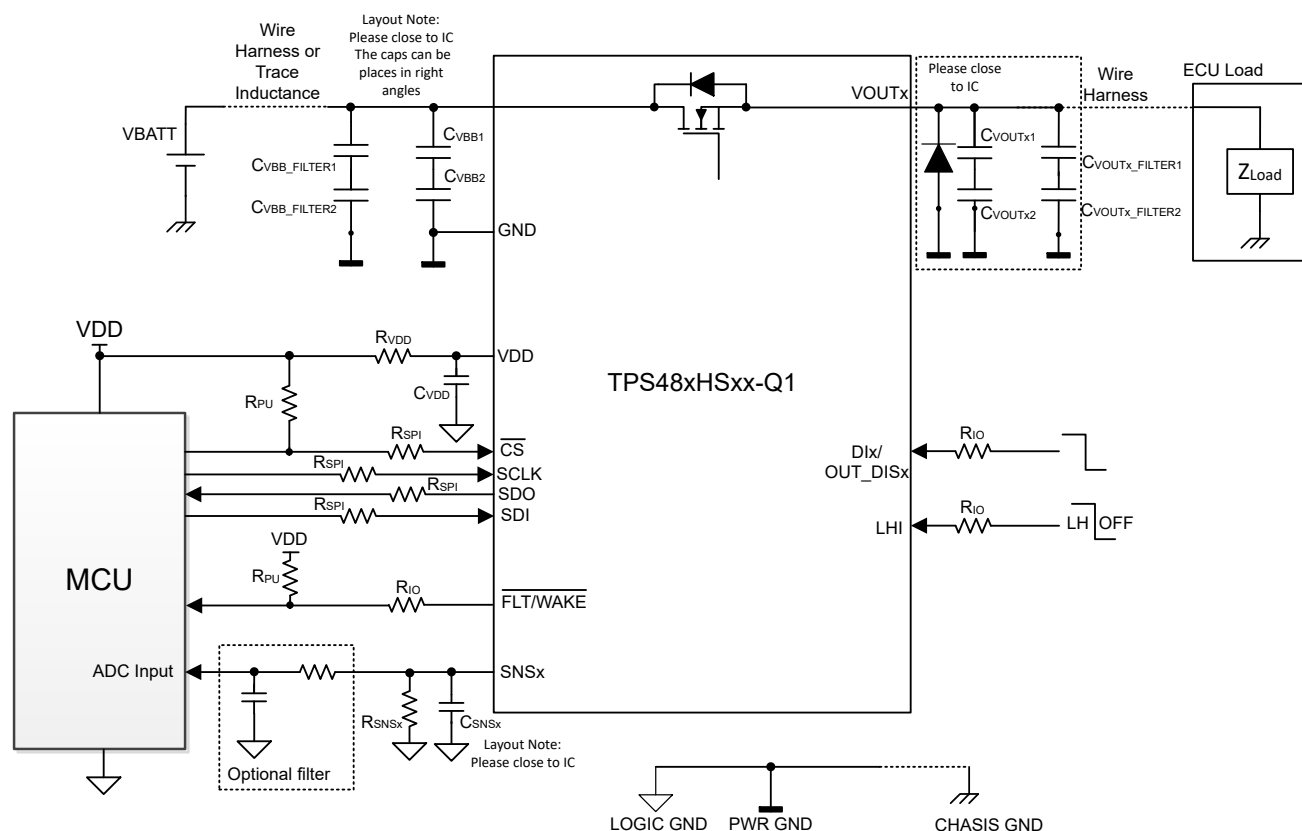


図 9-1. システム図

表 9-1. 推奨外付け部品

部品	標準値	目的
R_{SPI}	10 ~ 1000 Ω	SPI ピンの EMI またはその他の過渡制限用。
R_{IO}	0.01 ~ 10k Ω	マイコンとデバイスの GPIO ピンを保護します
R_{PU}	4.7k Ω	
R_{SNSx}	0.5 - 1.5k Ω	センス電流を ADC 入力のセンス電圧に変換します
C_{SNSx}	1 ~ 10nF	ADC 入力用のローパスフィルタ。

表 9-1. 推奨外付け部品 (続き)

部品	標準値	目的
出力ダイオード	出力ワイヤのインダクタンス > 5 μ H の場合はオプション	スイッチ オフ時の出力ワイヤハーネスによる過渡電圧をクランプします
R _{VDD}	1 ~ 10 Ω	IC への VDD 電源入力の立ち上がり / 立ち下がり速度を制限します。
C _{VDD}	470 ~ 1000nF	システム グランドに対する VDD 電源電圧の安定性。
C _{VBB1} 、C _{VBB2}	220 ~ 4700nF	グラウンドへのハード短絡フォルト イベント中の低電圧を防止します
C _{VBB_FILTER}	220 ~ 4700nF	入力電源を安定させ、低周波ノイズをフィルタリングします。
C _{OUTx_FILTER}	22 ~ 100nF	電圧過渡のフィルタリング (ESD、ISO7637-2 など)。
C _{VOUTx1} 、C _{VOUTx2}	22 ~ 100nF	電圧過渡のフィルタリング

9.2 代表的なアプリケーション

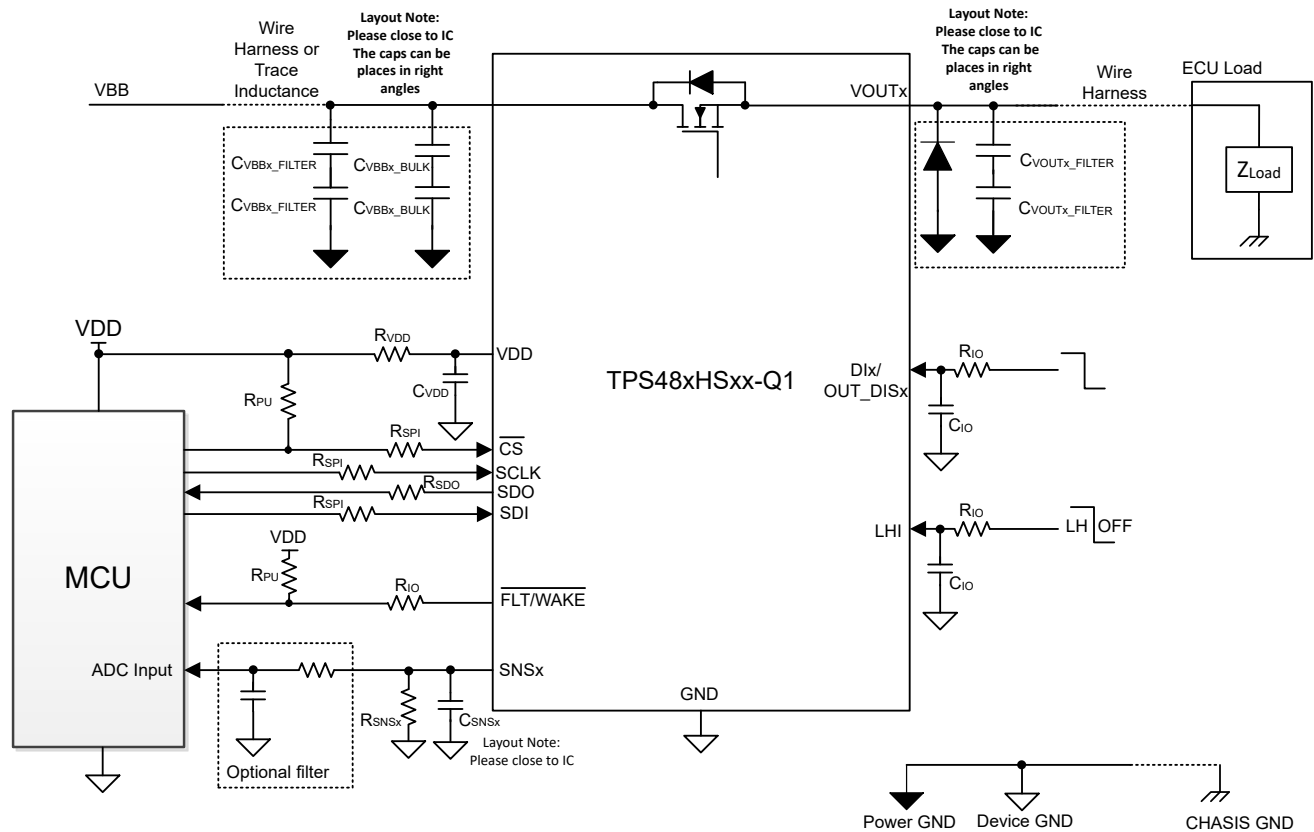


図 9-2. 入力容量を使用して ECU 負荷に給電する回路のブロック図

プログラミング手順の例

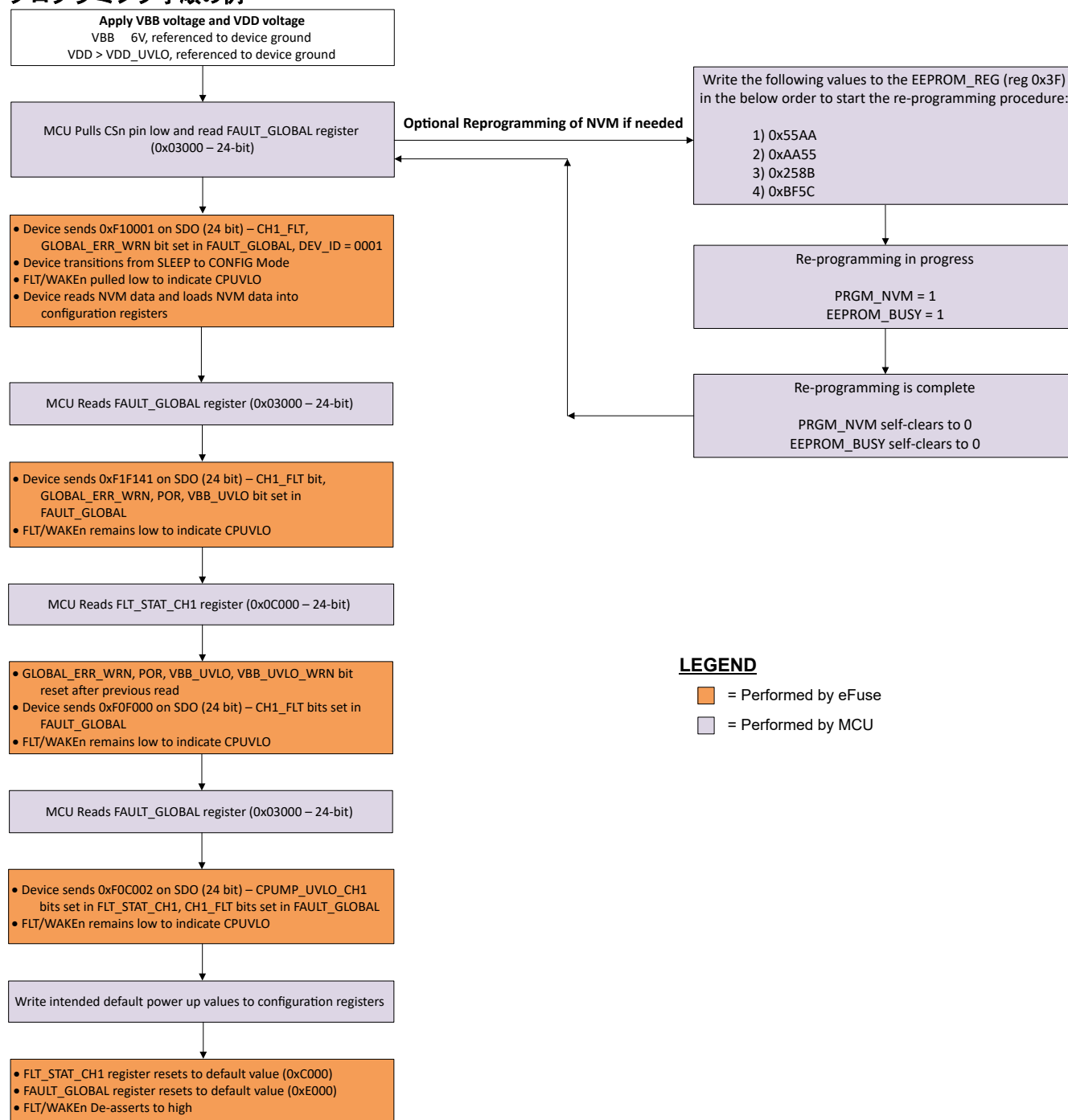


図 9-3. TPS481HS04-Q1 プログラミング手順の例

9.2.1 設計要件

この設計例では、表 9-2 に示すパラメータを使用します。

表 9-2. 設計パラメータ

設計パラメータ	数値の例
V _{BB}	48V

表 9-2. 設計パラメータ (続き)

設計パラメータ	数値の例
低電圧誤動作防止設定ポイント、 $V_{(VBB_UVLOF)}$	24V
負荷ウェークアップ スレッショルド、 I_{LWU}	小さい FET、0.23A
電流制限、 I_{CL_REG}	8.1A
出力バルク キャパシタ、 C_{BULK}	680μA
I2t 開始スレッショルド、 I_{NOM}	15.5A
過電流スレッショルド、 I_{OCP}	62.9A

9.2.2 詳細な設計手順

表 9-3. 構成レジスタの設定

ビットフィールド名	設定
CAP_CHRG_CHx	コンデンサ充電方式を設定します
INRUSH_LIMIT_CHx	突入電流制限値を設定します
INRUSH_DURATION_CHx	突入期間を設定します
LPM_EXIT_CURR_CHx	負荷ウェークアップ電流を設定します
UV_CONFIG_CHx	VBB UVLO スレッショルド、ヒステリシス、マスキング時間を設定します
I2T_CONFIG_CHx	I2t 開始スレッショルド、クールダウン タイマを設定します
I2T_TRIP_CHx	I2t トリップ スレッショルドを設定します
SCP_CONFIG_CHx	SCP スレッショルド、マスキング時間を設定します
LATCH_CHx	自動再試行またはラッチ

9.2.3 アプリケーション曲線

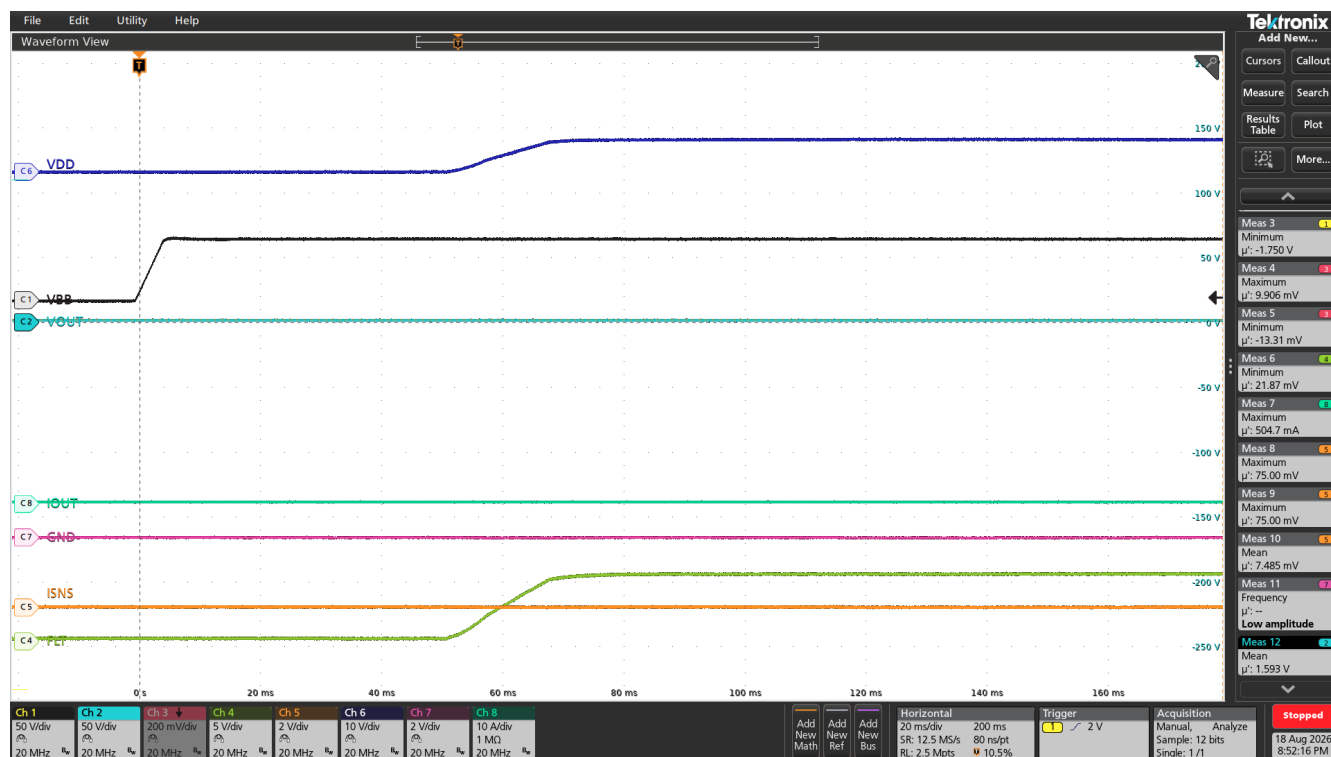


図 9-4. 起動プロファイル

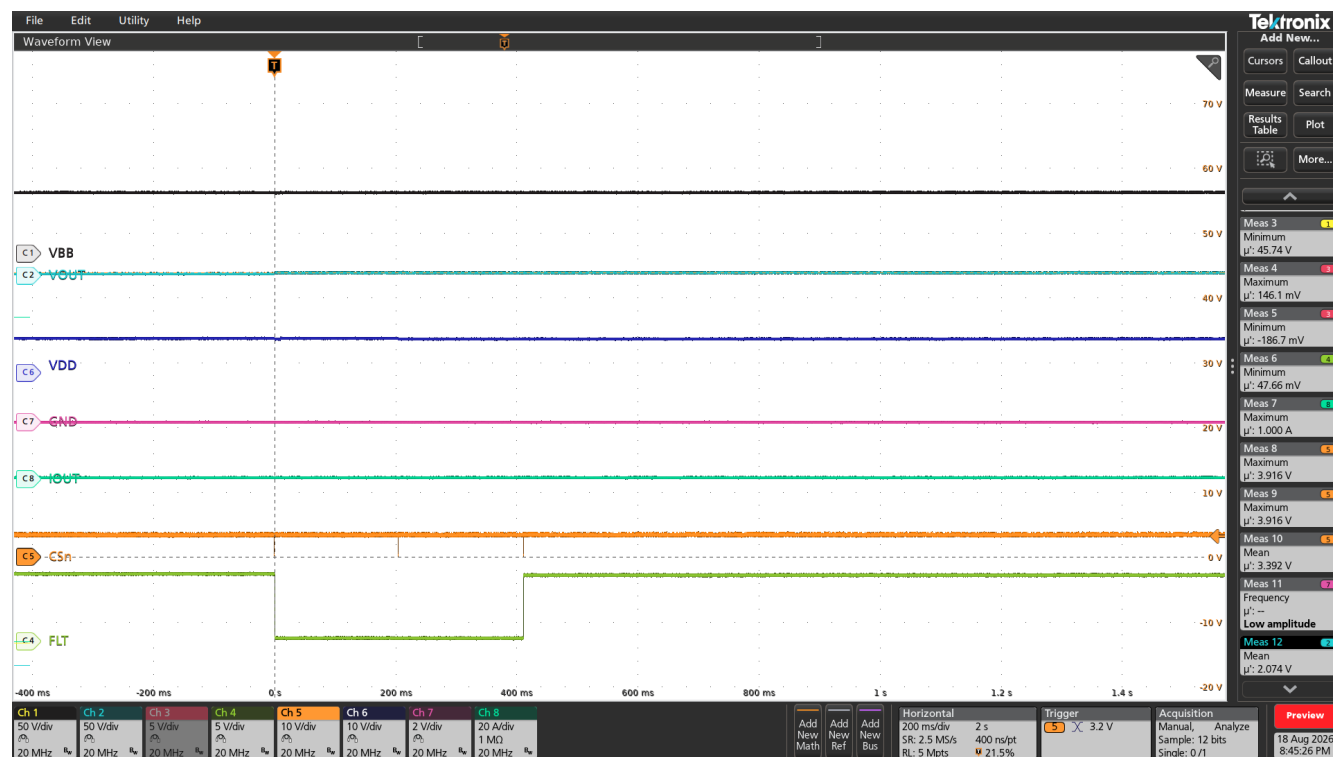


図 9-5. デバイスが SLEEP モードから CONFIG モードに移るように、CS を High から Low にプルし、最初に FLT_STAT_CHx を読み取り、次に FAULT_GLOBAL レジスタを読み取ってこれらのレジスタをクリアし、FLT/WAKE ピンをデアサート

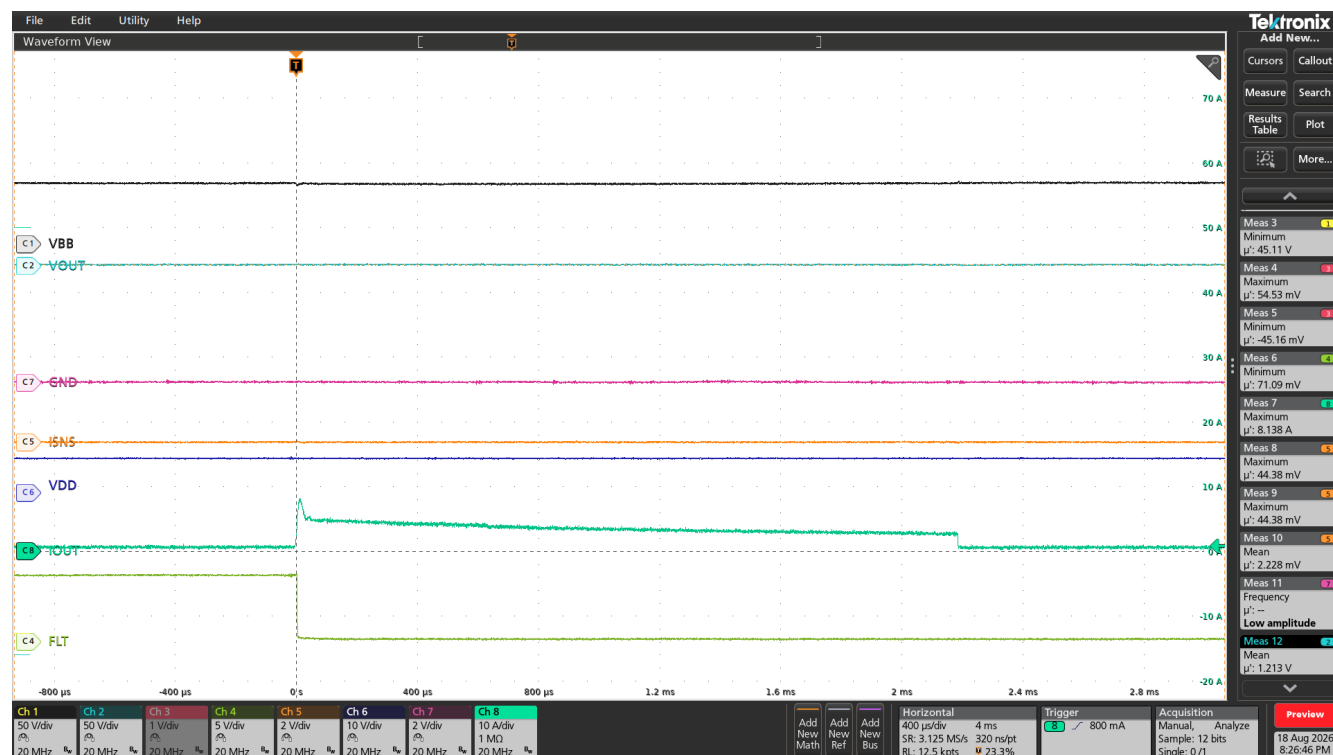


図 9-6. CAP_CHRG_CHx = 0x2 (電流制限レギュレーション モード)、COUT = 680μF で、CHx_ON ビットを「0」から「1」に設定

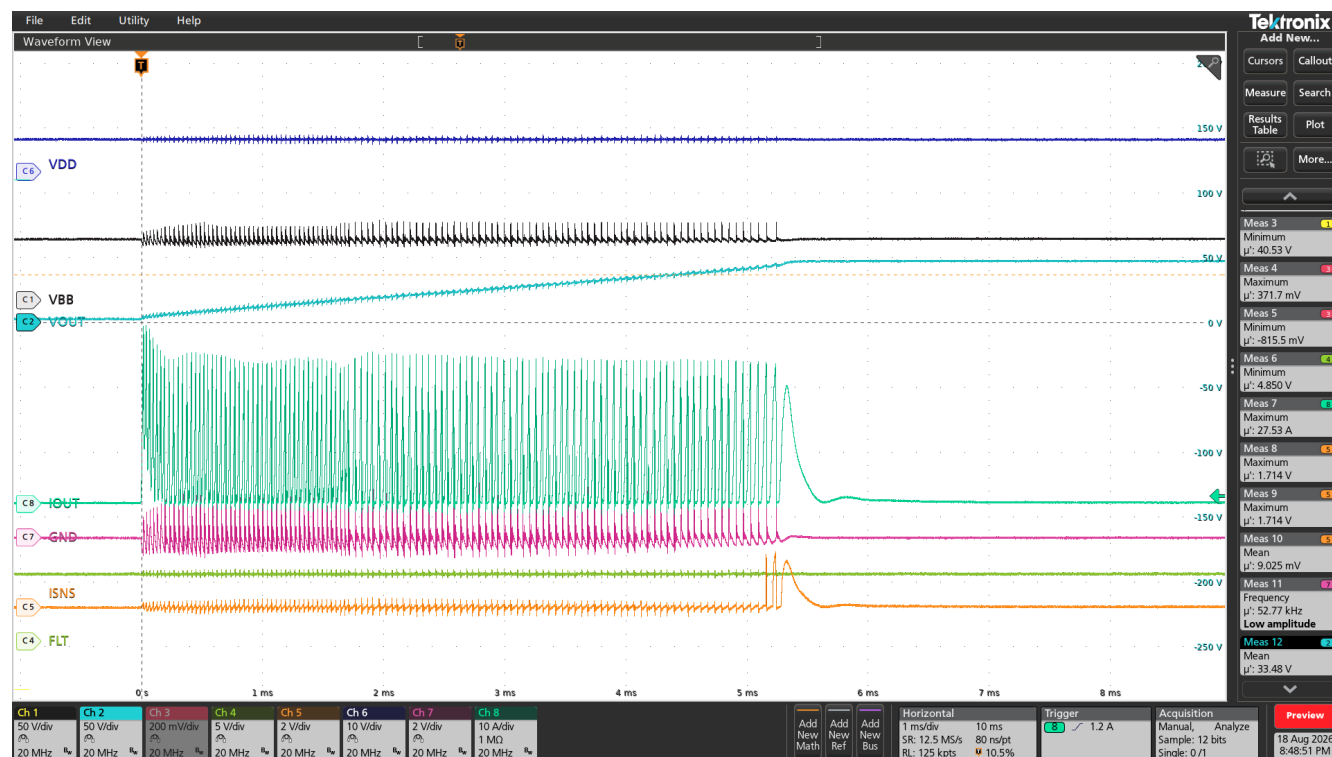


図 9-7. CAP_CHRG_CHx = 0x3 (PWM 方式)、COUT = 680 μ F、LIN = 0.5 μ H、LOUT = 0.5 μ H で、CHx_ON ビットを「0」から「1」に設定

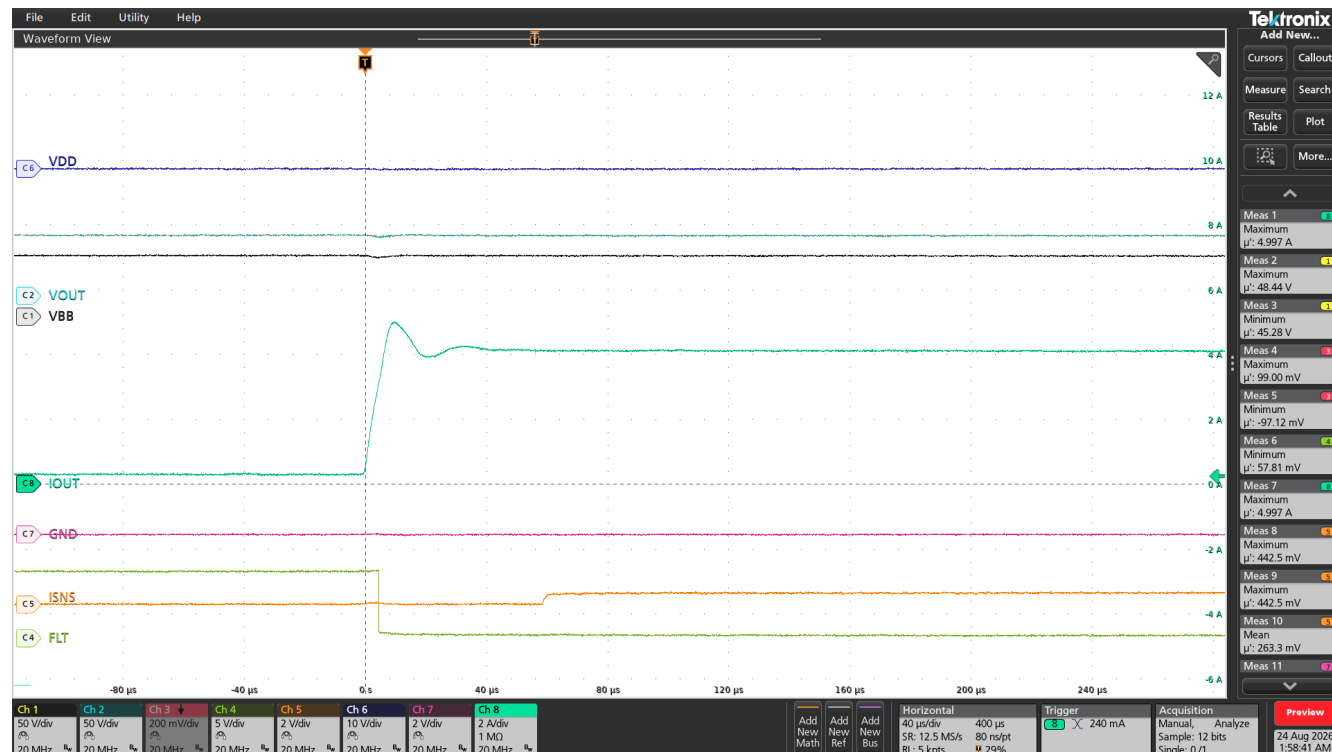


図 9-8. 負荷電流の増加による LPM からアクティブ モードへの移行

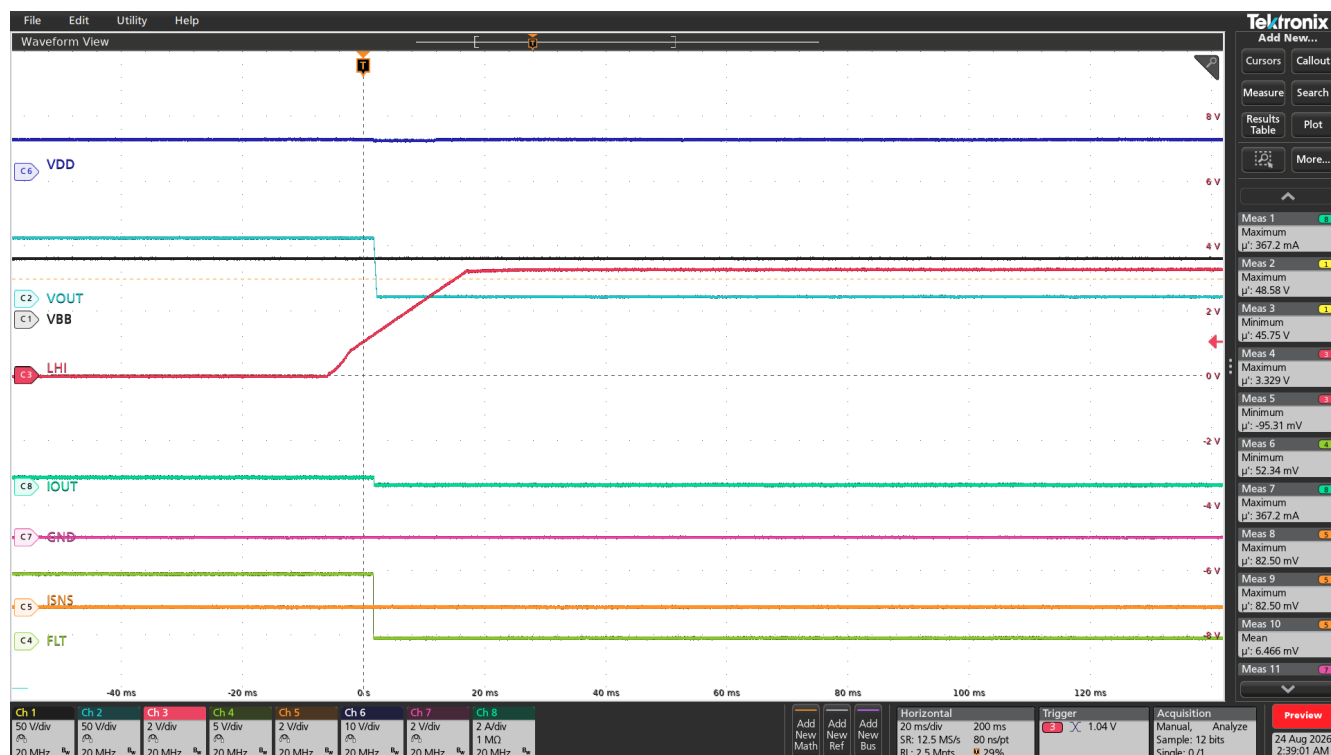


図 9-9. LHI を Low から High にプルした時の、LPM から LIMPHOME モードへの移行

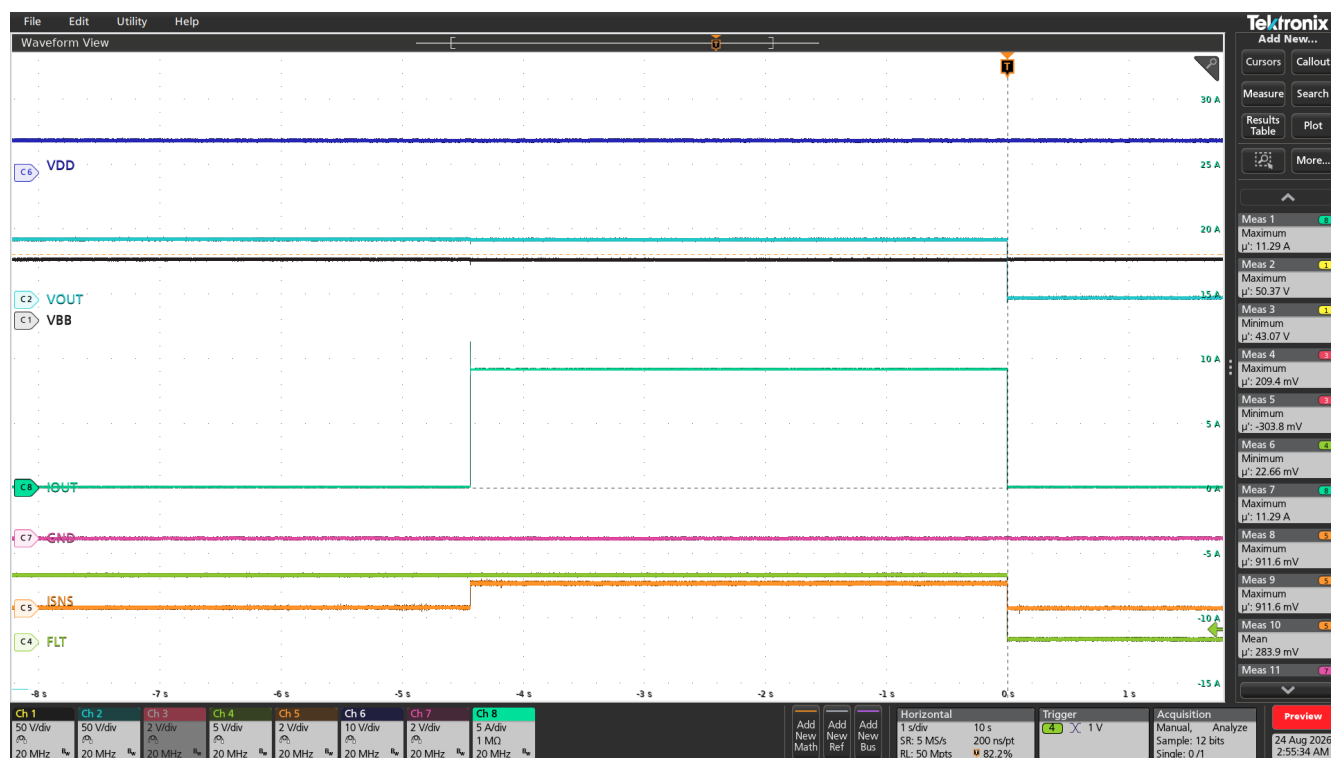


図 9-10. ACTIVE モードでの I2T 保護動作

9.3 電源に関する推奨事項

このデバイスは、24V または 48V の車載システムで動作するように設計されています。このデバイスは、バッテリー入力と、低電圧電源入力 (5V または 3.3V) の 2 つの電源入力で動作します。低電圧電源は、通常 DC/DC コンバータ (バッテリーからの静止電流引き込みを減らすために推奨されます) か、IC 外部の LDO によってバッテリーから生成されます。

デバイスの GND ピンを基準として V_{BB} ピンで測定される公称電源電圧範囲は 8V ~ 60V です。この範囲であれば、デバイスは「電气的特性」表に記載されている全パラメータ仕様を満たします。また、本デバイスは、負荷ダンプなど、この範囲を超える電圧過渡に耐えるよう設計されています。公称電圧範囲外で動作するが動作電圧範囲内である場合、デバイスは通常の機能動作を示します。

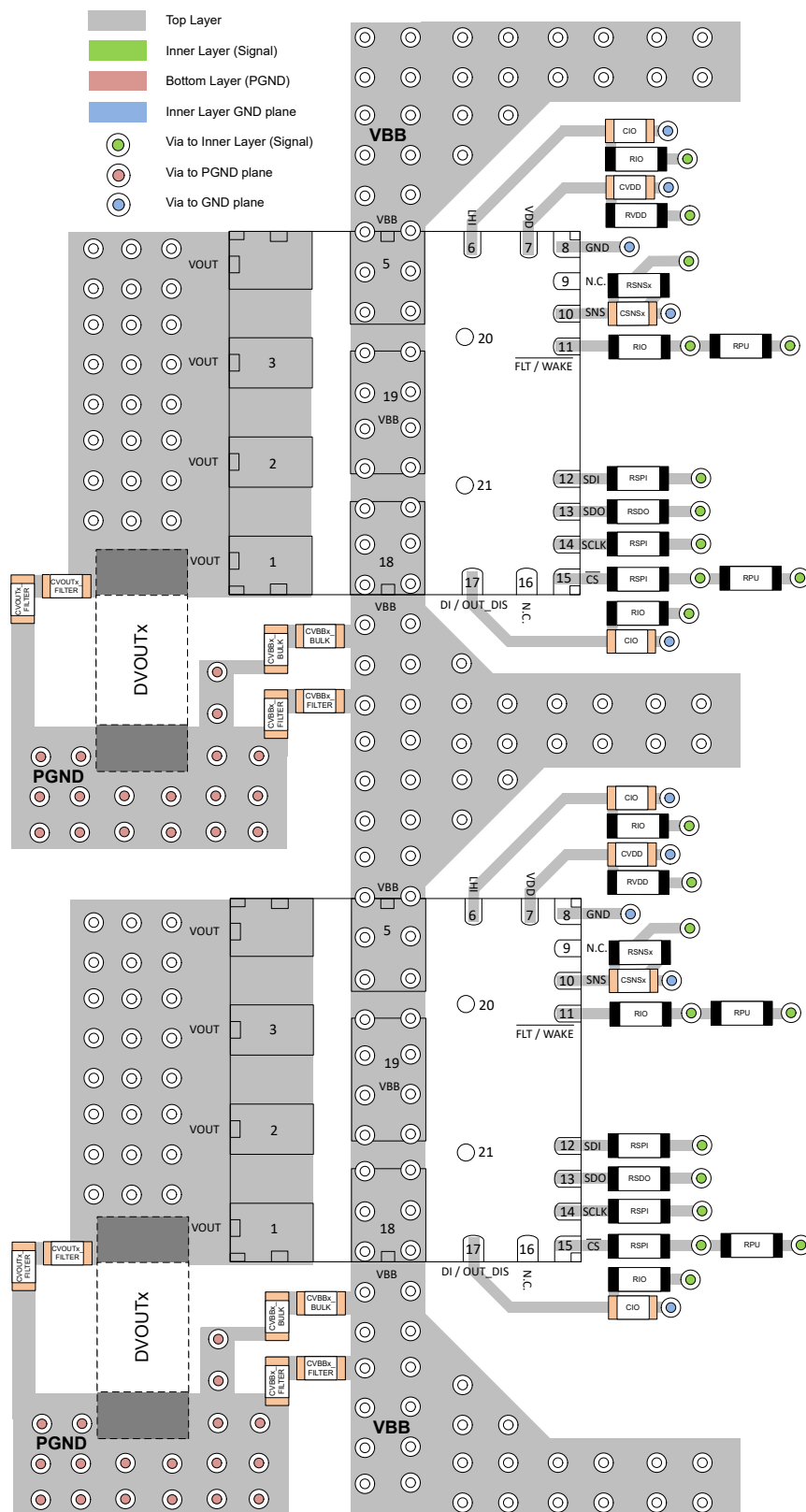
9.4 レイアウト

9.4.1 レイアウトのガイドライン

最適な放熱性能を得るためには、露出しているサーマルパッド (V_{BB} ピンに接続されている) を大きなベタ銅箔に接続してください。以下の例に示されているように、PCB の最上層では、ベタをパッケージの寸法を超えて広げることができます。これに加えて、TI は PCB 内層の 1 つか最下層に V_{BB} プレーンを配置することを推奨します。

ビアを通じて、これらのプレーンを最上層の V_{BB} ベタに接続する必要があります。TI は、コントローラに接続される IO ピンがビアを経由して、PCB の内部層または最下層に配線されることを推奨します。

9.4.2 レイアウト例



ADVANCE INFORMATION

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

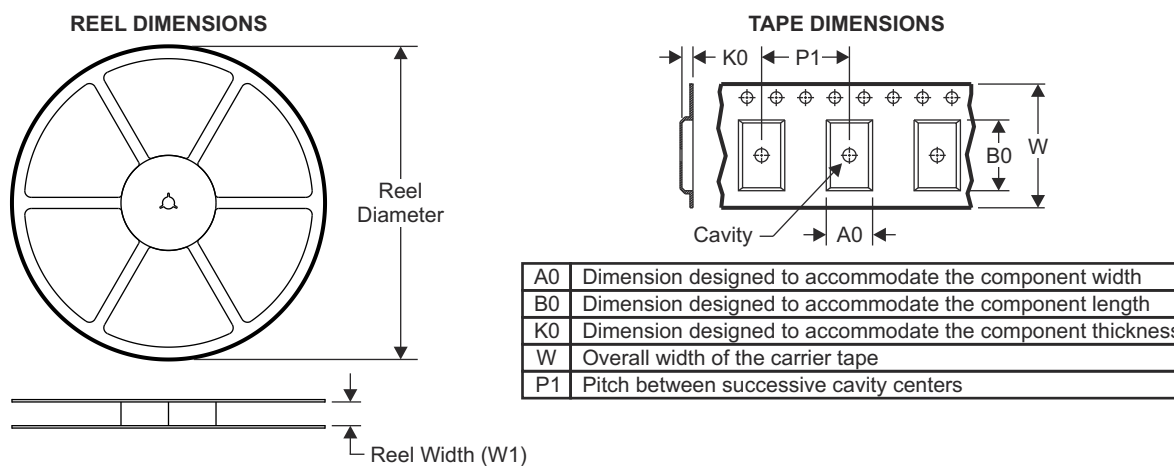
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
September 2026	*	初版リリース

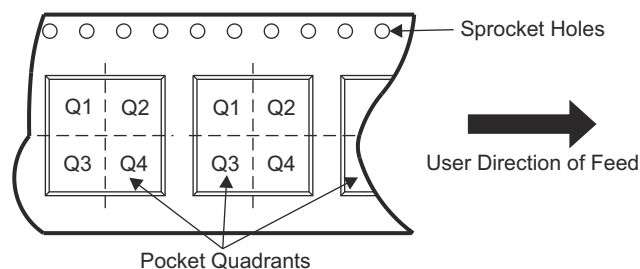
12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

12.1 テープおよびリール情報

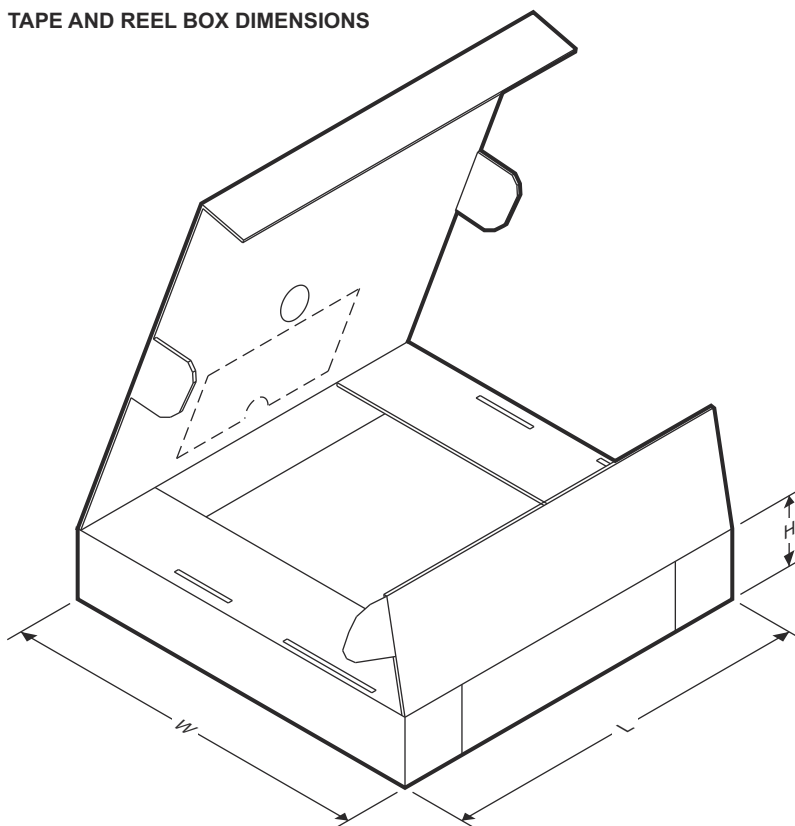


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
PTPS481HS04QRBLR Q1	QFN	RBL	21	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PTPS481HS04QRBLRQ1	QFN	RBL	21	3000	367.0	367.0	38.0

12.2 メカニカル データ

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

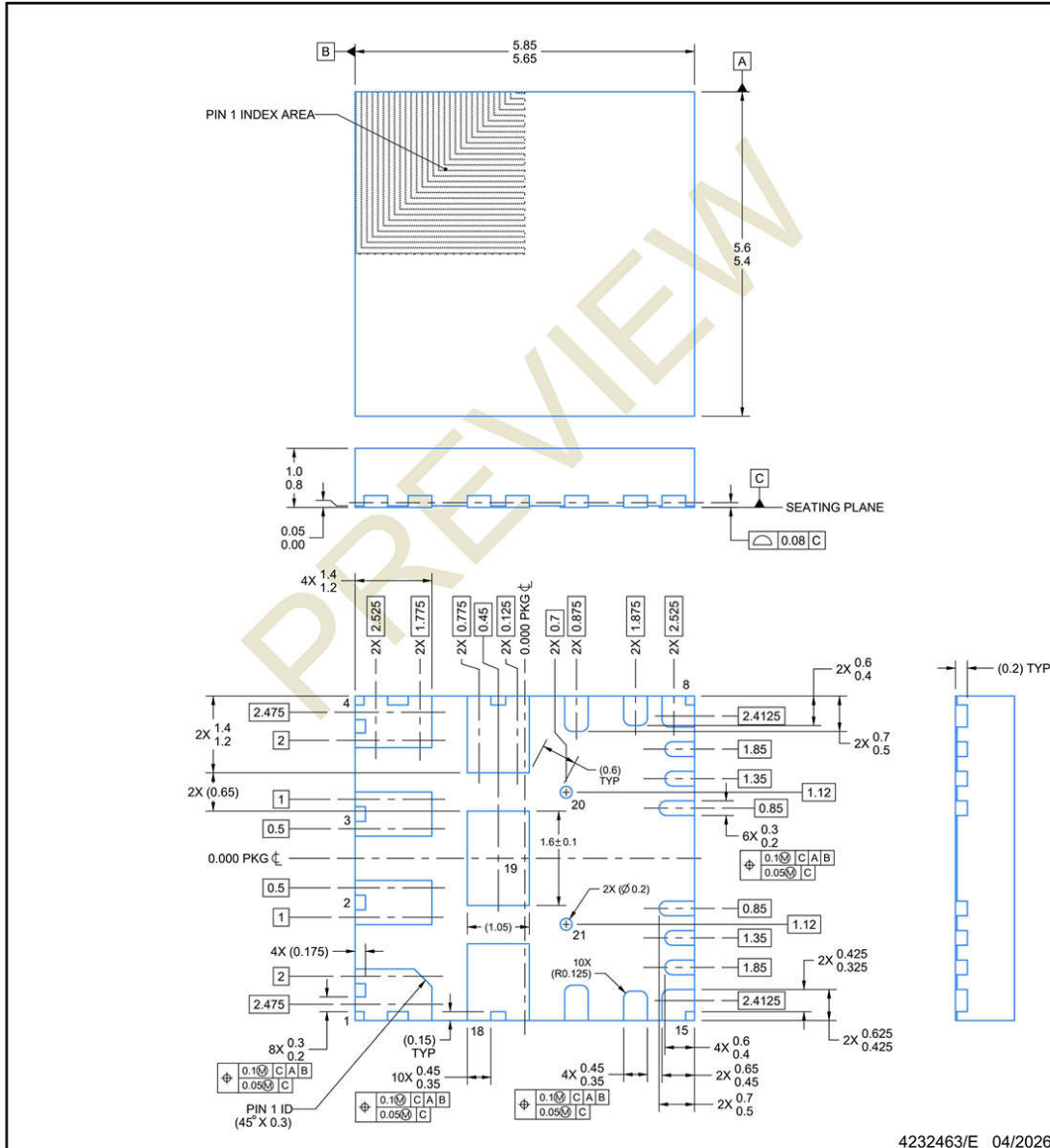
RBL0021A



PACKAGE OUTLINE

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

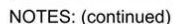


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

VQFN-HR - 1 mm max height

ADVANCE INFORMATION



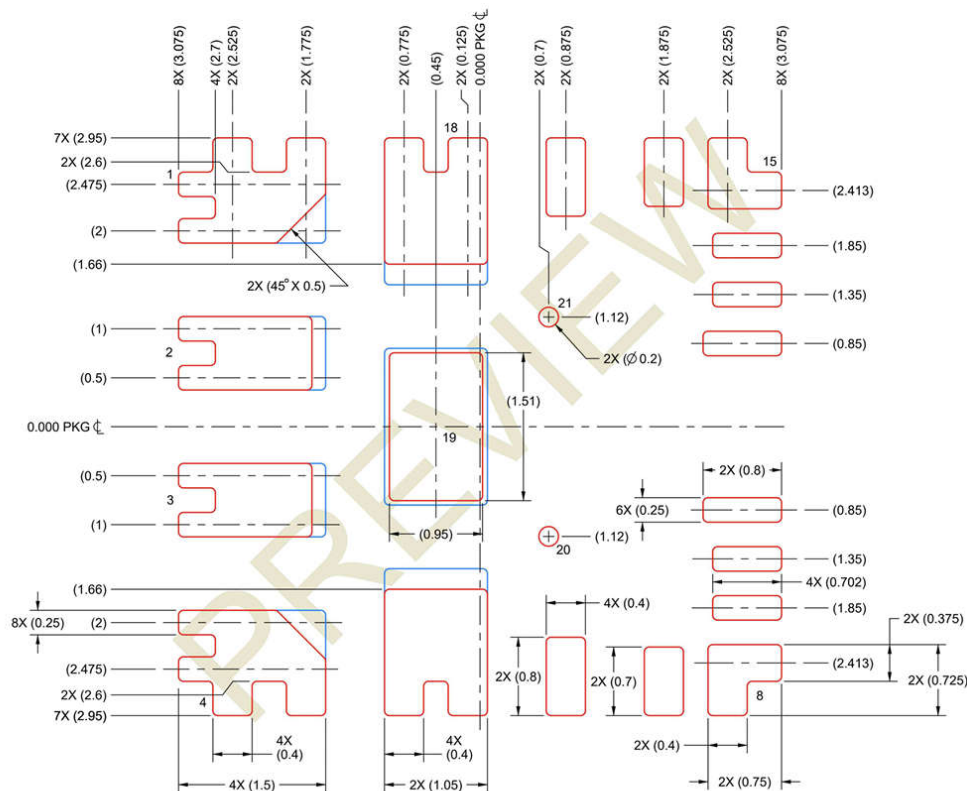
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).

EXAMPLE STENCIL DESIGN

RBL0021A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4232463/E 04/2026

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS481HS04QRBLRQ1	Active	Preproduction	VQFN-HR (RBL) 21	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月