

TPS53015 PGOOD 搭載、4.5V ~ 28V 入力、D-CAP2™ 同期整流降圧コンバータ

1 特長

- D-CAP2™ 制御トポロジ
 - 高速過渡応答
 - ループ補償に外付け部品は不要
 - 出力セラミック コンデンサに対応
- 高精度な初期リファレンス ($\pm 1\%$)
- 広い入力電圧範囲: 4.5V ~ 28V
- 出力電圧: 0.77V ~ 7V
- ローサイド $R_{DS(on)}$ 損失のない電流センシング
- 固定ソフトスタート時間: 1.4ms
- シンクなしのプリバイアス付きソフト スタート
- スwitchング周波数: 500kHz
- サイクル単位の過電流制限の制御
- 自動スキップ Eco モードによる軽負荷時の高い効率
- パワー グッド出力
- OCL、OVP、UVP、UVLO、TSD 保護機能
- 昇圧 PMOS スイッチ内蔵の適応型ゲートドライバ
- 熱補償付き OCP、4000ppm/°C
- 10 ピン VSSOP

2 アプリケーション

- 広範なアプリケーション向け低消費電力システムでの POL レギュレーション
 - デジタル テレビ用電源
 - ネットワーク ホーム ターミナル
 - デジタル セットトップ ボックス (STB)
 - DVD プレーヤー/レコーダー
 - ゲーム機など

3 説明

TPS53015 デバイスは、適応型オン時間 D-CAP2 制御トポロジのシングル同期整流降圧コントローラです。このデバイスを採用することで、各種機器の電源バス レギュレータに対して、コスト効果が高く、外付け部品点数の少ない、低スタンバイ電流設計を実現できます。TPS53015 の主制御ループは、外部補償部品なしで非常に高速な過渡応答が得られる D-CAP2 制御トポロジを使用しています。適応型オン時間制御により、重負荷時には PWM モード動作、軽負荷時には Eco モード動作へシームレスに移行できます。Eco モード動作により、このデバイスは軽負荷条件時に高い効率を維持できます。また、POSCAP や SP-CAP などの低 ESR (等価直列抵抗) 出力コンデンサと超低 ESR セラミック コンデンサの両方に対応できます。このデバイスは、4.5V ~ 28V の入力電圧と 0.77V ~ 7V の出力電圧に対応し、便利で効率的な動作を実現できます。

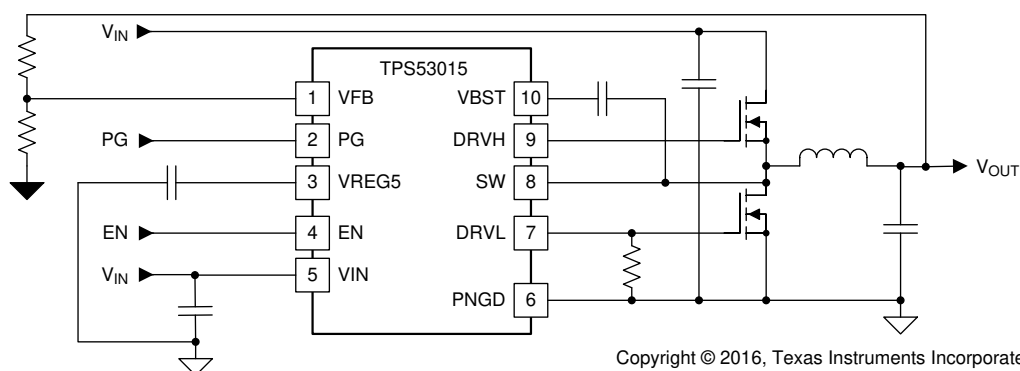
TPS53015 は 3mm×3mm の 10 ピン VSSOP (DGS) パッケージで提供され、 -40°C ~ 85°C の周囲温度での動作が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TPS53015	DGS (VSSOP、10)	3mm × 4.9mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



Copyright © 2016, Texas Instruments Incorporated

アプリケーション概略図



目次

1 特長	1	6.4 デバイスの機能モード	12
2 アプリケーション	1	7 アプリケーションと実装	13
3 説明	1	7.1 使用上の注意.....	13
4 ピン構成および機能	3	7.2 代表的なアプリケーション.....	14
5 仕様	4	7.3 電源に関する推奨事項.....	17
5.1 絶対最大定格.....	4	7.4 レイアウト.....	17
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート	19
5.3 推奨動作条件.....	4	8.1 ドキュメントのサポート.....	19
5.4 熱に関する情報.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	19
5.5 電気的特性.....	5	8.3 サポート・リソース.....	19
5.6 代表的特性.....	7	8.4 商標.....	19
6 詳細説明	10	8.5 静電気放電に関する注意事項.....	19
6.1 概要.....	10	8.6 用語集.....	19
6.2 機能ブロック図.....	10	9 改訂履歴	19
6.3 機能説明.....	10	10 メカニカル、パッケージ、および注文情報	21

4 ピン構成および機能

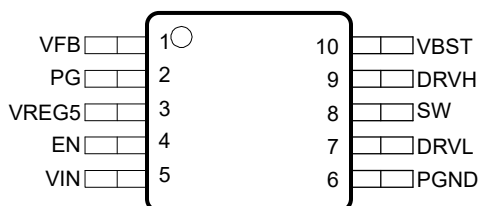


図 4-1. DGS パッケージ、10 ピン VSSOP (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
DRVH	9	O	ハイサイド N チャンネル MOSFET ゲートドライバ出力。SW 基準のドライバは、SW(OFF) と VBST(ON) の間で切り替わります。
DRVL	7	O	ローサイド N チャンネル MOSFET ゲートドライバ出力。PGND 基準のドライバは、PGND(OFF) と VREG5(ON) の間で切り替わります。
EN	4	I	イネーブル。High にすると、コンバータが有効になります。
PG	2	O	オープンドレインのパワー グッド出力。
PGND	6	I	システム グランド。
SW	8	I/O	ハイサイド ドライバと過電流コンパレータの両方に対するスイッチ ノード接続。
VBST	10	I	ハイサイド MOSFET ゲートドライバ ブートストラップ電圧入力。VBST と SW の間にコンデンサを接続します。内部ダイオードは、VREG5 と VBST の間に接続されています。
VFB	1	I	D-CAP2 制御トポロジ フィードバック入力。抵抗デバイダを使用して出力電圧に接続します。
VIN	5	I	5V リニア レギュレータの電源入力。0.1μF 以上の高品質セラミック コンデンサを使用して GND にバイパスします。
VREG5	3	O	5V リニア レギュレータの出力と MOSFET ドライバ用電源。4.7μF 以上の高品質セラミック コンデンサを使用して GND にバイパスします。EN が High にアサートされると、VREG5 がアクティブになります。

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
入力電圧範囲	VIN、EN、SW	-0.3	30	V
	VBST	-0.3	36	
	(VBST - SW)、VFB	-0.3	6	
	SW (10ns の過渡)	-3.0	30	
出力電圧範囲	DRVH	-2	36	V
	DRVH - SW	-0.3	6	
	DRVL、VREG5、PG	-0.3	6	
	PGND	-0.3	0.3	
接合部温度範囲、T _J		-40	150	°C
保管温度、T _{stg}		-55	150	°C

- (1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示す値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 電圧はすべて、デバイスの GND ピンを基準にしています。

5.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠 ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
電源入力電圧範囲	VIN	4.5	28	V
入力電圧範囲	VBST	-0.1	33.5	V
	VBST - SW	-0.1	5.5	
	VFB	-0.1	5.5	
	EN	-0.1	28	
	SW	-1.0	28	
出力電圧範囲	DRVH	-1.0	33.5	V
	DRVH - SW	-0.1	5.5	
	DRVL、VREG5、PG	-0.1	5.5	
	PGND	-0.1	0.1	
自由気流での動作温度 (T _A)		-40	85	°C
動作時の接合部温度、T _J		-40	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS53015	単位
		DGS (VSSOP)	
		10 ピン	
R _{θJA}	接合部から周囲への熱抵抗	109.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	31.2	°C/W
R _{θJB}	接合部から基板への熱抵抗	54.7	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.9	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	54.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内で、V_{IN} = 12V (特に記述のない限り)

パラメータ		条件	最小値	標準値	最大値	単位
電源電流						
I _{IN}	電源電流	V _{IN} 電流、E _N = 5V、V _{VFB} = 0.8V、 V _{SW} = 0V、 T _A = 25°C		660		μA
I _{VINSDN}	シャットダウン電流	V _{IN} 電流、T _A = 25°C、負荷なし、V _{EN} = 0V、V _{REG5} = OFF		6.0		μA
VFB 電圧と放電抵抗						
V _{VFBTHL}	スレッシュホールド電圧	V _{OUT} = 1.05V、T _A = 25°C	765.3	773.0	780.7	mV
TC _{VFB}	温度係数 ⁽¹⁾	T _A = 25°C	-140		140	ppm/°C
I _{VFB}	入力電流	V _{FB} = 0.8V、T _A = 25°C	-150	-10	100	nA
VREG5 OUTPUT						
V _{VREG5}	出力電圧	T _A =25°C、6V < V _{IN} < 28V、I _{VREG5} = 5mA		5.1		V
I _{VREG5}	出力電流	V _{VIN} = 5.5V、V _{VREG5} = 4.0V、T _A = 25°C		120		mA
出力:N チャンネル MOSFET ゲートドライバ						
R _{DRVH}	抵抗	ソース、I _{DRVH} = -50mA、T _A = 25°C		3.2	4.7	Ω
		シンク、I _{DRVH} = 50mA、T _A = 25°C		1.4	2.4	
R _{DRVL}	抵抗	ソース、I _{DRVL} = -50mA、T _A = 25°C		6.9	8.2	Ω
		シンク、I _{DRVL} = 50mA、T _A = 25°C		0.8	1.7	
t _D	デッドタイム ⁽¹⁾	DRVH Low から DRVL オン		15		ns
		DRVL Low から DRVH オン		20		
内蔵ブースト ダイオード						
V _{FBST}	順方向電圧	V _{VREG5-VBST} 、I _F = 10mA、T _A = 25°C		0.1	0.2	V
ソフト スタート時間						
t _{ss}	内部ソフトスタート時間			1.4		ms
パワー グッド						
V _{PGTH}	PGOOD スレッシュホールド	PGOOD Low		84		%
		PGOOD High		116		%
I _{PG}	PGOOD シンク電流	V _{PG} = 0.5V		5		mA

5.5 電気的特性 (続き)

自由気流での動作温度範囲内で、 $V_{IN} = 12V$ (特に記述のない限り)

パラメータ		条件	最小値	標準値	最大値	単位
tPGDLY	PGOOD の遅延時間	PGOOD 入力の遅延	1.2			ms
		PGOOD 出力時の遅延	2			μs
tPGCOMPSS	PGODD コンパレータのスタートアップ遅延	PGOOD コンパレータのウェークアップ遅延	2.3			ms
UVLO						
VUVVREG5	VREG5 UVLO スレッシュホルド	VREG5 の立ち上がり	4.0			V
		ヒステリシス	0.3			
論理スレッシュホルド						
VENH	High レベルのスレッシュホルド電圧		1.6			V
VENL	Low レベルのスレッシュホルド電圧		0.5			V
REN	GND への EN ピン抵抗	VEN = 12V	225	450	900	kΩ
電流検出						
ITRIP	ソース電流	VDRV L = 0.1V、TA = 25°C	14.3	15	15.8	μA
TCVTRIP	VTRIP 温度係数	TA = 25°C に対する相対値	4000			ppm/°C
VOCL	Current limit threshold	RTRIP = 75kΩ、TA = 25°C	234	336	424	mV
		RTRIP = 27kΩ、TA = 25°C	121	174	220	
		RTRIP = 6.8kΩ、TA = 25°C	35	50	63	
ON-TIME TIMER CONTROL						
tON	オン時間 ⁽¹⁾	VOUT = 1.05V	250			ns
tOFF(min)	最小オフ時間	VIN = 4.5V、VVFB = 0.7V、TA = 25°C	230			ns
出力低電圧および過電圧保護						
VOVP	出力 OVP トリップスレッシュホルド	OVP 検出電圧	115%	120%	125%	
tOVPDEL	出力 OVP 伝搬遅延		10			μs
VUVP	出力 UVP トリップスレッシュホルド	UVP 検出電圧	63%	68%	73%	
tUVPDEL	出力 UVP 遅延		1			ms
tUVPEN	出力 UVP イネーブル遅延		1.7	2.2	2.7	ms
サーマル シャットダウン						
TSDN	サーマル シャットダウンのスレッシュホルド	シャットダウン温度 ⁽¹⁾	150			°C
		ヒステリシス ⁽¹⁾	25			

(1) 設計により規定されています。実製品の検査は行っていない。

5.6 代表的特性

$V_{IN} = 12V$, $T_A = 25^\circ C$ (特に記述のない限り)

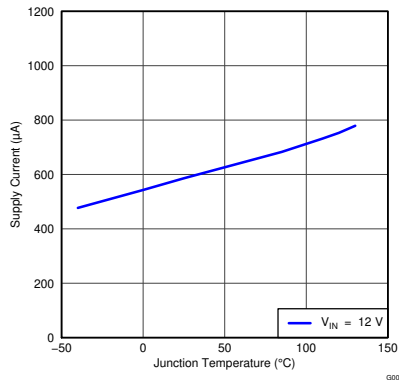


図 5-1. VIN 供給電流と接合部温度との関係

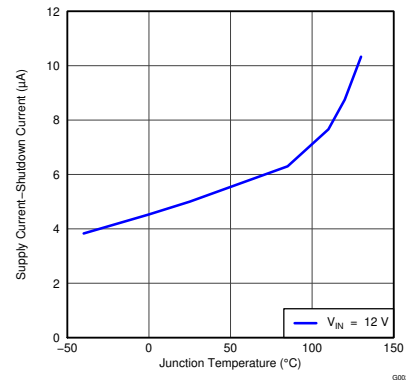


図 5-2. VIN シャットダウン電流と接合部温度との関係

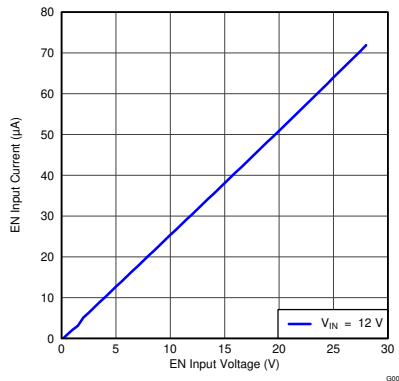


図 5-3. EN 入力電流と EN 入力電圧との関係

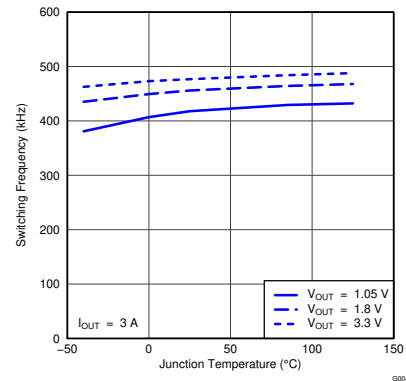


図 5-4. スイッチング周波数と接合部温度との関係

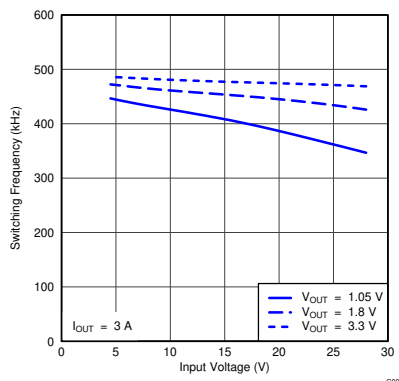


図 5-5. スイッチング周波数と入力電圧との関係

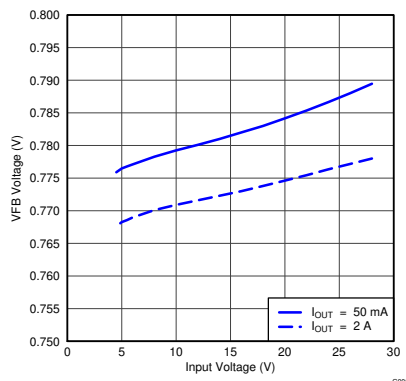


図 5-6. VFB 電圧と入力電圧との関係

5.6 代表的特性 (続き)

$V_{IN} = 12V$, $T_A = 25^\circ C$ (特に記述のない限り)

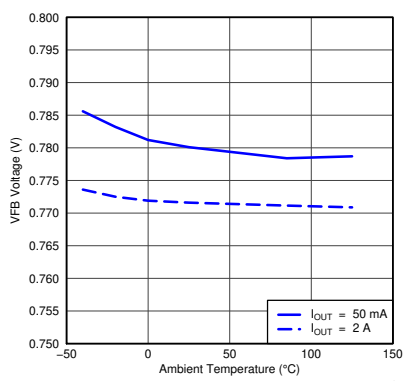


図 5-7. VFB 電圧と周囲温度との関係

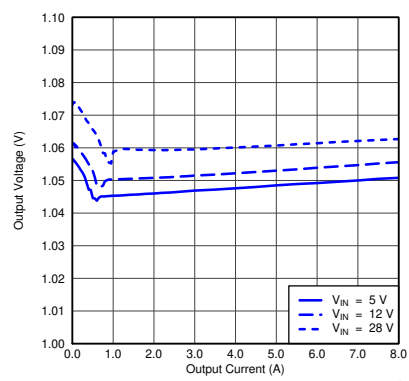


図 5-8. ロードレギュレーション

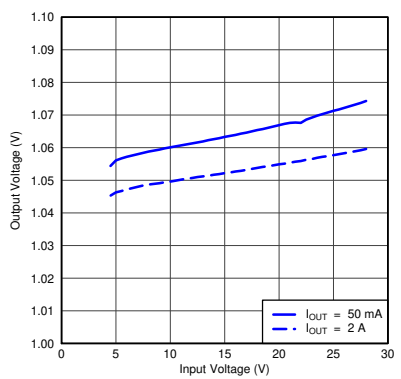


図 5-9. ラインレギュレーション

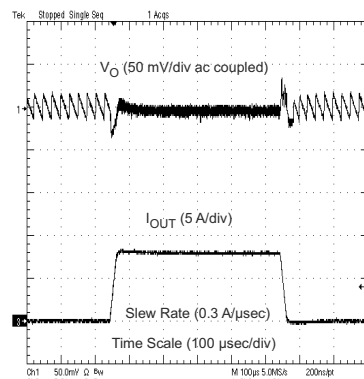


図 5-10. 過渡応答

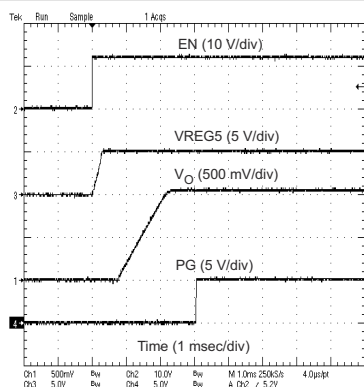


図 5-11. スタートアップ波形

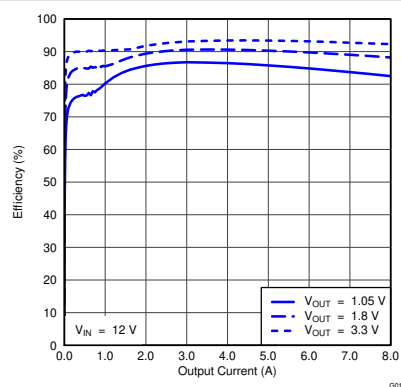


図 5-12. 効率と出力電流との関係

5.6 代表的特性 (続き)

$V_{IN} = 12V$, $T_A = 25^\circ C$ (特に記述のない限り)

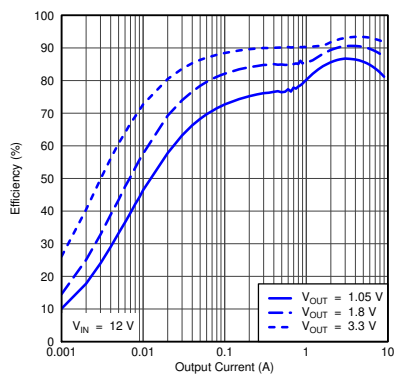


図 5-13. 軽負荷時の効率と出力電流との関係

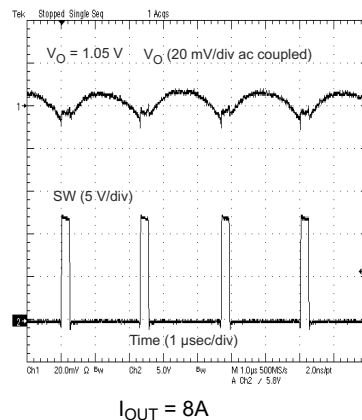


図 5-14. 出力電圧リップル

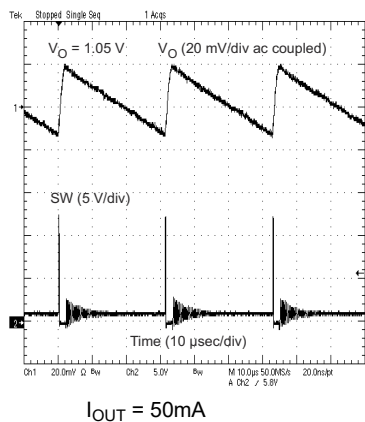


図 5-15. 出力電圧リップル

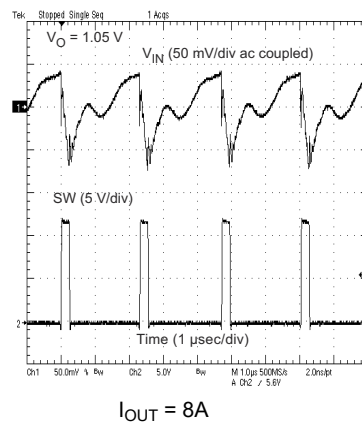


図 5-16. 入力電圧リップル

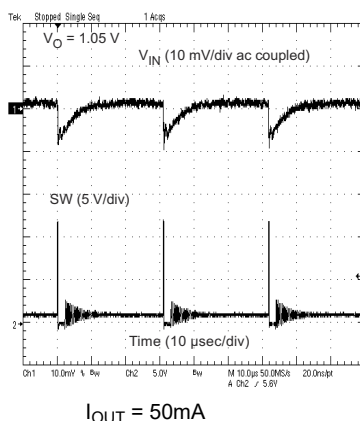


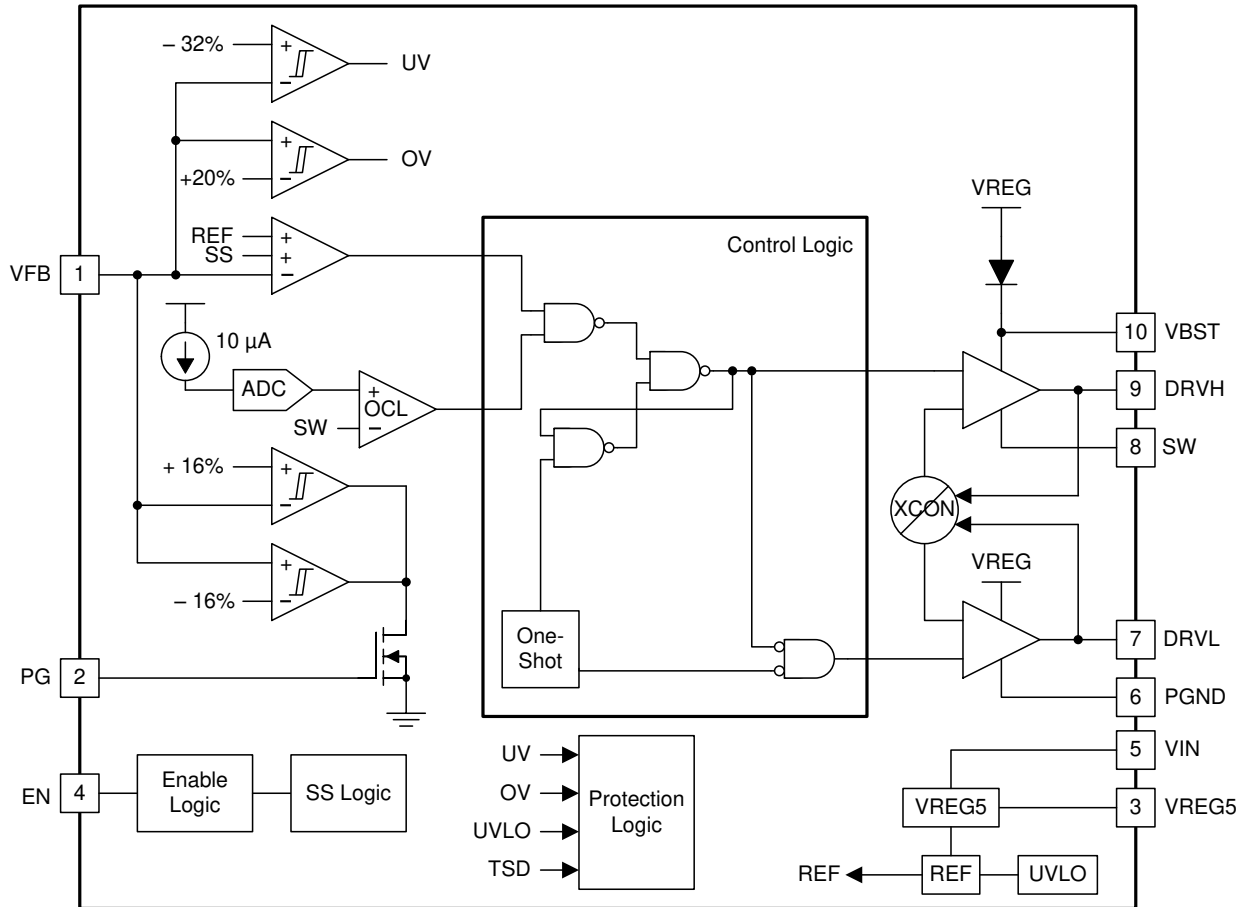
図 5-17. 入力電圧リップル

6 詳細説明

6.1 概要

TPS53015 は、シングル同期整流降圧バックコントローラです。このデバイスは、D-CAP2 制御トポロジを使用して動作します。D-CAP2 制御トポロジの高速過渡応答により、特定の性能レベルを満たすのに必要な出力キャパシタンスを低減します。独自の内部回路により、セラミックおよび特殊なポリマー タイプを含めた低 ESR 出力コンデンサを使用可能です。

6.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

6.3 機能説明

6.3.1 ドライバ

TPS53015 デバイスは、2 つの大電流抵抗性 MOSFET ゲートドライバを搭載しています。ローサイドドライバは、PGND を基準とする VREG5 電源ドライバで、ソースが PGND に接続されている大電流低 $R_{DS(on)}$ N チャネル MOSFET のゲートを駆動するように設計されています。ハイサイドドライバは、フローティング SW を基準とする VBST 電源ドライバで、大電流低 $R_{DS(on)}$ N チャネル MOSFET のゲートを駆動するように設計されています。ハイサイドドライバのオン時間中に VBST 電圧を維持するため、SW から VBST の間にコンデンサを接続します。各ドライバは、ゲート電荷 (Q_g および $V_{gs} = 5V$) にスイッチング周波数 (f_{sw}) を乗じた平均電流を消費します。クロス導通を防止するため、ドライバの遷移時にハイサイドドライバとローサイドドライバの両方がオフになる短いデッドタイムが設定されています。この期間中、インダクタ電流は MOSFET のいずれかのボディダイオードに流れます。

6.3.2 5V レギュレータ

TPS53015 は、内部 5V 低ドロップアウト (LDO) レギュレータを搭載し、ドライバとデバイスの内部ロジックの両方に安定電圧を供給します。内部レギュレータを安定させるには、VREG5 と GND の間に 4.7μF 以上の高品質セラミック コンデンサが必要です。

6.3.3 ソフトスタート時間とプリバイアス ソフトスタート時間

TPS53015 では、1.4ms のソフト スタート時間が内部的に設定されています。EN ピンが High になり、VREG5 の電圧が UVLO スレッショルドより高くなると、内部 DAC が PWM コンパレータに対するリファレンス電圧を引き上げます。起動時も、出力電圧のスムーズな制御が維持されます。

このデバイスには、出力がプリバイアスされている場合に、起動時に出力から電流がプルされないようにする独自の回路が内蔵されています。ソフト スタートでプリバイアス レベルよりも高い電圧が指定される (内部ソフト スタートが内部帰還電圧 VFB よりも大きくなる) と、コントローラは、最初のローサイド FET ゲートドライバ パルスを狭いオン時間で開始することにより、ゆっくりと同期整流を起動します。次に、そのオン時間が (1D) で示される時間と一致するまで (D はコンバータのデューティ サイクル)、コントローラはオン時間をサイクル毎にインクリメントします。この方式により、プリバイアス出力の初期シンクを防ぐとともに、出力電圧 (V_{OUT}) はスムーズに立ち上がり、プリバイアス スタートアップから通常モード動作への遷移時も安定状態まで滑らかに上昇します。

6.3.4 過電流保護

TPS53015 デバイスは、サイクル単位の過電流制限機能を備えています。この機能により、ローサイド ドライバのオン時間中にローサイド MOSFET の R_{DS(on)} での電圧降下を監視し、インダクタのバレー電流を制限します。インダクタ電流が過電流制限 (OCL) より大きい場合、デバイスは、検出されたインダクタ電流が OCL 電流を下回るまで、次のスイッチングサイクルの開始を延期します。MOSFET の R_{DS(on)} 電流センシングを使用することで、外部デバイスなしで高精度かつコスト効率の優れた設計が可能になります。OCL をプログラムするには、DRV1 と PGND の間に抵抗を接続する必要があります。表 6-1 に、推奨値を示します。

表 6-1. OCL 抵抗値

抵抗値 (kΩ)	V _{TRIP} (V)
6.8	0.050
11	0.087
18	0.125
27	0.174
39	0.224
56	0.274
75	0.336

式 1 から I_{OCL} を求めます。

$$I_{OCL} = \left(\frac{(V_{IN} - V_{OUT})}{2 \times L \times f_{SW}} \times \frac{V_{OUT}}{V_{IN}} \right) + \frac{V_{TRIP}}{R_{DS(ON)}} \quad (1)$$

トリップ電圧は全動作温度にわたり 0.05V ~ 0.336V の範囲に設定されています。これには、R_{DS(on)} の温度依存性に対する 4000ppm/°C の温度勾配補償が含まれます。負荷電流が過電流制限を超えると、電圧低下が始まります。過電流状態が続き、出力電圧が低電圧保護スレッショルドを下回ると、デバイスはシャットダウンされます。

6.3.5 過電圧および低電圧保護

TPS53015 デバイスは、抵抗分割されたフィードバック電圧を監視して、過電圧および低電圧条件を検出します。帰還電圧が基準電圧の 120% を超えると、OVP コンパレータ出力が High になり、回路はハイサイド MOSFET ドライバをオフにラッチし、ローサイド MOSFET ドライバをオンにラッチします。

帰還電圧が基準電圧の 68% を下回ると、UVP コンパレータ出力は High になり、内部 UVP 遅延カウンタがカウントを開始します。1ms 後、デバイスはハイサイドとローサイド両方の MOSFET ドライバをオフにラッチします。この機能は、電源オンから約 2.2ms 後に有効になります。EN が LOW になると、OVP および UVP のラッチ オフはリセットされます。

6.3.6 UVLO 保護

TPS53015 は、VREG5 ピンの電圧を監視することで、低電圧誤動作防止保護 (UVLO) 機能を実装しています。VREG5 ピンの電圧が UVLO スレッショルド電圧を下回ると、デバイスはシャットオフします。すべての出力ドライバがオフになります。UVLO は非ラッチ方式の保護です。

6.3.7 サーマル シャットダウン

通常動作中、TPS53015 デバイスの温度がスレッショルド値 (標準値 150°C) を超えると、デバイスはシャットオフします。温度がスレッショルドを下回ると、デバイスは再度起動します。VIN スタートアップ時に、VREG5 出力電圧が公称値を下回っている間、デバイスは 150°C よりも低いサーマル シャットダウン スレッショルドを維持します。VIN の上昇期間中は、接合部温度 (T_j) を 110°C 未満に維持する必要があります。

6.3.8 パワー グッド

VFB ピンは、パワーグッド出力を測定し、ソフトスタート期間完了後に機能がアクティブになります。出力電圧が目標値の ±16% 内である場合、内部のコンパレータによりパワーグッド状態が検出され、内部で 1.2ms の遅延が加えられた後、パワーグッド信号が High になります。起動中、この内部遅延はソフトスタート時間の 2.2 倍の時間が経過した後に開始し、パワーグッド信号のグリッチを回避します。帰還電圧が目標値の ±16% の範囲外になった場合、2μs の遅延後にパワーグッド信号が Low になります。

6.4 デバイスの機能モード

6.4.1 PWM 動作

TPS53015 デバイスのメイン制御ループは、独自の D-CAP2 制御トポロジをサポートする適応型オン時間パルス幅変調 (PWM) コントローラとなっています。D-CAP2 制御トポロジは、コンスタントオンタイム制御を、擬似固定周波数で外付け部品点数の少ない構成を可能にする内部補償回路と組み合わせたもので、低 ESR 出力コンデンサとセラミック出力コンデンサの両方を使用できます。D-CAP2 制御トポロジは、出力にほとんどリップルがない状態でも安定して動作します。各サイクルの開始時に、ハイサイド MOSFET がオンになります。内部タイマが満了すると、この MOSFET はオフになります。このタイマの時間は、入力電圧範囲内で擬似固定周波数が維持されるように、コンバータの入力電圧 (VIN) と出力電圧 (V_{OUT}) によって設定されます。したがって、これは適応型オン時間制御と呼ばれます。帰還電圧が公称出力電圧を下回ると、タイマがリセットされ、ハイサイド MOSFET が再度オンになります。出力リップルをシミュレートするために、リファレンス電圧に内部ランプを追加しているため、D-CAP2 制御トポロジによる ESR に起因する出力リップルは不要です。

6.4.2 自動スキップ Eco モード制御

TPS53015 は、軽負荷時の効率が向上する自動スキップ Eco モードで動作します。重負荷状態から出力電流が減少すると、インダクタ電流も減少し、最終的にはリップルの谷がゼロレベルに達します。これが、連続導通モードと不連続導通モードの境界となります。デバイスがゼロレベルのインダクタ電流を検出すると、整流用 MOSFET がオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モードに移行します。オン時間は、連続導通モードのほぼ半分で維持されます。これは、負荷電流が小さく、出力コンデンサがリファレンス電圧レベルまで放電するのに、より長い時間がかかるためです。式 2 を使用して、スイッチング周波数が 500kHz の場合の軽負荷動作時電流 (I_{OX(LL)}) への遷移点を求めます。

$$I_{OUT(LL)} = \frac{1}{2 \times L \times f_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (2)$$

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

この設計例では、コスト重視のアプリケーションで使用する D-CAP2 制御トポロジについて説明します。緩やかに安定化された 12V (8V ~ 22V) 電源から、1.05V の出力で最大 8A を供給するこの設計では、一般的な POL アプリケーションでの TPS53015 の使用例を示します。

7.2 代表的なアプリケーション

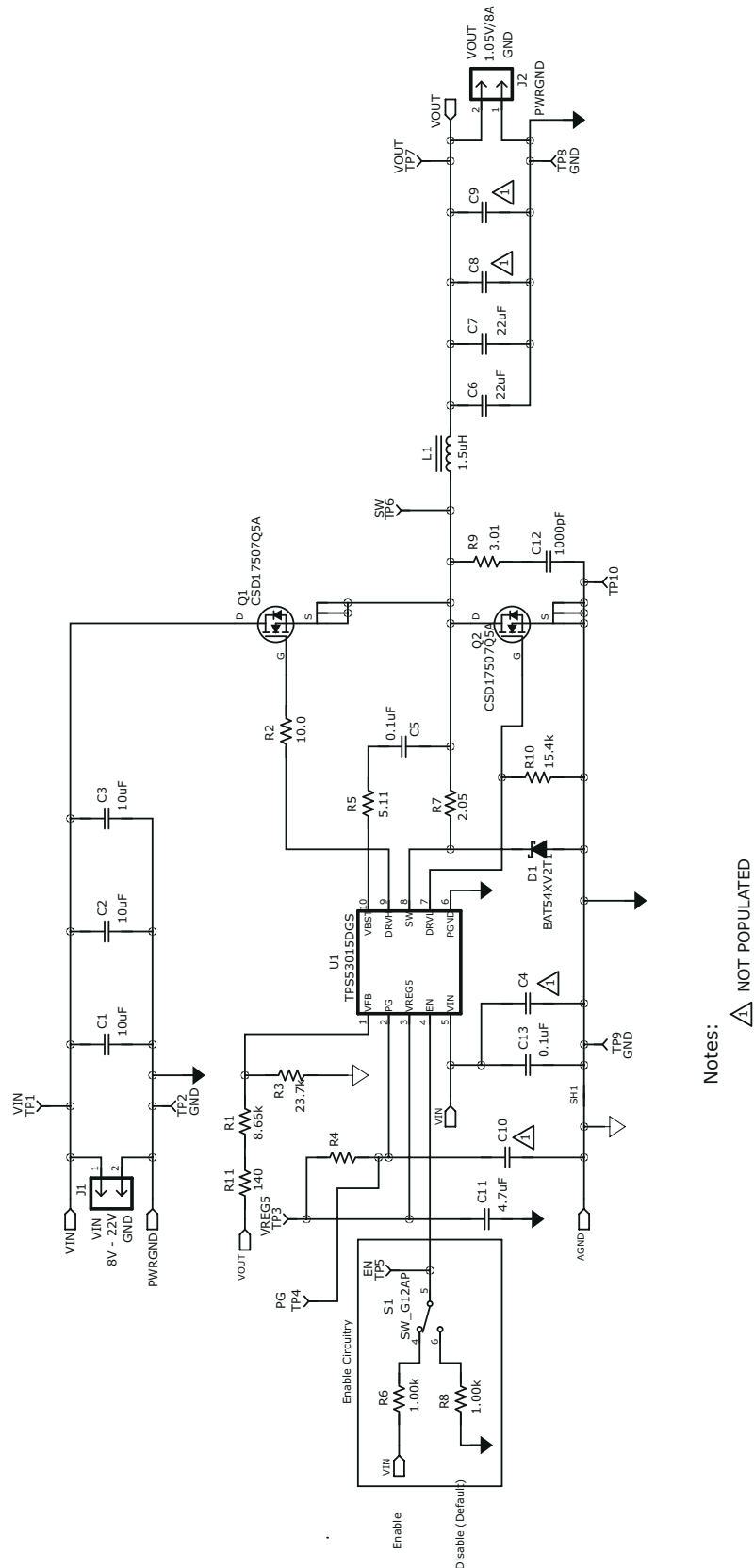


図 7-1. TPS53015 を使用した POL アプリケーション

7.2.1 設計要件

表 7-1. TPS53015 設計要件

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力特性					
電圧範囲		8.0	12	22	V
最大入力電流	$V_{IN} = 12V, I_{OUT} = 8A$		0.9		A
無負荷時入力電流	$V_{IN} = 12V, I_{OUT} = 0A$		0.6		mA
出力特性					
出力電圧			1.05		V
出力電圧レギュレーション	設定値精度 ($V_{IN} = 12V, I_{OUT} = 8A$)	-2%		2%	
	ラインレギュレーション ($V_{IN} = 8.0V \sim 22V, I_{OUT} = 8A$)		1%		
	ロードレギュレーション ($V_{IN} = 12V, I_{OUT} = 0A \sim 8A$)		1.5%		
出力電圧リップル	$V_{IN} = 12V, I_{OUT} = 8A$		20		mVpp
出力負荷電流		0		8.0	A
過電流制限	$V_{IN} = 12V$		11		
システム特性					
スイッチング周波数			500		kHz
ピーク効率	$V_{IN} = 12V, I_{OUT} = 3.2A$		86.5%		
全負荷効率	$V_{IN} = 12V, I_{OUT} = 8.0A$		81.4%		
動作温度			25		°C

7.2.2 詳細な設計手順

7.2.2.1 インダクタンス値の決定

インダクタンス値は、最大負荷時に約 30% のピーク ツー ピーク リップル電流が供給されるように選択します。リップル電流が大きいと、出力リップル電圧が増加し、信号対雑音比が向上して、動作の安定に役立ちます。式 3 を使用して、 L_{OUT} の値を求めます。

$$L_{OUT} = \frac{V_{IN(MAX)} - V_{OUT}}{I_{L(RIPPLE)} \times f_{SW}} \times \frac{V_{OUT}}{V_{IN(MAX)}} \quad (3)$$

インダクタ電流定格は、RMS (熱) 電流とピーク (飽和) 電流の両方に対応している必要があります。インダクタの RMS 電流とピーク電流は、式 4 から求めることができます。

$$I_{L(RIPPLE)} = \frac{V_{IN(MAX)} - V_{OUT}}{L_{OUT} \times f_{SW}} \times \frac{V_{OUT}}{V_{IN(MAX)}} \quad (4)$$

$$I_{L(PEAK)} = \frac{V_{TRIP}}{R_{DS(ON)}} + I_{L(RIPPLE)} \quad (5)$$

$$I_{L(RMS)} = \sqrt{I_{OUT}^2 + \frac{1}{12} \times I_{L(RIPPLE)}^2} \quad (6)$$

注

式 6 は、一般的な参考として示しています。過渡応答を改善するために、出力インダクタンスをさらに低減することも可能ですが、選定する出力コンデンサも考慮して判断する必要があります。

7.2.2.2 出力コンデンサ

コンデンサの値と ESR によって、出力電圧リップルと負荷過渡応答が決定します。X5R 誘電体以上のセラミック出力コンデンサを推奨します。

$$C_{OUT} = \frac{I_{L(RIPPLE)}}{8 \times V_{OUT(RIPPLE)}} \times \frac{1}{f_{SW}} \quad (7)$$

$$C_{OUT} = \frac{\Delta I_{LOAD}^2}{2 \times V_{OUT} \times \Delta V_{OS}} \times L_{OUT} \quad (8)$$

ここで、

- ΔV_{OS} は、負荷遷移時のオーバーシュート電圧の許容量です

$$C_{OUT} = \frac{\Delta I_{LOAD}^2}{2 \times K \times \Delta V_{US}} \times L_{OUT} \quad (9)$$

ここで、

- ΔV_{US} は、負荷遷移時のアンダーシュート電圧の許容量です

$$K = (V_{IN} - V_{OUT}) \times \left(\frac{t_{ON}}{t_{ON} - t_{OFF(min)}} \right) \quad (10)$$

ここで、

- $t_{OFF(min)}$ は、最小オフ時間です。

容量値には、式 7、式 8、式 9 から計算した最大値よりも大きい値を選択します。推奨される最小出力キャパシタンスは 44μF です。

7.2.2.3 入力コンデンサ

TPS53015 デバイスには、入力デカップリング コンデンサと、アプリケーションによってはバルク キャパシタが必要となります。入力コンデンサには、10μF 以上の高品質セラミック コンデンサを推奨します。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。

7.2.2.4 ブートストラップ コンデンサ

TPS53015 デバイスでは、ハイサイドドライバ用のフローティング電源を供給するために、SW から VBST までの間にブートストラップ コンデンサが必要です。0.1μF 以上の高品質セラミック コンデンサが推奨されています。コンデンサの定格電圧は 10V よりも大きい必要があります。

7.2.2.5 VREG5 コンデンサ

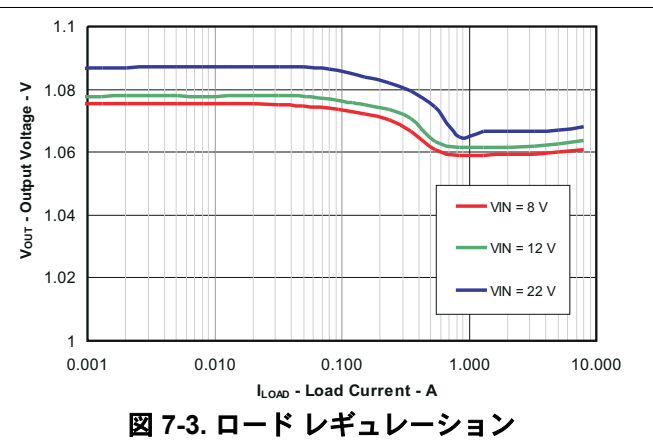
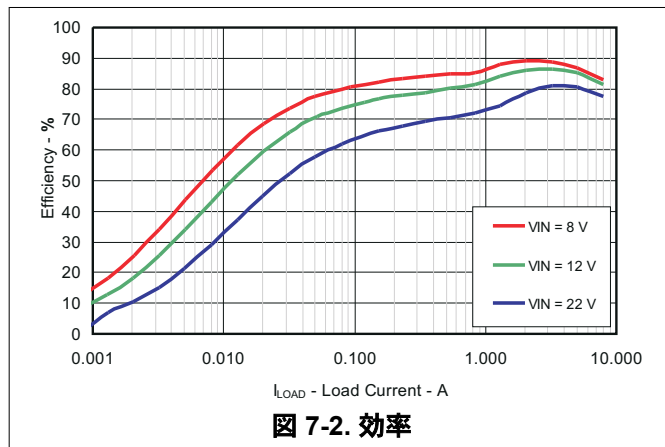
TPS53015 では、VREG5 レギュレータがバイパスされている必要があります。適切な動作のためには、VREG5 と PGND の間に 4.7μF 以上のセラミック コンデンサを接続する必要があります。コンデンサの定格電圧は 10V よりも大きい必要があります。

7.2.2.6 出力電圧抵抗の選択

出力電圧は、出力電圧ノードと VFB ピンとの間の抵抗デバイダによって設定されます。公差 1% 以内の抵抗を使用することを推奨します。10kΩ ~ 100kΩ の範囲で R2 の値を選択し、式 11 から R1 を求めます。

$$R1 = \left(\frac{V_{OUT}}{V_{VFB}} - 1 \right) \times R2 \quad (11)$$

7.2.3 アプリケーション曲線



注

性能曲線の詳細については、『TPS53015 評価基板ユーザー ガイド』を参照してください。

7.3 電源に関する推奨事項

TPS53015 デバイスは、4.5V から 28V の入力電源電圧範囲で動作します。この入力電源には適切なレギュレーションが行われる必要があります。入力電源および内部レギュレータの適切なバイパスも、PCB レイアウトや接地方式と同様に、ノイズ性能にとって重要です。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

アプリケーションのレイアウトプロセスを開始する前に、これらの設計ガイドラインを参照してください。

- 入力スイッチング電流ループが可能な限り小さくなるように設計します。
- 入力コンデンサは、トップ側スイッチング FET の近くに配置します。
- 出力スイッチング電流ループが可能な限り小さくなるように設計します。
- 寄生容量とインダクタンスを最小化し、放射エミッションを最小化するため、SW ノードを物理的に小さく、短くする必要があります。
- 出力からデバイスのフィードバック ピン (VFB) まではケルビン接続にします。
- アナログ部品と非スイッチング部品は、スイッチング部品から遠く離して配置します。
- 信号グランドと電源グランドは一点接続します。
- デバイスの下をスイッチング電流が流れないようにしてください。

7.4.2 レイアウト例

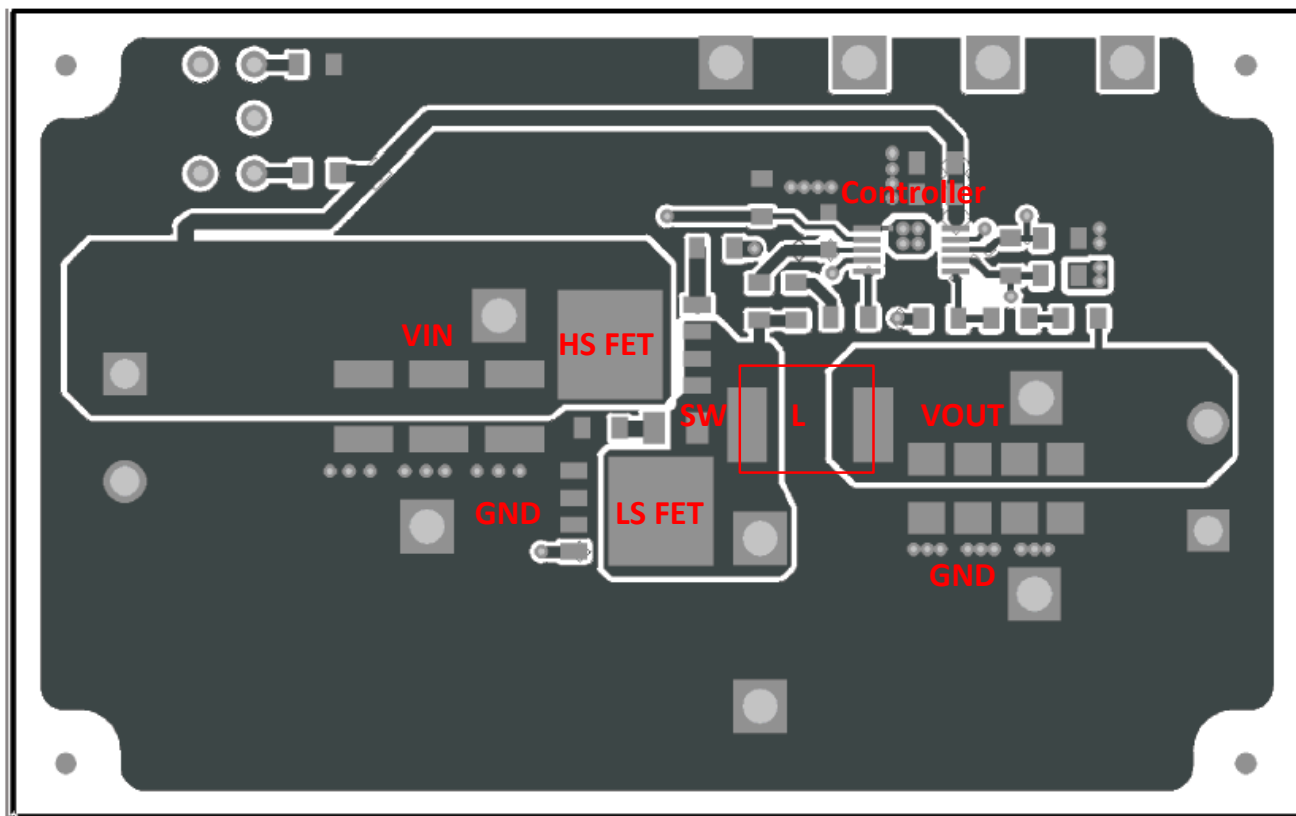


図 7-4. TPS53015 レイアウト

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

テキサス インスツルメンツ、『[TPS53015 降圧コントローラ評価基板ユーザー ガイド](#)』

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ **E2E™ サポート・フォーラム**は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

D-CAP2™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (April 2019) to Revision D (July 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 文書全体にわたり Eco モードの商標記号を削除.....	1
• ピン 9 の名称を DRVH に更新.....	3

Changes from Revision B (August 2012) to Revision C (April 2019)	Page
• TI の最新のドキュメント規格に合わせて更新.....	1

Changes from Revision A (July 2012) to Revision B (August 2012)	Page
• 特長の一覧で、「調整可能なソフトスタート」を「1.4ms 固定ソフトスタート」に変更.....	1

• 特長の一覧に「パワー グッド出力」を追加.....	1
• 文書のリビジョン番号を A から B に変更.....	1
• 「絶対最大定格」表の SS を PG に変更.....	4
• 「推奨動作条件」表の SS を PG に変更.....	4
• T _{SS} の仕様で標準値を 1.0ms から 1.4ms に変更.....	5
• T _{PGDLY} の仕様を 1.5ms から 1.2ms に変更.....	5
• T _{PGCOMPSS} の仕様を 2.2ms から 2.3ms に変更.....	5
• t _{UVPEN} の最小値の仕様を 1.4ms から 1.7ms に変更.....	5
• t _{UVPEN} の標準値の仕様を 1.7ms から 2.2ms に変更.....	5
• t _{UVPEN} の最大値の仕様を 2.0ms から 2.7ms に変更.....	5
• 「ソフトスタート時間とプリバイアス ソフトスタート時間」のソフトスタート時間を 1.0ms から 1.4ms に変更.....	11
• 「過電圧および低電圧保護」セクションで、UVP 遅延タイミングの調整後の基準値を 1.7ms から 2.2ms に変更.....	11
• POWER GOOD 動作について説明するセクションを追加.....	12

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS53015DGS	Obsolete	Production	VSSOP (DGS) 10	-	-	Call TI	Call TI	-40 to 85	53015
TPS53015DGSR	Active	Production	VSSOP (DGS) 10	2500 LARGE T&R	Yes	NIPDAUAG SN	Level-2-260C-1 YEAR	-40 to 85	53015
TPS53015DGSR.A	Active	Production	VSSOP (DGS) 10	2500 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	53015

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

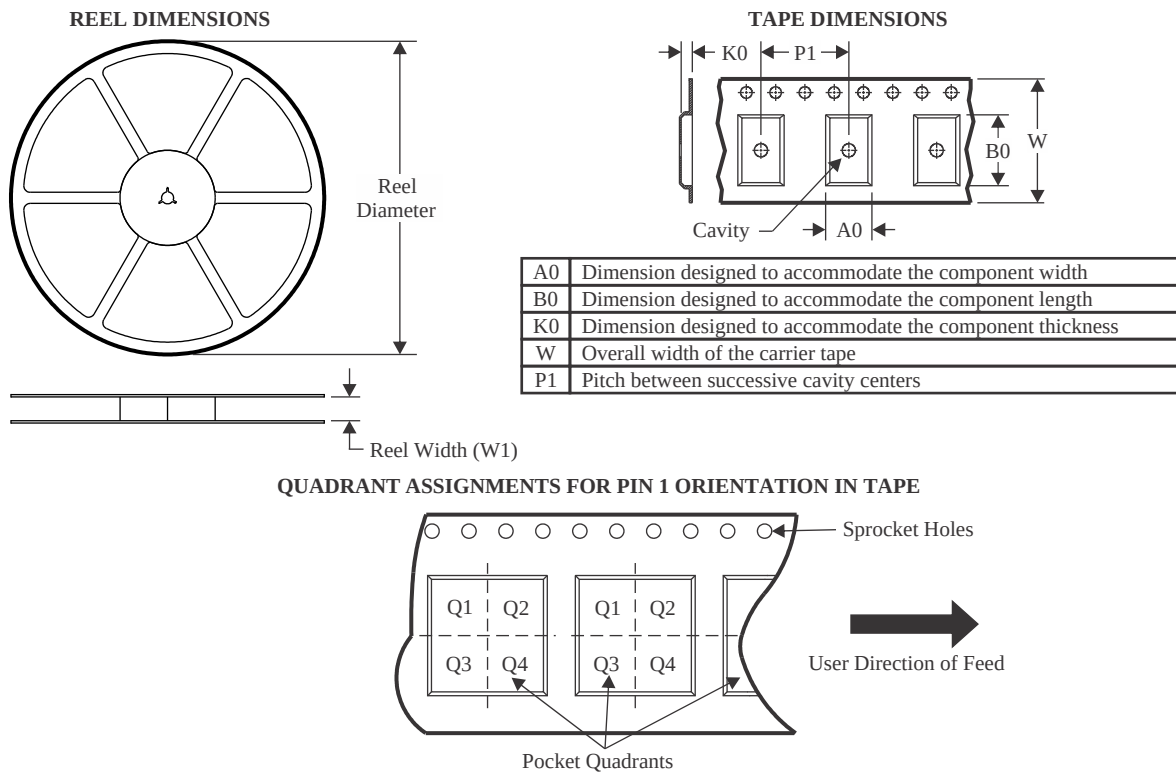
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

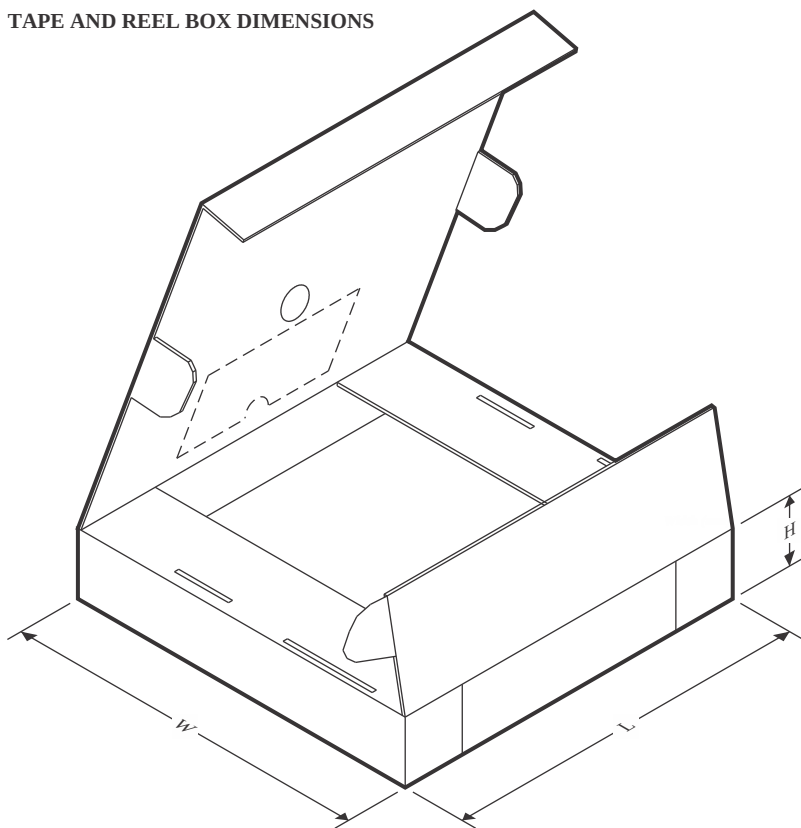
TAPE AND REEL INFORMATION



*All dimensions are nominal

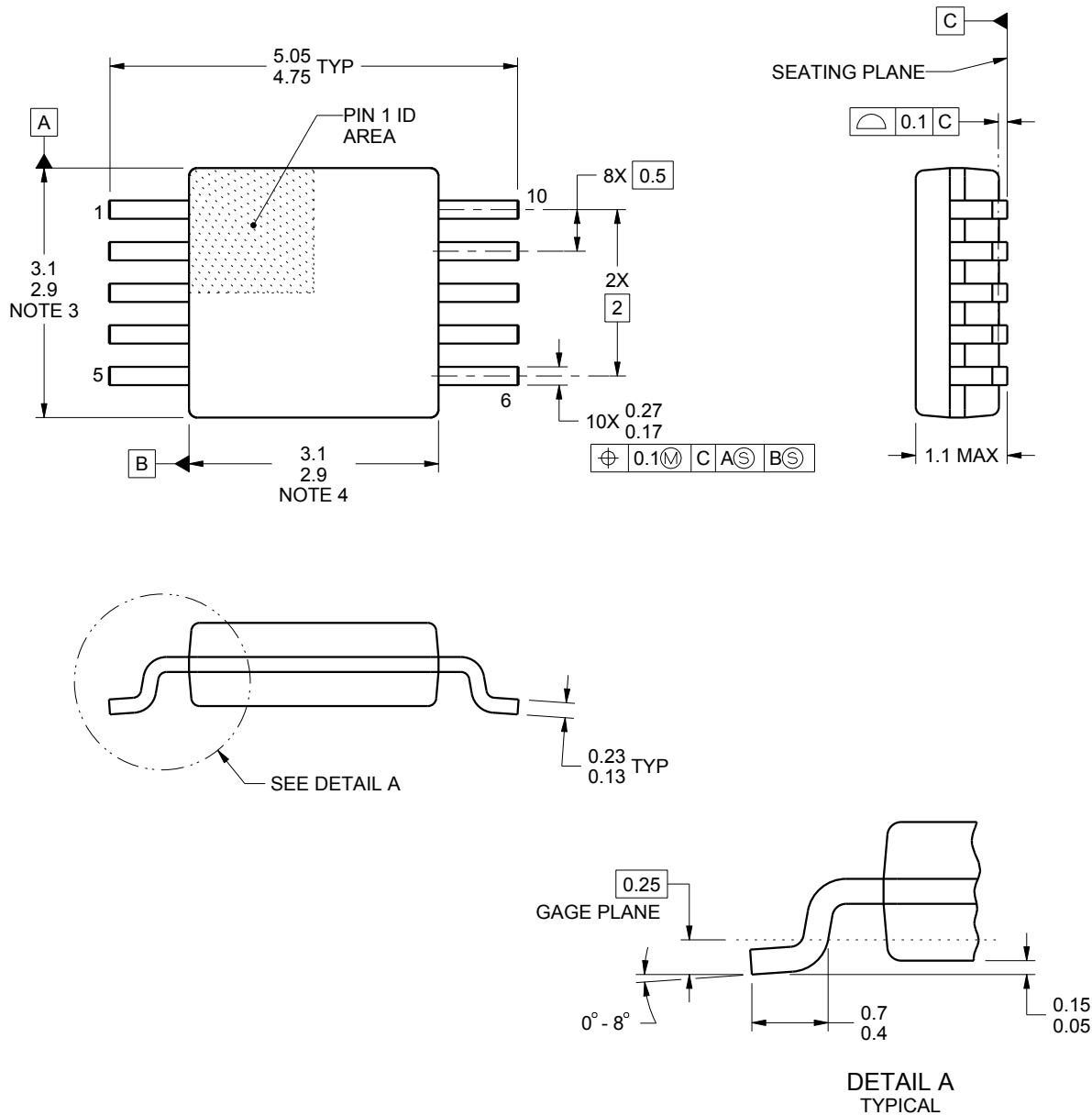
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS53015DGSR	VSSOP	DGS	10	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS53015DGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0



4221984/A 05/2015

NOTES:

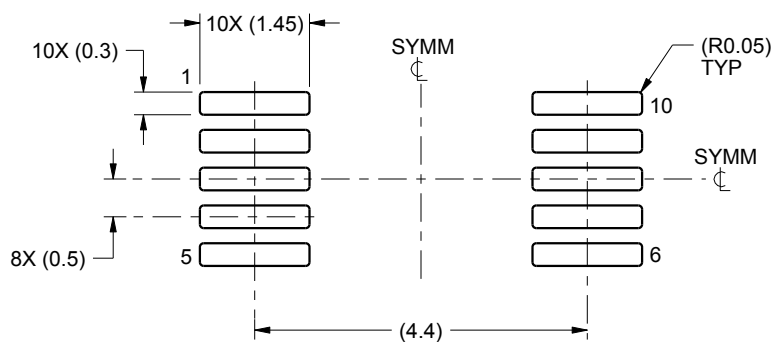
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.

EXAMPLE BOARD LAYOUT

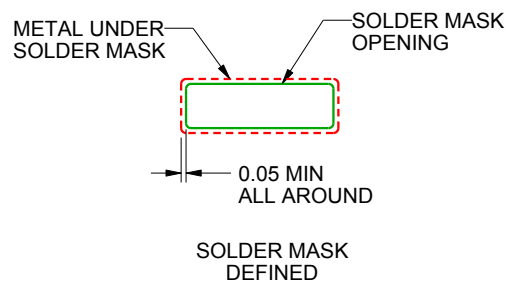
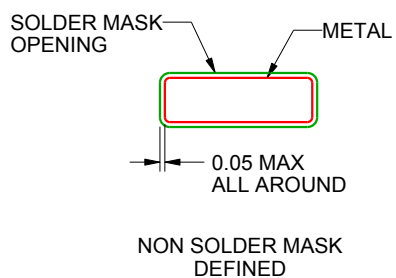
DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

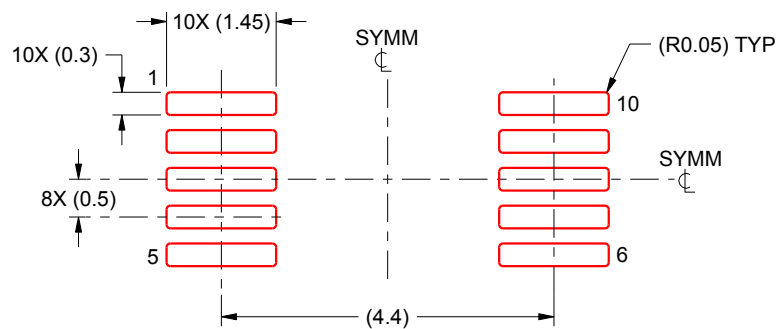
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月