

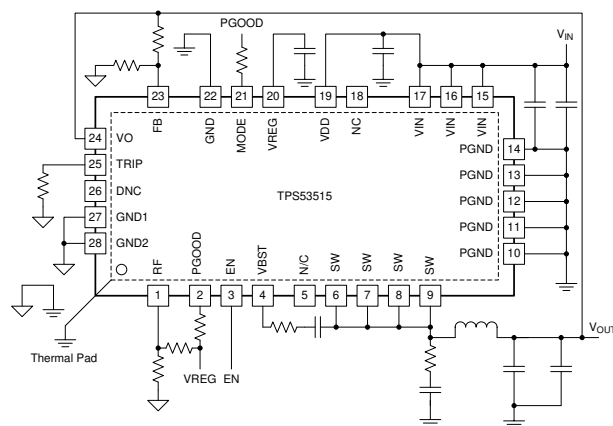
TPS53515 1.5V ~ 18V (4.5V ~ 25V バイアス)、 12A シングル同期整流降圧 SWIFT™ コンバータ

1 特長

- 13.8mΩ および 5.9mΩ の MOSFET を内蔵し、12A の連続出力電流に対応
- すべての出力コンデンサでセラミック コンデンサの使用をサポート
- リファレンス電圧 600mV $\pm 0.5\%$ 許容誤差
- 出力電圧範囲: 0.6V ~ 5.5V
- 高速な負荷ステップ応答を実現する D-CAP3™ 制御モード
- 軽負荷効率を向上させる自動スキップ Eco-mode™
- 厳格な出力リップルおよび電圧要件に対応する FCCM
- 250kHz ~ 1MHz の 8 つの選択可能な周波数設定
- プリチャージ スタートアップ機能
- 出力放電回路を内蔵
- オープンドレインのパワー グッド出力
- 3.5mm × 4.5mm、28 ピン、VQFN-CLIP パッケージ

2 アプリケーション

- サーバーおよびクラウド コンピューティング POL
- ブロードバンド、ネットワーク、光通信インフラ
- I/O 電源
- **WEBENCH® デザイン センター**でのサポート



概略回路図

3 説明

TPS53515 デバイスは、適応型オン時間 D-CAP3 制御モードを搭載した、小型の同期整流 降圧コンバータです。スペースに制約のある電源システムで使いやすく、外部部品数が少なく済みます。

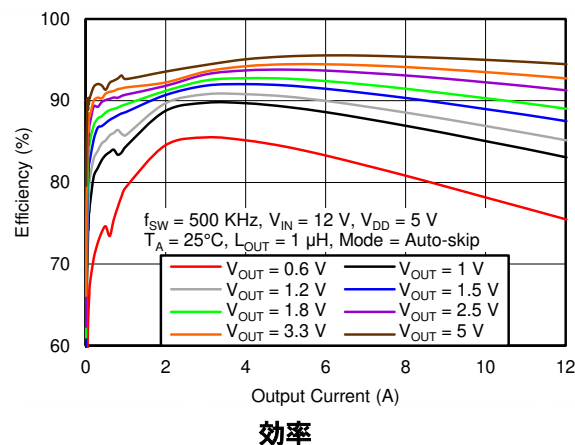
高性能の内蔵 MOSFET、精度 0.5% の正確な 0.6V リファレンス、および内蔵ブースト スイッチを備えています。他にも優れた特長として、非常に少ない外部部品数、高速の負荷過渡応答、自動スキップ モード動作、内部ソフトスタート制御、補償が不要、などが挙げられます。

強制連続導通モードにより、高性能 DSP や FPGA に求められる厳しい電圧レギュレーション精度要件を満たすことができます。TPS53515 デバイスは 28 ピン VQFN-CLIP パッケージで提供され、-40°C ~ 85°C の周囲温度が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TPS53515	RVE (VQFN-CLIP, 28)	4.50mm × 3.50mm

- (1) 詳細については、[セクション 10](#)を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



目次

1 特長	1	6.4 デバイスの機能モード	23
2 アプリケーション	1	7 アプリケーションと実装	25
3 説明	1	7.1 使用上の注意.....	25
4 ピン構成および機能	3	7.2 代表的なアプリケーション.....	25
5 仕様	5	7.3 電源に関する推奨事項.....	30
5.1 絶対最大定格.....	5	7.4 レイアウト.....	30
5.2 ESD 定格.....	5	8 デバイスおよびドキュメントのサポート	33
5.3 推奨動作条件.....	5	8.1 ドキュメントのサポート.....	33
5.4 熱に関する情報.....	6	8.2 ドキュメントの更新通知を受け取る方法.....	33
5.5 電気的特性.....	7	8.3 サポート・リソース.....	33
5.6 代表的特性.....	9	8.4 商標.....	33
6 詳細説明	15	8.5 静電気放電に関する注意事項.....	33
6.1 概要.....	15	8.6 用語集.....	33
6.2 機能ブロック図.....	15	9 改訂履歴	33
6.3 機能説明.....	16	10 メカニカル、パッケージ、および注文情報	34

4 ピン構成および機能

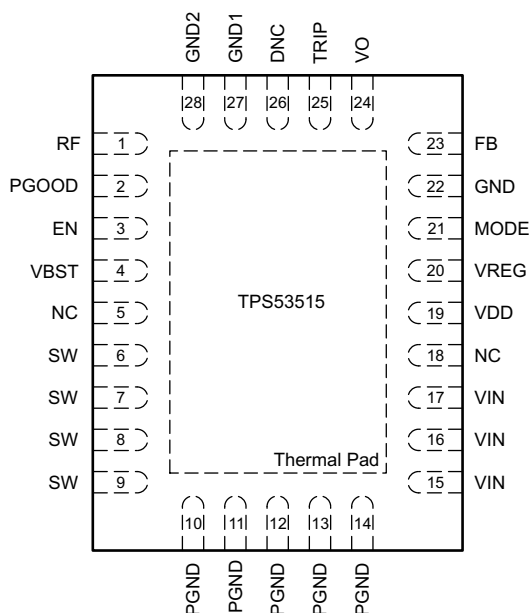


図 4-1. RVE パッケージ 28 ピン VQFN-CLIP 上面図

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
DNC	26	O	接続しないでください。このピンは、未使用の内部回路の出力であり、フローティングにする必要があります。
EN	3	I	DC-DC スイッチング コンバータをオンにするイネーブル ピンです。
FB	23	I	V _{OUT} 帰還入力。このピンは、VOUT ピンと GND との間の抵抗デバイダに接続します。
GND	22	G	このピンは、内部アナログ回路およびドライバ回路のグラウンドです。GND は、短いパターンを使用して PGND プレーンに接続します (例えば、このピンを短いパターンでサーマル パッドに接続し、サーマル パッドを PGND ピンおよび PGND プレーンに接続します)。
GND1	27	I	このピンはグラウンドに接続します。GND1 は未使用の内部回路の入力であり、グラウンドに接続する必要があります。
GND2	28	I	このピンはグラウンドに接続します。GND2 は未使用の内部回路の入力であり、グラウンドに接続する必要があります。
モード	21	I	MODE ピンは、強制連続導通モード (FCCM) またはスキップ モード動作を設定します。MODE ピンは、D-CAP3 制御モードのランプ係数も選択します。
NC	5	—	接続なし。これらのピンは、内部でフローティングになっています。
	18		
PGND	10	G	これらのグラウンド ピンは、内部のローサイド MOSFET のリターンに接続されています。
	11		
	12		
	13		
PGOOD	2	O	オープンドレインのパワー グッド ステータス信号であり、FB 電圧が指定の制限範囲内に収まった後で、スタートアップ遅延を開始します。FB 電圧が指定された制限を超えると、PGOOD は 2μs 以内で Low になります。
RF	1	I	RF は SW 周波数構成ピンです。このピンを VREG と GND の間の抵抗デバイダに接続して、各種 SW 周波数設定をプログラムします。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
SW	6	I/O	SW は、パワー コンバータの出力スイッチング端子です。このピンを出力インダクタに接続します。
	7		
	8		
	9		
TRIP	25	I/O	TRIP は、OCL 検出スレッショルド設定ピンです。室温での $I_{TRIP} = 10\mu A$ で 3000ppm/°C の電流が供給され、OCLトリップ電圧が設定されます。OCP 設定の詳細については、『 電流センスと過電流保護 』を参照してください。
VBST	4	P	VBST は、ハイスайд ゲートドライバ(昇圧端子)用の電源レールです。このピンと SW ノードとの間にブートストラップ コンデンサを接続します。ブートストラップ PMOS スイッチ経由で VREG に内部接続します。
VDD	19	P	コントローラの電源入力ピン。VREG LDO の入力。入力範囲は 4.5V ~ 25V です。
VIN	15	P	VIN は、変換電源入力ピンです。
	16		
	17		
VREG	20	O	VREG は 5V LDO 出力です。この電圧は、内部回路およびゲートドライバの電源となります。
VO	24	I	コントローラへの VOUT 電圧入力

(1) I = 入力、O = 出力、P = 電源、G = グランド

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
入力電圧範囲 ⁽²⁾	EN		-0.3	7.7	V
	SW	DC	-3	30	
		過渡 < 10ns	-5	32	
	VBST		-0.3	36	
	VBST ⁽³⁾		-0.3	6	
	過渡 < 10ns の場合 VBST			38	
	VDD		-0.3	28	
	VIN		-0.3	30	
	VIN-SW DC		-3	30	
	VIN-SW < 10ns 過渡		-5	32	
VO、FB、MODE、RF		-0.3	6		
出力電圧範囲	PGOOD		-0.3	7.7	V
	VREG、TRIP		-0.3	6	
接合部温度、T _J			-40	150	°C
保管温度、T _{stg}			-55	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみにについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、ネットワーク グランド端子を基準としたものです。
- (3) 電圧値は、SW 端子を基準としたものです。

5.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2500	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠 ⁽²⁾	±1500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
入力電圧	EN		-0.1	7	V
	SW		-3	27	
	VBST		-0.1	28	
	VBST ⁽¹⁾		-0.1	5.5	
	VDD		4.5	25	
	VIN		1.5	18	
	VO, FB, MODE, RF		-0.1	5.5	
出力電圧	PGOOD		-0.1	7	V
	VREG, TRIP		-0.1	5.5	
自由気流での動作温度 (T _A)			-40	85	°C

- (1) 電圧値は、SW ピンを基準としたものです。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS53515	単位
		RVE (VQFN-CLIP)	
		28 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	37.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	34.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	18.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	18.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内、VREG = 5V、EN = 5V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電流						
I _{VDD}	VDD バイアス電流	T _A = 25°C、無負荷 電力変換イネーブル (スイッチングなし)		1350	1850	μA
I _{VDDSTBY}	VDD スタンバイ 電流	T _A = 25°C、無負荷 電力変換ディスエーブル		850	1150	μA
I _{VIN(leak)}	VIN のリーク電流	V _{EN} = 0 V			0.5	μA
VREF 出力						
V _{VREF}	リファレンス電圧	FB w/r/t GND、T _A = 25°C	597	600	603	mV
V _{VREFTOL}	リファレンス電圧の許容公差	FB w/r/t GND、0°C ≤ T _J ≤ 85°C	-0.6%		0.5%	
		FB w/r/t GND、-40°C ≤ T _J ≤ 85°C	-0.7%		0.5%	
出力電圧						
I _{FB}	FB 入力電流	V _{FB} = 600 mV		50	100	nA
I _{VODIS}	VO 放電電流	V _{VO} = 0.5V、電力変換ディスエーブル	10	12	15	mA
SMPS 周波数						
f _{SW}	VO スwitching周波数 ⁽²⁾	V _{IN} = 12V、V _{VO} = 3.3V、R _{DR} < 0.041		250		kHz
		V _{IN} = 12V、V _{VO} = 3.3V、R _{DR} = 0.096		300		
		V _{IN} = 12V、V _{VO} = 3.3V、R _{DR} = 0.16		400		
		V _{IN} = 12V、V _{VO} = 3.3V、R _{DR} = 0.229		500		
		V _{IN} = 12V、V _{VO} = 3.3V、R _{DR} = 0.297		600		
		V _{IN} = 12V、V _{VO} = 3.3V、R _{DR} = 0.375		750		
		V _{IN} = 12V、V _{VO} = 3.3V、R _{DR} = 0.461		850		
		V _{IN} = 12V、V _{VO} = 3.3V、R _{DR} > 0.557		1000		
t _{ON(min)}	最小オン時間	T _A = 25°C ⁽¹⁾		60		ns
t _{OFF(min)}	最小オフ時間	T _A = 25°C	175	240	310	ns
内部ブートストラップ SW						
V _F	Forward Voltage	V _{VREG-VBST} 、T _A = 25°C、I _F = 10mA		0.15	0.25	V
I _{VBST}	VBST のリーク電流	T _A = 25°C、V _{VBST} = 33V、V _{SW} = 28V		0.01	1.5	μA
論理スレッシュホールド						
V _{ENH}	EN イネーブル スレッシュホールド電圧		1.3	1.4	1.5	V
V _{ENL}	EN ディスエーブル スレッシュホールド電圧		1.1	1.2	1.3	V
V _{ENHYST}	EN ヒステリシス電圧			0.22		V
V _{ENLEAK}	EN の入力リーク電流		-1	0	1	μA
ソフト スタート						
t _{SS}	ソフト スタート時間			1		ms
PGOOD コンパレータ						
V _{PGTH}	VDDQ PGOOD スレッシュホールド	高い方からの PGOOD 入力	104%	108%	111%	
		低い方からの PGOOD 入力	89%	92%	96%	
		高い方への PGOOD 出力	113%	116%	120%	
		低い方への PGOOD 出力	80%	84%	87%	
I _{PG}	PGOOD シンク電流	V _{PGOOD} = 0.5V	4	6		mA

5.5 電気的特性 (続き)

自由気流での動作温度範囲内、VREG = 5V、EN = 5V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{PGDLY}	PGOOD の遅延時間	PGOOD 入力時の遅延	0.8	1.0	1.2	ms
		PGOOD 出力時の遅延	2			μs
I _{PGLK}	PGOOD のリーク電流	V _{PGOOD} = 5V	-1	0	1	μA
電流検出						
R _{TRIP}	TRIP ピンの抵抗範囲		20		70	kΩ
I _{OCL}	電流制限スレッシュヨルド、バレー	R _{TRIP} = 52.3kΩ	10.1	12	13.9	A
		R _{TRIP} = 38kΩ	7.2	9.1	11.0	
I _{OCLN}	負の電流制限スレッシュヨルド、バレー	R _{TRIP} = 52.3kΩ	-15.3	-11.9	-8.5	A
		R _{TRIP} = 38kΩ	-12	-9	-6	
V _{ZC}	ゼロ交差検出オフセット		0			mV
保護						
V _{VREGUVLO}	VREG 低電圧誤動作防止 (UVLO) スレッシュヨルド電圧	ウェークアップ	3.25	3.34	3.41	V
		シャットダウン	3.00	3.12	3.19	
V _{VDDUVLO}	VDD UVLO スレッシュヨルド電圧	ウェークアップ (デフォルト)	4.15	4.25	4.35	V
		シャットダウン	3.95	4.05	4.15	
V _{OVP}	過電圧保護 (OVP) のスレッシルド電圧	OVP 検出電圧	116%	120%	124%	
t _{OVPDLY}	OVP 伝搬遅延	100mV オーバードライブの場合	300			ns
V _{UVP}	低電圧保護 (UVP) スレッシュヨルド電圧	UVP 検出電圧	64%	68%	71%	
t _{UVPDLY}	UVP 遅延	UVP フィルタ遅延	1			ms
サーマル シャットダウン						
T _{SDN}	サーマル シャットダウンのスレッシュヨルド ⁽¹⁾	シャットダウン温度	140			°C
		ヒステリシス	40			
LDO 電圧						
V _{REG}	LDO 出力電圧	V _{IN} = 12V、I _{LOAD} = 10mA	4.65	5	5.45	V
V _{DOVREG}	LDO Low ドループ ドロップアウト電圧	V _{IN} = 4.5V、I _{LOAD} = 30mA、T _A = 25°C	365			mV
I _{LDOMAX}	LDO 過電流制限	V _{IN} = 12V、T _A = 25°C	170	200		mA
内部 MOSFET						
R _{DS(on)H}	ハイサイド MOSFET オン抵抗	T _A = 25°C	13.8			mΩ
R _{DS(on)L}	ローサイド MOSFET オン抵抗	T _A = 25°C	5.9			mΩ

(1) 設計により規定されています。実製品の検査は行っていません。

(2) 式 1 に、抵抗デバイダ比 (R_{DR}) を示します。

5.6 代表的特性

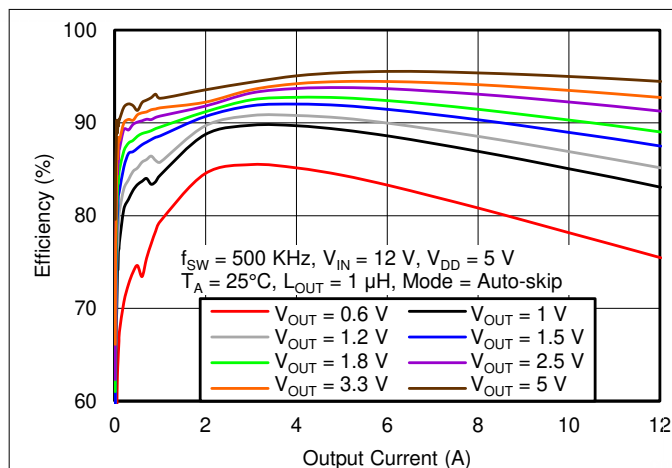


図 5-1. 効率と出力電流との関係

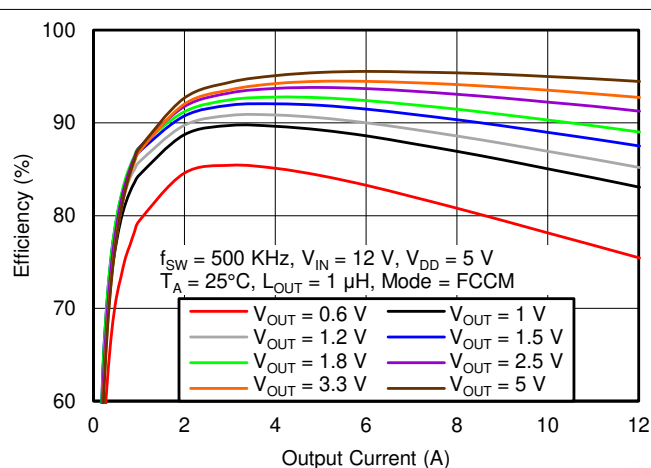


図 5-2. 効率と出力電流との関係

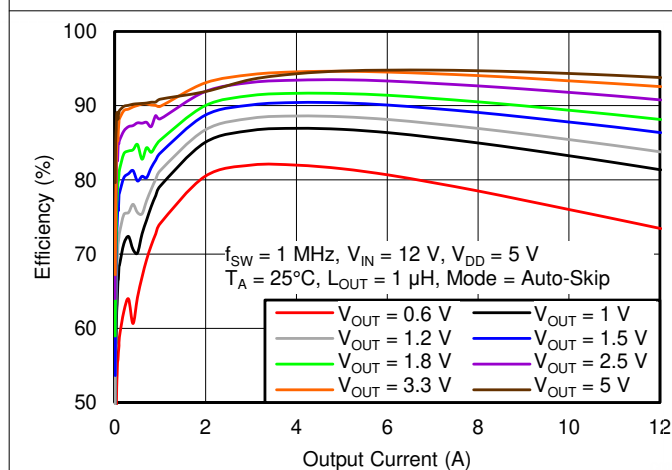


図 5-3. 効率と出力電流との関係

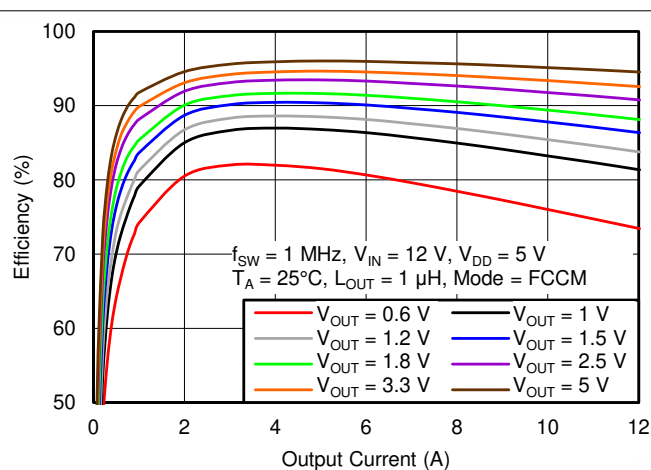


図 5-4. 効率と出力電流との関係

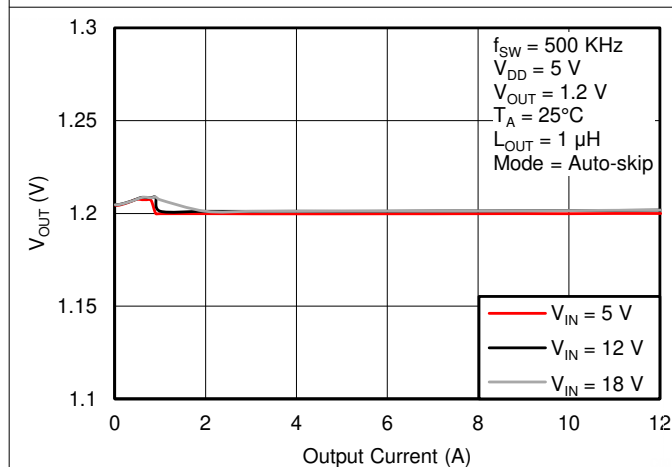


図 5-5. 出力電圧と出力電流の関係

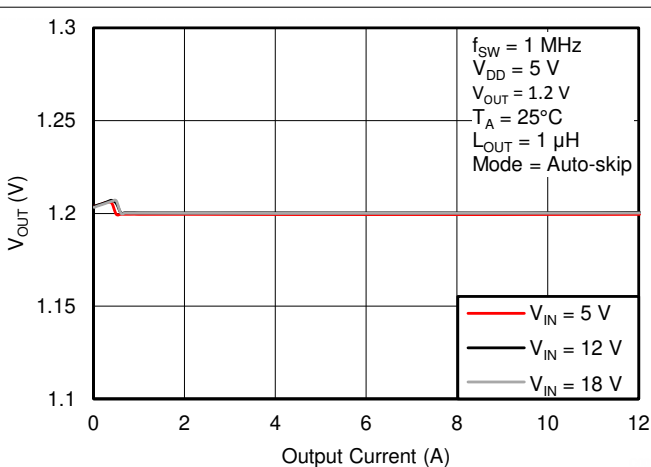


図 5-6. 出力電圧と出力電流の関係

5.6 代表的特性 (続き)

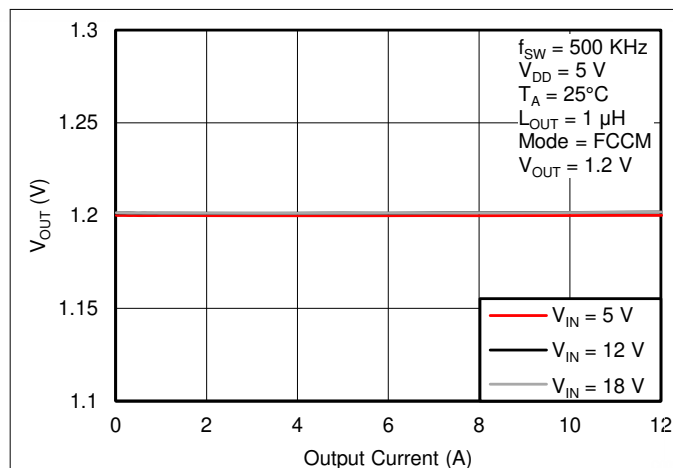


図 5-7. 出力電圧と出力電流の関係

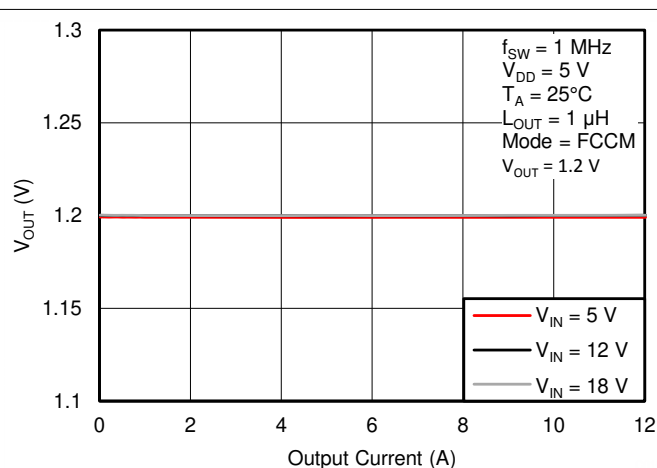


図 5-8. 出力電圧と出力電流の関係

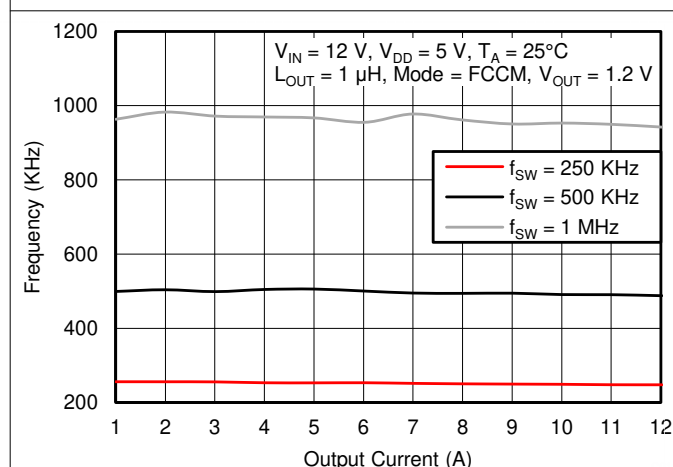


図 5-9. スイッチング周波数と出力電流との関係

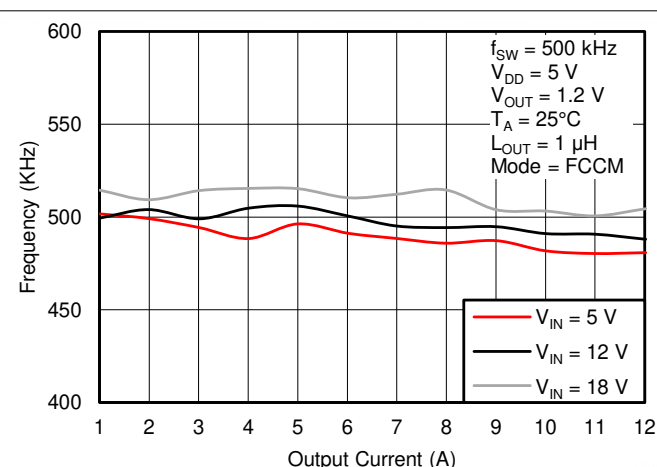
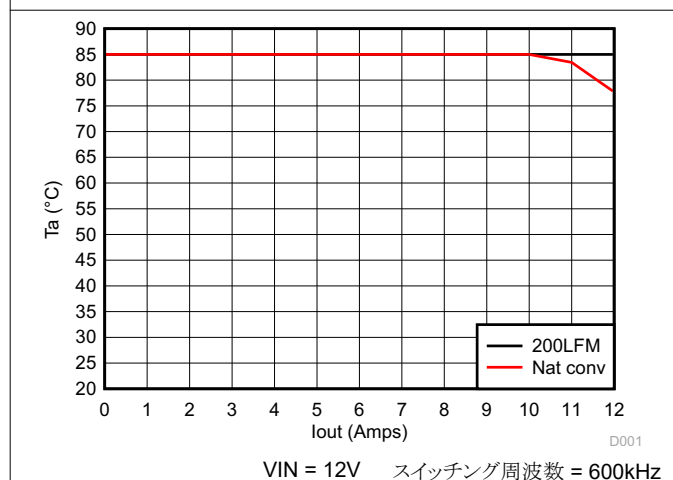
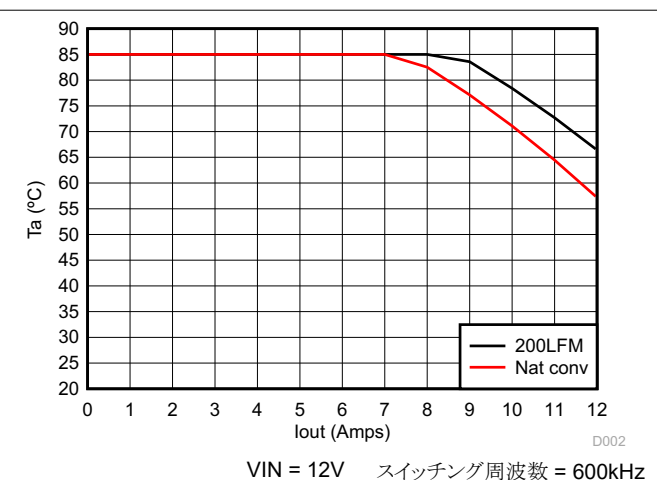


図 5-10. スイッチング周波数と出力電流との関係

図 5-11. 安全動作領域、 $V_O = 1.2V$ 図 5-12. 安全動作領域、 $V_O = 5V$

5.6 代表的特性 (続き)

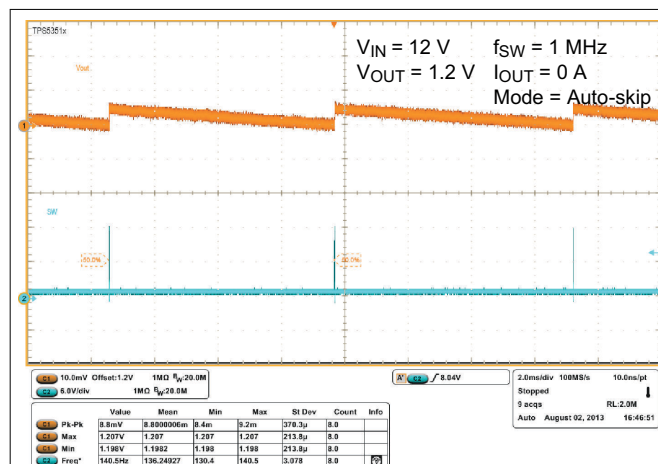


図 5-13. 自動スキップモードの定常状態動作

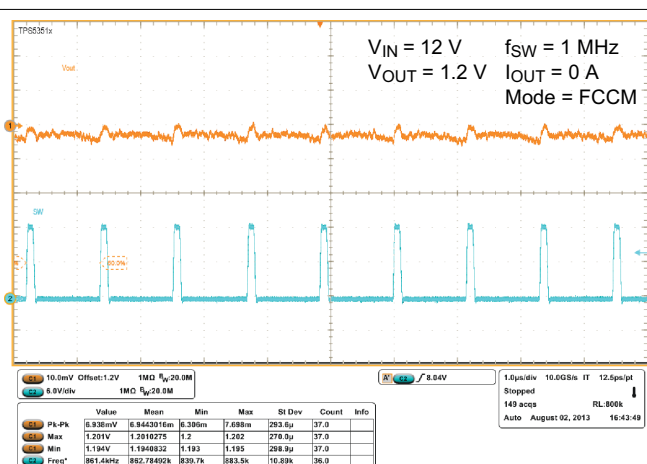


図 5-14. FCCM 定常状態動作

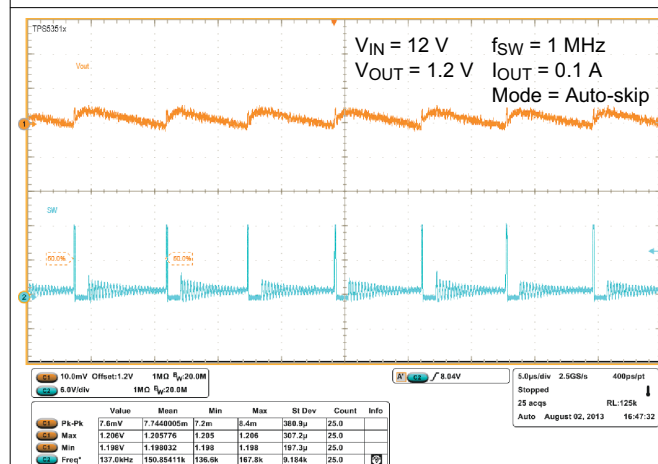


図 5-15. 自動スキップモードの定常状態動作

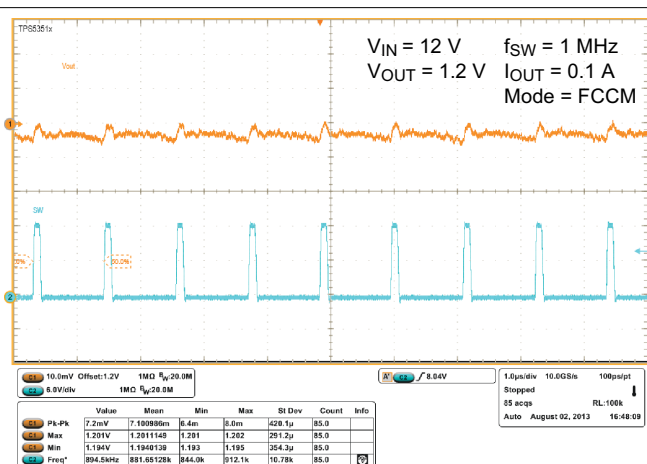


図 5-16. FCCM 定常状態動作

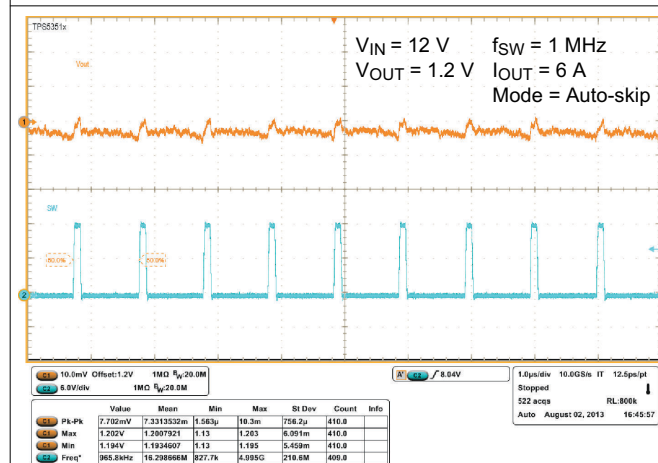


図 5-17. 自動スキップモードの定常状態動作

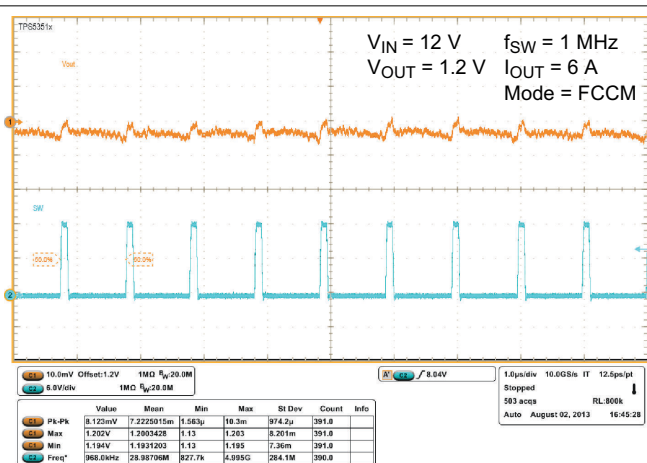


図 5-18. FCCM 定常状態動作

5.6 代表的特性 (続き)

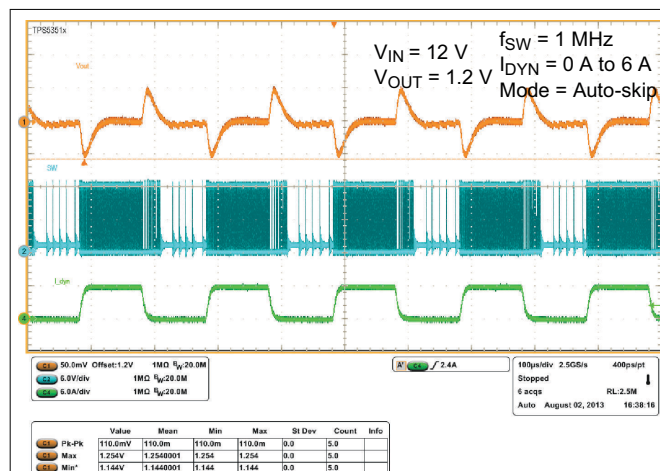


図 5-19. 自動スキップモードの負荷過渡応答

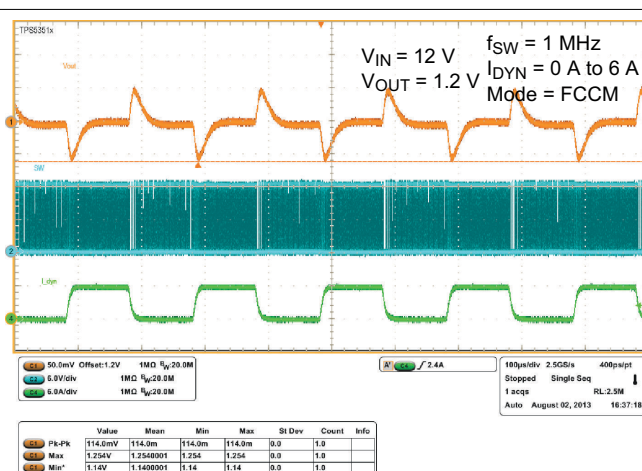


図 5-20. FCCM の負荷過渡応答



図 5-21. 自動スキップモードのスタートアップ

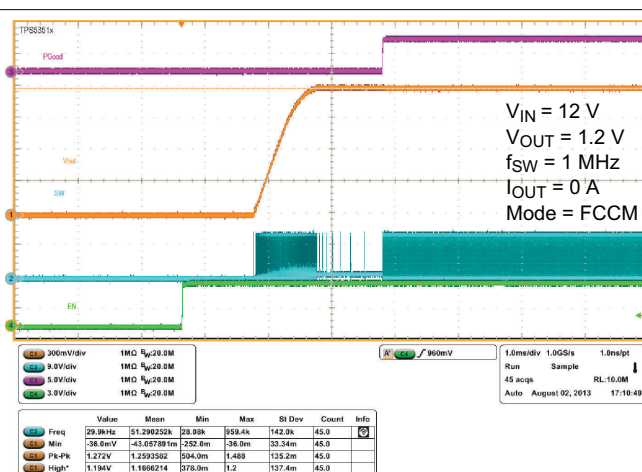


図 5-22. FCCM のスタートアップ

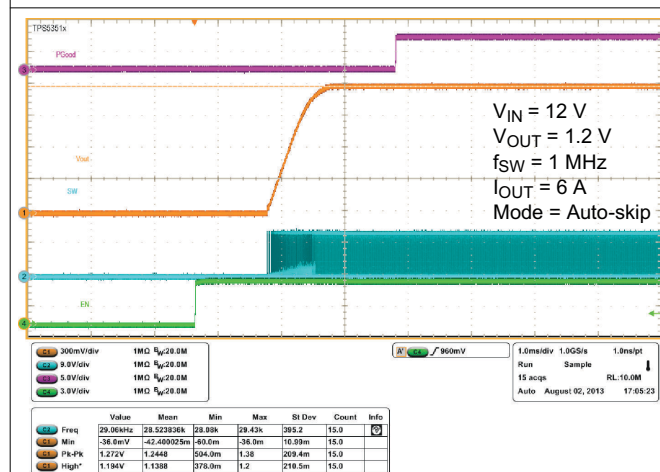


図 5-23. 自動スキップモードのスタートアップ

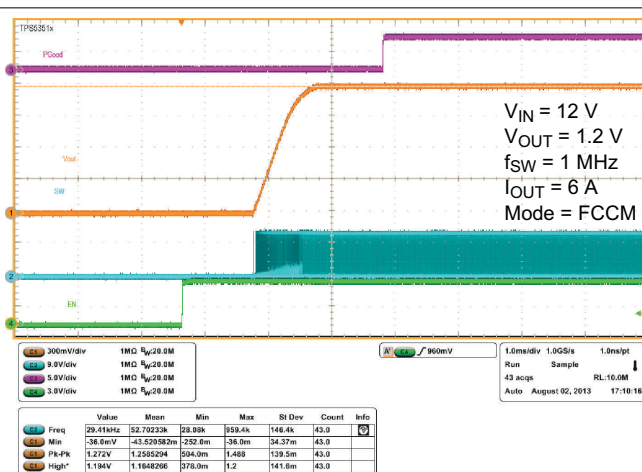


図 5-24. FCCM のスタートアップ

5.6 代表的特性 (続き)

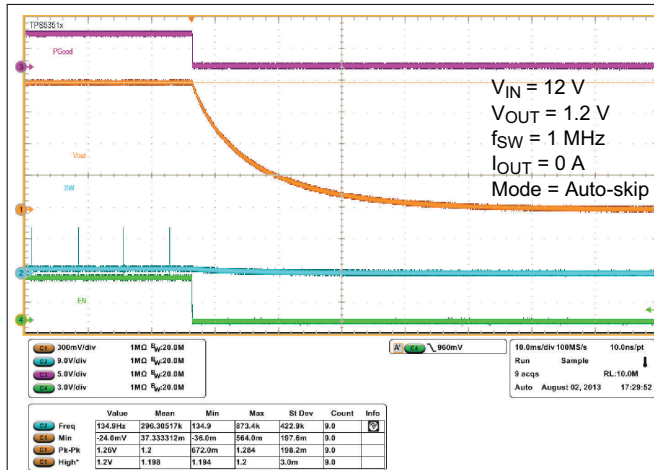


図 5-25. 自動スキップモードのシャットダウン動作

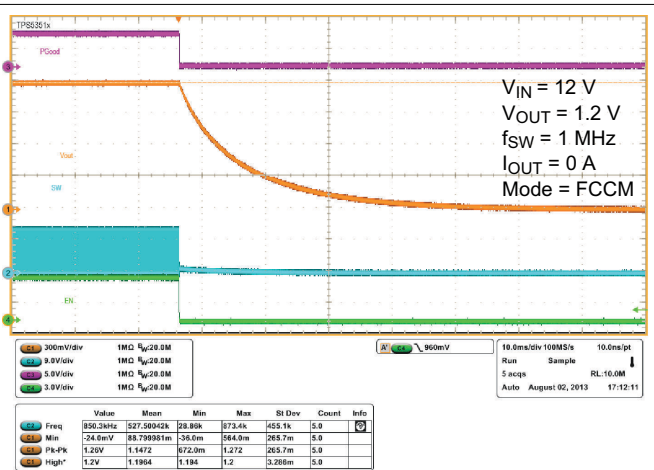


図 5-26. FCCM シャットダウン動作

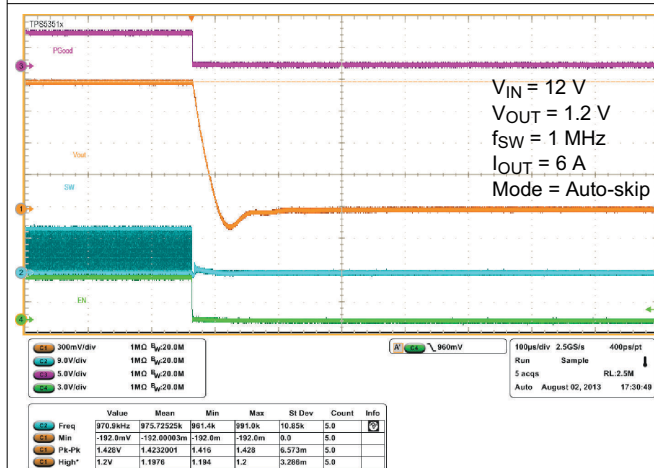


図 5-27. 自動スキップモードのシャットダウン動作

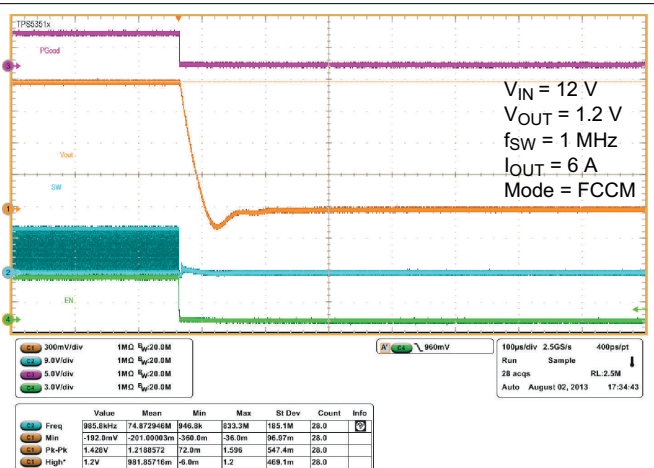


図 5-28. FCCM シャットダウン動作

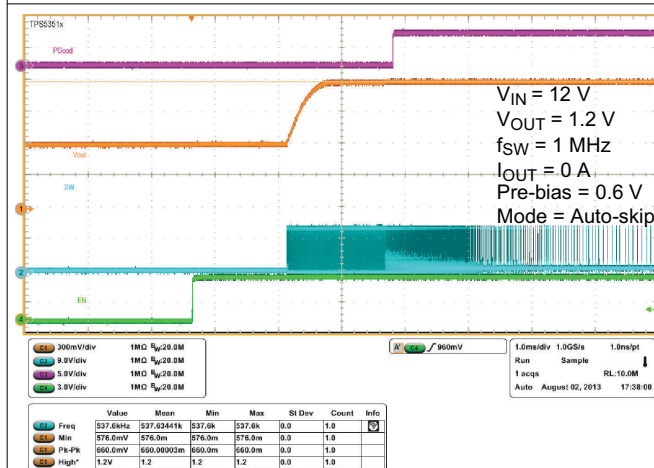


図 5-29. プリバイアス動作

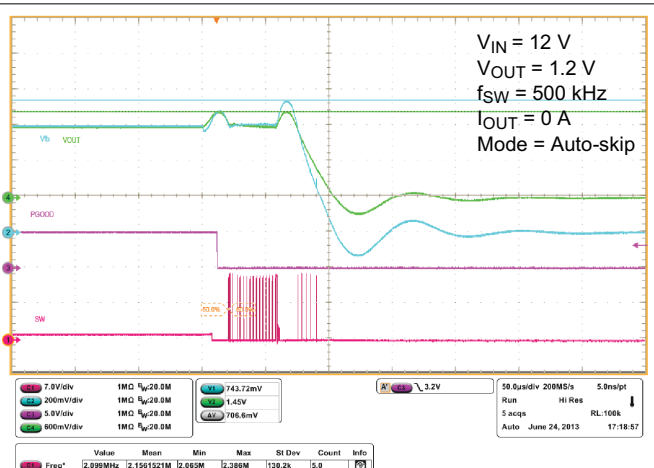
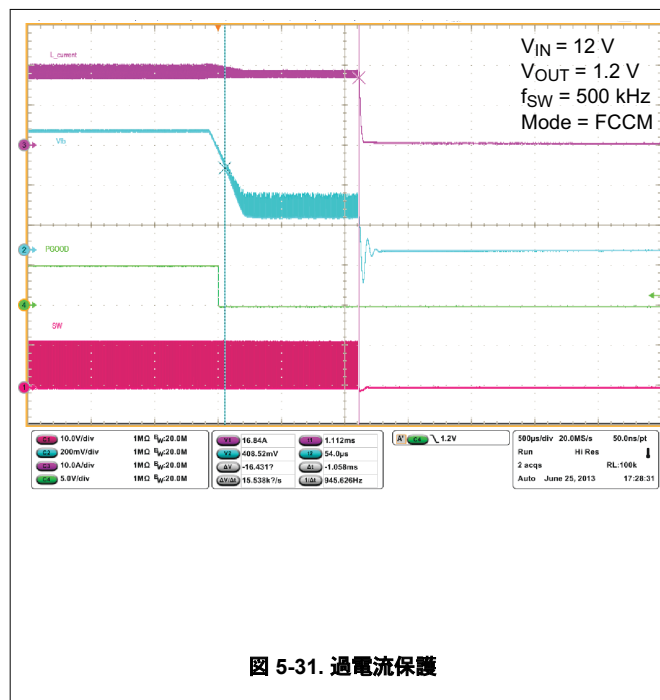


図 5-30. 過電圧保護

5.6 代表的特性 (続き)

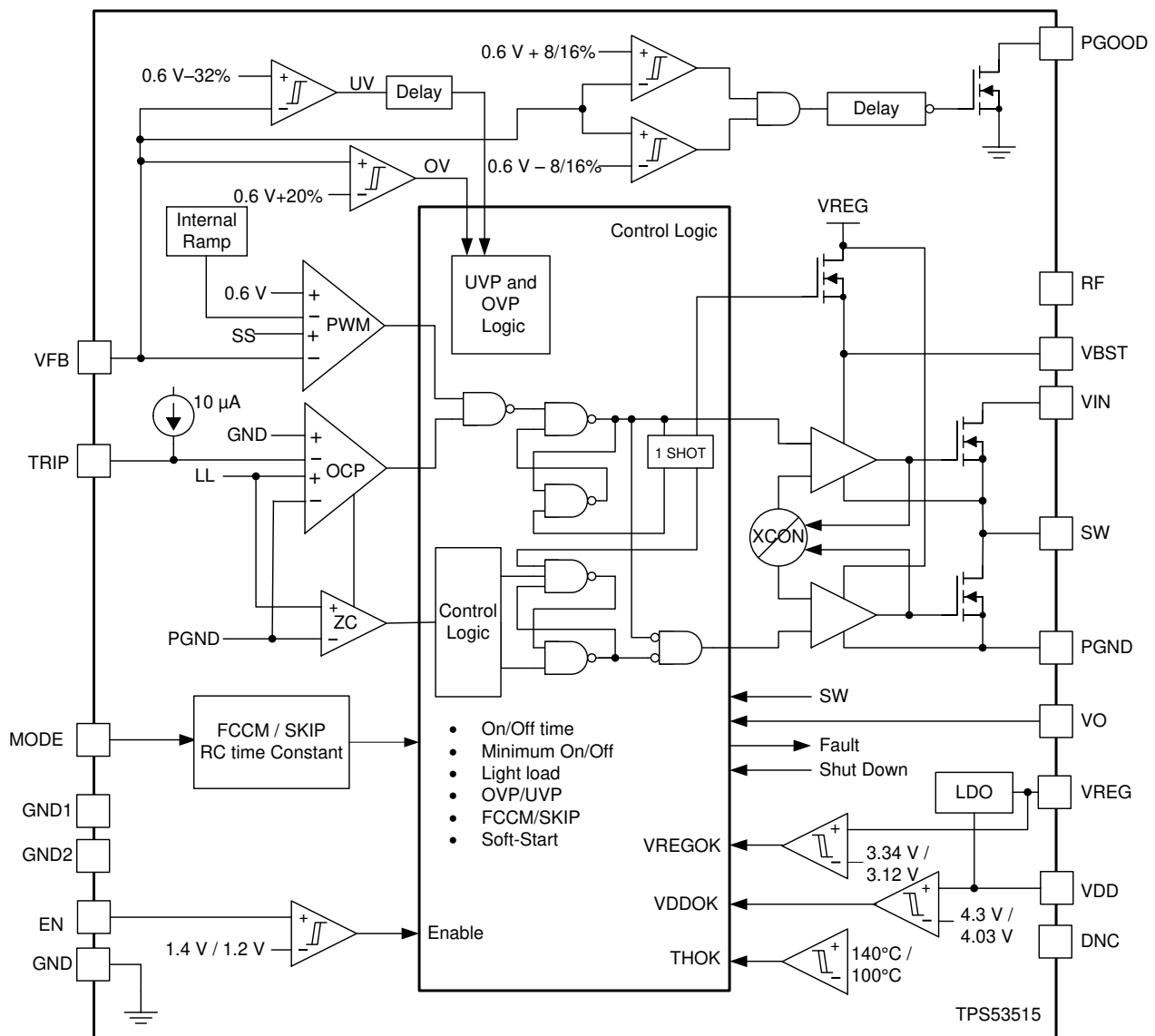


6 詳細説明

6.1 概要

TPS53515 デバイスは、高効率のシングル チャネル同期整流 降圧コンバータです。コンピューティングなどのデジタル コンシューマ製品に使用される出力電流 **12A** 以下の低出力電圧 **POL** (ポイント オブ ロード) アプリケーションに適しています。TPS53515 デバイスは、独自の **D-CAP3** 制御モードと適応型オン時間アーキテクチャを採用しています。この組み合わせにより、低デューティ比で超高速の負荷ステップ応答を持つ最新の **DC/DC** コンバータを理想的な方法で構築できます。出力電圧範囲は、**0.6V ~ 5.5V** です。変換入力電圧の範囲は **1.5V ~ 18V**、VDD 入力電圧の範囲は **4.5V ~ 25V** です。**D-CAP3** 制御モードは、エミュレートされた電流情報を使用して変調を制御します。この制御方式の利点として、これには外部位相補償回路が必要ないことが挙げられます。そのため、デバイスは使いやすく、外付け部品数も少なく済みます。適応型オン時間制御は、広い範囲の入力電圧および出力電圧にわたってプリセットされたスイッチング周波数を追跡すると同時に、負荷ステップ過渡が発生した際に必要に応じてスイッチング周波数を上昇させます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 5V LDO および VREG のスタートアップ

TPS53515 デバイスは、VDD からの入力と VREG への出力を使用する内部 5V LDO 機能を搭載しています。VDD 電圧が 2.8V を上回ると、内部 LDO が有効になり、VREG ピンに電圧が出力されます。VREG 電圧は、内部アナログ回路にバイアス電圧を供給します。VREG 電圧は、ゲートドライブにも電源電圧を供給します。

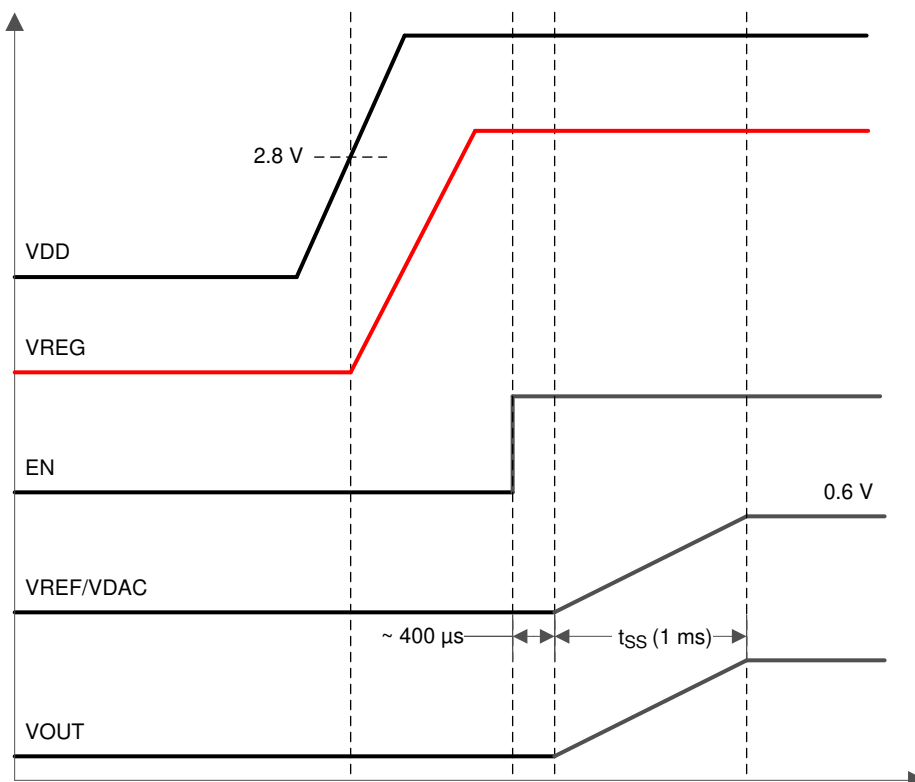


図 6-1. パワーアップ シーケンス波形

6.3.2 イネーブル、ソフトスタート、モード選択

内部 LDO レギュレータが直ちに起動し、VREG ピンで 5V にレギュレーション化されます。

EN ピンの電圧がイネーブルスレッシュホールド電圧 (標準 1.4V) を上回ると、コントローラはスタートアップシーケンスを開始します。次に、コントローラは最初の 400 μ s を使用して RF ピンに接続されるスイッチング周波数設定抵抗を較正し、スイッチング周波数コードを内部レジスタに保存します。この期間中に、このピンに接続された抵抗も MODE ピンでセンスされ、動作モードが決定されます。2 番目の位相では、内部 DAC がリファレンス電圧を 0V から 0.6V に上昇させ始めます。ランプアップ時間は 1ms です。デバイスは、負荷電流に関係なく、起動時に出力電圧のスムーズで一定のランプアップを維持します。

6.3.3 周波数の選択

TPS53515 デバイスでは、ユーザーは RF ピンを使用してスイッチング周波数を選択できます。表 6-1 に、分圧比とスイッチング周波数の選択における抵抗値の例をいくつか示します。温度係数 (標準値) が $\pm 100 \text{ ppm}/^\circ\text{C}$ の 1% 許容誤差抵抗を推奨します。より確実な SW 周波数検出のために、より厳密なノイズ マージンが必要な場合は、さらに高性能の抵抗を使用してください。

表 6-1. スイッチング周波数の選択

スイッチング周波数 (f _{sw}) (kHz)	抵抗 デバイダ ⁽¹⁾ (R _{DR})	RF 周波数の組み合わせ例	
		R _{RF_H} (kΩ)	R _{RF_L} (kΩ)
1000	> 0.557	1	300
850	0.461	180	154
750	0.375	200	120
600	0.297	249	105
500	0.229	240	71.5
400	0.16	249	47.5
300	0.096	255	27
250	< 0.041	270	11.5

(1) 式 1 に、抵抗デバイダ比 (R_{DR}) を示します。

$$R_{DR} = \frac{R_{RF_L}}{(R_{RF_L} + R_{RF_H})} \quad (1)$$

ここで、

- R_{RF_L} は、RF ピン抵抗デバイダ抗のローサイド抵抗です
- R_{RF_H} は、RF ピン抵抗デバイダのハイサイド抵抗です

6.3.4 D-CAP3 の制御およびモード選択

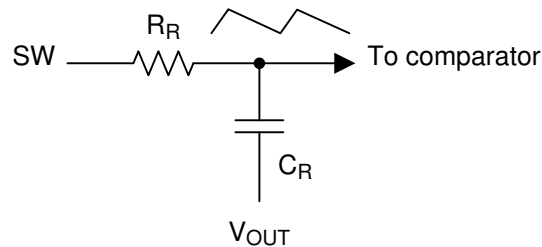


図 6-2. 内部 RAMP 生成回路

TPS53515 デバイスは、D-CAP3 制御モードを使用して、使いやすさを維持しながら高速な負荷過渡を実現します。ジッタを低減して安定性を維持するため、内部 RAMP が生成され、VFB ピンに供給されます。図 6-2 に示されているように、ランプの振幅は、R-C 時定数によって決定されます。スイッチング周波数の違い (f_{sw}) では、R-C 時定数が変動し、RAMP 振幅を比較的一定に保つことができます。

6.3.4.1 D-CAP3™ 制御モード

図 6-3 に示されているように、小信号ループ解析から、D-CAP3 モード制御アーキテクチャを使用する降圧コンバータは簡素化できます。

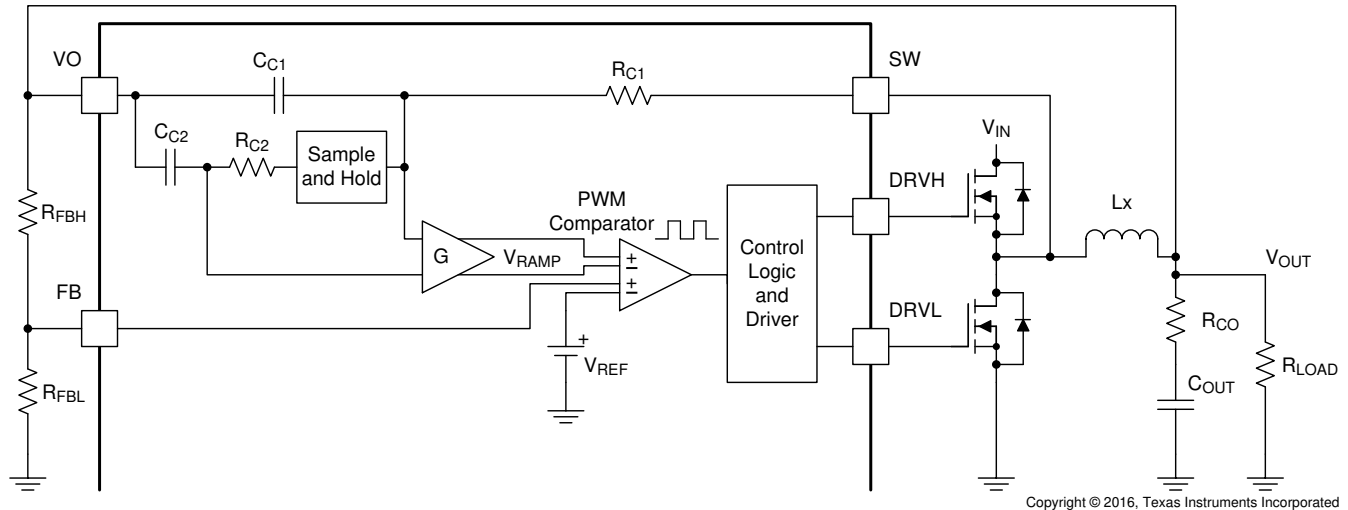


図 6-3. D-CAP3™ 制御モード

D-CAP3 制御モード アーキテクチャには、内部のリプル生成回路が含まれ、多層セラミック コンデンサ (MLCC) などの超低 ESR 出力コンデンサを使用できます。D-CAP3 制御モード アーキテクチャでは、外部の電流検出回路や電圧補償回路は不要です。内部リプル生成回路の役割は、インダクタ電流情報のリプル成分をエミュレートし、電圧帰還信号と組み合わせることでループ動作を制御することです。外部補償設計を使用しない制御トポロジでは、サポートできる出力フィルタには、最小範囲、最大範囲、またはその両方が存在します。TPS53515 デバイスで使用される出力フィルタは、ローパス L-C 回路です。この L-C フィルタは、式 2 に記載された二重極があります。

$$f_p = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} \quad (2)$$

低周波数では、出力設定点分圧抵抗回路、および TPS53515 デバイスの内部ゲインによって、全体のループ ゲインが設定されます。低周波域の L-C 二重極では、位相は 180 度の同相になります。出力フィルタ周波数では、10 進数毎にゲインが -40dB ロール オフし、位相は急速に減少します。内部リプル生成回路によって高周波数ゼロが導入されることで、ゲインのロール オフが 10 進数ごとに -40dB から -20dB に減り、位相はゼロ周波数より 10 進数ごとに 90 度増加します。

出力フィルタに使用するインダクタとコンデンサは、この高周波数ゼロから得られる位相ブーストによって安定性要件のための十分な位相マージンが確保されるように、式 2 の二重極を高周波数ゼロに十分近く配置する必要があります。

表 6-2. ゼロ位置の特定

スイッチング 周波数 (f _{sw}) (kHz)	ゼロ (f _z) 位置 (kHz)
250 および 300	6
400 および 500	7
600 および 750	9
850 および 1000	12

アプリケーション要件を特定した後は、インダクタのピーク ツー ピーク リップル電流が $I_{CC(max)}$ (アプリケーションのピーク電流) の約 25% ~ 35% となるように、出力インダクタンスを設計する必要があります。表 6-2 を使用して、選択したスイッチング周波数に基づいて内部ゼロを見つけることができます。一般に、妥当な (より小さな) 出力容量が求められる場合には、式 3 を使用して、安定動作に必要な出力容量を決定できます。

$$f_p = \frac{1}{2 \times \pi \times \sqrt{L_{OUT} \times C_{OUT}}} = f_z \quad (3)$$

MLCC を使用する場合は、設計の最終的な出力容量を決定する際に、ディレーティング特性を考慮します。たとえば、10 μ F、X5R、6.3V の仕様を持つ MLCC を使用する場合には、DC バイアスおよび AC バイアスによるディレーティングがそれぞれ 80% および 50% となります。実効的なディレーティングは、この 2 つの係数の積であり、この場合は 40%、4 μ F となります。システム アプリケーションで使用するコンデンサの具体的な特性については、コンデンサのメーカーに確認してください。

表 6-3 に、以下の仕様のアプリケーション設計の推奨出力フィルタ範囲を示します。

- 入力電圧、 $V_{IN} = 12V$
- スイッチング周波数、 $f_{SW} = 600kHz$
- 出力電流、 $I_{OUT} = 8A$

最小出力容量は、次の 2 つの条件を使用して評価基板で実施する小信号測定によって検証されます。

- ループ クロスオーバー周波数がスイッチング周波数 (300kHz) の 1/2 未満
- ループ クロスオーバーでの位相マージンが 50 度より大きい

最大出力キャパシタンス量の推奨事項については、このタイプのコンバータ設計で現実的に大きな出力キャパシタンスを採用する手順を簡素化し、次の 1 つの基準を使用して評価基板の小信号応答を検証します。

- ループ クロスオーバーでの位相マージンが 50 度より大きい

位相マージンに示されているように、実際の最大出力キャパシタンス ($C_{OUT(max)}$) はさらに大きくし続けることができます。ただし、小信号測定 (ボード線図) を実行して設計を確認する必要があります。

表 6-4 に示されているように、最大出力キャパシタンスの設計とアプリケーションの R-C 時定数オプションを 2 倍にするには、MODE ピン構成を選択します。通常の (またはそれより小さい) 出力キャパシタンスの設計とアプリケーションに対して、単一の R-C 時定数オプションを使用する MODE ピン構成を選択します。

MODE ピンは、スキップ モードまたは FCCM モード動作の選択にも使用できます。

表 6-3. 推奨部品値

V _{OUT} (V)	R _{LOWER} (kΩ)	R _{UPPER} (kΩ)	L _{OUT} (μH)	C _{OUT(min)} (μF) (1)	クロス オーバー (kHz)	位相 マージン (°)	C _{OUT(max)} (μF) (1)	内部 RC 設定 (μs)	インダクタ ΔI/I _{CC(max)}	I _{CC(max)} (A)
0.6	10	0	0.36 PIMB065T-R36MS	3 × 100	247	70		40	33%	8
					48	62	30x 100	80		
1.2		10	0.68 PIMB065T-R68MS	9 × 22	207	53		40	33%	
					25	84	30x 100	80		
2.5		31.6	1.2 PIMB065T-1R2MS	4 × 22	185	57		40	34%	
					11	63	30x 100	80		
3.3		45.3	1.5 PIMB065T-1R5MS	3 × 22	185	57		40	33%	
					9	59	30x 100	80		
5.5		82.5	2.2 PIMB065T-2R2MS	2 × 22	185	51		40	28%	
					7	58	30x 100	80		

(1) $C_{OUT(min)}$ および $C_{OUT(max)}$ コンデンサのすべての仕様は、1206、X5R、10V です。

2.0V 以上の高出力電圧の場合、固定オン時間トポロジに基づく動作で、高出力電圧 (大きなオン時間 (t_{ON})) 設定での位相遅延/損失により、十分な位相マージンを確保するために追加の位相ブーストが必要になる場合があります。

R_{UPPER} と並列にフィードフォワード コンデンサを配置すると、ループ クロスオーバーでの位相マージンを増やすために非常に効果的であることがわかっています。詳細については、TI アプリケーション ノート [SLVA289](#) を参照してください。

表 6-4. モード選択と内部 RAMP R-C 時定数

モード 選択	アクション	R_{MODE} (k Ω)	R-C 時定数 (μ s)	スイッチング 周波数 f_{sw} (kHz)
スキップ モード	GND にプルダウン	0	60	250 および 300
			50	400 および 500
			40	600 および 750
			30	850 および 1000
		150	120	250 および 300
			100	400 および 500
			80	600 および 750
			60	850 および 1000
FCCM ⁽¹⁾	PGOOD に接続	20	60	250 および 300
			50	400 および 500
			40	600 および 750
			30	850 および 1000
		150	120	250 および 300
			100	400 および 500
			80	600 および 750
			60	850 および 1000
FCCM	VREG に接続	0	120	250 および 300
			100	400 および 500
			80	600 および 750
			60	850 および 1000

(1) PGOOD が High になると、デバイスは強制 CCM (FCCM) に移行します。

6.3.4.2 サンプル/ホールド回路

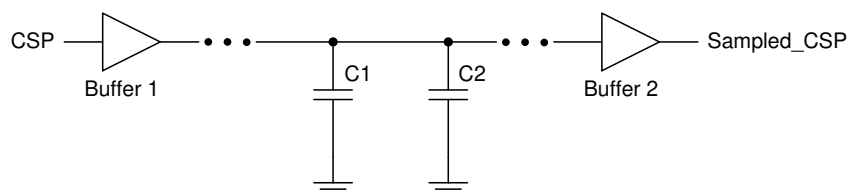


図 6-4. サンプル/ホールド ロジック回路

サンプル/ホールド回路は、D-CAP3 制御モードと D-CAP2 の差です。サンプル/ホールド回路は、デバイスの出力電圧の精度を向上させるための高度な制御方式であり、TPS53515 このデバイスの特長の 1 つです。サンプル/ホールド回路は、 R_{C2} と C_{C2} によって生成される電圧ではなく CSN の新しい DC 電圧を生成します。このため、厳格な出力電圧精度を実現でき、TPS53515 デバイスの競争力をより高めることができます。

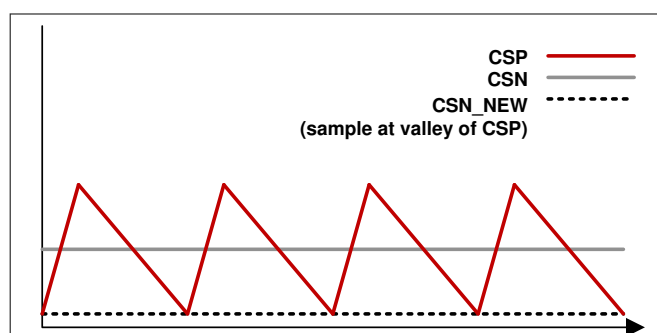


図 6-5. サンプル/ホールド回路による連続導通モード (CCM)

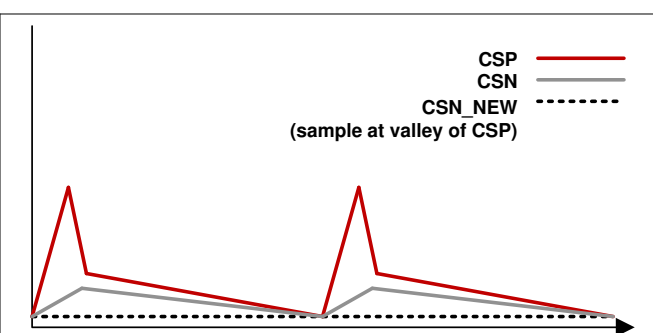


図 6-6. サンプル/ホールド回路による不連続導通モード (DCM)

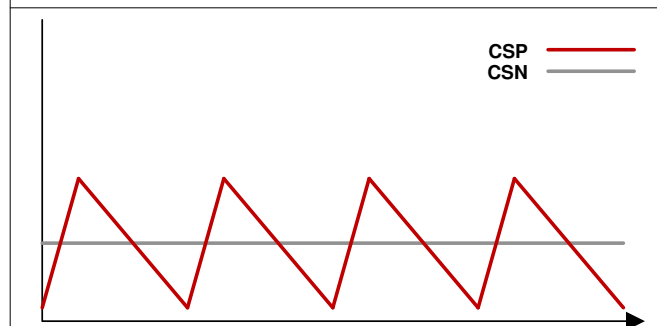


図 6-7. サンプル/ホールド回路なしの連続導通モード (CCM)

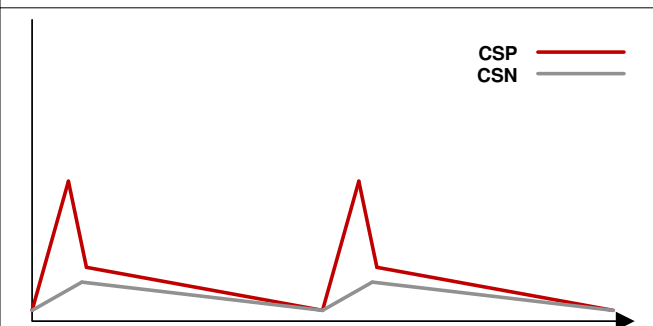


図 6-8. サンプル/ホールド回路なしの不連続導通モード (DCM)

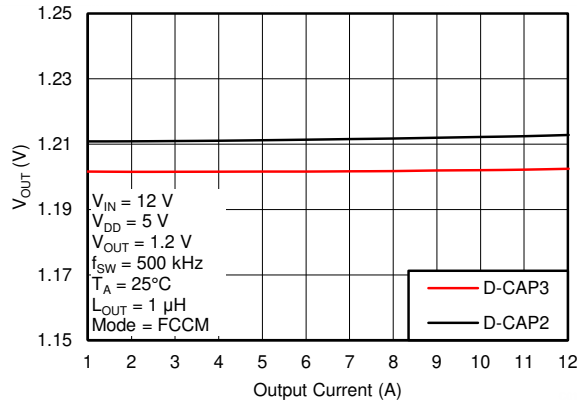


図 6-9. 出力電圧と出力電流との関係

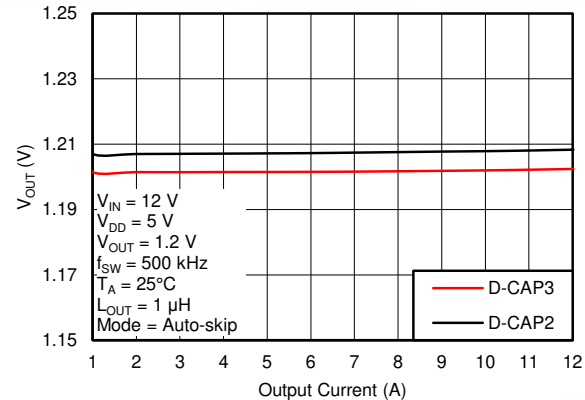


図 6-10. 出力電圧と出力電流との関係

6.3.4.3 適応型ゼロ交差

TPS53515 デバイスでは、適応型ゼロクロス回路を使用して、スキップ モード動作時にゼロ インダクタ電流検出の最適化を行います。この機能によって、ローサイド MOSFET の理想的なターンオフ タイミングが実現されます。この機能は、Z-C コンパレータの固有オフセット電圧と Z-C 検出回路の遅延時間も補償します。適応型ゼロ交差は、遅すぎる検出に起因する SW ノードのスイングを防止し、早すぎる検出に起因するダイオード導通期間を最小化します。結果として、デバイスの軽負荷効率が向上します。

6.3.5 パワー グッド

TPS53515 デバイスには、スイッチャ出力が目標範囲内のときに High となるパワー グッド出力があります。パワー グッド機能は、ソフト スタート動作の完了後にアクティブになります。出力電圧が目標値の $\pm 8\%$ 内である場合、内部のコンパレータによりパワー グッド状態が検出され、内部で 1ms の遅延が加えられた後、パワー グッド信号が High になります。出力電圧が目標値の $\pm 16\%$ の範囲外になった場合、内部で 2µs の遅延が加えられた後、パワー グッド信号が Low になります。パワー グッド出力は、オープンドレイン出力であり、外部でプルアップする必要があります。

6.3.6 電流センスと過電流保護

S

TPS53515 デバイスは、サイクルごとの過電流制限制御を実現します。オフ状態のとき、インダクタ電流が監視されます。インダクタ電流が過電流トリップ レベルを超えている間、オフ状態が維持されます。良好な精度とコスト効率の高い設計を実現するため、TPS53515 デバイスは温度補償型 MOSFET $R_{DS(on)}$ センシングをサポートしています。トリップ電圧設定抵抗 R_{TRIP} を介して TRIP ピンを GND に接続します。式 4 に示されているように、TRIP ピンからは室温で標準 10µA の I_{TRIP} 電流が供給され、トリップレベルは OCL トリップ電圧 V_{TRIP} に設定されます。

$$V_{TRIP} = R_{TRIP} \times I_{TRIP} \quad (4)$$

ここで、

- V_{TRIP} の単位は mV です
- R_{TRIP} の単位は kΩ です
- I_{TRIP} の単位は µA です

インダクタ電流は、GND ピンと SW ピンの間の電圧によって監視されるため、SW ピンをローサイド MOSFET のドレインピンに適切に接続する必要があります。 I_{TRIP} には、 $R_{DS(on)}$ の温度依存性を補償するための 3000ppm/°C の温度勾配があります。GND ピンが正電流センス ノードとして機能します。GND ピンは、適切な電流センス デバイス(ローサイド MOSFET のソースピンなど)に接続します。

オフ状態で比較されるため、 V_{TRIP} によりインダクタ電流のバレー レベルがセットされます。そのため、過電流スレッショルド I_{OCP} での負荷電流は、式 5 のように計算します。

$$I_{OCP} = \frac{V_{TRIP}}{(8 \times R_{DS(on)L})} + \frac{I_{IND(ripple)}}{2} = \frac{V_{TRIP}}{(8 \times R_{DS(on)L})} + \frac{1}{2 \times L \times f_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (5)$$

ここで、

- $R_{DS(on)L}$ ローサイド MOSFET のオン抵抗です。
- R_{TRIP} の単位は $k\Omega$ です。

式 5 により、標準的な DC OCP レベルを計算します (標準のローサイド オン抵抗 [$R_{DS(on)}$] である $5.9m\Omega$ を使用する必要があります)。考えられる限り最悪の事態の最小 OCP を設計するには、最大ローサイド オン抵抗値である $8m\Omega$ を使用する必要があります。

過電流の間は、負荷の電流が出力コンデンサの電流を上回るため、出力電圧が低下する傾向があります。最終的に、出力電圧が低電圧保護スレッシュホールドを超えてシャットダウンします。

TPS53515 デバイスの場合、最大 14A までの過電流保護を推奨します。

6.3.7 過電圧および低電圧保護

TPS53515 デバイスは、抵抗分割されたフィードバック電圧を監視して、過電圧および低電圧を検出します。帰還電圧がターゲット電圧の 68% を下回ると、UVP コンパレータ出力は High になり、内部 UVP 遅延カウンタがカウントを開始します。1ms 後、TPS53515 デバイスはハイサイドとローサイド両方の MOSFET ドライバをオフにラッチします。UVP 機能は、ソフトスタートの完了後にイネーブルになります。

帰還電圧がターゲット電圧の 120% を超えると、OVP コンパレータ出力が High になり、回路はハイサイド MOSFET ドライバをオフにラッチし、負の電流制限に達するまでローサイド MOSFET をオンにします。負の電流制限値に達すると、ローサイド FET がオフになり、最小オン時間のため、ハイサイド FET が再度オンになります。TPS53515 デバイスは、1ms 間 UVP スレッシュホールド電圧未満に出力電圧がプルダウンされるまで、このサイクルで動作します。UVP 遅延時間が 1ms の後、ハイサイド FET がオフにラッチされ、ローサイド FET がオンにラッチされます。このラッチは、VDD のリセット、または EN ピンの再トリグリングによってクリアされます。

6.3.8 範囲外動作

TPS53515 デバイスには範囲外 (OOB) 過電圧保護機能があり、目標電圧より 8% 高い値で、はるかに低い過電圧スレッシュホールドで出力負荷を保護します。OOB 保護は過電圧フォルトをトリグしないため、OOB イベント後にデバイスはオフにラッチされません。OOB 保護は、早期フォルトなし過電圧保護メカニズムとして動作します。OOB 動作中、コントローラはローサイド FET をオンにすることでのみ強制 PWM モードで動作します。ローサイド FET をゼロ インダクタ電流を超えてオンにすることで、出力コンデンサがすばやく放電され、出力電圧が設定点へと急速に低下します。動作中には、サイクル単位の負電流制限もアクティブになり、内部 FET が安全に動作するようにします。

6.3.9 UVLO 保護

TPS53515 デバイスは、VDD ピンの電圧を監視します。VDD ピンの電圧が UVLO オフ スレッシュホールド電圧を下回ると、スイッチ モード電源がオフになります。VDD 電圧が UVLO オン スレッシュホールド電圧を上回ると、コントローラは再度オンになります。UVLO は非ラッチ方式の保護です。

6.3.10 サーマル シャットダウン

TPS53515 デバイスは、内部温度を監視します。温度がスレッシュホールド値 (通常 140°C) を超えると、TPS53515 デバイスはシャットダウンします。温度がスレッシュホールド値を約 40°C 下回ると、デバイスはオンになります。サーマル シャットダウンは非ラッチ方式の保護です。

6.4 デバイスの機能モード

6.4.1 自動スキップエコモード軽負荷動作

MODE ピンが直接または $150k\Omega$ 抵抗を介して GND にプルされている間、TPS53515 デバイスは軽負荷状態でスイッチング周波数を自動的に下げて、高い効率を維持します。このセクションでは、この動作について詳しく説明します。

重負荷状態から出力電流が減少すると、インダクタ電流のリップルの谷がゼロレベルに達するまで、インダクタ電流も減少します。ゼロレベルは、連続導通モードと不連続導通モードの間の境界です。このゼロインダクタ電流が検出されると、同期 MOSFET がオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モード (DCM) に入ります。オン時間は連続導通モード動作中とほぼ同じレベルに維持されるため、出力コンデンサを小さな負荷電流でリファレンス電圧レベルまで放電するには、より長い時間を要します。軽負荷動作への遷移点 $I_{O(LL)}$ (たとえば、連続導通モードと不連続導通モード間のスレッシュホールド) は、式 6 に示されている式で計算できます。

$$I_{OUT(LL)} = \frac{1}{2 \times L \times f_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (6)$$

ここで、

- f_{SW} は、PWM スイッチング周波数です

自動スキップモードに対しては、セラミックコンデンサのみを使用することを推奨します。

6.4.2 強制連続導通モード

MODE ピンが抵抗を介して PGOOD ピンに接続されている場合、コントローラは軽負荷状態で連続導通モード (CCM) で動作します。CCM 時は、負荷範囲全体にわたってスイッチング周波数がほぼ一定に保たれます。これは効率低下を犠牲にしてもスイッチング周波数の厳密な制御が必要なアプリケーションに適しています。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TPS53515 デバイスは、高効率のシングル チャネル同期整流 降圧コンバータです。コンピューティングなどのデジタル消費製品に使用される出力電流 12A 以下の低出力電圧 POL (ポイント オブ ロード) アプリケーションに適しています。

7.2 代表的なアプリケーション

この設計例では、MOSFET を内蔵した D-CAP3 制御モードの 8A 同期整流降圧コンバータを示します。デバイスは、12V の入力バスから、1.2V の固定出力電圧で、最大 8A を供給します。

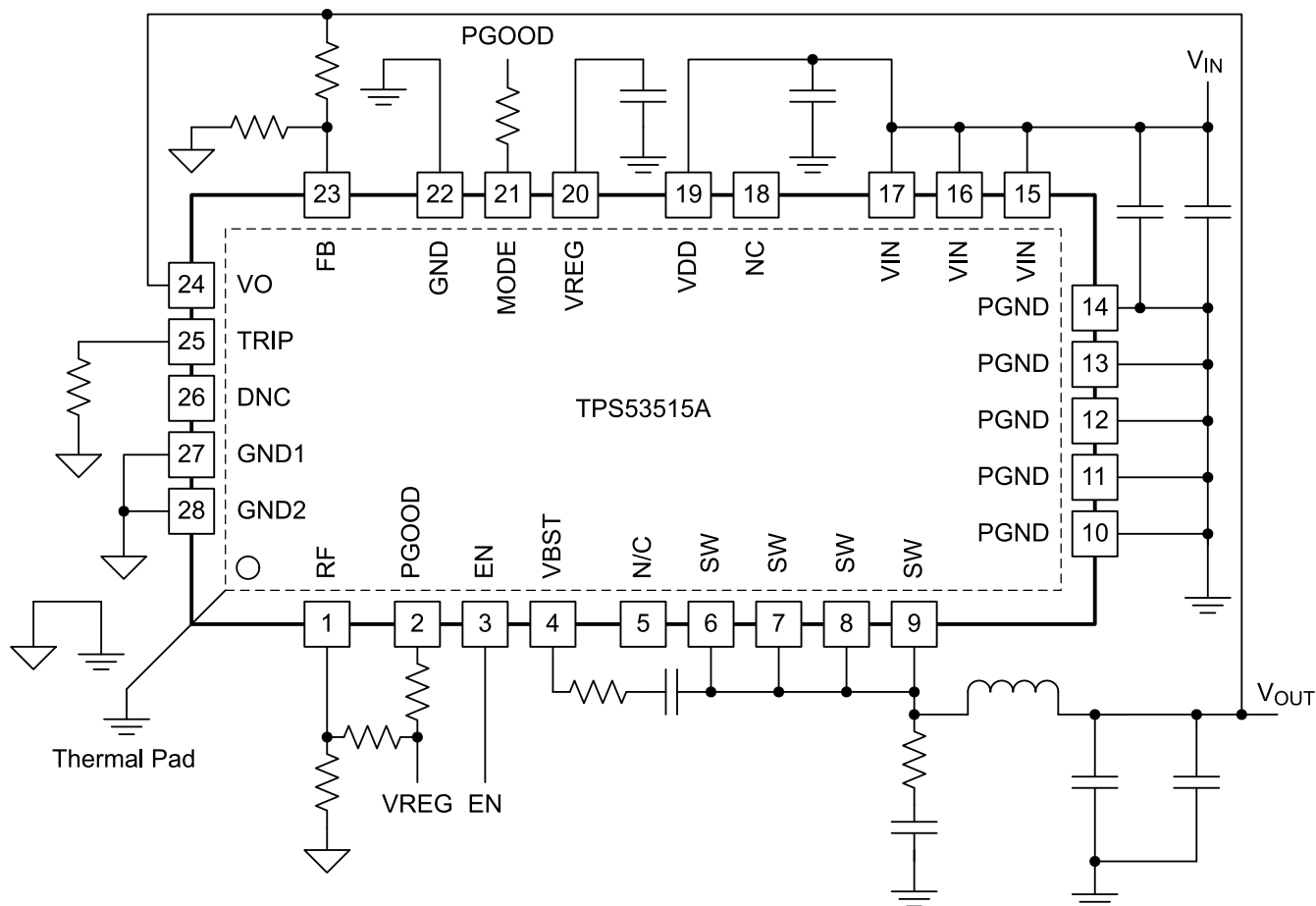


図 7-1. アプリケーション回路図

7.2.1 設計要件

この設計では、表 7-1 に記載されているパラメータを使用します。

表 7-1. 設計例の仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力特性					
V _{IN} 電圧範囲		5	12	18	V
I _{MAX} 最大入力電流	V _{IN} = 5V, I _{OUT} = 8A		2.5		A
無負荷時入力電流	V _{IN} = 12V, I _{OUT} = 0A (自動スキップ モード)		1		mA
出力特性					
V _{OUT} 出力電圧			1.2		V
出力電圧レギュレーション	ラインレギュレーション、 5V ≤ V _{IN} ≤ 14V (FCCM)		0.2%		
	負荷レギュレーション、 V _{IN} = 12V, 0A ≤ I _{OUT} ≤ 8A (FCCM)		0.5%		
V _{RIPPLE} 出力電圧リップル	V _{IN} = 12V, I _{OUT} = 8A (FCCM)		10		mV _{pp}
I _{LOAD} 出力負荷電流		0		12	A
I _{OVER} 出力過電流			11		
t _{SS} ソフトスタート時間			1		ms
システム特性					
f _{SW} スイッチング周波数			1		MHz
η ピーク効率	V _{IN} = 12V, V _{OUT} = 1.2V, I _{OUT} = 4A		88.5%		
η 全負荷効率	V _{IN} = 12V, V _{OUT} = 1.2V, I _{OUT} = 8A		86.9%		
T _A 動作温度			25		°C

7.2.2 詳細な設計手順

外付け部品の選択は、D-CAP3 制御モードを使用した簡単なプロセスです。外部部品は以下の手順で選択します。

7.2.2.1 スイッチング周波数の選択

スイッチング周波数は、RF ピンの抵抗デバイダによって構成されます。250kHz ~ 1MHz の 8 つのスイッチング周波数のいずれかを選択します。スイッチング周波数と抵抗デバイダ構成の関係については、表 6-1 を参照してください。

7.2.2.2 動作モードの選択

表 6-4 を使用して、動作モードを選択します。

7.2.2.3 インダクタの選択

リップル電流が最大出力電流の約 1/4 ~ 1/2 になるようにインダクタンス値を決定します。リップル電流が大きいと、出力リップル電圧が増加し、信号対雑音比が向上して、動作の安定に役立ちます。

$$\begin{aligned}
 L &= \frac{1}{I_{\text{IND(ripple)}} \times f_{\text{SW}}} \times \frac{(V_{\text{IN(max)}} - V_{\text{OUT}}) \times V_{\text{OUT}}}{V_{\text{IN(max)}}} = \frac{3}{I_{\text{OUT(max)}} \times f_{\text{SW}}} \times \frac{(V_{\text{IN(max)}} - V_{\text{OUT}}) \times V_{\text{OUT}}}{V_{\text{IN(max)}}} \\
 &= \frac{3}{6 \times 500\text{kHz}} \times \frac{(12\text{V} - 1.2\text{V}) \times 1.2\text{V}}{12\text{V}} = 1.08\mu\text{H}
 \end{aligned} \tag{7}$$

インダクタは良好な効率を達成するために Low DCR が必要です。また、ピーク インダクタ電流から飽和までの間に十分な余裕が必要です。ピーク インダクタ電流は、式 8 を使用して見積もります。

$$I_{\text{IND(peak)}} = \frac{V_{\text{TRIP}}}{8 \times R_{\text{DS(on)}}} + \frac{1}{L \times f_{\text{SW}}} \times \frac{(V_{\text{IN(max)}} - V_{\text{OUT}}) \times V_{\text{OUT}}}{V_{\text{IN(max)}}} = \frac{10 \mu\text{A} \times R_{\text{TRIP}}}{8 \times 5.9 \text{m}\Omega} + \frac{1}{1 \mu\text{H} \times 500 \text{kHz}} \times \frac{(12 \text{V} - 1.2 \text{V}) \times 1.2 \text{V}}{12 \text{V}} \quad (8)$$

7.2.2.4 出力コンデンサの選択

出力コンデンサの選択は、出力リップルと過渡要件によって決定されます。式 9 に示されているように、CCM で動作する場合、出力リップルには 2 つの成分があります。式 10 および 式 11 が成分を定義します。

$$V_{\text{RIPPLE}} = V_{\text{RIPPLE(C)}} + V_{\text{RIPPLE(ESR)}} \quad (9)$$

$$V_{\text{RIPPLE(C)}} = \frac{I_{\text{L(ripple)}}}{8 \times C_{\text{OUT}} \times f_{\text{SW}}} \quad (10)$$

$$V_{\text{RIPPLE(ESR)}} = I_{\text{L(ripple)}} \times \text{ESR} \quad (11)$$

7.2.2.5 R1 と R2 の値を決定

出力電圧は、式 12 に示す分圧抵抗 R1 および R2 によってプログラムされます。R1 は VFB ピンと出力の間に接続し、R2 を VFB ピンと GND の間に接続します。推奨される R2 値は 1kΩ ~ 20kΩ です。式 12 を使用して R1 を決定します。

$$R1 = \frac{V_{\text{OUT}} - 0.6}{0.6} \times R2 = \frac{1.2 \text{V} - 0.6}{0.6} \times 10 \text{k}\Omega = 10 \text{k}\Omega \quad (12)$$

7.2.3 アプリケーション曲線

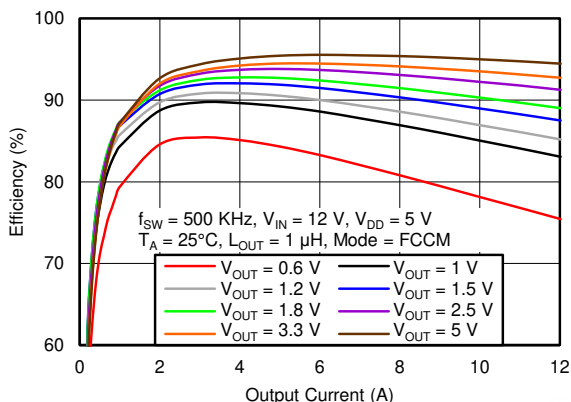


図 7-2. 効率と出力電流との関係

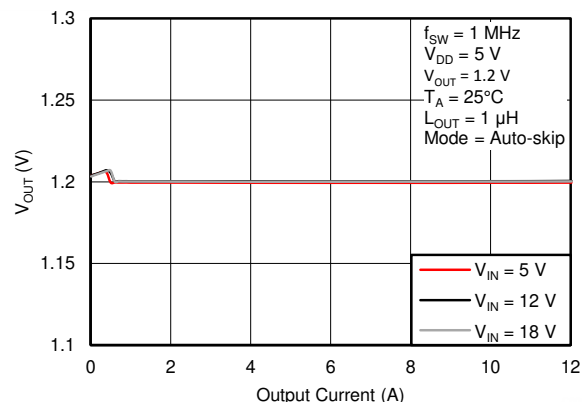


図 7-3. 出力電圧と出力電流の関係

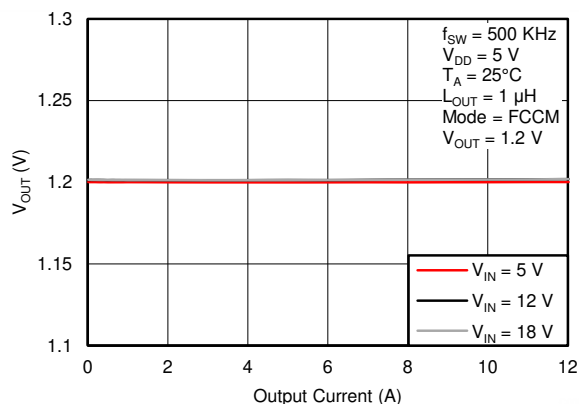


図 7-4. 出力電圧と出力電流の関係

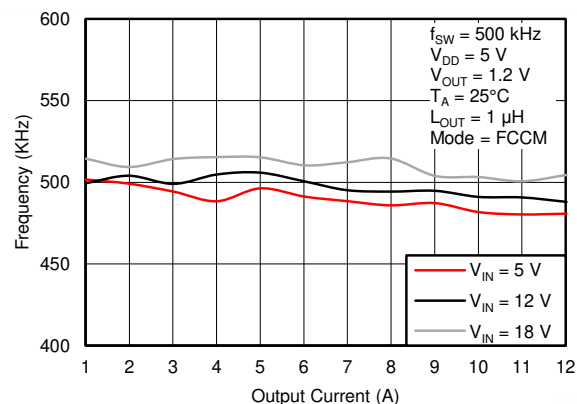


図 7-5. スイッチング周波数と出力電流との関係

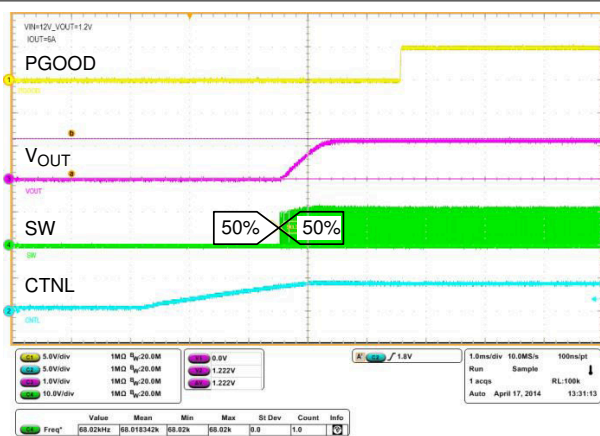
 $I_{LOAD} = 6A$

図 7-6. スタートアップ シーケンス

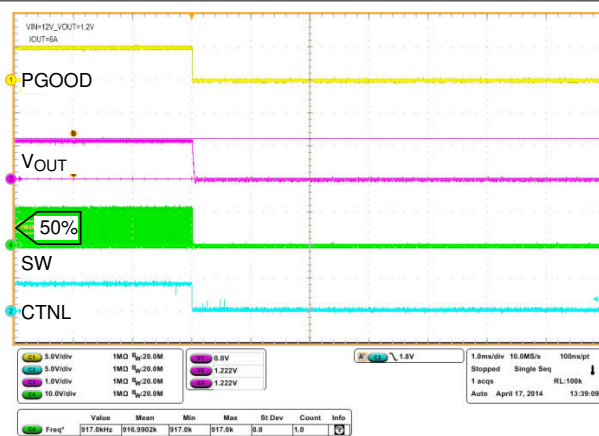
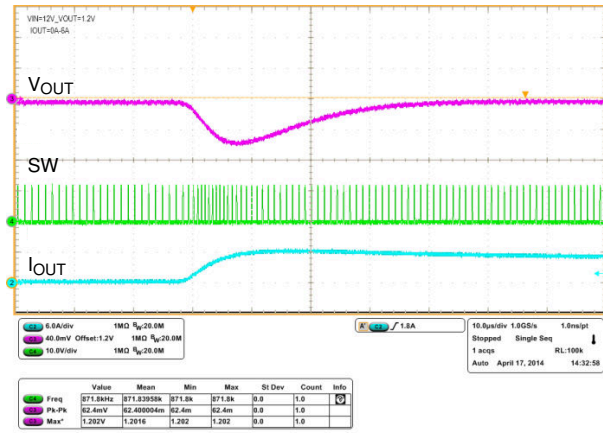
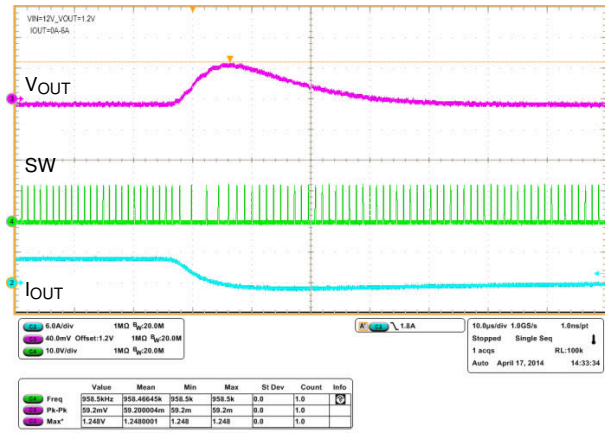
 $I_{LOAD} = 6A$

図 7-7. シャットダウン シーケンス



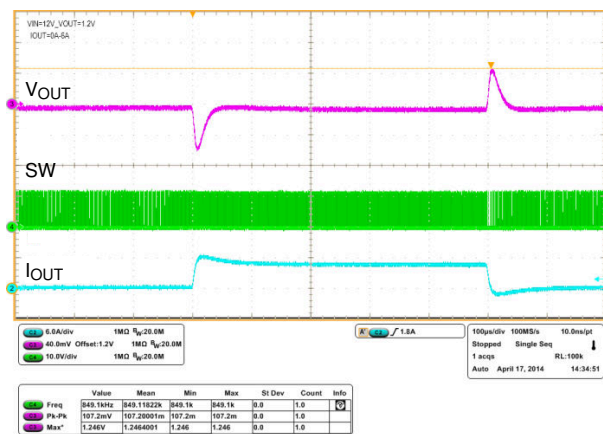
$I_{LOAD} = 0A \sim 6A$

図 7-8. 負荷過渡



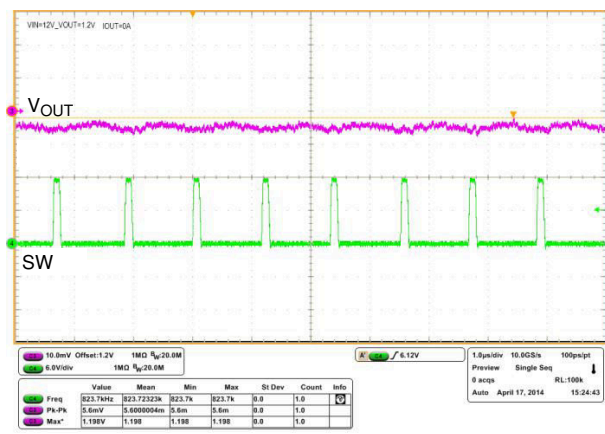
$I_{LOAD} = 6A \sim 0A$

図 7-9. 負荷過渡



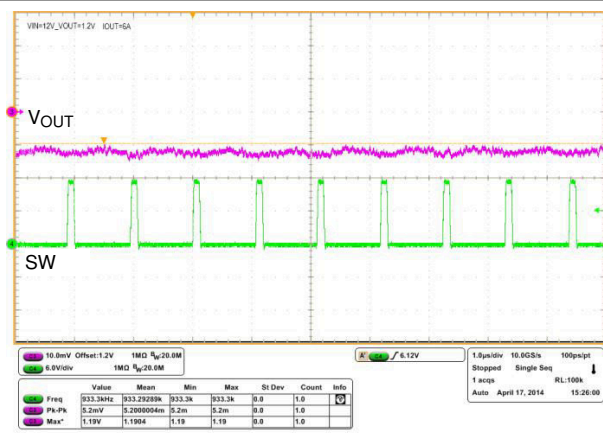
$I_{LOAD} = 0A \sim 6A \sim 0A$

図 7-10. フル サイクル負荷過渡応答



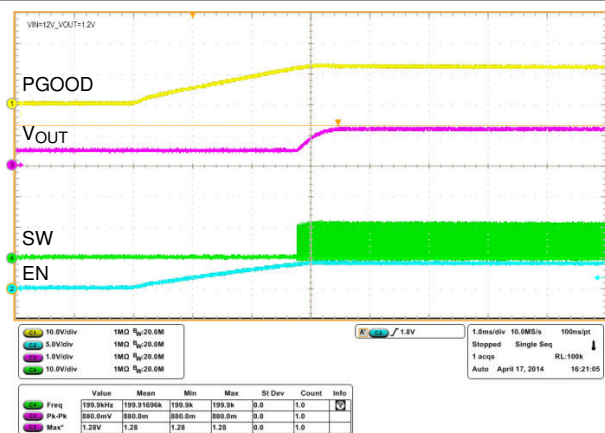
$I_{LOAD} = 0A$

図 7-11. 出力電圧リップル



$I_{LOAD} = 6A$

図 7-12. 出力電圧リップル



プリセット $V_{OUT} = 0.5V$

図 7-13. プリバイアス スタートアップ

7.3 電源に関する推奨事項

デバイスは、1.5V ~ 18V (4.5V ~ 25V バイアス印加) の入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源および内部レギュレータの適切なバイパスも、PCB レイアウトや接地方式と同様に、ノイズ性能にとって重要です。[セクション 7.4](#) の推奨事項を参照してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

TPS53515 デバイスを使用して設計を開始する前に、以下を考慮してください。

- 電源部品 (入力/出力コンデンサ、インダクタ、DPA02259 デバイスを含む) は、半田付けする PCB の側に配置します。ノイズの多い電力線から小信号パターンを遮蔽/絶縁するには、少なくとも 1 つの内部プレーンを挿入してグランドに接続します。
- カップリングを避けるために、VFB、PGOOD、TRIP、MODE、RF などの敏感なアナログ パターンおよび部品はすべて、SW、VBST などの高電圧スイッチング ノードから離して配置します。内部の層をグランド プレーンとして使用し、帰還パターンをパワー パターンやパワー部品から遮蔽してください。
- GND (ピン 22) は、サーマル パッドに直接接続する必要があります。サーマル パッドは PGND 端子に接続してから、GND プレーンに接続します。
- GND1 端子 (ピン 27) と GND2 端子 (ピン 28) は実際の GND 端子ではありません。これらの端子のどちらも専用のグランド接続には使用しないでください。GND1 端子 (ピン 27) と GND2 端子 (ピン 28) を、近くのグランドに接続することを推奨します。
- 入力 AC 電流ループを最小限にするため、VIN デカップリング コンデンサは、VIN および PGND 端子にできる限り近づけて配置します。
- VFB パターン距離を最小限に抑えるため、帰還抵抗はデバイスの近くに配置します。
- 周波数設定抵抗 (R_{RF})、OCP 設定抵抗 (R_{TRIP})、モード設定抵抗 (R_{MODE}) は、デバイスの近くに配置します。共通の GND ビアを使用して、必要に応じて抵抗を GND プレーンに接続します。
- VDD および VREG のデカップリング コンデンサは、できる限りデバイスの近くに配置します。各デカップリング コンデンサに対して GND ビアを設け、ループをできる限り小さくしてください。
- この設計では、PCB パターンを、SW 端子とインダクタの高電圧側とを接続するスイッチ ノードとして定義しています。このスイッチ ノードは、できる限り短く、幅広くする必要があります。
- SW ノードをスナバ、ブートストラップ コンデンサ、およびリップル注入抵抗に接続する際には、それぞれ個別のビアまたはパターンを使用します。これらの接続を組み合わせないでください。
- VIN 端子と PGND 端子の間に、もう 1 つの小型コンデンサ (2.2nF、0402 サイズ) を配置します。コンデンサは、デバイスのできるだけ近くに配置する必要があります。
- 効果的にリングングを低減するため、TI は SW の形状と GND の形状の間にスナバを配置することを推奨します。スナバ設計の値は $3\Omega + 470\text{pF}$ から始まります。
- R-C- C_C 回路 (リップル注入回路) の部品配置を考慮し、AC カップリング コンデンサ C_C をデバイスの近くに配置して、R と C を電源段の近くに配置します。(最小値よりも出力キャパシタンスが小さいアプリケーション設計で必要なのは R-C-C 回路のみです。この場合、設計を検証するためにボード線図の検証が必要です)。
- レイアウトの推奨事項については、[図 7-14](#) を参照してください。

7.4.2 レイアウト例

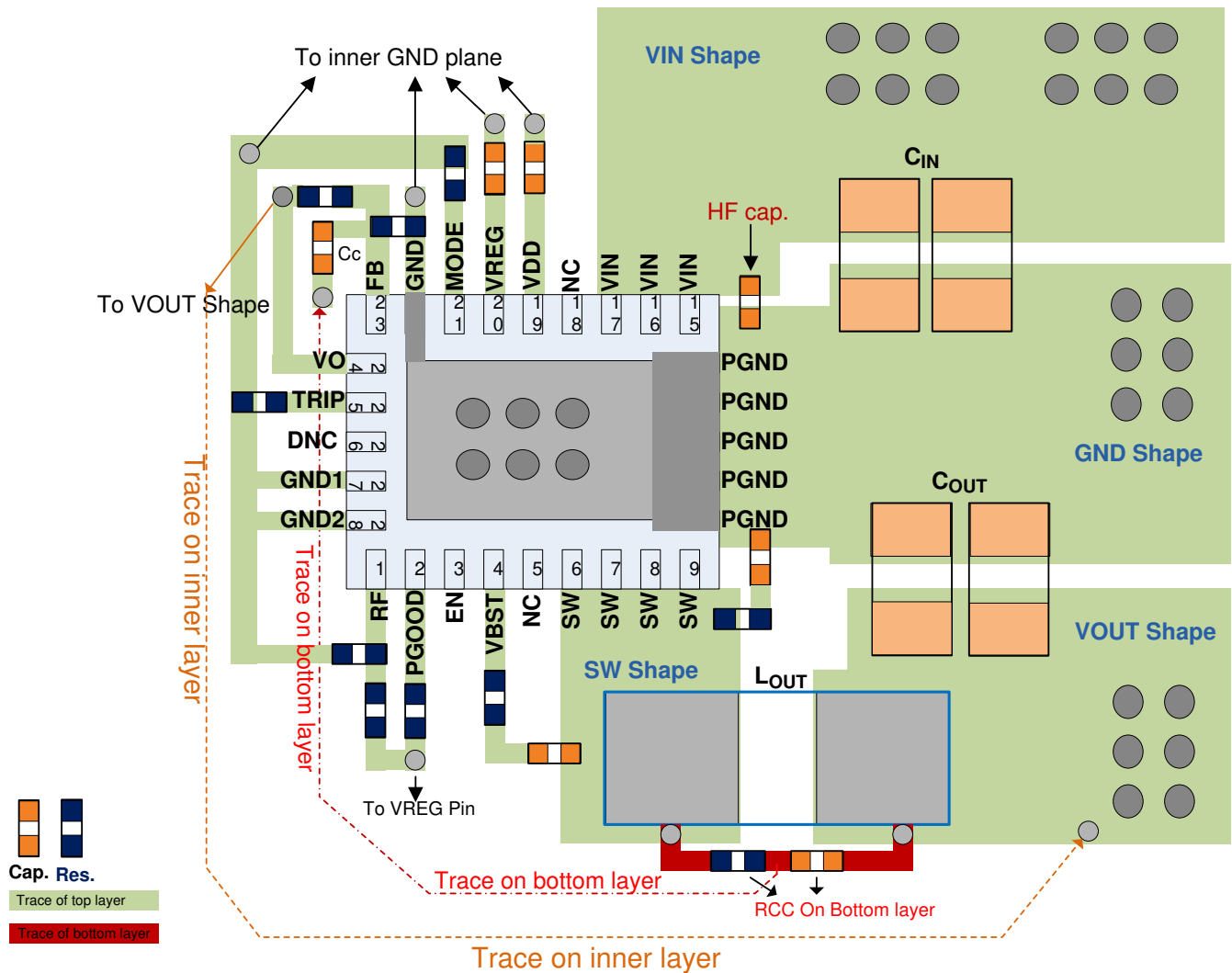
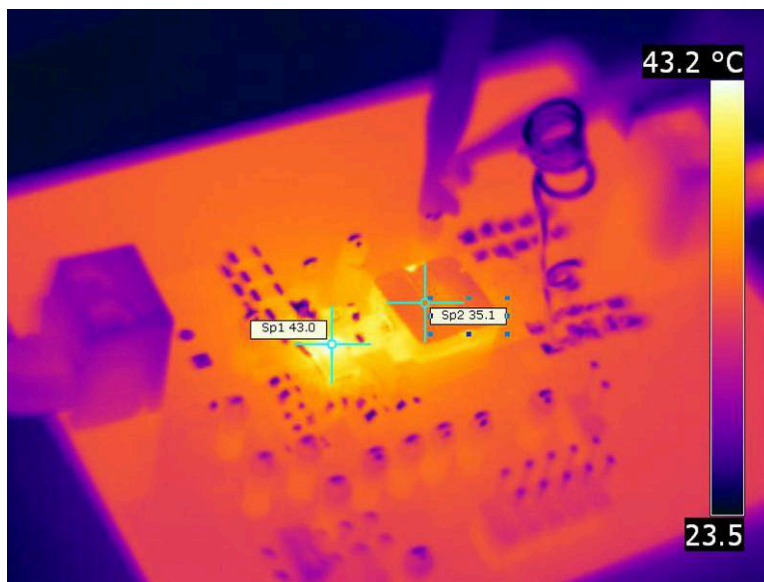


図 7-14. レイアウトに関する推奨事項

7.4.3 熱性能



$T_A = 23^\circ\text{C}$, $f_{\text{SW}} = 500\text{kHz}$, $V_{\text{IN}} = 12\text{V}$, $V_{\text{OUT}} = 1.24\text{V}$, $I_{\text{OUT}} = 8\text{A}$, $R_{\text{BOOT}} = 0\Omega$, $\text{SNB} = 3\Omega + 470\text{pF}$

インダクタ: $L_{\text{OUT}} = 1\mu\text{H}$, PIMB103T-1R0MS-63, $10\text{mm} \times 11.2\text{mm} \times 3\text{mm}$, $5.3\text{m}\Omega$

図 7-15. SP1 : 43°C (TPS53515)、SP2: 35.1°C (インダクタ)

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

テキサス・インスツルメンツ、『フィードフォワード コンデンサ付きの内部的に補正される dc-dc コンバータの過渡応答の最適化』アプリケーション ノート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

D-CAP3™, Eco-mode™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。


ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (July 2015) to Revision C (February 2026)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新。.....	1
「絶対最大定格」表に VIN-SW DC および VIN-SW < 10ns 過渡を追加	5
 7-1 を更新.....	25

Changes from Revision A (December 2013) to Revision B (July 2015)	Page
「ピン構成および機能」セクション、「取り扱いに関する定格」の表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加	1

Changes from Revision * (August 2013) to Revision A (December 2013)**Page**

- 最初のページの図に更新を追加..... **1**
- 「電氣的仕様」セクションに更新を追加 **7**

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS53515RVER	Active	Production	VQFN-CLIP (RVE) 28	3000 LARGE T&R	ROHS Exempt	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 85	TPS53515
TPS53515RVER.A	Active	Production	VQFN-CLIP (RVE) 28	3000 LARGE T&R	ROHS Exempt	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS53515
TPS53515RVET	Active	Production	VQFN-CLIP (RVE) 28	250 SMALL T&R	ROHS Exempt	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 85	TPS53515
TPS53515RVET.A	Active	Production	VQFN-CLIP (RVE) 28	250 SMALL T&R	ROHS Exempt	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS53515
TPS53515RVETG4	Active	Production	VQFN-CLIP (RVE) 28	250 SMALL T&R	ROHS Exempt	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS53515
TPS53515RVETG4.A	Active	Production	VQFN-CLIP (RVE) 28	250 SMALL T&R	ROHS Exempt	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TPS53515

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

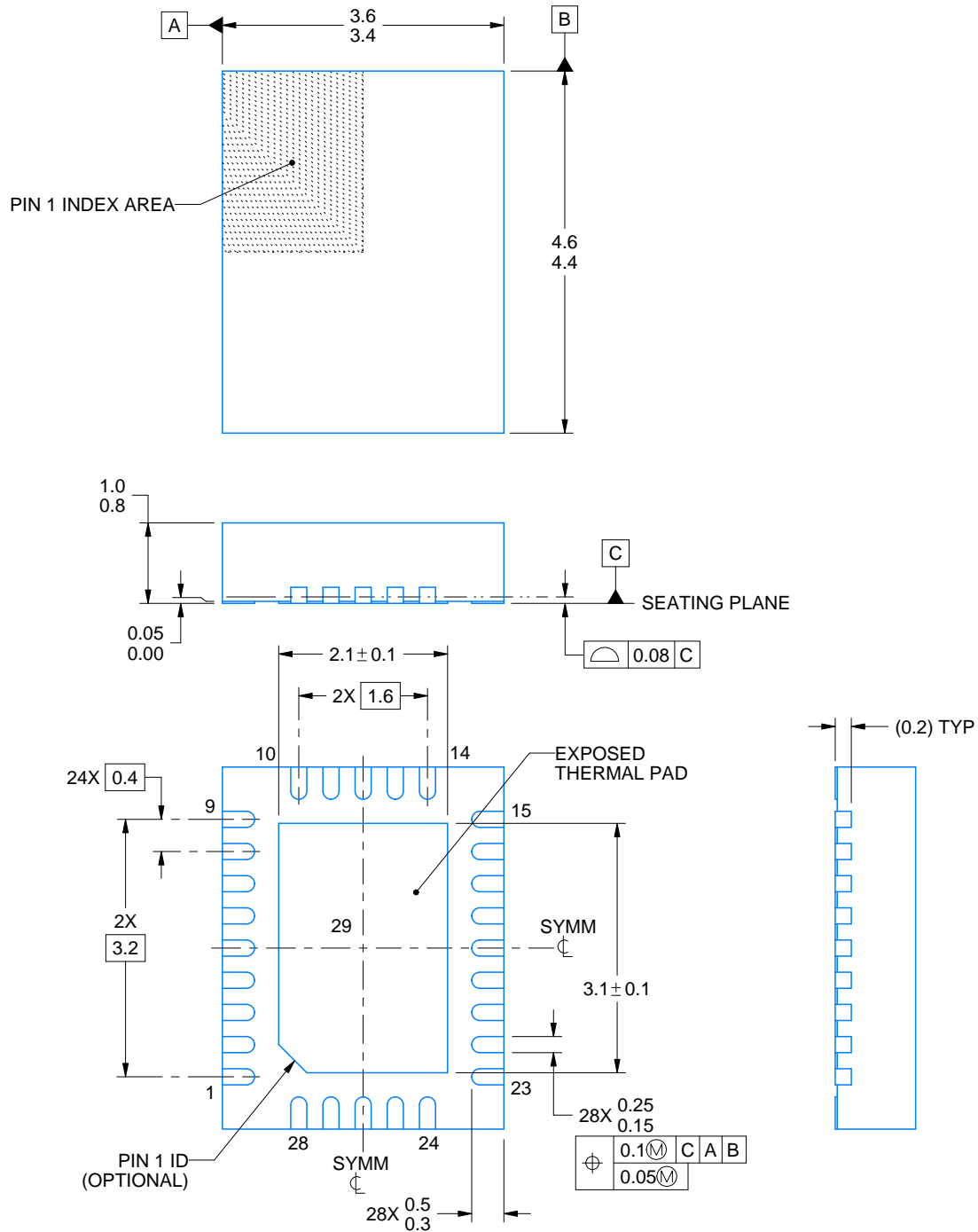
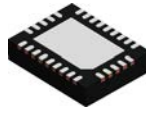
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS53515RVER	VQFN-CLIP	RVE	28	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
TPS53515RVET	VQFN-CLIP	RVE	28	250	180.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
TPS53515RVETG4	VQFN-CLIP	RVE	28	250	180.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS53515RVER	VQFN-CLIP	RVE	28	3000	346.0	346.0	33.0
TPS53515RVET	VQFN-CLIP	RVE	28	250	210.0	185.0	35.0
TPS53515RVETG4	VQFN-CLIP	RVE	28	250	210.0	185.0	35.0



4219151/A 07/2022

NOTES:

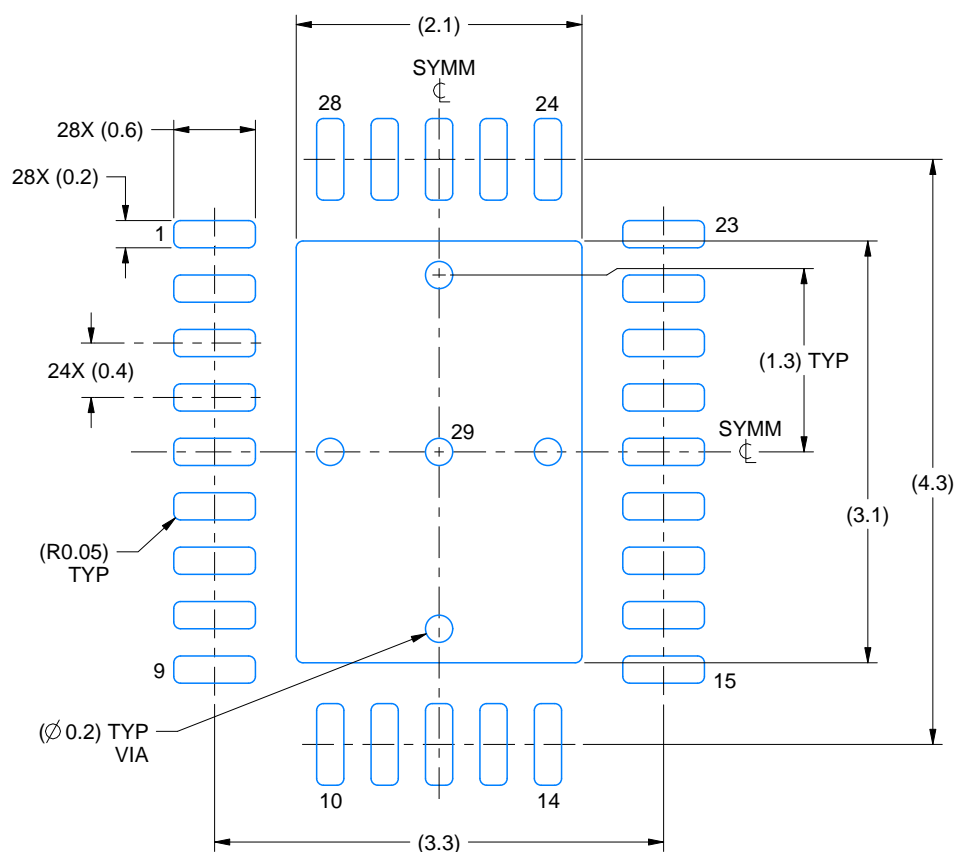
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

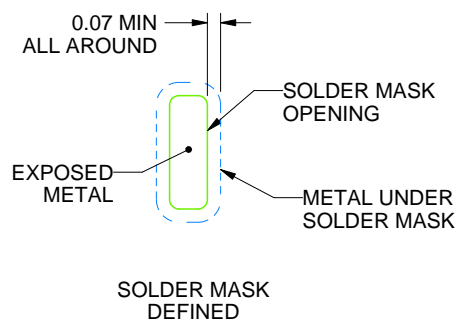
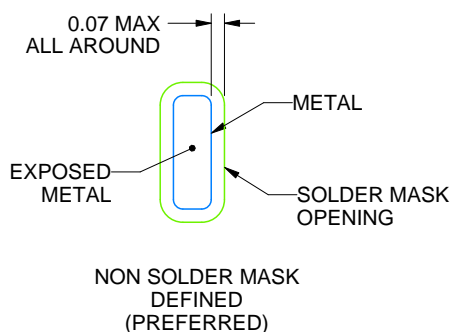
RVE0028A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4219151/A 07/2022

NOTES: (continued)

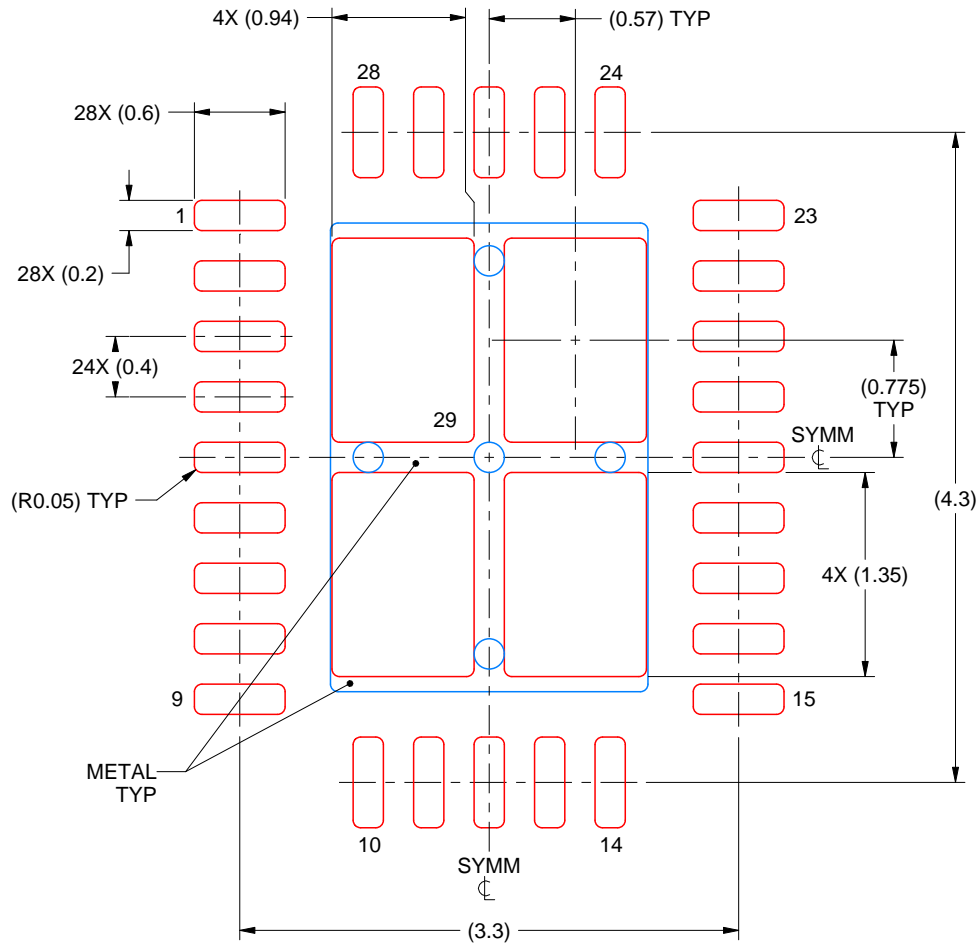
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RVE0028A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 29
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219151/A 07/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RVE (R-PVQFN-N28)

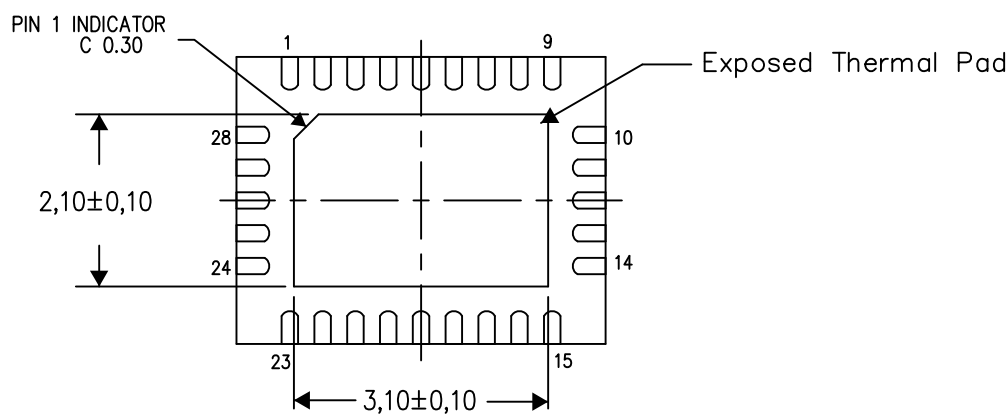
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

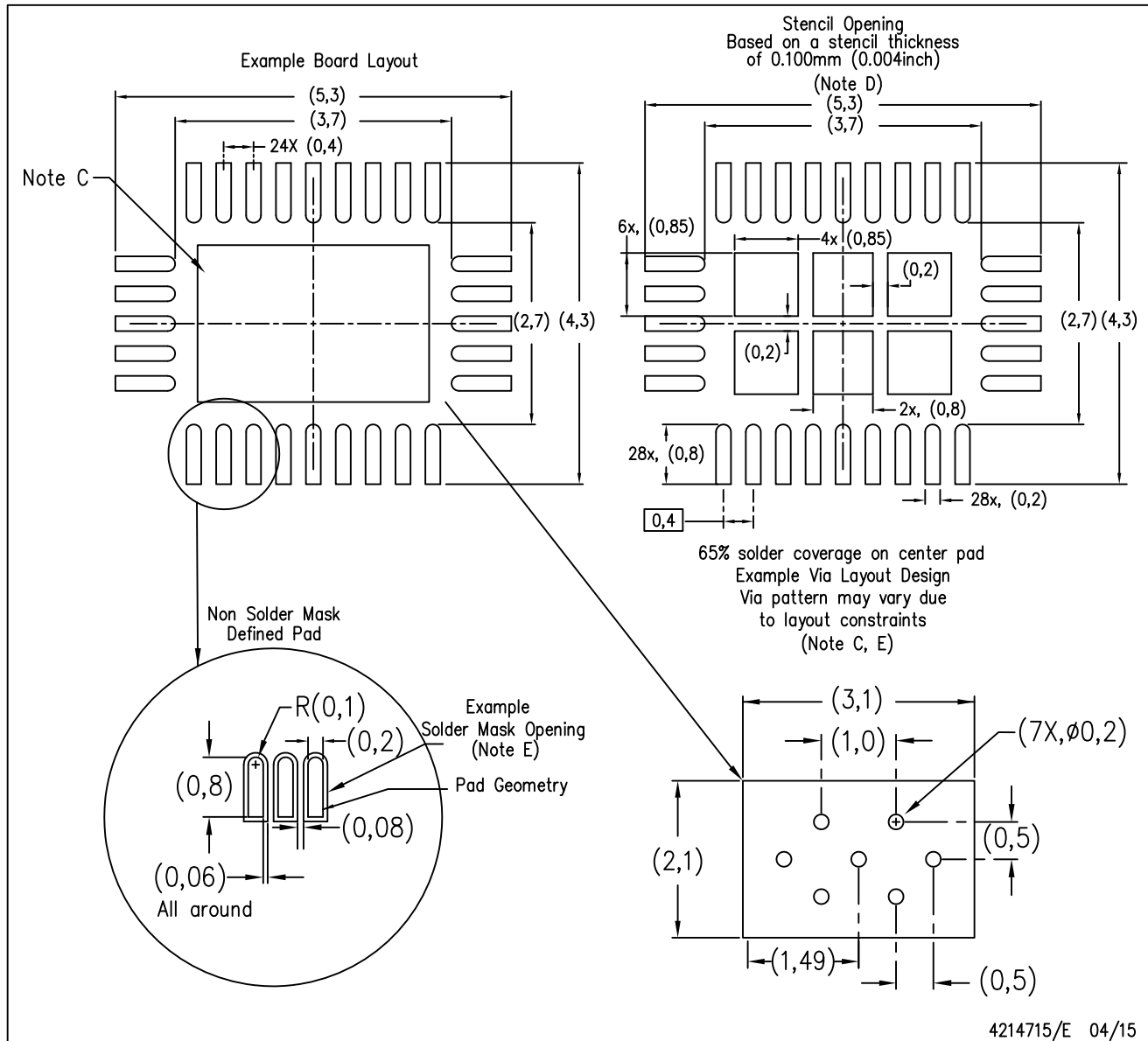
Exposed Thermal Pad Dimensions

4211776/E 04/15

NOTE: All linear dimensions are in millimeters

RVE (R-PWQFN-N28)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Electroformed stencils offer adequate release at thicker values/lower Area Ratios. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - E. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月