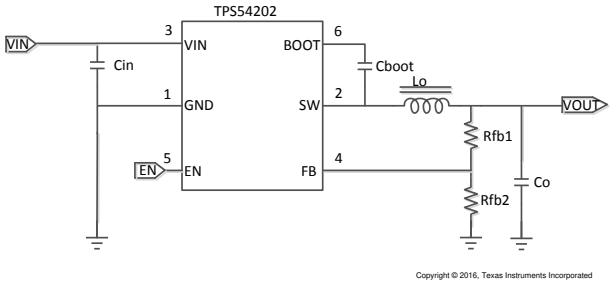
TPS54202 4.5V ～ 28V 入力、2A 出力、EMI に配慮した同期整流コンバータ

1 特長

- 4.5V～28V の広い入力電圧範囲
- 148mΩ および 78mΩ の MOSFET を内蔵し、2A の連続出力電流に対応
- 低いシャットダウン時電流 3μA、静止電流 45μA
- 内部 5mS ソフト スタート
- 500kHz の固定スイッチング周波数
- 周波数スペクトラム拡散により EMI を低減
- 高度な Eco-mode™ パルス スキップ
- ピーク電流モード制御
- ループ補償内蔵
- ヒカップ モード保護による 2 つの MOSFET の過電流保護
- 過電圧保護
- サーマル シャットダウン
- SOT-23 (6) パッケージ

2 アプリケーション

- 12V、24V の分散パワーバス電源
- 産業用アプリケーション
  - 白物家電
- コンシューマ アプリケーション
  - オーディオ
  - STB、DTV
  - プリンタ



概略回路図

3 説明

TPS54202 は、入力電圧範囲 4.5V ～28V、2A の同期整流降圧コンバータです。このデバイスには 2 つの内蔵スイッチング FET、内部的なループ補償、および 5ms の内部ソフト スタートが搭載されているため、部品数を減らすことができます。

TPS54202 には MOSFET が内蔵され、SOT-23 パッケージを採用しているため、高い電力密度を実現し、PCB 上でわずかな面積しか占有しません。

高度な Eco-mode™ の実装により、軽負荷時の効率が最大化され、電力損失が低減されています。

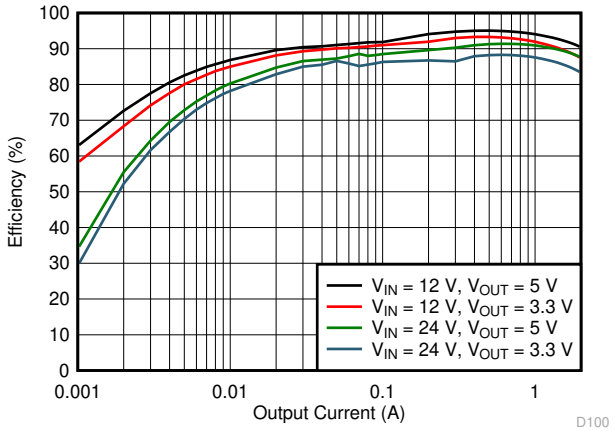
EMI 低減の目的で周波数スペクトラム拡散動作を採用しています。

両方のハイサイド MOSFET でサイクル単位の電流制限を行い、過負荷の状況でコンバータを保護します。また、ローサイド MOSFET の電流制限を自由に設定でき、電流暴走を防止することで、さらに保護が強化されています。あらかじめ設定された時間を超えて過電流の状態が続いた場合、ヒカップ モード保護が作動します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS54202	DDC (SOT-23、6)	2.9mm × 2.8mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



効率と出力電流との関係

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....5
5.6 タイミング要件.....5
5.7 代表的特性.....6
6 詳細説明.....8
6.1 概要.....8
6.2 機能ブロック図.....9
6.3 機能説明.....9
6.4 デバイスの機能モード.....13
7 アプリケーションと実装.....14
7.1 使用上の注意.....14
7.2 代表的なアプリケーション.....14
7.3 電源に関する推奨事項.....21
7.4 レイアウト.....21
8 デバイスおよびドキュメントのサポート.....23
8.1 デバイス サポート.....23
8.2 ドキュメントの更新通知を受け取る方法.....23
8.3 サポート・リソース.....23
8.4 商標.....23
8.5 静電気放電に関する注意事項.....23
8.6 用語集.....23
9 改訂履歴.....23
10 メカニカル、パッケージ、および注文情報.....24

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

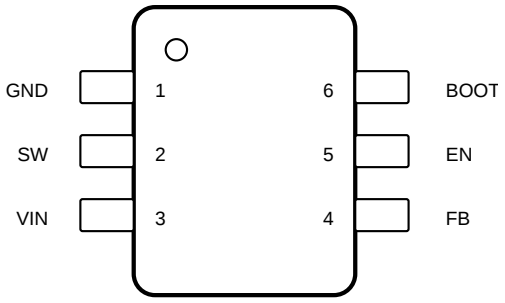


図 4-1. 6 ピン SOT-23 DDC パッケージ (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
BOOT	6	O	ハイサイド NFET ゲート駆動回路に電源を入力。BOOT ピンと SW ピンの間に 0.1µF コンデンサを接続します。
EN	5	I	このピンはイネーブル ピンです。EN ピンをフローティングにして有効にします。
FB	4	I	コンバータの帰還入力。帰還抵抗分圧回路を使用して出力電圧に接続します。
GND	1	–	グランド ピン。ローサイド パワー NFET のソース端子、およびコントローラ回路用のグランド端子。高感度 VFB は、この GND にシングルポイント接続します。
SW	2	O	ハイサイド NFET およびローサイド NFET 用のスイッチ ノード接続。
VIN	3	–	入力電源電圧ピン。ハイサイド パワー NFET のドレイン端子。

(1) O = 出力、I = 入力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
入力電圧範囲、V_I	VIN	-0.3	30	V
	EN	-0.3	7	V
	FB	-0.3	7	V
出力電圧範囲、V_O	BOOT SW 間	-0.3	7	V
	SW	-0.3	30	V
	SW (20ns の過渡)	-5	30	V
動作時の接合部温度、T_J		-40	150	°C
保管温度範囲、T_{stg}		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2500	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_I	入力電圧範囲	VIN	4.5	28	V
		EN	-0.1	5.5	V
		FB	-0.1	5.5	V
V_O	出力電圧範囲	BOOT SW 間	-0.1	5.5	V
		SW	-0.1	28	V
T_J	動作時接合部温度		-40	125	°C

5.4 熱に関する情報

熱評価基準(1)		TPS54202 DDC (SOT23) 6 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	118.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	63.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	34.4	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	18.5	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	33.7	°C/W
$R_{\theta JA_EVM}$	接合部から周囲への熱抵抗 (オフィシャル EVM ボード)	57.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

ここで規定される電気的定格は、特に記述のない限り、このドキュメント内のすべての仕様に適用されます。これらの仕様は、デバイスを含む製品の寿命全体にわたり、デバイスの特性や機能の仕様を劣化させない条件として解釈されます。T_J = –40℃ ～ +125℃、V_{IN} = 4.5V ～ 28V (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電源電圧						
V_{IN}	入力電圧範囲		4.5		28	V
I_Q	非スイッチング静止電流	EN =5V、VFB = 1V		45		µA
I_{OFF}	シャット ダウン電流	EN = GND		3		µA
$V_{IN(UVLO)}$	VIN 低電圧ロックアウト	上昇時 V_{IN}	3.9	4.2	4.4	V
		立ち下がり V_{IN}	3.4	3.7	3.9	V
	ヒステリシス		400	480	560	mV
イネーブル (EN ピン)						
$V_{(EN_RISING)}$	イネーブル スレッショルド	立ち上がり		1.21	1.28	V
$V_{(EN_FALLING)}$		立ち下がり	1.1	1.19		V
$I_{(EN_INPUT)}$	入力電流	V_{EN} = 1V		0.7		µA
$I_{(EN_HYS)}$	ヒステリシス電流	V_{EN} = 1.5V		1.55		µA
フィードバックおよびエラー アンプ						
V_{FB}	帰還電圧	V_{IN} = 12V	0.581	0.596	0.611	V
パルス スキップ モード						
$I_{(SKIP)}$ (1)	パルス スキップ モードのピーク インダクタ電流スレッショルド	V_{IN} = 24V、V_{OUT} = 5V、L = 15µH		300		mA
電力段						
$R_{(HSD)}$	ハイサイド FET オン抵抗	T_A = 25°C、V_{BST} – SW = 5V		148		mΩ
$R_{(LSD)}$	ローサイド FET オン抵抗	T_A = 25°C、V_{IN} = 12V		78		mΩ
電流制限						
$I_{(LIM_HS)}$	ハイサイド電流制限		2.5	3.2	3.9	A
$I_{(LIM_LS)}$	ローサイド ソース電流制限		2	3	4.3	A
発振器						
F_{sw}	中心スイッチング周波数		390	500	630	kHz
過熱保護						
サーマル シャットダウン(1)	温度上昇			160		°C
	ヒステリシス			10		°C
	ヒカップ時間			32768		サイクル

(1) 量産では検査していません。

5.6 タイミング要件

		最小値	標準値	最大値	単位
過電流保護					
t_{HIC_WAIT}	ヒカップ アップ待機時間		512		サイクル
$t_{HIC_RESTART}$	再起動前のヒカップ アップ時間		16384		サイクル
t_{SS}	ソフト スタート時間		5		mS
オン時間制御					
t_{MIN_ON} (1)	最小オン時間、90% ～ 90% および 1A 負荷で測定		110		ns

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

特に記述のない限り V_{IN} = 12V

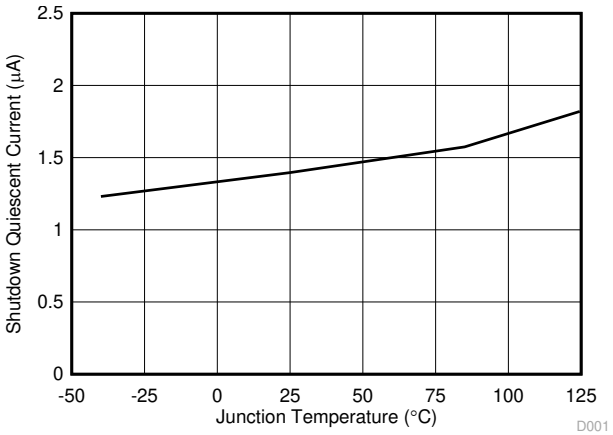


図 5-1. シャットダウン時の静止電流と接合部温度との関係

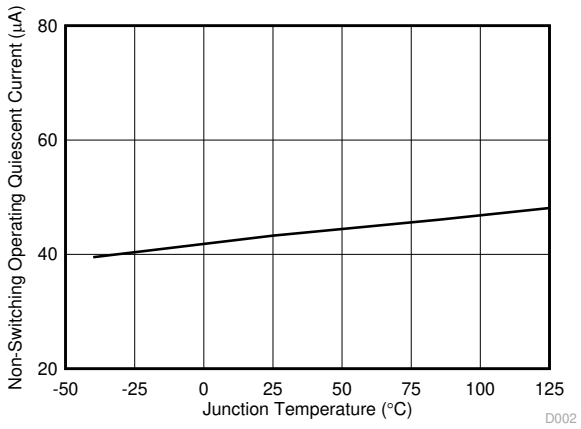


図 5-2. 非スイッチング時の動作時静止電流と接合部温度との関係

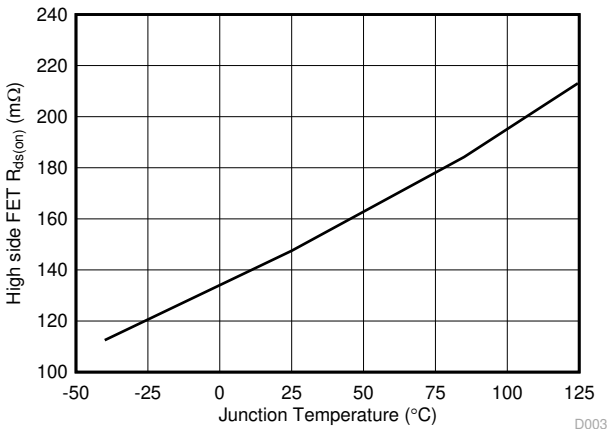


図 5-3. ハイサイド抵抗と接合部温度との関係

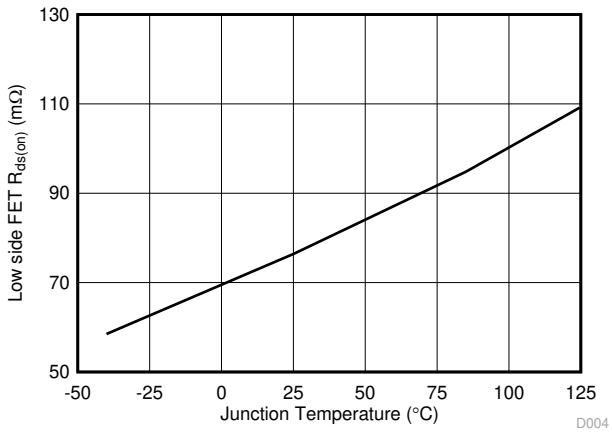


図 5-4. ローサイド FET オン抵抗と接合部温度との関係

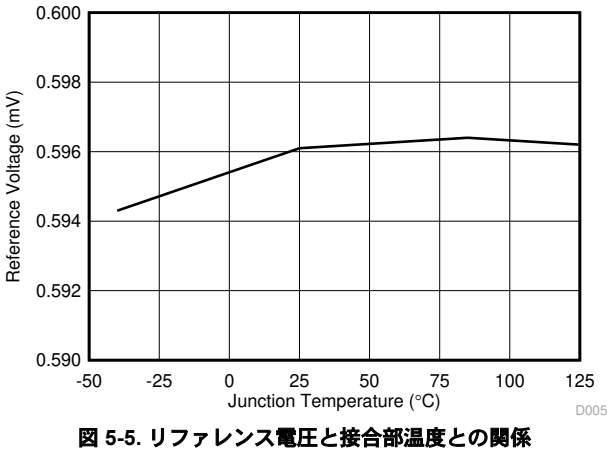


図 5-5. リファレンス電圧と接合部温度との関係

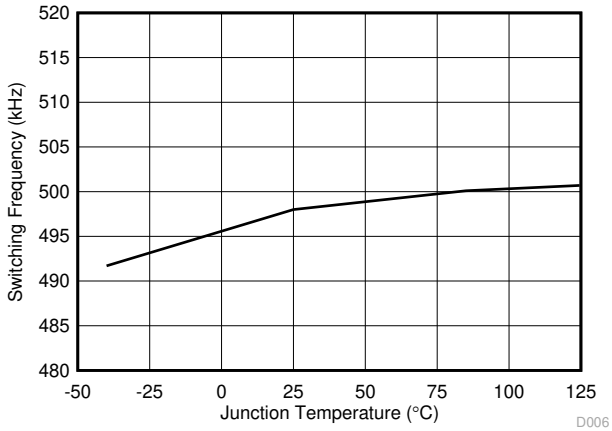


図 5-6. 中央スイッチング周波数と接合部温度との関係

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

特に記述のない限り V_{IN} = 12V

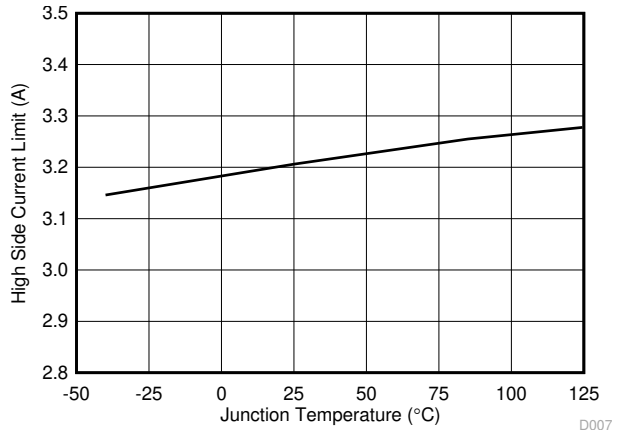


図 5-7. ハイサイド電流制限スレッショルドと接合部温度との関係

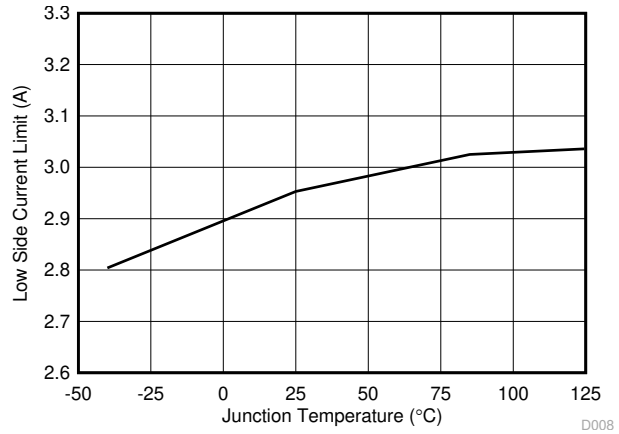


図 5-8. ローサイド電流制限スレッショルドと接合部温度との関係

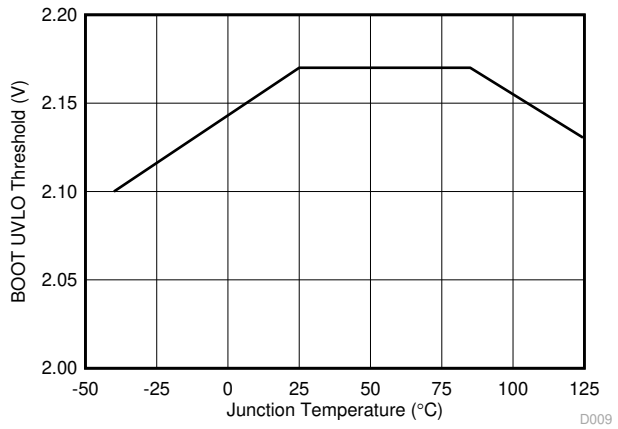


図 5-9. BOOT-SW UVLO スレッショルドと接合部温度との関係

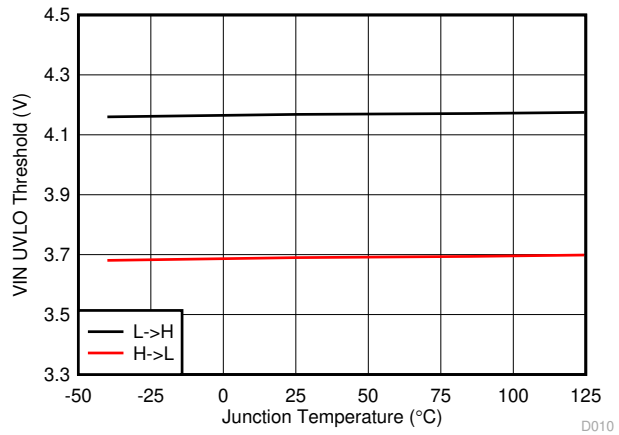


図 5-10. VIN UVLO スレッショルドと接合部温度との関係

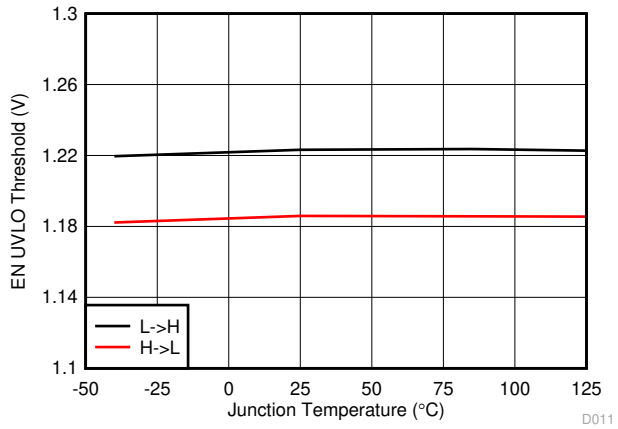


図 5-11. EN スレッショルドと接合部温度との関係

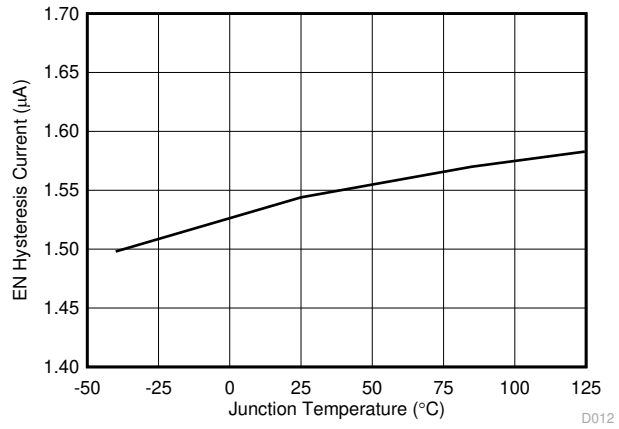


図 5-12. EN ヒステリシス電流と接合部温度との関係

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPS54202 デバイスは、2 つの n チャネル MOSFET を内蔵した、28V、2A の同期整流降圧 (バック) コンバータです。ラインおよび負荷の過渡状態における性能を向上させるため、本デバイスは一定周波数のピーク電流モード制御で出力キャパシタンスを低減します。最適化された内部補償回路により外付け部品数を最小限に抑え、制御ループ設計の簡素化を実現します。

スイッチング周波数は、500kHz に固定されています。

本デバイスは、VIN = 4.5V のときにスイッチングを開始します。無負荷で非スイッチング時の動作時電流は、標準値 45μA です。デバイスが無効時の電源電流の標準値は 3μA です。

148mΩ のハイサイド MOSFET、78mΩ の MOSFET を内蔵しており、最大 2A の連続出力電流で高効率の電源を設計できます。

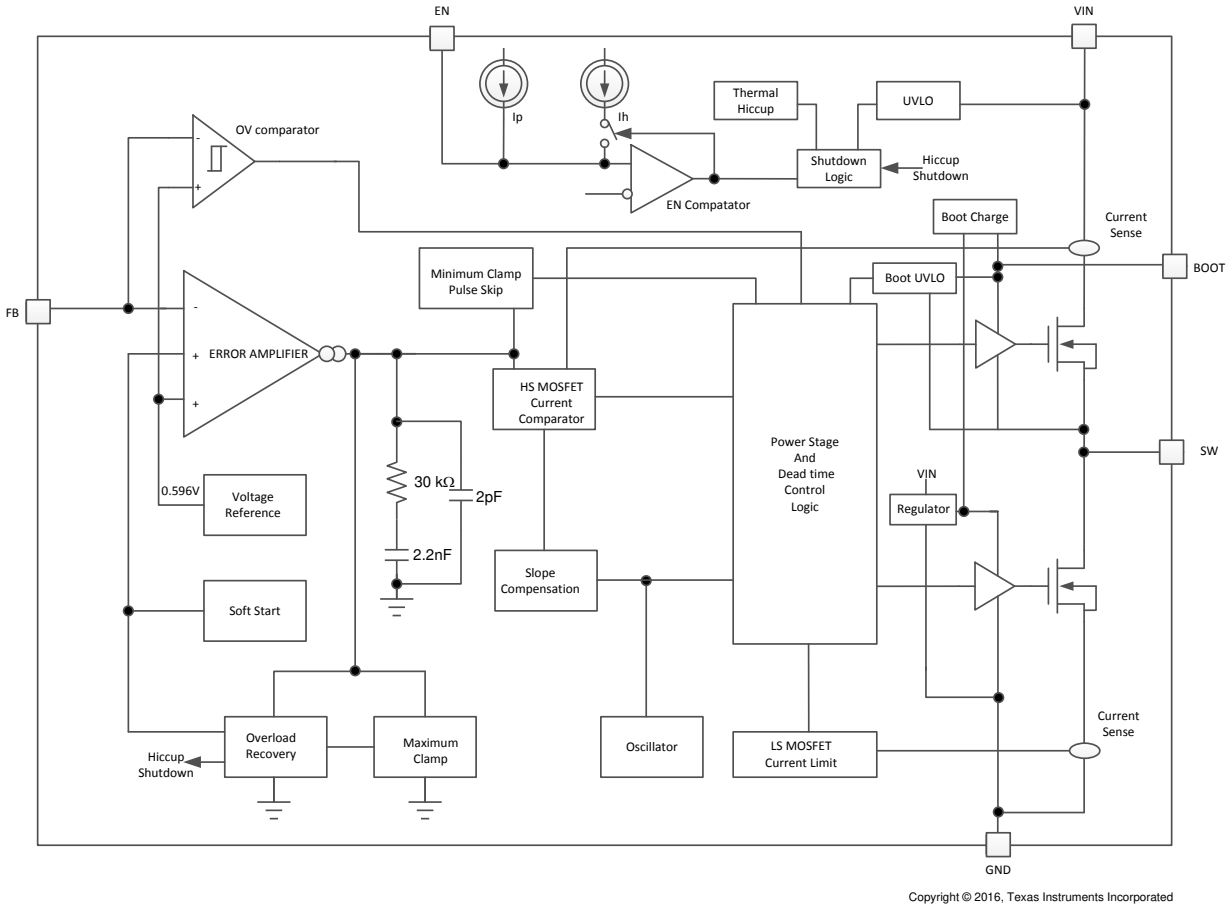
本デバイスはブート再充電ダイオードを内蔵しているため外付け部品数を削減できます。内蔵ハイサイド MOSFET のバイアス電圧は、BOOT ピンから PH ピンの間の外付けコンデンサによって供給されます。このブート コンデンサ電圧は UVLO 回路によって監視され、標準値 2.1V のプリセットされたスレッショルドを下回ると、ハイサイド MOSFET がオフになります。

本デバイスは、過電圧コンパレータを利用して、過度の出力過電圧を最小限に抑えています。レギュレートされた出力電圧が公称電圧の 108% を超えると、過電圧コンパレータが作動してハイサイド MOSFET がオフになり、出力電圧が 104% を下回るまでオンになりません。

本デバイスは 5ms のソフトスタート時間を内蔵し、突入電流を最小限に抑えます。

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

6.3 機能説明

6.3.1 固定周波数 PWM 制御

本デバイスは、固定周波数のピーク電流モード制御を使用します。エラー アンプにより、出力電圧が FB ピンの外付け抵抗を介して内部電圧リファレンスと比較されます。内部発振器により、ハイサイド パワー スイッチのオン動作が開始されます。エラー アンプの出力がハイサイド パワー スイッチの電流と比較されます。パワー スイッチ電流がエラー アンプの出力電圧レベルに達すると、ハイサイド パワー スイッチがオフになり、ローサイド パワー スイッチがオンになります。エラー アンプの出力電圧は、出力電流の増減に合わせて増減します。本デバイスでは、エラー アンプ電圧を最大レベルにクランプすることで電流制限を実現しています。また、過渡応答性能の向上のために最小クランプも実装しています。

6.3.2 パルス スキップ モード

TPS54202 は、軽負荷時の効率を向上させるため、負荷電流が小さいときにはパルス スキッピング モードで動作するよう設計されています。ピーク インダクタ電流が標準値 300mA を下回ると、デバイスはパルス スキッピング モードに入ります。本デバイスのパルス スキッピング モードでは、エラー アンプの出力電圧がクランプされ、ハイサイド内蔵 MOSFET のスイッチングを防ぎます。ピーク インダクタ電流が 300mA 超を上回り、パルス スキップ モードを終了する必要があります。内蔵の電流コンパレータはピーク インダクタ電流のみを捕捉するため、パルス スキッピング モードに入るときの平均負荷電流は、アプリケーションおよび外部出力フィルタによって異なります。

6.3.3 エラー アンプ

このデバイスには、エラー アンプとしてトランス コンダクタンス アンプが搭載されています。エラー アンプは、FB 端子の電圧を、内部ソフト スタート電圧または内部の 0.596V 電圧リファレンスのいずれか低い方と比較します。エラー アンプの相

互コンダクタンス標準値は 240µA/V です。周波数補償部品は、エラー アンプの出力とグランドの間に内部的に配置されます。

6.3.4 スロープ補償と出力電流

本デバイスは、スイッチ電流の信号に補償ランプを追加します。このスロープ補償により、高いデューティ サイクルでの低調波発振を防いでいます。使用可能なピーク インダクタ電流は、デューティ サイクルの全範囲にわたって一定です。

6.3.5 イネーブルおよび可変低電圧ロックアウト

EN ピンは、本デバイスの電気的オン / オフ制御に使用できます。EN ピンの電圧がスレッショルド電圧を超えると、デバイスが動作を開始します。EN ピンの電圧がスレッショルド電圧よりも低くなると、レギュレータはスイッチングを停止し、低静止 (IQ) 状態になります。

EN ピンには内部プルアップ電流ソースがあり、ユーザーは EN ピンをフローティングにしてデバイスを有効にできます。アプリケーションで EN ピンの制御が必要な場合は、ピンとのインターフェイスに、オープン ドレインまたはオープン コレクタ出力ロジックを使用してください。

本デバイスでは、VIN ピンの内部低電圧誤動作防止 (UVLO) 回路が実装されています。VIN ピンの電圧が内部の VIN UVLO スレッショルドを下回ると、本デバイスはディスエーブルになります。内部 VIN UVLO スレッショルドには、480mV のヒステリシスがあります。

アプリケーションで、より高い UVLO スレッショルドを VIN ピンに必要とする場合、EN ピンを 図 6-1 のように構成できます。外部 UVLO 機能を使用する際には、500mV を超える値にヒステリシスを設定することを推奨します。

EN ピンの持つ小さなプルアップ電流「Ip」が、外部部品を接続しないときのピンのデフォルト状態を有効に設定します。また、このプルアップ電流は、EN ピンがイネーブル スレッショルドを通過すると Ih だけ増加するため、UVLO 機能の電圧ヒステリシスの制御にも使用されます。式 2 と式 1 を使用して、指定された UVLO スレッショルドについて R4 と R5 の値を計算します。

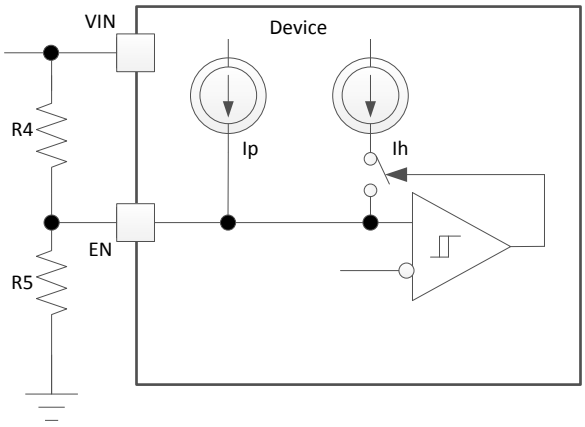


図 6-1. 可変の VIN 低電圧誤動作防止

$$R_4 = \frac{\frac{V_{ENfalling}}{V_{ENrising}} \times V_{START} - V_{STOP}}{I_p \times \left(1 - \frac{V_{ENfalling}}{V_{ENrising}}\right) + I_h} \quad (1)$$

$$R_5 = \frac{R_4 \times V_{ENfalling}}{V_{STOP} - V_{ENfalling} + \left(I_h + I_p\right) \times R_4} \quad (2)$$

ここで

- I_p = 0.7µA
- I_h = 1.55µA

Copyright © 2026 Texas Instruments Incorporated

- $V_{ENfalling}$ = 1.19V
- $V_{ENrising}$ = 1.21V

6.3.6 プリバイアスされた出力への安全なスタートアップ

このデバイスは、ローサイド MOSFET がプリバイアス出力を放電しないように設計されています。単調なプリバイアス スタートアップ中は、内部のソフト スタート電圧が FB ピンの電圧を超えるまで、ハイサイドおよびローサイド MOSFET はオンになりません。

6.3.7 電圧リファレンス

電圧リファレンス システムは、温度に対し安定なバンドギャップ回路の出力をスケーリングすることで、温度に対して ±2.5% の高い精度を持つ電圧リファレンスを生成します。標準の電圧リファレンスは、0.596V に設計されています。

6.3.8 出力電圧調整

出力電圧は、出力ノードと FB ピンとの間の抵抗分圧回路によって設定されます。TI 推奨の分圧抵抗は公差 1% 以内です抵抗デバイダの上限判定基準値 100kΩ から開始し、式 3 を使用して出力電圧を計算します。軽負荷時の効率を向上させるには、より大きな値の抵抗の使用を検討します。値が大きすぎると、レギュレータがノイズの影響を受けやすくなり、FB 入力電流からの電圧誤差が目立つようになります。

$$V_{OUT} = V_{ref} \times \left(\frac{R_2}{R_3} + 1\right) \quad (3)$$

6.3.9 内部ソフト スタート

TPS54202 は、内部ソフト スタート機能を使用しています。内部ソフト スタート時間の標準値は 5ms に設定されています。

6.3.10 ブートストラップ電圧 (BOOT)

TPS54202 にはブート レギュレータが内蔵され、ハイサイド MOSFET のゲート駆動電圧を提供するために、BOOT ピンと SW ピンの間に 0.1µF のセラミック コンデンサが必要です。温度および電圧に対して安定した特性を持つため、X7R または X5R クラスの誘電体を持つセラミック コンデンサを推奨します。ドロップアウト改善のため、本デバイスは BOOT と SW ピン間の電圧が標準 2.1V 以上であれば、100% のデューティ サイクルで動作します。

6.3.11 過電流保護

デバイスは、ハイサイド MOSFET とローサイド MOSFET の両方でサイクル毎に電流を制限することで、過電流状態から保護されます。

6.3.11.1 ハイサイド MOSFET の過電流保護

本デバイスに実装された電流モード コントロールは、内部 COMP 電圧を用いることでハイサイド MOSFET のオフとローサイド MOSFET のオンをサイクル毎に制御します。各サイクルでは、スイッチ電流と内部 COMP 電圧による電流リファレンスが比較されます。ピーク スイッチ電流が電流リファレンスを超えた場合、ハイサイド スイッチがオフになります。

6.3.11.2 ローサイド MOSFET の過電流保護

ローサイド MOSFET がオンの間、内部回路が導通電流を監視します。通常動作中は、ローサイド MOSFET が負荷への電流ソースとなります。各クロック サイクルの終わりに、ローサイド MOSFET のソース電流が、内部で設定されたローサイド ソース電流制限と比較されます。インダクタのバレー電流がローサイド ソース電流制限を超えると、ハイサイド MOSFET はオンにならず、ローサイド MOSFET が次のサイクルにわたってオンに保持されます。図 6-2 に示すように、サイクル開始時にインダクタ バレー電流がローサイド ソース電流制限を下回っている場合、ハイサイド MOSFET が再度オンになります。

Copyright © 2026 Texas Instruments Incorporated

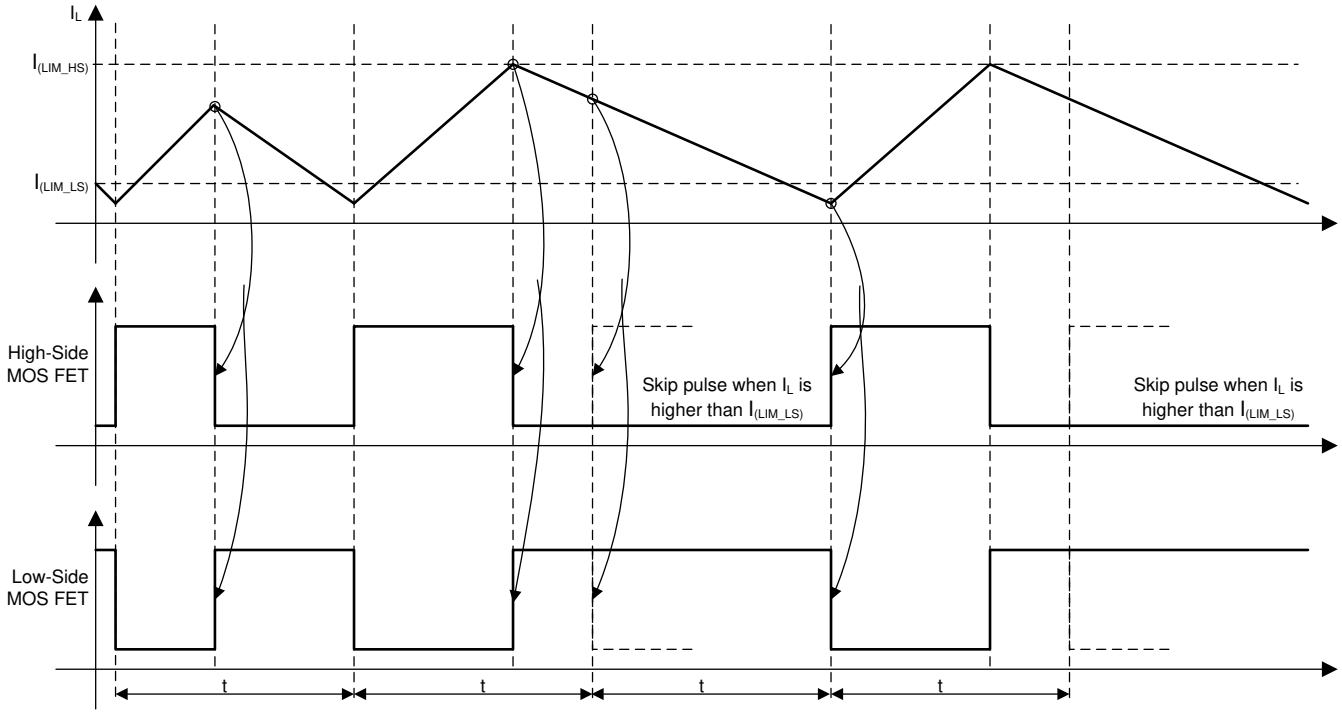


図 6-2. 両方の MOSFET の過電流保護

さらに、出力過負荷状態が 512 スイッチング サイクルに設定されたヒカップ待機時間よりも長く続いた場合には、デバイスがシャットダウンされ、16384 サイクルのヒカップ時間の経過後に再起動されます。このヒカップ モードは、大きな過電流の発生時にデバイスの消費電力を低減するために役立ちます。

6.3.12 スペクトラム拡散

EMI 低減のため、TPS54202 では周波数スペクトラム拡散を導入しています。ジッタリング スパンは、1/512 スイング周波数においてスイッチング周波数の ±6% です。

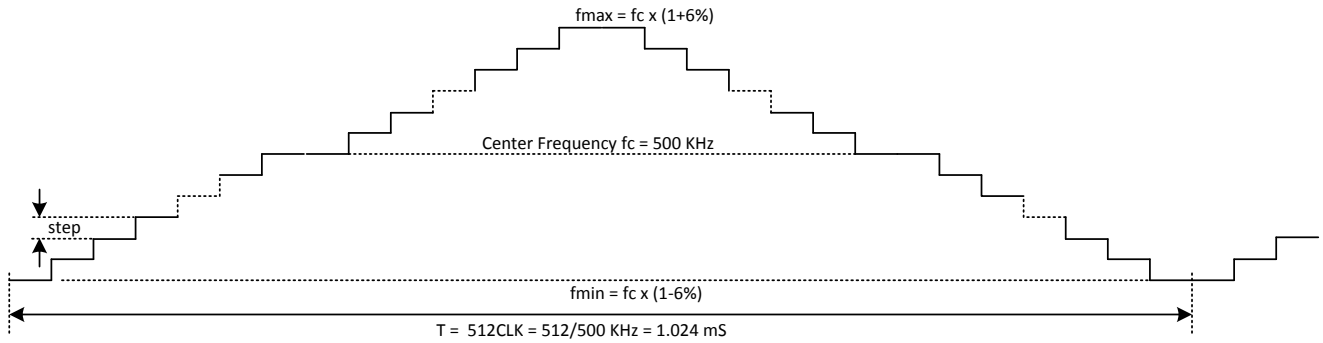


図 6-3. 周波数スペクトラム拡散図

6.3.13 出力過電圧保護 (OVP)

TPS54202 には、出力故障状態からの復帰や強い無負荷過渡で発生する出力電圧オーバーシュートを最小限に抑える、過電圧過渡保護 (OVTP) 回路が組み込まれています。OVTP 回路には、FB ピン電圧を内部スレッショルドと比較する過電圧コンパレータが内蔵されています。FB ピンの電圧が 108% × Vref を上回ると、ハイサイド MOSFET が強制的にオフになります。FB ピンの電圧が 104% × Vref を下回ると、ハイサイド MOSFET が再度有効になります。

Copyright © 2026 Texas Instruments Incorporated

6.3.14 サーマル シャットダウン

接合部温度が標準 155°C を超えると内部のサーマル シャットダウン回路がデバイスのスイッチングを強制停止します。接合部温度が標準 145°C を下回ると内部のサーマル ヒカップ タイマがカウントを開始します。設定済みの過熱シャットダウン ヒカップ時間 (32768 サイクル) が経過した後で、デバイスはパワーアップ シーケンスを再開します。

6.4 デバイスの機能モード

6.4.1 通常動作

入力電圧が UVLO スレッショルドを上回ると、TPS54202 は通常のスイッチング モードで動作可能です。インダクタのピーク電流が 0A を上回ると、通常の連続導通モード (CCM) が発生します。CCM では、デバイスは固定周波数で動作します。

6.4.2 Eco モード™ 動作

このデバイスは、軽負荷時には高効率のパルス スキッピング モードで動作する設計です。スイッチ電流が 300mA (標準値) に低下すると、パルス スキップを開始します。パルス スキップ中は、スイッチ電流が 0A に低下するとローサイド FET がオフになります。スイッチング ノード (SW ピン) の波形は、不連続導通モード (DCM) 動作の特性を帯びているため、見かけ上のスイッチング周波数が低下します。出力電流が減少すると、スイッチング パルス間の時間は増加します。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

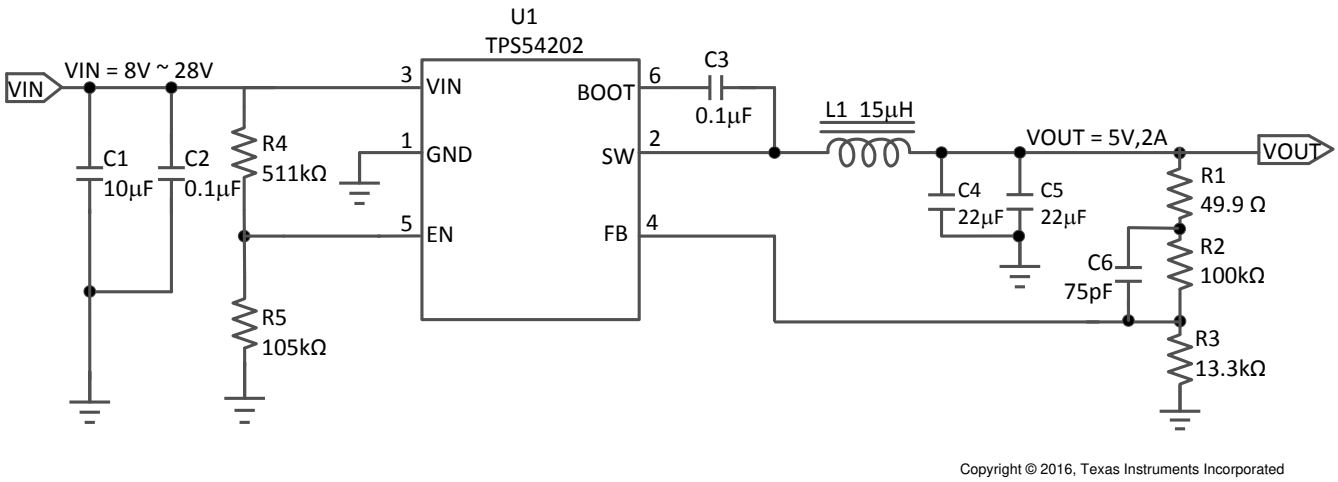
以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TPS54202 デバイスは通常、8V ～ 28V の入力電圧を 5V の固定出力電圧に変換するための降圧コンバータとして使用されます。

7.2 代表的なアプリケーション

7.2.1 TPS54202 8V ～ 28V 入力、5V 出力コンバータ



Copyright © 2016, Texas Instruments Incorporated

図 7-1. 5V/2A リファレンス デザイン

7.2.2 設計要件

この設計例では、表 7-1 のパラメータを使用します。

表 7-1. 設計パラメータ

パラメータ	値
入力電圧範囲	8V ～ 28V
出力電圧	5V
出力電流	2A
過渡応答、1.5A の負荷ステップ	ΔV_{OUT} = ±5%
入力リップル電圧	400mV
出力電圧リップル	30mVpp
スイッチング周波数	500kHz

Copyright © 2026 Texas Instruments Incorporated

7.2.3 詳細な設計手順

7.2.3.1 入力コンデンサの選択

デバイスには、入力デカップリング コンデンサと、アプリケーションによってはバルク コンデンサが必要となります。デカップリング コンデンサには、10µF 以上のセラミック コンデンサを推奨します。VIN ～ GND 間の 0.1µF コンデンサ (C2) 追加オプションにより、追加の高周波数フィルタリングを提供可能です。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。

入力リップル電圧 (ΔV_{IN}) を計算するには、式 4 を使用します。

$$\Delta V_{IN} = \frac{I_{OUT(MAX)} \times 0.25}{C_{BULK} \times f_{SW}} + I_{OUT(MAX)} \times ESR_{MAX} \quad (4)$$

ここで

- C_{BULK} はバルク キャパシタの値
- f_{SW} はスイッチング周波数
- $I_{OUT(MAX)}$ は最大負荷電流
- ESR_{MAX} はバルク キャパシタの最大直列抵抗

最大 RMS (実効値) リップル電流も確認する必要があります。ワースト ケース条件については、式 5 を使用して $I_{CIN(RMS)}$ を計算します。

$$I_{CIN(RMS)} = \frac{I_{OUT(MAX)}}{2} \quad (5)$$

実際の入力電圧リップルは、レイアウトに関連する寄生成分と、電圧ソースの出力インピーダンスの影響を大きく受けます。「設計要件」に示されたこの回路の実際の入力電圧リップルは、計算値よりも大きくなっています。それでも、測定値は仕様の入力制限である 400mV を下回っています。入力コンデンサ両端の最大電圧は VIN (MAX) + ΔVIN/2 です。選択したバイパス コンデンサは定格が 35V、リップル電流キャパシティが 2A 以上です。どちらの値も十分なマージンを提供します。どのような環境であっても、電圧と電流の最大定格を超えないようにすることが重要です。

7.2.3.2 ブートストラップ コンデンサの選定

適切な動作のためには、BOOT ピンと SW ピンの間に 0.1µF のセラミック コンデンサを接続する必要があります。TI はセラミック コンデンサの使用を推奨します。

7.2.3.3 出力電圧設定点

TPS54202 デバイスの出力電圧は、分圧抵抗回路を使用して外部で調整可能です。図 7-1 のアプリケーション回路において、この分圧回路は R2 と R3 で構成されています。出力電圧と抵抗デバイダの関係を計算するには、式 6 と 式 7 を使用します。

$$R_3 = \frac{R_2 \times V_{ref}}{V_{OUT} - V_{ref}} \quad (6)$$

$$V_{OUT} = V_{ref} \times \left(\frac{R_2}{R_3} + 1\right) \quad (7)$$

R2 の値として、約 100kΩ を選択します。R3 をわずかに増加または減少させると、標準の値の抵抗を使用するときに、より近い出力電圧マッチングが得られる場合があります。この設計では、R2 = 100kΩ、R3 = 13.3kΩ であるため、出力電圧は 5V になります。49.9Ω 抵抗 R1 は、安定性テストで制御ループを切断するための便利な場所として用意されています。

7.2.3.4 低電圧誤動作防止の設定点

低電圧ロックアウト (UVLO) 設定ポイントは、R4 と R5 の外部電圧デバイダ回路により調整可能です。TPS54202 デバイスの VIN ピンと EN ピンとの間に R4 を接続します。EN ピンと GND ピンの間に R5 を接続します。UVLO には 2 つのス

Copyright © 2026 Texas Instruments Incorporated

レッショルドがあり、1 つは入力電圧の立ち上がり時のパワー アップ中に適用され、もう 1 つは入力電圧の立ち下がり時のパワー ダウンまたはブラウン アウト中に適用されます。式 2 および 式 1 を使用して、R4 と R5 の上限および下限判定基準抵抗値を計算します。

7.2.3.5 出力フィルタ部品

出力フィルタには、出力インダクタ (L_O) と C_O の 2 つのコンポーネントを選択する必要があります。

7.2.3.5.1 インダクタの選択

出力インダクタの最小値 (L_{MIN}) を計算するには、式 8 を使用します。

$$L_{MIN} = \frac{V_{OUT} \times \left[V_{IN(MAX)} - V_{OUT}\right]}{V_{IN(MAX)} \times K_{IND} \times I_{OUT} \times f_{SW}} \tag{8}$$

ここで

K_{IND} は、最大出力電流に対するインダクタのリップル電流の量を示す係数です。

一般に、K_{IND} の値は設計者の裁量で決定しますが、以下のガイドラインに従うことができます。セラミックなどの低 ESR 出力コンデンサを使用した設計では、最大 K_{IND} = 0.3 の値を使用できます。より ESR の高い出力コンデンサを使用する場合は、K_{IND} = 0.2 が適切です。

この設計例では、K_{IND} = 0.3 を選択します。インダクタの最小値は 13.7µH と計算できます。この設計では、L_{MIN} に最も近い標準値として 15µH を選択しています。

出力フィルタ インダクタについては、RMS 電流および飽和電流の定格を超えてはいけません。RMS インダクタ電流 ($I_{L(RMS)}$) を計算するには、式 9 を使用します。

$$I_{L(MAX)} = \sqrt{I_{OUT(MAX)}^2 + \frac{1}{12} \times \left[\frac{V_{OUT} \times \left(V_{IN(MAX)} - V_{OUT}\right)}{V_{IN(MAX)} \times L_O \times f_{SW} \times 0.8}\right]^2} \tag{9}$$

ピーク インダクタ電流 ($I_{L(PK)}$) を計算するには、式 10 を使用します。

$$I_{L(PK)} = I_{OUT(MAX)} + \frac{V_{OUT} \times \left[V_{IN(MAX)} - V_{OUT}\right]}{V_{IN(MAX)} \times L_O \times f_{SW} \times 1.6} \tag{10}$$

他の設計要件を満足していれば、設計者が許容するリップル電流の大きさに合わせて、これより小さい値や大きい値のインダクタを使用できます。インダクタの値が大きいと AC 電流が小さくなり、出力電圧リップルが減少します。インダクタの値が小さいと、AC 電流および出力電圧リップルが増加します。

7.2.3.5.2 出力コンデンサの選択

出力コンデンサの値を選択するときは、3 つの主要な要因を考慮します。出力コンデンサは、変調回路の極、出力電圧リップル、および負荷電流の大きな変化に対するレギュレータの応答を決定します。出力容量は、これら 3 つの条件のうち最も厳しいものに基づいて選択する必要があります。

最初の条件は、負荷電流の大きな変化に対して求められる応答です。レギュレータが電流を供給できないときには、出力コンデンサが負荷に電流を供給する必要があります。この状況は、レギュレータに対して所望のホールドアップ時間が存在する場合に発生します。この場合、入力電力の除去後、出力コンデンサは指定された時間だけ、出力電圧を一定のレベルよりも高く保持する必要があります。また、無負荷から全負荷への遷移など、負荷の電流要件に大きく高速な変化が発生すると、レギュレータは一時的に十分な出力電流を供給できなくなります。通常、レギュレータでは、制御ループが負荷電流および出力電圧の変化を検知して、その変化に合わせてデューティ サイクルを調整するまでに、2 クロック サイクル以上を必要とします。出力コンデンサのサイズは、制御ループが負荷の変化に応答するまでの間、負荷に追加の電流を供給できるように決定する必要があります。出力容量は、出力電圧の降下を許容範囲内に抑えながら、2 クロック サイクルにわたって電流の差分を供給するのに十分な大きさでなければなりません。必要な最小出力キャパシタンスを計算するには、式 11 を使用します。

Copyright © 2026 Texas Instruments Incorporated

$$C_O = \frac{2 \times \Delta I_{OUT}}{f_{SW} \times \Delta V_{OUT}} \quad (11)$$

ここで

- ΔI_{OUT} は出力電流の変化量
- f_{SW} はレギュレータのスイッチング周波数です。
- $\Delta V_{(OUT)}$b は出力電圧の許容変化量

この例では、負荷過渡応答が、1.5A の負荷ステップに対する出力電圧 V_{OUT} の 5% の変化として規定されています。この例では、ΔI_{OUT} = 1.5A、ΔV_{OUT} = 0.05 × 5 = 0.25V です。これらの値を使用すると、最小キャパシタンスは 24µF になります。この値は、出力電圧の変化における出力コンデンサの ESR を考慮していません。セラミック コンデンサの場合、ESR は通常十分に小さいため、この計算では無視できます。

式 12 で、出力電圧リップル仕様を満たすために必要な最小出力容量を計算します。この場合、最大出力電圧リップルは 30mV です。この要件下で、式 12 により 4.56µF と算出されます。

$$C_O = \frac{1}{8 \times f_{SW}} \times \frac{1}{\frac{V_{OUTripple}}{I_{ripple}}} \quad (12)$$

ここで

- f_{SW} はスイッチング周波数です
- $V_{(OUTripple)}$ は最大許容出力電圧リップル
- $I_{(ripple)}$ はインダクタ リップル電流

式 13 を使用して、出力電圧リップル仕様を満足するために出力コンデンサに許容される最大 ESR を計算します。式 13 は ESR が 54.8mΩ よりも小さい必要があることを示しています。この場合、セラミック コンデンサの ESR は 54.8mΩ よりはるかに小さくなります。

$$R_{ESR} < \frac{V_{OUTripple}}{I_{ripple}} \quad (13)$$

出力コンデンサは、クロスオーバー周波数 f_o に影響を及ぼす可能性があります。ループ安定性と内部寄生パラメータの影響を考慮して、フィードフォワード コンデンサを考慮せずに、40kHz より低いクロスオーバー周波数を選択します。式 14 に、フィードフォワード コンデンサ C6 を使用しないときのクロスオーバー周波数を簡単に見積もる式を示します。C_{OUT} の ESR は小さいと仮定しています。

$$f_O = \frac{3.95}{V_{OUT} \times C_{OUT}} \quad (14)$$

経年劣化、温度、および DC バイアスに対して、追加の静電容量ディレーティングを考慮する必要があるため、この最小値は増加します。この例では、22uF 25V、X7R セラミック コンデンサを 2 つ使用しています。一般に、コンデンサでは、障害や過熱を発生させずにコンデンサが処理できるリップル電流の大きさに制限があります。インダクタ リップル電流に対して対応可能な出力コンデンサを指定する必要があります。一部のコンデンサのデータシートでは、最大リップル電流の RMS 値が指定されています。を使用 式 15 して、出力コンデンサで処理できる必要のある RMS リップル電流を計算します。このアプリケーションでは、式 15 が各コンデンサの 79mA を生成します。

$$I_{COUT(RMS)} = \frac{1}{\sqrt{12}} \times \left[\frac{V_{OUT} \times \left(V_{IN(MAX)} - V_{OUT}\right)}{V_{IN(MAX)} \times L_O \times f_{SW} \times N_C} \right] \quad (15)$$

7.2.3.5.3 フィードフォワード コンデンサ

TPS54202 デバイスは内部補償されており、内部補償ネットワークは、ブロック図に示す 2 つのコンデンサと 1 つの抵抗で構成されています。V_{OUT} に応じて、出力コンデンサ C_{OUT} が低 ESR (セラミック タイプ) コンデンサで構成されている

Copyright © 2026 Texas Instruments Incorporated

場合、この動作によって低位相マージンになる可能性があります。位相ブーストを向上させるために、外部フィードフォワード コンデンサ C6 を R2 と並列に追加できます。位相マージンがクロスオーバー周波数でブーストされるように、C6 を選択します。

C6 の 式 16 テスト:

$$C6 = \frac{1}{2\pi f_o} \times \frac{1}{R2} \quad (16)$$

このリファレンス デザインの場合、C6 = 75pF です。C_{OUT} の ESR が高い場合、C6 は不要であり、ESR が中程度の場合は、式 16 で計算される C6 を小さくする必要があります。表 7-2 は、開始点として使用することができます。

表 7-2. 推奨部品値

V_{OUT} (V)	L (µH)(1)	C_{OUT}(µF)	R2 (kΩ)	R3 (kΩ)	C6 (pF)
1.8	5.6	66	100	49.9	47
2.5	8.2	44	100	31.6	33
3.3	10	44	100	22.1	56
5	15	44	100	13.3	75
12	22	44	100	5.23	100

(1) VIN = 28V に基づく

Copyright © 2026 Texas Instruments Incorporated

7.2.4 アプリケーション曲線

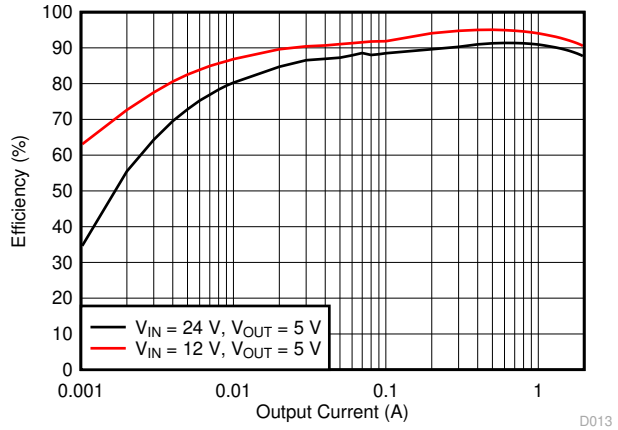


図 7-2. 効率

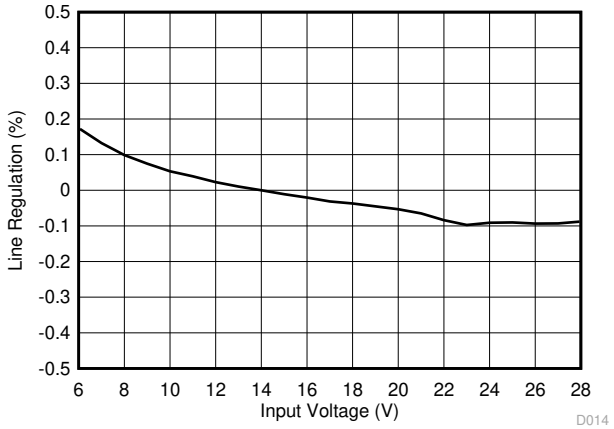


図 7-3. ライン レギュレーション

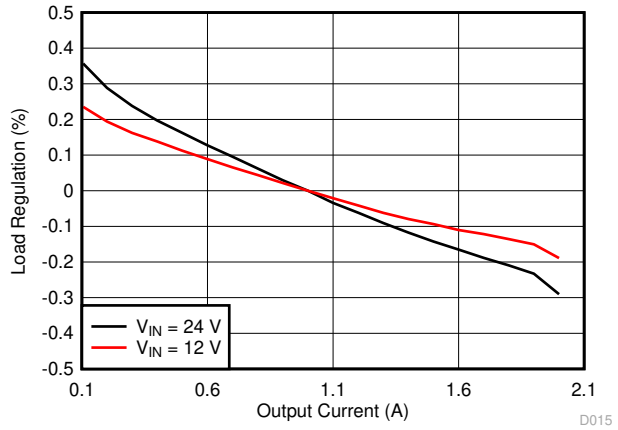
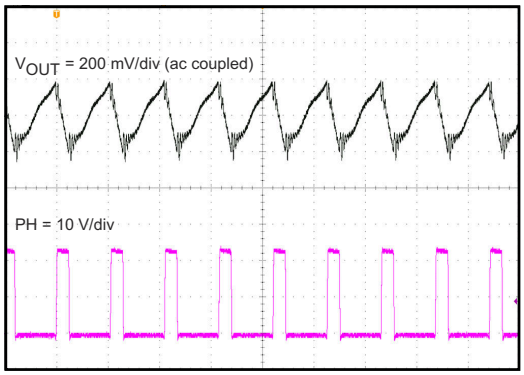


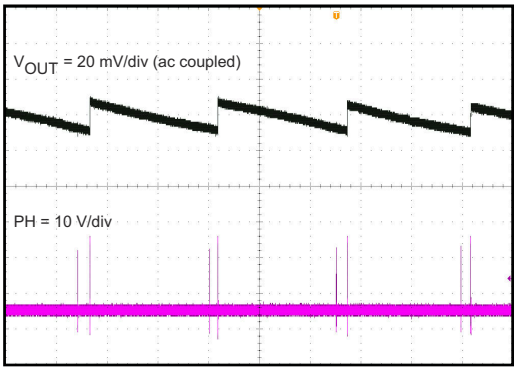
図 7-4. ロード レギュレーション



Time - 2 µs/div

I_{OUT} = 2A

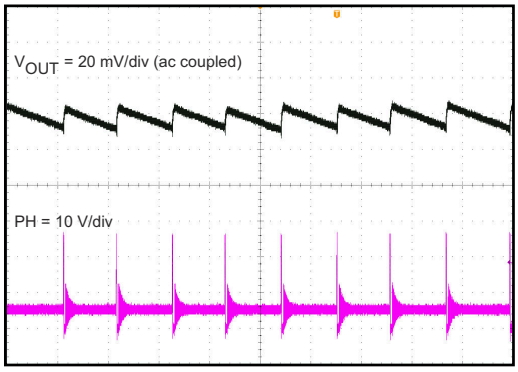
図 7-5. 入力電圧リップル



Time - 4 ms/div

I_{OUT} = 0A

図 7-6. 出力電圧リップル

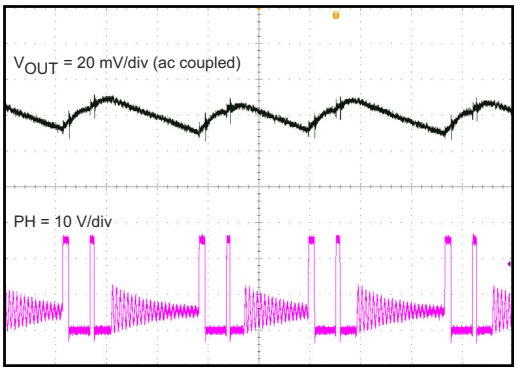


Time - 40 µs/div

I_{OUT} = 10mA

図 7-7. 出力電圧リップル

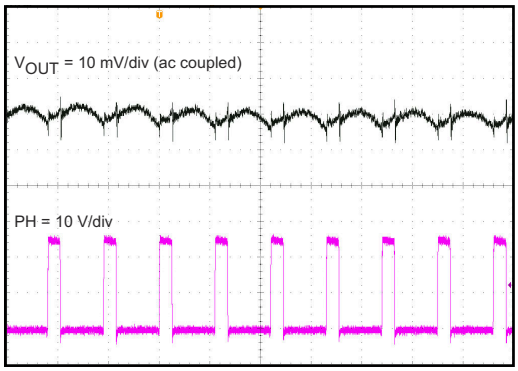
Copyright © 2026 Texas Instruments Incorporated



Time - 4 µs/div

I_{OUT} = 100mA

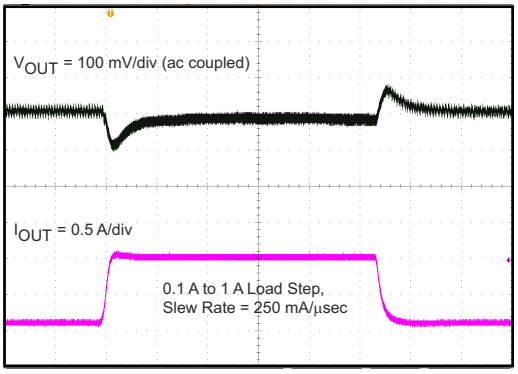
図 7-8. 出力電圧リップル



Time - 2 µs/div

I_{OUT} = 2A

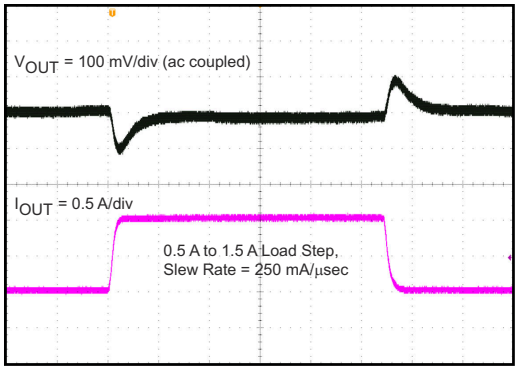
図 7-9. 出力電圧リップル



Time - 200 µs/div

0.1 ～ 1A

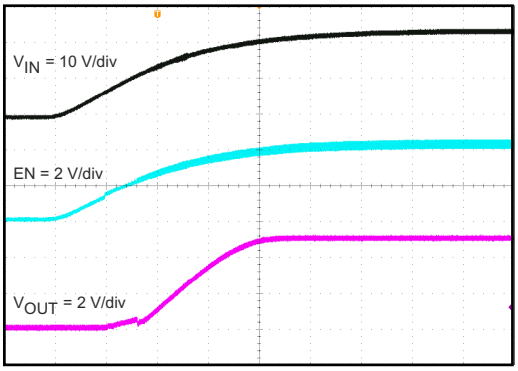
図 7-10. 過渡応答



Time - 200 µs/div

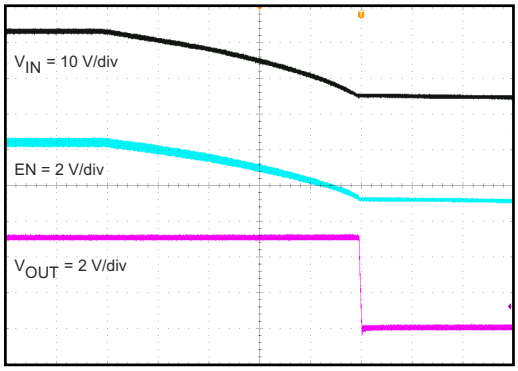
0.5 ～ 1.5A

図 7-11. 過渡応答



Time - 2 ms/div

図 7-12. VIN に対するスタートアップ



Time - 2 ms/div

図 7-13. VIN に対するシャットダウン

Copyright © 2026 Texas Instruments Incorporated

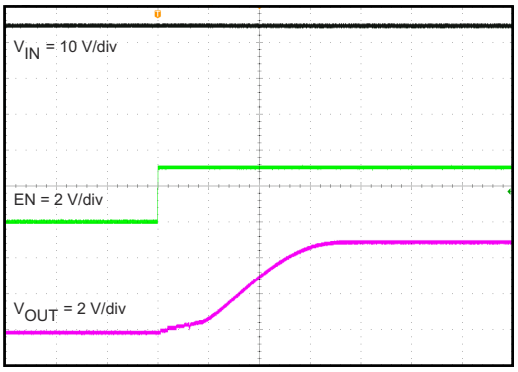


図 7-14. EN に対するスタートアップ

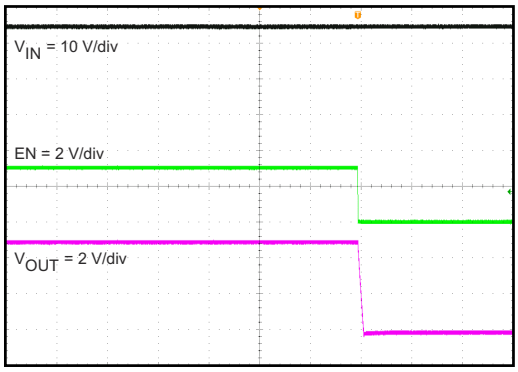


図 7-15. EN に対するシャットダウン

7.3 電源に関する推奨事項

デバイスは、4.5V～28V の入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源がデバイスまたはコンバータから数インチ以上離れている場合は、セラミック バイパス コンデンサに加えて追加のバルク キャパシタンスが必要となることがあります。通常は、47µF の電解コンデンサを使用します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

- VIN および GND のパターンは、パターン インピーダンス低減のためにできるだけ幅広くする必要があります。面積を広くすることには、放熱の観点からも利点があります。
- パターン インピーダンスを最小限に抑えるために、入力コンデンサおよび出力コンデンサは、デバイスにできるだけ近づけて配置する必要があります。
- 入力コンデンサおよび出力コンデンサに対して十分な数のビアを用意してください。
- 放射を最小限に抑えるために、SW のパターンは実用的な範囲でできるだけ短く、幅広くしてください。
- デバイスの下をスイッチング電流が流れないようにしてください。
- 個別の VOUT パスを上側帰還抵抗に接続してください。
- フィードバック パスの GND ピンにはケルビン接続を使用します。
- 電圧帰還ループは、高電圧のスイッチング パターンから離して配置し、できればグランド シールドを使用してください。
- ノイズ結合を避けるため、VFB ノードのパターンは最小限にしてください。
- 出力コンデンサと GND ピンの間の GND パターンは、パターン インピーダンス低減のためにできるだけ幅広くする必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

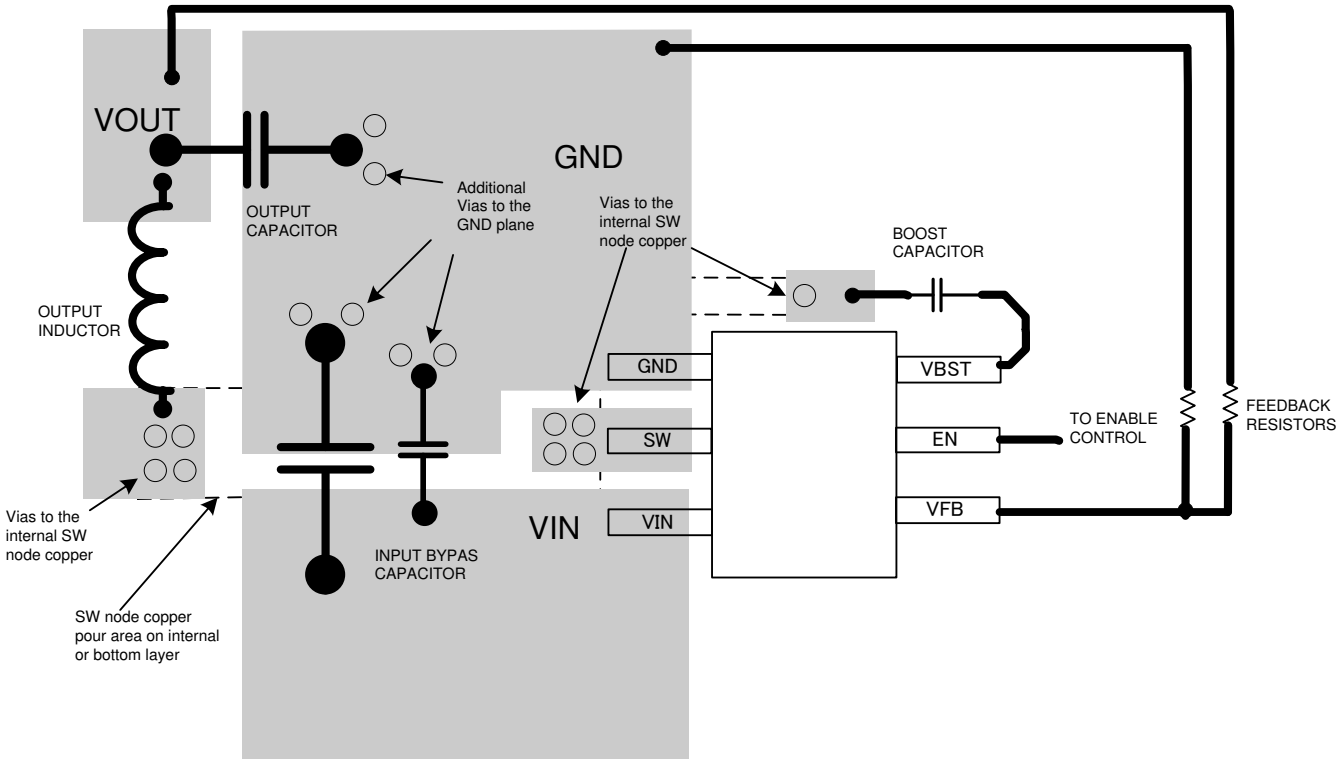


図 7-16. 基板レイアウト

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

Eco-mode™, and Eco モード™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2021) to Revision C (February 2026)	Page
• 「特長」の標準シャットダウン電流を 2μA から 3μA に更新	1
• 人体モデル (HBM) の *ESD* 定格を ±4000V から ±2500V に変更	4
• 「推奨動作条件」表で、EN、FB、BOOT-SW の仕様を更新	4
• 「熱に関する情報」表の仕様を更新	4
• 「電気的特性」表で、サーマル シャットダウンにおける立ち上がり温度の標準値を 155°C から 160°C に変更	5
• 「電気的特性」表で、シャットダウン電流の標準値を 2μA から 3μA に変更	5
• 「概要」セクションの標準シャットダウン電流を 2μA から 3μA に変更	8

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision A (January 2017) to Revision B (April 2021)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 中央スイッチング周波数の最大値を 590kHz から 630kHz に変更	5
• ローサイド ソース電流制限の最大値を 4A から 4.3A に変更	5

Changes from Revision * (April 2016) to Revision A (January 2017)	Page
• 式 2 で「R1」を「R4」に変更	10
• *セクション 6.3.11.2* を変更	11
• 図 6-3 を追加	12
• 表 7-2 に注 1 を追加	17

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS54202DDCR	Active	Production	SOT-23-THIN (DDC) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	4202
TPS54202DDCR.A	Active	Production	SOT-23-THIN (DDC) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	4202
TPS54202DDCR.B	Active	Production	SOT-23-THIN (DDC) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	4202
TPS54202DDCT	Active	Production	SOT-23-THIN (DDC) | 6	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	4202
TPS54202DDCT.A	Active	Production	SOT-23-THIN (DDC) | 6	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	4202
TPS54202DDCT.B	Active	Production	SOT-23-THIN (DDC) | 6	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	4202

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

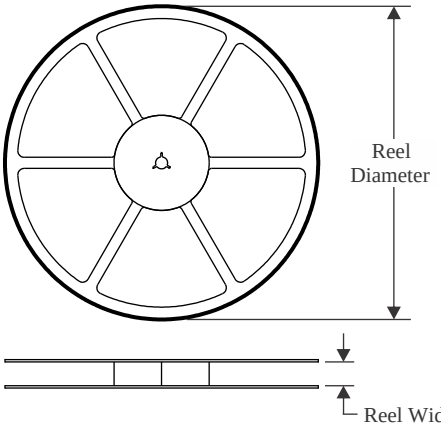
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

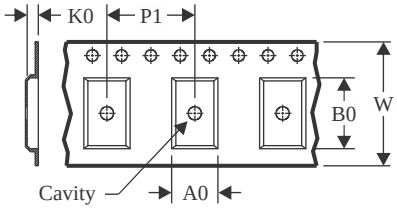
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

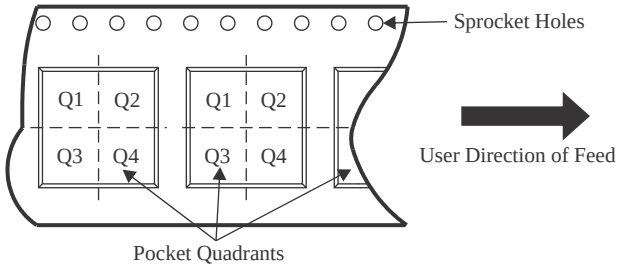


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

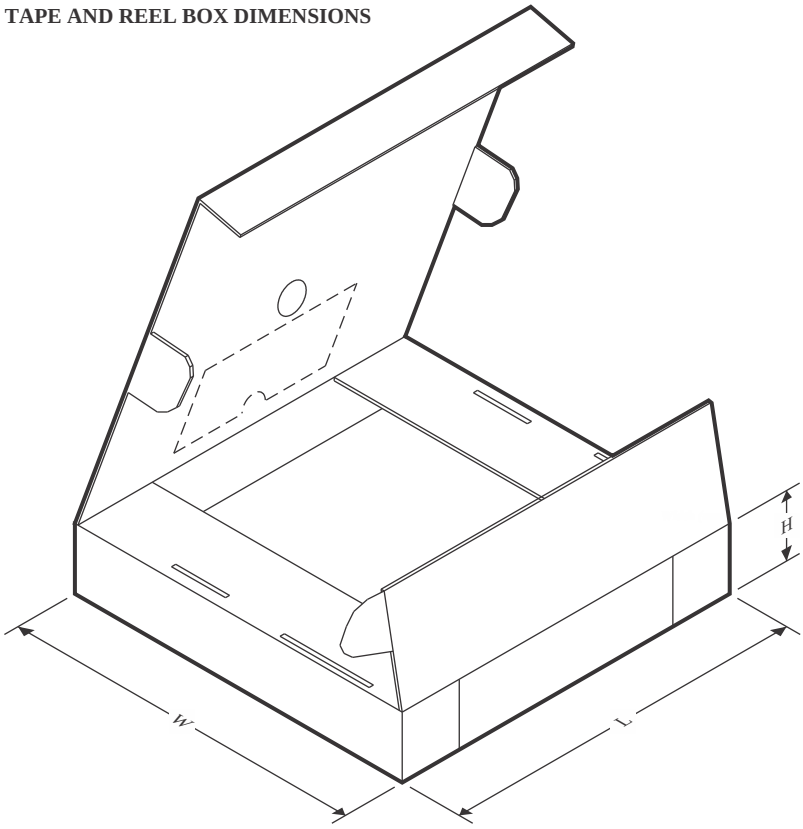
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54202DDCR	SOT-23-THIN	DDC	6	3000	180.0	9.5	3.17	3.1	1.1	4.0	8.0	Q3
TPS54202DDCR	SOT-23-THIN	DDC	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS54202DDCR	SOT-23-THIN	DDC	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS54202DDCT	SOT-23-THIN	DDC	6	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

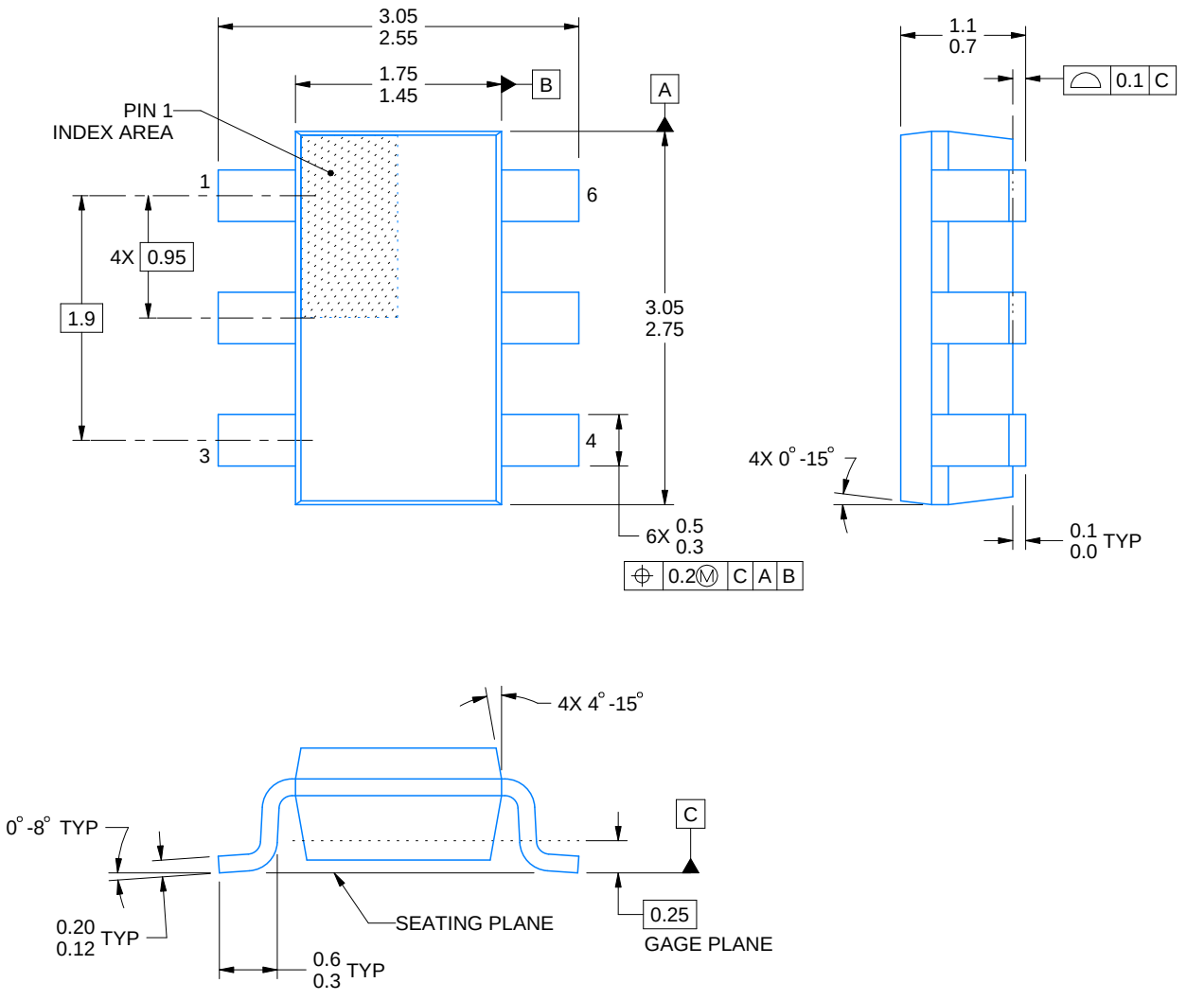
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54202DDCR	SOT-23-THIN	DDC	6	3000	205.0	200.0	30.0
TPS54202DDCR	SOT-23-THIN	DDC	6	3000	210.0	185.0	35.0
TPS54202DDCR	SOT-23-THIN	DDC	6	3000	210.0	185.0	35.0
TPS54202DDCT	SOT-23-THIN	DDC	6	250	210.0	185.0	35.0

PACKAGE OUTLINE

DDC0006A

SOT-23 - 1.1 max height

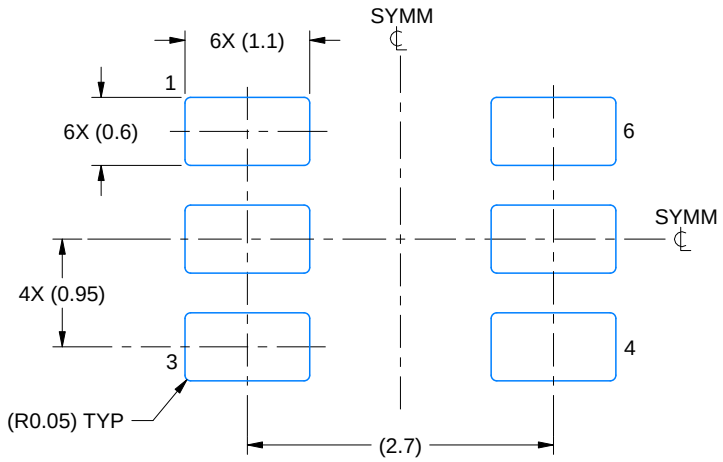
SMALL OUTLINE TRANSISTOR



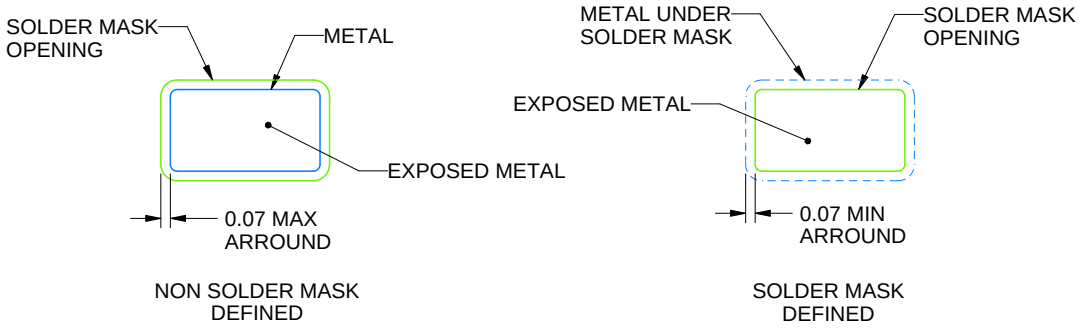
4214841/E 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-193.



LAND PATTERN EXAMPLE
EXPLOSED METAL SHOWN
SCALE:15X

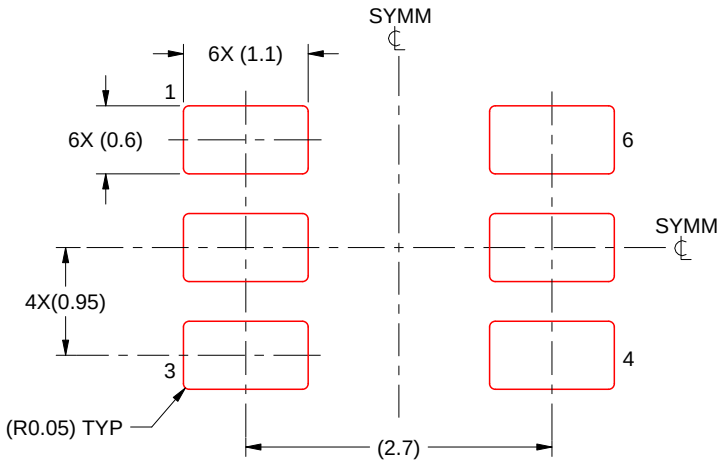


SOLDERMASK DETAILS

4214841/E 08/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4214841/E 08/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月