

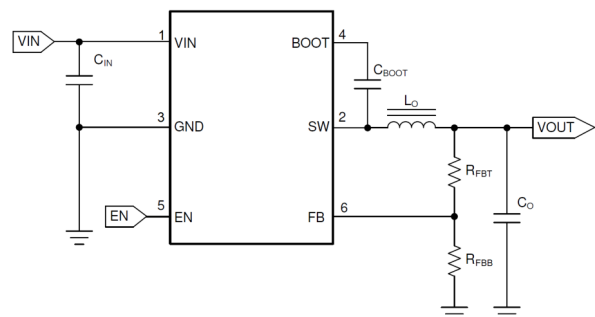
TPS543021 4.5V ~ 28V、3A、EMI 対応、同期整流降圧コンバータ

1 特長

- 多様なアプリケーションに適した構成
 - 入力電圧範囲: 4.5V ~ 28V
 - 最大 3A の連続出力電流
 - 接合部温度範囲: -40°C ~ 150°C
 - 最小スイッチング オン時間: 70ns
 - リファレンス電圧 (25°C) の許容誤差 $\pm 1\%$
 - 低ドロップアウト モードをサポート
 - 高精度のイネーブル
- 高効率
 - 75m Ω および 35m Ω の MOSFET を内蔵
 - 低いシャットダウン時電流 2 μ A、静止電流 28 μ A
 - パルス周波数変調 (PFM) による軽負荷時の効率向上
- 使いやすさ
 - 内部補償付きピーク電流モード制御
 - 400kHz の固定スイッチング周波数
 - 5ms の内部ソフトスタート
 - 周波数スペクトラム拡散により EMI を低減
 - 過電流保護 (ヒカップ モード)
 - ラッチ保護機能なしの過熱保護 (OTP)、過電流保護 (OCP)、過電圧保護 (OVP)、低電圧誤動作防止 (UVLO)
 - SOT-563 パッケージ
- WEBENCH® Power Designer により、TPS543021 を使用するカスタム設計を作成

2 アプリケーション

- 産業用アプリケーション
- オーディオ
- セットトップ ボックス (STB)、デジタル テレビ (DTV)
- プリンタ



TPS543021 の概略回路図

3 説明

TPS543021 は、入力電圧範囲 4.5V ~ 28V、3A の同期整流降圧コンバータです。このデバイスには 2 つの内蔵スイッチング FET、内部的なループ補償、および 5ms の内部ソフトスタートが搭載されているため、部品数を減らすことができます。

TPS543021 には MOSFET が内蔵され、高い電力密度を実現し、PCB 上でわずかな面積しか占有しません。TPS543021 は、FB 抵抗構成を変えることで出力電圧を調整できます。

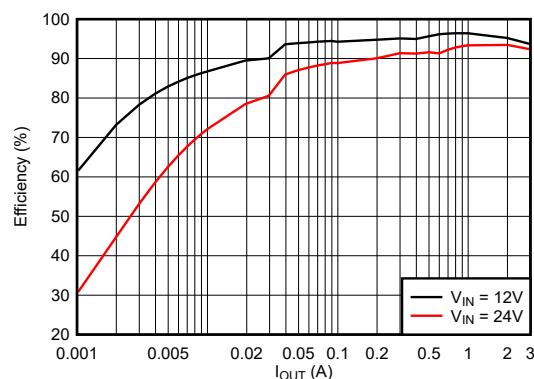
TPS543021 は、PFM (パルス周波数変調) モードで動作することで、軽負荷時の効率を向上させ、電力損失を低減します。このデバイスは、電磁干渉 (EMI) 低減のためのスペクトラム拡散機能を搭載しています。

ハイサイド MOSFET でサイクル単位の電流制限を行い、過負荷の状況でコンバータを保護します。また、ローサイド MOSFET の電流制限を自由に設定でき、電流暴走を防止することで、さらに保護が強化されています。あらかじめ設定された時間を超えて過電流の状態が続いた場合、ヒカップ モード保護が作動します。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TPS543021	DRL (SOT-563, 6)	1.6mm × 1.6mm

- 詳細については、[セクション 10](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



5V_{OUT} の効率と出力電流との関係



目次

1 特長	1	7 アプリケーションと実装	14
2 アプリケーション	1	7.1 アプリケーション情報.....	14
3 説明	1	7.2 代表的なアプリケーション.....	14
4 ピン構成および機能	3	7.3 電源に関する推奨事項.....	21
5 仕様	4	7.4 レイアウト.....	21
5.1 絶対最大定格.....	4	8 デバイスおよびドキュメントのサポート	23
5.2 ESD 定格.....	4	8.1 デバイス サポート.....	23
5.3 推奨動作条件.....	4	8.2 ドキュメントのサポート.....	23
5.4 熱に関する情報.....	4	8.3 ドキュメントの更新通知を受け取る方法.....	23
5.5 電気的特性.....	5	8.4 サポート・リソース.....	23
5.6 代表的特性.....	7	8.5 商標.....	23
6 詳細説明	8	8.6 静電気放電に関する注意事項.....	24
6.1 概要.....	8	8.7 用語集.....	24
6.2 機能ブロック図.....	9	9 改訂履歴	24
6.3 機能説明.....	9	10 メカニカル、パッケージ、および注文情報	25
6.4 デバイスの機能モード.....	13		

4 ピン構成および機能

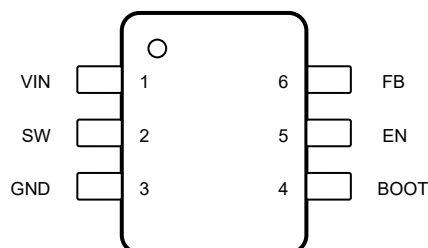


図 4-1. 6 ピン SOT-563、DRL パッケージ (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
VIN	1	P	入力電源電圧ピン。ハイサイド FET のドレイン端子。入力電源および入力バイパス コンデンサ C_{IN} に接続します。入力バイパスコンデンサは、このピンおよび GND に直接接続する必要があります。
SW	2	P	ハイサイド NFET およびローサイド NFET 用のスイッチ ノード接続。
GND	3	G	グラウンド ピン。ローサイド パワー NFET のソース端子、およびコントローラ回路用のグラウンド端子。 C_{IN} へのパスは、できる限り短くしてください。
BOOT	4	P	ハイサイド NFET ゲート駆動回路に電源を入力。BOOT ピンと SW ピンの間に高品質 0.1 μ F コンデンサを接続します。
EN	5	A	このピンはイネーブル ピンです。EN ピンをフローティングにして有効にします。高精度イネーブル入力により、外部抵抗分割器による UVLO の調整が可能になります。
FB	6	A	コンバータの帰還入力。帰還抵抗分圧回路を使用して出力電圧に接続します。動作中は、この端子をグラウンドに短絡しないでください。

(1) A = アナログ、P = 電源、G = グラウンド

5 仕様

5.1 絶対最大定格

接合部温度の推奨動作範囲が $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ である場合 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
ピン電圧	VIN から GND へ	-0.3	30	V
	SW から GND へ	-0.3	30	V
	SW から GND (過渡 10ns 未満)	-3.5	33	V
	BOOT から SW へ	-0.3	6	V
	EN から GND へ	-0.3	7	V
	FB から GND へ	-0.3	6	V
動作時の接合部温度、 T_J		-40	150	$^{\circ}\text{C}$
保管温度、 T_{stg}		-65	150	$^{\circ}\text{C}$

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{\text{(ESD)}}$	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2500	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	± 1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部温度の推奨動作範囲が $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ である場合 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V_{IN}	VIN から GND へ	4.5	28	V
I_{OUT}	出力電流	0	3	A
SW	SW から GND へ	-0.1	28	V
EN	EN から GND へ	-0.1	6	V
FB	FB から GND へ	-0.1	5	V
T_J	動作時接合部温度	-40	150	$^{\circ}\text{C}$

(1) 推奨動作条件は本デバイスが機能する条件を示していますが、特定の性能限界を指定するものではありません。指定されている仕様については、「電気的特性」表を参照してください。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS543021	単位
		DRL (SOT563)	
		6 ピン	
$R_{\theta\text{JA}}$ ⁽²⁾	接合部から周囲への熱抵抗	131.2	$^{\circ}\text{C/W}$
$R_{\theta\text{JC(top)}}$	接合部からケース (上面) への熱抵抗	52.3	$^{\circ}\text{C/W}$
$R_{\theta\text{JB}}$	接合部から基板への熱抵抗	23.1	$^{\circ}\text{C/W}$

5.4 熱に関する情報 (続き)

熱評価基準 ⁽¹⁾		TPS543021	単位
		DRL (SOT563)	
		6ピン	
Ψ_{JT}	接合部から上面への特性パラメータ	2.39	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	21.5	°C/W
$R_{\theta JA}(\text{effective})$	TI EVM による接合部から周囲への熱抵抗	64.2	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。
(2) この表に示す $R_{\theta JA}$ の値は他のパッケージとの比較にのみ有効であり、設計目的に使用することはできません。これらの値は、標準的な JEDEC ボードでシミュレーションされました。これらの値は、実際のアプリケーションで得られた性能を表すものではありません。

5.5 電気的特性

特に記述のない限り、各制限値は動作時の接合部温度 (T_J) 範囲 ($-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$) にわたって適用されます。最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ 、 $V_{IN} = 12\text{V}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 4.5\text{V} \sim 28\text{V}$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
$I_{Q(VIN)}$	V_{IN} 静止電流	非スイッチング、 $V_{IN} = 12\text{V}$ 、 $V_{EN} = 5\text{V}$ 、 $V_{FB} = 1\text{V}$		28		μA
$I_{SD(VIN)}$	V_{IN} のシャットダウン時消費電流	$V_{IN} = 12\text{V}$ 、 $V_{EN} = 0\text{V}$		2		μA
UVLO						
$V_{UVLO(R)}$	V_{IN} UVLO 立ち上がりスレッシュホールド	V_{IN} 立ち上がり	3.8	4.1	4.4	V
$V_{UVLO(F)}$	V_{IN} UVLO 立ち下がりスレッシュホールド	V_{IN} 立ち下がり	3.3	3.6	3.9	V
$V_{UVLO(H)}$	V_{IN} UVLO ヒステリシス		400	480	560	mV
イネーブル						
$V_{EN(R)}$	EN 電圧立ち上がりスレッシュホールド	EN 立ち上がり、スイッチングはイネーブル		1.23	1.28	V
$V_{EN(F)}$	EN 電圧立ち下がりスレッシュホールド	EN 立ち下がり、スイッチングはディスエーブル	1.1	1.16		V
$I_{EN(P)}$	EN ピン ソース電流	$V_{EN} = 1.0\text{V}$		0.7		μA
$I_{EN(H)}$	EN ピンのソース電流ヒステリシス	$V_{EN} = 1.5\text{V}$		1.55		μA
リファレンス電圧						
V_{FB}	FB 電圧	$T_J = 25^{\circ}\text{C}$	590	596	602	V
V_{FB}	FB 電圧	$T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$	582	596	610	V
$I_{FB(LKG)}$	FB の入力リーク電流	$V_{IN} = 12\text{V}$ 、 $V_{FB} = 0.6\text{V}$			0.15	μA
スイッチング周波数						
f_{SW}	中心スイッチング周波数、CCM 動作	$V_{IN} = 12\text{V}$	295	400	505	kHz
$F_{Dither}^{(1)}$	スイッチング周波数ディザリング範囲	中心周波数に対する周波数ディザリング		$\pm 6\%$		
電力段						
$R_{DS(on)(HS)}$	ハイサイド MOSFET オン抵抗	$V_{BOOT-SW} = 5\text{V}$		70		m Ω
$R_{DS(on)(LS)}$	ローサイド MOSFET オン抵抗	$V_{IN} = 12\text{V}$		35		m Ω
$t_{ON(min)}^{(1)}$	最小 ON パルス幅	$V_{IN} = 12\text{V}$ 、 $I_{OUT} = 1\text{A}$		70		ns
$t_{ON(max)}^{(1)}$	最大 ON パルス幅	$V_{IN} = 5\text{V}$		62		μs
電流制限およびヒカッブ						
$I_{HS(OC)}$	ハイサイド ピーク電流制限	HS MOSFET のピーク電流制限	4	5	6	A
$I_{LS(OC)}$	ローサイドのバレー電流制限	LS MOSFET のバレー電流制限	3.1	4	5.5	A

5.5 電気的特性 (続き)

特に記述のない限り、各制限値は動作時の接合部温度 (T_J) 範囲 ($-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$) にわたって適用されます。最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ 、 $V_{IN} = 12\text{V}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 4.5\text{V} \sim 28\text{V}$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{PK_MIN} ⁽¹⁾	最小ピーク インダクタ電流			0.75		A
t_{OC_HICCUP} ⁽¹⁾	電流制限ヒカップ バースト間の時間			40		ms
出力 VP						
V_{OV}	過電圧保護 (OVP) のスレッショルド電圧	V_{FB} 立ち上がり		108		%
V_{OV_HYS}	過電圧保護 (OVP) ヒステリシス			4		%
スタートアップ						
t_{SS}	内部固定ソフトスタート時間	ターゲット V_{OUT} の 10% ~ 90%		5		ms
サーマル シャットダウン						
$T_{J(SD)}$ ⁽¹⁾	サーマル シャットダウンのスレッショルド			160		$^{\circ}\text{C}$
$T_{J(HYS)}$ ⁽¹⁾	サーマル シャットダウン ヒステリシス			10		$^{\circ}\text{C}$
t_{OT_HICCUP} ⁽¹⁾	過熱によるヒカップ バースト間の時間			80		ms

(1) 実製品の検査は行っていない。設計上の相関関係によって指定されます。

5.6 代表的特性

$V_{IN} = 12V$, $T_A = 25^{\circ}C$ (特に指定のない限り)。

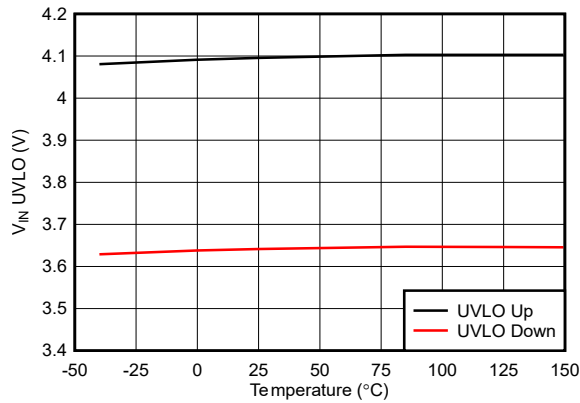


図 5-1. V_{IN} UVLO スレッシュホールド

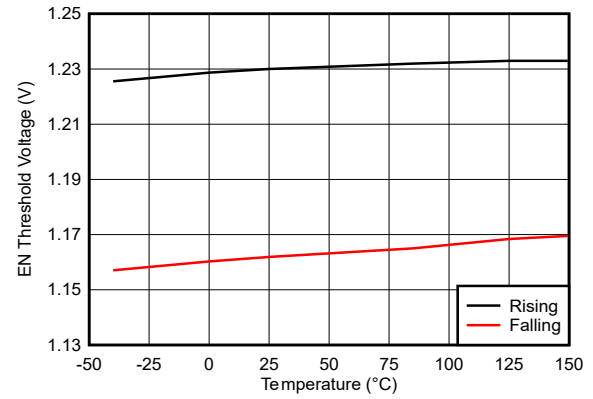


図 5-2. EN スレッシュホールド

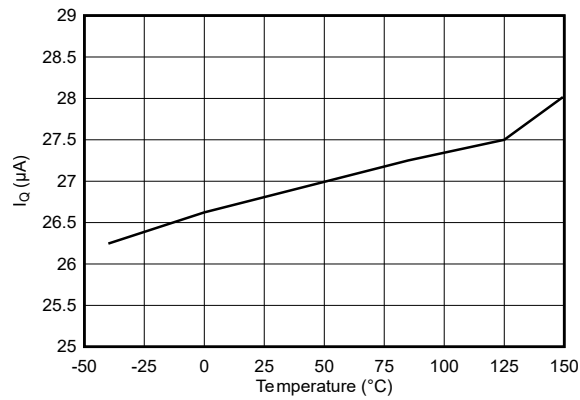


図 5-3. 非スイッチング I_Q

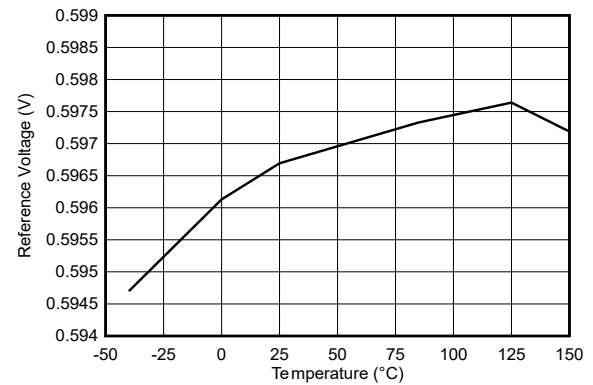


図 5-4. 基準電圧

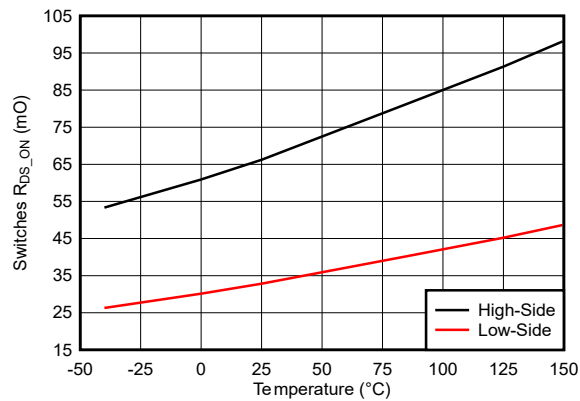


図 5-5. ハイサイドおよびローサイドスイッチの R_{DS_ON}

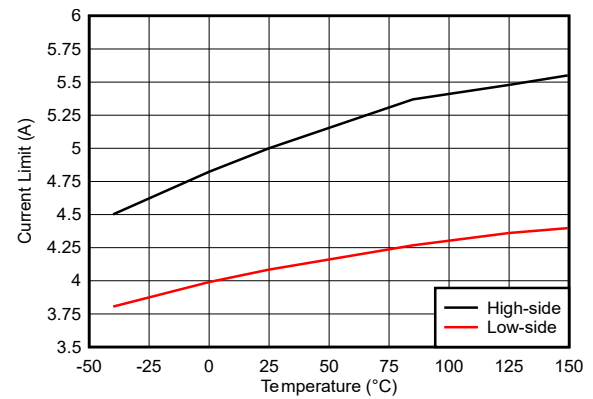


図 5-6. ハイサイドおよびローサイド電流制限

6 詳細説明

6.1 概要

TPS543021 デバイスは、2 つの N チャネル MOSFET を内蔵した、28V、3A の同期整流降圧 (バック) コンバータです。ラインおよび負荷の過渡状態における性能を向上させるため、本デバイスは一定周波数のピーク電流モード制御で出力キャパシタンスを低減します。最適化された内部補償回路により外付け部品数を最小限に抑え、制御ループ設計の簡素化を実現します。

デバイスは、 V_{IN} が 4.5V 以上のときにスイッチングを開始します。無負荷で非スイッチング時の動作時電流は、標準値 28 μ A です。デバイスがディスエーブル時の電源電流の標準値は 2 μ A です。

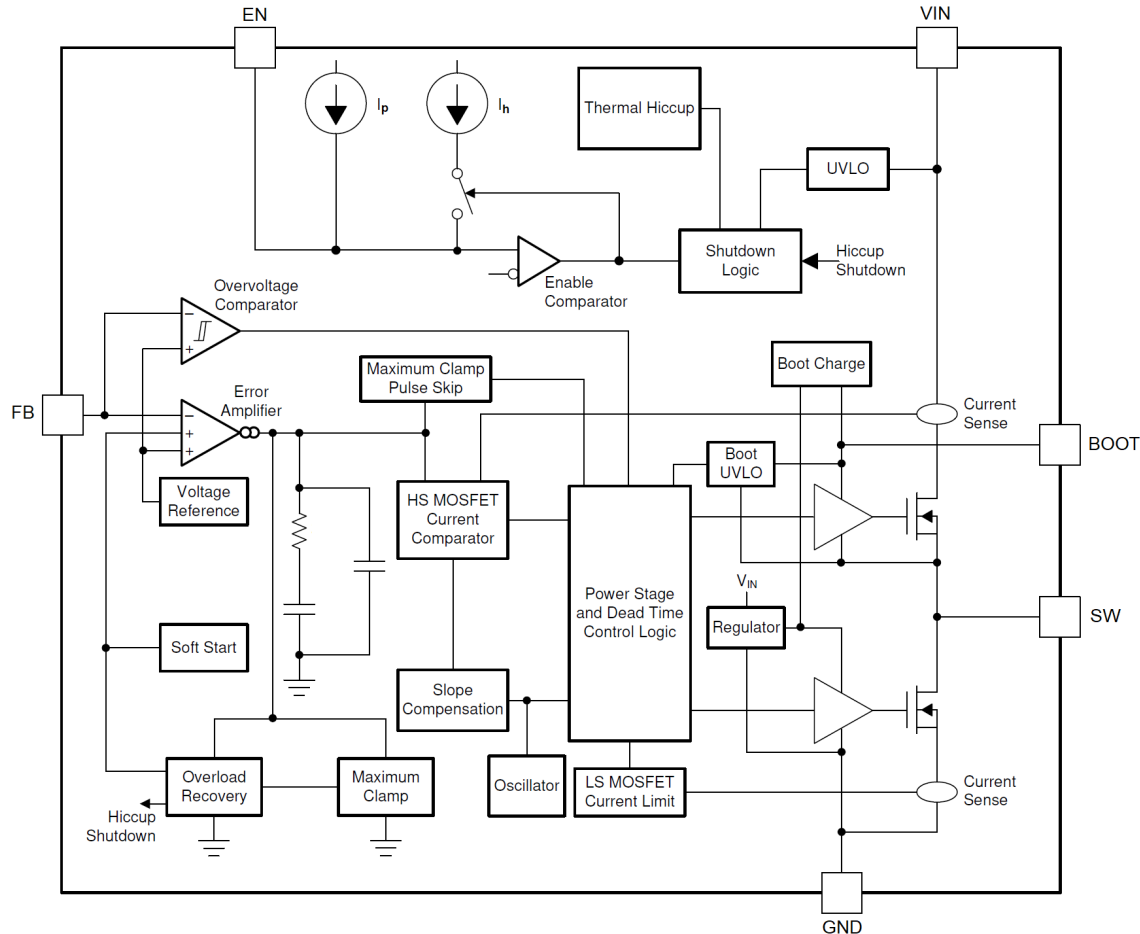
70m Ω のハイサイド MOSFET、35m Ω のローサイド MOSFET を内蔵しており、最大 3A の連続出力電流で高効率の電源を設計できます。

本デバイスはブート再充電ダイオードを内蔵しているため外付け部品数を削減できます。内蔵ハイサイド MOSFET のバイアス電圧は、BOOT ピンから SW ピンの間の外付けコンデンサによって供給されます。このブート コンデンサ電圧は UVLO 回路によって監視され、標準値 2.4V のプリセットされたスレッシュホールドを下回ると、ハイサイド MOSFET がオフになります。

本デバイスは、過電圧コンパレータを利用して、過度の出力過電圧を最小限に抑えています。レギュレートされた出力電圧が公称電圧の 108% を超えると、過電圧コンパレータが作動してハイサイド MOSFET がオフになり、出力電圧が 104% を下回るまでオンになりません。

本デバイスは 5ms のソフトスタート時間を内蔵し、突入電流を最小限に抑えます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 固定周波数 PWM 制御

本デバイスは、固定周波数のピーク電流モード制御を使用します。出力電圧は **FB** ピンの外部抵抗を通じて感知され、エラー アンプによって内部電圧リファレンスと比較されます。内部発振器により、ハイサイド パワー スイッチのオン動作が開始されます。エラー アンプの出力がハイサイド パワー スイッチの電流と比較されます。パワー スイッチ電流がエラー アンプの出力電圧レベルに達すると、ハイサイド パワー スイッチがオフになり、ローサイド パワー スイッチがオンになります。本デバイスでは、エラー アンプ電圧を最大レベルにクランプすることで電流制限を実現しています。また、過渡応答性能の向上のために最小クランプも実装しています。

6.3.2 軽負荷動作

TPS543021 は、軽負荷時にはパルス周波数変調 (PFM) モードで動作するように設計されており、高効率の動作を維持します。最小ハイサイド スイッチのオン時間 t_{ON-MIN} 、または最小ピーク インダクタ電流 I_{PEAK_MIN} (通常 **750mA**) のいずれかが経過すると、スイッチング周波数が低下して、安定が維持されます。PFM モードでは、負荷電流が減少したときに出力電圧の安定を維持するために、制御ループによってスイッチング周波数が低下します。PFM 動作中は、実効スイッチング周波数が大幅に低下するため、スイッチング損失がさらに低減されます。内蔵の電流コンパレータはピーク インダクタ電流のみを捕捉するため、パルス周波数モードに入るときの平均負荷電流は、アプリケーションおよび外部出力フィルタによって異なります。

6.3.3 エラー アンプ

本デバイスは、エラー アンプとして相互コンダクタンス アンプを内蔵しています。エラー アンプは、FB 端子の電圧を、内部ソフト スタート電圧または内部の 0.596V 電圧リファレンスのいずれか低い方と比較します。周波数補償部品は、エラー アンプの出力とグランドの間に内部的に配置されます。

6.3.4 スロープ補償と出力電流

本デバイスは、スイッチ電流の信号に補償ランプを追加します。このスロープ補償により、高いデューティ サイクルでの低調波発振を防いでいます。使用可能なピーク インダクタ電流は、デューティ サイクルの全範囲にわたって一定です。

6.3.5 イネーブルと低電圧誤動作防止の調整

EN ピンは、本デバイスの電氣的オン / オフ制御に使用できます。EN ピンの電圧が立ち上がりスレッシュホールド電圧を超えると、デバイスが動作を開始します。EN ピンの電圧が立ち下がりスレッシュホールド電圧を下回ると、レギュレータはスイッチングを停止し、静止電流が low シャットダウン モードに入ります。

EN ピンには内部プルアップ電流ソースがあり、ユーザは EN ピンをフローティングにしてデバイスを有効にできます。アプリケーションで EN ピンの制御が必要な場合は、ピンとのインターフェイスに、オープンドレインまたはオープン コレクタ出力ロジックを使用してください。

本デバイスでは、VIN ピンの内部低電圧誤動作防止 (UVLO) 回路が実装されています。VIN ピンの電圧が内部の V_{IN} UVLO スレッシュホールドを下回ると、本デバイスは無効になります。内部 V_{IN} UVLO スレッシュホールドには、480mV のヒステリシスがあります。

アプリケーションで、より高い UVLO スレッシュホールド (V_{START} および V_{STOP}) を VIN ピンに必要とする場合、EN ピンを図 6-1 のように構成できます。外部 UVLO 機能を使用する場合は、ヒステリシスを 500mV 以上の値に設定し、最大 V_{IN} 電圧で EN ピン電圧が 7V を超えないように設定することを TI の推奨します。

EN ピンでは小さなプルアップ電流 I_p により、外部部品を接続しないときの EN ピンのデフォルト状態が有効に設定されます。またこのプルアップ電流は、EN ピンがイネーブル スレッシュホールドを超過すると I_h だけ増加するため、UVLO 機能の電圧ヒステリシスの制御にも使用されます。式 1 と 式 2 を使用して、指定された UVLO スレッシュホールドに対する R_1 と R_2 の値を計算します。

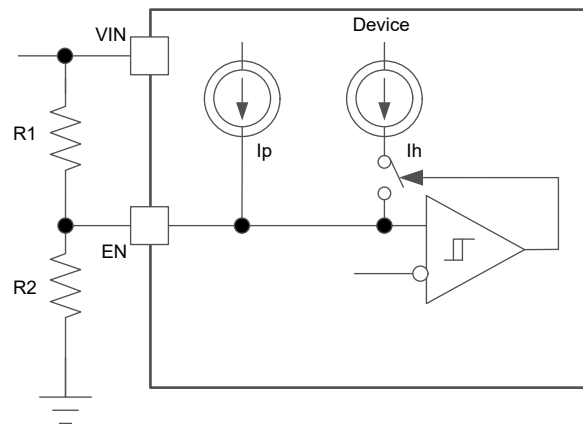


図 6-1. 調整可能な V_{IN} 低電圧ロックアウト

$$R_1 = \frac{\frac{V_{EN(F)}}{V_{EN(R)}} \times V_{START} - V_{STOP}}{I_p \times \left(1 - \frac{V_{EN(F)}}{V_{EN(R)}}\right) + I_h} \quad (1)$$

$$R_2 = \frac{R_1 \times V_{EN(F)}}{V_{STOP} - V_{EN(F)} + (I_h + I_p) \times R_1} \quad (2)$$

この場合:

- $I_p = 0.7\mu A$
- $I_h = 1.55\mu A$
- $V_{EN(F)} = 1.16V$
- $V_{EN(R)} = 1.23V$

6.3.6 プリバイアス出力への安全なスタートアップ

このデバイスは、ローサイド MOSFET がプリバイアス出力を放電しないように設計されています。単調なプリバイアス スタートアップ中は、内部のソフト スタート電圧が FB ピンの電圧を超えるまで、ハイサイドおよびローサイド MOSFET はオンになりません。

6.3.7 電圧リファレンス

電圧リファレンス システムは、温度の安定したバンドギャップ回路出力をスケールリングすることで、高精度電圧リファレンス 過熱を生成します。標準の電圧リファレンスは、0.596V に設計されています。

6.3.8 可変出力電圧

高精度の 0.596V 基準電圧 (V_{REF}) を使用して、動作温度範囲の全体にわたって正確に安定化された出力電圧を維持します。出力電圧は、 V_{OUT} と FB ピンとの間の分圧抵抗回路によって設定されます。テキサス・インスツルメンツでは、FB 分圧器に精度 1% の低温度係数抵抗を使用することを推奨します。目的の分圧器電流に対応する下側抵抗 R_{FBB} を選択し、式 3 を使って上側抵抗 R_{FBT} を計算します。 R_{FBT} の推奨範囲は 10k Ω ~ 100k Ω です。PFM 動作時の V_{OUT} オフセットを減らすために事前負荷が必要な場合は、 R_{FBT} の値を小さくできます。 R_{FBT} の値が小さいと、負荷が非常に軽い場合の効率が低下します。 R_{FBT} の値が大きいと、流れる静的電流が減少するため、軽負荷時の効率が重要である場合には、より有用です。ただし、テキサス インスツルメンツでは、1M Ω より大きい R_{FBT} 値は推奨していません。 R_{FBT} が 1M Ω より大きい場合、帰還パスがノイズの影響を受けやすくなるためです。 R_{FBT} の値が大きい場合は、帰還抵抗からデバイスのフィードバックピンへの帰還パス パターンをより慎重に設計する必要があります。分圧抵抗ネットワークの公差や温度による変動は、出力電圧のレギュレーションに影響を与えます。

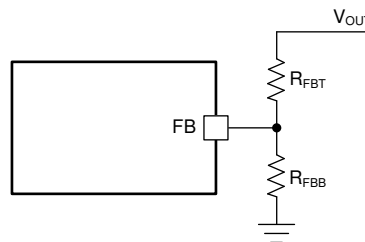


図 6-2. 出力電圧設定

$$R_{FBT} = \frac{(V_{OUT} - V_{REF})}{V_{REF}} \times R_{FBB} \quad (3)$$

6.3.9 内部ソフト スタート

TPS543021 は、内部ソフト スタート機能を使用しています。内部ソフト スタート時間の標準値は 5ms に設定されています。

6.3.10 ブートストラップ電圧 (BOOT)

TPS543021 にはブート レギュレータが内蔵され、ハイサイド MOSFET のゲート駆動電圧を供給するために、BOOT ピンと SW ピンの間に 0.1 μF のセラミック コンデンサが必要です。テキサス インスツルメンツは、温度および電圧に対して安定した特性を持つため、X7R または X5R クラスの誘電体を持つセラミック コンデンサを推奨しています。ドロップアウトを改善するために、デバイスは、ハイサイド スイッチの最大オン時間 t_{ON-MAX} に達し、BOOT から SW ピンへの電圧が通常 2.4V を超えている限り、100% のデューティ サイクルで動作するように設計されています。

6.3.11 過電流保護

デバイスは、ハイサイド MOSFET とローサイド MOSFET の両方でサイクル毎に電流を制限することで、過電流状態から保護されます。

6.3.11.1 ハイサイド MOSFET の過電流保護

本デバイスに実装された電流モード コントロールは、内部 COMP 電圧を用いることでハイサイド MOSFET のオフとローサイド MOSFET のオンをサイクル毎に制御します。各サイクルでは、スイッチ電流と内部 COMP 電圧による電流リファレンスが比較されます。ピーク スイッチ電流が電流リファレンスを超えた場合、ハイサイド スイッチがオフになります。

6.3.11.2 ローサイド MOSFET の過電流保護

ローサイド MOSFET がオンの間、内部回路が導通電流を監視します。通常動作中は、ローサイド MOSFET が負荷への電流ソースとなります。各クロック サイクルの終わりに、ローサイド MOSFET のソース電流が、内部で設定されたローサイド ソース電流制限と比較されます。インダクタのバレー電流がローサイド ソース電流制限 $I_{LS(OC)}$ を超えると、ハイサイド MOSFET はオンにならず、ローサイド MOSFET が次のサイクルにわたってオンに保持されます。サイクル開始時にインダクタ バレー電流がローサイド ソース電流制限を下回っている場合、ハイサイド MOSFET が再度オンになります。ローサイド スイッチの電流によって連続 512 サイクルにわたって $I_{LS(OC)}$ がトリガされ、ヒカップ電流保護モードがアクティブになった場合、デバイスはシャットダウンされ、40ms のヒカップ時間の経過後に再起動されます。このヒカップ モードは、大きな過電流の発生時にデバイスの消費電力を低減するために役立ちます。

6.3.12 スペクトラム拡散

TPS543021 は周波数スペクトラム拡散により EMI を低減します。変調周波数は中心スイッチング周波数の 1/512 です。ディザリング範囲は中心周波数の全範囲で $\pm 6\%$ です。

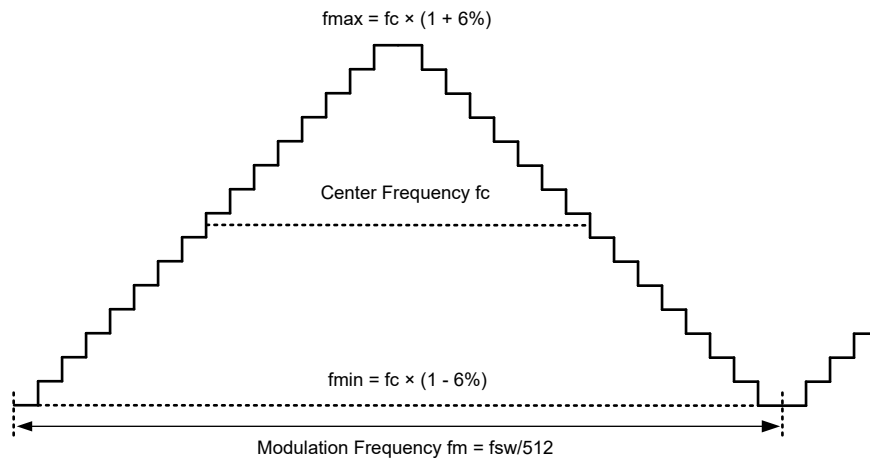


図 6-3. 周波数スペクトラム拡散図

6.3.13 出力過電圧保護 (OVP)

TPS543021 には、出力故障状態からの復帰や強い無負荷過渡で発生する出力電圧オーバーシュートを最小限に抑える、過電圧保護 (OVP) 回路が組み込まれています。OVP 回路には、FB ピン電圧を内部スレッショルドと比較する過電圧コンパレータが内蔵されています。FB ピンの電圧が $108\% \times V_{ref}$ を上回ると、ハイサイド MOSFET が強制的にオフになります。FB ピンの電圧が $104\% \times V_{ref}$ を下回ると、ハイサイド MOSFET が再度有効になります。

6.3.14 サーマル シャットダウン

接合部温度が標準 160°C を超えると内部のサーマル シャットダウン回路がデバイスのスイッチングを強制停止します。接合部温度が標準 150°C を下回ると内部のサーマル ヒカップ タイマがカウントを開始します。サーマル ヒカップ時間 (t_{OT_HICUP}) 80ms が経過すると、デバイスは電源投入シーケンスを再開します。

6.4 デバイスの機能モード

6.4.1 通常動作

入力電圧が UVLO スレッショルドを上回ると、TPS543021 は通常のスイッチング モードで動作可能です。インダクタのピーク電流が 0A を上回ると、通常の連続導通モード (CCM) が発生します。CCM では、デバイスは固定周波数で動作します。

6.4.2 PFM モード動作

これらのデバイスは、軽負荷時には高効率の PFM で動作する設計です。軽負荷動作時には、パルス周波数変調 (PFM) モードがアクティブになり、高効率動作が維持されます。最小ハイサイド スイッチのオン時間 t_{ON-MIN} 、または最小ピーク インダクタ電流 I_{PEAK_MIN} (通常 750mA) のいずれかが経過すると、スイッチング周波数が低下して、安定が維持されます。PFM モードでは、負荷電流が減少したときに出力電圧の安定を維持するために、制御ループによってスイッチング周波数が低下します。PFM 動作中は、実効スイッチング周波数が大幅に低下するため、スイッチング損失がさらに低減されます。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS543021 は、最大出力電流 3A で高い入力電圧を低い出力 DC 電圧に変換する降圧 DC/DC コンバータです。TPS543021 の部品を選択する際には、次の設計手順を使用します。あるいは、WEBENCH 回路設計および選択シミュレーション サービス ソフトウェアを使用して、完全な設計を生成することもできます。設計図を生成する際、WEBENCH 回路設計および選択シミュレーション サービス ソフトウェアは反復的な設計手順を使用し、コンポーネントの包括的なデータベースにアクセスします。ti.com も参照してください。

7.2 代表的なアプリケーション

7.2.1 TPS543021 6V ~ 28V 入力、5V 出力コンバータ

TPS543021 では、わずか数個の外部部品だけを使用して、幅広い範囲の電源電圧を固定出力電圧に変換できます。次の図は基本回路図を示しています。

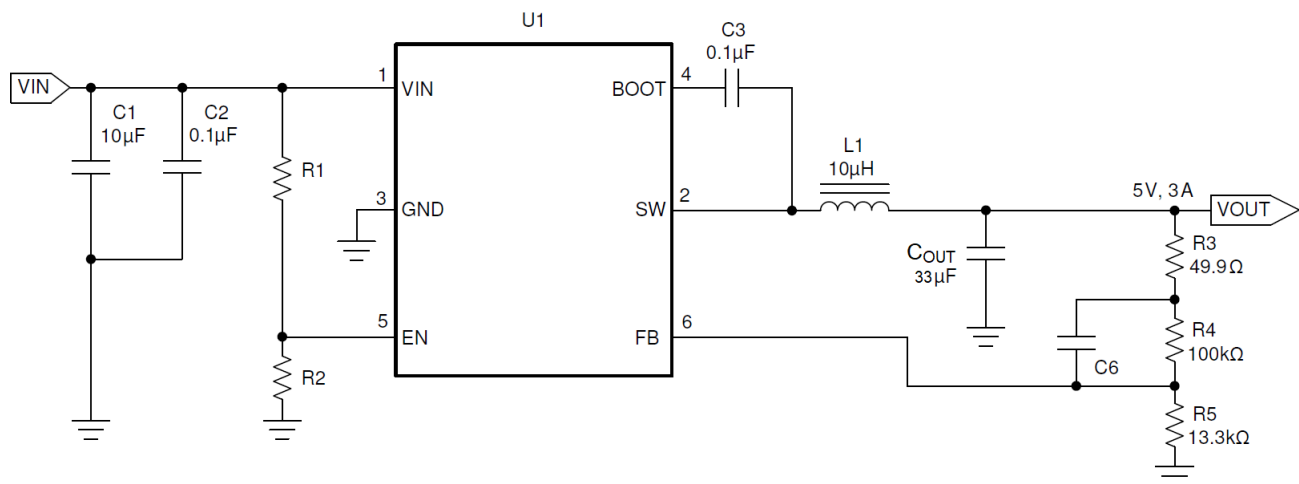


図 7-1. 5V/3A リファレンス デザイン

外付け部品は、アプリケーションのニーズだけでなく、デバイスの制御ループの安定性基準も満たしている必要があります。表 7-1 を使用すると、出力フィルタ部品の選択が容易になります。

表 7-1. 3A の出力電流における外付け部品の標準値

V _{OUT} (V)	L (µH)	C _{OUT} (µF) ⁽¹⁾	R4 (kΩ)	R5 (kΩ)	C6 (pF)
1.8	4.7	80	100	49.9	47
2.5	5.6	60	100	31.6	47
3.3	6.8	44	100	22.1	56
5	10	30	100	13.3	75

(1) この表ではセラミックコンデンサを使用しています。すべての C_{OUT} 値は、定格低減後の値です。

7.2.2 設計要件

この設計例では、次の表に記載されているパラメータを使用します。

表 7-2. 設計パラメータ

パラメータ	値
入力電圧範囲	6V ~ 28V
出力電圧	5V
出力電流	3A
出力オーバーシュート、アンダーシュート (1.5A ~ 3A)	5%
出力電圧リップル	0.5%
スイッチング周波数	400kHz

7.2.3 詳細な設計手順

7.2.3.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#)すると、WEBENCH® Power Designer により、TPS543021 デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

7.2.3.2 出力電圧の設定ポイント

TPS543021 デバイスの出力電圧は、抵抗デバイダ回路を使用して外部で調整可能です。分圧回路は R4 および R5 で構成されます。出力電圧と抵抗デバイダの関係を計算するには、次の式を使用します。

$$R_5 = \frac{R_4 \times V_{ref}}{V_{OUT} - V_{ref}} \quad (4)$$

$$V_{OUT} = V_{ref} \times \left(\frac{R_4}{R_5} + 1 \right) \quad (5)$$

R4 の値として、約 100kΩ を選択します。R5 をわずかに増加または減少させると、標準の値の抵抗を使用するときに、より近い出力電圧マッチングが得られる場合があります。この設計では、R4 = 100kΩ、R5 = 13.3kΩ であるため、出力電圧は 5V になります。49.9Ω 抵抗、R3 は、ループ安定性テストにはオプションです。

7.2.3.3 入力コンデンサの選択

デバイスには、入力デカップリング コンデンサと、アプリケーションによってはバルク キャパシタが必要となります。デカップリング コンデンサに 10μF よりもセラミック コンデンサをお勧めします。VIN ~ GND 間の 0.1μF コンデンサ (C2) が高周波数フィルタリングに必要です。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。

次の式を使用して、入力リップル電圧 (ΔV_{IN}) を計算します。

$$\Delta V_{IN} = \frac{I_{OUT(MAX)} \times 0.25}{C_{BULK} \times f_{SW}} + I_{OUT(MAX)} \times ESR_{MAX} \quad (6)$$

ここで

- C_{BULK} はバルク キャパシタの値
- f_{SW} はスイッチング周波数
- $I_{OUT(MAX)}$ は最大負荷電流
- ESR_{MAX} はバルク キャパシタの最大直列抵抗

最大 RMS (実効値) リップル電流も確認する必要があります。ワースト ケース条件については、式 7 を使用して $I_{CIN(RMS)}$ を計算します。

$$I_{CIN(RMS)} = \frac{I_{OUT(MAX)}}{2} \quad (7)$$

実際の入力電圧リップルは、レイアウトに関連する寄生成分と、電圧ソースの出力インピーダンスの影響を大きく受けます。「設計要件」に示されたこの回路の実際の入力電圧リップルは、計算値よりも大きくなっています。入力コンデンサ両端の最大電圧は $V_{IN(MAX)} + \Delta V_{IN}/2$ です。選択したバイパス コンデンサは定格が 50V、リップル電流キャパシティが 2A 以上です。どちらの値も十分なマージンを提供します。どのような環境であっても、電圧と電流の最大定格を超えないようにすることが重要です。

7.2.3.4 ブートストラップ コンデンサの選定

適切な動作のためには、BOOT ピンと SW ピンの間に 0.1μF のセラミック コンデンサを接続する必要があります。テキサス インストルメンツでは、定格 16V 以上のセラミック コンデンサの使用を推奨しています。温度安定性のために、X7R または X5R クラスの誘電体を使用した高品質セラミック コンデンサを使用してください。

7.2.3.5 低電圧誤動作防止設定点

低電圧ロックアウト (UVLO) 設定ポイントは、R1 と R2 の外部電圧デバイダ回路により調整可能です。TPS543021 デバイスの VIN ピンと EN ピンの間に R1 を接続します。EN ピンと GND ピンの間に R2 を接続します。UVLO には 2 つのスレッシュホールドがあり、1 つは入力電圧の立ち上がり時のパワー アップ中に適用され、もう 1 つは入力電圧の立ち下がり時のパワー ダウンまたはブラウン アウト中に適用されます。式 2 および 式 1 を使用して、R1 と R2 の上限および下限判定基準抵抗値を計算します。

7.2.3.6 出力フィルタ部品

出力フィルタには、出力インダクタ (L_O) と C_O の 2 つのコンポーネントを選択する必要があります。

7.2.3.6.1 インダクタの選択

出力インダクタの最小値 (L_{MIN}) を計算するには、次の式を使用します。

$$L_{MIN} = \frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times K_{IND} \times I_{OUT} \times f_{SW}} \quad (8)$$

ここで

K_{IND} は、最大出力電流に対するインダクタのリップル電流の量を示す係数です。

一般に、 K_{IND} の値は設計者の裁量で決定しますが、以下のガイドラインに従うことができます。セラミックなどの low ESR 出力コンデンサを使用した設計では、コンバータがサポートする最大 I_{OUT} の 20% ~ 60% の範囲の K_{IND} 値が必要です。

この設計例では、 $K_{IND} = 0.35$ を選択します。インダクタの最小値は 9.78μH と計算できます。この設計では、 L_{MIN} に最も近い標準値として 10μH を選択しています。

出力フィルタ インダクタについては、RMS 電流および飽和電流の定格を超えてはいけません。次の式を使用して、RMS インダクタ電流 ($I_{L(RMS)}$) を計算します。

$$I_{L(MAX)} = \sqrt{I_{OUT(MAX)}^2 + \frac{1}{12} \times \left(\frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times L_O \times f_{SW} \times 0.8} \right)^2} \quad (9)$$

次の式を使用して、ピーク インダクタ電流 ($I_{L(PK)}$) を計算します。

$$I_{L(PK)} = I_{OUT(MAX)} + \frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times L_O \times f_{SW} \times 1.6} \quad (10)$$

他の設計要件を満たしていれば、設計者が許容するリップル電流の大きさに合わせて、これより小さい値や大きい値のインダクタを使用できます。インダクタの値が大きいと AC 電流が小さくなり、出力電圧リップルが減少します。インダクタの値が小さいと、AC 電流および出力電圧リップルが増加します。

7.2.3.6.2 出力コンデンサの選択

出力コンデンサの値を選択するときは、3 つの主要な要因を考慮します。出力コンデンサは、変調回路の極、出力電圧リップル、および負荷電流の大きな変化に対するレギュレータの応答を決定します。出力容量は、これら 3 つの条件のうち最も厳しいものに基づいて選択する必要があります。

最初の条件は、負荷電流の大きな変化に対して求められる応答です。レギュレータが電流を供給できないときには、出力コンデンサが負荷に電流を供給する必要があります。この状況は、レギュレータに対して所望のホールドアップ時間が存在する場合に発生します。この場合、入力電力の除去後、出力コンデンサは指定された時間だけ、出力電圧を一定のレベルよりも高く保持する必要があります。また、無負荷から全負荷への遷移など、負荷の電流要件に大きく高速な変化が発生すると、レギュレータは一時的に十分な出力電流を供給できなくなります。通常、レギュレータでは、制御ループが負荷電流および出力電圧の変化を検知して、その変化に合わせてデューティ サイクルを調整するまでに、4 クロック サイクル以上を必要とします。出力コンデンサのサイズは、制御ループが負荷の変化に応答するまでの間、負荷に追加の電流を供給できるように決定する必要があります。出力容量は、出力電圧の降下を許容範囲内に抑えながら、4 以上のクロック サイクルにわたって電流の差分を供給するのに十分な大きさでなければなりません。次の式を使用して、必要な最小出力キャパシタンスを計算します。

$$C_O = \frac{2 \times \Delta I_{OUT}}{f_{SW} \times \Delta V_{OUT}} \quad (11)$$

ここで

- ΔI_{OUT} は出力電流の変化量
- f_{SW} はレギュレータのスイッチング周波数です。
- ΔV_{OUT} は出力電圧の許容変化量

この例では、負荷過渡応答が、1.5A の負荷ステップに対する出力電圧 V_{OUT} の 5% の変化として規定されています。したがって、 $\Delta I_{OUT} = 1.5A$ 、 $\Delta V_{OUT} = 0.25V$ です。これらの値を使用すると、最小キャパシタンスは 30 μF になります。この値は、出力電圧の変化における出力コンデンサの ESR を考慮していません。セラミック コンデンサの場合、ESR は通常十分に小さいため、この計算では無視できます。

式 12 で、出力電圧リップル仕様を満たすために必要な最小出力容量を計算します。この場合、最大出力電圧リップルは 25mV です。この要件下で、式 12 により 13.13 μF と算出されます。

$$C_O = \frac{1}{8 \times f_{SW}} \times \frac{1}{\frac{V_{OUTRipple}}{I_{ripple}}} \quad (12)$$

ここで

- f_{SW} はスイッチング周波数です

- $V_{(OUTripple)}$ は最大許容出力電圧リップル
- $I_{(ripple)}$ はインダクタリップル電流

式 13 を使用して、出力電圧リップル仕様を満足するために出力コンデンサに許容される最大 ESR を計算します。式 13 は ESR が $23.8\text{m}\Omega$ よりも小さい必要があることを示しています。この場合、セラミック コンデンサの ESR は $23.8\text{m}\Omega$ よりはるかに小さくなります。

$$R_{ESR} < \frac{V_{OUTripple}}{I_{ripple}} \quad (13)$$

経年劣化、温度、および DC バイアスに対して、追加の静電容量ディレーティングを考慮する必要があるため、この最小値は増加します。この例では、3 個の $10\mu\text{F}$ 16V , X7R セラミック コンデンサを使用します。 $5V_{OUT}$ バイアスで合計実効容量が $30\mu\text{F}$ を超える場合は、2 個の $22\mu\text{F}$ 10V X7R セラミック コンデンサも使用できます。一般に、コンデンサでは、障害や過熱を発生させずにコンデンサが処理できるリップル電流の大きさに制限があります。インダクタリップル電流に対して対応可能な出力コンデンサを指定する必要があります。一部のコンデンサのデータシートでは、最大リップル電流の RMS 値が指定されています。式 14 を使用して、出力コンデンサで処理できる必要のある RMS リップル電流を計算します。

$$I_{COUT(RMS)} = \frac{1}{\sqrt{12}} \times \left(\frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times L_O \times f_{SW} \times N_C} \right) \quad (14)$$

7.2.3.6.3 フィードフォワード コンデンサ

場合によっては、 R_{FBT} の両端にフィードフォワード コンデンサを接続して、負荷過渡応答やループ位相マージンを改善できます。この方法は $100\text{k}\Omega$ より大きい R_{FBT} を使用する場合に特に有効です。 R_{FBT} の値が大きいと、FB ピンの寄生容量との組み合わせにより、小さな信号極が形成されてループの安定性に影響を与える可能性があります。 C_{FF} (この例では C_6) は、この影響を緩和するのに役立ちます。 C_{FF} コンデンサを使用することで、何らかの利点が得られるかどうかを判断するには、より低い値を使用します。

アプリケーション レポート、[内部的に補正される、フィードフォワード コンデンサを持つ DC/DC コンバータの過渡応答の最適化アプリケーション ノート](#) は、フィードフォワード コンデンサの実験に役立ちます。

7.2.4 アプリケーション曲線

特記のない限り、次の条件が適用されます。 $V_{IN} = 24V$ 、 $V_{OUT} = 5V$ 、 $L = 10\mu H$ 、 $C_{OUT} = 30\mu F$ 、 $T_A = 25^\circ C$ 。

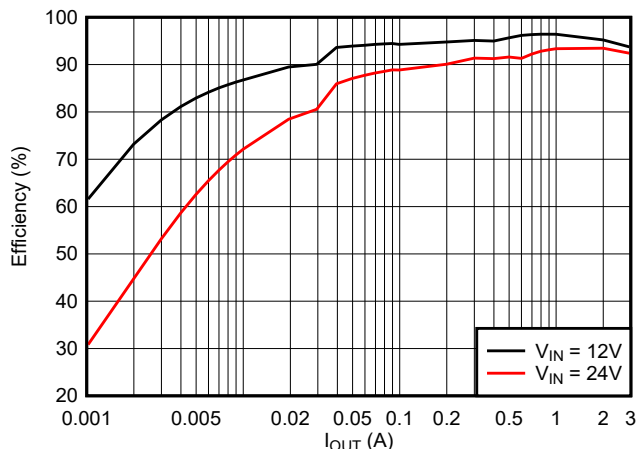


図 7-2. 5V_{OUT} の効率

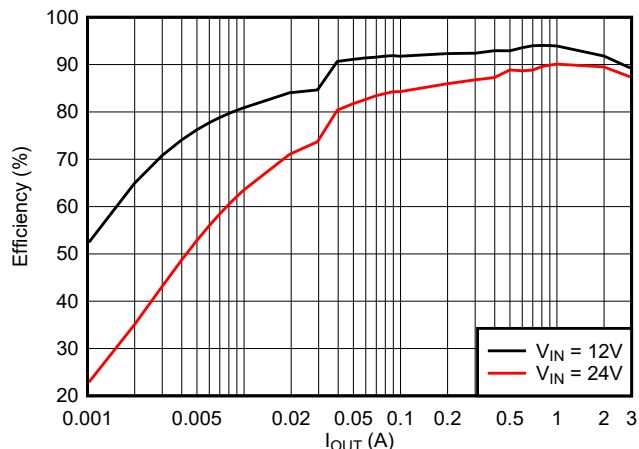


図 7-3. 3.3V_{OUT} の効率

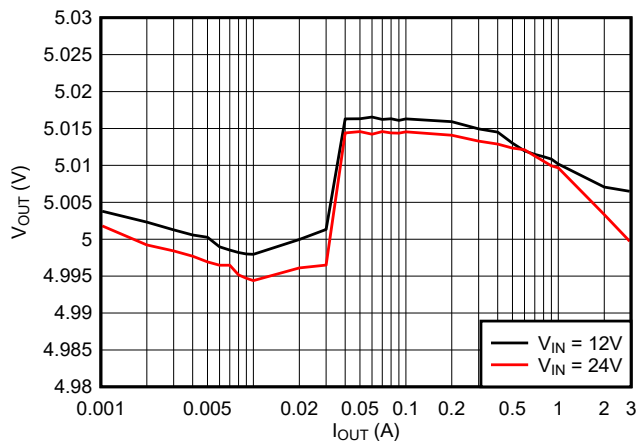


図 7-4. ロードレギュレーション

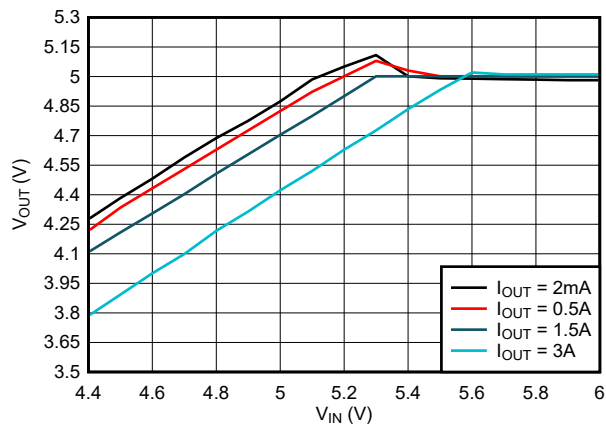


図 7-5. ドロップアウト

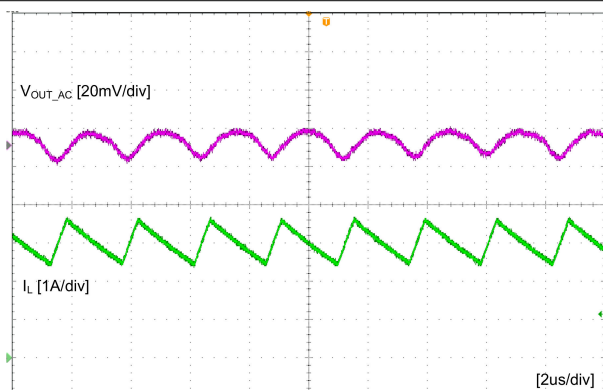


図 7-6. 出力電圧リップル、 $I_{OUT} = 3A$

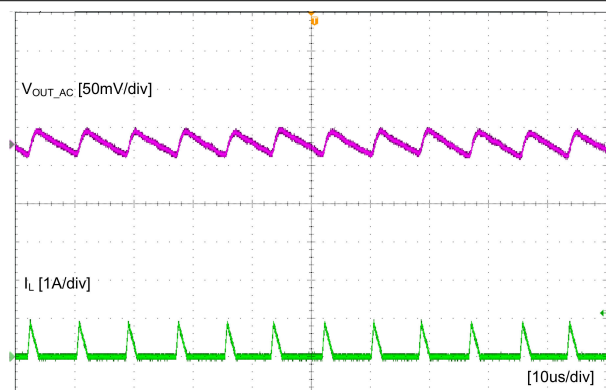


図 7-7. 出力電圧リップル、 $I_{OUT} = 0.1A$

7.2.4 アプリケーション曲線 (続き)

特記のない限り、次の条件が適用されます。 $V_{IN} = 24V$ 、 $V_{OUT} = 5V$ 、 $L = 10\mu H$ 、 $C_{OUT} = 30\mu F$ 、 $T_A = 25^\circ C$ 。

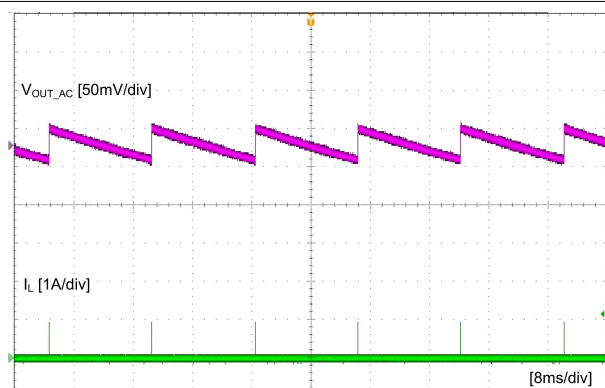


図 7-8. 出力電圧リップル、 $I_{OUT} = 0A$

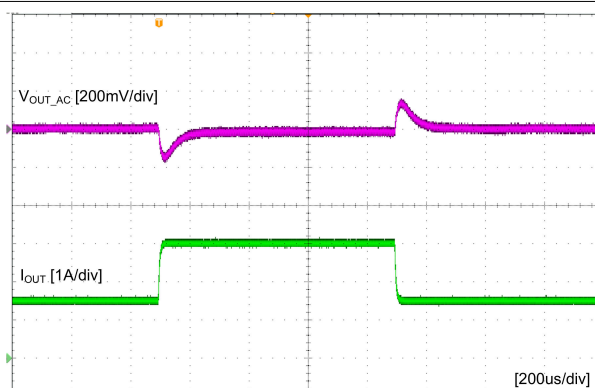


図 7-9. 負荷過渡応答、1.5A ~ 3A 間負荷ステップ

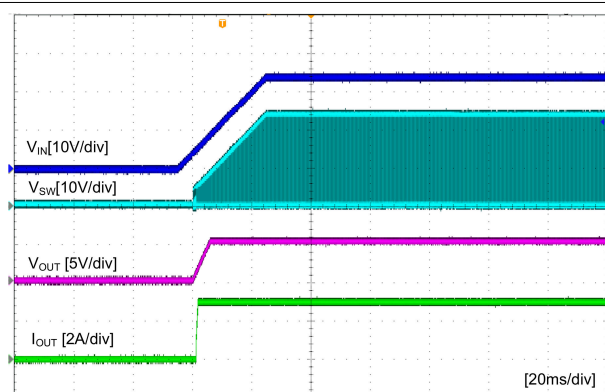


図 7-10. V_{IN} によるスタートアップ

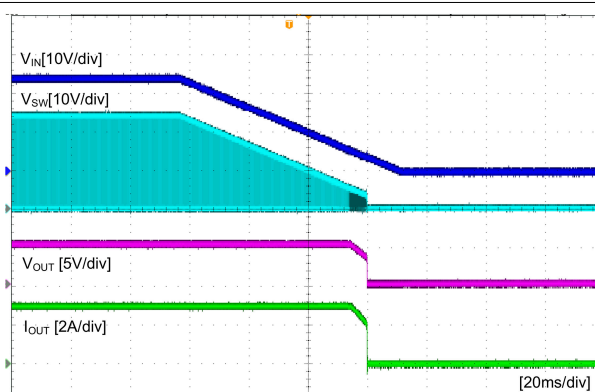


図 7-11. V_{IN} でシャットダウン

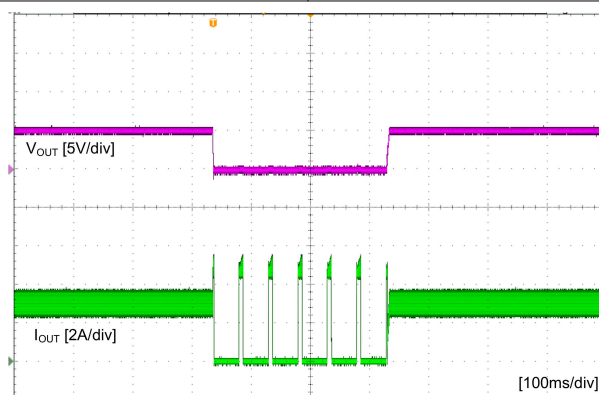


図 7-12. 負荷過渡応答、0.2A ~ 1.8A 間負荷ステップ

7.3 電源に関する推奨事項

デバイスは、4.5V～28V の入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源がデバイスまたはコンバータから数インチ以上離れている場合は、セラミックバイパス コンデンサに加えて追加のバルク キャパシタンスが必要となることがあります。通常は、22 μ F の電解コンデンサを使用します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

- VIN および GND のパターンは、パターン インピーダンス低減のためにできるだけ幅広くしてください。面積を広くすることには、放熱の観点からも利点があります。
- パターン インピーダンスを最小限に抑えるために、入力コンデンサおよび出力コンデンサを、デバイスにできるだけ近づけて配置します。
- 入力コンデンサおよび出力コンデンサに対して十分な数のビアを用意してください。
- 放射を最小限に抑えるために、SW のパターンは実用的な範囲でできるだけ短く、幅広くしてください。
- デバイスの下をスイッチング電流が流れないようにしてください。
- 個別の VOUT パスを上側帰還抵抗に接続します。
- フィードバック パスの GND ピンにはケルビン接続を使用します。
- 電圧帰還ループは、高電圧のスイッチング パターンから離して配置し、できればグラウンド シールドを使用してください。
- ノイズ結合を避けるため、VFB ノードのパターンは最小限にしてください。
- 出力コンデンサと GND ピンの間の GND パターンは、パターン インピーダンス低減のためにできるだけ幅広くしてください。

7.4.2 レイアウト例

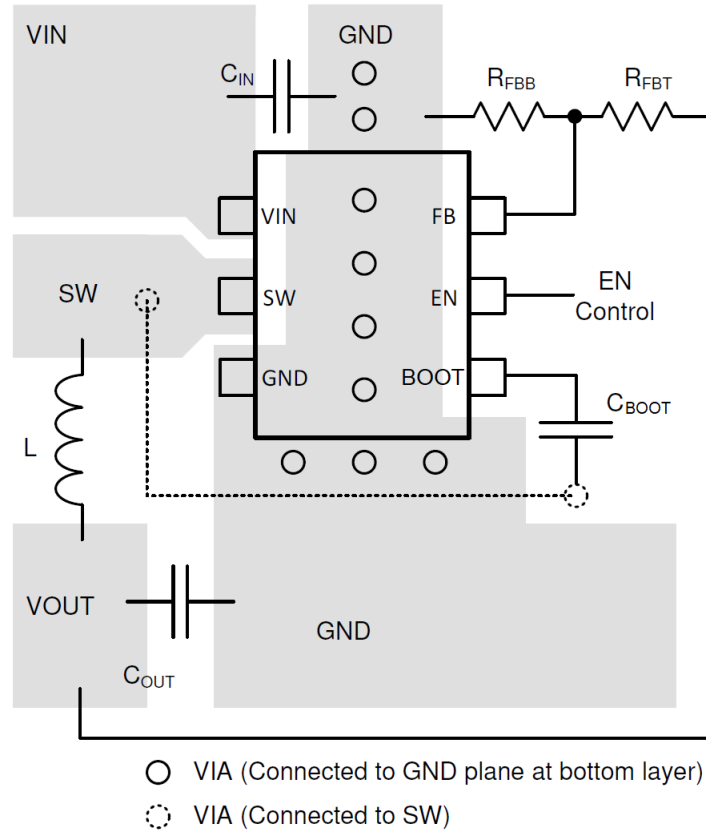


図 7-13. 基板レイアウト

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.1.2 開発サポート

8.1.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#)すると、WEBENCH® Power Designer により、TPS543021 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電氣的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

テキサス インスツルメンツ、[フィードフォワード コンデンサ付きの内部的に補正される DC-DC コンバータの過渡応答の最適化アプリケーション ノート](#)

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from Revision * (July 2025) to Revision A (September 2025)

Page

- | Changes from Revision * (July 2025) to Revision A (September 2025) | Page |
|--|------|
| ドキュメントのステータスを「事前情報」から「量産データ」に変更..... | 1 |

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS543021DRLR	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	3021

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

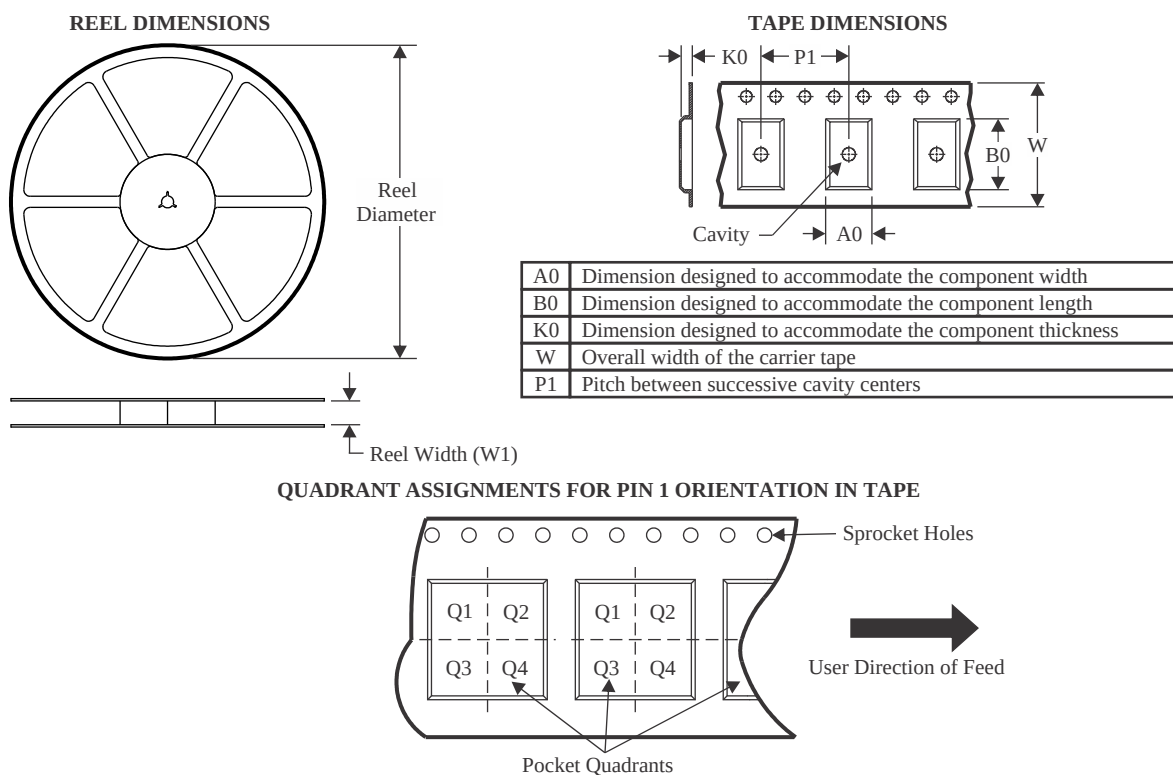
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

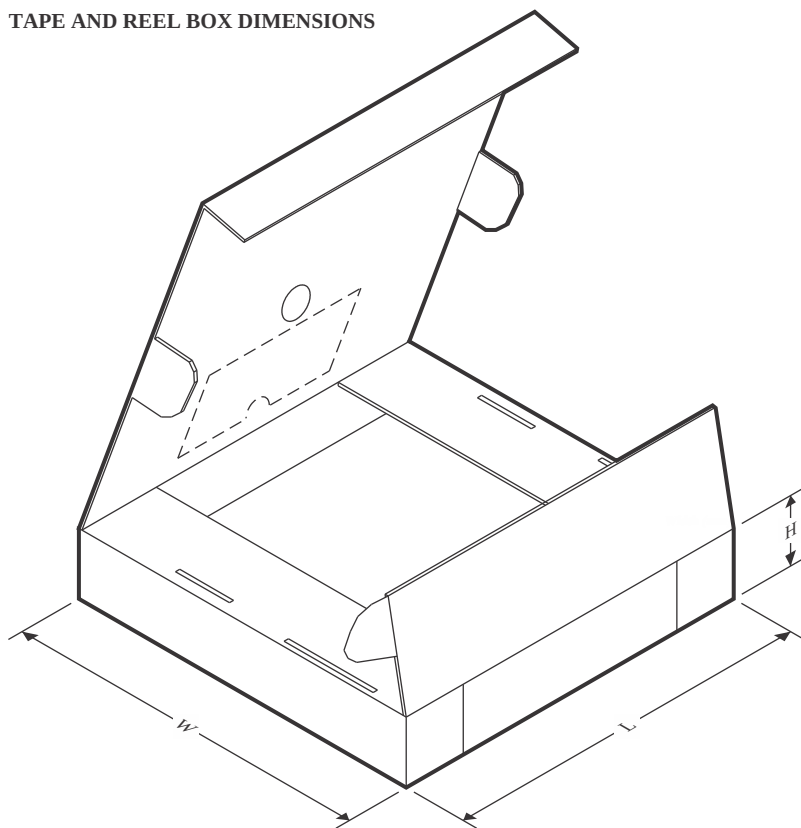
TAPE AND REEL INFORMATION



*All dimensions are nominal

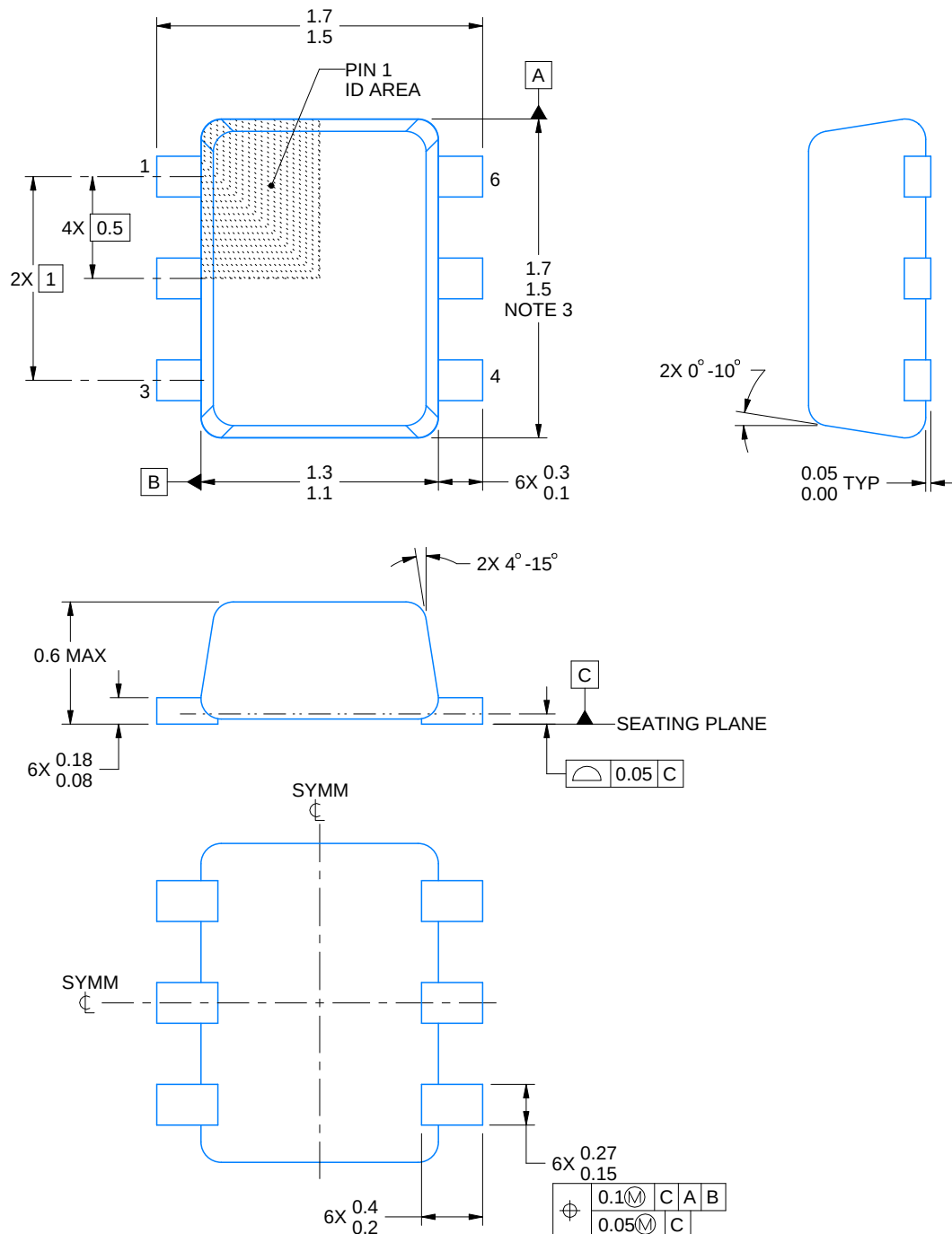
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS543021DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.8	1.8	0.75	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS543021DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0



4223266/F 11/2024

NOTES:

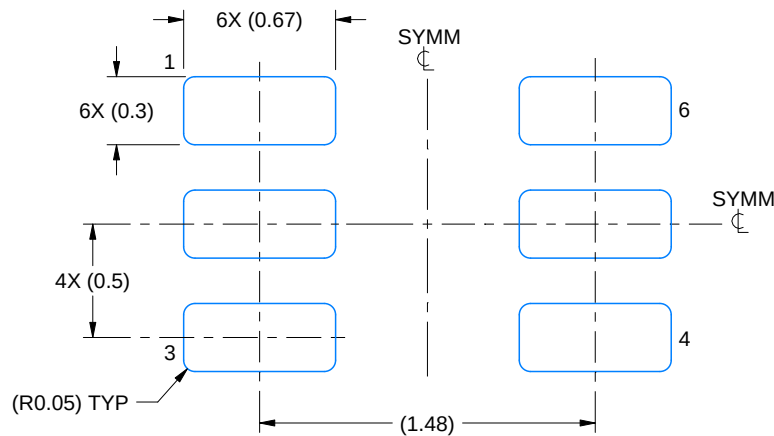
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

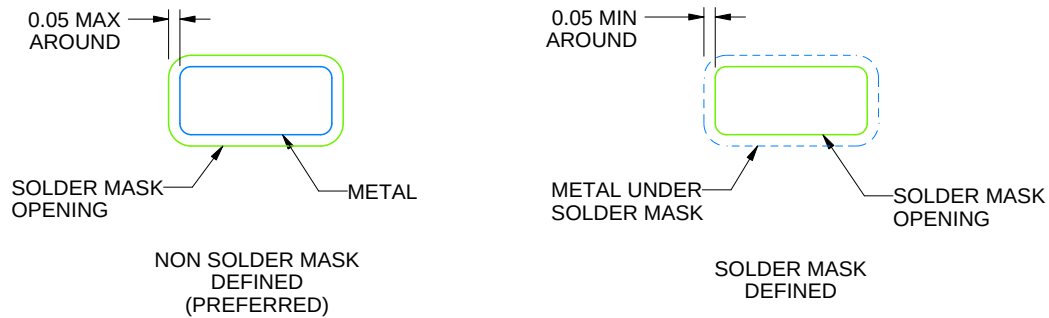
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

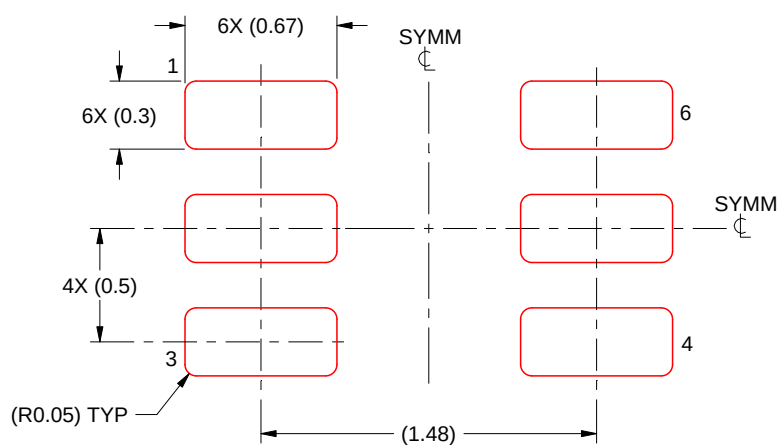
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月