TPS552852、22V、8A、完全集積型、昇降圧コンバータ

1 特長

- 広い入出力電圧範囲
  - 幅広い入力電圧範囲:2.4V ～ 22V
  - 起動時の最小入力電圧:3.0V
  - 広い出力電圧範囲:0.8V ～ 15V
  - 基準電圧精度:±1%
  - プログラマブルな出力電流制限
- 全負荷範囲にわたって高効率を実現
  - V_{IN} = 12V、V_{OUT} = 12V、I_{OUT} = 5A で 94.3% の効率
- 豊富な保護機能
  - 入力過電圧保護
  - 出力相対過電圧保護
  - ヒカップ モードによる出力短絡保護
  - 軽負荷時の PFM および FPWM モードをプログラム可能
  - サーマル シャットダウン保護機能
  - 平均インダクタ電流制限:8A
- 小型デザイン サイズ
  - 4 個の低 $R_{DS(ON)}$ 内部 MOSFET
  - 高いスイッチング周波数:2.1MHz
  - 2.5mm × 3.5mm HotRod™ WQFN パッケージ

2 アプリケーション

- デジタル スチル カメラ
- ドッキング ステーション
- 患者モニタ
- ヘア ドライヤ
- ソリッド ステート ドライブ (SSD)

3 説明

TPS552852 は、バッテリ電圧やアダプタ電圧を電源レールに変換するために最適化された、統合型の同期整流昇降圧コンバータです。TPS552852 は 4 個の 15mΩ MOSFET を内蔵しており、高効率の小型設計を可能にします。

TPS552852 は、2.4V (3.0V の立ち上がり) ～ 22V の広い入力電圧範囲に対応しており、0.8V ～ 15V の電圧を出力できるため、さまざまなアプリケーションをサポートできます。このデバイスは、8A の平均インダクタ電流制限を備えており、降圧モードで最大 7A の出力電流を供給できます。

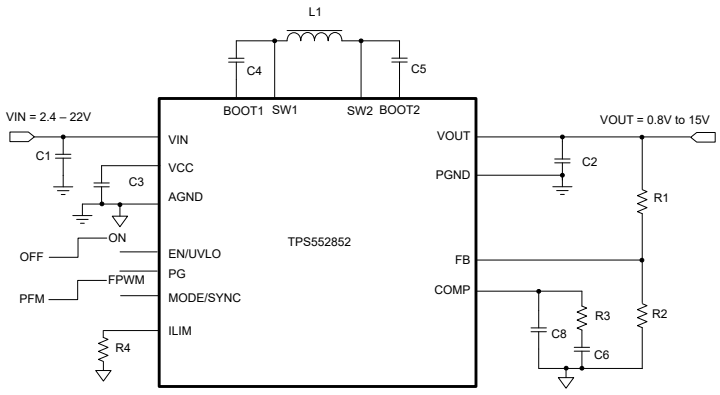
TPS552852 は、入力および出力の過電圧保護、平均インダクタ電流制限、サイクルごとのピーク電流制限、出力短絡保護機能を備えています。また TPS552852 は、外部出力電流センス抵抗なしの出力電流制限機能や、持続的な過負荷状態でのヒカップ モード保護機能を備えており、安全な動作を実現するよう設計されています。

TPS552852 はスイッチング周波数が高いため、小型のインダクタとコンデンサを使用できます。TPS552852 は、2.5mm × 3.5mm の QFN パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS552852	VAL (WQFN-HR、15)	3.5mm × 2.5mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....6
5.5 電気的特性.....6
5.6 代表的特性.....9
6 詳細説明.....10
6.1 概要.....10
6.2 機能ブロック図.....11
6.3 機能説明.....12
6.4 デバイスの機能モード.....16
7 アプリケーションと実装.....17
7.1 使用上の注意.....17
7.2 代表的なアプリケーション.....17
7.3 電源に関する推奨事項.....25
7.4 レイアウト.....25
8 デバイスおよびドキュメントのサポート.....27
8.1 デバイス サポート.....27
8.2 ドキュメントの更新通知を受け取る方法.....27
8.3 サポート・リソース.....27
8.4 商標.....27
8.5 静電気放電に関する注意事項.....27
8.6 用語集.....27
9 改訂履歴.....27
10 メカニカル、パッケージ、および注文情報.....27

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

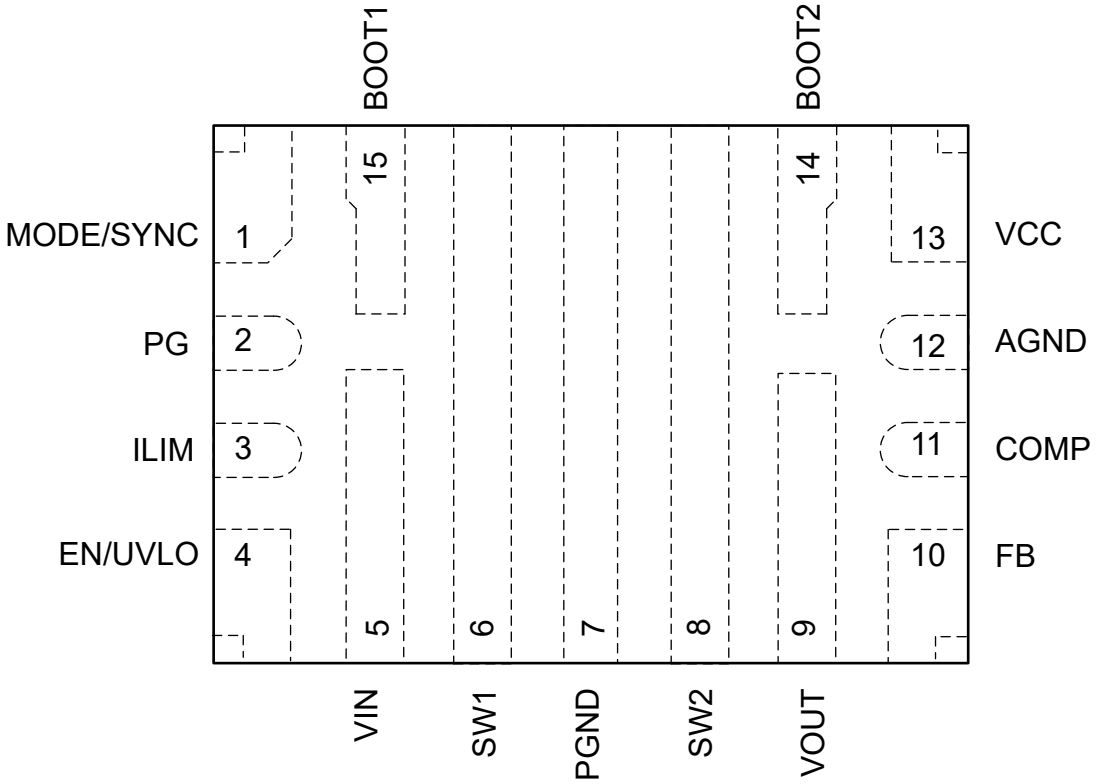


図 4-1. 15 ピン WQFN-HR、VAL パッケージ (透過上面図)

表 4-1. ピンの機能

ピン		タイプ[1]	説明
番号	名称		
1	MODE/SYNC	I	モード選択ピン。 MODE = High、強制 PWM モード。 MODE = Low、自動 PFM モード。 このピンは、外部クロックの同期にも使用できます。セクション 6.3.2 も参照してください。
2	PG	O	パワーグッド表示。出力電圧が設定値の 95% を超えると、このピンは高インピーダンスになります。出力電圧が設定値の 90% 未満になると、このピンは Low レベルを出力します。
3	ILIM	I	出力電流制限は、このピンと AGND ピンの間に接続する抵抗により設定されます。出力電流制限機能を使用しない場合は、ILIM を AGND に接続します。
4	EN/UVLO	I	有効ロジック入力とプログラマブル入力電圧の低電圧ロックアウト (UVLO) 入力。ロジック "High" レベルにすると、デバイスは有効になります。ロジック Low レベルになると、デバイスがディスエーブルになり、シャットダウン モードに入ります。EN/UVLO ピンの電圧がロジック "High" 電圧の 1.03V を上回った後、このピンは内部リファレンス 1.05V を持つプログラマブル UVLO 入力として機能します。
5	VIN	PWR	昇降圧コンバータの入力
6	SW1	PWR	降圧側のスイッチング ノード ピン。このピンは、内部降圧ローサイド パワー MOSFET のドレインおよび内部降圧ハイサイド パワー MOSFET のソースに接続されます。
7	PGND	PWR	デバイスの電源グランド
8	SW2	PWR	昇圧側のスイッチング ノード ピン。このピンは、内部昇圧ローサイド パワー MOSFET のドレインおよび内部昇圧ハイサイド パワー MOSFET のソースに接続されます。
9	VOUT	PWR	昇降圧コンバータの出力
10	FB	I	出力電圧を設定するために、抵抗デバイダのセンターに接続します。
11	COMP	O	内部のエラー アンプの出力。このピンと AGND ピンとの間にループ補償回路を接続します。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
番号	名称		
12	AGND	—	デバイスの信号グランド
13	VCC	O	内部レギュレータの出力。このピンと AGND ピンとの間には、4.7µF を超えるセラミック コンデンサが必要です。
14	BOOT2	O	昇圧側のハイサイド MOSFET ゲートドライバ用電源。このピンと SW2 ピンの間には、0.1µF のセラミック コンデンサを接続する必要があります。
15	BOOT1	O	降圧側のハイサイド MOSFET ゲートドライバ用電源。このピンと SW1 ピンの間には、0.1µF のセラミック コンデンサを接続する必要があります。

(1) I = 入力、O = 出力、PWR = パワー

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
端子での電圧範囲 (2)	VIN、SW1	-0.3	27	V
	VOUT、SW2	-0.3	17	V
	BOOT1	SW1 - 0.3	SW1 + 6	V
	BOOT2	SW2 - 0.3	SW2 + 6	V
	EN/UVLO、VCC、PG、ILIM、COMP、FB、MODE/SYNC	-0.3	6	V
	EN/UVLO、PG、ILIM、COMP、FB、MODE /SYNC	-0.3	VCC + 0.3	V
動作接合部温度	T_J (3)	-40	150	°C
保存温度	T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、回路のグランドを基準としたものです。
(3) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 (1)	±2000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 (2)	±500	

(1) 表に記載されているレベルは、ANSI、ESDA、JEDEC JS-001 に準拠した許容レベルです。JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) 表に記載されているレベルは、EIA-JEDEC JESD22-C101 に準拠した許容レベルです。JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電圧範囲 (Vout ≥ 3.0V)	2.4		22	V
	入力電圧範囲 (Vout < 3.0V)	3		22	V
V_{OUT}	出力電圧範囲	0.8		15	V
L	実効インダクタンス範囲	1	1.5	2.2	µH
C_{IN}	実効入力容量範囲	4.7	22		µF
C_{OUT}	実効出力容量範囲	10	100	1000	µF
T_J	動作時接合部温度	-40		125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		VAL (WQFN-HR) 15 ピン 標準	VAL (WQFN-HR) 15 ピン 評価基板 (2)	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	47.6	33	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	22.5	該当なし	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.8	該当なし	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.6	0.7	℃/W
Y_{JB}	接合部から基板への特性パラメータ	6.7	11.1	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) TPS552852EVM、4 層、2oz / 1oz / 1oz / 2oz の銅箔 PCB で測定。

5.5 電気的特性

T_J = -40℃～125℃、V_{IN} = 12V、V_{OUT} = 15V。標準値は T_J = 25℃時に測定 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
V_{IN}	入力電圧範囲		2.4		22	V
V_{VIN_UVLO}	低電圧誤動作防止のスレッショルド	V_{IN} 立ち上がり	2.8	2.9	3.0	V
		V_{IN} 立ち下がり、V_{OUT} < 3V	2.6	2.7	2.8	V
		V_{IN} 立ち下がり、V_{OUT} ≥ 3V	2.31	2.33	2.38	V
V_{VIN_OVP}	入力過電圧保護スレッショルド	立ち上がりスレッショルド	22	22.5	23	V
$V_{VIN_OVP_HYS}$	入力過電圧保護ヒステリシス			0.9		V
I_Q	VIN ピンへの静止電流	IC イネーブル、無負荷、スイッチングなし。V_{IN} = 3.0V ～ 22V、V_{OUT} = 0.8V, V_{FB} = V_{REF} + 0.1V、Tj 最大 125°C		1		mA
	VOUT ピンへの静止電流	IC イネーブル、無負荷、スイッチングなし、V_{IN} = 3.0V、V_{OUT} = 3V ～ 15V、V_{FB} = V_{REF} + 0.1V、Tj 最大 125°C		1		mA
I_{SD}	VIN ピンへのシャットダウン電流	IC ディセーブル、V_{IN} = 3.0V ～ 22V、Tj 最大 125℃		1.3	3.8	µA
V_{CC}	内部電圧レギュレータ出力	V_{IN} = 8V、V_{OUT} = 15V、I_{VCC} = 20mA	5.0	5.2	5.4	V
EN/UVLO						
V_{EN_H}	EN ロジック High のスレッショルド	V_{CC} = 3.0V～5.5V			1.03	V
V_{EN_L}	EN ロジック Low のスレッショルド	V_{CC} = 3.0V～5.5V	0.4			V
V_{EN_HYS}	スレッショルド ヒステリシスをイネーブル	V_{CC} = 3.0V～5.5V	0.025			V
V_{UVLO}	EN/UVLO ピンでの UVLO 立ち上がりスレッショルド	V_{CC} = 3.0V～5.5V	1	1.05	1.1	V
V_{UVLO_HYS}	UVLO スレッショルド ヒステリシス	V_{CC} = 3.0V～5.5V		13		mV
I_{UVLO}	EN/UVLO ピンでのソース電流	$V_{EN/UVLO}$ = 1.3V	4.5	5	5.5	µA
出力						
V_{OUT}	出力電圧範囲		0.8		15	V
$V_{VOUT_OVP_FB}$	FB 立ち上がりから検出		110.5	115	120	%
$V_{VOUT_OVP_FB_HYS}$	ヒステリシス			2.3		%

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = -40℃～125℃、V_{IN} = 12V、V_{OUT} = 15V。標準値は T_J = 25℃時に測定 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{FB_LKG}	FB ピンでのリーク電流	Tj 最大 125°C			100	nA
I_{VOUT_LKG}	VOUT ピンへのリーク電流	IC ディセーブル、V_{OUT} = 15V、V_{SW2} = 0V、Tj 最大 125°C		0.13	20	µA
基準電圧						
V_{REF}	FB ピンでの基準電圧	PWM 動作	1.188	1.2	1.212	V
パワー スイッチ						
$R_{DS(on)}$	降圧側のローサイド MOSFET オン抵抗	V_{OUT} = 15V、V_{CC} = 5.2V		15.5		mΩ
	降圧側のハイサイド MOSFET オン抵抗	V_{OUT} = 15V、V_{CC} = 5.2V		14.5		mΩ
	昇圧側のローサイド MOSFET オン抵抗	V_{OUT} = 15V、V_{CC} = 5.2V		15.5		mΩ
	昇圧側のハイサイド MOSFET オン抵抗	V_{OUT} = 15V、V_{CC} = 5.2V		14.5		mΩ
内部クロック						
f_{SW}	スイッチング周波数		1900	2100	2300	kHz
t_{OFF_min}	最小オフ時間	昇圧モード		90	145	ns
t_{ON_min}	最小オン時間	降圧モード		90	130	ns
電流制限						
I_{LIM_AVG}	平均インダクタ電流制限	V_{IN} = 8V、V_{OUT} = 15V、FPWM	7	8		A
		V_{IN} = 8V、V_{OUT} = 15V、PFM	7	8		A
I_{LIM_PK}	昇圧ハイサイドでのピーク インダクタ電流制限	V_{IN} = 8V、V_{OUT} = 15V、FPWM		13		A
		V_{IN} = 8V、V_{OUT} = 15V、PFM		13		A
出力電流制限						
I_{OUT_LIMIT}	出力電流制限	Rlimit = 60.4kΩ		3		A
		Rlimit = 34kΩ		5		A
エラー アンプ						
I_{SINK}	COMP ピン シンク電流	V_{FB} = V_{REF} + 400mV、V_{COMP} = 1.1V、V_{CC} = 5V		20		µA
I_{SOURCE}	COMP ピン ソース電流	V_{FB} = V_{REF} - 400mV、V_{COMP} = 1.1V、V_{CC} = 5V		60		µA
V_{CCLPH}	COMP ピンの High クランプ電圧			1.2		V
V_{CCLPL}	COMP ピンの Low クランプ電圧			0.7		V
G_{EA}	エラー アンプの相互コンダクタンス			190		µA/V
ソフト スタート						
t_{SS}	ソフト スタート時間		2.5	3.9	5.7	ms
同期クロック						
V_{SNYC_H}	同期クロック高電圧スレッショルド				1.2	V
V_{SYNC_L}	同期クロック低電圧スレッショルド		0.4			V
t_{SYNC_MIN}	最小同期クロック パルス幅		50			ns
HICCUP						
t_{HICCUP}	ヒカップ オフ時間			76		ms
モード						
V_{MODE}	MODE のロジック High のスレッショルド				1.2	V
V_{MODE}	MODE のロジック Low のスレッショルド		0.4			V
PROTECTION						

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = -40℃～125℃、V_{IN} = 12V、V_{OUT} = 15V。標準値は T_J = 25℃時に測定 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{SD}	サーマル シャットダウンのスレッショルド	T_J 立ち上がり		175		°C
T_{SD_HYS}	サーマル シャットダウン ヒステリシス	T_J が Tsd を下回る		20		°C

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性

V_{IN} = 12V、T_A = 25°C、f_{SW} = 2100kHz (特に記述のない限り)。

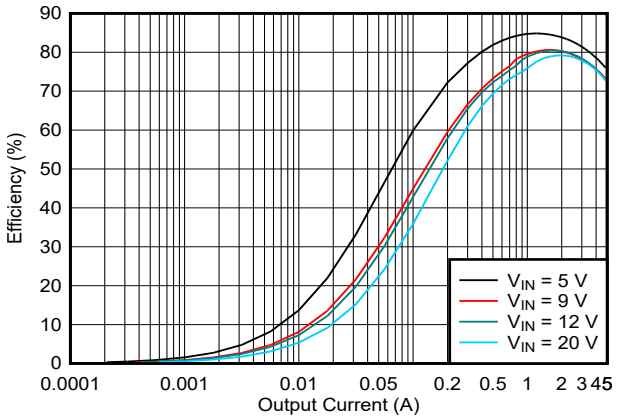


図 5-1. 効率と出力電流との関係、V_{OUT} = 1.2V、FPWM

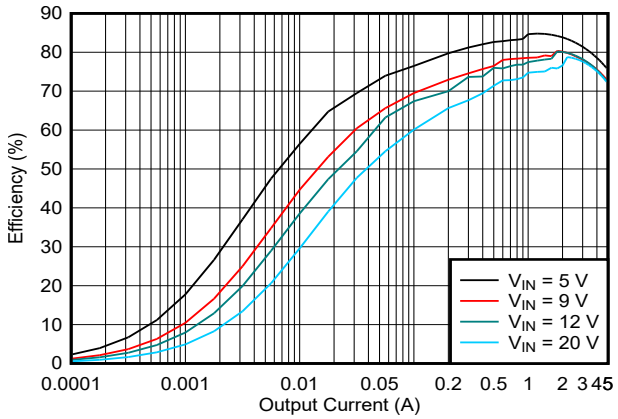


図 5-2. 効率と出力電流との関係、V_{OUT} = 1.2V、PFM

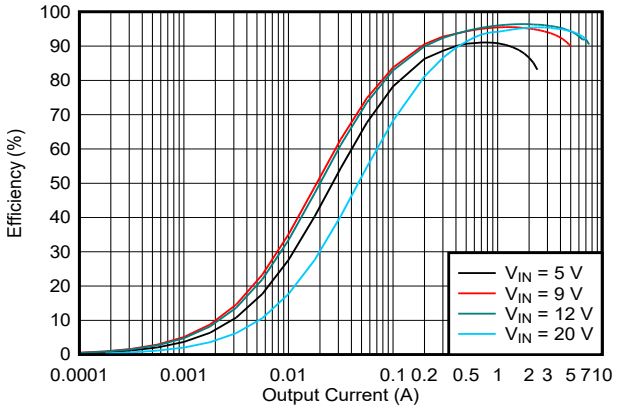


図 5-3. 効率と出力電流との関係、V_{OUT} = 12V、FPWM

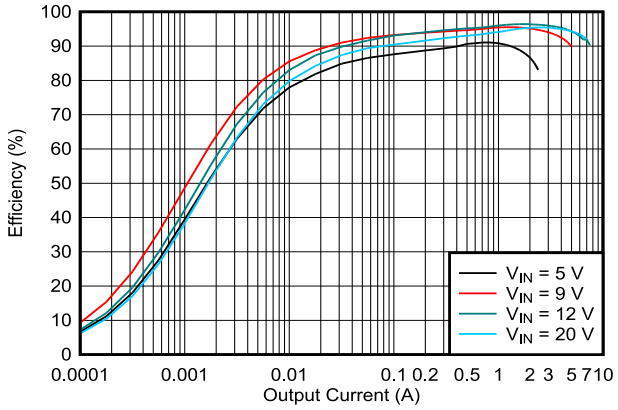


図 5-4. 効率と出力電流との関係、V_{OUT} = 12V、PFM

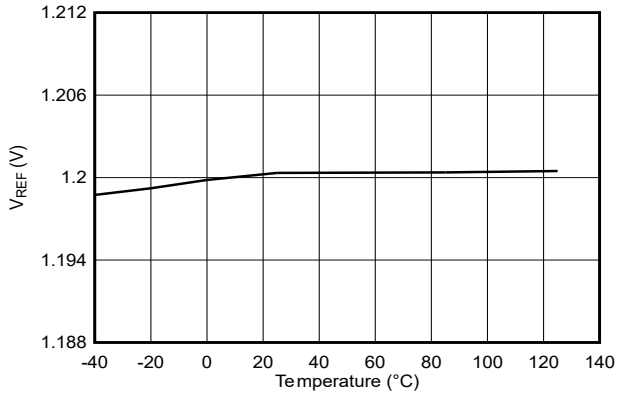


図 5-5. 基準電圧と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPS552852 は、4 個の MOSFET を内蔵した 8A 昇降圧 DC/DC コンバータです。TPS552852 は、入力電圧 2.4V ～ 22V、出力電圧 0.8V ～ 15V という幅広い範囲で動作可能です。このデバイスは、入力電圧と設定出力電圧に応じて、降圧モード、昇降圧モード、昇圧モード間をスムーズに移行できます。TPS552852 は、入力電圧が出力電圧より大きい場合は降圧モードで動作し、入力電圧が出力電圧より小さい場合は昇圧モードで動作します。入力電圧が出力電圧に近いとき、TPS552852 は 1 サイクル降圧モードおよび 1 サイクル昇圧モードで交互に動作します。

TPS552852 は平均電流モード制御方式を採用しています。電流モード制御により、ループ補償が簡素化され、負荷過渡への迅速な応答と固有のライン電圧除去が可能になります。エラー アンプは、出力電圧の帰還電圧を内部リファレンス電圧と比較します。エラー アンプの出力によって、平均インダクタ電流が決まります。

TPS552852 は、中負荷から重負荷の電流では固定周波数 PWM モードで動作します。軽負荷時、TPS552852 は MODE/SYNC ピンで、自動的に PFM モードへ移行するようにも、PWM モードに強制固定するようにも設定できます。

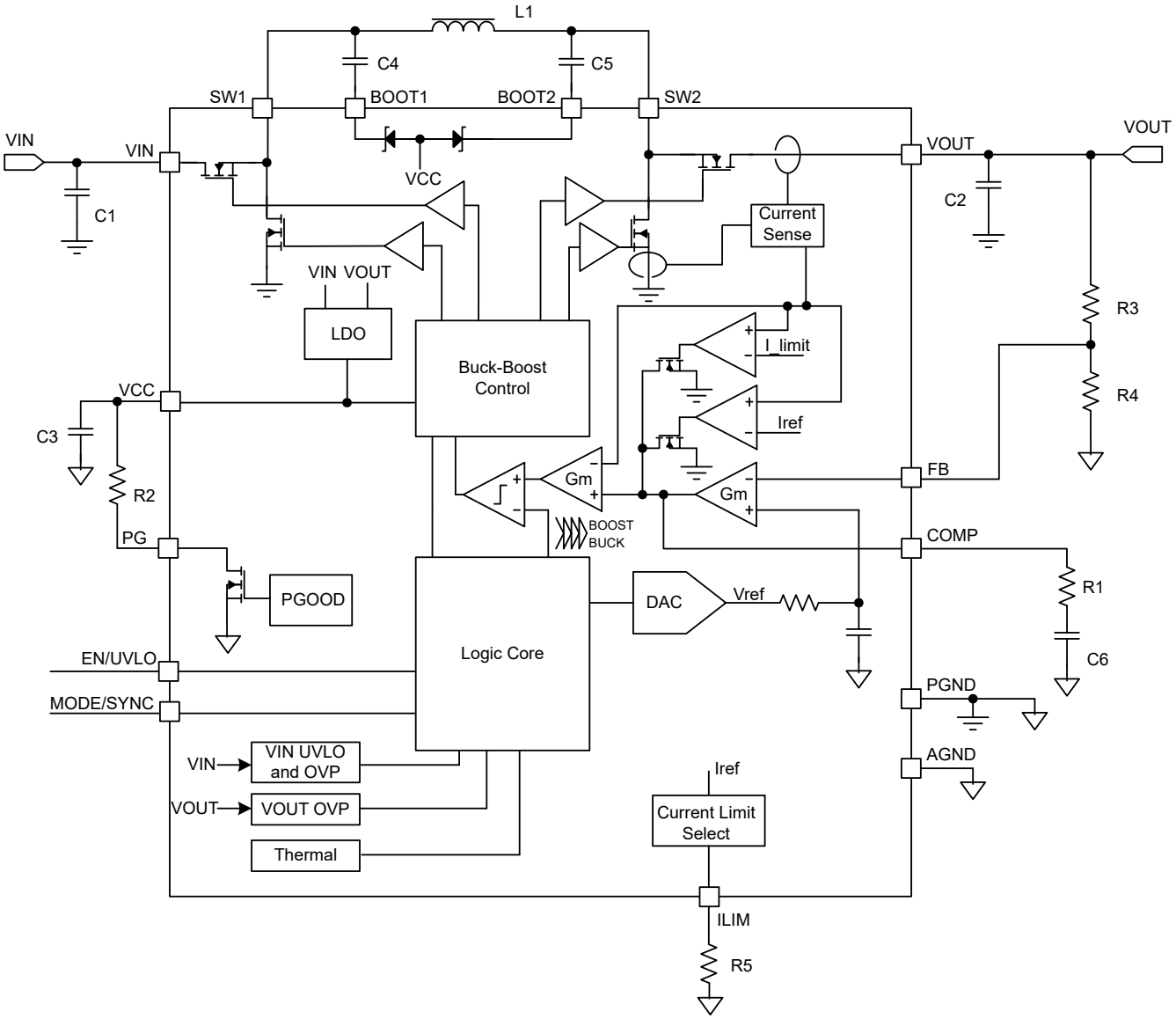
TPS552852 には、標準 8A の平均インダクタ電流制限があります。また TPS552852 は、インダクタのピーク電流がピーク電流制限を上回った場合に、サイクル単位のピーク インダクタ電流制限も提供します。

EN/UVLO ピンでの 5µA ソース電流による 1.05V の高精度電圧スレッショルドにより、ヒステリシス付きのプログラマブル入力低電圧誤動作防止 (UVLO) がサポートされます。入力電圧が 22.5V を超えると、入力過電圧保護 (OVP) 機能によってデバイスがオフになり、損傷を防止します。出力過電圧保護 (OVP) 機能は、ハイサイド FET をオフにして、TPS552852 によって電力が供給されるデバイスの損傷を防止します。

TPS552852 は、出力短絡が発生したときに電源部品の発熱を低減するためのヒカップ モード保護を備えています。ヒカップ機能により、TPS552852 は 76ms 間オフになり、その後ソフト スタートで再起動します。

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図


L1
C4
C5
SW1
BOOT1
BOOT2
SW2
VIN
VIN
C1
VCC
VOUT
VOUT
C2
Current Sense
VIN VOUT
LDO
Buck-Boost Control
I_limit
Iref
R3
R4
VCC
C3
R2
PG
Gm
Gm
BOOST
BUCK
FB
COMP
PGOOD
DAC
Vref
R1
C6
Logic Core
EN/UVLO
MODE/SYNC
PGND
AGND
VIN
VIN UVLO and OVP
VOUT
VOUT OVP
Thermal
Iref
Current Limit Select
ILIM
R5

6.3 機能説明

6.3.1 VCC の電源

TPS552852 には、VCC ピンで 5.2V に調整された電圧を出力する内部 LDO があります。V_{IN} が V_{OUT} より小さい場合、内部 LDO によって V_{IN} を 6.2V (ヒステリシス 0.3V) の立ち上がりスレッショルドと比較して電源が選択されます。V_{IN} が 6.2V より高い場合、LDO の電源は V_{IN} です。V_{IN} が 5.9V より低い場合、LDO の電源は V_{OUT} です。V_{OUT} が V_{IN} より小さい場合、内部 LDO によって V_{OUT} を 6.2V (ヒステリシス 0.3V) の立ち上がりスレッショルドと比較して電源が選択されます。V_{OUT} が 6.2V より高い場合、LDO の電源は V_{OUT} です。V_{OUT} が 5.9V より低い場合、LDO の電源は V_{IN} です。表 6-1 には、内部 LDO の電源の選択が示されています。

表 6-1. V_{CC} 電源ロジック

V_{IN}	V_{OUT}	V_{CC} LDO の入力
V_{IN} > 6.2V	V_{OUT} > V_{IN}	V_{IN}
V_{IN} < 5.9V	V_{OUT} > V_{IN}	V_{OUT}
V_{IN} > V_{OUT}	V_{OUT} > 6.2V	V_{OUT}
V_{IN} > V_{OUT}	V_{OUT} < 5.9V	V_{IN}

6.3.2 Mode/SYNC ピンの構成

MODE/SYNC ピンに一定の電圧を印加することで、TPS552852 は異なる軽負荷動作モードを選択できます。MODE/SYNC ピンに一定の低電圧 (< 0.4V) を印加することで、自動 PFM モードを選択できます。MODE/SYNC ピンに一定の高電圧 (> 1.2V) を印加することで、強制 PWM モードを選択できます。

ノイズに敏感なアプリケーションでは、TPS552852 を MODE/SYNC ピンに入力された外部クロック信号に同期させることができます。TI は、外部クロックのデューティ サイクルを 30% ～ 70% の範囲内にすることを推奨します。MODE/SYNC ピンの外部クロックは、Low レベル電圧が 0.4V 未満で、クロック周波数がデフォルトのスイッチング周波数の ±20% 以内である必要があります。

MODE/SYNC ピンにクロック入力が印加され、同期機能が動作すると、TPS552852 は軽負荷時に自動的に強制 PWM モードに移行します。

表 6-2. MODE/SYNC ピンの構成

MODE/SYNC 電圧	軽負荷時の動作モード	外部クロック同期
Low < 0.4V	自動 PFM	なし
High > 1.2V	強制 PWM	なし
クロック入力	強制 PWM	あり

6.3.3 入力低電圧誤動作防止

入力電圧が 2.4V を下回る場合、TPS552852 は無効化されます。入力電圧が 3V を上回る場合、EN ピンを 1.1V を超える高電圧にすることで、TPS552852 を有効にできます。

Copyright © 2026 Texas Instruments Incorporated

6.3.4 イネーブルおよびプログラム可能な UVLO

TPS552852 には、デュアル機能イネーブルおよび低電圧誤動作防止 (UVLO) 回路が搭載されています。VIN ピンの入力電圧が入力 UVLO 立ち上がりスレッショルドの 3V を超えていることに加え、EN/UVLO ピンが V_{EH_H} を超えたものの、イネーブル UVLO スレッショルドの V_{UVLO} を下回る場合、TPS552852 は有効になりますが、スタンバイ モードのままです。TPS552852 は、MODE ピンとグランド間の抵抗の検出を開始します。

EN/UVLO ピンには正確な UVLO 電圧スレッショルドがあり、ヒステリシス付きのプログラム可能な入力低電圧誤動作防止をサポートします。EN/UVLO ピン電圧が 1.05V の UVLO スレッショルドを超えると、TPS552852 はイネーブルとなり、スイッチング動作を開始します。ヒステリシス電流 I_{UVLO_HYS} は EN/UVLO ピンから供給され、入力電圧が緩やかに変化する場合のノイズによるオン / オフ チャタリングを防止するヒステリシスを提供します。

図 6-1 に示す抵抗デバイダを使用し、式 1 に従ってターンオン スレッショルドを計算します。

$$V_{IN(UVLO_ON)} = V_{UVLO} \times (1 + \frac{R1}{R2}) \quad (1)$$

ここで、

- V_{UVLO} は、EN/UVLO ピンにおける 1.05V の UVLO スレッショルドです。

UVLO オン スレッショルドとオフ スレッショルドの間のヒステリシスは、EN/UVLO 抵抗デバイダの上側抵抗によって設定され、式 2 で求められます。

$$\Delta V_{IN(UVLO)} = I_{UVLO_HYS} \times R1 \quad (2)$$

ここで、

- I_{UVLO_HYS} は、EN/UVLO ピンの電圧が V_{UVLO} より高い場合に EN/UVLO ピンから供給される電流です。

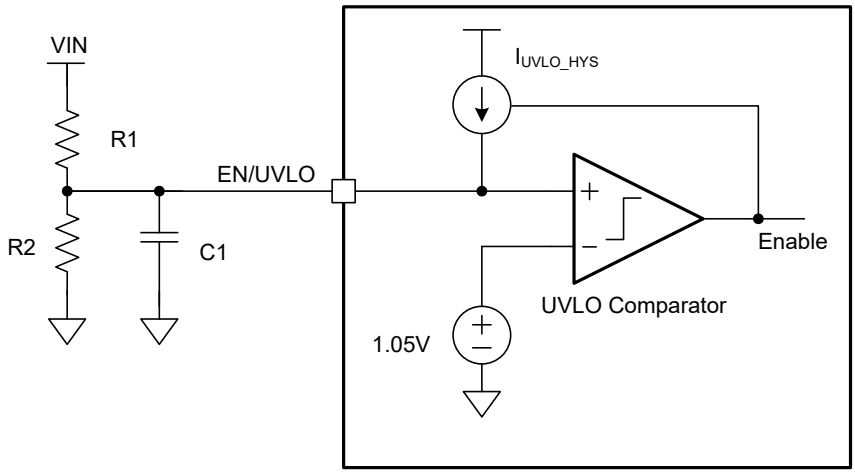


図 6-1. EN/UVLO ピンでの分圧抵抗によるプログラム可能な UVLO

NMOSFET を分圧抵抗とともに使用すると、図 6-2 に示すように、ロジック イネーブルとプログラム可能な UVLO の両方を実装できます。EN のロジック High レベルは、NMOSFET のイネーブル スレッショルドと V_{th} の合計値よりも大きい必要があります。この NMOSFET により、シャットダウン モード時に UVLO 抵抗デバイダを介して VIN からグランドへ流れるリーク電流も排除されます。

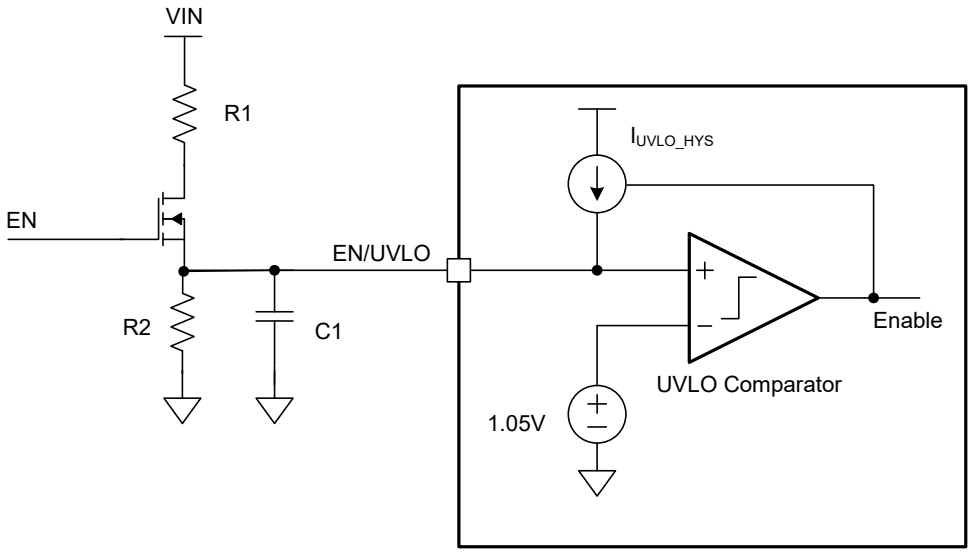


図 6-2. ロジック イネーブルおよびプログラム可能な UVLO

6.3.5 ソフト スタート

入力電圧が UVLO スレッショルドを上回り、かつ EN/UVLO ピンの電圧がイネーブル UVLO スレッショルドを超えると、TPS552852 は内部リファレンス電圧を 0V から 1.2V まで標準 3.9ms で立ち上げることで、出力電圧のランプ アップを開始します。

6.3.6 シャットダウン

EN/UVLO ピンの電圧が 0.4V を下回ると、TPS552852 はシャットダウン モードとなり、すべての機能が無効化されます。

6.3.7 スイッチング周波数

TPS552852 は、固定周波数の平均電流制御方式を使用しています。設計サイズを最適化するために、スイッチング周波数は 2.1MHz としています。

6.3.8 インダクタ電流制限

TPS552852 は、ピーク電流と平均インダクタ電流制限の両方を実装しています。平均電流モード制御ループは、昇圧レッグのハイサイド MOSFET の電流センス情報を使用して、最大平均インダクタ電流を 8A (標準) にクランプします。

平均電流制限に加えて、過渡時にはピーク電流制限保護が実装され、デバイスの能力を超える過電流状態からデバイスを保護します。

6.3.9 内部充電パス

2 つのハイサイド MOSFET ドライバは、それぞれフローティング ブートストラップ コンデンサからバイアスされます。このコンデンサは通常、ローサイド MOSFET がオンのときに、外部と内部の両方のブートストラップ ダイオードを経由して V_{CC} により再充電されます。TPS552852 が降圧または昇圧領域でのみ動作する場合、ハイサイド MOSFET の 1 つは常時オンになります。VOUT と BOOT2 から BOOT1 へ、または VIN と BOOT1 から BOOT2 への内部充電パスによって、ブートストラップ コンデンサは V_{CC} まで充電され、ハイサイド MOSFET はオンのままになります。

Copyright © 2026 Texas Instruments Incorporated

6.3.10 出力電圧設定

TPS552852 の出力電圧は、図 6-3 に示すように帰還抵抗で設定されています。出力電圧は、FB ピンのリファレンス電圧を用いて、式 3 で計算します。

$$V_{OUT} = V_{REF} \times (1 + \frac{R_{FB_UP}}{R_{FB_BT}}) \quad (3)$$

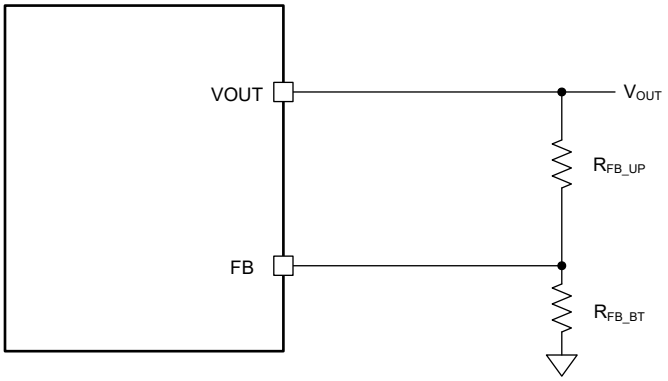


図 6-3. 外付け分圧抵抗による可変電圧設定

TI では、アップ抵抗 R_{FB_UP} には 100kΩ を使用することを推奨します。内部リファレンス電圧 V_{REF} は 1.2V です。

6.3.11 出力電流制限

TPS552852 は、外部電流検出抵抗なしで、降圧、昇降圧、昇圧モードでの出力電流制限機能をサポートしています。出力電流制限は、ILIM ピンと AGND ピンの間に接続する抵抗 R_{ILIM} によってプログラム可能です。詳細な式は、以下の通り更新されています。

$$R_{ILIM}(ohm) = \frac{0.9}{I_{LIM}(A) - 0.5} \times 169000 \quad (4)$$

設定された I_{LIM} が 500mA 未満、または ILIM ピンがフローティングの場合、I_{LIM} は最小値 500mA にクランプされます。

この機能を使用しない場合は、ILIM を AGND に直接接続してください。これにより、出力電流制限機能は無効になります。

6.3.12 入力過電圧保護

TPS552852 は入力過電圧保護機能を備えているため、電流が出力から入力に流れ、入力ソースが FPWM モードで電流をシンクできなくなった場合に、デバイスの損傷を防止できます。VIN ピンの入力電圧が標準 22.5V を超えると、VIN OVP がトリガされ、内部ソフト スタート回路がリセットされます。入力電圧がヒステリシス値を入力過電圧保護スレッショルドより低下させると、コンバータは自動的に再起動します。

6.3.13 出力過電圧保護

TPS552852 は、抵抗で分圧された帰還電圧を監視することで、出力の過電圧状態を検出します。帰還電圧が目標電圧の 115% を超えると、デバイスは出力電圧が 2.3% のヒステリシス分だけ低下するまでスイッチングを停止します。この機能は、出力に接続された回路を過度の過電圧から保護します。

6.3.14 出力短絡保護機能

TPS552852 は平均インダクタ電流制限に加え、ヒカップ モードに移行することで出力短絡保護機能を実装します。3.9ms のソフト スタートアップ時間の後、TPS552852 は平均インダクタ電流と出力電圧を監視します。出力短絡の発生により平均インダクタ電流が設定制限値に達し、出力電圧が 0.8V を下回ると、TPS552852 は 76ms (標準値) の間、ス

Copyright © 2026 Texas Instruments Incorporated

イッチングをシャットダウンします。その後 3.9ms の間、ソフト スタートを繰り返します。出力短絡または過電流状態において、ヒカップ モードは TPS552852 の合計消費電力を低減するのに役立ちます。

6.3.15 サーマル シャットダウン

TPS552852 は、サーマル シャットダウン回路によって保護されており、内部接合部温度が 175°C (標準値) を超えるとシャットダウンされます。サーマル シャットダウンが作動すると、内部ソフト スタート回路はリセットされます。接合部温度がサーマル シャットダウン スレッショルドより 20°C 低いヒステリシス温度まで下がると、コンバータは自動的に再起動します。

6.4 デバイスの機能モード

軽負荷時には、TPS552852 は PFM モードまたは強制 PWM モードで動作して、さまざまなアプリケーション要件を満たすことができます。PFM モードではスイッチング周波数が低下してスイッチング損失が低減されるため、軽負荷時に高い効率が得られます。FPWM モードでは、不要な低スイッチング周波数を回避するためにスイッチング周波数が一定に保たれますが、効率は PFM モードよりも低くなります。

機能モードは MODE/SYNC ピンにより選択されます (セクション 6.3.2 を参照)。

6.4.1 PWM モード

FPWM モードでは、TPS552852 は軽負荷状態でスイッチング周波数を変更せずに維持します。負荷電流が減少すると、内部エラー アンプの出力も減少し、平均インダクタ電流が減少して入力から出力への電力供給が減少します。出力電流がさらに減少すると、スイッチオフ時間中にインダクタを流れる電流がゼロまで減少します。MOSFET を流れる電流がゼロであっても、ハイサイド N-MOSFET はオフになりません。したがって、インダクタ電流はゼロになった後、電方向が反転します。電力は出力側から入力側に流れます。この条件では効率が低くなります。ただし、固定スイッチング周波数のため、軽負荷状態でスイッチング周波数が低いために発生し得る可聴ノイズやその他の問題はありません。

6.4.2 パワー セーブ モード

TPS552852 は、PFM モードにより軽負荷時の効率を向上させます。TPS552852 が軽負荷時に動作する場合、内部エラー アンプの出力が減少してインダクタのピーク電流が下がり、負荷に供給される電力が減少します。出力電流がさらに減少すると、スイッチオフ時間中にインダクタを流れる電流がゼロまで減少します。TPS552852 が降圧モードで動作している場合、インダクタ電流がゼロになると、降圧側のローサイド スイッチがオフになり、出力からグランドへの逆電流が防止されます。TPS552852 が昇圧モードで動作している場合、インダクタ電流がゼロになると、昇圧側のハイサイド スイッチがオフになり、出力から入力への逆電流が防止されます。TPS552852 は、出力電圧が低下するまでスイッチングを再開します。このように、PFM モードではスイッチング回数を減らし、逆インダクタ電流による電力損失を排除することで、軽負荷時の高い効率を実現します。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TPS552852 は、入力電圧 2.4V ～ 22V、出力電圧 0.8V ～ 15V という幅広い範囲で動作可能です。TPS552852 は、入力電圧と設定出力電圧に応じて、降圧モード、昇降圧モード、昇圧モード間をスムーズに遷移できます。TPS552852 は、入力電圧が出力電圧より大きい場合は降圧モードで動作し、入力電圧が出力電圧より小さい場合は昇圧モードで動作します。入力電圧が出力電圧に近いとき、TPS552852 は 1 サイクル降圧モードおよび 1 サイクル昇圧モードで交互に動作します。

7.2 代表的なアプリケーション

TPS552852 により、入力電圧範囲が 3V ～ 22V の電源アプリケーション向けの小型設計が可能になります。

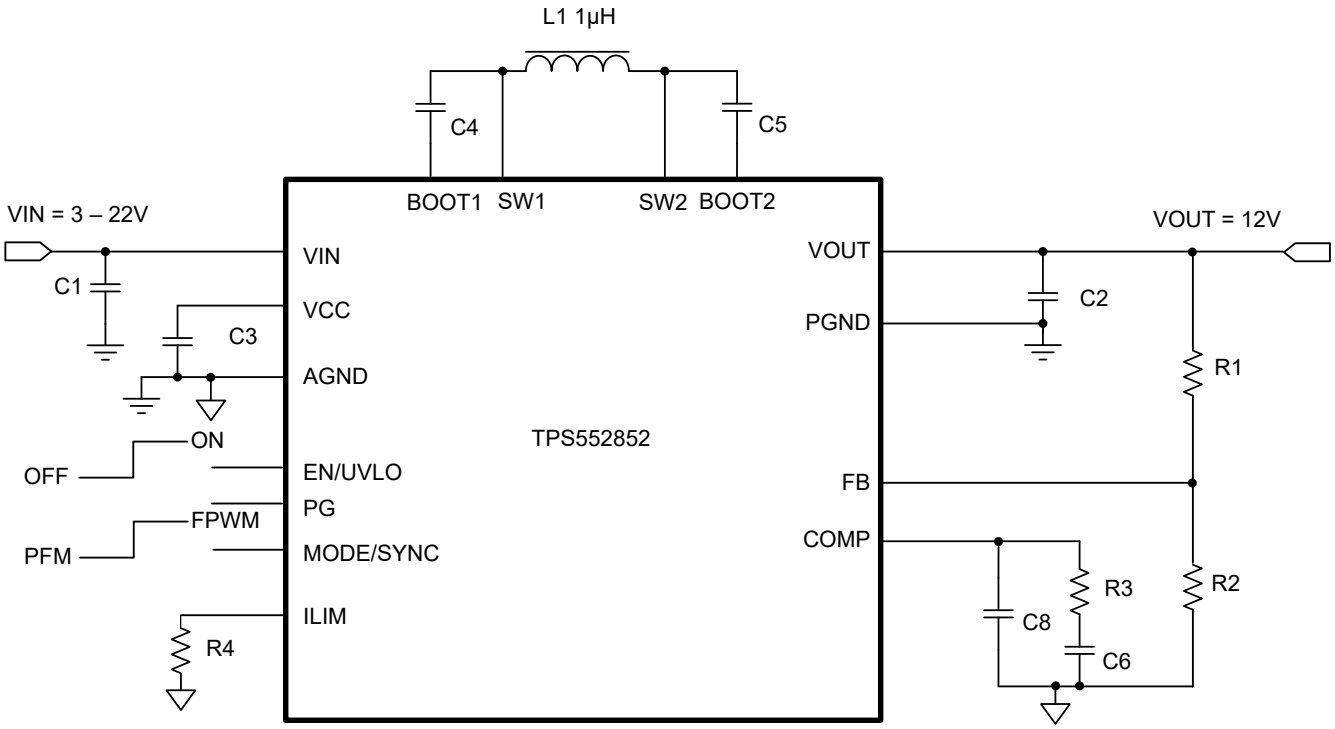


図 7-1. 電源、入力電圧 3V ～ 22V

7.2.1 設計要件

表 7-1 に、設計パラメータの一覧を示します。

表 7-1. 設計パラメータ

パラメータ	値
入力電圧	3V ～ 22V
出力電圧	12V
出力電圧リップル	±50mV
軽負荷時の動作モード	PFM

7.2.2 詳細な設計手順

7.2.2.1 インダクタの選択

インダクタの選択は定常状態動作、過渡動作、ループの安定性に影響を及ぼすため、インダクタは電源レギュレータの設計で最も重要な部品です。インダクタには、インダクタンス、飽和電流、DC 抵抗という 3 つの重要な仕様があります。

TPS552852 は、1µH ～ 2.2µH のインダクタ値で動作するよう設計されています。インダクタの選択は、降圧モードと昇圧モードの両方の動作を考慮して行われます。

内部電流ループは内部補償を使用しているため、インダクタ値は $1.2/f_{SW}$ より大きくする必要があります

降圧モードに対しては、ピーク ツー ピークの電流リップルを最大入力電圧時の最大インダクタ電流に制限することに基づいて、インダクタを選択します。CCM において、式 5 では、インダクタンスとインダクタ リップル電流の関係が示されています。

$$L=\frac{(V_{IN(MAX)}-V_{OUT})\times V_{OUT}}{\Delta I_{L(P-P)}\times f_{SW}\times V_{IN(MAX)}} \quad (5)$$

ここで、

- $V_{IN(MAX)}$ は最大入力電圧
- V_{OUT} は出力電圧です。
- $\Delta I_{L(P-P)}$ はインダクタのピーク ツー ピーク リップル電流
- f_{SW} はスイッチング周波数

特定のインダクタの場合、VOUT が最大入力電圧の半分に等しいとき、インダクタ リップル電流は最大値になります。大きいインダクタンスを選択するほどインダクタ電流リップルは小さくなり、インダクタンスが小さくなるほど、インダクタ電流リップルは大きくなります。

昇圧モードに対しては、ピーク ツー ピークの電流リップルを最大出力電圧時の最大インダクタ電流に制限することに基づいて、インダクタを選択します。CCM において、式 6 では、インダクタンスとインダクタ リップル電流の関係が示されています。

$$L=\frac{V_{IN}\times(V_{OUT(MAX)}-V_{IN})}{\Delta I_{L(P-P)}\times f_{SW}\times V_{OUT(MAX)}} \quad (6)$$

ここで、

- V_{IN} は入力電圧
- $V_{OUT(MAX)}$ は最大出力電圧
- $\Delta I_{L(P-P)}$ はインダクタのピーク ツー ピーク リップル電流
- f_{SW} はスイッチング周波数

Copyright © 2026 Texas Instruments Incorporated

特定のインダクタの場合、V_{IN} が最大出力電圧の半分に等しいとき、インダクタ リップル電流は最大値になります。大きいインダクタンスを選択するほどインダクタ電流リップルは小さくなり、インダクタンスが小さくなるほど、インダクタ電流リップルは大きくなります。

このアプリケーション例では、1µH インダクタを選択しています。これにより、降圧モードでは最大平均インダクタ電流の 50%、昇圧モードでは最大平均インダクタ電流の 50% という、おおよその最大インダクタ電流リップルが得られます。

降圧モードでは、インダクタ DC 電流は出力電流と等しくなります。昇圧モードでは、式 7 を使用してインダクタ DC 電流を計算します。

$$I_{L(DC)} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (7)$$

ここで、

- V_{OUT} は出力電圧です。
- I_{OUT} は出力電流
- V_{IN} は入力電圧
- η は電力変換効率

昇降圧コンバータ TPS552852 の指定最大出力電流の場合、最大インダクタ DC 電流は最小入力電圧および最大出力電圧で発生します。TPS552852 が目的の出力電流キャパシティを持つように、TPS552852 のインダクタ電流制限を、計算された最大インダクタ DC 電流より高く設定します。

昇圧モードでは、式 8 を使用してインダクタ リップル電流を計算します。

$$\Delta I_{L(P-P)} = \frac{V_{IN} \times (V_{OUT} - V_{IN})}{L \times f_{SW} \times V_{OUT}} \quad (8)$$

ここで、

- $\Delta I_{L(P-P)}$ は、インダクタ リップル電流
- L はインダクタ値です。
- f_{SW} はスイッチング周波数
- V_{OUT} は出力電圧です。
- V_{IN} は入力電圧

これより、式 9 でピーク インダクタ電流を計算できます。

$$I_{L(P)} = I_{L(DC)} + \frac{\Delta I_{L(P-P)}}{2} \quad (9)$$

通常、最大出力電流を得るために、インダクタのピーク ツー ピーク電流を平均インダクタ電流の 40% 未満とすることを推奨します。インダクタの値が大きくなるほどリップルは小さくなり、インダクタ内の磁気ヒステリシス損失と EMI が減少しますが、同様に負荷過渡応答時間は長くなります。選択されたインダクタでは、計算されたピーク電流より大きい飽和電流である必要があります。

変換効率は電流パスの抵抗に依存します。スイッチング MOSFET に関連するスイッチング損失と、インダクタのコア損失です。したがって、全体の効率はインダクタの DC 抵抗 (DCR)、スイッチング周波数での等価直列抵抗 (ESR)、およびコア損失の影響を受けます。表 7-2 に、TPS552852 の推奨インダクタを示します。このアプリケーション例では、小型、高飽和電流、低 DCR という理由から、Coilcraft のインダクタ XGL6030-102MEC を選択しています。

Copyright © 2026 Texas Instruments Incorporated

表 7-2. 推奨するインダクタ

部品番号	L (µH)	DCR (最大値) (mΩ)	飽和電流 / 熱定格電流 (A)	サイズ L × W × H (mm)	メーカー (1)
XGL6030-102MEC	1	4.9	17.7/18.1	6.7 × 6.5 × 3.1	Coilcraft
VCHA085D-1R0MS6	1	4.8	22/18	8.7 × 8.2 × 5.2	Cyntec
IHLP4040DZER1R0M01	1	2.5	20/25	10.2 × 10.2 × 4.0	Vishay

(1) 『サード パーティー製品に関する免責事項』を参照してください。

7.2.2.2 入力コンデンサ

降圧モードでは、入力コンデンサから高リップル電流が供給されます。式 10 に、入力コンデンサの RMS 電流を示します。

$$I_{CIN(RMS)} = I_{OUT} \times \sqrt{\frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times V_{IN}}} \quad (10)$$

ここで、

- $I_{CIN(RMS)}$ は、入力コンデンサを流れる RMS 電流
- I_{OUT} は出力電流

最大 RMS 電流は、出力電圧が入力電圧の半分のときに発生し、$I_{CIN(RMS)} = I_{OUT} / 2$ となります。セラミック コンデンサは、低 ESR で高いリップル電流耐性を持つため、推奨されます。合計 20µF の実効容量が、このアプリケーションの出発点として適切です。

7.2.2.3 出力コンデンサ

昇圧モードでは、出力コンデンサに高リップル電流が流れます。出力コンデンサの RMS リップルは、式 11 で求められます。ここで、入力電圧が最小で出力電圧が最大のとき、コンデンサ電流は最大になります。

$$I_{COUT(RMS)} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN}} - 1} \quad (11)$$

ここで、

- $I_{COUT(RMS)}$ は、出力コンデンサを流れる RMS 電流
- I_{OUT} は出力電流

出力コンデンサの ESR により、出力電圧リップルが昇圧モードの 式 12 で求められます。

$$V_{RIPPLE(ESR)} = \frac{I_{OUT} \times V_{OUT}}{V_{IN}} \times R_{COUT} \quad (12)$$

ここで、

- R_{COUT} は、出力キャパシタンスの ESR

また、このキャパシタンスにより、容量性出力電圧リップルが昇圧モードの 式 13 で求められます。入力電圧が最小値に達し、出力電圧が最大値に達すると、キャパシタンスによる出力電圧リップルは最大になります。

$$V_{RIPPLE(CAP)} = \frac{I_{OUT} \times \left(1 - \frac{V_{IN}}{V_{OUT}}\right)}{C_{OUT} \times f_{SW}} \quad (13)$$

Copyright © 2026 Texas Instruments Incorporated

通常、低 ESR、高リップル電流、小出力電圧リップルを実現するには、セラミック コンデンサとバルク電解コンデンサを組み合わせる必要があります。必要な出力電圧リップルから、式 12 と 式 13 を使用して、C_{OUT} に必要な最小実効キャパシタンスを計算します。

7.2.2.4 出力電流制限

出力電流制限は、ILIM ピンと AGND ピンの間に抵抗を接続することにより実現されます。

7.2.2.5 ループ安定性

TPS552852 は平均電流制御方式を使用しています。内部電流ループは内部補償を使用しているため、インダクタ値は $1.2/f_{SW}$ より大きくする必要があります。外部電圧ループには、外部補償が必要です。COMP ピンは内部電圧エラー アンプの出力です。COMP ピンには、抵抗とセラミック コンデンサで構成される外部補償回路が接続されています。

TPS552852 は降圧モードまたは昇圧モードで動作します。したがって、降圧と昇圧のどちらの動作モードでもループ補償が必要です。これら両方の補償のうち、ループ安定性の観点から、全体的な補償として制限の大きい方が選択されます。一般的に降圧モードまたは昇圧モードのいずれかで動作するように設計されたコンバータの場合、右半面ゼロ (RHPZ) が存在するため、昇圧モード補償設計の方が制限が大きくなります。

昇圧モードでの電力段は 式 14 でモデル化できます。

$$G_{PS}(s) = \frac{R_{LOAD} \times (1-D)}{2 \times R_{SENSE}} \times \frac{\left(1 + \frac{s}{2\pi \times f_{ESRZ}}\right) \times \left(1 - \frac{s}{2\pi \times f_{RHPZ}}\right)}{1 + \frac{s}{2\pi \times f_P}} \tag{14}$$

ここで、

- R_{LOAD} は出力負荷抵抗
- D は昇圧モードでのスイッチング デューティ サイクル
- R_{SENSE} は等価内部電流センス抵抗で、0.055Ω

出力段には、出力コンデンサと負荷抵抗によってゼロが 2 つとポールが 1 つ生成されます。その計算には 式 15 から 式 17 までが使用されます。

$$f_P = \frac{2}{2\pi \times R_{LOAD} \times C_{OUT}} \tag{15}$$

$$f_{ESRZ} = \frac{1}{2\pi \times R_{COUT} \times C_{OUT}} \tag{16}$$

$$f_{RHPZ} = \frac{R_{LOAD} \times (1-D)^2}{2\pi \times L} \tag{17}$$

内部の相互コンダクタンス アンプは COMP ピンの補償回路とともに、ループの制御部分を構成します。制御部の伝達関数を、式 18 に示します。

$$G_C(s) = \frac{G_{EA} \times R_{EA} \times V_{REF}}{V_{OUT}} \times \frac{\left(1 + \frac{s}{2\pi \times f_{COMZ}}\right)}{\left(1 + \frac{s}{2\pi \times f_{COMP1}}\right) \times \left(1 + \frac{s}{2\pi \times f_{COMP2}}\right)} \tag{18}$$

ここで、

- G_{EA} はエラー アンプの相互コンダクタンス
- R_{EA} はエラー アンプの出力抵抗
- V_{REF} はエラー アンプへのリファレンス電圧入力

Copyright © 2026 Texas Instruments Incorporated

- V_{OUT} は出力電圧です。
- f_{COMP1} および f_{COMP2} は補償回路のポールの周波数
- f_{COMZ} は補償回路のゼロの周波数

合計開ループ ゲインは、1 つ以上の G_{PS} と G_C の積です。次のステップでは、合計開ループ ゲインが 1、すなわち 0dB となるループ クロスオーバー周波数 f_C を選択します。ループ ゲインがクロスオーバー前に 0dB を上回るような周波数が高いほど、ループ応答は速くなります。ループ ゲインが 0dB を横切る周波数は、スイッチング周波数 f_{SW} の 1/10、または RHPZ 周波数 f_{RHPZ} の 1/5 のいずれか低い方を超えないようにすることが一般的です。

そこで、R_C、C_C、C_P の値を 式 19 から 式 21 に設定します。

$$R_C = \frac{2\pi \times V_{OUT} \times R_{SENSE} \times C_{OUT} \times f_C}{(1-D) \times V_{REF} \times G_{EA}} \tag{19}$$

ここで、

- f_C は選択されたクロスオーバー周波数

$$C_C = \frac{R_{LOAD} \times C_{OUT}}{2 \times R_C} \tag{20}$$

$$C_P = \frac{R_{COUT} \times C_{OUT}}{R_C} \tag{21}$$

計算された C_P が 10pF 未満の場合、C_P の位置はオープンのままにすることができます。

ループを、45° を超える位相マージンと 10dB を超えるゲイン マージンになるように設計すると、ラインおよび負荷の過渡時の出力電圧のリンギングが除去されます。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

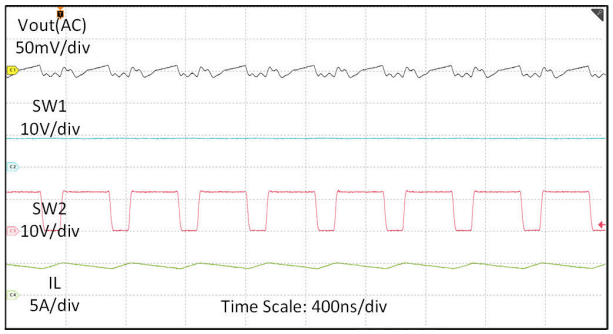


図 7-2. V_{IN} = 9V、V_{OUT} = 12V、I_O = 3A、FPWM におけるスイッチング波形

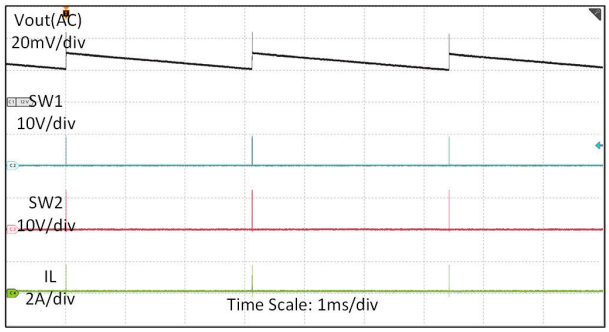


図 7-3. V_{IN} = 9V、V_{OUT} = 12V、I_O = 0A、PFM におけるスイッチング波形

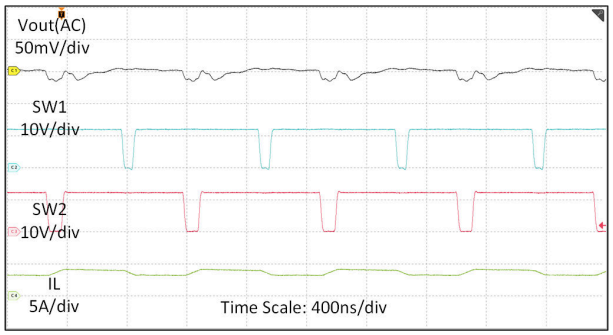


図 7-4. V_{IN} = 12V、V_{OUT} = 12V、I_O = 3A、FPWM におけるスイッチング波形

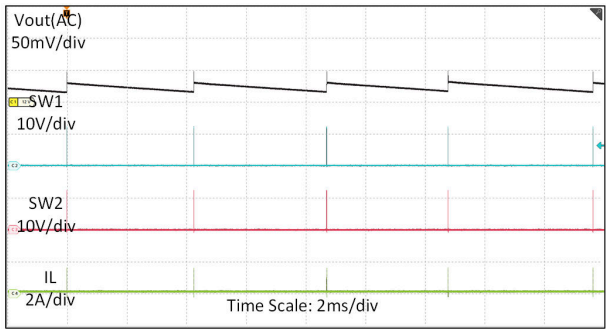


図 7-5. V_{IN} = 12V、V_{OUT} = 12V、I_O = 0A、PFM におけるスイッチング波形

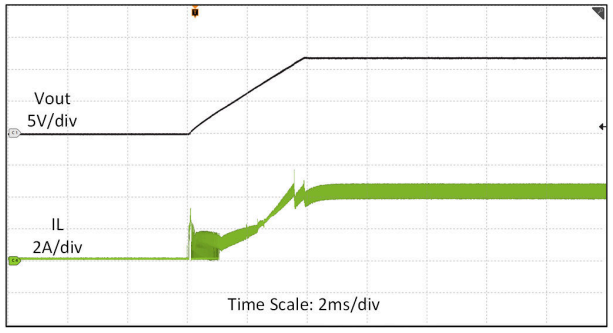


図 7-6. V_{IN} = 9V、V_{OUT} = 12V、R_{LOAD} = 4Ω、FPWM におけるスタートアップ波形

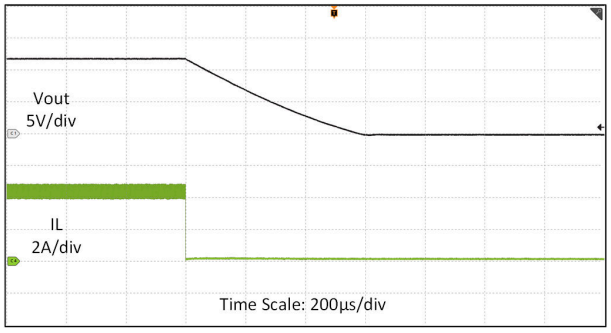


図 7-7. V_{IN} = 9V、V_{OUT} = 12V、R_{LOAD} = 4Ω、FPWM におけるシャットダウン波形

Copyright © 2026 Texas Instruments Incorporated

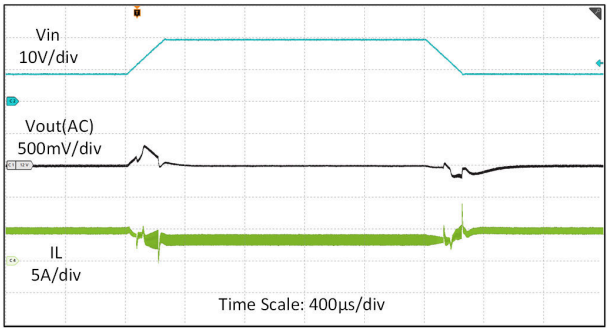


図 7-8. V_{IN} = 9V ～ 20V、V_{OUT} = 12V、I_O = 3A、スルーレート 200µs、FPWM におけるライン過渡波形

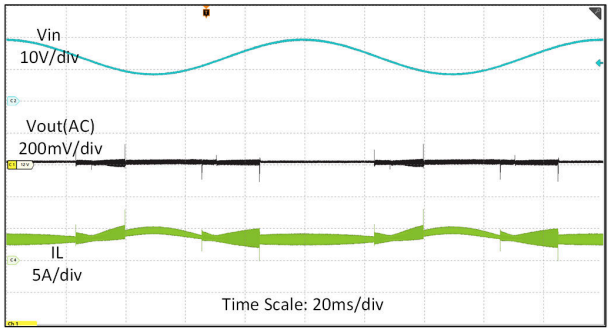


図 7-9. V_{IN} = 9V ～ 20V、V_{OUT} = 12V、I_O = 3A、FPWM におけるライン スイープ波形

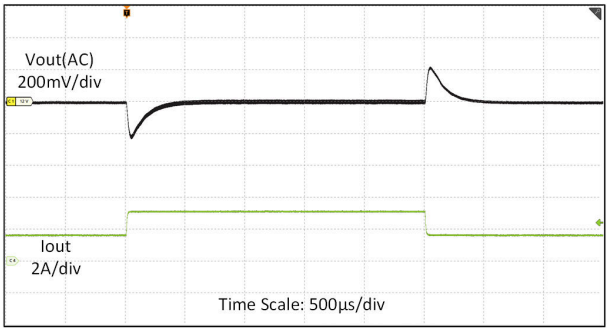


図 7-10. V_{IN} = 9V、V_{OUT} = 12V、I_O = 1.5A ～ 3A、FPWM における負荷過渡波形

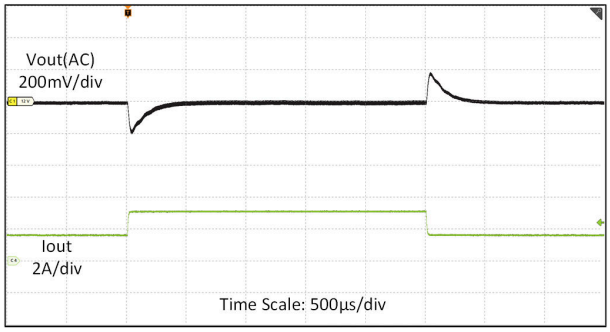


図 7-11. V_{IN} = 12V、V_{OUT} = 12V、I_O = 1.5A ～ 3A、FPWM における負荷過渡波形

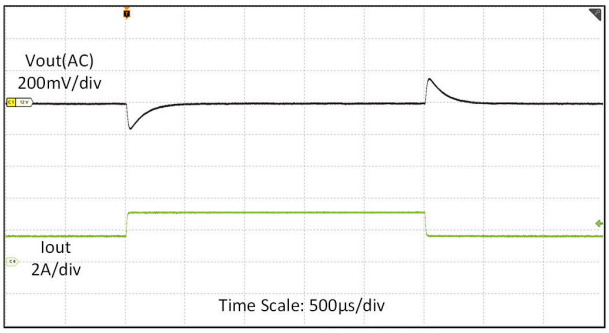


図 7-12. V_{IN} = 12V、V_{OUT} = 12V、I_O = 1.5A ～ 3A、FPWM における負荷過渡波形

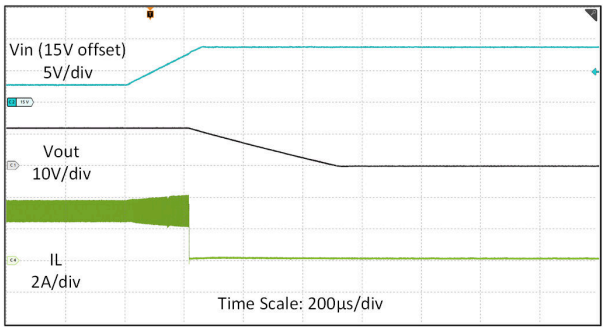


図 7-13. V_{IN} = 18V ～ 24V、V_{OUT} = 12V、I_{OUT} = 3A における VIN OVP 波形

Copyright © 2026 Texas Instruments Incorporated

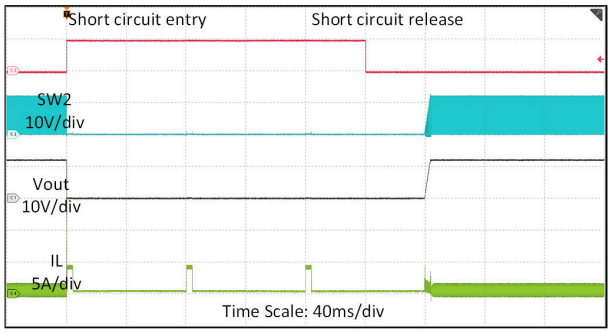


図 7-14. V_{IN} = 9V、V_{OUT} = 12V における短絡保護回路

7.3 電源に関する推奨事項

このデバイスは、3.0V～22V の入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源がコンバータから数インチ以上離れている場合は、セラミック バイパス コンデンサに加えて追加のバルク容量が必要となることがあります。一般的な選択肢は、100µF のアルミ電解コンデンサです。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

すべてのスイッチング電源、特に高いスイッチング周波数と大電流で動作する電源については、レイアウトは、重要な設計ステップです。レイアウトを注意深く行わないと、レギュレータで不安定性やノイズの問題が発生する可能性があります。

1. 0.1µF 小型パッケージ (0402) のセラミック コンデンサは、高周波電流ループを最小限に抑えるために、VIN/VOUT ピンの近くに配置します。これにより、高周波ノイズ (EMI) の放射が改善され、効率が向上します。
2. PGND ピンの近くに複数の GND ビアを使用して、PGND を内部グランド プレーンに接続します。これにより、放熱性能も向上します。
3. SW1 および SW2 は高 dv/dt ノードであるため、SW1 および SW2 によるループ面積は最小限にします。プレーン間カップリングを最小限にするため、スイッチング レギュレータの下にグランド プレーンを使用します。
4. BOOT1 のブートストラップ コンデンサは IC の近くに配置し、BOOT1 ピンおよび SW1 ピンに直接接続します。BOOT2 のブートストラップ コンデンサは IC の近くに配置し、BOOT2 ピンおよび SW2 ピンに直接接続します。
5. VCC コンデンサは、幅広の短いパターンで、IC の近くに配置します。VCC コンデンサの GND 端子は、3 ～ 4 個のビアを経由して PGND プレーンに直接接続する必要があります。
6. 電源グランドをアナログ グランドから絶縁します。PGND プレーンと AGND プレーンは、VCC コンデンサの端子に接続します。これにより、MOSFET ドライバと寄生インダクタンスに起因するノイズは、AGND および内部制御回路には干渉しません。
7. 補償部品は、可能な限り COMP ピンの近くに配置します。アナログ信号へのノイズのカップリングを防止するため、補償部品、帰還部品、その他の高感度アナログ回路は、電力部品、スイッチング ノード SW1 および SW2、大電流パターンから離して配置します。
8. 放熱性能を向上させるため、VIN ピン付近から広い VIN 領域に、また VOUT ピン付近から広い VOUT 領域に、それぞれサーマル ビアを配置することを TI は推奨します。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

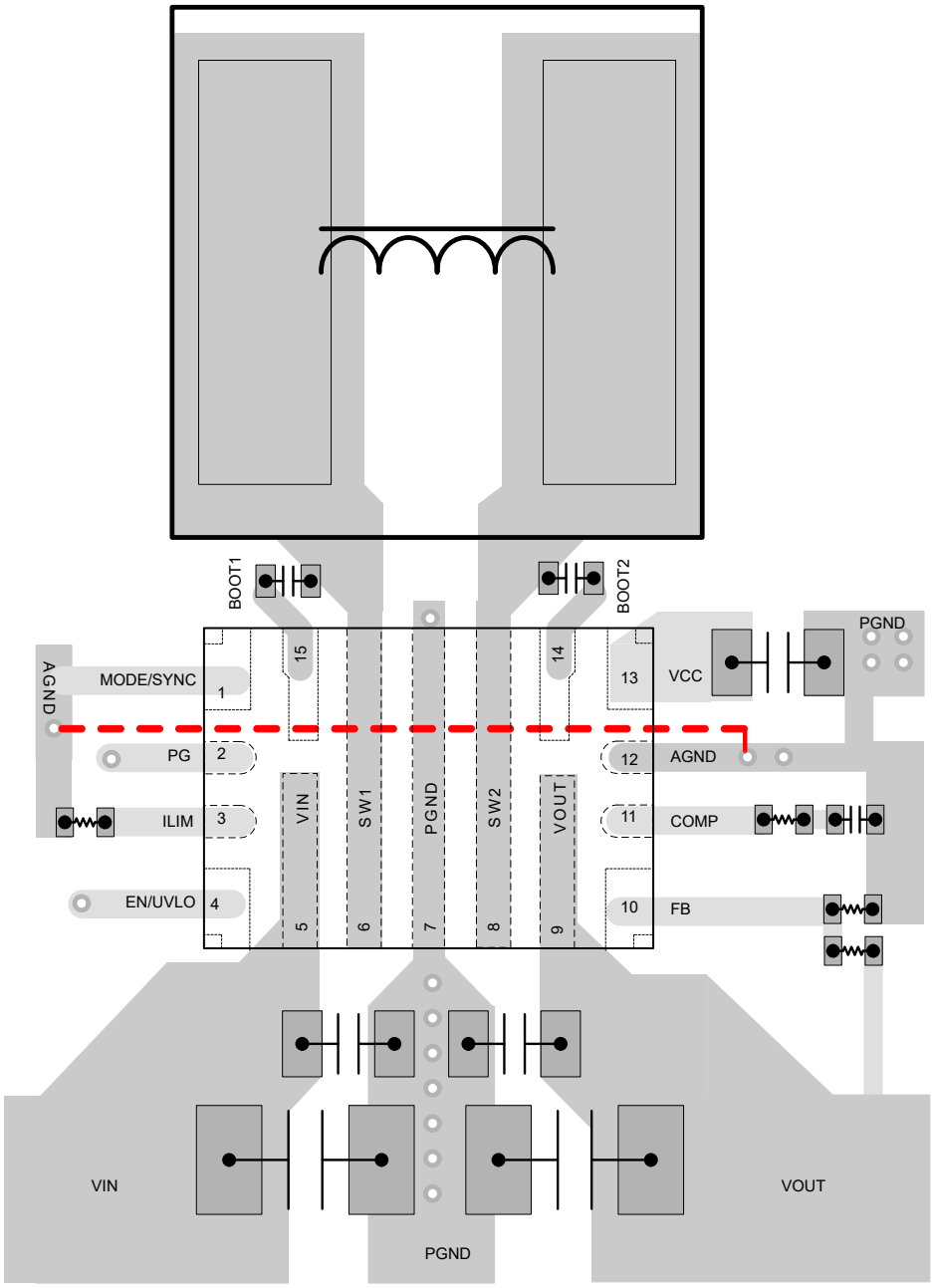


図 7-15. レイアウト例

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

日付	改訂	注
March 2026	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS552852VALR	Active	Production	WQFN-HR (VAL) | 15	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	552852

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

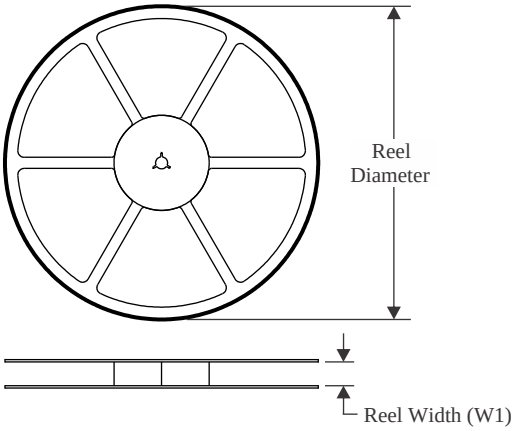
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

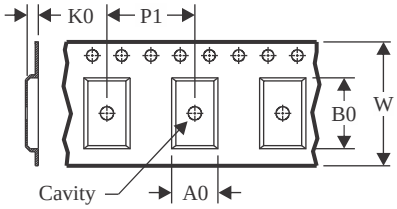
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

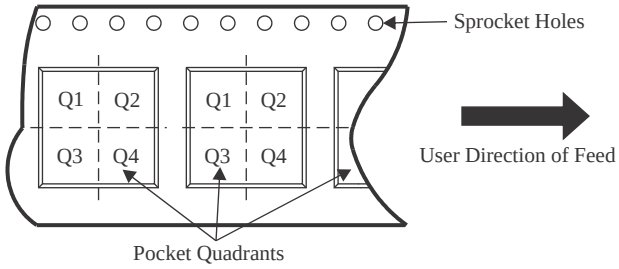


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

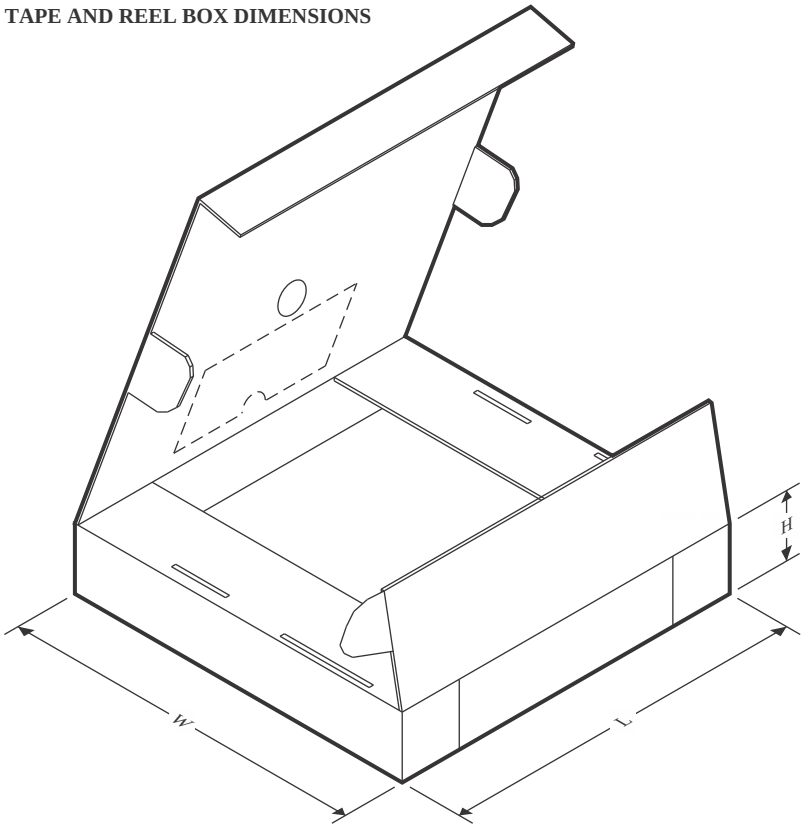
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS552852VALR	WQFN-HR	VAL	15	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

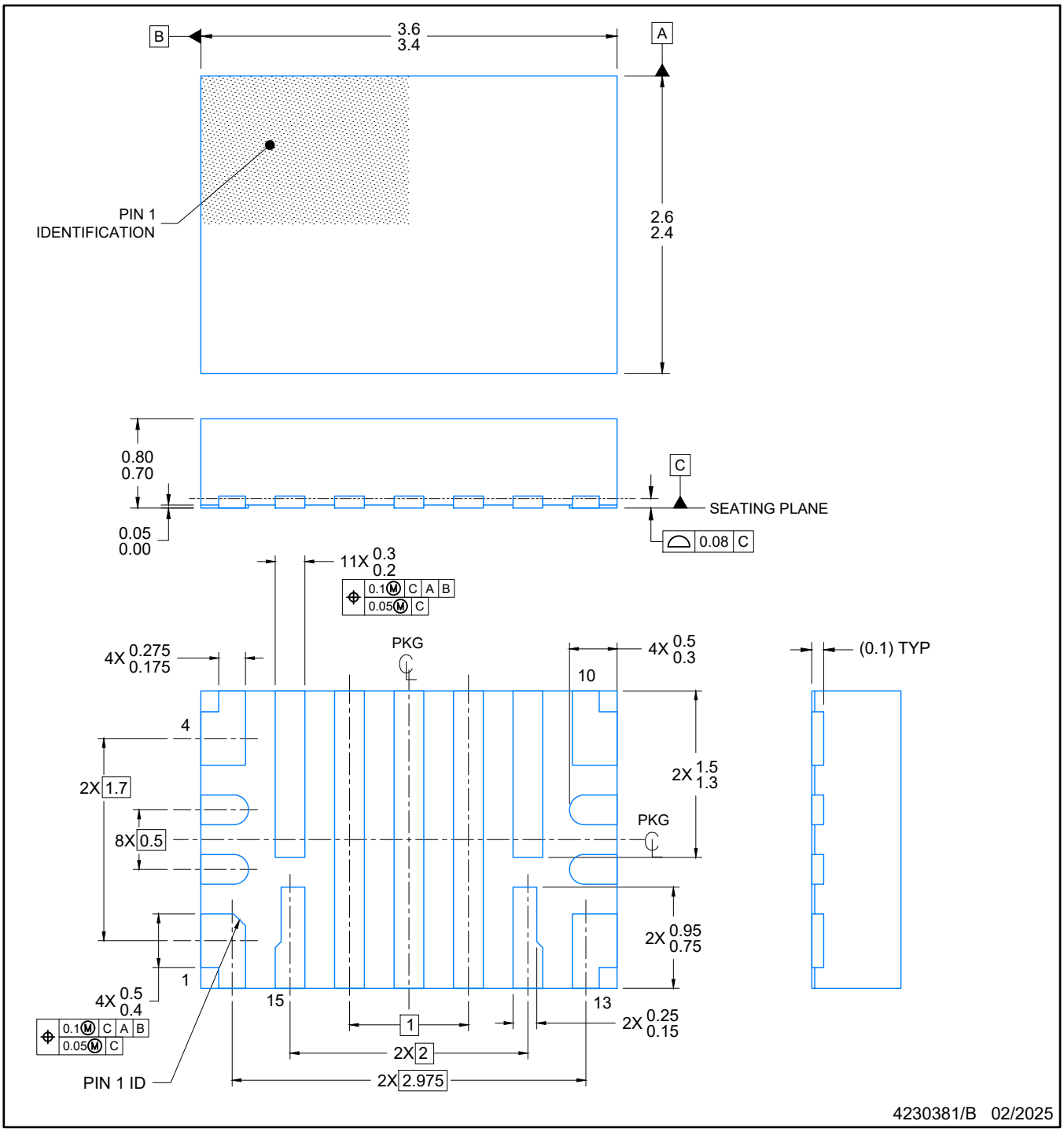
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS552852VALR	WQFN-HR	VAL	15	3000	210.0	185.0	35.0

PACKAGE OUTLINE

VAL0015A

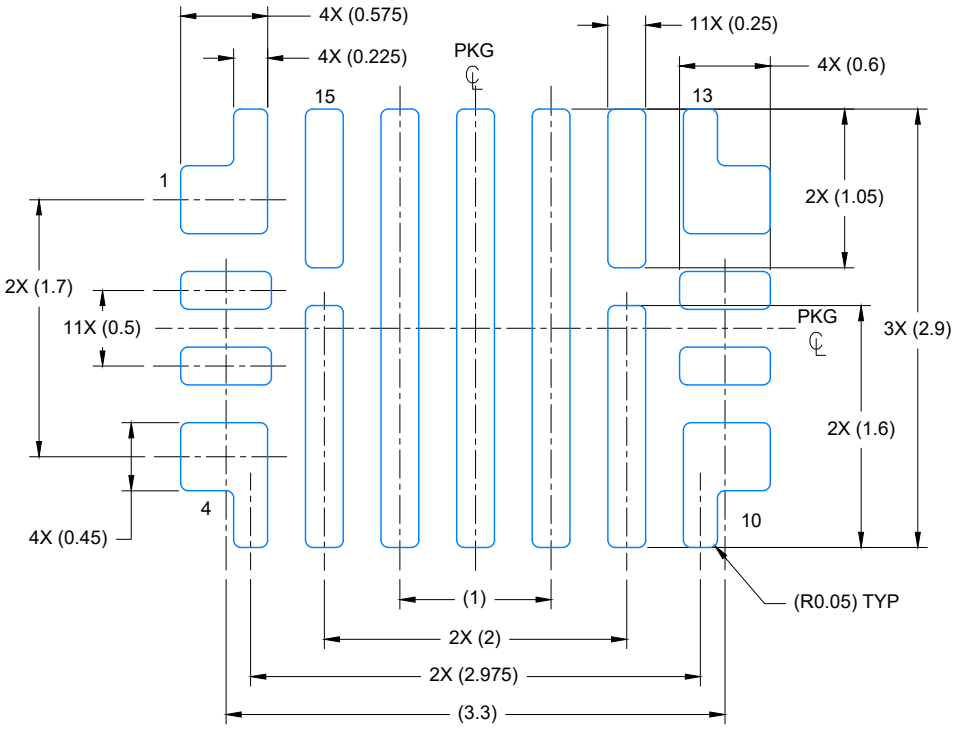
WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK-NO LEAD

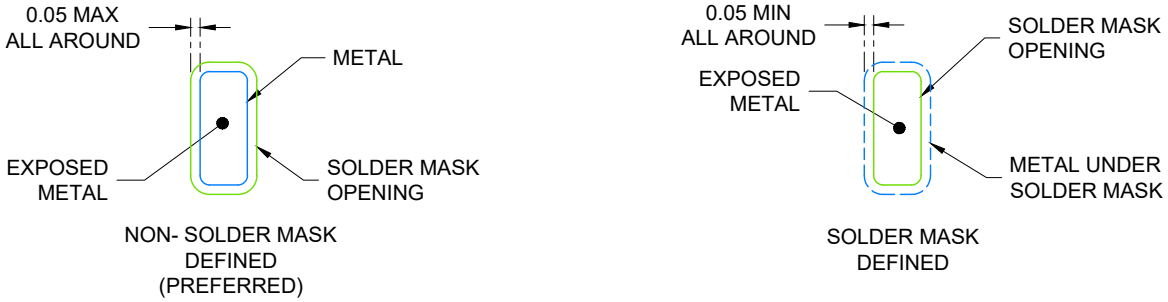


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

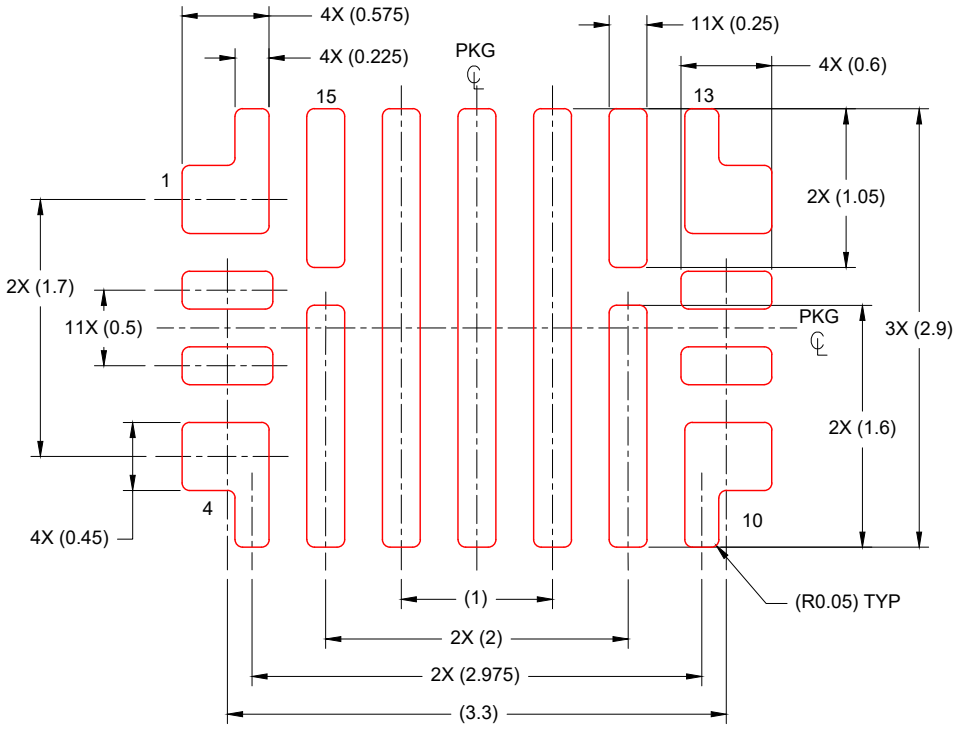


SOLDER MASK DETAILS
NOT TO SCALE

4230381/B 02/2025

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 20X

4230381/B 02/2025

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月