TPS55285A I²C インターフェイス搭載 22V、8A、昇降圧コンバータ

1 特長

- USB パワー デリバリ (USB PD)用のプログラマブル電源 (PPS)サポート
  - 幅広い入力電圧範囲:2.4V ～ 22V
  - 起動時の最小入力電圧:3.0V
  - プログラム可能な出力電圧範囲:0.8V～22V (10mV 刻み)
  - 基準電圧精度:±1%
  - ケーブルの電圧降下に対する可変出力電圧補償
  - 最大 6.35A の出力電流制限を 50mA 刻みでプログラム可能
- 全負荷範囲にわたって高効率を実現
  - V_{IN} = 20V、V_{OUT} = 5V、I_{OUT} = 5A で 92.0% の効率
  - V_{IN} = 12V、V_{OUT} = 15V、I_{OUT} = 5A で 95.7% の効率
  - V_{IN} = 12V、V_{OUT} = 20V、I_{OUT} = 3A で 92.3% の効率
- I²C プログラミング
  - 出力イネーブル (OE) のオン / オフ
  - 出力電圧変化のスルーレート
  - スイッチング周波数:400kHz、800kHz、1.6MHz、2.1MHz
  - 軽負荷時の PFM および FPWM モードをプログラム可能
  - スペクトラム拡散のイネーブル / ディスエーブル
  - 出力放電のイネーブル / ディスエーブル
- 豊富な保護機能
  - 入力過電圧保護
  - 出力相対過電圧保護
  - ヒカップ モードによる出力短絡保護
  - サーマル シャットダウン保護機能
  - 平均インダクタ電流制限:8A
- 小型デザイン サイズ
  - 4 個の低 $R_{DS(ON)}$ 内部 MOSFET
  - 最大 2.1MHz のスイッチング周波数
  - 2.5mm × 3.5mm HotRod™ WQFN パッケージ

2 アプリケーション

- USB PD
- ワイヤレス充電器
- ドッキング ステーション
- ノート PC
- ソリッド ステート ドライブ (SSD)

3 説明

TPS55285A は、バッテリ電圧、USB Power Delivery (USB PD)、またはアダプタ電圧を複数の電源レール向けに変換する目的で設計された、統合型の同期整流昇降圧コンバータです。TPS55285A は 4 個の 15mΩ MOSFET を内蔵しており、高効率の小型設計を可能にします。

TPS55285A は、2.4V (3.0V の立ち上がり) から 22V までの広い入力電圧範囲に対応しており、0.8V ～ 22V の電圧を 10mV 刻みで出力できるため、さまざまなアプリケーションをサポートできます。TPS55285A は、8A の平均インダクタ電流制限を採用し、降圧モードで最大 7A の出力電流を供給することが特徴です。ブースト モードでは、12V 入力から 60W、5V 入力から 30W を提供できます。

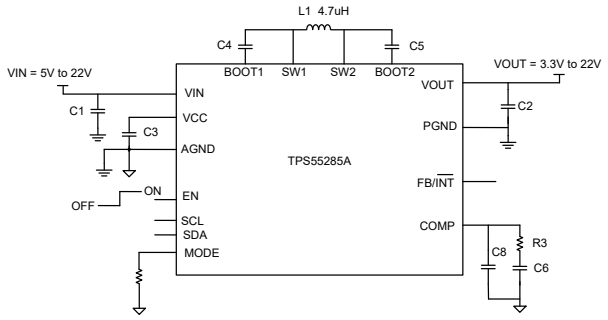
I²C インターフェイスにより、TPS55285A の出力電圧は動的にプログラムします。デバイスがイネーブルのとき、デフォルトの出力電圧は 5V です。I²C インターフェイスにより、出力電圧変化のスルーレート、スイッチング周波数、強制 PWM モード動作を設定できます。

TPS55285A は入力および出力の過電圧保護、平均インダクタ電流制限、サイクルごとのピーク電流制限、出力短絡保護機能を備えています。また TPS55285A は、持続的な過負荷状態での外部出力電流センス抵抗なしの出力電流制限とヒカップ モード保護機能により、安全な動作を可能にします。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS55285A	VAL (WQFN-HR、15)	3.5mm × 2.5mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....5
5.6 I2C のタイミング要件.....8
5.7 代表的特性.....9
6 詳細説明.....12
6.1 概要.....12
6.2 機能ブロック図.....13
6.3 機能説明.....14
6.4 デバイスの機能モード.....19
6.5 プログラミング.....20
7 レジスタ マップ.....23
7.1 REF レジスタ (アドレス = 0h、1h) [リセット = 10100100b、00000001b].....24
7.2 IOUT_LIMIT レジスタ (アドレス = 2h) [リセット = 11100100b].....25
7.3 VOUT_SR レジスタ (アドレス = 3h) [リセット = 00000001b].....26
7.4 VOUT_FS レジスタ (アドレス = 4h) [リセット = 00000011b].....27
7.5 CDC レジスタ (アドレス = 5h) [リセット = 11110000b].....28
7.6 MODE レジスタ (アドレス = 6h) [リセット = 00100000b].....29
7.7 STATUS レジスタ (アドレス = 7h) [リセット = 00000001b].....30
7.8 レジスタの要約.....31
8 アプリケーションと実装.....32
8.1 使用上の注意.....32
8.2 代表的なアプリケーション.....32
8.3 電源に関する推奨事項.....40
8.4 レイアウト.....40
9 デバイスおよびドキュメントのサポート.....42
9.1 デバイス サポート.....42
9.2 ドキュメントの更新通知を受け取る方法.....42
9.3 サポート・リソース.....42
9.4 商標.....42
9.5 静電気放電に関する注意事項.....42
9.6 用語集.....42
10 改訂履歴.....42
11 メカニカル、パッケージ、および注文情報.....43

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

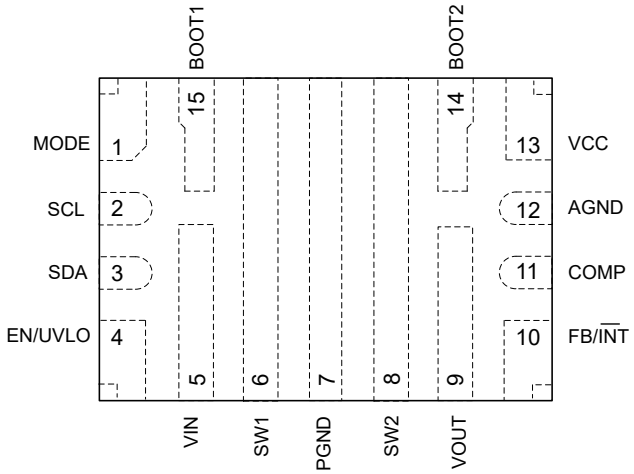


図 4-1. TPS55285A VAL パッケージ、15 ピン WQFN-HR (透過上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
番号	名称		
1	モード	I	このピンと AGND との間に抵抗を配置して、TPS55285A デフォルト出力イネーブル (OE) ビットを選択します。
2	SCL	I	I²C インターフェイスのクロック。
3	SDA	I/O	I²C インターフェイスのデータ。
4	EN/UVLO	I	有効ロジック入力とプログラマブル入力電圧の低電圧ロックアウト (UVLO) 入力。ロジック "High" レベルにすると、デバイスは有効になります。ロジック Low レベルになると、デバイスがディスエーブルになり、シャットダウン モードに入ります。EN/UVLO ピンの電圧がロジック "High" 電圧の 1.03V を上回った後、このピンは内部リファレンス 1.05V を持つプログラマブル UVLO 入力として機能します。
5	VIN	PWR	昇降圧コンバータの入力。
6	SW1	PWR	降圧側のスイッチング ノード ピン。SW1 ピンは、内部降圧ローサイド パワー MOSFET のドレインおよび内部降圧ハイサイド パワー MOSFET のソースに接続されます。
7	PGND	PWR	デバイスの電源グランド。
8	SW2	PWR	昇圧側のスイッチング ノード ピン。SW2 ピンは、内部昇圧ローサイド パワー MOSFET のドレインおよび内部昇圧ハイサイド パワー MOSFET のソースに接続されます。
9	VOUT	PWR	昇降圧コンバータの出力。
10	FB/$\overline{\text{INT}}$	I/O	デバイスが外部出力電圧帰還を使用するように設定されている場合、抵抗デバイダのセンター タップに接続して、出力電圧をプログラムします。デバイスが内部帰還を使用するように設定されている場合、このピンは故障インジケータのオープン ドレイン出力です。内部故障が発生すると、このピンは ロジック "Low" レベルを出力します。
11	COMP	O	内部のエラー アンプの出力。このピンと AGND ピンとの間にループ補償回路を接続します。
12	AGND	—	デバイスの信号グランド。
13	VCC	O	内部レギュレータの出力。このピンと AGND ピンとの間には、4.7µF を超えるセラミック コンデンサが必要です。
14	BOOT2	O	昇圧側のハイサイド MOSFET ゲートドライバ用電源。このピンと SW2 ピンの間に 0.1uF のセラミック コンデンサを接続します。
15	BOOT1	O	降圧側のハイサイド MOSFET ゲートドライバ用電源。このピンと SW1 ピンの間に 0.1uF のセラミック コンデンサを接続します。

(1) I = 入力、O = 出力、PWR = パワー

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
ピンでの電圧範囲 (2)	VIN、SW1	-0.3	27	V
	VOUT、SW2	-0.3	27	V
	BOOT1	SW1 - 0.3	SW1 + 6	V
	BOOT2	SW2 - 0.3	SW2 + 6	V
	EN/UVLO、VCC、SCL、SDA、COMP、FB/$\overline{INT}$、MODE	-0.3	6	V
	EN/UVLO、SCL、SDA、COMP、FB/$\overline{INT}$、MODE	-0.3	VCC + 0.3	V
動作接合部(3)	T_J	-40	150	°C
保存温度	T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、回路のグランドを基準としたものです。
(3) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125℃ を超えると、動作寿命が短くなります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 (1)	±2000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 (2)	±500	

(1) 表に記載されているレベルは、ANSI、ESDA、JEDEC JS-001 に準拠した許容レベルです。JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) 表に記載されているレベルは、EIA-JEDEC JESD22-C101 に準拠した許容レベルです。JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電圧範囲 (Vout ≥ 3.0V)	2.4		22	V
	入力電圧範囲 (Vout < 3.0V)	3		22	V
V_{OUT}	出力電圧範囲	0.8		22	V
L	実効インダクタンス範囲	1	4.7	10	µH
C_{IN}	実効入力容量範囲	4.7	22		µF
C_{OUT}	実効出力容量範囲	10	100	1000	µF
T_J	動作時接合部温度	-40		125	°C

5.4 熱に関する情報

熱評価基準(1)		VAL (WQFN-HR) 15 ピン 標準	VAL (WQFN-HR) 15 ピン 評価基板 (2)	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	47.6	33	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	22.5	該当なし	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.8	該当なし	°C/W

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報 (続き)

熱評価基準(1)		VAL (WQFN-HR)	VAL (WQFN-HR)	単位
		15 ピン	15 ピン	
		標準	評価基板 (2)	
Ψ_{JT}	接合部から上面への特性パラメータ	0.6	0.7	℃/W
Y_{JB}	接合部から基板への特性パラメータ	6.7	11.1	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション ノートを参照してください。SPRA953

(2) TPS55285AEVM、4 層、2oz / 1oz / 1oz / 2oz の銅箔 PCB で測定。

5.5 電気的特性

T_J = -40℃～125℃、V_{IN} = 12V、V_{OUT} = 15V。標準値は T_J = 25℃時に測定 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
V_{IN}	入力電圧範囲		2.4		22	V
V_{VIN_UVLO}	低電圧誤動作防止のスレッショルド	V_{IN} 立ち上がり	2.8	2.9	3.0	V
		V_{IN} 立ち下がり、V_{OUT} < 3V	2.6	2.7	2.8	V
		V_{IN} 立ち下がり、V_{OUT} ≥ 3V	2.31	2.33	2.38	V
V_{VIN_OVP}	入力過電圧保護スレッショルド	立ち上がりスレッショルド	22	22.5	23	V
$V_{VIN_OVP_HYS}$	入力過電圧保護ヒステリシス			0.9		V
I_Q	VIN ピンへの静止電流	IC イネーブル、無負荷、スイッチングなし。V_{IN} = 3.0V ～ 22V、V_{OUT} = 0.8V, V_{FB} = V_{REF} + 0.1V、Tj 最大 125°C		750		μA
	VOUT ピンへの静止電流	IC イネーブル、無負荷、スイッチングなし、V_{IN} = 3.0V、V_{OUT} = 3V ～ 22V、V_{FB} = V_{REF} + 0.1V、Tj 最大 125°C		700		μA
I_{SD}	VIN ピンへのシャットダウン電流	IC ディセーブル、V_{IN} = 3.0V ～ 22V、Tj 最大 125℃		1.3	3.8	μA
V_{CC}	内部電圧レギュレータ出力	V_{IN} = 8V、V_{OUT} = 22V、I_{VCC} = 20mA	5.0	5.2	5.4	V
EN/UVLO						
V_{EN_H}	EN ロジック High のスレッショルド	V_{CC} = 3.0V～5.5V			1.03	V
V_{EN_L}	EN ロジック Low のスレッショルド	V_{CC} = 3.0V～5.5V	0.4			V
V_{EN_HYS}	スレッショルド ヒステリシスをイネーブル	V_{CC} = 3.0V～5.5V	0.025			V
V_{UVLO}	EN/UVLO ピンでの UVLO 立ち上がりスレッショルド	V_{CC} = 3.0V～5.5V	1	1.05	1.1	V
V_{UVLO_HYS}	UVLO スレッショルド ヒステリシス	V_{CC} = 3.0V～5.5V		13		mV
I_{UVLO}	EN/UVLO ピンでのソース電流	$V_{EN/UVLO}$ = 1.3V	4.5	5	5.5	μA
出力						
V_{OUT}	出力電圧範囲		0.8		22	V
$V_{VOUT_OVP_FB}$	FB 立ち上がりから検出		110.5	115	120	%
$V_{VOUT_OVP_FB_HYS}$	ヒステリシス			2.3		%
I_{FB_LKG}	FB ピンでのリーク電流	Tj 最大 125°C			100	nA
I_{VOUT_LKG}	VOUT ピンへのリーク電流	IC ディセーブル、V_{OUT} = 22V、V_{SW2} = 0V、Tj 最大 125°C		0.13	20	μA

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = -40℃～125℃、V_{IN} = 12V、V_{OUT} = 15V。標準値は T_J = 25℃時に測定 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{DISCHG}	出力放電電流、OE シャットダウン	V_{OUT} = 22V、V_{CC} = 5.2V	40	100	170	mA
	出力放電電流、EN および V_{IN} シャットダウン	V_{OUT} = 22V、V_{CC} = 5.2V	30	60	105	mA
内部リファレンス DAC						
	リファレンス電圧 DAC の分解能			11		ビット
V_{OUT_FULL}	V_{REF} が 1.129V に設定されているときの出力電圧	VOUT_FS = 02h、REF = 0780h、V_{REF} = 1.129V	14.78	15	15.22	V
V_{OUT_FULL}	V_{REF} が 1.129V に設定されているときの出力電圧	VOUT_FS = 01h、REF = 0780h、V_{REF} = 1.129V	9.85	10	10.15	V
V_{OUT_FULL}	V_{REF} が 1.129V に設定されているときの出力電圧	VOUT_FS=00h、REF=0780h、V_{REF}=1.129V	4.93	5	5.07	V
V_{OUT_ZERO}	V_{REF} が 45mV に設定されているときの出力電圧	VOUT_FS = 03h、REF = 0000h、V_{REF} = 45mV	0.74	0.8	0.86	V
		VOUT_FS = 02h、REF = 0000h、V_{REF} = 45mV	0.55	0.6	0.65	V
		VOUT_FS = 01h、REF = 0000h、V_{REF} = 45mV	0.36	0.4	0.44	V
		VOUT_FS = 00h、REF = 0000h、V_{REF} = 45mV	0.18	0.2	0.22	V
基準電圧						
V_{REF}	外部帰還使用時の FB/$\overline{INT}$ ピンでのリファレンス電圧	REF = 0780H の外部帰還	1.117	1.129	1.141	V
		REF = 058CH の外部帰還	0.837	0.846	0.855	V
		REF = 0334H の外部帰還	0.501	0.508	0.514	V
		REF=01A4H の外部帰還	0.276	0.282	0.288	V
パワー スイッチ						
$R_{DS(on)}$	降圧側のローサイド MOSFET オン抵抗	V_{OUT} = 22V、V_{CC} = 5.2V		15.5		mΩ
	降圧側のハイサイド MOSFET オン抵抗	V_{OUT} = 22V、V_{CC} = 5.2V		14.5		mΩ
	昇圧側のローサイド MOSFET オン抵抗	V_{OUT} = 22V、V_{CC} = 5.2V		15.5		mΩ
	昇圧側のハイサイド MOSFET オン抵抗	V_{OUT} = 22V、V_{CC} = 5.2V		14.5		mΩ
内部クロック						
f_{SW}	スイッチング周波数	FSW = 00b	360	400	440	kHz
f_{SW}	スイッチング周波数	FSW = 11b	1900	2100	2300	kHz
t_{OFF_min}	最小オフ時間	昇圧モード		90	145	ns
t_{ON_min}	最小オン時間	降圧モード		90	130	ns
電流制限						
I_{LIM_AVG}	平均インダクタ電流制限	V_{IN} = 8V、V_{OUT} = 15V、F_{SW} = 400kHz、FPWM	7	8		A
		V_{IN} = 8V、V_{OUT} = 15V、F_{SW} = 400kHz、PFM	7	8		A
I_{LIM_PK}	昇圧ハイサイドでのピーク インダクタ電流制限	V_{IN} = 8V、V_{OUT} = 15V、F_{SW} = 400kHz、FPWM		13		A
		V_{IN} = 8V、V_{OUT} = 15V、F_{SW} = 400kHz、PFM		13		A
出力電流制限						

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = -40℃～125℃、V_{IN} = 12V、V_{OUT} = 15V。標準値は T_J = 25℃時に測定 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{OUT_LIMIT} (1)	出力電流制限	I_{OUT_LIMIT} レジスタ = 1001 0100b、Tj = –20°C ～ 85°C、F_{SW} = 400kHz、CCM、V_{IN} = 19V、V_{OUT} = 5V	0.8	1	1.2	A
I_{OUT_LIMIT} (1)	出力電流制限	I_{OUT_LIMIT} レジスタ = 1011 1100b、Tj = –20°C ～ 85°C、F_{SW} = 400kHz、CCM、V_{IN} = 19V、V_{OUT} = 5V	2.8	3	3.2	A
		I_{OUT_LIMIT} レジスタ = 1110 0100b、Tj = –20°C ～ 85°C、F_{SW} = 400kHz、CCM、V_{IN} = 19V、V_{OUT} = 5V	4.7	5	5.3	A
ケーブル電圧降下補償						
V_{OUT_CDC}	ケーブル電圧降下補償の VOUT 増加	CDC[2:0]=111、INTFB = 11b、I_{OUT} = 5A	588	700	800	mV
		CDC[2:0]=111、INTFB = 11b、I_{OUT} = 1A、FPWM	24	140	238	mV
		CDC[2:0]=001、INTFB = 11b、I_{OUT} = 5A	60	100	125	mV
		CDC[2:0]=001、INTFB = 11b、I_{OUT} = 1A、FPWM		15	48	mV
エラー アンプ						
I_{SINK}	COMP ピン シンク電流	V_{FB} = V_{REF} + 400mV、V_{COMP} = 1.1V、V_{CC} = 5V		20		μA
I_{SOURCE}	COMP ピン ソース電流	V_{FB} = V_{REF} - 400mV、V_{COMP} = 1.1V、V_{CC} = 5V		60		μA
V_{CCLPH}	COMP ピンの High クランプ電圧			1.2		V
V_{CCLPL}	COMP ピンの Low クランプ電圧			0.7		V
G_{EA}	エラー アンプの相互コンダクタンス			190		μA/V
ソフト スタート						
t_{SS}	ソフト スタート時間		2.5	3.9	5.7	ms
スペクトラム拡散						
HICCUP						
t_{HICCUP}	ヒカップ オフ時間			76		ms
モード						
I_{MODE}	MODE ピンからのソース電流		9	10	11	μA
V_{MODE_DT1}	MODE ピンでの検出スレッショルド電圧		0.571	0.614	0.657	V
V_{MODE_DT2}	MODE ピンでの検出スレッショルド電圧		0.322	0.351	0.380	V
V_{MODE_DT3}	MODE ピンでの検出スレッショルド電圧		0.169	0.189	0.209	V
ロジック インターフェイス						
V_{I2C_IO}	I^2C の IO 電圧範囲		1.7		5.5	V
V_{I2C_H}	I^2C 入力 High のスレッショルド	V_{CC} = 3.0V～5.5V			1.2	V
V_{I2C_L}	I^2C 入力 Low のスレッショルド	V_{CC} = 3.0V～5.5V	0.4			V
$I_{FB/\overline{INT}_H}$	高インピーダンス出力時の FB/$\overline{INT}$ ピンへのリーク電流	$V_{FB/\overline{INT}}$ = 5V			100	nA
$V_{FB/\overline{INT}_L}$	FB/$\overline{INT}$ ピンの出力低電圧範囲	シンク 4mA 電流		0.03	0.1	V
PROTECTION						
T_{SD}	サーマル シャットダウンのスレッショルド	T_J 立ち上がり		175		°C

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = -40℃～125℃、V_{IN} = 12V、V_{OUT} = 15V。標準値は T_J = 25℃時に測定 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{SD_HYS}	サーマル シャットダウン ヒステリシス	T_J が Tsd を下回る		20		°C

(1) エンジニアリング サンプルの特性評価に基づいています

5.6 I2C のタイミング要件

T_J = -40℃～125℃、V_{IN} = 12V、V_{OUT} = 15V。標準値は T_J = 25℃時に測定 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I2C TIMING						
f_{SCL}	SCL クロック周波数		100		1000	kHz
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	ファスト モード プラス	0.5			µs
$t_{HD(STA)}$	(繰り返し) START 条件のホールド時間		260			ns
t_{LOW}	SCL クロックの Low 期間		0.5			µs
t_{HIGH}	SCL クロックの High 期間		260			ns
$t_{SU(STA)}$	反復開始条件のセットアップ時間		260			ns
$t_{SU(DAT)}$	データ セットアップ時間		50			ns
$t_{HD(DAT)}$	データ ホールド時間		0			µs
t_{RCL}	SCL 信号の立ち上がり時間				120	ns
t_{RCL1}	START 条件の繰り返し、および ACK ビット後の SCL 信号の立ち上がり時間				120	ns
t_{FCL}	SCL 信号の立ち下がり時間				120	ns
t_{RDA}	SDA 信号の立ち上がり時間				120	ns
t_{FDA}	SDA 信号の立ち下がり時間				120	ns
$t_{SU(STO)}$	STOP 条件のセットアップ時間		260			ns
C_B	SDA および SCL の容量性負荷				200	pF

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

V_{IN} = 12V、T_A = 25°C、f_{SW} = 400kHz (特に記述のない限り)。

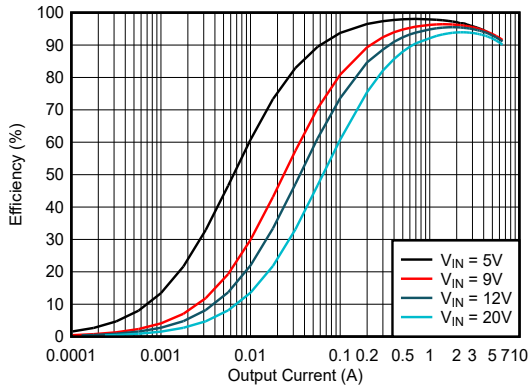


図 5-1. 効率と出力電流との関係、V_{OUT} = 5V、FPWM

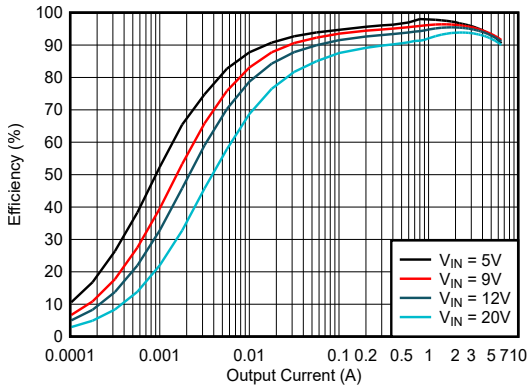


図 5-2. 効率と出力電流との関係、V_{OUT} = 5V、PFM

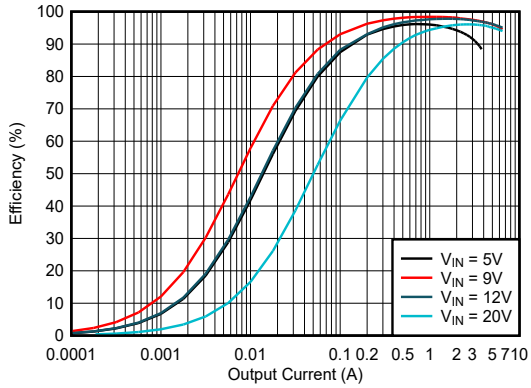


図 5-3. 効率と出力電流との関係、V_{OUT} = 9V、FPWM

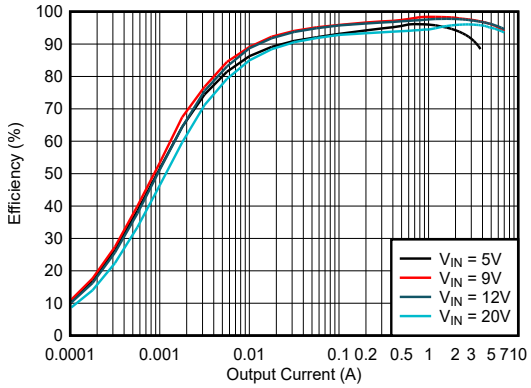


図 5-4. 効率と出力電流との関係、V_{OUT} = 9V、PFM

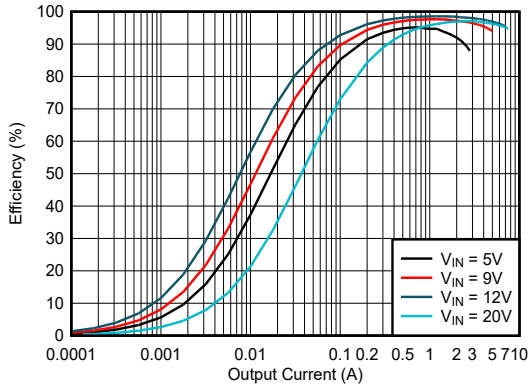


図 5-5. 効率と出力電流との関係、V_{OUT} = 12V、FPWM

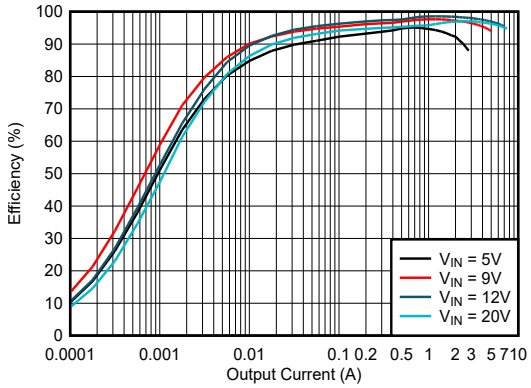


図 5-6. 効率と出力電流との関係、V_{OUT} = 12V、PFM

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

V_{IN} = 12V、T_A = 25°C、f_{SW} = 400kHz (特に記述のない限り)。

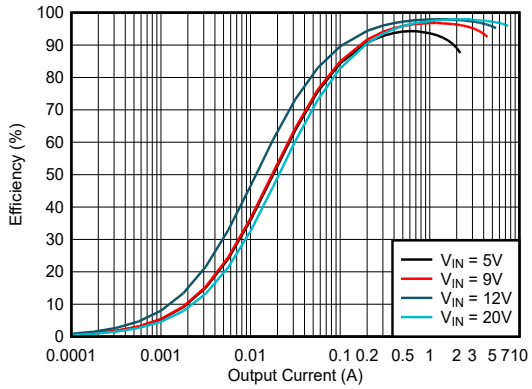


図 5-7. 効率と出力電流との関係、V_{OUT} = 15V、FPWM

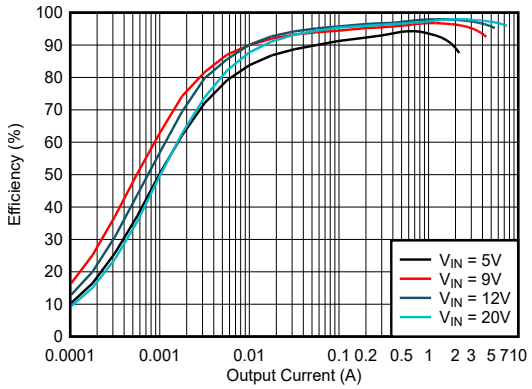


図 5-8. 効率と出力電流との関係、V_{OUT} = 15V、PFM

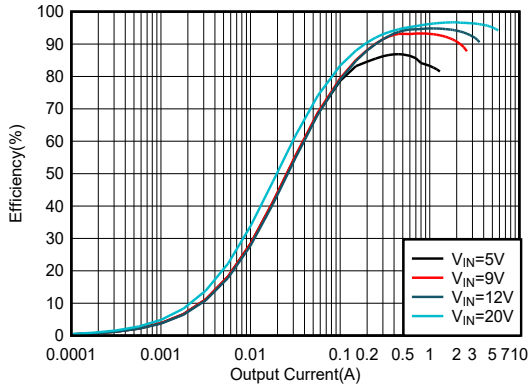


図 5-9. 効率と出力電流との関係、V_{OUT} = 20V、FPWM

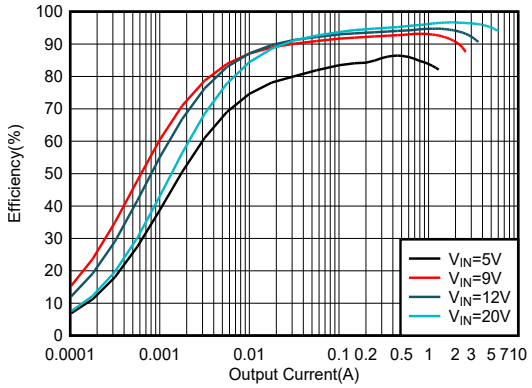


図 5-10. 効率と出力電流との関係、V_{OUT} = 20V、PFM

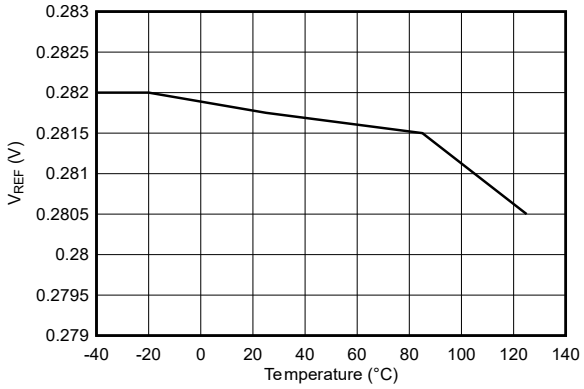


図 5-11. リファレンス電圧と温度との関係 (V_{REF} = 0.282V)

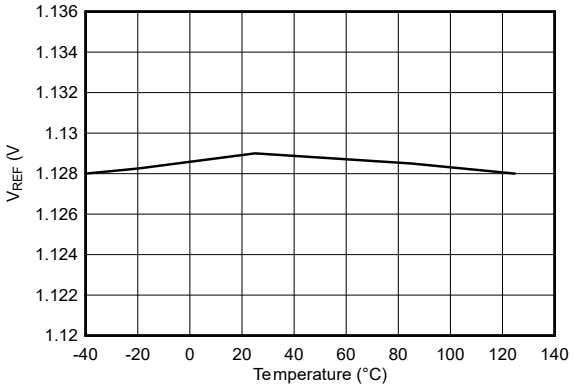


図 5-12. リファレンス電圧と温度との関係 (V_{REF} = 1.129V)

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

V_{IN} = 12V、T_A = 25°C、f_{SW} = 400kHz (特に記述のない限り)。

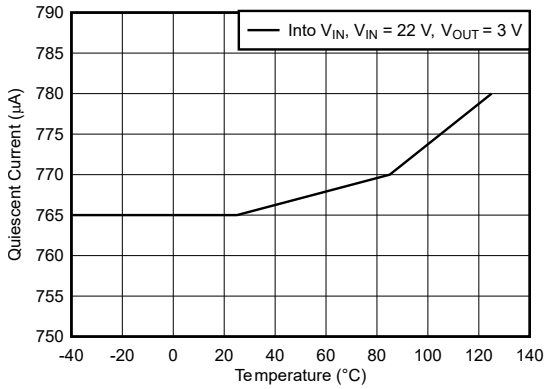


図 5-13. 静止電流と温度との関係

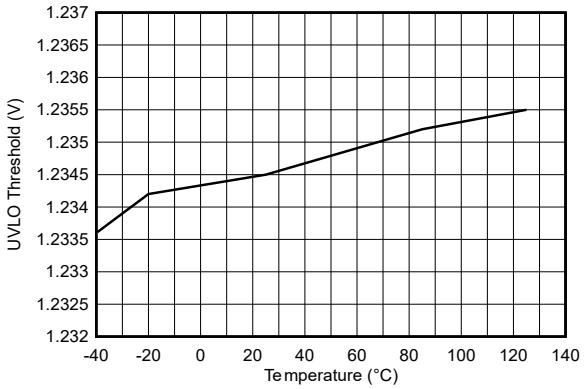


図 5-14. ENABLE/UVLO 立ち上がりスレッショルドと温度の関係

6 詳細説明

6.1 概要

TPS55285A は、4 個の MOSFET を内蔵した 8A 昇降圧 DC/DC コンバータです。TPS55285A は、入力電圧 2.4V ～ 22V、出力電圧 0.8V ～ 22V という幅広い範囲で動作します。TPS55285A は、入力電圧と設定出力電圧に応じて、降圧モード、昇降圧モード、昇圧モード間をスムーズに遷移できます。TPS55285A は、入力電圧が出力電圧より大きい場合は降圧モードで動作し、入力電圧が出力電圧より小さい場合は昇圧モードで動作します。入力電圧が出力電圧に近いとき、TPS55285A は 1 サイクル降圧モードおよび 1 サイクル昇圧モードで交互に動作します。

TPS55285A は平均電流モード制御方式を採用しています。電流モード制御により、ループ補償が簡素化され、負荷過渡への迅速な応答と固有のライン電圧除去が可能になります。エラー アンプは、出力電圧の帰還電圧を内部リファレンス電圧と比較します。エラー アンプの出力によって、平均インダクタ電流が決まります。

TPS55285A は、中負荷から重負荷の電流では固定周波数 PWM モードで動作します。軽負荷時には、TPS55285A は内部レジスタの対応するビットを設定することで、自動的に PFM モードに遷移する、または強制的に PWM モードに移行するように構成できます。

TPS55285A は、I^2C インターフェイスで内部レジスタを設定することで、出力電圧を調整できます。内部 11 ビット DAC は、DAC レジスタに書き込む値に関連するリファレンス電圧を調整します。デバイスは、外部の電流センス抵抗なしで出力電流を制限することもできます。出力電流制限は内部レジスタで設定されます。

TPS55285A には、標準 8A の平均インダクタ電流制限があります。また、このデバイスは、インダクタのピーク電流がピーク電流制限を上回った場合に、サイクル単位のピーク インダクタ電流制限も提供します。

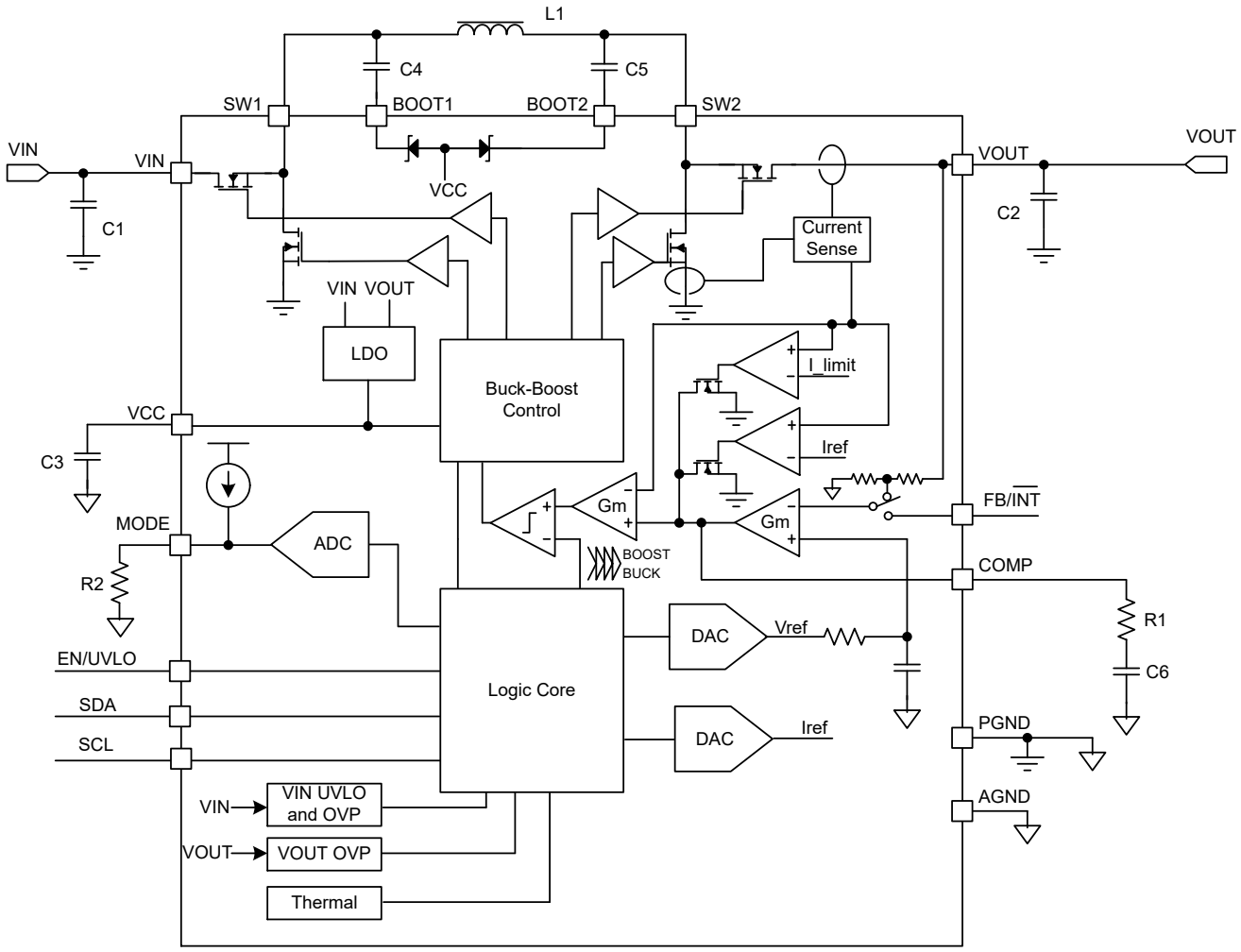
EN/UVLO ピンでの 5μA ソース電流による 1.05V の高精度電圧スレッショルドにより、ヒステリシス付きのプログラマブル入力低電圧誤動作防止 (UVLO) がサポートされます。入力電圧が 22.5V を超えると、入力過電圧保護 (OVP) 機能によってデバイスがオフになり、損傷を防止します。

出力過電圧保護 (OVP) 機能は、ハイサイド FET をオフにして、TPS55285A によって電力が供給されるデバイスの損傷を防止します。

TPS55285A には、出力短絡が発生したときに電源部品の発熱を低減するためのヒカップ モード オプションがあります。ヒカップ モードを有効にすると、TPS55285A は 76ms の間オフになり、ソフト スタートアップを再開します。

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図


L1
C4
C5
SW1
BOOT1
BOOT2
SW2
VIN
VIN
C1
VCC
VOUT
VOUT
C2
Current Sense
VIN VOUT
LDO
Buck-Boost Control
I_limit
Iref
VCC
C3
Gm
Gm
FB/INT
MODE
ADC
BOOST
BUCK
COMP
R2
R1
DAC
Vref
EN/UVLO
Logic Core
C6
SDA
DAC
Iref
PGND
SCL
VIN
VIN UVLO and OVP
AGND
VOUT
VOUT OVP
Thermal

6.3 機能説明

6.3.1 VCC の電源

TPS55285A には、VCC ピンで 5.2V に調整された電圧を出力する内部 LDO があります。V_{IN} が V_{OUT} より小さい場合、内部 LDO によって V_{IN} を 6.2V (ヒステリシス 0.3V) の立ち上がりスレッショルドと比較して電源が選択されます。V_{IN} が 6.2V より高い場合、LDO の電源は V_{IN} です。V_{IN} が 5.9V より低い場合、LDO の電源は V_{OUT} です。V_{OUT} が V_{IN} より小さい場合、内部 LDO によって V_{OUT} を 6.2V (ヒステリシス 0.3V) の立ち上がりスレッショルドと比較して電源が選択されます。V_{OUT} が 6.2V より高い場合、LDO の電源は V_{OUT} です。V_{OUT} が 5.9V より低い場合、LDO の電源は V_{IN} です。表 6-1 には、内部 LDO の電源の選択が示されています。

表 6-1. V_{CC} 電源ロジック

V_{IN}	V_{OUT}	V_{CC} LDO の入力
V_{IN} > 6.2V	V_{OUT} > V_{IN}	V_{IN}
V_{IN} < 5.9V	V_{OUT} > V_{IN}	V_{OUT}
V_{IN} > V_{OUT}	V_{OUT} > 6.2V	V_{OUT}
V_{IN} > V_{OUT}	V_{OUT} < 5.9V	V_{IN}

6.3.2 デフォルトの出力イネーブル (OE) ビット ステータス

MODE ピンと AGND ピンの間に異なる抵抗を配置することで、TPS55285A はデフォルトの出力イネーブル (OE) ビット値を選択します。出力イネーブル (OE) ビットは、06H レジスタでデバイス出力を制御するロジック ビットです。

デフォルトの OE ビットが 0 に設定されている場合、V_{IN} および EN/UVLO ピンが UVLO スレッショルドを超えると、06H レジスタで OE ビットが 1 に設定されるまで、デバイスはスイッチングしません。

デフォルトの OE ビットが 1 に設定されている場合、04H レジスタの FB ビットも自動的に 1 に設定され、外部帰還回路が選択されます。V_{IN} および EN/UVLO ピンが UVLO スレッショルドを超えると、デバイスは 282mV V_{REF} でスイッチングを開始します。この場合、外部帰還抵抗が必要です。

表 6-2. I^2C ターゲット アドレスとデフォルトの OE ビット

抵抗値 (kΩ)	I^2C ターゲット アドレス	デフォルトの OE ビット
0	75H	0
24.9	75H	1
48.7	74H	0
82.5 またはオープン	74H	1

6.3.3 入力低電圧誤動作防止

入力電圧が 2.4V を下回る場合、TPS55285A は無効化されます。入力電圧が 3V を上回る場合、EN ピンを 1.1V を超える高電圧にすることで、TPS55285A を有効にします。

Copyright © 2026 Texas Instruments Incorporated

6.3.4 イネーブルおよびプログラム可能な UVLO

TPS55285A には、デュアル機能イネーブルおよび低電圧誤動作防止 (UVLO) 回路が搭載されています。VIN ピンの入力電圧が入力 UVLO 立ち上がりスレッショルドの 3V を超え、EN/UVLO ピンが EN ロジック high のスレッショルド V_{EH_H} を超えたものの、イネーブル UVLO スレッショルドの V_{UVLO} を下回る場合、TPS55285A はイネーブルになりますが、スタンバイ モードのままです。TPS55285A は、MODE ピンとグランドの間の抵抗の検出を開始します。検出後 TPS55285A は、I^2C ターゲット アドレスとデフォルト OE ビット ステータスを適宜選択します。

EN/UVLO ピンには正確な UVLO 電圧スレッショルドがあり、ヒステリシス付きのプログラム可能な入力低電圧誤動作防止をサポートします。EN/UVLO ピンの電圧が UVLO スレッショルドの 1.05V より高い場合、TPS55285 は I^2C 通信およびスイッチング動作がイネーブルになります。ヒステリシス電流 I_{UVLO_HYS} は EN/UVLO ピンから供給され、入力電圧が緩やかに変化する場合のノイズによるオン / オフ チャタリングを防止するヒステリシスを提供します。

図 6-1 に示すように分圧抵抗を使用し、式 1 を使用してターンオン スレッショルドを計算します。

$$V_{IN(UVLO_ON)} = V_{UVLO} \times (1 + \frac{R1}{R2}) \quad (1)$$

ここで、

- V_{UVLO} は、EN/UVLO ピンの UVLO スレッショルド 1.05V です

UVLO ターンオン スレッショルドとターンオフ スレッショルドの間のヒステリシスは、EN/UVLO 抵抗デバイダの上側抵抗によって設定され、式 2 で求められます。

$$\Delta V_{IN(UVLO)} = I_{UVLO_HYS} \times R1 \quad (2)$$

ここで、

- I_{UVLO_HYS} は、EN/UVLO ピンの電圧が V_{UVLO} より高い場合に EN/UVLO ピンから供給される電流です。

分圧抵抗を使用して VIN UVLO スレッショルドをプログラムする場合、EN/UVLO ピンの電圧は 5.5V 未満である必要があります。

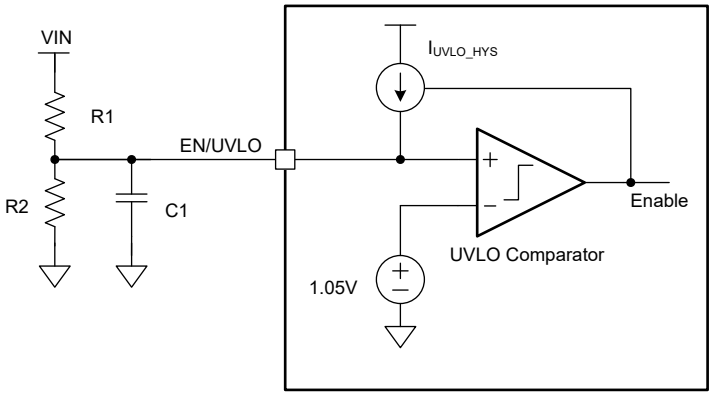


図 6-1. EN/UVLO ピンでの分圧抵抗によるプログラム可能な UVLO

NMOSFET を分圧抵抗とともに使用すると、図 6-2 に示すように、ロジック イネーブルとプログラム可能な UVLO の両方を実装します。EN のロジック high レベルは、NMOSFET Q1 のイネーブル スレッショルドと V_{th} の合計値よりも大きい必要があります。また、Q1 は、シャットダウン モード時に UVLO 分圧抵抗を介して VIN からグランドへのリーク電流を防止します。

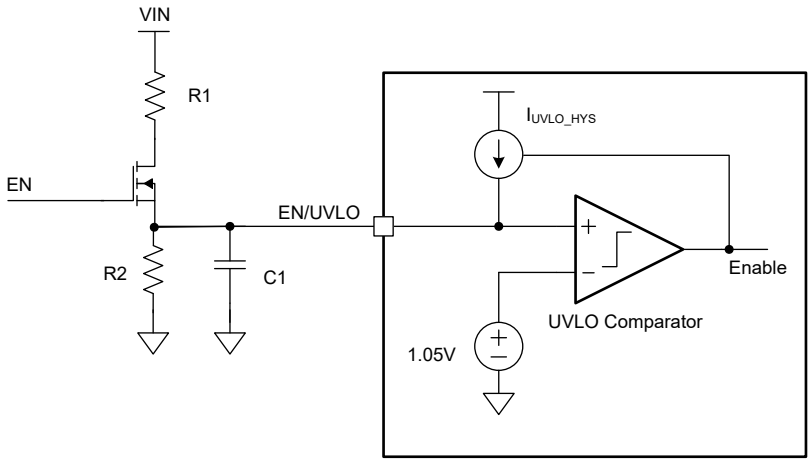


図 6-2. ロジック イネーブルおよびプログラム可能な UVLO

外部 EN ロジック信号は、図 6-3 に示すパワーアップ シーケンシングに従う必要があります。EN ロジック信号は、VIN が立ち上がった (ランプアップした) 後に High にする必要があります。

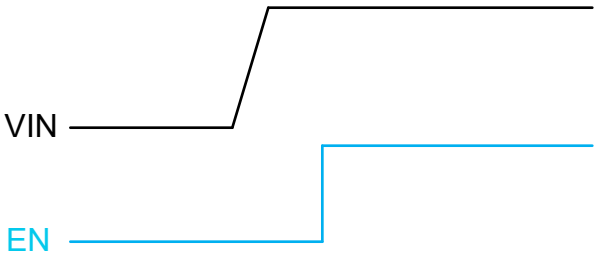


図 6-3. パワーアップ シーケンシング要件

6.3.5 ソフト スタート

入力電圧が UVLO スレッショルドを上回り、EN/UVLO ピンの電圧が有効 UVLO スレッショルドを上回っている場合、TPS55285A は I^2C コントローラ デバイスからコマンドを受け入れる準備ができています。TPS55285A の内部レジスタを構成するには、I^2C コントローラ デバイスが必要です。

I^2C コントローラ デバイスが OE ビットを 1 に設定するか、デバイスがデフォルト OE ビットが 1 であることを検出すると、TPS55285A は内部リファレンス電圧を 0V から内部レジスタ 00h および 01h で設定された電圧まで標準 3.9ms 以内に上昇させて、出力電圧の上昇を開始します。

6.3.6 シャットダウンおよび負荷放電

EN/UVLO ピンの電圧が 0.4V を下回ると、TPS55285A はシャットダウン モードとなり、すべての機能が無効化されます。すべての内部レジスタはデフォルト値にリセットされます。EN/UVLO ピンが High ロジック レベルで、OE ビットが 0 にクリアされると、TPS55285A はスイッチング動作をオフにします。ただし、I^2C インターフェイスはアクティブのままです。

レジスタ 06h の DISCHG ビットが 1 に設定されている場合、OE ビットが 0 にクリアされると、TPS55285A は内部定電流 I_{DISCHG} によって出力電圧を 0.8V 未満まで放電します。入力電圧 UVLO がトリガされるか、または EN/UVLO ピンが Low ロジック レベルまでプルされると、TPS55285A の出力電圧は、VCC が V_{CC_UVLO} を下回るまで放電されます。

Copyright © 2026 Texas Instruments Incorporated

6.3.7 スイッチング周波数

TPS55285A は、固定周波数の平均電流制御方式を使用しています。スイッチング周波数はレジスタ 06H の FSW ビットで設定され、その選択肢には以下の 4 つがあります:400kHz、800kH、1.6MHz、2.1MHz。

大電力アプリケーションでのスイッチング電力損失を低減するために、スイッチング周波数を 400kHz または 800kHz に設定することを推奨します。システムが、デザイン サイズを小型化するために、1.6MHz または 2.1MHz の高いスイッチング周波数を必要とする場合、放熱性能を向上させるために、スイッチ電流を低くして動作させることを推奨します。

最初にスイッチング周波数を設定した後で、OE ビットを有効にすることを推奨します。

6.3.8 スイッチング周波数のディザリング

TPS55285A には、EMI 干渉を最小限に抑えるために、FPWM モードの 06H レジスタで SPREADSPECTRUM ビットにより有効化されるオプションのスイッチング周波数ディザリング機能があります。このデバイスは三角波ジッタを使用して、スイッチング周波数を FSW ビットで設定された通常周波数の ±7% で拡散します。通常のスイッチング周波数が 400kHz の場合、三角波ジッタの周波数は 1.5kHz です。通常のスイッチング周波数が 2.1MHz の場合、三角波ジッタの周波数は 9kHz です。

6.3.9 インダクタ電流制限

TPS55285A は、ピーク電流と平均インダクタ電流制限の両方を実装しています。平均電流モード制御ループは、昇圧レッグのハイサイド MOSFET の電流センス情報を使用して、最大平均インダクタ電流を 8A (標準) にクランプします。

平均電流制限に加えて、過渡時にはピーク電流制限保護が実装され、デバイスの能力を超える過電流状態からデバイスを保護します。

6.3.10 内部充電パス

2 つのハイサイド MOSFET ドライバは、それぞれフローティング ブートストラップ コンデンサからバイアスされます。このコンデンサは、ローサイド MOSFET がオンになると、通常、外部と内部の両方のブートストラップ ダイオードを経由して V_{CC} により再充電されます。TPS55285A が降圧または昇圧領域でのみ動作する場合、ハイサイド MOSFET の 1 つは常時オンになります。VOUT と BOOT2 から BOOT1 へ、または VIN と BOOT1 から BOOT2 への内部充電パスによって、ブートストラップ コンデンサは V_{CC} まで充電され、ハイサイド MOSFET はオンのままになります。

6.3.11 出力電圧設定

出力電圧の設定には 2 つの方法があります。帰還比を変更する方法と、リファレンス電圧を変更する方法です。TPS55285A には 11 ビット DAC が搭載されており、リファレンス電圧を 45mV ～ 1.2V の範囲でプログラムできます。また、TPS55285A では、レジスタ 04h の FB ビットを設定することで、内部帰還分圧抵抗、または外付け分圧抵抗を選択します。FB ビットが 0 に設定されている場合、出力電圧の帰還比は内部レジスタ 04h に設定されます。FB ビットが 1 に設定されている場合、出力電圧の帰還比は外付け分圧抵抗によって設定されます。

内部出力電圧帰還設定を使用する場合、レジスタ 04H の INTFB[1:0] ビットを書き込むことで、4 つの帰還比をプログラムできます。この機能により、TPS55285A は最大出力電圧を異なる値に制限します。さらに、出力電圧変化の最小ステップも、それに応じて 10mV、7.5mV、5mV、2.5mV にプログラムされます。

図 6-4 に示すように外部出力電圧帰還分圧抵抗を使用する場合、式 3 を使用して、FB/$\overline{\text{INT}}$ ピンのリファレンス電圧で出力電圧を計算します。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_{FB_UP}}{R_{FB_BT}}\right) \quad (3)$$

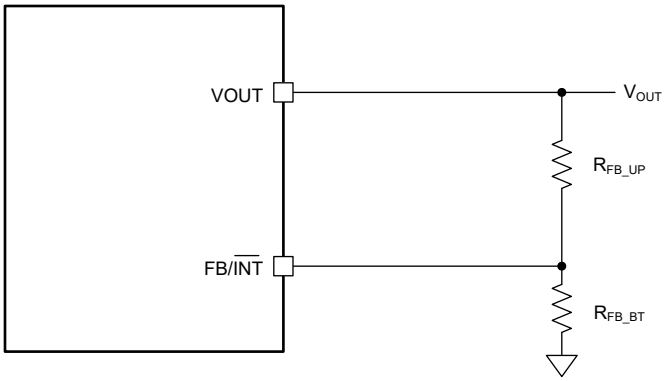


図 6-4. 外付け分圧抵抗による可変電圧設定

TI では、アップ抵抗 R_{FB_UP} には 100kΩ を使用することを推奨します。FB/$\overline{INT}$ ピンのリファレンス電圧 V_{REF} は、レジスタ 00H および 01H に 11 ビット データを書き込むことで、45mV ～ 1.2V の範囲でプログラム可能です。

6.3.12 出力電流制限

TPS55285A は、外部電流検出抵抗なしで、降圧、昇降圧、昇圧モードでの出力電流制限機能をサポートしています。出力電流制限は、02H レジスタの Current_Limit_Setting ビットにより、500mA から 6.35A までプログラム可能です。プログラム可能な出力電流制限ステップは 50mA です。

出力電流制限は、Current_Limit レジスタの Current_Limit_EN ビットを 0 にリセットすることで無効化します。

6.3.13 出力ケーブル電圧降下の補償

TPS55285A は、USB ポートの出力から受電デバイスまでのケーブルでの電圧降下を補償するため、出力ケーブル電圧降下補償機能を有効化することで、負荷電流に比例して出力電圧を上昇させます。

デフォルトでは、ケーブル電圧降下補償機能は無効になっています。ケーブル電圧降下補償機能を有効にするには、CDC_OPTION ビットを 1 に設定します。必要な電圧補償を得るには、レジスタ 05H の CDC [2:0] ビットに値を書き込みます。

出力電圧上昇と検出された出力電流の関係を 図 6-5 に示します。

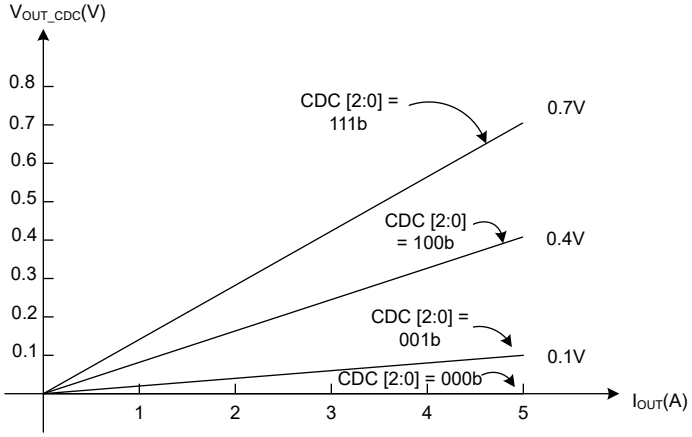


図 6-5. 出力電圧立ち上がりと出力電流との関係

6.3.14 入力過電圧保護

TPS55285A は入力過電圧保護機能を備えているため、電流が出力から入力に流れ、入力ソースが FPWM モードで電流をシンクできなくなった場合に、デバイスの損傷を防止できます。VIN ピンの入力電圧が標準で 22.5V を超えると、内

Copyright © 2026 Texas Instruments Incorporated

部ソフト スタート回路がリセットされますが、VIN OVP がトリガされても内部レジスタのすべての値は変化しません。入力電圧がヒステリシス値を入力過電圧保護スレッショルドより低下させると、コンバータは自動的に再起動します。

6.3.15 出力過電圧保護

TPS55285A は、抵抗で分圧された帰還電圧を監視することで、出力の過電圧状態を検出します。帰還電圧が目標電圧の 115% を超えると、デバイスは出力電圧が 2.3% のヒステリシス値を下回るまでスイッチングを停止します。この機能により、出力に接続されている回路が過剰な過電圧から保護されます。内部帰還抵抗を選択すると、TPS55285A は過電圧保護用に内部帰還電圧を検出します。

6.3.16 出力短絡保護機能

TPS55285A は平均インダクタ電流制限に加え、ヒカップ モードに移行することで出力短絡保護機能を実装します。ヒカップ モードを有効にするには、レジスタ 06h の HICCUP ビットを設定する必要があります。3.9ms のソフト スタートアップ時間の後、TPS55285A は平均インダクタ電流と出力電圧を監視します。出力短絡の発生により平均インダクタ電流が設定制限値に達し、出力電圧が 0.8V を下回ると、TPS55285A は 76ms (標準値) の間、スイッチングをシャットダウンします。その後 3.9ms の間、ソフト スタートを繰り返します。出力短絡または過電流状態において、ヒカップ モードは TPS55285A の合計消費電力を低減するのに役立ちます。

6.3.17 サーマル シャットダウン

TPS55285A は、サーマル シャットダウン回路によって保護されており、内部接合部温度が 175°C (標準値) を超えるとシャットダウンされます。内部ソフトスタート回路はリセットされますが、サーマル シャットダウンがトリガされても、すべての内部レジスタ値は変更されません。接合部温度がサーマル シャットダウン スレッショルドより 20°C (標準値) 低いサーマル シャットダウン ヒステリシスを下回ると、コンバータは自動的に再起動します。

6.4 デバイスの機能モード

軽負荷時には、TPS55285A は PFM モードまたは強制 PWM モードで動作して、さまざまなアプリケーション要件を満たすことができます。PFM モードではスイッチング周波数が低下してスイッチング損失が低減されるため、軽負荷時に高い効率が得られます。FPWM モードでは、不要な低スイッチング周波数を回避するためにスイッチング周波数は変更されませんが、効率は PFM モードよりも低くなります。

デフォルトでは、TPS55285A は PFM モードで動作します。デバイスを強制 PWM モードで動作させるには、レジスタ 06h の 01 ビットを 1 に設定します。

6.4.1 PWM モード

FPWM モードでは、TPS55285A は軽負荷状態でスイッチング周波数を変更せずに維持します。負荷電流が減少すると、内部エラー アンプの出力も減少し、平均インダクタ電流が減少して入力から出力への電力供給が減少します。出力電流がさらに減少すると、スイッチオフ時間中にインダクタを流れる電流がゼロまで減少します。MOSFET を流れる電流がゼロであっても、ハイサイド N-MOSFET はオフになりません。したがって、インダクタ電流はゼロになった後、方向転換します。電力は出力側から入力側に流れます。この条件では効率が低くなります。ただし、固定スイッチング周波数のため、軽負荷状態でスイッチング周波数が低いために発生し得る可聴ノイズやその他の問題はありません。

Copyright © 2026 Texas Instruments Incorporated

6.4.2 パワー セーブ モード

TPS55285A は、PFM モードにより軽負荷時の効率を向上させます。内部レジスタで PFM 機能をイネーブルにすることで、TPS55285A は軽負荷時に PFM モードで動作します。TPS55285A が軽負荷時に動作する場合、内部エラー アンプの出力が減少してインダクタのピーク電流が下がり、負荷に供給される電力が減少します。出力電流がさらに減少すると、スイッチオフ時間中にインダクタを流れる電流がゼロまで減少します。TPS55285A が降圧モードで動作している場合、インダクタ電流がゼロになると、降圧側のローサイド スイッチがオフになり、出力からグランドへの逆電流が防止されます。TPS55285A が昇圧モードで動作している場合、インダクタ電流がゼロになると、昇圧側のハイサイド スイッチがオフになり、出力から入力への逆電流が防止されます。TPS55285A は、出力電圧が低下するまでスイッチングを再開します。このように、PFM モードではスイッチング回数を減らし、逆インダクタ電流による電力損失を排除することで、軽負荷時の高い効率を実現します。

6.5 プログラミング

TPS55285A では、コンバータのパラメータをフレキシブルにプログラムするために、I^2C インターフェイスを使用します。I^2C は、双方向 2 線式のシリアル インターフェイスです。必要なバス ラインは、シリアル データ ライン (SDA) とシリアル クロック ライン (SCL) の 2 つのみです。I^2C デバイスは、データ転送を実行する際のコントローラまたはターゲットとみなされます。コントローラは、バス上でデータ転送を開始し、その転送を許可するクロック信号を生成するデバイスです。その際、アドレス指定されたデバイスはすべてターゲットとみなされます。

TPS55285A はアドレス 75h または 74h を持つターゲット デバイスとして動作します。マイコンやデジタル信号プロセッサなどのコントローラ デバイスから制御入力を受信すると、内部レジスタ 00h ～ 07h の読み取りと書き込みが行われます。TPS55285A の I^2C インターフェイスは、標準モード (最大 100kbit/s) と高速モード プラス (最大 1000kbit/s) の両方をサポートしています。電流ソースまたはプルアップ抵抗経由で、SDA と SCL の両方を正の電源電圧に接続します。バスが空いていると、両方のラインが高電圧になります。

6.5.1 データの有効性

SDA ラインのデータは、クロックの High レベル期間中は安定している必要があります。データ ラインの high レベルまたは low レベルの状態は、SCL ラインのクロック信号が low レベルのときのみ変化可能です。転送される各データ ビットに対してクロック パルスが生成された後です。

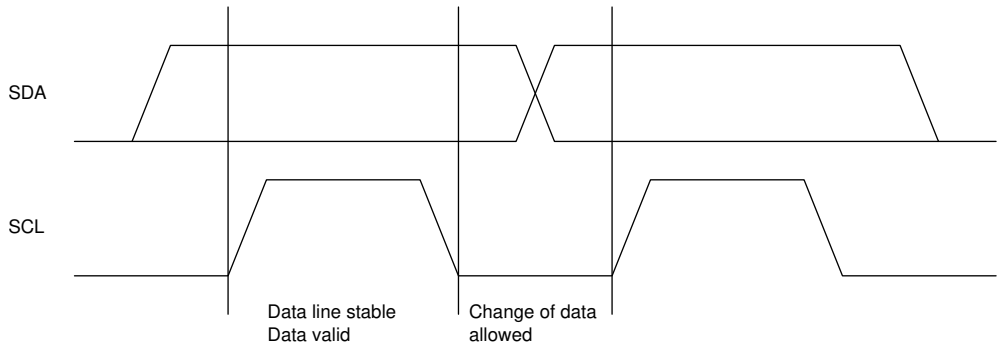


図 6-6. I^2C データの有効性

6.5.2 開始条件と停止条件

すべてのトランザクションは START (S) で開始され、STOP (P) により終了します。SCL が High レベルのときに SDA ラインが High レベルから Low レベルに遷移すると、START 条件が定義されます。SCL が High レベルのときに SDA ラインが Low レベルから High レベルに遷移すると、STOP 条件が定義されます。

START 条件と STOP 条件は、常にコントローラによって生成されます。バスは、START 条件の後はビジー状態とみなされ、STOP 条件の後はフリーとみなされます。

Copyright © 2026 Texas Instruments Incorporated

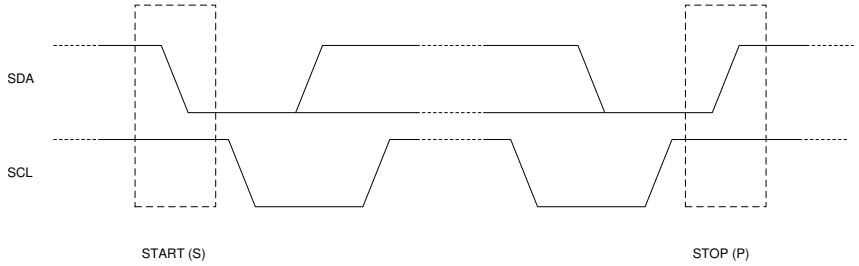


図 6-7. I²C の START 条件と STOP 条件

6.5.3 バイト フォーマット

SDA ラインの各バイトは 8 ビット長です。転送ごとに送信されるバイト数に制限はありません。各バイトには、アクノリッジ ビットが続きます。データは、最上位ビット (MSB) を先頭にして転送されます。ターゲットが他の機能を実行するまで別の完全なデータ バイトを受信または送信しない場合、ターゲットはクロック ライン SCL を low に保持して、コントローラを強制的に待機状態 (クロック ストレッチ) に移行できます。その後、ターゲットが別のデータのバイトを処理する準備が整い、クロック ライン SCL を解放すると、データ転送が続行されます。

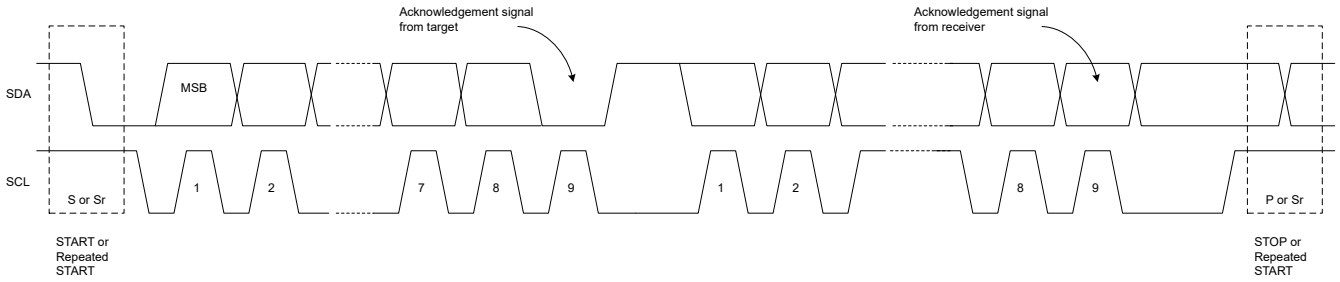


図 6-8. バイト フォーマット

6.5.4 アクノリッジ (ACK) とアクノリッジなし (NACK)

アクノリッジ (受信確認) は各バイトの後に行われます。アクノリッジ ビットによりレシーバは、バイトが正常に受信され別のバイトが送信されることを、トランスミッタに信号伝達することができます。9 番目のアクノリッジ クロック パルスを含むすべてのクロック パルスはコントローラによって生成されます。

トランスミッタはアクノリッジ クロック パルスの間に SDA ラインを解放するため、レシーバは SDA ラインを low レベルにプルすることができ、SDA ラインはこのクロック パルスが high レベルの間は安定した low レベルを維持します。

アクノリッジなし信号は、9 番目のクロック パルスの間、SDA が High レベルに維持されるときです。その後コントローラは転送を中止する STOP を生成するか、新しい転送を開始する START を繰り返し生成します。

6.5.5 ターゲット アドレスおよびデータ方向ビット

START 後にターゲット アドレスが送信されます。このアドレスは 7 ビット長で、8 番目のビットがデータ方向ビット (ビット R/$\overline{W}$) として続きます。0 は転送 (WRITE) を示し、1 はデータの要求 (READ) を示します。

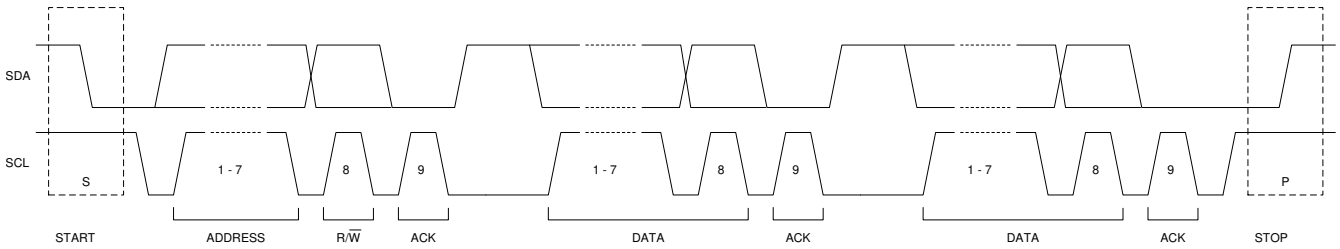


図 6-9. ターゲット アドレスとデータ方向

6.5.6 単一読み取りおよび書き込み

図 6-10 と 図 6-11 に、I2 C 通信のシングル バイトの書き込みとシングル バイトの読み取りのフォーマットを示します。

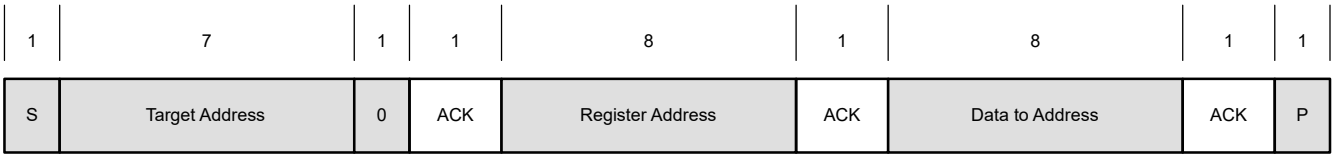


図 6-10. シングル バイトの書き込み

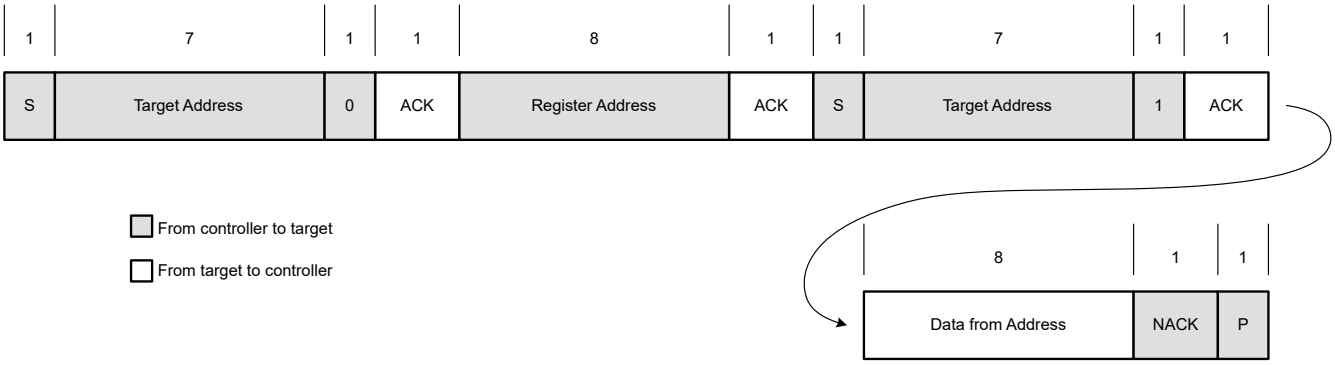


図 6-11. シングル バイトの読み取り

レジスタ アドレスが定義されていない場合、TPS55285A は NACK を返し、アイドル状態に戻ります。

6.5.7 複数読み取りおよび複数書き込み

TPS55285A は、複数読み取りと複数書き込みをサポートしています。

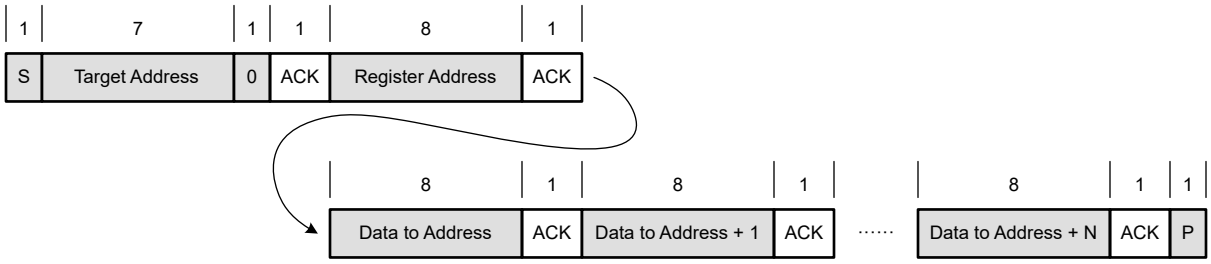


図 6-12. マルチ バイトの書き込み

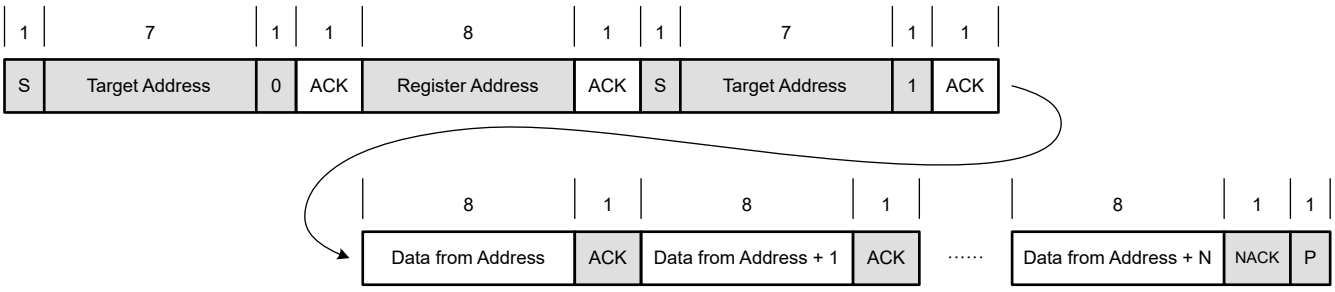


図 6-13. マルチ バイトの読み取り

Copyright © 2026 Texas Instruments Incorporated

7 レジスタ マップ

表 7-1 に、デバイスのレジスタ用のメモリマップト レジスタを示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-1. デバイスのレジスタ

アドレス	略称	レジスタ名	セクション
0h、1h	REF	基準電圧	表示
2h	IOUT_LIMIT	電流制限の設定	表示
3h	VOUT_SR	スルーレート	表示
4h	VOUT_FS	帰還の選択	表示
5h	CDC	ケーブル補償	表示
6h	モード	モード制御	表示
7h	ステータス	動作ステータス	表示

Copyright © 2026 Texas Instruments Incorporated

7.1 REF レジスタ (アドレス = 0h、1h) [リセット = 10100100b、00000001b]

図 7-1 と 図 7-2 に REF を示し、表 7-2 に、その説明を示します。

概略表に戻ります。

REF は TPS55285A の内部リファレンス電圧を設定します。01h レジスタは上位バイト、00h レジスタは下位バイトです。レジスタ 00h の 1LSB は、内部リファレンス電圧の 0.5645mV を表します。デフォルトのレジスタ値は 00000001 10100100b、282mV です。レジスタ値が 00000000 00000000b の場合、リファレンス電圧は 45mV です。レジスタ値が 00000111 10000000b の場合、リファレンス電圧は 1.129V です。TPS55285A の出力電圧は出力帰還比にも依存しており、レジスタ 04h での設定、または外部抵抗デバイダによる設定のいずれかになります。

内部出力電圧帰還デバイダを使用する場合、出力電圧 V_{OUT} は 式 4 で計算されます

$$V_{OUT} = \frac{V_{REF}}{INTFB} \quad (4)$$

REF レジスタは、レジスタ 06h の OE ビットを設定する前に、I^2C コントローラで構成されます。5V 出力電圧の場合は、REF レジスタ値を 00000001 10100100b に設定します。内部リファレンス電圧を設定するには、まずレジスタ 00h を書き込んでからレジスタ 01h を書き込みます。

図 7-1. REF_LSB

7	6	5	4	3	2	1	0
VREF							
R/W-10100100b							

図 7-2. REF_MSB

15	14	13	12	11	10	9	8
予約済み					VREF		
R-00000b					R/W-001b		

表 7-2. REF レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	予約済み	R	00000b	予約済み
10-0	VREF	R/W	001 10100100b	内部リファレンス電圧を設定 000 00000000b = 45mV リファレンス電圧 000 00000001b = 45.5645mV リファレンス電圧 000 00000010b = 46.129mV リファレンス電圧 .....= ..... 001 10100100b = 282mV リファレンス電圧 (デフォルト) .....= ..... 011 00110100b = 508mV リファレンス電圧 .....= ..... 101 10001100b = 846mV リファレンス電圧 .....= ..... 111 10000000b = 1129mV リファレンス電圧 .....= ..... 111 11111110b = 1200mV リファレンス電圧

Copyright © 2026 Texas Instruments Incorporated

7.2 IOUT_LIMIT レジスタ (アドレス = 2h) [リセット = 11100100b]

図 7-3 に IOUT_LIMIT を示し、表 7-3 に、その説明を示します。

概略表に戻ります。

IOUT_LIMIT は、ターゲット出力電流制限を 500mA から 6.35A に設定します。1LSB は 50mA 出力電流制限ステップを表します。ビット 7 は電流制限を有効に、または電流制限を無効にします。

図 7-3. IOUT_LIMIT レジスタ

7	6	5	4	3	2	1	0
Current_Limit_EN	Current_Limit_Setting						
R/W-1b	R/W-1100100b						

表 7-3. IOUT_LIMIT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	Current_Limit_EN	R/W	1b	出力電流制限を有効に、または無効にします。 0b = 出力電流制限が無効 1b = 出力電流制限が有効 (デフォルト)
6-0	Current_Limit_Setting	R/W	1100100b	出力電流制限のターゲットを設定 0000000b = 500mA 出力電流制限 0000001b = 500mA 出力電流制限 0000010b = 500mA 出力電流制限 ……= …… 0001010b = 500mA 出力電流制限 0001011b = 550mA 出力電流制限 0001100b = 600mA 出力電流制限 0001101b = 650mA 出力電流制限 ……= …… 0010100b = 1A 出力電流制限 ……= …… 0101000b = 2A 出力電流制限 ……= …… 0111100b = 3A 出力電流制限 ……= …… 1100100b = 5A 出力電流制限 (デフォルト) ……= …… 1111111b = 6.35A 出力電流制限

Copyright © 2026 Texas Instruments Incorporated

7.3 VOUT_SR レジスタ (アドレス = 3h) [リセット = 00000001b]

図 7-4 に VOUT_SR を示し、表 7-4 に、その説明を示します。

概略表に戻ります。

レジスタ 03h は、出力電圧変化のスルーレートと、出力電流が設定出力電流制限を超えた後の応答遅延時間を設定します。

OCP_DELAY [1:0] ビットは、出力過電流制限に達したときの TPS55285A の応答時間を設定します。この応答時間により、TPS55285A は比較的短い時間で大電流を出力できます。デフォルト設定の 128µs では、TPS55285A は出力電流を即座に制限します。

SR [1:0] ビットは、出力電圧変化のスルーレートを 1.25mV/µs 、2.5mV/µs、5mV/µs、10mV/µs に設定します。

図 7-4. VOUT_SR レジスタ

7	6	5	4	3	2	1	0
予約済み		OCP_DELAY		予約済み		SR	
R-0b		R/W-00b		R-00b		R/W-01b	

表 7-4. VOUT_SR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み
5-4	OCP_DELAY	R/W	00b	出力過電流制限に達したときのデバイスの応答時間を設定します。 00b = 128µs (デフォルト) 01b = 遅延 1.024 x 3ms 10b = 遅延 1.024 x 6ms 11b = 遅延 1.024 x 12ms
3-2	予約済み	R	00b	予約済み
1-0	SR	R/W	01b	出力電圧変化のスルーレートを設定します。 00b = 1.25mV/µs の出力変化スルーレート 01b = 2.5mV/µs の出力変化スルーレート (デフォルト) 10b = 5mV/µs の出力変化スルーレート 11b = 10mV/µs の出力変化スルーレート

Copyright © 2026 Texas Instruments Incorporated

7.4 VOUT_FS レジスタ (アドレス = 4h) [リセット = 00000011b]

図 7-5 に VOUT_FS を示し、表 7-5 に、その説明を示します。

概略表に戻ります。

レジスタ 04h は、内部抵抗デバイダまたは外部抵抗デバイダのどちらかによる出力電圧帰還デバイダの選択を設定し、内部帰還抵抗デバイダを使用するときの内部帰還比を設定します。

図 7-5. VOUT_FS レジスタ

7	6	5	4	3	2	1	0
FB	FB_OVP	予約済み				INTFB	
R/W-0b	R/W-0b	R-0000b				R/W-11b	

表 7-5. VOUT_FS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FB	R/W	0b	出力電圧帰還デバイダ 0b = 内部出力電圧帰還を使用。FB/$\overline{\text{INT}}$ ピンは、出力短絡保護回路、過電流ステータス、過電圧ステータスのインジケータです (デフォルト)。 1b = 外部出力電圧帰還を使用。FB/$\overline{\text{INT}}$ ピンは出力電圧の帰還入力です。
6	FB_OVP	R/W	0b	0b = FB 115% OVP を有効化 (デフォルト) 1b = FB 115% OVP を無効化
5-2	予約済み	R	0000b	予約済み
1-0	INTFB	R/W	11b	内部帰還比 00b = 内部帰還比を 0.2256 に設定 01b = 内部帰還比を 0.1128 に設定 10b = 内部帰還比を 0.0752 に設定 11b = 内部帰還比を 0.0564 に設定 (デフォルト)

表 7-6. 出力電圧と内部リファレンスとの関係

INTFB1	INTFB0	REF = 0000h	REF = 001Ah	REF = 0050h	REF = 00F0h	REF = 0780h	出力電圧ステップ
0	0				0.8V	5V	2.5mV
0	1			0.8V		10V	5mV
1	0		0.8V			15V	7.5mV
1	1	0.8V				20V	10mV

Copyright © 2026 Texas Instruments Incorporated

7.5 CDC レジスタ (アドレス = 5h) [リセット = 11110000b]

図 7-6 に CDC を示し、表 7-7 でその説明を示します。

概略表に戻ります。

レジスタ 05h は、レジスタ 07h の SC ビット、OCP ビット、OVP ビット、および TSD ビットのマスクを設定します。マスク ビットが設定され、対応する故障が発生すると、デバイスは FB/$\overline{\text{INT}}$ ピンの故障表示をマスクします

また、レジスタ 05h は、検出された出力電流に対して設定出力電圧に加算される電圧立ち上がりを設定します。

図 7-6. CDC レジスタ

7	6	5	4	3	2	1	0
SC_MASK	OCP_MASK	OVP_MASK	TSD_MASK	CDC_OPTION	CDC		
R/W-1b	R/W-1b	R/W-1b	R/W-1b	R/W-0b	R/W-000b		

表 7-7. CDC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SC_MASK	R/W	1b	短絡マスク 0b = SC 表示が無効 1b = SC 表示を有効化 (デフォルト)
6	OCP_MASK	R/W	1b	過電流マスク 0b = OCP 表示が無効 1b = OCP 表示を有効化 (デフォルト)
5	OVP_MASK	R/W	1b	過電圧マスク 0b = OVP 表示が無効 1b = OVP 表示を有効化 (デフォルト)
4	TSD_MASK	R/W	1b	サーマル シャットダウン マスク 0b = TSD 表示が無効 1b = TSD 表示を有効化 (デフォルト)
3	CDC_OPTION	R/W	0b	ケーブル電圧降下補償機能を無効化または有効化します 0b = CDC 補償を無効化 (デフォルト) 1b = CDC 補償を有効化
2-0	CDC	R/W	000b	ケーブルの電圧降下を補償します 000b = 5A 出力電流で 0V の出力電圧上昇 (デフォルト) 001b = 5A 出力電流で 0.1V の出力電圧上昇 010b = 5A 出力電流で 0.2V の出力電圧上昇 011b = 5A 出力電流で 0.3V の出力電圧上昇 100b = 5A 出力電流で 0.4V の出力電圧上昇 101b = 5A 出力電流で 0.5V の出力電圧上昇 110b = 5A 出力電流で 0.6V の出力電圧上昇 111b = 5A 出力電流で 0.7V の出力電圧上昇

Copyright © 2026 Texas Instruments Incorporated

7.6 MODE レジスタ (アドレス = 6h) [リセット = 00100000b]

図 7-7 に MODE を示し、表 7-8 でその説明を示します。

概略表に戻ります。

MODE は、TPS55285A の動作モードを制御します。

DISCHG_2 ビットは、Vout が低下したときに放電 FET を有効にするか無効にするかを制御します。DISCHG_2 が 1 に設定されている場合、放電 FET 電流は、Vout が低下したときに FPWM モードで逆電流を低減するのに役立ちます。

図 7-7. MODE レジスタ

7	6	5	4	3	2	1	0
OE	スペクトラム拡散	HICCUP	DISCHG	FSW		FPWM	DISCHG_2
R/W-0b	R/W-0b	R/W-1b	R/W-0b	R/W-00b		R/W-0b	R/W-0b

表 7-8. MODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0b	出力イネーブル 0b = 出力ディスエーブル (デフォルト) 1b = 出力イネーブル
6	SPREADSPECTRUM	R/W	0b	スペクトラム拡散機能 0b = スペクトラム拡散機能をディスエーブル (デフォルト) 1b = スペクトラム拡散機能をイネーブル
5	HICCUP	R/W	1b	ヒカップ モード 0b = 出力短絡保護時にヒカップをディスエーブル。 1b = 出力短絡保護時にヒカップをイネーブル (デフォルト)
4	DISCHG	R/W	0b	出力放電 0b = デバイスがシャットダウン モードのとき VOUT 放電をディスエーブル (デフォルト) 1b = VOUT 放電をイネーブル。シャットダウン モードでは、内部 100mA 電流シンクによって、VOUT がグランドに放電されます
3-2	FSW	R/W	00b	スイッチング周波数 00b = 400kHz (デフォルト) 01b = 800kHz 11b = 1.6MHz 11b = 2.1MHz
1	FPWM	R/W	0b	軽負荷時の動作モードを選択します 0b = 軽負荷時に PFM 動作モード (デフォルト) 1b = 軽負荷時に FPWM 動作モード
0	DISCHG_2	R/W	0b	0b = VREF 電圧が低下すると、出力放電機能はイネーブルになります。(デフォルト) 1b = VREF 電圧が低下すると、出力放電機能はディスエーブルになります。

Copyright © 2026 Texas Instruments Incorporated

7.7 STATUS レジスタ (アドレス = 7h) [リセット = 00000001b]

図 7-8 に STATUS を示し、表 7-9 でその説明を示します。

概略表に戻ります。

STATUS レジスタには、TPS55285A の動作ステータスが格納されます。SCP ビット、OCP ビット、OVP ビット、または TSD ビットのいずれかが設定され、レジスタ 05h の対応するマスク ビットも設定されると、FB/$\overline{\text{INT}}$ ピンは Low ロジック レベルを出力して状況を示します。レジスタ 07h を読み取ると、SCP ビット、OCP ビット、OVP ビット、および TSD ビットがクリアされます。レジスタ 07h が読み取られるまで、FB/$\overline{\text{INT}}$ ピンのステータスと SCP ビット、OCP ビット、OVP ビットまたは TSD ビットはリセットされます。故障状態が引き続き存在する場合、対応するビットと FB/$\overline{\text{INT}}$ ピンが再びセットされます。

図 7-8. STATUS レジスタ

7	6	5	4	3	2	1	0
SCP	OCP	OVP	TSD	予約済み	予約済み	ステータス	
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-11b	

表 7-9. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SCP	R	0b	短絡保護回路 0b = 短絡なし 1b = 短絡発生。読み取られるまでリセットしません。
6	OCP	R	0b	過電流保護 0b = 出力過電流なし 1b = 出力電流が電流制限に達しました。読み取られるまでリセットしません。
5	OVP	R	0b	過電圧保護 0b = OVP なし 1b = 出力電圧が OVP スレッショルドを超えています。読み取られるまでリセットしません。
4	TSD	R	0b	サーマル シャットダウン保護機能 0b = TSD なし 1b = サーマル シャットダウン発生。読み取られるまでリセットしません
3	予約済み	R	0b	予約済み
2	予約済み	R	0b	予約済み
1-0	ステータス	R	01b	動作ステータス 00b = 昇圧 01b = 降圧 10b = 昇降圧 11b = 予約済み

Copyright © 2026 Texas Instruments Incorporated

7.8 レジスタの要約

表 7-10 では、TPS55285A におけるレジスタのデフォルト設定を要約しています。

表 7-10. レジスタのデフォルト設定

レジスタ・アドレス	レジスタ名	R/W	デフォルト値
00h	VREF_LSB	R/W	10100100
01h	VREF_MSB	R/W	00000001
02h	IOUT_LIMIT	R/W	11100100
03h	VOUT_SR	R/W	00000001
04h	VOUT_FS	R/W	00000011
05h	CDC	R/W	11110000
06h	モード	R/W	00100000
07h	ステータス	R	00000001

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TPS55285A は、入力電圧 2.4V ～ 22V、出力電圧 0.8V ～ 22V という幅広い範囲で動作します。TPS55285A は、入力電圧と設定出力電圧に応じて、降圧モード、昇降圧モード、昇圧モード間をスムーズに遷移できます。TPS55285A は、入力電圧が出力電圧より大きい場合は降圧モードで動作し、入力電圧が出力電圧より小さい場合は昇圧モードで動作します。入力電圧が出力電圧に近いとき、TPS55285A は 1 サイクル降圧モードおよび 1 サイクル昇圧モードで交互に動作します。高い電力の状況でスイッチング電力損失を低減するには、スイッチング周波数を 500kHz 未満に設定することを推奨します。システムが 500kHz を超える高いスイッチング周波数を必要とする場合、放熱性能を向上させるために、スイッチ電流を低くして動作させることを推奨します。

8.2 代表的なアプリケーション

TPS55285A は、5V ～ 22V の入力電圧範囲を使用する電源アプリケーション向けの小型サイズを提供します。

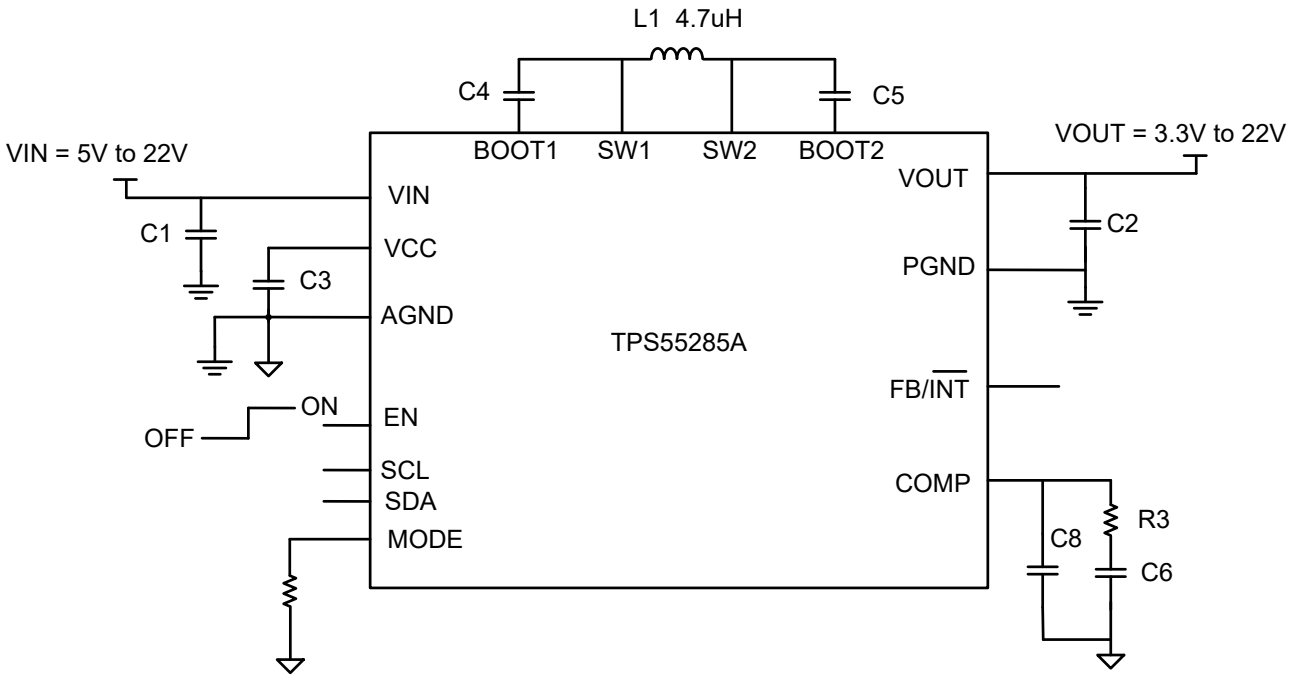


図 8-1. 電源、入力電圧 5V ～ 22V

Copyright © 2026 Texas Instruments Incorporated

8.2.1 設計要件

表 8-1 に、設計パラメータの一覧を示します。

表 8-1. 設計パラメータ

パラメータ	値
入力電圧	5V ～ 22V
出力電圧	3.3V ～ 22V
出力電流制限	3A
出力電圧リップル	±50mV
軽負荷時の動作モード	FPWM

8.2.2 詳細な設計手順

8.2.2.1 スイッチング周波数

TPS55285A のスイッチング周波数は、06H レジスタの FSW ビットで設定されます。このような大電流アプリケーションでスイッチング電力損失を低減するため、このアプリケーションでは 400kHz のスイッチング周波数が選択されています。

8.2.2.2 出力電圧設定

TPS55285A には、内部リファレンス電圧を設定するための I^2C インターフェイスがあります。マイコンは、I^2C バスを介してリファレンス電圧レジスタに適切なデータを書き込むことにより、必要な出力電圧を簡単に設定できます。

8.2.2.3 インダクタの選択

インダクタの選択は定常状態動作、過渡動作、ループの安定性に影響を及ぼすため、インダクタは電源レギュレータの設計で最も重要な部品です。インダクタには、インダクタンス、飽和電流、DC 抵抗という 3 つの重要な仕様があります。

TPS55285A は、1µH ～ 10µH のインダクタ値で動作するよう設計されています。インダクタの選択は、降圧モードと昇圧モードの両方の動作を考慮して行われます。

内部電流ループは内部補償を使用しているため、インダクタ値は 1.2/fSW より大きくする必要があります。

降圧モードに対しては、ピーク ツー ピークの電流リップルを最大入力電圧時の最大インダクタ電流に制限することに基づいて、インダクタを選択します。CCM において、式 5 では、インダクタンスとインダクタ リップル電流の関係が示されています。

$$L=\frac{(V_{IN(MAX)}-V_{OUT})\times V_{OUT}}{\Delta I_{L(P-P)}\times f_{SW}\times V_{IN(MAX)}} \quad (5)$$

ここで、

- $V_{IN(MAX)}$ は最大入力電圧
- V_{OUT} は出力電圧です。
- $\Delta I_{L(P-P)}$ はインダクタのピーク ツー ピーク リップル電流
- f_{SW} はスイッチング周波数

特定のインダクタの場合、VOUT が最大入力電圧の半分に等しいとき、インダクタ リップル電流は最大値になります。大きいインダクタンスを選択するほどインダクタ電流リップルは小さくなり、インダクタンスが小さくなるほど、インダクタ電流リップルは大きくなります。

昇圧モードに対しては、ピーク ツー ピークの電流リップルを最大出力電圧時の最大インダクタ電流に制限することに基づいて、インダクタを選択します。CCM において、式 6 では、インダクタンスとインダクタ リップル電流の関係が示されています。

Copyright © 2026 Texas Instruments Incorporated

$$L=\frac{V_{IN}\times(V_{OUT(MAX)}-V_{IN})}{\Delta I_{L(P-P)}\times f_{SW}\times V_{OUT(MAX)}} \quad (6)$$

ここで、

- V_{IN} は入力電圧
- $V_{OUT(MAX)}$ は最大出力電圧
- $\Delta I_{L(P-P)}$ はインダクタのピーク ツー ピーク リップル電流
- f_{SW} はスイッチング周波数

特定のインダクタの場合、V_{IN} が最大出力電圧の半分に等しいとき、インダクタ リップル電流は最大値になります。大きいインダクタンスを選択するほどインダクタ電流リップルは小さくなり、インダクタンスが小さくなるほど、インダクタ電流リップルは大きくなります。

このアプリケーション例では、4.7µH インダクタを選択しています。これにより、降圧モードでは最大平均インダクタ電流の 50%、昇圧モードでは最大平均インダクタ電流の 50% という、おおよその最大インダクタ電流リップルが得られます。

降圧モードでは、インダクタ DC 電流は出力電流と等しくなります。昇圧モードでは、インダクタ DC 電流は、式 7 で計算されます。

$$I_{L(DC)} = \frac{V_{OUT}\times I_{OUT}}{V_{IN}\times \eta} \quad (7)$$

ここで、

- V_{OUT} は出力電圧です。
- I_{OUT} は出力電流
- V_{IN} は入力電圧
- η は電力変換効率

昇降圧コンバータ TPS55285A の指定最大出力電流の場合、最大インダクタ DC 電流は最小入力電圧および最大出力電圧で発生します。TPS55285A が目的の出力電流キャパシティを持つように、TPS55285A のインダクタ電流制限を、計算された最大インダクタ DC 電流より高く設定します。

昇圧モードでは、インダクタ リップル電流は、式 8 で計算されます。

$$\Delta I_{L(P-P)}=\frac{V_{IN}\times(V_{OUT}-V_{IN})}{L\times f_{SW}\times V_{OUT}} \quad (8)$$

ここで、

- $\Delta I_{L(P-P)}$ は、インダクタ リップル電流
- L はインダクタ値です。
- f_{SW} はスイッチング周波数
- V_{OUT} は出力電圧です。
- V_{IN} は入力電圧

したがって、インダクタのピーク電流は 式 9 で計算されます。

$$I_{L(P)} = I_{L(DC)}+\frac{\Delta I_{L(P-P)}}{2} \quad (9)$$

通常、最大出力電流を得るために、インダクタのピーク ツー ピーク電流を平均インダクタ電流の 40% 未満とすることを推奨します。インダクタの値が大きくなるほどリップルは小さくなり、インダクタ内の磁気ヒステリシス損失と EMI が減少します

Copyright © 2026 Texas Instruments Incorporated

が、同様に負荷過渡応答時間は長くなります。選択されたインダクタでは、計算されたピーク電流より大きい飽和電流である必要があります。

変換効率は電流パスの抵抗に依存します。スイッチング MOSFET に関連するスイッチング損失と、インダクタのコア損失です。したがって、全体の効率はインダクタの DC 抵抗 (DCR)、スイッチング周波数での等価直列抵抗 (ESR)、およびコア損失の影響を受けます。表 8-2 に、TPS55285A の推奨インダクタを示します。このアプリケーション例では、小型、高飽和電流、低 DCR という理由から、Coilcraft のインダクタ XAL7070-472 を選択しています。

表 8-2. 推奨するインダクタ

部品番号	L (µH)	DCR (最大値) (mΩ)	飽和電流 / 熱定格電流 (A)	サイズ (L × W × H mm)	メーカー (1)
XAL7070-472ME	4.7	14.3	15.2/10.5	7.5 × 7.2 × 7.0	Coilcraft
VCHA085D-4R7MS6	4.7	15.6	16.0/8.8	8.7 × 8.2 × 5.2	Cyntec
IHLP4040DZER4R7M01	4.7	16.5	17/9.5	10.2 × 10.2 × 4.0	Vishay

(1) 「サードパーティー製品に関する免責事項」をご覧ください。

8.2.2.4 入力コンデンサ

降圧モードでは、入力コンデンサから高リップル電流が供給されます。入力コンデンサの RMS 電流は、式 10 で求められます。

$$I_{CIN(RMS)} = I_{OUT} \times \sqrt{\frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN} \times V_{IN}}} \quad (10)$$

ここで、

- $I_{CIN(RMS)}$ は、入力コンデンサを流れる RMS 電流
- I_{OUT} は出力電流

最大 RMS 電流は、出力電圧が入力電圧の半分のときに発生し、$I_{CIN(RMS)} = I_{OUT} / 2$ となります。セラミック コンデンサは、低 ESR で高いリップル電流耐性を持つため、推奨されます。合計 20µF の実効容量が、このアプリケーションの出発点として適切です。

8.2.2.5 出力コンデンサ

昇圧モードでは、出力コンデンサに高リップル電流が流れます。出力コンデンサ RMS リップル電流は、式 11 で求められます。ここで、最小入力電圧と最大出力電圧は、最大コンデンサ電流に対応します。

$$I_{COUT(RMS)} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN}} - 1} \quad (11)$$

ここで、

- $I_{COUT(RMS)}$ は、出力コンデンサを流れる RMS 電流
- I_{OUT} は出力電流

この例では、最大出力リップル RMS 電流は 2.8A です。

出力コンデンサの ESR により、出力電圧リップルが昇圧モードの 式 12 で求められます。

$$V_{RIPPLE(ESR)} = \frac{I_{OUT} \times V_{OUT}}{V_{IN}} \times R_{COUT} \quad (12)$$

ここで、

- R_{COUT} は、出力キャパシタンスの ESR

また、このキャパシタンスにより、容量性出力電圧リップルが昇圧モードの 式 13 で求められます。入力電圧が最小値に達し、出力電圧が最大値に達すると、キャパシタンスによる出力電圧リップルは最大になります。

$$V_{RIPPLE(CAP)} = \frac{I_{OUT} \times \left(1 - \frac{V_{IN}}{V_{OUT}}\right)}{C_{OUT} \times f_{SW}} \quad (13)$$

通常、低 ESR、高リップル電流、小出力電圧リップルを実現するには、セラミック コンデンサとバルク電解コンデンサを組み合わせる必要があります。必要な出力電圧リップルから、式 12 と 式 13 を使用して、C_{OUT} に必要な最小実効キャパシタンスを計算します。

8.2.2.6 出力電流制限

出力電流制限は、レジスタ 02h を通じて 50mA 刻みで設定します。出力電流制限の最大値は 6.35A で、出力電流制限の最小値は 500mA です。デフォルトの制限電圧は 5A です。

8.2.2.7 ループ安定性

TPS55285A は平均電流制御方式を使用しています。内部電流ループは内部補償を使用しているため、インダクタ値は $1.2/f_{SW}$ より大きくする必要があります。外部電圧ループには、外部補償が必要です。COMP ピンは内部電圧エラー アンプの出力です。COMP ピンには、抵抗とセラミック コンデンサで構成される外部補償回路が接続されています。

TPS55285A は降圧モードまたは昇圧モードで動作します。したがって、降圧と昇圧のどちらの動作モードでもループ補償が必要です。これら両方の補償のうち、ループ安定性の観点から、全体的な補償として制限の大きい方が選択されます。一般的に降圧モードまたは昇圧モードのいずれかで動作するように設計されたコンバータの場合、右半面ゼロ (RHPZ) が存在するため、昇圧モード補償設計の方が制限が大きくなります。

昇圧モードでの電力段は 式 14 でモデル化されます。

$$G_{PS}(s) = \frac{R_{LOAD} \times (1-D)}{2 \times R_{SENSE}} \times \frac{\left(1 + \frac{s}{2\pi \times f_{ESRZ}}\right) \times \left(1 - \frac{s}{2\pi \times f_{RHPZ}}\right)}{1 + \frac{s}{2\pi \times f_P}} \quad (14)$$

ここで、

- R_{LOAD} は出力負荷抵抗
- D は昇圧モードでのスイッチング デューティ サイクル
- R_{SENSE} は等価内部電流センス抵抗で、0.055Ω

出力段には、出力コンデンサと負荷抵抗によってゼロが 2 つとポールが 1 つ生成されます。これらの値の計算には、式 15 ～ 式 17 を使用します。

$$f_P = \frac{2}{2\pi \times R_{LOAD} \times C_{OUT}} \quad (15)$$

$$f_{ESRZ} = \frac{1}{2\pi \times R_{COUT} \times C_{OUT}} \quad (16)$$

$$f_{RHPZ} = \frac{R_{LOAD} \times (1-D)^2}{2\pi \times L} \quad (17)$$

内部の相互コンダクタンス アンプは COMP ピンの補償回路とともに、ループの制御部分を構成します。制御部分の伝達関数を 式 18 で示します。

Copyright © 2026 Texas Instruments Incorporated

$$G_C(s) = \frac{G_{EA} \times R_{EA} \times V_{REF}}{V_{OUT}} \times \frac{\left(1 + \frac{s}{2\pi \times f_{COMZ}}\right)}{\left(1 + \frac{s}{2\pi \times f_{COMP1}}\right) \times \left(1 + \frac{s}{2\pi \times f_{COMP2}}\right)} \quad (18)$$

ここで、

- G_{EA} はエラー アンプの相互コンダクタンス
- R_{EA} はエラー アンプの出力抵抗
- V_{REF} はエラー アンプへのリファレンス電圧入力
- V_{OUT} は出力電圧です。
- f_{COMP1} および f_{COMP2} は補償回路のポールの周波数
- f_{COMZ} は補償回路のゼロの周波数

合計開ループ ゲインは、G_{PS} と G_C の積です。次のステップでは、合計開ループ ゲインが 1、すなわち 0dB となるループ クロスオーバー周波数 f_C を選択します。ループ ゲインがクロスオーバー前に 0dB を上回るような周波数が高いほど、ループ応答は速くなります。ループ ゲインが 0dB を横切る周波数は、スイッチング周波数 f_{SW} の 1/10、または RHPZ 周波数 f_{RHPZ} の 1/5 のいずれか低い方を超えないようにすることが一般的です。

そこで、R_C、C_C、C_P の値を 式 19 から 式 21 に設定します。

$$R_C = \frac{2\pi \times V_{OUT} \times R_{SENSE} \times C_{OUT} \times f_C}{(1-D) \times V_{REF} \times G_{EA}} \quad (19)$$

ここで、

- f_C は選択されたクロスオーバー周波数

$$C_C = \frac{R_{LOAD} \times C_{OUT}}{2 \times R_C} \quad (20)$$

$$C_P = \frac{R_{COUT} \times C_{OUT}}{R_C} \quad (21)$$

計算された C_P が 10pF より小さい場合は、C_P はオープンのままにしておくことが許容されます。

ループを、45° を超える位相マージンと 10dB を超えるゲイン マージンになるように設計すると、ラインおよび負荷の過渡時の出力電圧のリンギングが除去されます。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

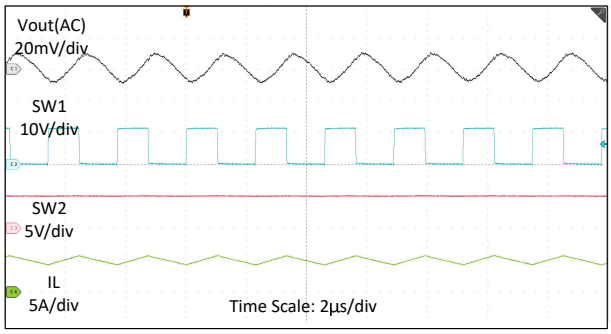


図 8-2. V_{IN} = 12V、V_{OUT} = 5V、I_O = 5A、FPWM におけるスイッチング波形

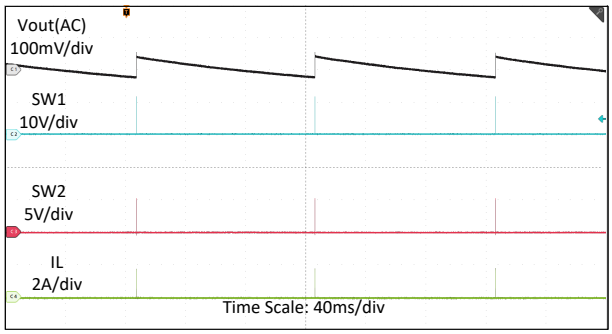


図 8-3. V_{IN} = 12V、V_{OUT} = 5V、I_O = 0A、PFM におけるスイッチング波形

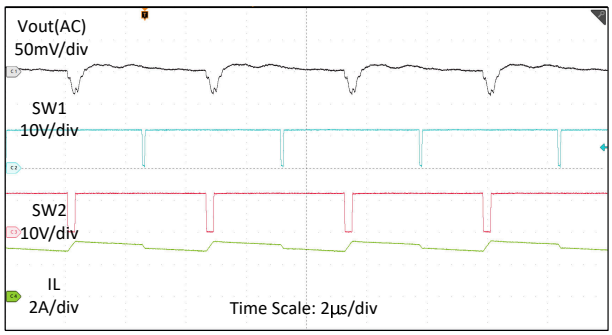


図 8-4. V_{IN} = 12V、V_{OUT} = 12V、I_O = 3A、FPWM におけるスイッチング波形

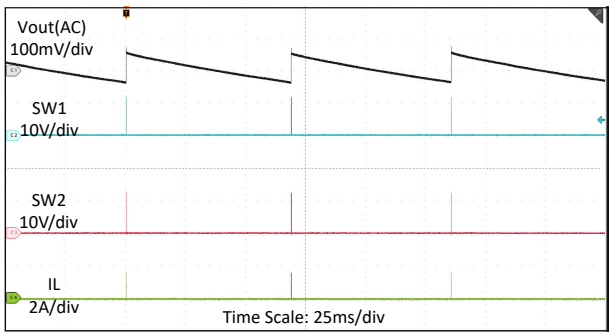


図 8-5. V_{IN} = 12V、V_{OUT} = 12V、I_O = 0A、PFM におけるスイッチング波形

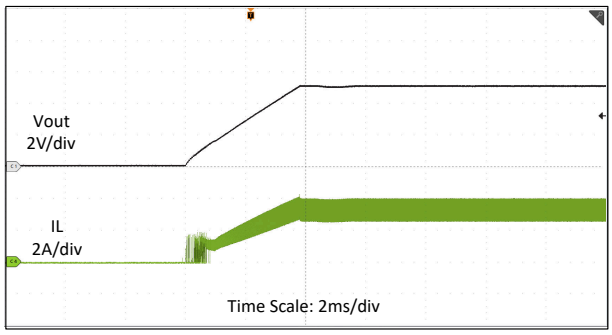


図 8-6. V_{IN} = 12V、V_{OUT} = 5V、R_{LOAD} = 1.5Ω、FPWM におけるスタートアップ波形

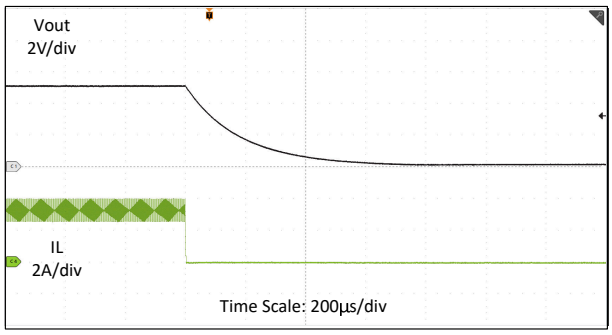


図 8-7. V_{IN} = 12V、V_{OUT} = 5V、R_{LOAD} = 1.5Ω、FPWM におけるシャットダウン波形

Copyright © 2026 Texas Instruments Incorporated

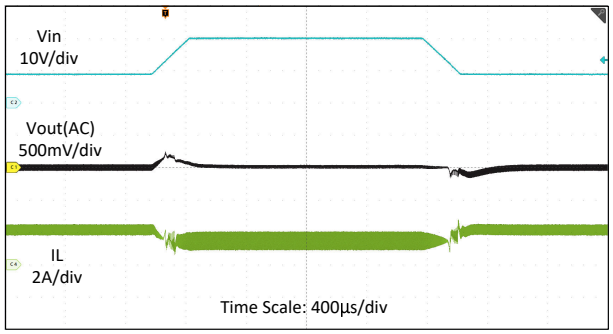


図 8-8. V_{IN} = 9V ～ 20V、V_{OUT} = 12V、I_O = 3A、スルーレート 200µs、FPWM におけるライン過渡波形

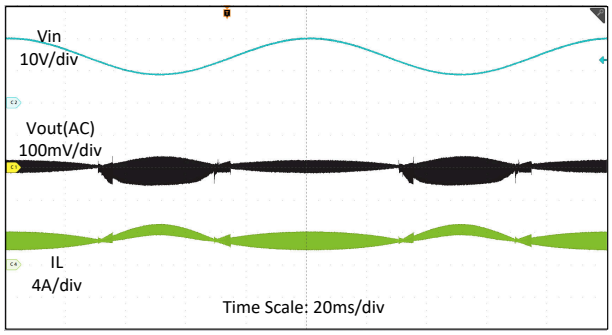


図 8-9. V_{IN} = 9V ～ 20V、V_{OUT} = 12V、I_O = 3A、FPWM におけるライン スイープ波形

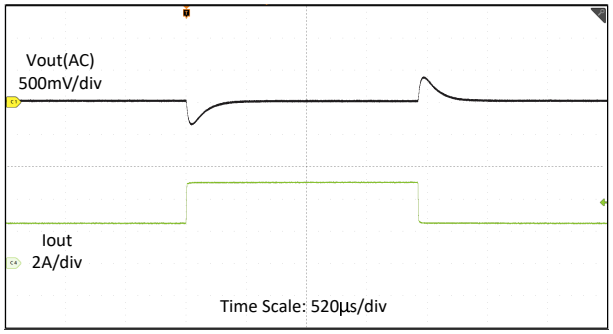


図 8-10. V_{IN} = 12V、V_{OUT} = 5V、I_O = 2.5A ～ 5A、スルーレート 2.5A/µs、FPWM における負荷過渡波形

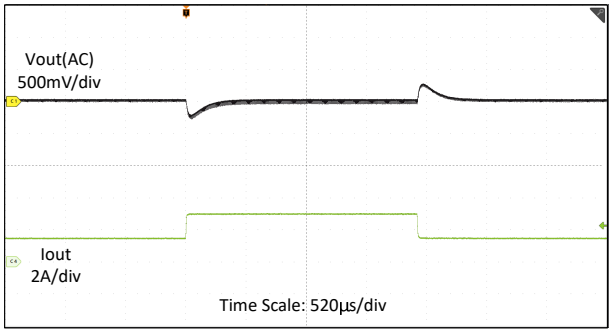


図 8-11. V_{IN} = 12V、V_{OUT} = 12V、I_O = 1.5A ～ 3A、スルーレート 2.5A/µs、FPWM における負荷過渡波形

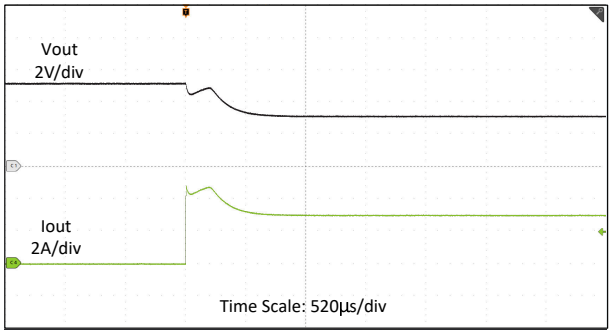


図 8-12. V_{IN} = 12V、V_{OUT} = 5V、R_{LOAD} = 1Ω における 3A 出力電流制限波形

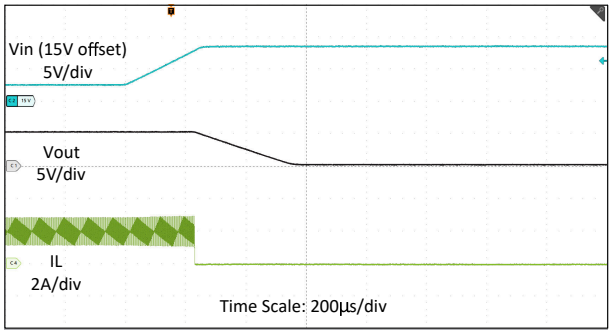


図 8-13. V_{IN} = 18V ～ 24V、V_{OUT} = 5V、I_{OUT} = 2A における VIN OVP 波形

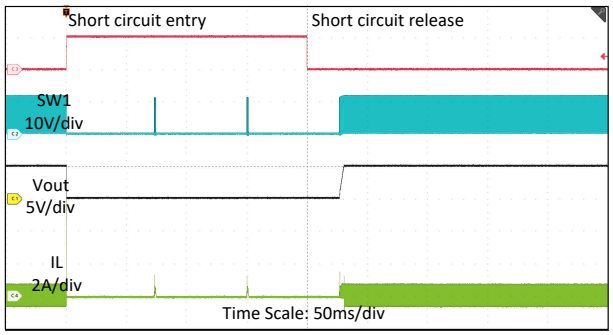


図 8-14. V_{IN} = 12V、V_{OUT} = 5V、I_{OUT} = 0.1A における短絡保護回路

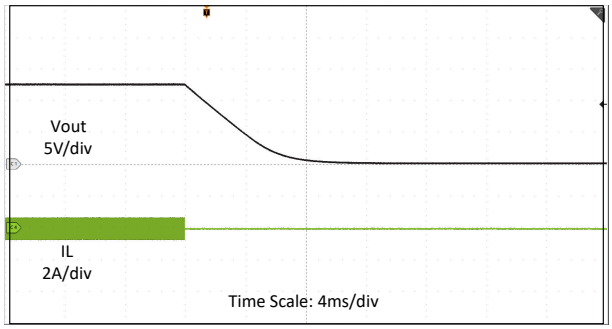


図 8-15. V_{IN} = 12V、V_{OUT} = 5V、I_{OUT} = 0A における出力放電

8.3 電源に関する推奨事項

このデバイスは、3.0V～22V の入力電源電圧範囲で動作するように設計されています。TPS55285A には、適切にレギュレートされた入力電源が必要です。入力電源がコンバータから数インチ以上離れている場合、セラミック バイパス コンデンサに加えてバルク容量の追加が必要になることがあります。一般的な選択肢は、100µF のアルミ電解コンデンサです。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

すべてのスイッチング電源、特に高いスイッチング周波数と大電流で動作する電源については、レイアウトは、重要な設計ステップです。レイアウトが注意深く行われていないと、レギュレータは不安定性とノイズの問題を抱えます。

1. 0.1µF 小型パッケージの (0402) セラミック コンデンサは、高周波電流ループを最小限に抑えるため、VIN/VOUT ピンの近くに配置して高周波ノイズ (EMI) と効率の放射を改善します。
2. PGND ピンの近くに複数の GND ビアを使用して、PGND を内部グランド プレーンに接続することで、熱性能が向上します。
3. SW1 および SW2 は高 dv/dt ノードであるため、SW1 および SW2 によるループ面積は最小限にします。プレーン間カップリングを最小限にするため、スイッチング レギュレータの下にグランド プレーンを使用します。
4. BOOT1 のブートストラップ コンデンサは IC の近くに配置し、BOOT1 ピンおよび SW1 ピンに直接接続します。BOOT2 のブートストラップ コンデンサは IC の近くに配置し、BOOT2 ピンおよび SW2 ピンに直接接続します。
5. VCC コンデンサは、幅広の短いパターンで、IC の近くに配置します。VCC コンデンサの GND 端子は、3 ～ 4 個のビアを経由して PGND プレーンに直接接続する必要があります。
6. 電源グランドをアナログ グランドから絶縁します。PGND プレーンと AGND プレーンは、VCC コンデンサの端子に接続します。そのため、MOSFET ドライバと寄生インダクタンスに起因するノイズは、AGND および内部制御回路とは接続されません。
7. 補償部品は、可能な限り COMP ピンの近くに配置します。アナログ信号へのノイズのカップリングを防止するため、補償部品、帰還部品、その他の高感度アナログ回路は、電力部品、スイッチング ノード SW1 および SW2、大電流パターンから離して配置します。
8. 放熱性能を向上させるため、VIN ピン付近から広い VIN 領域に、また VOUT ピン付近から広い VOUT 領域に、それぞれサーマル ビアを配置することを TI は推奨します。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

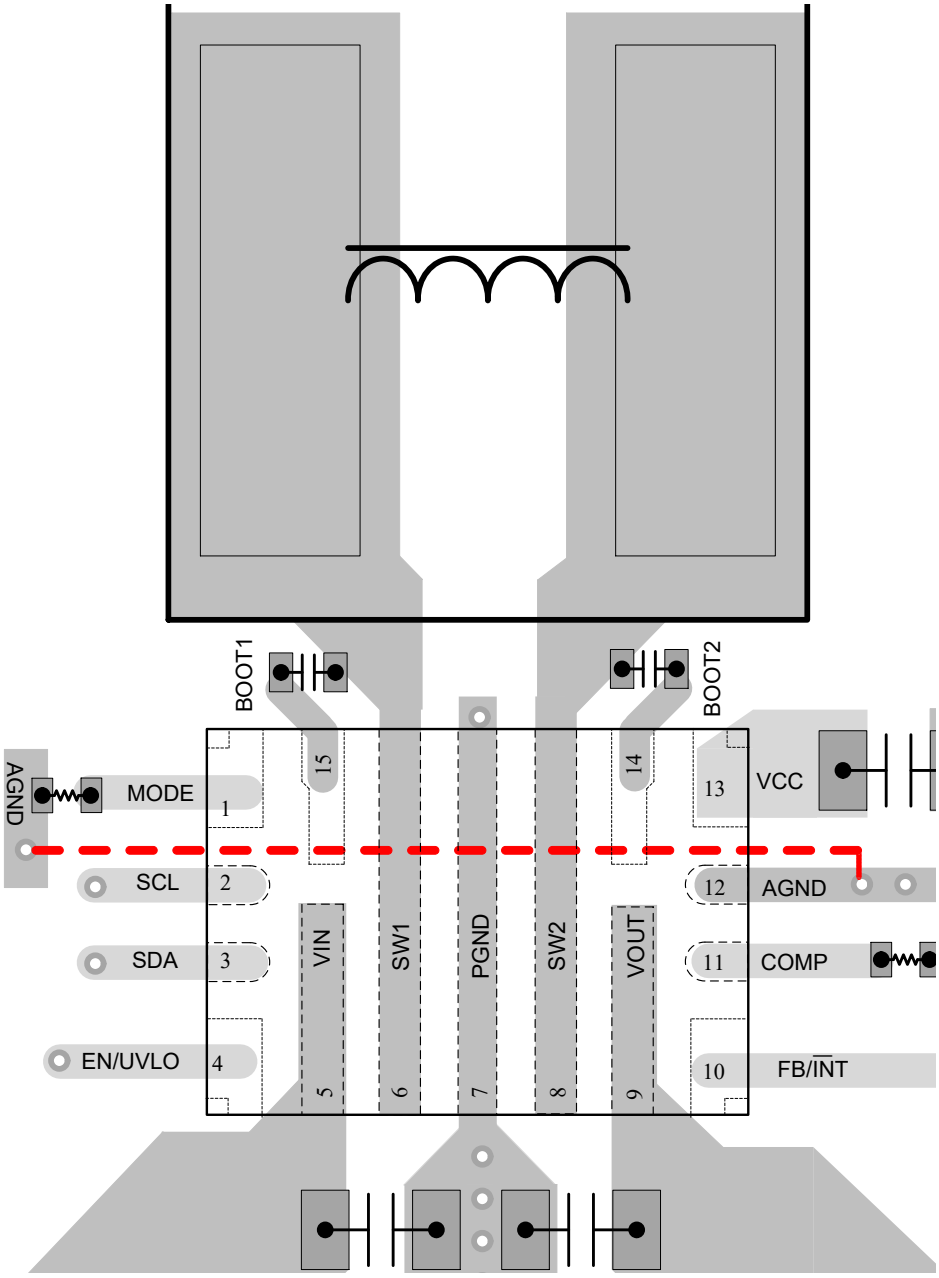


図 8-16. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

日付	改訂	注
July 2026	*	初版リリース

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS55285AVALR	Active	Production	WQFN-HR (VAL) | 15	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	55285A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

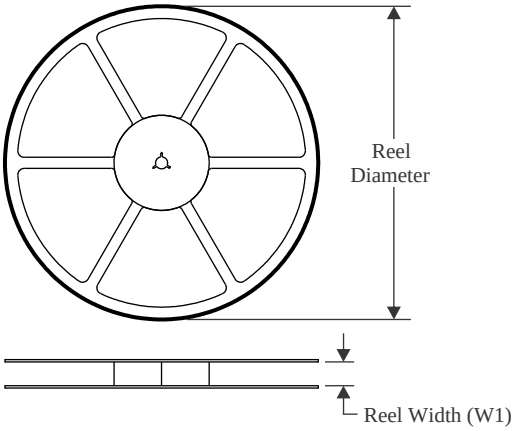
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

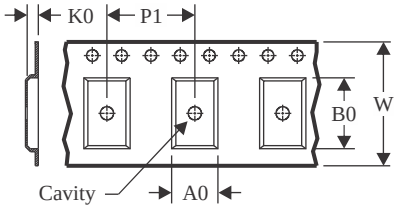
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

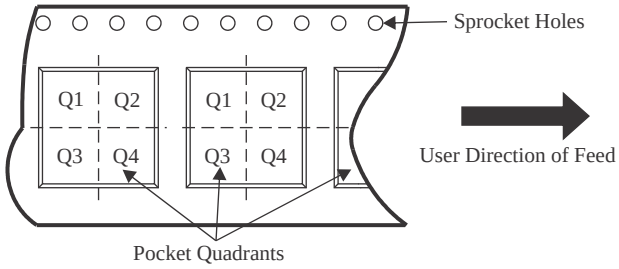


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

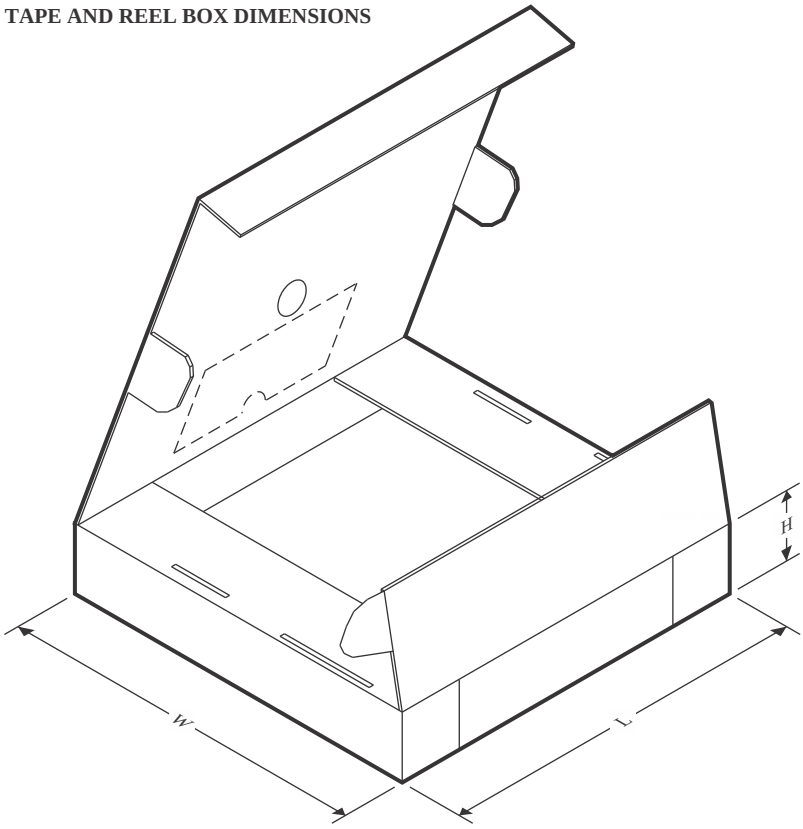
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS55285AVALR	WQFN-HR	VAL	15	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

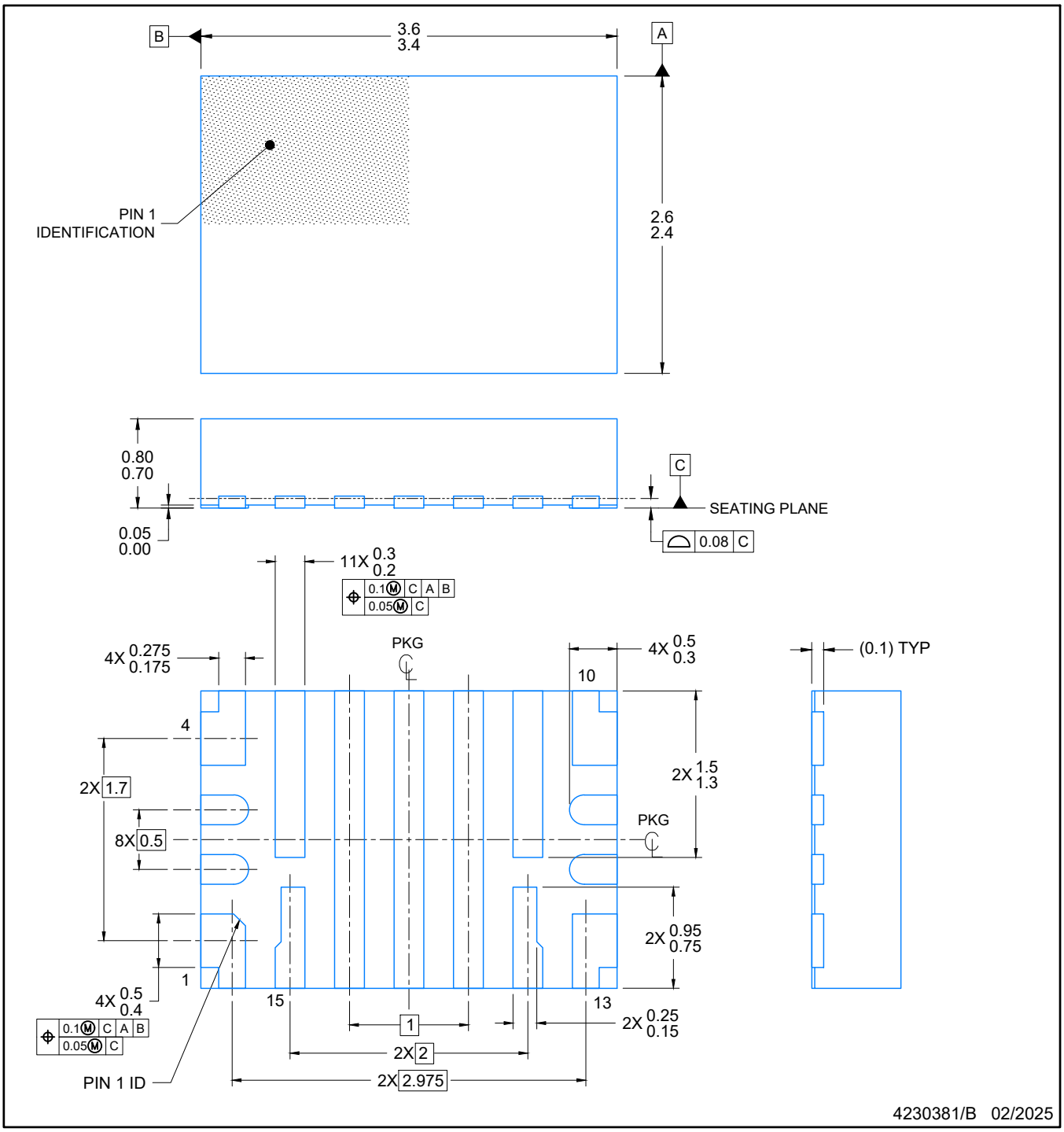
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS55285AVALR	WQFN-HR	VAL	15	3000	210.0	185.0	35.0

PACKAGE OUTLINE

VAL0015A

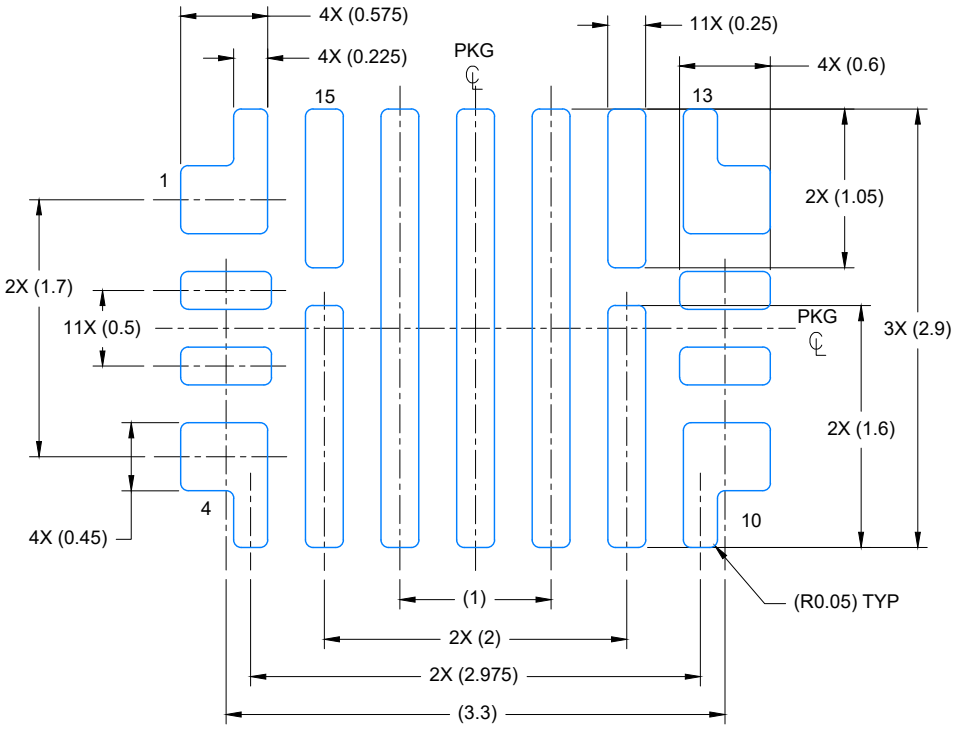
WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK-NO LEAD

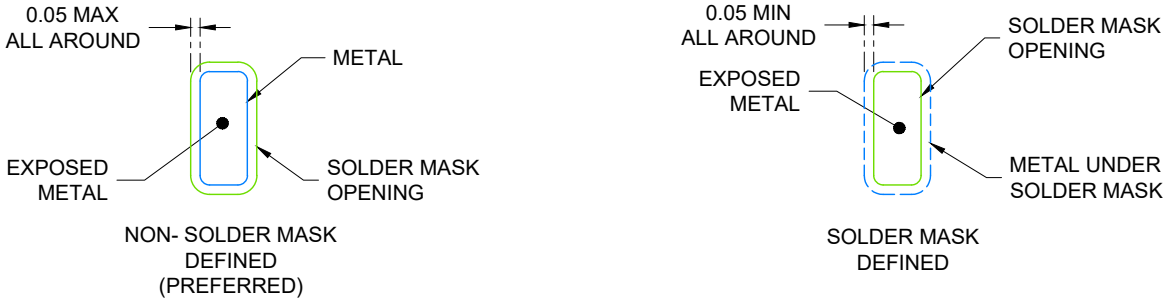


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

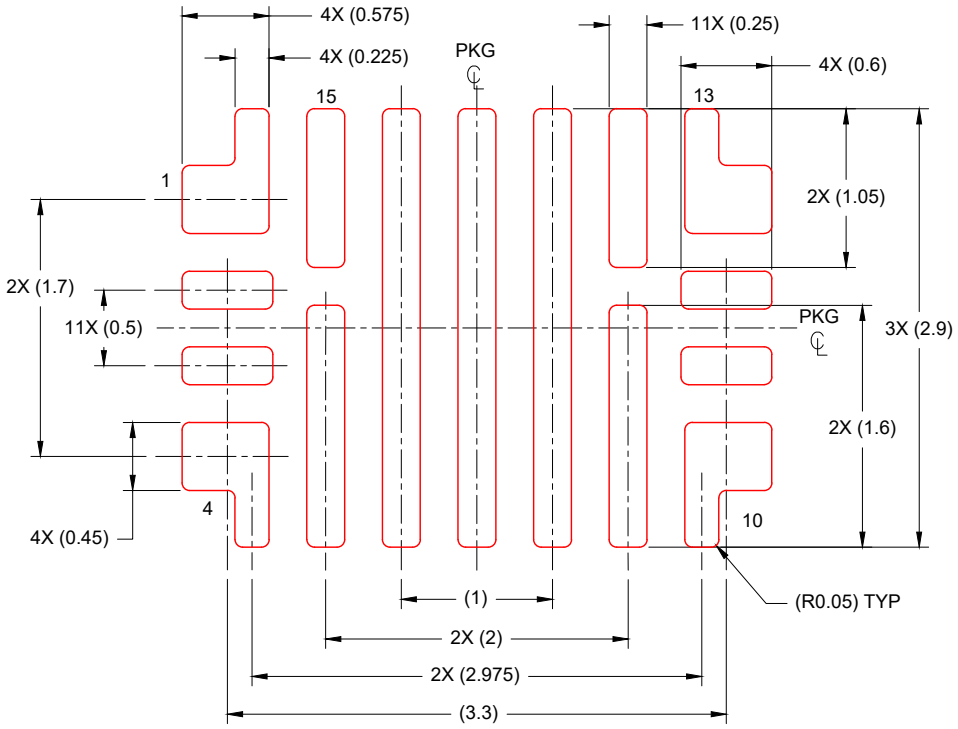


SOLDER MASK DETAILS
NOT TO SCALE

4230381/B 02/2025

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 20X

4230381/B 02/2025

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月