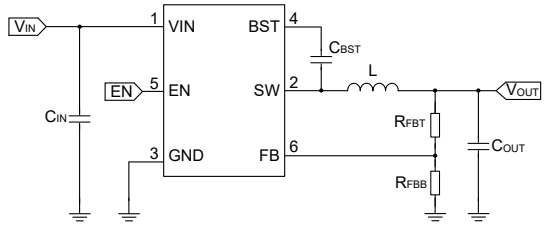
TPS56x24x 3V ～ 17V 入力、2A/3A、同期整流降圧コンバータ、SOT-563 パッケージ

1 特長

- 多様なアプリケーションに適した構成
  - 入力電圧範囲:3V ～ 17V
  - 出力電圧範囲:0.6V ～ 10 V
  - 0.6V のリファレンス電圧
  - 25℃で ±1% の基準電圧精度
  - –40℃～125℃で ±1.5% の基準電圧精度
  - 55.0mΩ および 24.3mΩ の MOSFET を内蔵
  - 100µA 低静止時電流
  - 1.2MHz のスイッチング周波数
  - で最大 95% のデューティ比の大きいサイクル動作
  - 高精度の EN スレッショルド電圧
  - 1.6ms (標準値) の固定ソフト スタート時間
- 使いやすく小さい設計サイズ
  - TPS562242B、TPS563242 Eco モード、TPS563247 FCCM モード (軽負荷時)
  - D-CAP3™ 制御モード
  - ブートストラップ コンデンサを内蔵することでレイアウトを容易化
  - あらかじめ出力にバイアスが印加された状態でのスタートアップをサポート
  - ラッチなしの OV、OT、UVLO 保護
  - ヒカップ モードによる UV 保護
  - サイクル単位の OC および NOC 保護
  - 1.6mm × 1.6mm SOT-563 パッケージ
- WEBENCH® Power Designer により、TPS56x24x を使用するカスタム設計を作成

2 アプリケーション

- WLAN/Wi-Fi アクセス ポイント、スイッチ、ルータ
- 家電製品、ビデオ レコーダ
- 業務用オーディオ、監視、ドローン
- TV、STB および DVR、スマート スピーカ



アプリケーション概略図

3 説明

TPS56x24x は、3V ～ 17V の入力電圧範囲を持つシンプルで使いやすい高効率、高電力密度の同期整流降圧コンバータであり、0.6V ～ 10V の出力電圧において最大 2A (TPS562242B)、3A (TPS563242、TPS563247) の連続電流に対応します。

TPS56x24x は、過渡応答を高速化するため、かつ外部補償を行わなくても低 ESR 出力コンデンサが使えるように、D-CAP3 制御モードを採用しています。このデバイスは、最大 95% のデューティ サイクルでの動作をサポートできます。

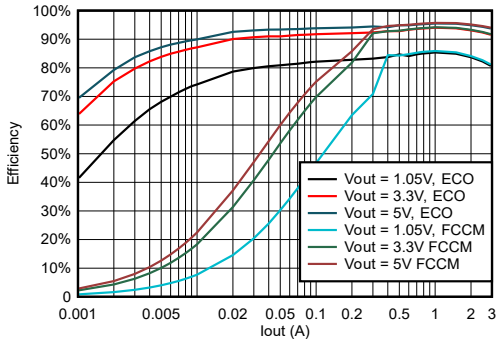
TPS562242B と TPS563242 は Eco モードで動作することで、軽負荷時も高い効率を維持します。TPS563247 は FCCM モードで動作することで、すべての負荷条件で同じ周波数と小さい出力リップルを維持します。このデバイスは、OVP、OCP、UVLO、OTP、UVP (ヒカップ機能付き) による完全な保護機能を備えています。

このデバイスは、1.6mm × 1.6mm SOT-563 パッケージで供給されます。接合部温度の仕様は –40℃～125℃です。

製品情報

部品番号	モード	パッケージ (1)
TPS562242B	ECO	DRL (SOT-563、6)
TPS563242	ECO	
TPS563247	FCCM	

(1) 詳細については、セクション 10 を参照してください。



TPS56324x の効率 (V_{IN} = 12V)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 代表的特性.....7
6 詳細説明.....11
6.1 概要.....11
6.2 機能ブロック図.....12
6.3 機能説明.....12
6.4 デバイスの機能モード.....14
7 アプリケーションと実装.....15
7.1 使用上の注意.....15
7.2 代表的なアプリケーション.....15
7.3 電源に関する推奨事項.....21
7.4 レイアウト.....21
8 デバイスおよびドキュメントのサポート.....23
8.1 デバイス サポート.....23
8.2 ドキュメントの更新通知を受け取る方法.....23
8.3 サポート・リソース.....23
8.4 商標.....23
8.5 静電気放電に関する注意事項.....23
8.6 用語集.....24
9 改訂履歴.....24
10 メカニカル、パッケージ、および注文情報.....24

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

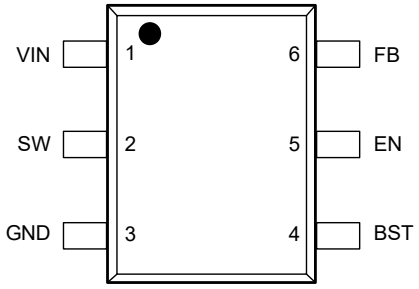


図 4-1. 6 ピン SOT563 DRL パッケージ (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
VIN	1	P	入力電源電圧ピン。VIN と GND の間に入力デカップリング コンデンサを接続します。
SW	2	P	スイッチ ノード ピン。出力インダクタをこのピンに接続します。
GND	3	G	コントローラ回路および内部回路用の GND ピンです。
BST	4	P	このピンと SW ピンとの間に 100nF のセラミック コンデンサを接続するか、フローティングのままにします。
EN	5	A	イネーブル制御入力。EN を High に駆動すると、コンバータが有効になります。
FB	6	A	コンバータの帰還入力。帰還抵抗分圧回路を使用して出力電圧に接続します。

(1) A = アナログ、P = 電源、G = グランド

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
ピン電圧(2)	VIN	–0.3	18	V
	FB、EN	–0.3	6	V
	GND	–0.3	0.3	V
	SW	–2	18	V
	SW (過渡応答 20ns 未満)	–5.5	20	V
	BST	–2	18	V
	BST (過渡応答 20ns 未満)	–5.5	20	V
動作時の接合部温度、T_J		–40	150	°C
保管温度、T_{stg}		–55	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、回路のグランドピン GND を基準としたものです。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、(1)すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
ピン電圧	VIN	3		17	V
	FB、EN	-0.1		5.5	
	GND	-0.1		0.1	
	SW	-1		17	
	SW (過渡応答 20ns 未満)	-5		18	
	BST	-1		17	
	BST (過渡応答 20ns 未満)	-5		18	
出力電流	I_{OUT}	0		2 (TPS562242B) 3 (TPS563242、TPS563247)	A
温度	動作時の接合部温度、T_J	–40		125	°C
	保管温度、T_{stg}	–40		150	

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		DRL (SOT-563)	単位
		6 ピン	
$R_{\theta JA}$ (2)	接合部から周囲への熱抵抗	137.4	°C/W
$R_{\theta JA_effective}$ (3)	接合部から周囲への熱抵抗 (EVM ボード)	74	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	58.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	29.8	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	1.3	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	29.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) この表に示す $R_{\theta JA}$ の値は、その他のパッケージとの比較のためにのみに有効であり、設計目的では使用できません。これらの値は、標準的な JEDEC ボードでシミュレーションされました。これらの値は、実際のアプリケーションで得られた性能を表すものではありません。
(3) この $R_{\theta JA_effective}$ は、TPS563242 評価基板 (2 層、銅箔厚は 2oz) で、V_{IN} = 12V、V_{OUT} = 5V、I_{OUT} = 3A、T_A = 25°C でテストされています。

5.5 電気的特性

T_J = –40°C～125°C、V_{IN} = 12V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電源電圧						
V_{IN}	入力電圧範囲	V_{IN}	3		17	V
I_{VIN}	VIN 電源電流	無負荷、V_{EN} = 5V、V_{FB} = 0.65V、スイッチングなし、ECO バージョン		100		µA
		無負荷、V_{EN} = 5V、V_{FB} = 0.65V、スイッチングなし、FCCM バージョン		370		µA
I_{INSDN}	VIN シャットダウン電流	無負荷、V_{EN} = 0V		2		µA
UVLO						
V_{IN_UVLO}	入力低電圧誤動作防止スレッショルド	立ち上がりスレッショルド	2.80	2.92	3.00	V
		立ち下がりスレッショルド	2.60	2.72	2.80	V
		ヒステリシス		200		mV
帰還電圧						
V_{REF}	FB 電圧	T_J = 25°C	594	600	606	mV
		T_J = –40°C～125°C	591	600	609	mV
パワー MOSFET を内蔵						
R_{DSON_HS}	ハイサイド MOSFET オン抵抗	T_J = 25°C、V_{IN} ≥ 5V		55.0		mΩ
		T_J = 25°C、V_{IN} = 3V (1)		67.5		mΩ
R_{DSON_LS}	ローサイド MOSFET オン抵抗	T_J = 25°C、V_{IN} ≥ 5V		24.3		mΩ
		T_J = 25 °C、V_{IN} = 3 V		30.2		mΩ
スイッチング周波数						
f_{sw}	スイッチング周波数	T_J = 25°C、V_{OUT} = 3.3V		1.2		MHz
$t_{ON(MIN)}$ (1)	最小オン時間			60		ns
$t_{OFF(MIN)}$ (1)	最小オフ時間	V_{FB} = 0.5 V		110		ns
論理スレッショルド						
V_{ENH}	EN スレッショルドの high レベル	立ち上がりイネーブル・スレッショルド	1.15	1.19	1.25	V
V_{ENL}	EN スレッショルドの low レベル	立ち下がりディセーブル スレッショルド	0.90	1.00	1.10	V
V_{ENHYS}	EN ヒステリシス	ヒステリシス		190		mV
R_{EN}	EN プルダウン抵抗			2		MΩ

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = –40℃～125℃、V_{IN} = 12V (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電流制限						
I_{OCL_LS}	過電流スレッショルド	バレー電流設定ポイント (TPS562242B)	2.3	3.0	3.6	A
I_{OCL_LS}	過電流スレッショルド	バレー電流設定ポイント (TPS563242、TPS563247)	3.1	4.1	5.0	A
I_{NOC}	負の過電流スレッショルド	(TPS563247)	1.5	2.1	2.5	A
ソフト スタート						
t_{SS}	内部ソフトスタート時間			1.6		ms
出力過電圧および低電圧保護						
V_{OVP}	OVP 遷移スレッショルド	V_{FB} 立ち上がり	110%	115%	120%	
t_{OVPDLY}	OVP 伝搬のグリッチ除去			24		µs
V_{UVP}	UVP 遷移スレッショルド	V_{FB} 立ち下がり	55%	60%	65%	
t_{UVPDLY}	UVP 伝搬のグリッチ除去			220		µs
t_{UVPEN}	ヒカップ イネーブル遅延時間	UVP 検出		14		ms
サーマル シャットダウン						
T_{SDN} (1)	サーマル シャットダウンのスレッショルド	シャットダウン温度		155		°C
T_{OTPHSY} (1)		ヒステリシス		20		

(1) 設計により規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性

T_J = –40℃～125℃、V_{IN} = 12V (特に記述のない限り)

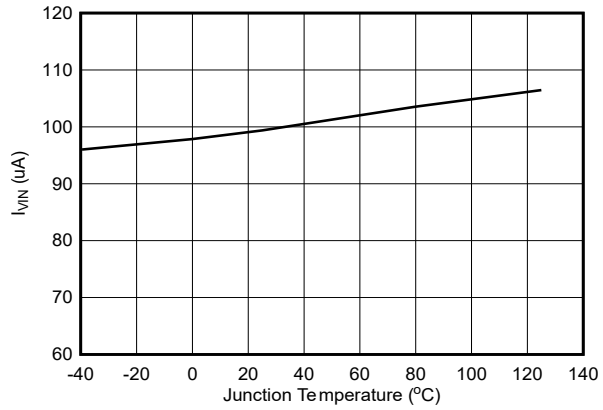


図 5-1. TPS562242B、TPS563242 の静止電流

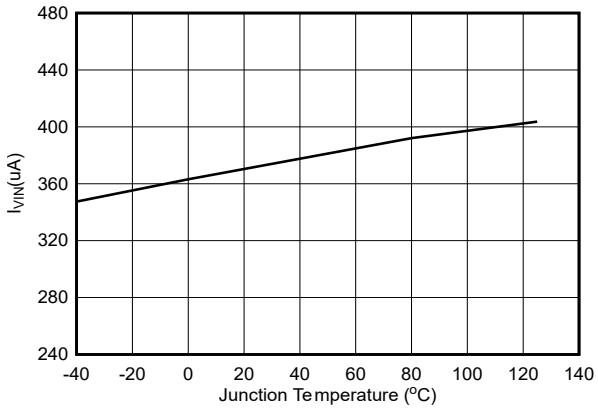


図 5-2. TPS563247 の静止電流

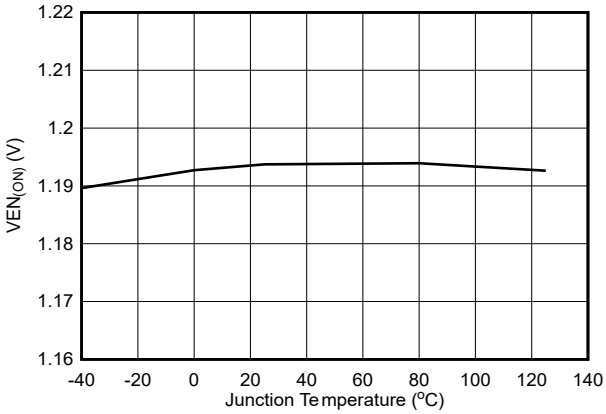


図 5-3. イネーブル オン スレッショルド電圧

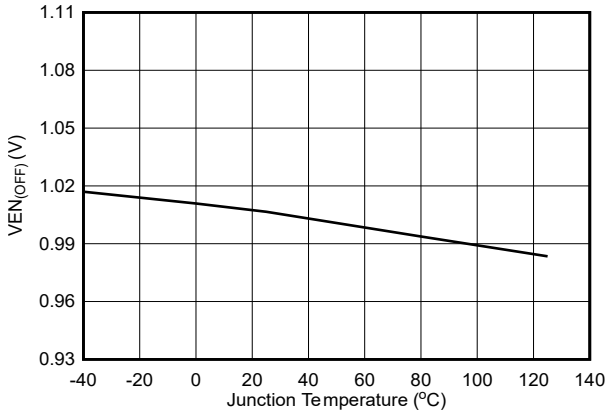


図 5-4. イネーブル オフ スレッショルド電圧

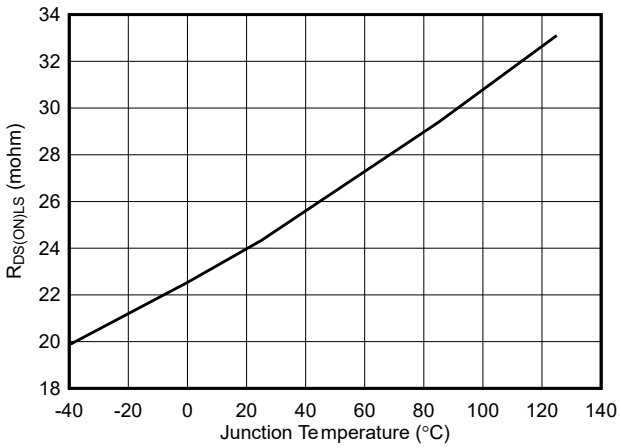


図 5-5. ローサイド $R_{DS(ON)}$

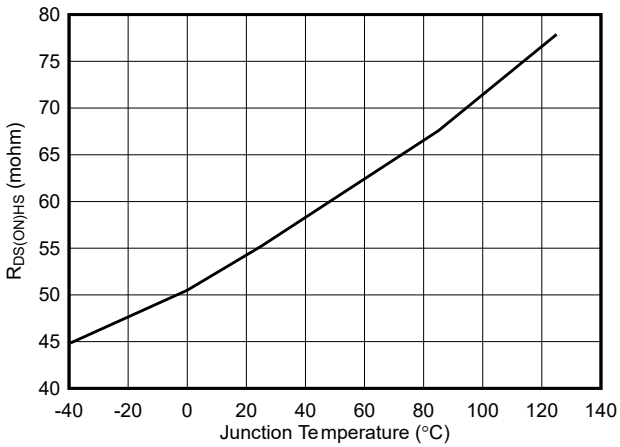


図 5-6. ハイサイド $R_{DS(ON)}$

5.6 代表的特性 (続き)

T_J = –40℃～125℃、V_{IN} = 12V (特に記述のない限り)

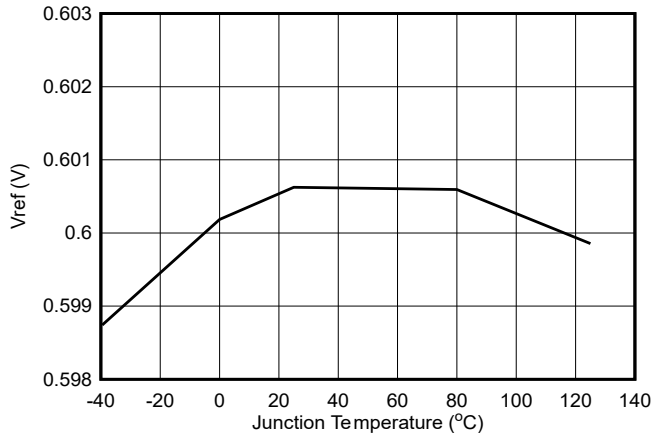


図 5-7. VREF 電圧

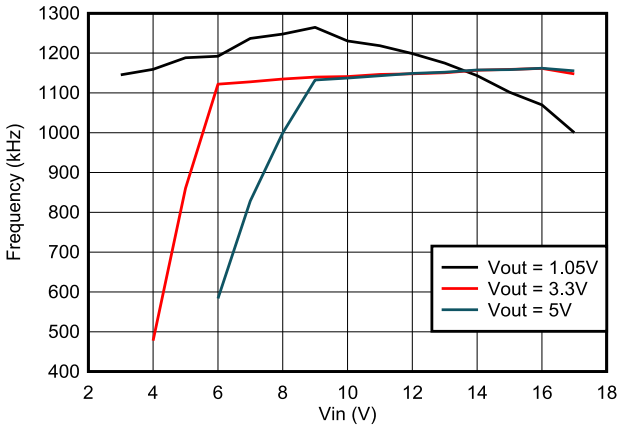


図 5-8. 周波数と入力電圧との関係 (I_{OUT} = 3A)

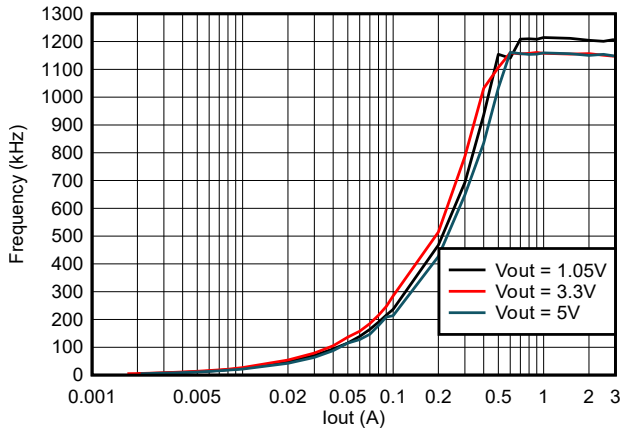


図 5-9. TPS563242 周波数と負荷との関係 (V_{IN} = 12V)

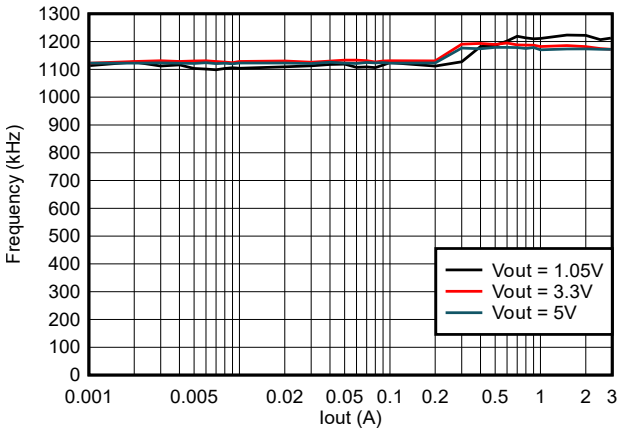


図 5-10. TPS563247 周波数と負荷との関係 (V_{IN} = 12V)

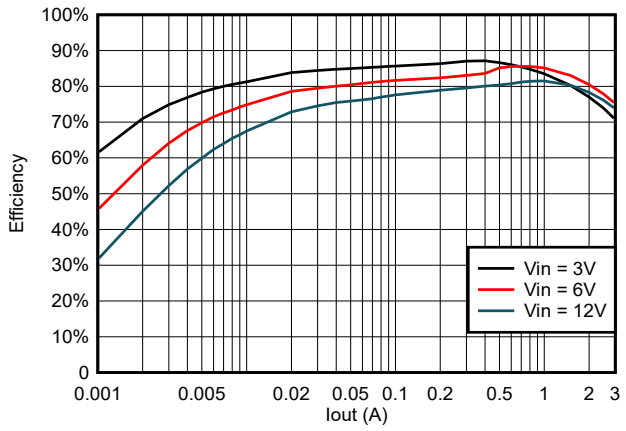


図 5-11. 0.68µH インダクタでの 0.6V_{OUT} での TPS563242 の効率

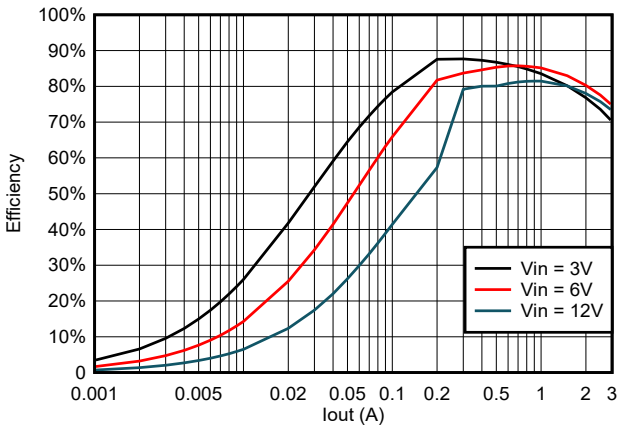


図 5-12. 0.68µH インダクタでの 0.6V_{OUT} での TPS563247 の効率

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

T_J = –40℃～125℃、V_{IN} = 12V (特に記述のない限り)

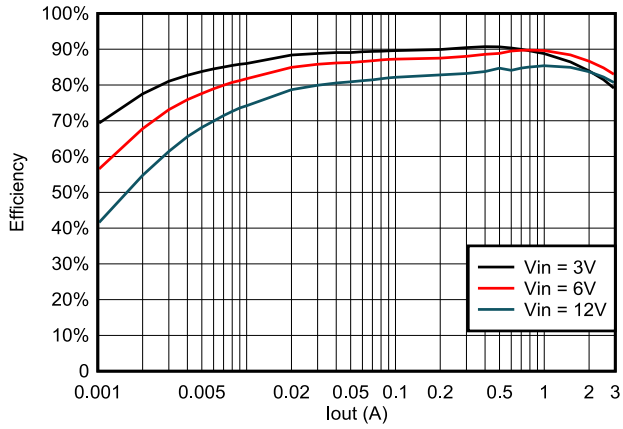


図 5-13. 0.82µH インダクタでの 1.05V_{OUT} での TPS563242 の効率

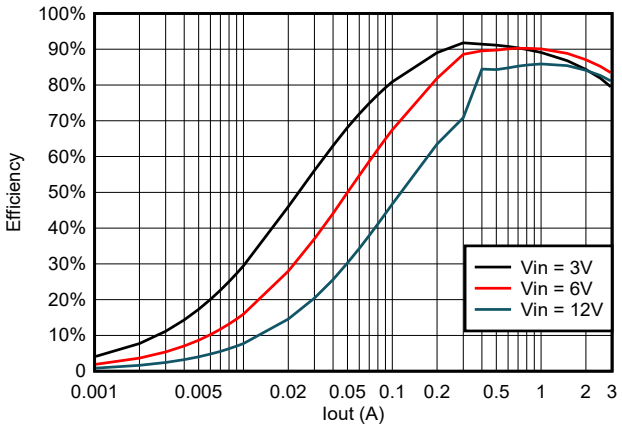


図 5-14. 0.82µH インダクタでの 1.05V_{OUT} での TPS563247 の効率

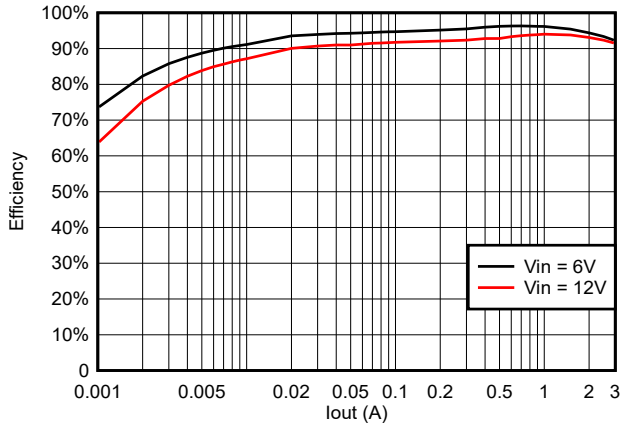


図 5-15. 2.2µH インダクタでの 3.3V_{OUT} での TPS563242 の効率

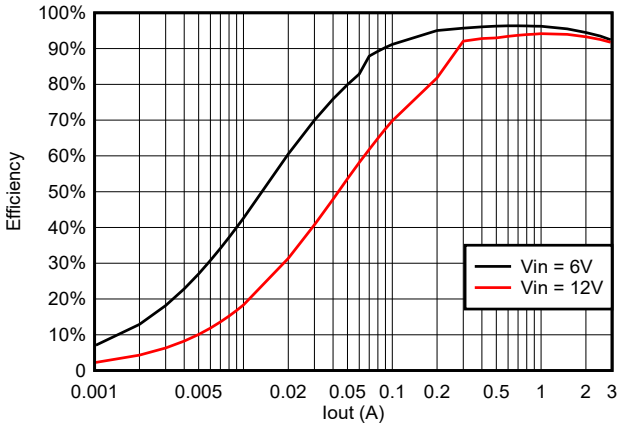


図 5-16. 2.2µH インダクタでの 3.3V_{OUT} での TPS563247 の効率

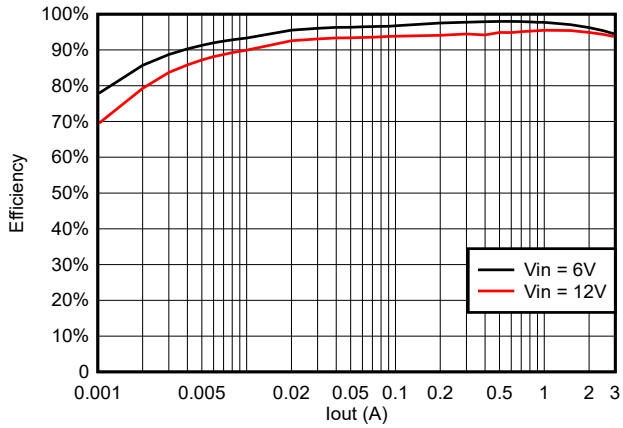


図 5-17. 2.2µH インダクタでの 5V_{OUT} での TPS563242 の効率

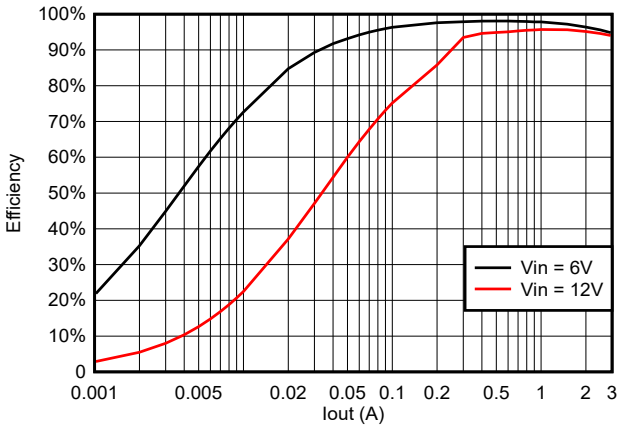


図 5-18. 2.2µH インダクタでの 5V_{OUT} での TPS563247 の効率

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

T_J = –40℃～125℃、V_{IN} = 12V (特に記述のない限り)

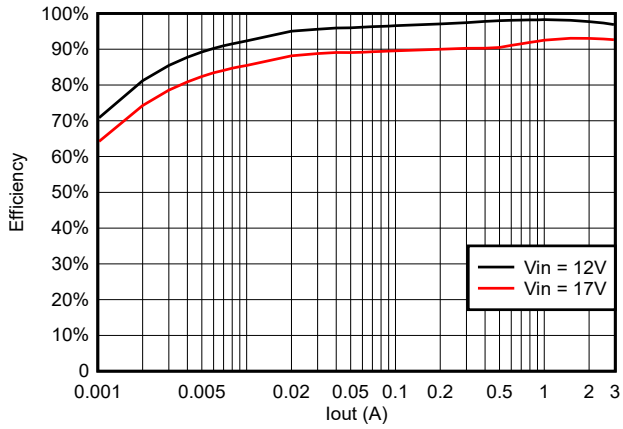


図 5-19. 4.7µH インダクタでの 10V_{OUT} での TPS563242 の効率

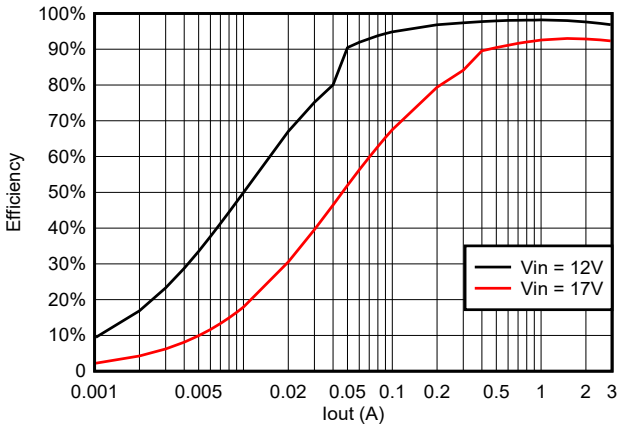


図 5-20. 4.7µH インダクタでの 10V_{OUT} での TPS563247 の効率

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

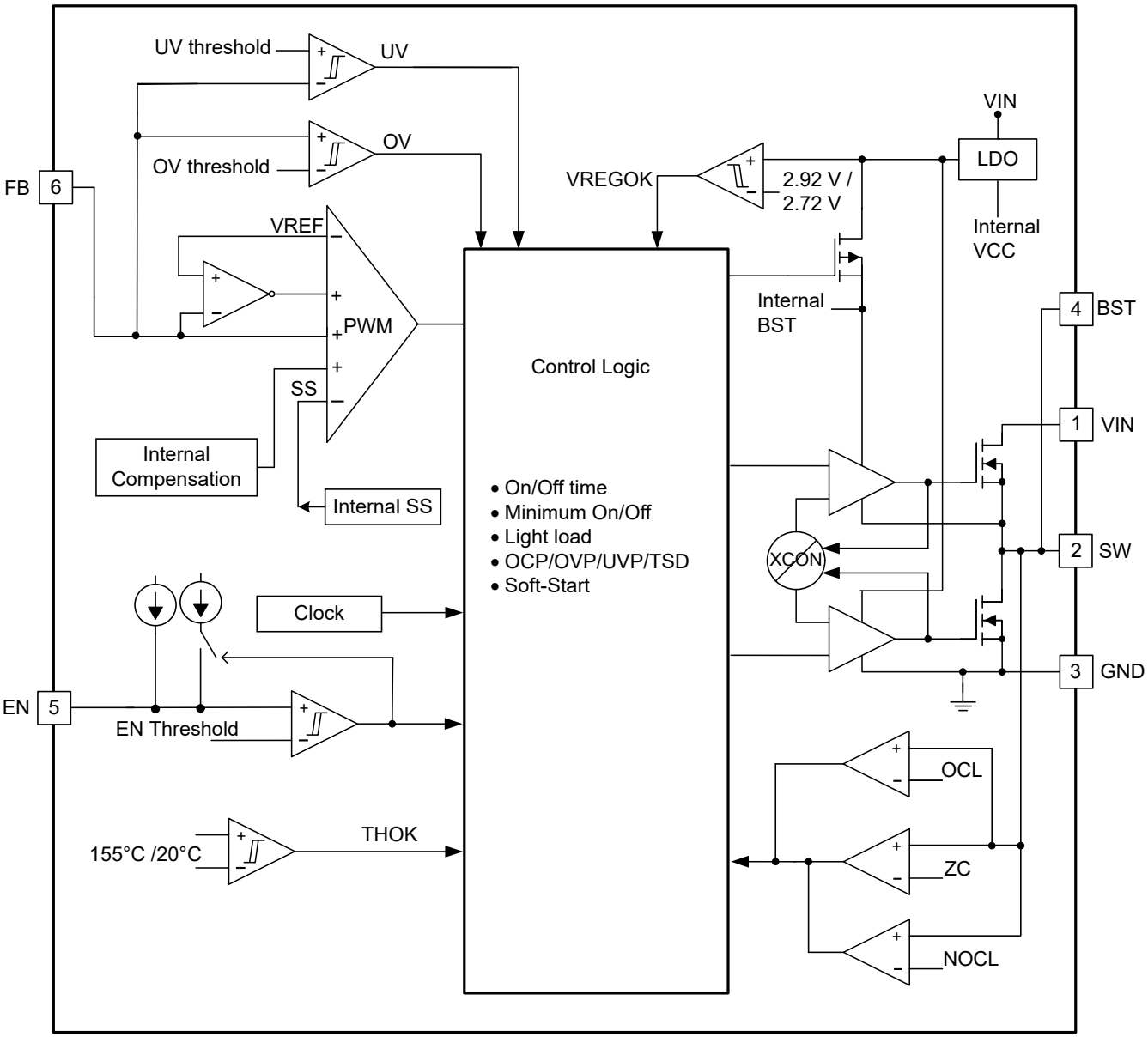
6.1 概要

TPS56x24x は、2A および 3A の内蔵 FET 同期整流降圧コンバータで、3V ～ 17V の入力電圧と 0.6V ～ 10V の出力電圧で動作します。このデバイスは D-CAP3 制御モードを採用し、外部補償部品なしの高速過渡応答と、高精度フィードバック電圧を実現しています。独自の D-CAP3 制御モードにより、外付け部品数が少なく、設計が簡単になり、コスト、サイズ、効率について電源設計を最適化できます。このトポロジにより、重負荷条件での CCM 動作モードと軽負荷条件での DCM 動作モードの間をシームレスに移行できます。

Eco モード バージョンを使用すると、TPS562242B および TPS563242 で軽負荷時に高い効率を維持できます。FCCM バージョンでは、TPS563247 は固定スイッチング周波数と低い電圧出力リップルを維持できます。TPS56x24x は、POSCAP や SP-CAP など等価直列抵抗 (ESR) の低い出力コンデンサにも、ESR の非常に低いセラミック コンデンサにも対応可能です。

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図



6.3 機能説明

6.3.1 PWM 動作と D-CAP3™ 制御モード

降圧モジュールのメイン制御ループは、独自の D-CAP3 制御モードをサポートする適応型オン時間パルス幅変調 (PWM) コントローラとなっています。D-CAP3 制御モードは、適応型オン時間制御を、擬似固定周波数で外部部品数の少ない構成を可能にする内部補償回路と組み合わせたもので、低 ESR 出力コンデンサとセラミック出力コンデンサの両方を使用できます。このデバイスは、出力にほとんどリップルがない状態でも安定して動作します。TPS56x24x には、出力電圧の精度を非常に高めるエラー アンプも内蔵されています。

各サイクルの開始時に、ハイサイド MOSFET がオンになります。内部のワンショット タイマが終了すると、この MOSFET がオフになります。このワンショット タイマの時間は、入力電圧範囲内で擬似固定周波数が維持されるように、出力電圧 V_{OUT} に比例し、コンバータの入力電圧 V_{IN} に反比例するよう設定されます。そのため、これは適応型オン時間制御と呼

Copyright © 2026 Texas Instruments Incorporated

ばれます。帰還電圧がリファレンス電圧を下回ると、ワンショット タイマがリセットされ、ハイサイド MOSFET が再度オンになります。出力リップルをエミュレートするために、リファレンス電圧に内部リップル生成回路を追加しているため、多層セラミック コンデンサ (MLCC) などの超低 ESR 出力コンデンサを使用できます。D-CAP3 制御モードでは、外部の電流センス ネットワークや電圧補償回路は不要です。

6.3.2 Eco モード制御

TPS562242B、および TPS563242 は、軽負荷時に高い効率を維持する高度な Eco モード を使って設計されています。重負荷状態から出力電流が減少すると、インダクタ電流も減少し、最終的にはそのリップル付きバレーがゼロ レベルに達する点まで至ります。これは、連続導通モードと不連続導通モードの境界に当たります。ゼロ インダクタ電流が検出されると、整流 MOSFET がオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モードに入ります。オン時間は連続導通モードのときとほぼ同じに保持されるため、出力コンデンサを小さな負荷電流でリファレンス電圧レベルまで放電するには、より長い時間がかかります。このアクションにより、スイッチング周波数が負荷電流に比例して低下し、軽負荷時の効率が高く維持されます。次の式を使用して、軽負荷動作 $I_{OUT(LL)}$ 電流への遷移点を計算します。

$$I_{OUT(LL)} = \frac{1}{2 \times L \times f_{SW}} \times \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN}} \quad (1)$$

6.3.3 ソフト スタートおよびプリバイアス付きソフト スタート

TPS56x24x には 1.6ms の内部固定ソフト スタート時間があります。EN のデフォルト ステータスは Low です。EN ピンが High になると、内部ソフト スタート機能によって PWM コンパレータに対するリファレンス電圧が上昇し始めます。

スタートアップ時に出力コンデンサがプリバイアスされている場合には、内部リファレンス電圧が帰還電圧 V_{FB} を上回るまで、スイッチングおよび電圧上昇は開始されません。これにより、コンバータはレギュレーション点までスムーズに上昇します。

6.3.4 過電圧保護

TPS56x24x には過電圧保護機能があります。出力電圧が OVP スレッショルドを上回ると、24µs グリッチ除去時間で OVP がトリガされます。ハイサイド MOSFET とローサイド MOSFET ドライバの両方がオフになります。過電圧状態が解消されると、デバイスはスイッチングに戻ります。

6.3.5 デューティ比の大きい動作

TPS56x24x は、スイッチング周波数をスムーズに下げることで、最大 95% のデューティ比の大きい動作をサポートできます。$V_{IN}/V_{OUT} < 1.6$ かつ V_{FB} が内部 V_{REF} より低い場合、スイッチング周波数がスムーズに低下して t_{ON} が拡張され、デューティ比の大きい動作が実現されるとともに、負荷過渡性能も向上します。図 5-8 の周波数テスト波形を参照してください。最小スイッチング周波数は、約 450kHz に制限されています。

6.3.6 電流保護と低電圧保護

出力過電流制限 (OCL) は、サイクル毎のバレー検出制御回路を使用して実現されています。オフ状態中に、ローサイド FET のドレイン - ソース間電圧を測定することで、スイッチ電流が監視されます。この電圧は、スイッチ電流に比例します。精度を向上させるため、電圧センスは温度補償されています。

ハイサイド FET スイッチのオン時間中、スイッチ電流は、次によって決定されるリニアなレートで増加します。

- V_{IN}
- V_{OUT}
- オン時間
- 出力インダクタ値

ローサイド FET スイッチのオン時間中は、この電流はリニアに減少します。スイッチ電流の平均値はが、負荷電流 I_{OUT} です。監視対象バレー電圧が OCL レベルより高い場合、コンバータはローサイド FET をオンに保持し、電流レベルが OCL レベル以下になるまでの間、(電圧帰還ループで必要とされる場合であっても) 新しい設定パルスの生成を遅延させます。以降のスイッチング サイクルでは、オン時間が固定値に設定され、同じ方法で電流が監視されます。

Copyright © 2026 Texas Instruments Incorporated

このようなタイプの過電流保護には、いくつかの重要な考慮事項があります。負荷電流は、ピーク ツー ピーク インダクタ リップル電流の 1/2 だけ、過電流スレッショルドよりも高くなります。また、電流が制限されている間は、出力電圧が低下する傾向があります。これは、必要な負荷電流が、コンバータから供給される電流よりも高く、これにより出力電圧が低下する場合があるためです。FB 電圧が UVP スレッショルド電圧を下回ると、UVP コンパレータによってこの立ち下がりが検出され、UVP 遅延時間 (標準値 220µs) の経過後にデバイスはシャットダウンし、ヒカップ待機時間 (標準値 14ms) の経過後に再起動します。デバイスがヒカップ サイクルに入った後、ヒカップ オン時間は標準値 2.2ms です。

過電流状態が解消されると、出力電圧はレギュレーション値に復帰します。

TPS563247 は FCCM モードの部品です。このモードでは、デバイスは軽負荷時に負のインダクタ電流が流れます。デバイスには NOC (負の過電流) 保護機能があり、負の電流が大きすぎることを防止します。NOC 保護機能は、インダクタ電流のバレーを検出します。インダクタ電流のバレー値が NOC スレッショルドを超えると、デバイスはローサイド FET をオフにしてからハイサイド FET をオンにします。NOC 状態が解消されると、デバイスは通常スイッチングに復帰します。

TPS563247 は FCCM モード ポートであるため、インダクタンスが非常に小さくてデバイスが NOC をトリガする場合、この動作によって出力電圧が目標値よりも高くなります。インダクタンスの最小値は、式 2 として識別されます。

$$L = \frac{V_{OUT} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right)}{2 \times \text{Frequency} \times \text{NOC}_{(\text{min})}} \quad (2)$$

6.3.7 低電圧誤動作防止 (UVLO) 保護

UVLO 保護機能は、内部レギュレータ電圧を監視します。この電圧が UVLO スレッショルド電圧を下回ると、デバイスがオフになります。これは非ラッチ方式の保護です。

6.3.8 サーマル シャットダウン

デバイスは、デバイスの温度を監視します。温度がスレッショルド値を超えると、デバイスがシャットダウンされます。これは非ラッチ方式の保護です。

6.4 デバイスの機能モード

6.4.1 Eco モード動作

TPS562242B および TPS563242 は Eco モードで動作することで、軽負荷時も高い効率を維持します。重負荷状態から出力電流が減少すると、インダクタ電流も減少し、最終的にはそのリップル付きの “谷” がゼロ レベルに達する点まで至ります。これは、連続導通モードと不連続導通モードの境界に当たります。ゼロ インダクタ電流が検出されると、整流 MOSFET がオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モードに入ります。オン時間は連続導通モードのときとほぼ同じに保持されるため、出力コンデンサを小さな負荷電流でリファレンス電圧レベルまで放電するには、より長い時間がかかります。このアクションにより、スイッチング周波数が負荷電流に比例して低下し、軽負荷時の効率が高く維持されます。

6.4.2 FCCM モード動作

TPS563247 は強制 CCM (FCCM) モードで動作することで、軽負荷状況でもコンバータを連続電流モードで動作させ、インダクタ電流を負にできます。FCCM 中は、負荷範囲全体にわたってスイッチング周波数がほぼ一定に保たれます。これは軽負荷時での効率低下を犠牲にしてもスイッチング周波数と出力電圧リップルの厳密な制御が必要なアプリケーション向けに設計されています。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

このデバイスは代表的な降圧 DC/DC コンバータで、利用可能な最大出力電流が 2A および 3A で、高い DC 電圧を低い DC 電圧に変換するために使われることが一般的です。以下の設計手順を使用して TPS56x24x の部品値を選択できます。または、WEBENCH Power Designer ソフトウェアを使用して完全な設計を生成することもできます。WEBENCH Power Designer ソフトウェアは、反復的な設計手順を使用し、包括的な部品データベースにアクセスして設計を生成します。ここでは、設計手順について簡単に説明します。

7.2 代表的なアプリケーション

次のアプリケーション回路図は、表 7-1 の要件を満たすように開発されています。この回路は、評価基板 (EVM) の形で入手できます。このセクションでは、設計手順を示します。

次の図に、TPS56x24x 5V ～ 17V 入力、1.05V 出力コンバータの回路図を示します。

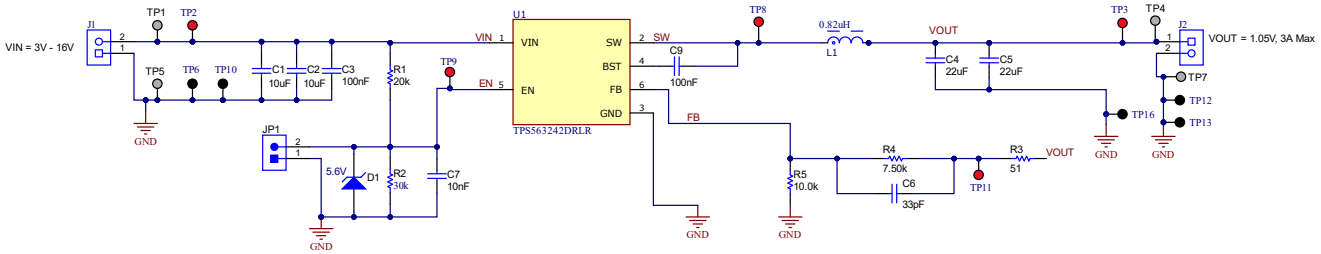


図 7-1. 回路図

7.2.1 設計要件

このアプリケーションの設計パラメータを、表 7-1 に示します。

表 7-1. 設計パラメータ

パラメータ		条件	最小値	標準値	最大値	単位
V_{OUT}	出力電圧			1.05		V
I_{OUT}	出力電流			3		A
ΔV_{OUT}	過渡応答	0.3A ～ 2.7A の負荷ステップ、0.8A/µs のスルーレート		±3% × V_{OUT}		V
V_{IN}	入力電圧		5	12	17	V
$V_{OUT(ripple)}$	出力電圧リップル	CCM 条件		10		mV
F_{SW}	スイッチング周波数			1.2		MHz
T_A	周囲温度			25		°C

7.2.2 詳細な設計手順

7.2.2.1 WEBENCH® ツールによるカスタム設計

ここをクリック すると、WEBENCH® Power Designer により、TPS562242B デバイスを使用するカスタム設計を作成できます。

ここをクリックすると、WEBENCH® Power Designer により、TPS563242 デバイスを使用するカスタム設計を作成できます。

ここをクリック すると、WEBENCH® Power Designer により、TPS563247 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

7.2.2.2 出力電圧抵抗の選択

出力電圧は、出力ノードと FB ピンとの間の抵抗分圧回路によって設定されます。公差 1% 以内の分圧抵抗を使用することを推奨します。最初は、式 3 を使用して V_{OUT} を計算します。

超軽負荷時の効率を向上させるには、より大きな値の抵抗の使用を検討します。値が大きすぎると、レギュレータがノイズの影響を受けやすくなり、FB 入力電流からの電圧誤差が目立つようになります。R_5 に 10kΩ 抵抗を使用して、設計を開始します。

$$V_{OUT} = 0.6 \times \left(1 + \frac{R_4}{R_5}\right) \quad (3)$$

7.2.2.3 出力フィルタの選択

出力フィルタとして使用する LC フィルタは、式 4 に二重極があります。この式では、C_{OUT} は公称値ではなく、ディレーティング後の実効値を使用します。

$$f_P = \frac{1}{2\pi\sqrt{L_{OUT} \times C_{OUT}}} \quad (4)$$

内部で補償されるすべての制御トポロジには、制御トポロジがサポートできる出力フィルタの範囲があります。低周波数では、出力設定点抵抗デバイダ回路、およびデバイスの内部ゲインによって、全体のループ ゲインが設定されます。低周波位相は 180°です。出力フィルタの極周波数では、10 進数ごとにゲインが –40dB ロールオフし、位相は 180 度低下します。内部リップル生成回路によって高周波数ゼロが導入されることで、ゲインのロール オフが 10 進数ごとに –40dB から –20dB に低減し、90 度の位相ブーストが発生します。内部リップル注入の高周波ゼロは約 156kHz です。TI は、出力フィルタに使用するインダクタとコンデンサを選択する際に、二重極を約 40kHz に配置することを推奨しています。これにより、この高周波ゼロから得られる位相ブーストが、安定性の要件に十分な位相マージンを提供します。システム全体のクロスオーバー周波数は通常、スイッチング周波数 (f_{SW}) の 1/3 未満に設定します。出力電圧が高い状態では、十分な位相マージンを得るために 10 ～ 100pF のフィードフォワード コンデンサを使用することを TI は推奨します。

Copyright © 2026 Texas Instruments Incorporated

表 7-2. TPS562242B の推奨部品値

出力電圧 (V)	R4 (kΩ)	R5 (kΩ)	標準 L1 (µH)	標準 C_{OUT} (µF)	標準 C_{OUT} (µF) の公称値範囲	標準 C_{OUT} カテゴリ	標準 C6 (pF)
0.6	0	10.0	0.82	44	44-88	MLCC、0805、10V	—
1.05	7.5	10.0	1.2	22	22-66	MLCC、0805、10V	—
3.3	135.0	30.0	2.2	22	22-88	MLCC、0805、10V	33
5	220.0	30.0	3.3	22	22-88	MLCC、0805、10V	33
10	470.0	30.0	4.7	44	44-88	MLCC、0805、16V	47

表 7-3. TPS563242、TPS563247 の推奨部品値

出力電圧 (V)	R4 (kΩ)	R5 (kΩ)	標準 L1 (µH)	標準 C_{OUT} (µF)	標準 C_{OUT} (µF) の公称値範囲	標準 C_{OUT} カテゴリ	標準 C6 (pF)
0.6	0	10.0	0.68	44	44-88	MLCC、0805、10V	—
1.05	7.5	10.0	0.82	22	22-44	MLCC、0805、10V	—
3.3	135.0	30.0	2.2	22	22-88	MLCC、0805、10V	33
5	220.0	30.0	2.2	22	22-88	MLCC、0805、10V	22
10	470.0	30.0	4.7	44	44-88	MLCC、0805、16V	47

インダクタのピーク ツー ピーク リップル電流、ピーク電流、および RMS 電流は、式 5、式 6、式 7 で求めることができます。一般に、効率とインダクタ体積に関する包括的な利点を実現するため、TI はピーク ツー ピーク リップル電流を出力平均電流の 20% ～ 50% にすることを推奨します。インダクタの飽和電流定格は、計算されたピーク電流よりも大きい必要があり、RMS または加熱電流定格は、計算された RMS 電流よりも大きい必要があります。

$$II_{P-P} = \frac{V_{OUT}}{V_{IN(MAX)}} \times \frac{V_{IN(MAX)} - V_{OUT}}{L_O \times f_{SW}} \quad (5)$$

$$II_{PEAK} = I_O + \frac{II_{P-P}}{2} \quad (6)$$

$$I_{LO(RMS)} = \sqrt{I_O^2 + \frac{1}{12} II_{P-P}^2} \quad (7)$$

この設計例では、計算されたピーク電流は 3.4A で、RMS 電流の計算値は 3.01A です。使用するインダクタは 744383660082 で、定格電流は 8.8A、飽和電流は 11A です。

コンデンサの値と ESR によって、出力電圧リップルの大きさが決まります。TPS56x24x は、セラミックまたは他の低 ESR コンデンサとともに使用するよう設計されています。出力コンデンサに対して必要な RMS 電流定格は、式 8 で求められます。

$$I_{CO(RMS)} = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{\sqrt{12} \times V_{IN} \times L_O \times f_{SW}} \quad (8)$$

この設計では、MuRata GRM21BR61A226ME44L 22µF 出力コンデンサを 1 個使用します。代表的な ESR はそれぞれ 2mΩ です。RMS 電流の計算値は 0.25A で、各出力コンデンサの定格は 4A です。

7.2.2.4 入力コンデンサの選択

TPS56x24x には、入力デカップリング コンデンサと、アプリケーションによってはバルク コンデンサが必要となります。デカップリング コンデンサに 10µF よりもセラミック コンデンサをお勧めします。高周波フィルタリングを行うため、VIN ピンとグランドの間に 0.1µF コンデンサを追加することをお勧めします。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

特に記述のない限り、以下のデータは V_{IN} = 12V、V_{OUT} = 1.05V、T_A = 25℃でテストされています。

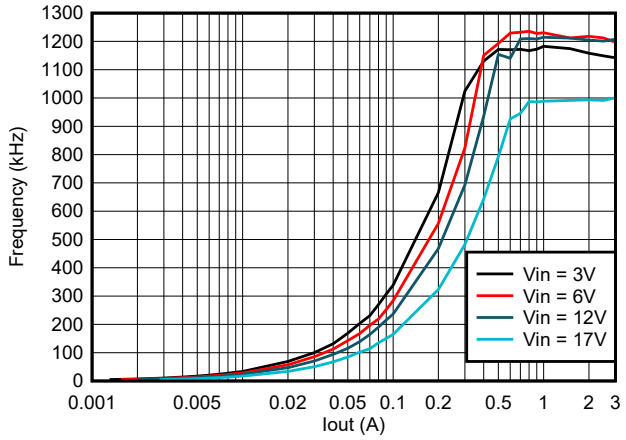


図 7-2. TPS563242 周波数と負荷との関係

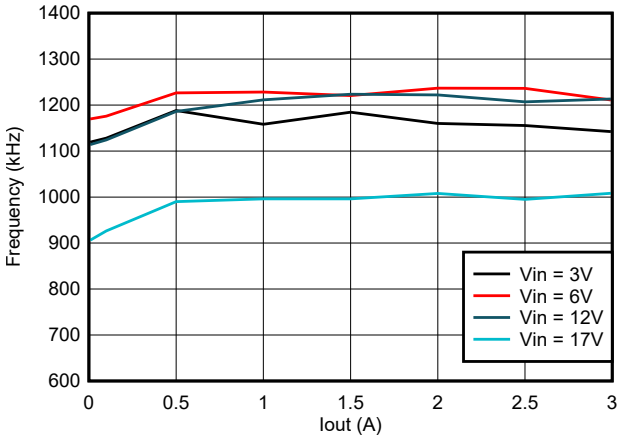


図 7-3. TPS563247 周波数と負荷との関係

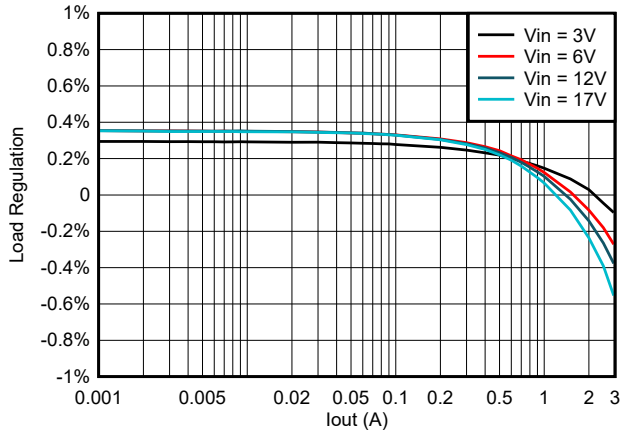


図 7-4. TPS563242 の負荷レギュレーションと負荷との関係

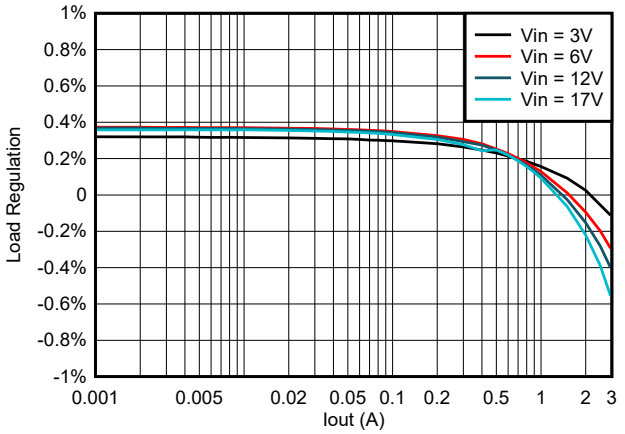


図 7-5. TPS563247 の負荷レギュレーションと負荷との関係

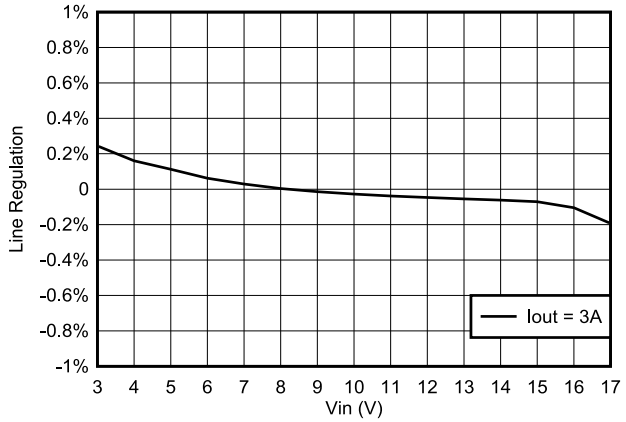


図 7-6. TPS563242 ライン レギュレーションと V_{IN} との関係

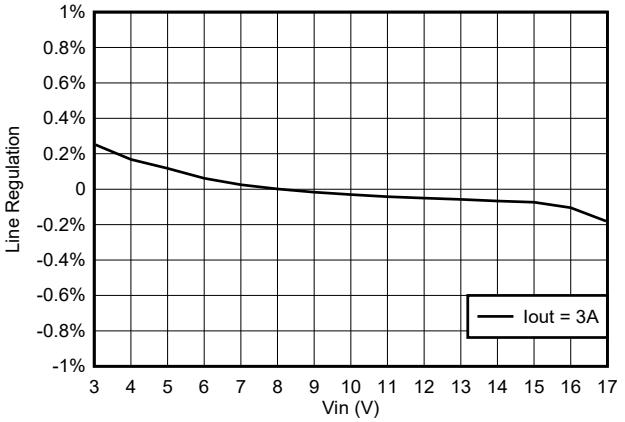


図 7-7. TPS563247 ライン レギュレーションと V_{IN} との関係

Copyright © 2026 Texas Instruments Incorporated

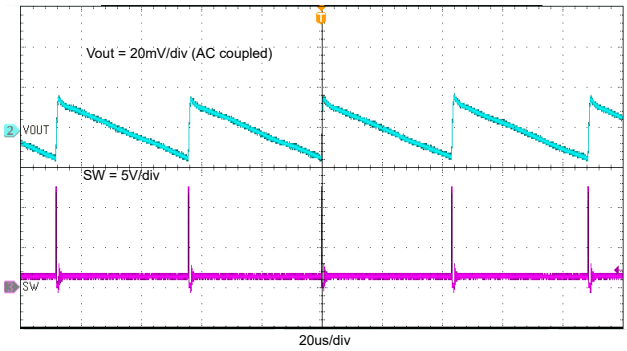


図 7-8. TPS563242 出力電圧リップル (0.01A 負荷)

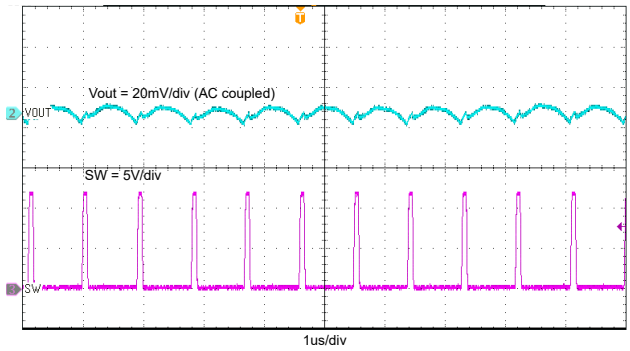


図 7-9. TPS563247 出力電圧リップル (0.01A 負荷)

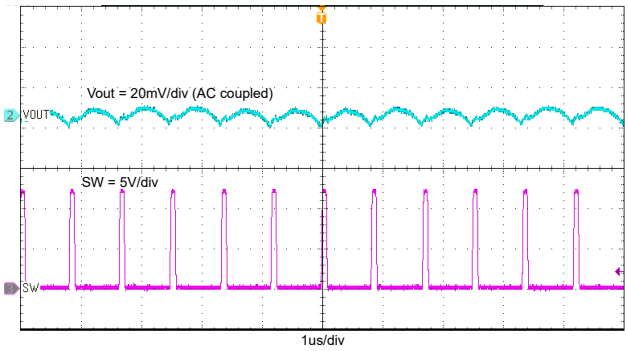


図 7-10. 出力電圧リップル (3A 負荷)

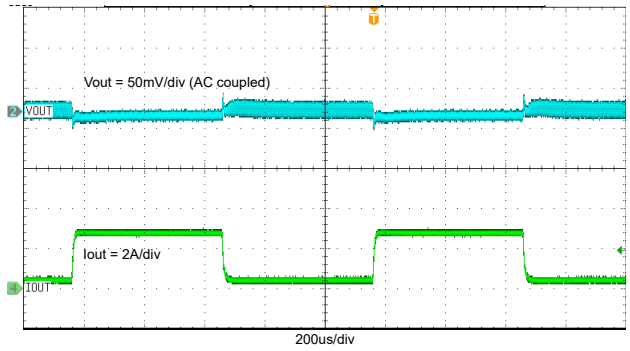


図 7-11. TPS563242 0.3A～2.7A での過渡応答

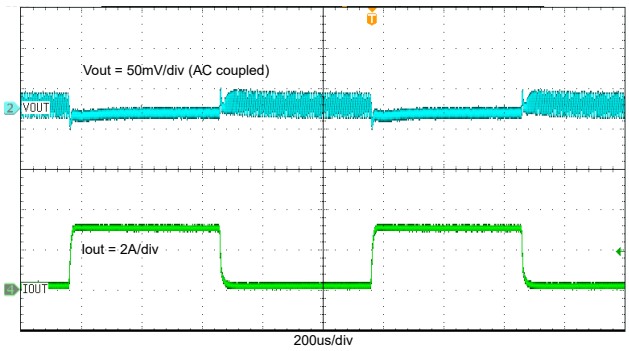


図 7-12. TPS563242 0.1A～3A での過渡応答

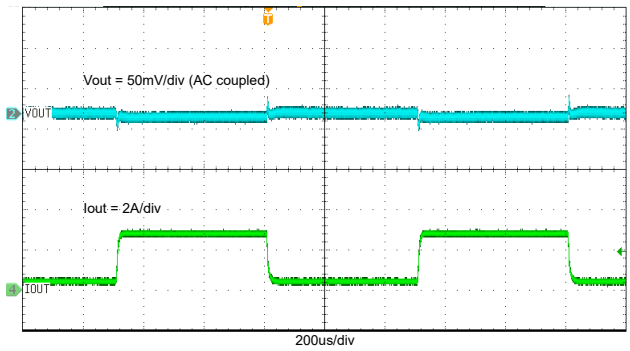


図 7-13. TPS563247 0.3A～2.7A での過渡応答

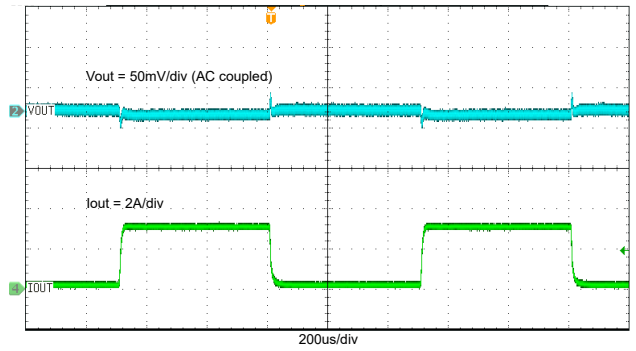


図 7-14. TPS563247 0.1A～3A での過渡応答

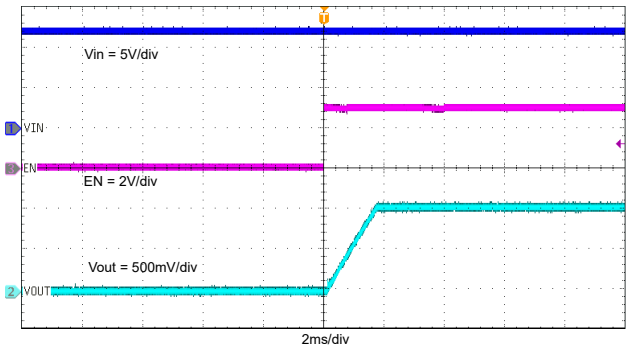


図 7-15. EN によるスタートアップ、I_{OUT} = 3A

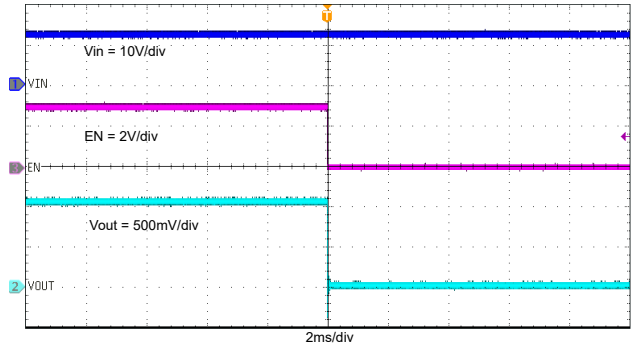


図 7-16. EN によるシャットダウン、I_{OUT} = 3A

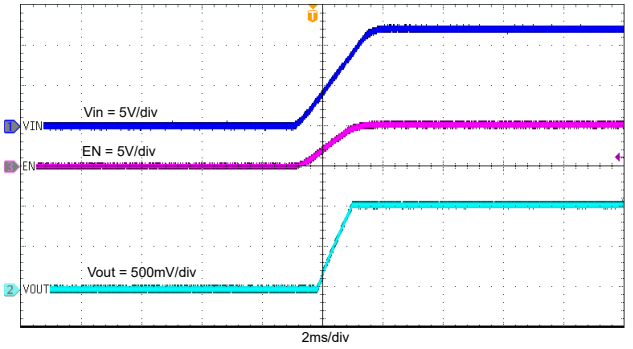


図 7-17. V_{IN} 立ち上がり時のスタートアップ、I_{OUT} = 3A

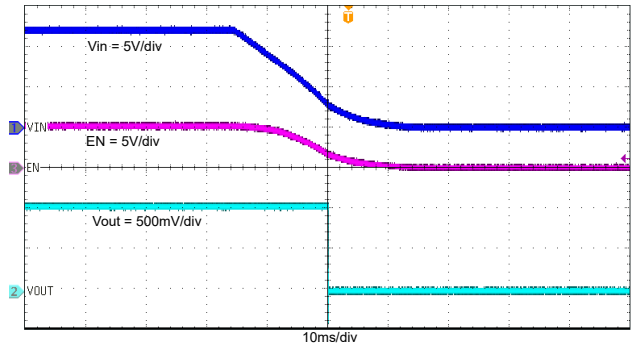


図 7-18. V_{IN} 立ち下がり時のシャットダウン、I_{OUT} = 3A

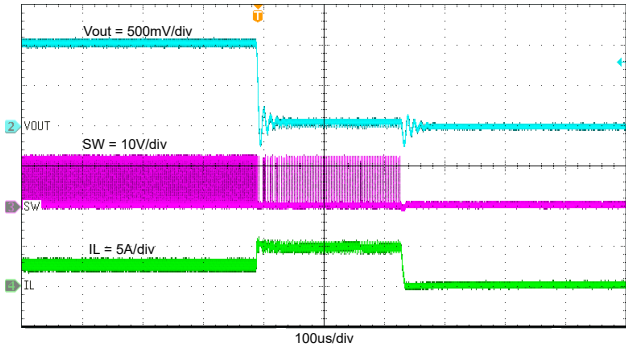


図 7-19. TPS563242 通常動作から出力のハード短絡

Copyright © 2026 Texas Instruments Incorporated

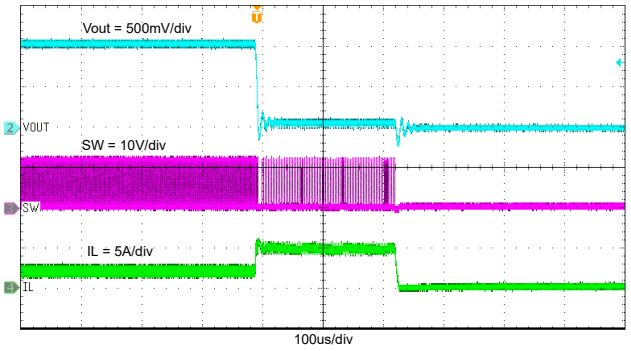


図 7-20. TPS563247 通常動作から出力のハード短絡

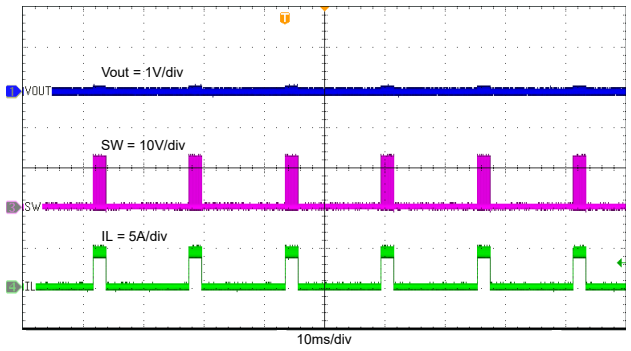


図 7-21. 出力ハード短絡ヒカップ

7.3 電源に関する推奨事項

TPS56x24x は、3V ～ 17V の範囲の入力電源電圧で動作するように設計されています。降圧コンバータが適切に動作するためには、入力電圧が出力電圧より高い必要があります。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

- VIN および GND のパターンは、パターン インピーダンス低減のためにできるだけ幅広くしてください。面積を広くすることには、放熱の観点からも利点があります。
- パターン インピーダンスを最小限に抑えるために、入力コンデンサおよび出力コンデンサを、デバイスにできるだけ近づけて配置します。
- 入力コンデンサおよび出力コンデンサに対して十分な数のビアを用意してください。
- 放射を最小限に抑えるために、SW のパターンは実用的な範囲でできるだけ短く、幅広くしてください。
- デバイスの下をスイッチング電流が流れないようにしてください。
- 個別の VOUT パスを上側帰還抵抗に接続します。
- フィードバック パスの GND ピンにはケルビン接続を使用します。
- 電圧帰還ループは、高電圧のスイッチング パターンから離して配置し、できればグランド シールドを使用してください。
- ノイズ結合を避けるため、FB ノードのパターンは最小限にしてください。
- 出力コンデンサと GND ピンの間の GND パターンは、パターン インピーダンス低減のためにできるだけ幅広くしてください。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

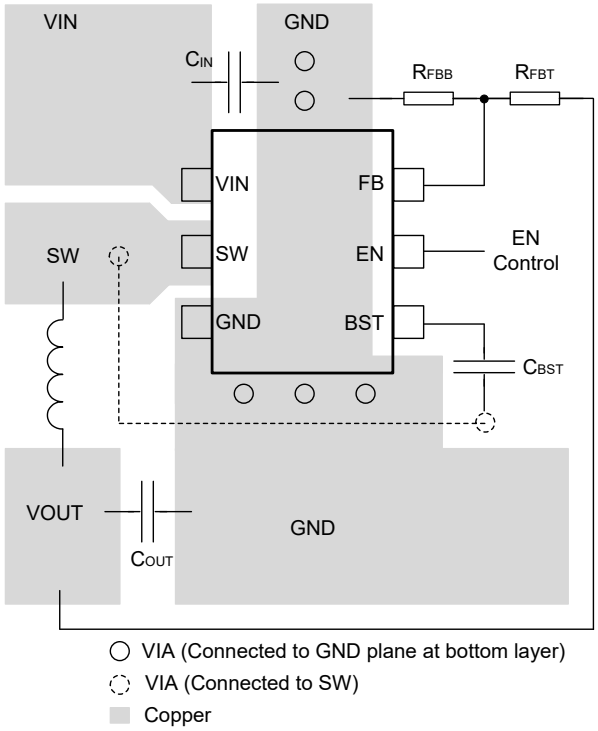


図 7-22. 推奨レイアウト

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 WEBENCH® ツールによるカスタム設計

ここをクリック すると、WEBENCH® Power Designer により、TPS562242B デバイスを使用するカスタム設計を作成できます。

ここをクリックすると、WEBENCH® Power Designer により、TPS563242 デバイスを使用するカスタム設計を作成できます。

ここをクリック すると、WEBENCH® Power Designer により、TPS563247 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

D-CAP3™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

Copyright © 2026 Texas Instruments Incorporated

8.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

日付	改訂	注
February 2026	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS562242BDRLR	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	242B
TPS563242DRLR	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	125 to -40	3242
TPS563247DRLR	Active	Production	SOT-5X3 (DRL) | 6	4000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3247

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

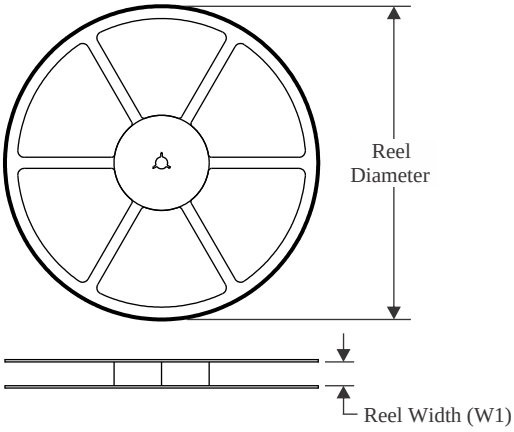
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

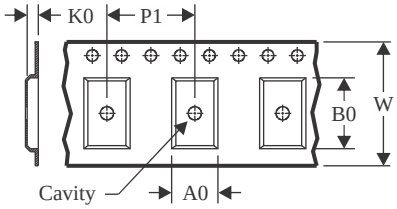
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

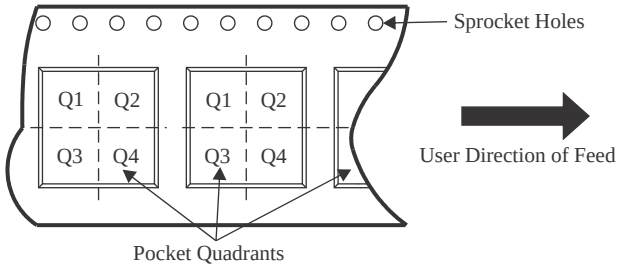


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

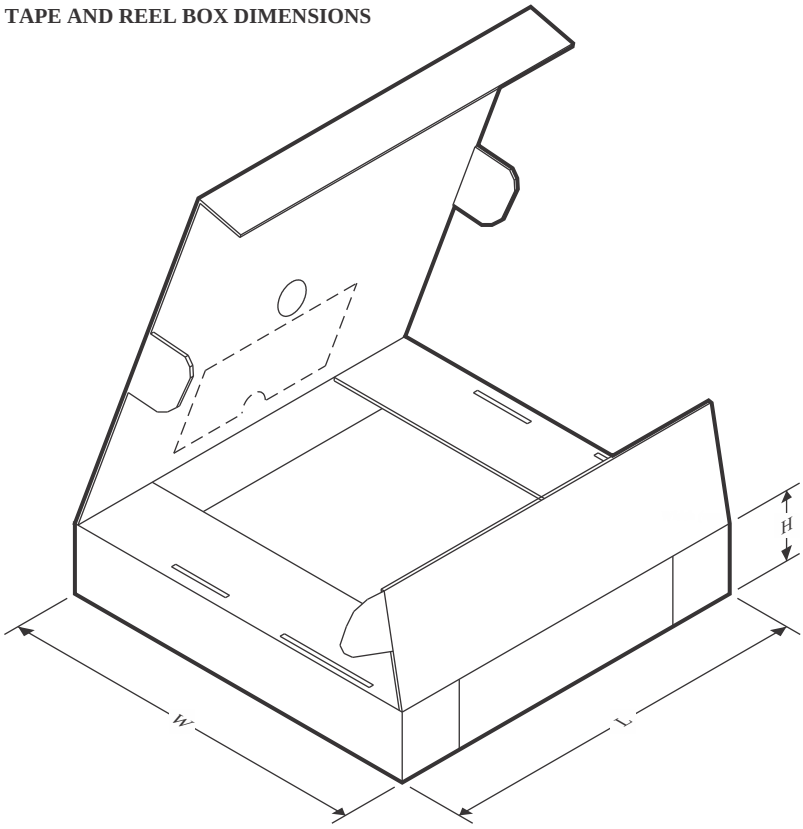
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS562242BDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.8	1.8	0.75	4.0	8.0	Q3
TPS562242BDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS563242DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.8	1.8	0.75	4.0	8.0	Q3
TPS563247DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.8	1.8	0.75	4.0	8.0	Q3
TPS563247DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS562242BDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS562242BDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS563242DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS563247DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS563247DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0

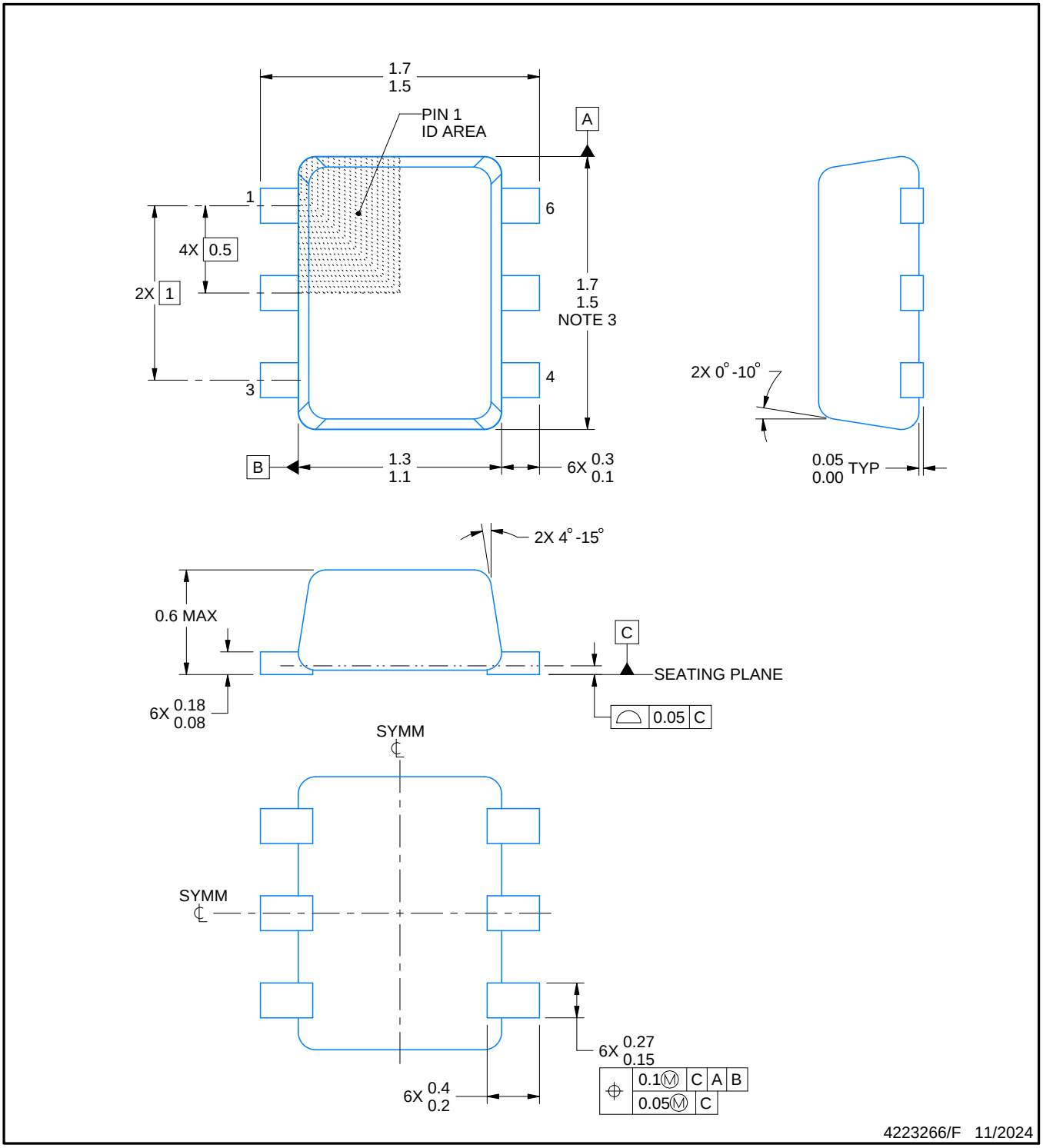


PACKAGE OUTLINE

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



NOTES:

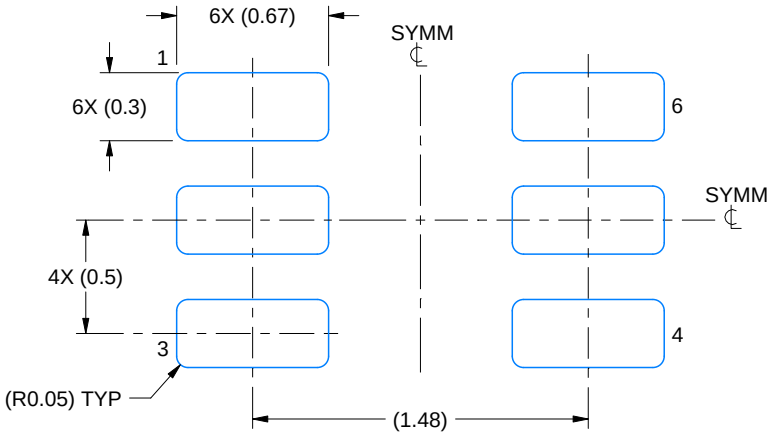
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

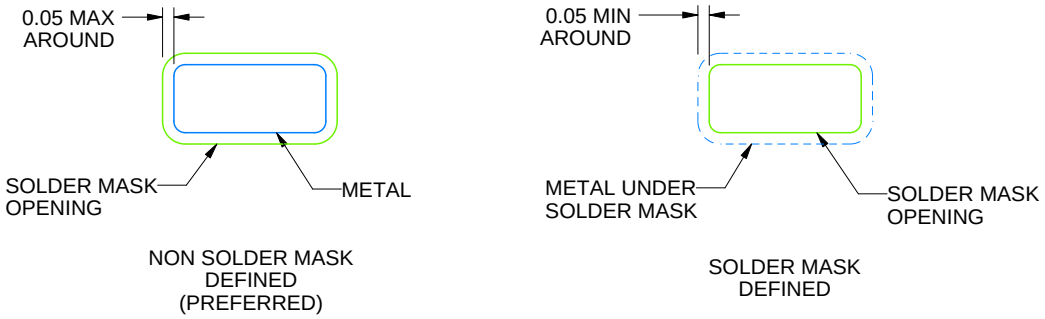
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

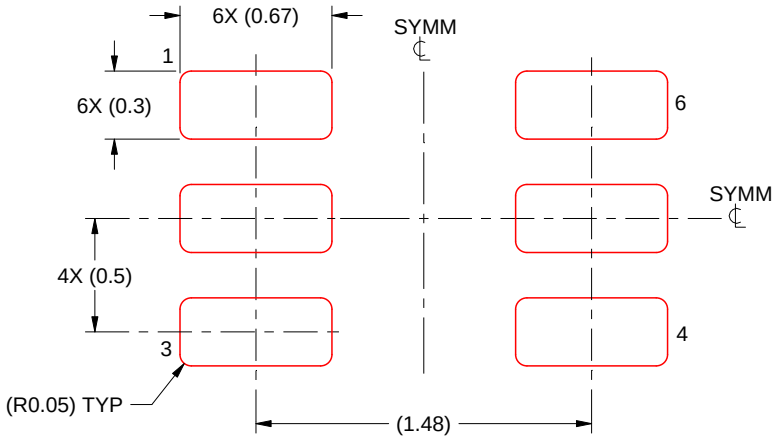
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月