

目次

1 特長.....	1	7.5 クリアランスと FMEA のピン配置設計.....	16
2 アプリケーション.....	1	8 アプリケーションと実装.....	17
3 説明.....	1	8.1 アプリケーション情報.....	17
4 デバイス比較表.....	3	8.2 代表的なアプリケーション.....	17
5 ピン構成および機能.....	4	8.3 電源に関する推奨事項.....	27
6 仕様.....	5	8.4 レイアウト.....	27
6.1 絶対最大定格.....	5	9 デバイスおよびドキュメントのサポート.....	29
6.2 ESD 定格.....	5	9.1 デバイス サポート.....	29
6.3 推奨動作条件.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	29
6.4 熱に関する情報.....	5	9.3 サポート・リソース.....	29
6.5 電気的特性.....	6	9.4 商標.....	29
7 詳細説明.....	9	9.5 用語集.....	29
7.1 概要.....	9	9.6 静電気放電に関する注意事項.....	29
7.2 機能ブロック図.....	10	10 改訂履歴.....	29
7.3 機能説明.....	10	11 メカニカル、パッケージ、および注文情報.....	29
7.4 デバイスの機能モード.....	16		

4 デバイス比較表

部品番号	出力電圧 (V)	出力電圧選択抵抗 (R_{FB}) ⁽¹⁾	バススレーの開始および終了時の 400kHz への 周波数フォールドバック
TPS61388-Q1	10	$0\Omega \leq R_{FB} \leq 2.2k\Omega$	無効
	8.5	$3.55k\Omega \leq R_{FB} \leq 9.25k\Omega$	
	6.5	$12k\Omega \leq R_{FB} \leq 21k\Omega$	
	可変	$R_{FB} \geq 27k\Omega$	
TPS613881-Q1 ⁽²⁾	10	$0\Omega \leq R_{FB} \leq 2.2k\Omega$	イネーブル
	8.5	$3.55k\Omega \leq R_{FB} \leq 9.25k\Omega$	
	6.5	$12k\Omega \leq R_{FB} \leq 21k\Omega$	
	可変	$R_{FB} \geq 27\Omega$	

- (1) R_{SEL} は FB ピンからのセンス抵抗です。詳細を参照してください。推奨値以外の抵抗を使用すると出力電圧の値が保証されないため、使用しないでください。
- (2) 製品プレビュー詳細は テキサス・インスツルメンツまでお問い合わせください。

5 ピン構成および機能

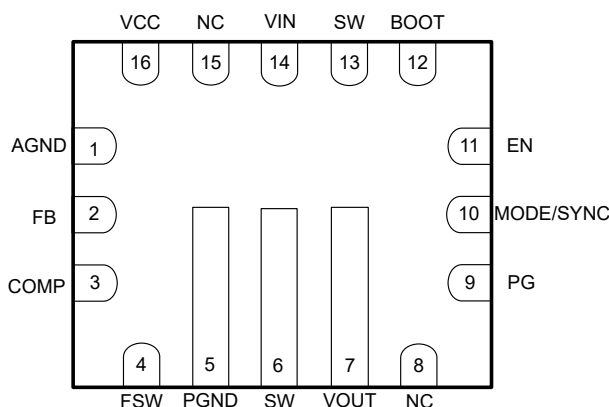


図 5-1. TPS61388-Q1 VAS パッケージ、16 ピン WQFN (透過上面図)

表 5-1. ピンの機能

ピン		I/O	説明
名称	番号		
AGND	1	PWR	IC のアナログ グランド。
FB	2	I	フィードバック ピン。抵抗分圧器を使用して目的の出力電圧を設定します。詳細については、 セクション 8.2.2.1 をご覧ください。
COMP	3	O	内部の相互コンダクタンス エラー アンプの出力。ループの安定性と応答時間を最適化するため、このピンに外部 RC ネットワークを接続します。
FSW	4	I	周波数設定ピン。詳細については「 セクション 7.3.5 」を参照。
PGND	5	PWR	IC のパワー グランド。ローサイド パワー FET のソースに接続します。
SW	6、13	PWR	コンバータのスイッチング ノード ピン。内部ローサイド FET のドレインおよび内部ハイサイド FET のソースに接続します。
VOUT	7	PWR	HS FET のドレインの出力。
NC	8、15	/	接続なし。NC ピンには FMEA を考慮するために追加のクリアランスがあります。
PG	9	O	パワーグッドインジケータとオープンドレイン出力。不要な場合は、ピンをフローティングにするか、GND に接続してください。
MODE/SYNC	10	I	モードの選択ピン。このピンをフローティングにすることはできません。 MODE/SYNC = High、強制 PWM モード MODE/SYNC = Low、自動 PFM モード このピンを使用して外部クロックを同期できます。詳細については、 セクション 7.3.8 を参照してください。
EN	11	I	イネーブル論理入力。
BOOT	12	O	ハイサイド N-MOSFET ゲートドライバ用電源。このピンと SW ピンの間には、100nF のコンデンサを接続する必要があります。
VIN	14	I	IC 電源入力。
VCC	16	O	内部レギュレータの出力。このピンと GND ピンとの間には、1μF を超えるセラミックコンデンサが必要です。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
(2)端子での電圧範囲	VIN、SW、VOUT	-0.3	40	V
(2)端子での電圧範囲	BOOT	-0.3	SW + 6.0	
(2)端子での電圧範囲	MODE/SYNC、FB、EN、FSW、VCC、COMP	-0.3	6.0	
(2)端子での電圧範囲	PG	-0.3	6.0	
T _J ⁽³⁾	動作時接合部温度	-40	150	°C
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、回路のグランドを基準としたものです。
- (3) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

6.2 ESD 定格

		値	単位
V _(ESD) ⁽¹⁾	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽²⁾	V
		デバイス帯電モデル (CDM)、AEC Q100-011 に準拠、すべてのピン ⁽³⁾	
V _(ESD) ⁽¹⁾	静電放電	デバイス帯電モデル (CDM)、AEC Q100-011 に準拠、コーナーピン ⁽³⁾	V

- (1) 静電気放電 (ESD) 定格は、組み立てラインでデバイスに生じる静電気放電に対するデバイスの耐性を測定します。
- (2) 表に記載されているレベルは、ANSI、ESDA、JEDEC JS-001 に準拠した許容レベルです。JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。必要な予防措置を講じれば、HBM は 500V 未満の許容差で製造できます。
- (3) 表に記載されているレベルは、EIA-JEDEC JESD22-C101 に準拠した許容レベルです。JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{IN}	入力電圧	2		36	V
V _{OUT}	出力電圧、昇圧モード、スイッチング	5		30	V
V _{OUT}	出力電圧、バーススレーモード、スイッチングなし	VIN		36	V
T _J	動作時接合部温度 ⁽¹⁾	-40		150	°C

- (1) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		デバイス		単位
		VAS (JEDEC)	VAS (EVM)	
		14 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	65.8	46.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	37.1	該当なし	°C/W
R _{θJB}	接合部から基板への熱抵抗	14.4	該当なし	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	1	1.6	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	14.2	21.5	°C/W

6.4 熱に関する情報 (続き)

熱評価基準 ⁽¹⁾		デバイス		単位
		VAS (JEDEC)	VAS (EVM)	
		14 ピン	14 ピン	
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、[SPRA953](#) を参照してください。

6.5 電気的特性

T_J = -40 ~ 150°C, L = 2.2μH, V_{IN} = 12V および V_{OUT} = 24V。代表値は T_J = 25°C です (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
V _{IN}	入力電圧範囲		2		36	V
V _{IN_UVLO}	VIN アンダーボルテージ ロックアウト しきい値	V _{IN_UVLO} 立ち上がり		2.35	2.4	V
		V _{IN_UVLO} 立下り		1.9	2.0	V
V _{CC}	VCC レギュレーション	I _{VCC} = 10mA, V _{OUT} = 18V		5.1	5.5	V
V _{VCC_UVLO}	VCC UVLO スレッショルド	V _{CC} 立ち上がり		2.0		V
V _{VCC_UVLO}	VCC UVLO スレッショルド	V _{CC} 立ち下がり		1.9		V
I _{Q_VIN}	V _{IN} ピンへの静止電流	IC イネーブル、無負荷、スイッチングなし V _{IN} = 2.4V ~ 5.6V, V _{FB} = V _{REF} + 0.1 V, T _J 最大 125°C		2	3.5	μA
I _{Q_VIN}	V _{IN} ピンへの静止電流	IC イネーブル、無負荷、スイッチングなし V _{IN} = 5.9V ~ 20V, V _{FB} = V _{REF} + 0.1V, T _J は最大 125°C		30	45	μA
I _{Q_VOUT}	V _{OUT} ピンへの静止電流	IC イネーブル、無負荷、スイッチングなし V _{IN} = 2.4V ~ 5.6V, V _{OUT} = 6V ~ 30V, V _{FB} = V _{REF} + 0.1 V, T _J は最大 125°C		28	45	μA
I _{Q_VOUT}	V _{OUT} ピンへの静止電流	IC イネーブル、無負荷、スイッチングなし V _{IN} = 5.9V ~ 20V, V _{OUT} = 6V ~ 30V, V _{FB} = V _{REF} + 0.1 V, T _J は最大 125°C		2	8	μA
I _{Q_PASSTHROUGH}	パススルーモードの静止電流	V _{IN} = 10.1V, V _{OUT} = 10V, T _J は最大 125°C		65		μA
I _{SD}	V _{IN} ピンへのシャットダウン電流	IC ディスエーブル、V _{IN} = 2.4V ~ 20V, T _J は最大 125°C		0.6	5	μA
I _{SW_LKG}	SW へのリーク電流	IC ディスエーブル、V _{OUT} = 0V, SW = 2.4V ~ 20V, T _J は最大 125°C			5	μA
I _{REVERSE_SW}	SW の逆リーク電流	IC ディスエーブル、V _{OUT} = 30V, SW = 0V, T _J は最大 125°C			5	μA
I _{FB_LKG}	FB へのリーク電流	IC ディスエーブル、T _J は最大 125°C			50	nA
I _{MODE_LKG}	MODE/SYN へのリーク電流	IC ディスエーブル、T _J は最大 125°C			50	nA
I _{PG_LKG}	PG/STATU へのリーク電流	IC ディスエーブル、T _J は最大 125°C			50	nA
出力電圧						
V _{OUT}	出力電圧範囲	昇圧モード	5		30	V
V _{OUT}	出力電圧範囲	パススルーモード	V _{IN}		36	V
V _{OVP}	出力過電圧保護スレッショルド	V _{IN} = 5V, V _{OUT} 立ち上がり、昇圧モード	31	31.5	32.1	V
VOVP_HYS	出力過電圧保護ヒステリシス	V _{IN} = 5V, OVP スレッショルド		1		V
V _{REF}	FB ピンでのリファレンス電圧	T _J = -40 ~ 125°C, RSEL ≥ 27K	0.985	1	1.015	V
V _{OUT_10V}	TPS61388 固定 Vout バージョン	T _J = -40 ~ 125°C, 0Ω ≤ RSEL ≤ 2.2K トリム車載	9.85	10	10.15	V
V _{OUT_8.5V}	TPS61388 固定 Vout バージョン	T _J = -40 ~ 125°C, 3.55K ≤ RSEL ≤ 9.25K トリム車載	8.3725	8.5	8.6275	V

6.5 電気的特性 (続き)

$T_J = -40 \sim 150^\circ\text{C}$ 、 $L = 2.2\mu\text{H}$ 、 $V_{IN} = 12\text{V}$ および $V_{OUT} = 24\text{V}$ 。代表値は $T_J = 25^\circ\text{C}$ です (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
VOUT_6.5V	TPS61388 固定 Vout バージョン	$T_J = -40 \sim 125^\circ\text{C}$ 、 $12\text{K} \leq \text{RSEL} \leq 21\text{K}$ トリム車載	6.4025	6.5	6.5975	V
電圧リファレンス						
UVL_PT_f	パススルーの UVL スレッシュホールド			969.5		mV
パワー スイッチ						
$R_{DS(on)}$	ローサイド MOSFET オン抵抗	$V_{CC} = 4.85\text{V}$		30		m Ω
$R_{DS(on)}$	ハイサイド MOSFET オン抵抗	$V_{CC} = 4.85\text{V}$		25		m Ω
電流制限						
I_{LIM_SW}	ピークスイッチング電流制限 FPWM	デューティ サイクル = 65%	7	8	9	A
I_{LIM_SW}	ピークスイッチング電流制限の自動 PFM	デューティ サイクル = 65%	7	8	9	A
I_{Zero}	PFM での HSD ゼロ電流スレッシュホールド			350		mA
I_{PK_PFM}	PFM のピーク電流			1.35		A
スイッチング周波数						
Fsw	スイッチング周波数	$F_{SW} = V_{CC}$	2050	2200	2400	kHz
Fsw	スイッチング周波数	$F_{SW} = GND$	360	400	440	kHz
D_{max}	最大デューティ サイクル	2.2MHz	78			%
t_{ON_min}	最小オン時間			70		ns
F_{DITHER}	スペクトラム拡散変調周波数範囲 (F_{sw} のパーセンテージとして)	2.2 MHz と 400 kHz		12%		Fsw
$F_{pattern}$		2.2MHz		9.0		kHz
$F_{pattern}$		400kHz		7		kHz
ソフトスタート						
t_{SS}	ソフト スタート時間			6		ms
ロジック インターフェイス						
V_{EN_H}	EN ロジック High のスレッシュホールド				1.2	V
V_{EN_L}	EN ロジック Low のスレッシュホールド		0.4			V
$V_{M/SYNC_H}$	MODE/SYNC ピンのロジック High スレッシュホールド				1.2	V
$V_{M/SYNC_L}$	MODE/SYNC ピンのロジック Low スレッシュホールド		0.4			V
R_{DOWN}	EN ピン内部プルダウン抵抗			800		k Ω
エラー アンプ						
I_{SINK}	COMP ピン シンク電流	$V_{FB} = V_{REF} + 0.4\text{V}$ 、 $V_{COMP} = 1.5\text{V}$ 、 $V_{CC} = 5\text{V}$		20		μA
I_{SOURCE}	COMP ピン ソース電流	$V_{FB} = V_{REF} - 0.4\text{V}$ 、 $V_{COMP} = 1.5\text{V}$ 、 $V_{CC} = 5\text{V}$		20		μA
G_{mEA}	エラー アンプのトランスコンダクタンス	$V_{COMP} = 1.0\text{V}$		200		$\mu\text{A/V}$
V_{COMPH}	COMP ピンの High クランプ電圧	$V_{FB} = V_{REF} - 0.4\text{V}$ 、 $I_{LIM} = 8\text{A}$		1.65		V
V_{COMPL}	COMP ピンの High Low 電圧	$V_{FB} = V_{REF} + 0.4\text{V}$		0.85		V
G_{PS}	出力段のトランスコンダクタンス (コンパレータ電圧のピーク電流比)	$V_{IN} = 5.0\text{V}$		11		A/V
パワー グッド						
V_{PG_RISING}	低電圧スレッシュホールド (PGOOD スレッシュホールド)	PG 立ち上がり	91.5	94	98	%
$V_{PG_FALLING}$	低電圧スレッシュホールド (PGOOD スレッシュホールド)	PG 立ち下がり	89.5	92	95.5	%
I_{PG_SINK}	PG ピンのシンク電流容量	$V_{PG} = 0.4\text{V}$		30		mA
t_{PG_DELAY}	PG の遅延時間			1.6		ms
t_{PG_GLITCH}	PGOOD のグリッチ フィルタ時間			40		μs

6.5 電気的特性 (続き)

$T_J = -40 \sim 150^\circ\text{C}$ 、 $L = 2.2\mu\text{H}$ 、 $V_{\text{IN}} = 12\text{V}$ および $V_{\text{OUT}} = 24\text{V}$ 。代表値は $T_J = 25^\circ\text{C}$ です (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
同期時間						
f_{SYNC}	外部周波数範囲		-20%		+20%	FSW
$T_{\text{SYNC_MIN}}$	最小同期クロック パルス幅				50	ns
サーマル シャットダウン						
T_{SD}	サーマル シャットダウン上昇しきい値	T_J 立ち上がり		170		$^\circ\text{C}$
T_{SD}	サーマル シャットダウン降下しきい値	T_J 立ち下り		155		$^\circ\text{C}$
$T_{\text{SD_HYS}}$	サーマル シャットダウン ヒステリシス			15		$^\circ\text{C}$

7 詳細説明

7.1 概要

TPS61388-Q1 は、ローサイドの 30mΩ のパワー スイッチとハイサイドの 25mΩ の整流器スイッチが搭載された、高効率で小型アプリケーションを実現する、完全統合型の 8A ピーク電流機能を備えた同期整流昇圧コンバータです。TPS61388-Q1 デバイスは、入力範囲の広い車載用昇圧コンバータで、車載用のスタート-ストップまたは他の汎用昇圧アプリケーション用に設計されています。このデバイスは、自動車のコールドクランク時に入力電圧を 2V まで下げ、車載バッテリーからの出力電圧を維持します。このデバイスの入力範囲は広く、最大 40V の絶対最大定格の車載負荷ダンパ過渡に対応し、昇圧モードでの最大プログラマブル動作出力電圧は 30V まで対応します。

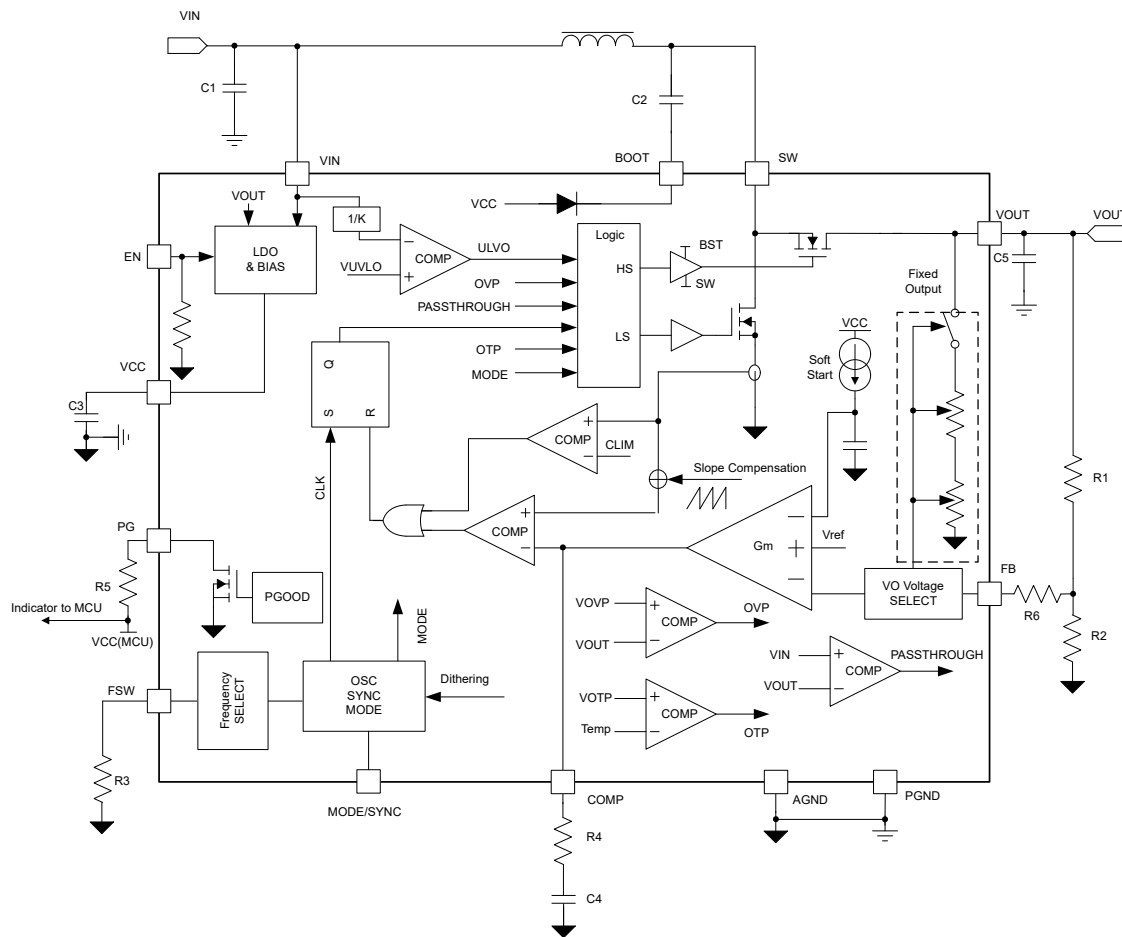
TPS61388-Q1 は、スイッチング周波数を 400kHz と 2.2MHz に設定できるピーク電流モード制御を採用しています。本デバイスは、中負荷から重負荷では固定周波数 PWM で動作します。軽負荷時には、MODE ピンの構成により 2 つのオプションモードを選択できます: 軽負荷時の効率およびノイズ耐性のバランスを取る自動 PFM モードと強制 PWM モード。

このデバイスは、シャットダウン時の電流が低く、スタンバイモードでの静止電流が低いため、無負荷および軽負荷の状況でバッテリードレインを最小化できます。さらに、このデバイスは、超低静止電流のパススルー動作にも対応しているため、電源電圧が昇圧出力レギュレーション目標よりも高い場合の外部バイパススイッチが不要です。

TPS61388-Q1 には各種の固定出力電圧バージョンが用意されているため、外付け部品を省略でき、外付け帰還抵抗の消費電流を低減できます。より広い VOUT/VIN 範囲で安定性と過渡応答を最適化できるように、TPS61388-Q1 は外部ループ補償をサポートしています。

このデバイスは、ピーク電流制限、過電圧保護、サーマルシャットダウンなどの保護機能を内蔵しています。外部クロック同期、スペクトラム拡散変調、最小限の寄生容量でのリードレスパッケージは、EMI の低減に役立ちます。TPS61388-Q1 は、ウェットブルフランク付きの 3.0mm × 2.5mm HotRod™ Lite WQFN パッケージで供給されます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 VCC の電源

TPS61388-Q1 内部の LDO は、10mA の出力電流に対応した 5.1V のレギュレート電圧を出力します。VCC ピンと GND ピンの間にセラミック コンデンサを接続して、VCC 電圧を安定させ、VCC ピンのノイズをデカップリングします。このセラミックコンデンサの実効容量が 1μF 以上となるようにしてください。X7R または X5R クラスの誘電体を持つ、電圧定格が 10V を超えるセラミック コンデンサを推奨します。

VIN ピンの入力電圧が 5.6V 未満の場合、内部 LDO は VOUT ピンから給電されます。VIN ピンの入力電圧が 5.9V を超える場合、内部 LDO は VIN ピンから給電されます。

7.3.2 入力低電圧誤動作防止 (UVLO)

UVLO 回路は、入力電圧が低い場合にデバイスの誤動作を防ぎ、バッテリーの過放電を防止します。TPS61388-Q1 は VIN_UVLO と VCC_UVLO の両方の機能を備えています。TPS61388-Q1 は、VIN ピンの立ち下がり電圧が立ち下がり UVLO スレッショルド VIN_UVLO (通常 1.9V) を下回ると、スイッチングをディスエーブルにします。VIN ピンの立ち上がり電圧が立ち上がり UVLO スレッショルド (通常 2.3V) を超えると、デバイスはディスエーブルになります。TPS61388-Q1 は、VCC ピンの立ち下がり電圧が UVLO スレッショルド VCC_UVLO である 1.9V (標準値) を超えてもディスエーブルになります。

7.3.3 イネーブルとソフト・スタート

TPS61388-Q1 は 6ms のソフトスタートを使用して、スタートアップ時の突入電流が高くなることを防止します。EN ピンが High になると内部ソフトスタートコンデンサが定電流で充電されます。この期間中、ソフトスタートコンデンサの電圧が内部リファレンス (1.0V) と比較されます。下側はエラーアンプの内部正入力に供給されます。ソフトスタートコンデンサの電圧が上昇すると、エラーアンプ出力 (インダクタのピーク電流値を決定) がゆっくりと上昇します。ソフトスタートフェーズは、ソフトスタートのコンデンサ電圧が内部リファレンスを超えた後に完了します。これは 0V から 1.0V に 6ms かかります。EN ピンが Low になると、ソフトスタートのコンデンサ電圧がグランドに放電されます。

システムが常にイネーブルの場合は、EN ピンを VCC ピンに接続することを推奨します。

7.3.4 シャットダウン

入力電圧が UVLO スレッシュホルドを下回るか EN ピンが Low になると TPS61388-Q1 はシャットダウン モードになり、すべての機能がディセーブルになります。

出力電圧は、VIN 電圧からハイサイドボディダイオードの電圧降下を引いた値となり、通常は VIN – 0.7V 程度です。

7.3.5 スイッチング周波数の設定

TPS61388-Q1 は固定周波数制御方式を採用しています。スイッチング周波数は、FSW の設定に応じて 400kHz または 2.2MHz に選択されます。表 7-1 に詳細を示します。

表 7-1. スイッチング周波数の構成

周波数	FSW 接続
400kHz	FSW は GND に直接接続します
400kHz	抵抗 $0\Omega \leq R_{FSW} \leq 2.2k\Omega$ を介して FSW を GND に接続します
2.2MHz	抵抗 $R_{FSW} > 27k\Omega$ を介して FSW を GND に接続します
2.2MHz	FSW は VCC に直接接続します

ここで、

- R_{FSW} は FSW ピンと GND の間の抵抗です。

7.3.6 スペクトラム拡散周波数変調

TPS61388-Q1 は三角波を用いて、スイッチング周波数を通常周波数の $\pm 6\%$ の範囲で拡散します。三角波形の周波数は 2.2MHz の場合は 8.8kHz、400kHz の場合は 6.25kHz となります。たとえば、TPS61388-Q1 の通常のスイッチング周波数が 2.2MHz にプログラムされている場合、スペクトラム拡散機能は 2.07MHz ~ 2.33MHz の範囲のスイッチング周波数を 8.8kHz の三角波で変調します。

自動 PFM モード中、または MODE/SYNC ピンに外部クロックが印加されている間に、スペクトラム拡散は無効になります。

7.3.7 ブートストラップ

TPS61388-Q1 にはブートストラップレギュレータ回路が内蔵されています。ハイサイドスイッチにゲート駆動電源電圧を供給するには、BST ピンと SW ピンの間に小さなセラミックコンデンサが必要です。X7R または X5R クラスの誘電体を持つ、電圧定格が 6.3V を超えるセラミックコンデンサを推奨します。0.1μF/6.3V の標準値を推奨します。

7.3.8 MODE/SYNC 構成

表 7-2 は、MODE/SYNC 機能とその開始条件をまとめています。

このピンはフローティング状態のままにできません。

表 7-2. MODE/SYNC 構成

MODE/SYNC ピン制御	モード
ロジック Low	自動 PFM モード
ロジック High	強制 PWM モード
外部同期	強制 PWM モード

TPS61388-Q1 は、MODE/SYNC ピンに印加された外部クロックに同期できます。同期の信頼性を高めるには、外部クロックを設定周波数の $\pm 20\%$ 内にする必要があります。発振器が外部クロックに同期されている場合、TPS61388-Q1 は強制 PWM モードのままになります。外部同期を使用する場合、スペクトラム拡散機能は無効です。

7.3.9 パススルー動作

VIN が VOUT-SET よりも高く、ハイサイド MOS が常時オン、静止電流が総効率を最大化するように最適化されるとき、TPS61388-Q1 はパススルー動作を実行します。

パススルーを開始する前、VIN は VOUT-SET に非常に近い電圧まで上昇します。この状況では、スイッチングレギュレータは非常に低いデューティサイクルで動作し、レギュレーションで VOUT を維持します。ただし、最小オン時間の制限により、スイッチャはプログラムされたスイッチング周波数では十分低いデューティサイクルを達成できません。

表 7-3 は、異なる構成でパススルー動作を開始および終了するときの、2 つの型番のさまざまな機能を示しています。

表 7-3. 型番と周波数構成によるパススルー動作

部品番号	構成		パススルー動作の開始と終了
	周波数	モード	
TPS61388-Q1	2.2MHz	強制 PWM	周波数は 2.2MHz を維持
	400kHz	強制 PWM	周波数は 400kHz を維持
	2.2 MHz または 400 kHz	自動 PFM	周波数は連続拡散
TPS613881-Q1	2.2MHz	強制 PWM	周波数は 400kHz まで低下
	400kHz	強制 PWM	周波数は 400kHz を維持
	2.2 MHz または 400 kHz	自動 PFM	周波数は連続拡散

7.3.9.1 自動 PFM 動作

TPS61388-Q1 と TPS613881-Q1 の両方で、自動 PFM モードが選択されている場合、VIN が VOUT-SET に近づくと周波数は自動的に拡張します。図 7-1 は動作の変換を示しています。

この動作により、パススルー動作の開始および終了時の波形が非常に滑らかになります。

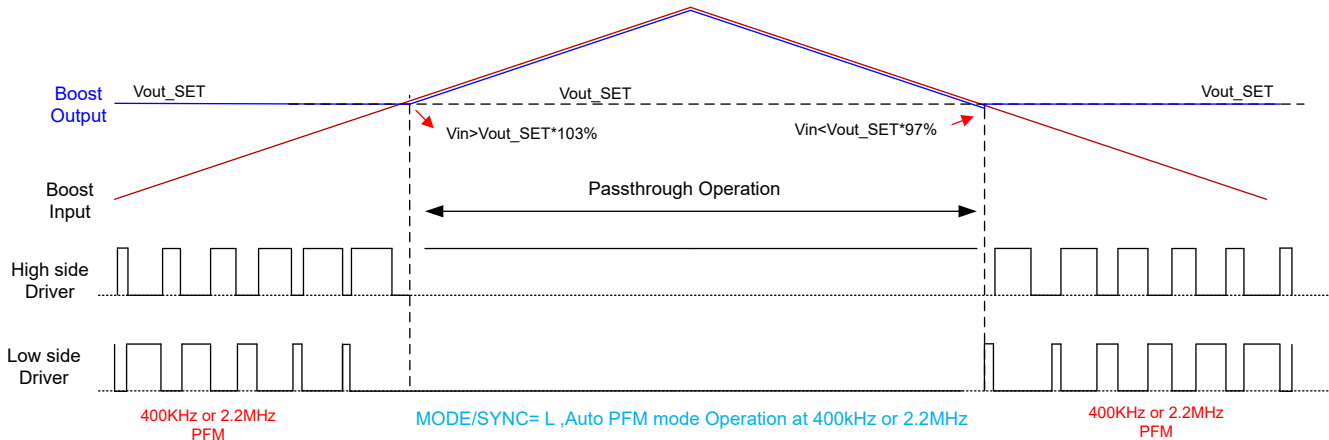


図 7-1. 自動 PFM モードの 400kHz または 2.2MHz でのパススルーの開始と終了

7.3.9.2 400kHz 強制 PWM 動作

TPS61388-Q1 と TPS613881-Q1 の両方で、強制 PFM モードを選択して、周波数を 400kHz に選択するときの、動作変換を図 7-2 に示します。

最小オン時間 (標準値 70ns) の制限は、VIN が 400kHz で VOUT に近づいたときに、小さなデューティを実現するのに十分です。パススルーに移行する前に Vout は Vout-SET の約 104% に達します。

この動作により、パススルー動作の開始および終了時の波形が滑らかになります。

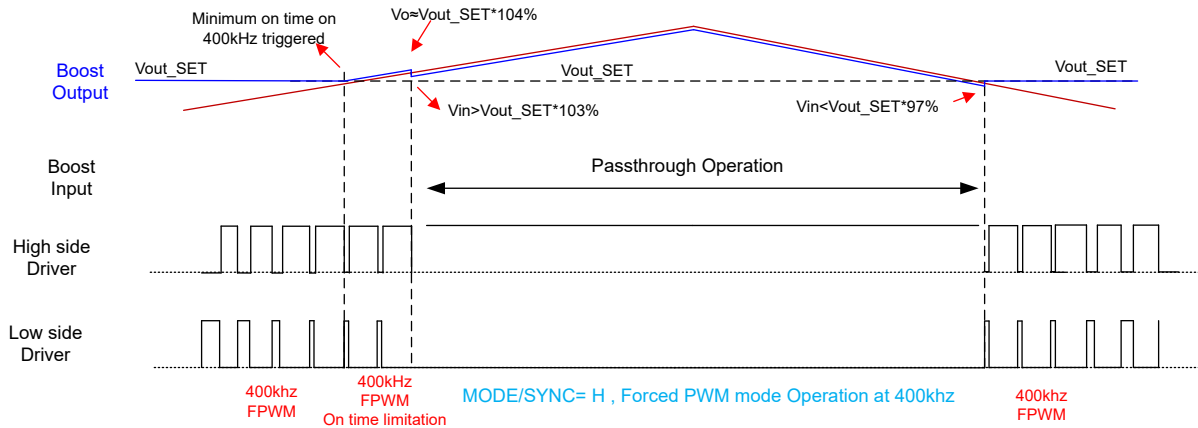


図 7-2. 強制 PWM モードの 400kHz でのパススルーの開始と終了

7.3.9.3 TPS61388-Q1 を使用する 2.2MHz 固定周波数の動作

TPS61388-Q1 では、パススルー動作の開始および終了時の周波数が一定に保持されます。強制 PWM モードを選択して、周波数を 2.2MHz に選択すると、パススルー動作の開始と終了時のスイッチング周波数が 2.2MHz に維持されることが図 7-3 に示されています。

固定周波数動作で 2.2MHz を使用する場合は、特別な注意が必要です。詳細については、セクション 7.3.9.4 を参照してください。

この動作により常に固定 2.2MHz となり、これは EMC 設計および AM ノイズに敏感なアプリケーションにとって有利です。

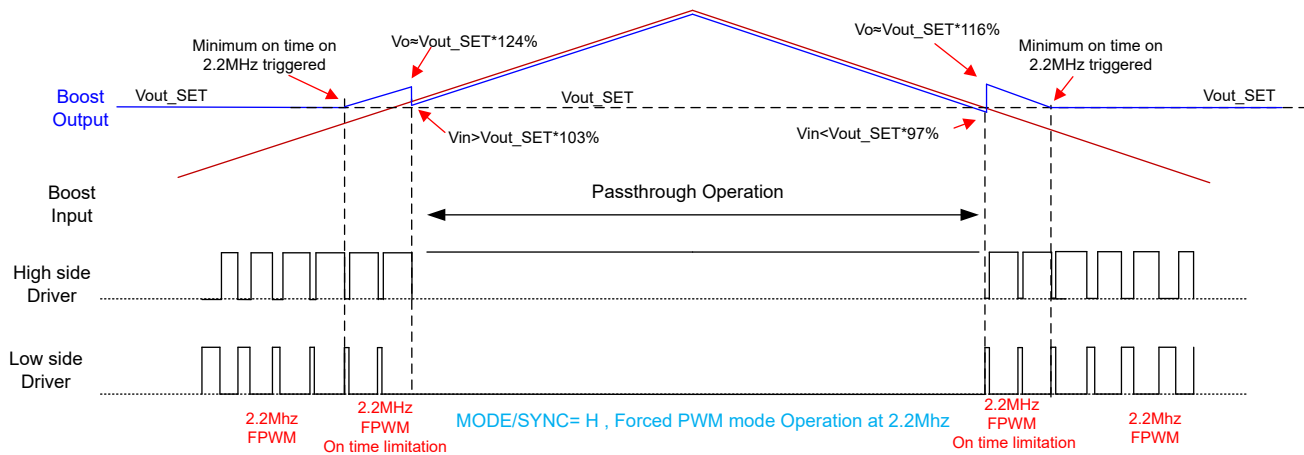


図 7-3. 固定 2.2MHz の強制 PWM モードでのパススルーの開始および終了

7.3.9.4 FPWM 2.2MHz 固定周波数に関する特別な制限

セクション 7.3.9.3 で説明したように、TPS61388-Q1 の強制 PWM モードと 2.2MHz では、パススルー動作の開始時や終了時も周波数は固定のままです。パススルーが終了すると、インダクタ電流は制御できなくなり、High レベルになります。このプロセスを、図 7-4 に示します。

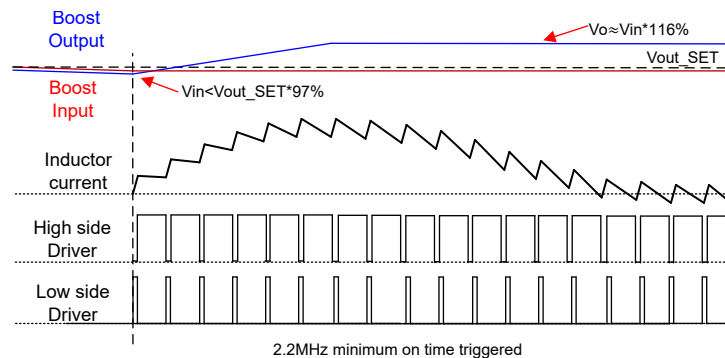


図 7-4. 固定周波数 FPWM 2.2MHz でパススルーを終了するときのインダクタ電流突入

ローサイド スイッチは最小デューティが約 20% でオンになり、入力電圧に関連するスルー レートでインダクタ電流が増加します。その後で、ハイサイド スイッチが約 80% のデューティでオンになり、インダクタ電流の減少が試みられます。インダクタ電流は、出力電圧が入力電圧の 125% に達するまでは、初期値まで減少しません。この理由から、最初の数サイクルはインダクタ電流が増加し続けます。

同様に、TPS61388-Q1 がこの固定周波数プロセスで動作するとき、 V_{in} が急激に上昇または下降した場合も、スイッチ電流が制御不能になります。

当然ながら、インダクタが小さく、出力コンデンサが大きいほど、電圧は高くなります。そして、負荷電流が大きいほど、制御不能な突入電流は悪化します。

固定周波数 FPWM と 2.2MHz で TPS61388-Q1 を使用するとき、安全なマージンを維持するには、インダクタンス、出力容量、負荷電流、出力目標電圧を総合的に検討する必要があります。ほとんどの場合、TPS61388-Q1 では 20A の電流が 100 μ s 以内であれば安全です。表 7-4 に、推奨される最大出力容量と、代表的な V_{out} 目標値およびインダクタンスを示します。

24V を超える出力目標を使用すると、パススルーの開始ポイントが過電圧保護に近い値になるため避けてください。

表 7-4. 推奨される最大出力容量と代表的な Vout 目標値およびインダクタンス

Vout 目標値	L (μH) ⁽¹⁾	負荷電流 (A)	Cout_max (μF) ⁽²⁾
10	0.68	2	200
10	1	2	250
18	1	2	100
18	2.2	2	120
24	2.2	1	50

- (1) 15A 以上の大電流に耐えるよう、ソフト飽和のインダクタを選択します
(2) Cout はセラミックコンデンサと電解コンデンサを組み合わせたもので、値は実効容量の合計値です。

7.3.9.5 TPS613881-Q1 を使用する 2.2MHz 周波数フォールドバック動作

TPS613881-Q1 で、強制 PFM モードを選択して、周波数を 2.2MHz に選択するときの、動作変換を 図 7-5 に示します。

最小オン時間がトリガされると、TPS613881-Q1 はスイッチング周波数をフォールドバックして 400kHz 以下に低減するため、スイッチング動作とパススルー動作の間の過渡が滑らかになり、AM 帯域周波数での動作も回避されます。

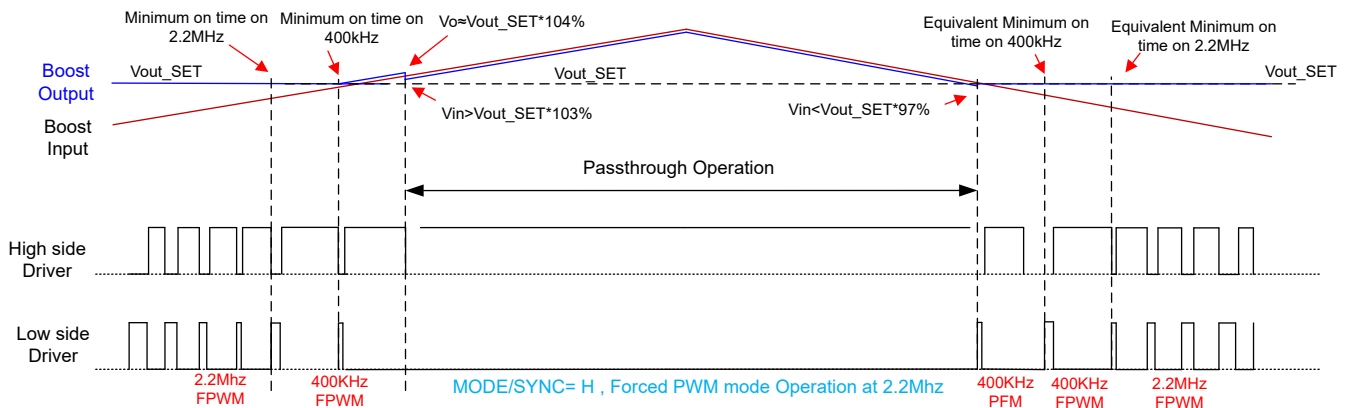


図 7-5. 周波数フォールドバックによる強制 PWM モード 2.2MHz でのパススルーの開始および終了

7.3.10 過電圧保護 (OVP)

出力電圧が OVP スレッショルド (標準 31V) を超えると、出力電圧が回復スレッショルド (標準 30V) を下回るまで、TPS61388-Q1 はスイッチングを直ちに停止します。この機能により、過電圧からデバイスが保護されます。

7.3.11 パワーグッド インジケータ

TPS61388-Q1 は、パワーグッド機能を備えており、シーケンシングと監視を簡素化できます。パワーグッド出力はオープンドレインの NMOS で構成されており、外付けプルアップ抵抗 (5KΩ ~ 100KΩ) を 6V 未満の適切な電圧源へ接続する必要があります。

VOUT が目標出力電圧の 94% (標準値) になった後、標準値 1.5ms の遅延時間で PG ピンが High になります。次の状況が発生すると、35μs グリッチ除去フィルタ遅延によって PG ピンは直ちに Low になります:

- 出力電圧が目標出力電圧の 92% より低い。
- EN ロジック low
- サーマル シャットダウン

パススルー動作および過電圧保護中は、PG 信号が High に維持されます。

7.3.12 サーマル シャットダウン

過剰な発熱や消費電力による損傷を防ぐため、サーマルシャットダウン機能が実装されています。一般的に、サーマルシャットダウンは接合部温度が 170°C を超えると作動します。作動中はデバイスのスイッチングが停止し、温度が 155°C (典型値) 以下に下がると自動で復帰します。

7.4 デバイスの機能モード

7.4.1 強制 PWM モード

TPS61388-Q1 は、5 つ以上のスイッチングサイクルの間 MODE/SYNC ピンをロジック High にすると、強制 PWM モードに移行します。強制 PWM モードでは、TPS61388-Q1 は軽負荷状態でスイッチング周波数を一定に維持します。負荷電流が減少すると、内部エラーアンプの出力も減少し、インダクタのピーク電流が低いままになります。出力電流がさらに減少して、周波数を一定に保つためにハイサイドスイッチの電流が負になっても、ハイサイドスイッチはオフになりません。

7.4.2 自動 PFM モード

TPS61388-Q1 は、5 つ以上のスイッチングサイクルの間 MODE/SYNC ピンをロジック Low にすると、自動 PFM モードに移行します。TPS61388-Q1 は、PFM モード動作の軽負荷時の効率を向上させます。出力電流が一定レベルまで低下すると、エラーアンプの出力電圧が内部回路によりクランプされます。出力電流がさらに小さくなると、ハイサイドスイッチを流れるインダクタ電流はクランプされますが、それ以上減少しません。パルスがスキップされて軽負荷時の効率が向上します。

7.5 クリアランスと FMEA のピン配置設計

TPS61388-Q1 では、高電圧ピン (VIN、SW、BOOT) と付近の低電圧ピン (VCC など) の間のクリアランスを拡大するように、ピン配置が注意深く設計されています。さらに、TPS61388-Q1 のピン配置は、より厳格な信頼性とより高い耐久性を伴う機能的な安全システム設計が必要な、重要な車載アプリケーション向けに設計されています。FMEA ピン(故障モード影響の解析) の観点から見ると、代表的な故障シナリオには、ピンのグラウンドへの短絡、入力電源 (VIN) への短絡、隣接ピンへの短絡、ピンの開放が含まれます。これらの故障は IC 外部に適用されると見なされ、IC レベルの信頼性障害ではなく基板レベルの障害です。このような障害の発生源の例には、ピン間の短絡を引き起こす浮遊導電性フィラメントや開放回路が生じる基板製造上の欠陥があります。

TPS61388-Q1 の固定出力電圧バージョンは特に、ピンが FMEA に準拠していると考えられます。ピンが隣接ピンに短絡する場合、出力電圧はレギュレーション電圧に維持、またはそれより低くなります。

8.2.2 詳細な設計手順

8.2.2.1 出力電圧の設定

出力電圧は、デバイスが有効化される前に FB ピンから検出された抵抗によって決定されます。TPS61388-Q1 の出力電圧を設定するには、固定出力電圧と可変出力電圧の 2 つの方法があります。

図 8-2 に、固定出力電圧用の FB ピン接続の代表的な回路を示します。FB 抵抗 R_{FB} は、式 1 のように定義されます。

$$R_{FB} = R_{DOWN} \quad (1)$$

固定出力電圧用に設計されている場合、TPS61388-Q1 は内蔵の抵抗分割器を使用して固定出力電圧で動作します。詳細については、[デバイス比較表](#) を参照してください。

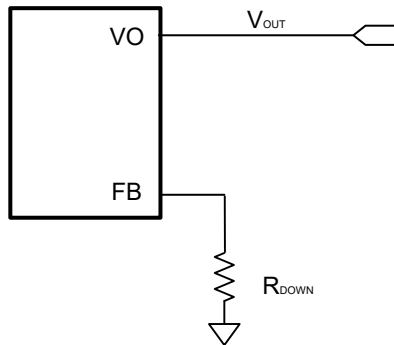


図 8-2. 固定出力電圧用の FB ピンの代表的な接続

図 8-3 に、可変出力電圧用の FB ピン接続の代表的な回路を示します。FB 抵抗 R_{FB} は、式 2 のように定義されます。

$$R_{FB} = R_{INSERT} + \frac{R_{UP} \times R_{DOWN}}{R_{UP} + R_{DOWN}} \quad (2)$$

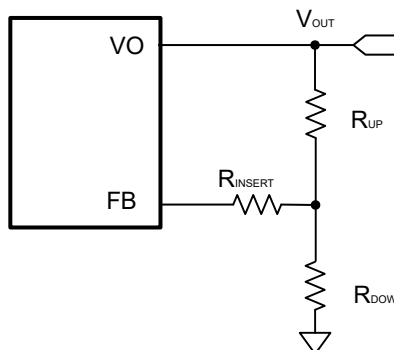


図 8-3. 可変出力電圧用の FB ピンの代表的な接続

出力電圧は、式 3 に従って外付けの抵抗分割器の R_{UP} および R_{DOWN} を調整することでプログラムされます。

$$V_{OUT} = V_{REF} \times \frac{(R_{UP} + R_{DOWN})}{R_{DOWN}} \quad (3)$$

式 3 は、出力電圧設定が R_{UP} と R_{DOWN} により影響されることを示しています。通常のアプリケーションでは、 R_{INSERT} は 0Ω です。つまり、FB ピンを帰還分圧器の中間点に直接接続します。また、固定出力電圧モードを避けるため、 R_{FB} を $27k\Omega$ より大きくします。

$100k\Omega$ より大きな抵抗が好ましくない車載アプリケーションでは、 $R_{INSERT} (> 27k\Omega)$ を使用して、 R_{UP} と R_{DOWN} の帰還抵抗について計算される値が $100k\Omega$ より小さくなるようにします。

可変電圧を使用する場合、最高の精度を得るため、 R_{DOWN} を流れる電流が FB ピンのリーク電流の少なくとも 100 倍になるよう、 R_{DOWN} を 200k Ω よりも小さくすることを推奨します。 R_{DOWN} を小さい値にすると、ノイズ注入に対する耐性が高まります。 R_{DOWN} を大きい値にすると、静止電流が減少し、低負荷時に最大の効率を達成できます。

8.2.2.2 インダクタの選択

昇圧コンバータでは通常、電力変換中にエネルギーを蓄積するために、インダクタと出力コンデンサという 2 つの主要なパッシブ部品が必要です。インダクタは、定常状態の効率 (リップルや効率を含む)、過渡動作、ループ安定性に影響を与えるため、アプリケーションで最も重要な部品となります。

インダクタとインダクタンスを選択するときの、その他の重要なパラメータは次のとおりです。

- 最大電流定格 (RMS およびピーク電流を考慮する)
- 直列抵抗
- 動作温度

TPS61388-Q1 にはスロープ補償が組み込まれているため、電流モード制御に関連する分数調波発振を防止できます。インダクタの値が小さすぎ、インダクタのピークツーピークリップルが 4A よりも大きくなると、勾配補償が不十分になり、ループが不安定になります。したがって、インダクタを選択するときは、ピークツーピーク電流リップルを 800mA ~ 4A の範囲にすることを推奨します。

インダクタンスは、式 4、式 5、および式 6 で計算されます。

$$\Delta I_L = \frac{V_{IN} \times D}{L \times f_{SW}} \quad (4)$$

$$\Delta I_{L_R} = \text{Ripple\%} \times \frac{V_{OUT} \times I_{OUT}}{\eta \times V_{IN}} \quad (5)$$

$$L = \frac{1}{\text{Ripple \%}} \times \frac{\eta \times V_{IN}}{V_{OUT} \times I_{OUT}} \times \frac{V_{IN} \times D}{f_{SW}} \quad (6)$$

ここで、

- ΔI_L は、ピークツーピークのインダクタ電流リップル
- V_{IN} は入力電圧
- D はデューティ・サイクル
- L はインダクタです
- f_{SW} はスイッチング周波数です
- $\text{Ripple \%}$ は、DC 電流に対するリップル比です
- V_{OUT} は出力電圧です。
- I_{OUT} は出力電流
- η は効率です。

インダクタを流れる電流は、インダクタリップル電流 + 平均入力電流です。電源オン時、負荷障害発生時、または負荷過渡状態中は、インダクタ電流が計算されたピーク インダクタ電流を超えて増加する場合があります。

強制 PWM モード 2.2MHz で TPS61388-Q1 を使用するときは、 V_{in} が V_{out} 目標値の約 80% に達すると、周波数が 400kHz まで低下することに注意してください。電流リップルを計算するときは、特別な考慮を行います。

インダクタの値は、電流バイアスなしで $\pm 20\%$ 、場合によっては $\pm 30\%$ の許容誤差があります。インダクタ電流が飽和レベルに近づくと、インダクタのメーカーが飽和を定義する方法に応じて、インダクタンスが 0A バイアス電流の値から 20% ~ 35% 減少する可能性があります。インダクタを選択するときは、定格電流、特に飽和電流が動作中のピーク電流よりも大きいことを確認してください。

インダクタのピーク電流は、負荷、スイッチング周波数、入力電圧および出力電圧の関数として変化します。ピーク電流は、式 7 と式 8 で計算されます。

$$I_{PEAK} = I_{IN} + \frac{1}{2} \times \Delta I_L \quad (7)$$

ここで、

- I_{PEAK} はインダクタのピーク電流です
- I_{IN} は絶縁入力電流です。
- ΔI_L はインダクタのリプル電流です。

入力 DC 電流は、出力電圧によって決定されます。出力電流は次の式で計算されます。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (8)$$

ここで、

- I_{IN} はインダクタの入力電流です
- V_{OUT} は出力電圧です。
- V_{IN} は入力電圧
- η は効率です。

インダクタのリプル電流はインダクタンスに依存しますが、周波数、入力電圧、デューティ サイクルは式 4 で計算されます。式 4 と式 8 を式 7 に置き換えると、インダクタのピーク電流が得られます。

$$I_{PEAK} = \frac{I_{OUT}}{(1-D) \times \eta} + \frac{1}{2} \times \frac{V_{IN} \times D}{L \times f_{SW}} \quad (9)$$

ここで、

- I_{PEAK} はインダクタのピーク電流です
- I_{OUT} は出力電流
- D はデューティ・サイクル
- η は効率です。
- V_{IN} は入力電圧
- L はインダクタです
- f_{SW} はスイッチング周波数です

熱定格電流 (RMS) は式 10 で計算されます。

$$I_{L_RMS} = \sqrt{I_{IN}^2 + \frac{1}{12} (\Delta I_L)^2} \quad (10)$$

ここで、

- I_{L_RMS} はインダクタの RMS 電流です
- I_{IN} はインダクタの入力電流です
- ΔI_L はインダクタのリプル電流です。

ピーク電流がインダクタの飽和電流を超えないように、RMS 電流がインダクタの温度に関連する定格電流を超えないことが重要です。

所定の物理的インダクタ サイズに対して、インダクタンスを大きくすると、通常は飽和電流が小さくなります。コイルの合計損失は、DC 抵抗 (DCR) 損失と、次の周波数に依存する損失で構成されます。

- コア材料での損失 (特に高いスイッチング周波数での磁気ヒステリシス損失)
- 表皮効果による導体の追加損失 (高周波での電流変位)
- 隣接巻線の磁界損失 (近接効果)

特定のインダクタでは、電流リップルが大きい (インダクタが小さい) と、DC が大きくなり、周波数に依存する損失も生じます。効率を高めるために、基本的に DCR の小さいインダクタを推奨します。ただし、通常は損失とフットプリントのトレードオフです。表 8-2 に推奨インダクタの一覧を示します。

表 8-2. 推奨するインダクタ

部品番号	Hz 単位の周波数	L (μH)	DCR 標準値 (mΩ)	飽和電流 (A)	サイズ (L × W × H mm)	メーカー ⁽¹⁾
XEL4030-102MEB	2.2M	1	8.9	9	4 × 4 × 3	Coilcraft
DFE322520FD-1R0M	2.2M	1	22	7.5	3.2 × 2.5 × 2	Murata (村田製作所)
XGL6060-332MEC	400k	3.3	6.5	13.4	6.5 × 6.7 × 6.1	Coilcraft
XGL6060-472MEC	400k	4.7	9.1	10.2	6.5 × 6.7 × 6.1	Coilcraft

(1) 「サードパーティ製品に関する免責事項」をご覧ください。

8.2.2.3 出力コンデンサの選択

出力コンデンサは主に、負荷過渡状態または定常状態の要件を満たすように選択します。ループは、選択された出力コンデンサに合わせて補償されています。出力リップル電圧は、コンデンサの等価直列抵抗 (ESR) と、その容量に関係します。ESR がゼロのコンデンサを仮定すると、所定のリップル電圧に対して必要な最小容量は次の式で計算されます 式 11:

$$C_{OUT} = \frac{I_{OUT} \times (V_{OUT} - V_{IN})}{f_{SW} \times \Delta V \times V_{OUT}} \quad (11)$$

ここで、

- C_{OUT} は出力コンデンサ
- I_{OUT} は出力電流
- V_{OUT} は出力電圧です。
- V_{IN} は入力電圧
- ΔV は、必要な出力電圧リップル
- f_{SW} はスイッチング周波数です

ESR によって生じる追加の出力リップル成分は、次の式 12 で計算されます:

$$\Delta V_{ESR} = I_{OUT} \times R_{ESR} \quad (12)$$

ここで、

- ΔV_{ESR} は、ESR により生じる出力電圧リップル
- R_{ESR} は、出力コンデンサと直列の抵抗

セラミックコンデンサの場合、ESR によるリップルは通常無視されます。ただし、タンタルコンデンサや電解コンデンサを使用する場合は考慮する必要があります。

負荷過渡応答の要件を満たすために必要な最小セラミック出力コンデンサ容量は、次の式 13 で見積もられます:

$$C_{OUT} = \frac{\Delta I_{STEP}}{2\pi \times f_{BW} \times \Delta V_{TRAN}} \quad (13)$$

ここで、

- ここで、 ΔI_{STEP} は過渡負荷電流ステップです。
- ΔV_{TRAN} は、負荷電流ステップに許容される電圧ディップです
- f_{BW} は制御ループの帯域幅 (すなわち、制御ループゲインがゼロを横切る周波数) です。

セラミックコンデンサの直流バイアスによる容量低下を評価する際には注意が必要です。セラミックコンデンサは定格電圧時に容量が最大で 70% まで低下することがあります。したがって、必要な出力電圧で十分な容量を確保するために、電圧定格には十分なマージンを持たせる必要があります。

8.2.2.4 入力コンデンサの選択

積層セラミックコンデンサは、ステップアップコンバータの入力デカップリングに最適です。セラミックコンデンサは ESR が非常に低く、小型で入手可能だからです。入力コンデンサは、デバイスにできるだけ近い位置に配置することが推奨されます。22 μ F の入力コンデンサまたは同等品でほとんどの用途には十分ですが、容量を大きくすると入力電流のリップルを低減できます。

セラミック入力コンデンサのみを使用する場合には注意が必要です。入力でセラミックコンデンサを使用している場合に、長いワイヤを通して (壁のアダプタなどから) 電源を供給すると、出力での負荷ステップにより VIN ピンでリングングが生じる可能性があります。このリングングは出力にカップリングして、ループの不安定性と誤解されたり、場合によってはデバイスを損傷させることもあります。この場合、追加の「バルク」コンデンサ (電解コンデンサまたはタンタルコンデンサ) は、電源リードと C_{IN} の間に配置する必要があります。これは、電源リードのインダクタンスと C_{IN} の間で発生するリングングを低減するためです。

8.2.2.5 ブートストラップコンデンサの選択

BST ピンと SW ピンの間のブートストラップコンデンサは、各サイクルのターンオン時にハイサイド FET のゲートを充電するためのゲート電流を供給します。ゲート電流は、ブートストラップコンデンサへの充電も供給します。ブートストラップコンデンサの推奨値は 0.1 μ F です。 C_{BST} は高品質で低 ESR のセラミックコンデンサであるべきで、基板パターンのインダクタンスによって生じる潜在的に有害な電圧過渡を最小限に抑えるため、デバイスのピン付近に配置する必要があります。この設計例では、0.1 μ F の値が選択されています。

8.2.2.6 V_{CC} コンデンサ

V_{CC} コンデンサの主な目的は、ドライバおよびブートストラップコンデンサのピークトランジェント電流を供給し、 V_{CC} レギュレータの安定性を確保することです。 C_{VCC} の容量は C_{BST} の少なくとも 10 倍とし、高品質で低 ESR のセラミックコンデンサを使用する必要があります。配線インダクタンスによって生じる潜在的に有害な電圧過渡を最小限に抑えるため、 C_{VCC} は IC のピン近くに配置してください。この設計例では、4.7 μ F の値が選択されています。

8.2.2.7 突入電流からの保護

動作中の電源に昇圧コンバータが接続されているときは、大電流がインダクタ、ハイサイドスイッチのボディダイオード、 C_{OUT} を通過します。 C_{OUT} の容量が大きく、VIN のスルーレートが大きい場合は、突入電流が非常に大きくなり、ボディダイオードが破損する危険があります。残念ながら、この電流は制御できません。

このような状況では、デバイスの損傷を防止するため、[図 8-4](#) に示すように、VIN と VOUT との間に小さなショットキーダイオードまたはシリコンダイオードを接続できます。このダイオードにより、VIN から VOUT へ出力コンデンサを直接充電できます。また、このダイオードは共振回路を非アクティブ化し、LC 共振による VOUT のオーバーシュートを制限します。このダイオードは、VIN の接続時、または高速過渡状態時にのみ電流が導通するので、全負荷電流の半分以下の定格を選択します。

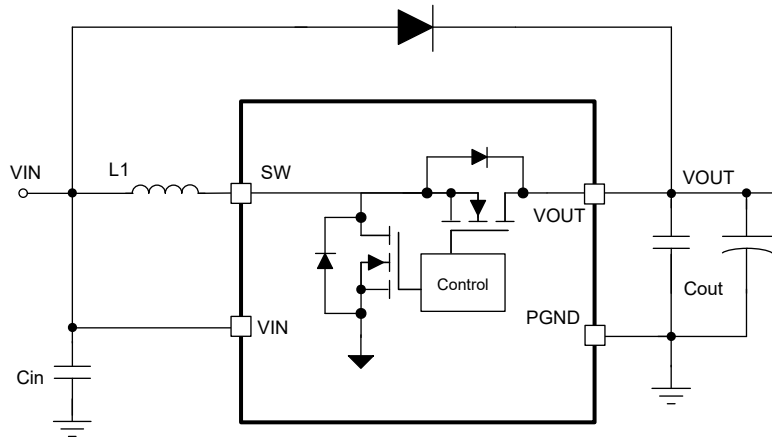


図 8-4. VIN と VOUT との間にダイオードを追加して突入電流からの保護を実現

8.2.2.8 ループ安定性と補償

8.2.2.8.1 小信号モデル

TPS61388-Q1 は、固定周波数ピーク電流モード制御を採用しています。サブハーモニック発振を避けるために、内部で適応型スロープ補償が行われています。インダクタ電流の情報が検出されると、電力段の小信号モデルは、L および C_{OUT} によって作成される 2 極システムから、R_{OUT} および C_{OUT} によって作成される単極システムへと効率化されます。単極システムは、ループ補償と簡単に組み合わせで使用できます。図 図 8-5 はブーストコンバータの等価小信号素子を示しています。

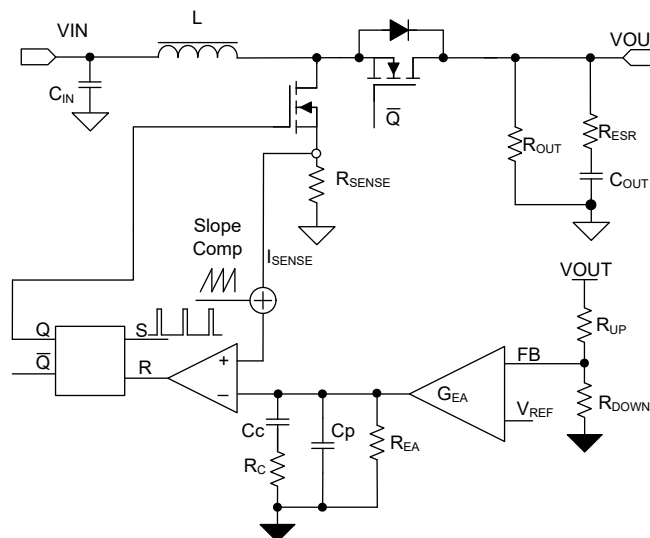


図 8-5. TPS61388-Q1 の制御等価回路モデル

パワーステージの小信号モデルは次の通りです:

$$K_{PS}(S) = \frac{R_{OUT} \times (1 - D)}{2 \times R_{SENSE}} \times \frac{(1 + \frac{S}{2\pi \times f_{ESR}})(1 - \frac{S}{2\pi \times f_{RHP}})}{(1 + \frac{S}{2\pi \times f_p})} \quad (14)$$

ここで、

- D はデューティ・サイクル
- R_{OUT} は出力負荷抵抗
- R_{sense} は通常 $91m\Omega$ の内部相当の電流検出抵抗です

電力段の単一極は、次のとおりです。

$$f_P = \frac{2}{2\pi \times R_{OUT} \times C_{OUT}} \quad (15)$$

ここで、

- C_{OUT} は出力キャパシタンスです。複数の同一の出力コンデンサを並列接続する昇圧コンバータの場合は、これらのコンデンサを等価容量で組み合わせるだけです

出力コンデンサの ESR によって生じるゼロは、次のとおりです。

$$f_{ESR} = \frac{1}{2\pi \times R_{ESR} \times C_{OUT}} \quad (16)$$

ここで、

- R_{ESR} は、出力コンデンサの等価直列抵抗

右側面ゼロは次のとおりです。

$$f_{RHP} = \frac{R_{OUT} \times (1-D)^2}{2\pi \times L} \quad (17)$$

ここで、

- D はデューティ・サイクル
- R_{OUT} は出力負荷抵抗
- L はインダクタンス

式 18 に、帰還抵抗ネットワークとエラー アンプの式を示します。

$$H_{EA}(S) = G_{EA} \times R_{EA} \times \frac{R_{DOWN}}{R_{UP} + R_{DOWN}} \times \frac{1 + \frac{S}{2\pi \times f_Z}}{\left(1 + \frac{S}{2\pi \times f_{P1}}\right) \times \left(1 + \frac{S}{2\pi \times f_{P2}}\right)} \quad (18)$$

ここで、

- R_{EA} はエラー アンプの出力インピーダンスで、通常 $R_{EA} = 500M\Omega$
- f_{P1} および f_{P2} は補償のポールの周波数です
- f_Z は補償ネットワークのゼロの周波数です

$$f_{P1} = \frac{1}{2\pi \times R_{EA} \times C_C} \quad (19)$$

ここで、

- C_C は、ゼロ コンデンサ補償です

$$f_{P2} = \frac{1}{2\pi \times R_C \times C_P} \quad (20)$$

ここで、

- C_C は、ポール コンデンサ補償です
- R_C は、補償ネットワークの抵抗です

$$f_z = \frac{1}{2\pi \times R_C \times C_C} \quad (21)$$

8.2.2.8.2 ループ補償設計手順

小信号モデルを使用して、次の手順は、指定したインダクタと出力容量を使用して補償回路のパラメータを計算することです。

1. クロスオーバー周波数 f_C を設定します。まず。

最初のステップは、ループのクロスオーバー周波数 f_C を設定することです。クロスオーバー周波数が高いほど、ループ応答が高速になります。一般的にループゲインは、スイッチング周波数 f_{SW} の $1/10$ または RHPZ 周波数 f_{RHPZ} の $1/5$ のいずれか低い方を超えないことが許容されます。それから、以下のセクションで、 R_C 、 C_C 、 C_P のループ補償ネットワークの値を計算します。

2. 補償抵抗 R_C を設定します。

f_z を f_C より下に配置すると、 f_C より高い周波数では、 $R_C \parallel R_{EA}$ は、ほぼ R_C となり、 $R_C \times G_{EA}$ によって補償ゲインが設定されます。 f_z において補償ゲイン $K_{COMP-dB}$ を設定すると、合計ループゲイン $T(s) = K_{PS(s)} \times H_{EA(s)}$ は f_C でゼロになります。

そのため、 f_{P2} までの単極ロールオフを概算するには、式 18 を再編成して R_C を求め、 f_C での補償ゲイン K_{EA} はゲイン K_{PS} の負になります。パワー段のボード線図の周波数 f_C で読み取られる、または詳細を簡単にすることができます：

$$K_{EA}(f_C) = 20 \times \log(G_{EA} \times R_C \times \frac{R_{DOWN}}{R_{UP} + R_{DOWN}}) = -K_{PS}(f_C) \quad (22)$$

ここで、

- K_{EA} は、エラー アンプ ネットワークのゲインです
- K_{PS} は電力段のゲインです
- G_{EA} は、アンプの相互コンダクタンスで、標準値 $G_{EA} = 200\mu A/V$ です

3. 補償ゼロ コンデンサ C_C を設定します。

R_{OUT} 、 C_{OUT} の電力段の極位置に補償ゼロを配置します：

$$f_z = \frac{1}{2\pi \times R_C \times C_C} \quad (23)$$

$$C_C = \frac{R_{OUT} \times C_{OUT}}{2R_C} \quad (24)$$

4. 補償極コンデンサ C_P を設定します。

補償極は、 R_{ESR} と C_{OUT} によって生成されるゼロの位置に配置します。補償極は ESR ゼロがもたらす役に立たない影響を打ち消すのに役立ちます。

$$f_{P2} = \frac{1}{2\pi \times R_C \times C_P} \quad (25)$$

$$f_{ESR} = \frac{1}{2\pi \times R_{ESR} \times C_{OUT}} \quad (26)$$

$f_{P2} = f_{ESR}$ に設定し、次の式を得ます。

$$C_P = \frac{R_{ESR} \times C_{OUT}}{R_C} \quad (27)$$

計算された C_P 値が 10pF より小さい場合は、この容量を無視できます。

8.2.3 アプリケーション曲線

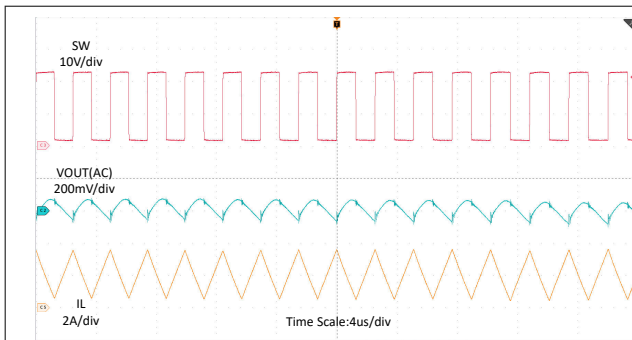


図 8-6. $V_{IN} = 12V$ 、 $V_{OUT} = 24V$ 、 $I_{OUT} = 1A$ 、FPWM 400kHz におけるスイッチング波形

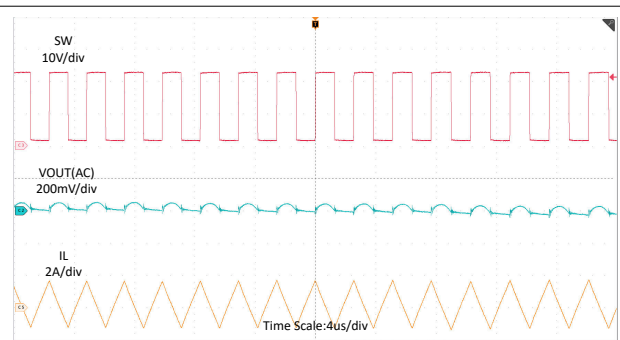


図 8-7. $V_{IN} = 12V$ 、 $V_{OUT} = 24V$ 、 $I_{OUT} = 100mA$ 、FPWM 400kHz におけるスイッチング波形

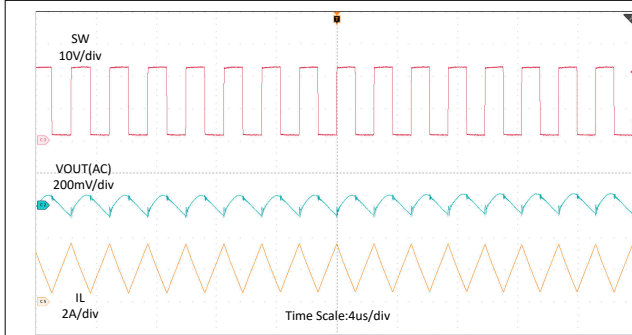


図 8-8. $V_{IN} = 12V$ 、 $V_{OUT} = 24V$ 、 $I_{OUT} = 1A$ 、PFM 400kHz におけるスイッチング波形

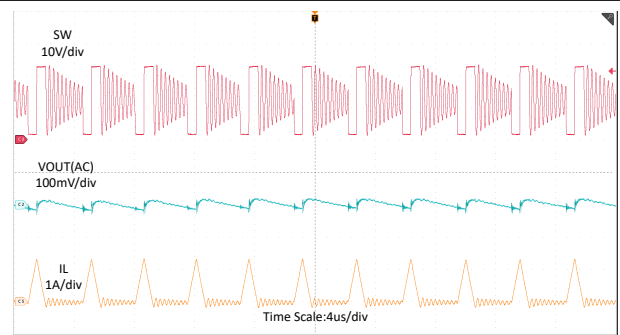


図 8-9. $V_{IN} = 12V$ 、 $V_{OUT} = 24V$ 、 $I_{OUT} = 100mA$ 、PFM 400kHz におけるスイッチング波形

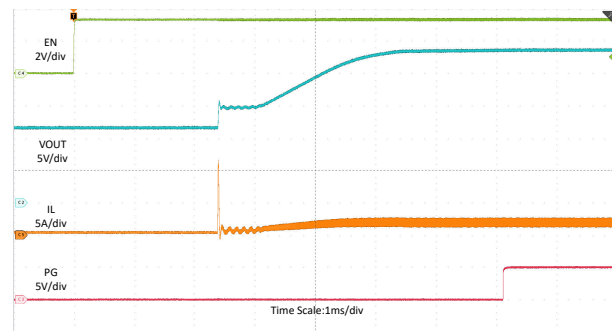


図 8-10. $V_{IN} = 12V$ 、 $V_{OUT} = 24V$ 、 $I_{OUT} = 1A$ 、FPWM
におけるスタートアップ波形

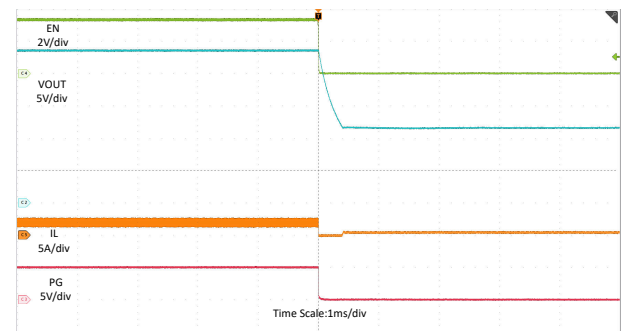


図 8-11. $V_{IN} = 12V$ 、 $V_{OUT} = 24V$ 、 $I_{OUT} = 1A$ 、FPWM
におけるシャットダウン波形

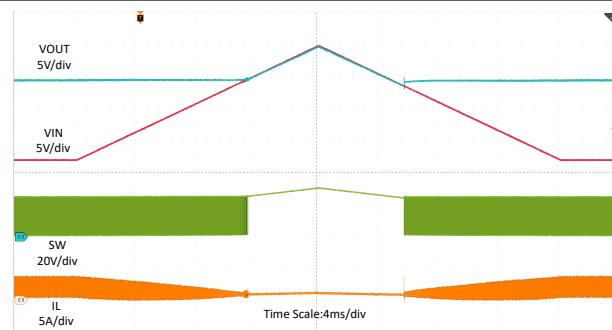


図 8-12. $V_{OUT-SET} = 24V$ 、 $I_{OUT} = 1A$ 、PFM、400kHz に
おけるパススルー動作

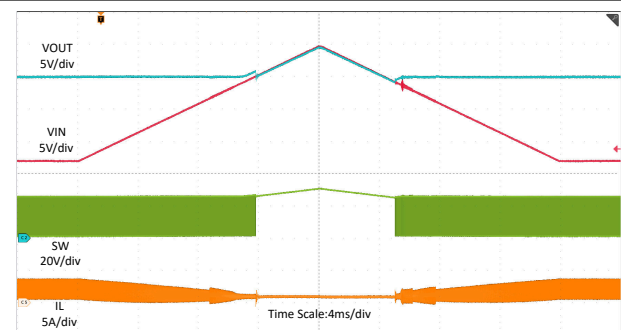


図 8-13. $V_{OUT-SET} = 24V$ 、 $I_{OUT} = 1A$ 、FPWM、400kHz
におけるパススルー動作

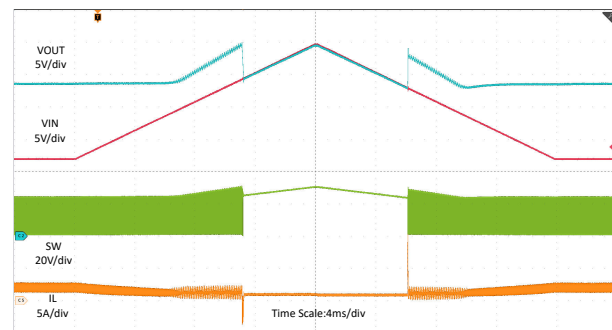


図 8-14. $V_{OUT-SET} = 24V$ 、 $I_{OUT} = 1A$ 、FPWM、
2200kHz、固定周波数におけるパススルー動作

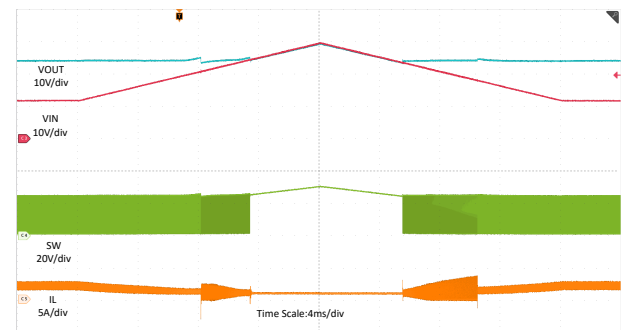


図 8-15. $V_{OUT-SET} = 24V$ 、 $I_{OUT} = 1A$ 、FPWM、
2200kHz、周波数フォールドバックにおけるパススル
ー動作、周波数

8.3 電源に関する推奨事項

TPS61388-Q1 は、2.5V ~ 36V の入力電源電圧範囲で動作するように設計されています。入力電源に適切なレギュレーションを実行します。入力電源がデバイスから数インチ以上離れている場合、セラミックバイパスコンデンサに加えてバルク容量が必要になることがあります。通常は、47 μ F の電解コンデンサを使用します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

すべてのスイッチング電源において、レイアウトは設計での重要なステップとなります。ピーク電流およびスイッチング周波数が高い場合には、特に重要です。レイアウトが注意深く行われていないと、レギュレータでは EMI 問題だけでなく安定性の問題も生じます。主要な電流パスおよびパワー グランド パスには、幅が広く短い配線を使用してください。入力コンデンサ、出力コンデンサ、インダクタは、IC のできるだけ近くに配置してください。

8.4.2 レイアウト例

最下層は、ビアで接続された大きな GND プレーンです。

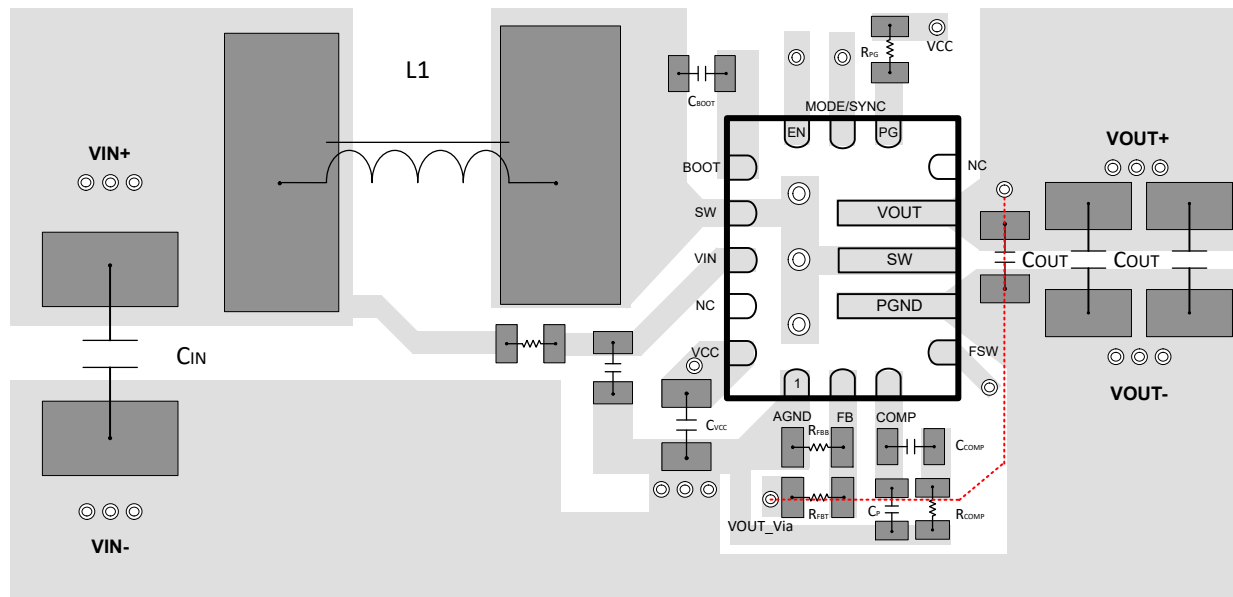


図 8-16. 推奨レイアウト

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10 改訂履歴

日付	改訂	注
October 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
XTPS61388QVASRQ1	Active	Preproduction	WQFN-HR (VAS) 16	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月