

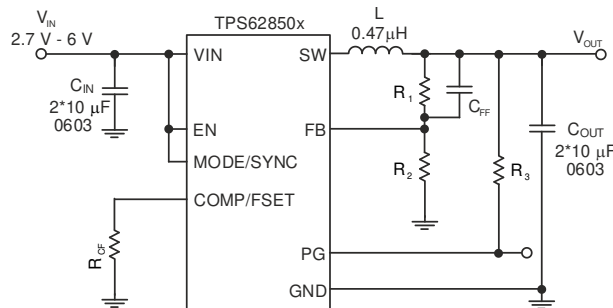
TPS62850x 2.7V ~ 6V、1A/2A/3A 降圧コンバータ、SOT583 パッケージ封止

1 特長

- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 入力電圧範囲: 2.7V~6V
- 0.6V~5.5V の出力電圧
- 1% の帰還電圧精度 (全温度範囲)
- $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$
- 1A、2A (連続)、3A (ピーク) のデバイスファミリ
- 1.8MHz~4MHz の調整可能なスイッチングおよび同期周波数
- 強制 PWM または PWM/PFM 動作
- 静止電流: 17 μA (標準値)
- 高精度の ENABLE 入力で以下を実現:
 - ユーザー定義の低電圧誤動作防止機能
 - 正確なシーケンシング
- 100% デューティ サイクル モード
- アクティブ出力放電
- ウィンドウ コンパレータによるパワー グッド出力
- 可変ソフト スタート機能を備えたデバイスについては、[TPS628511](#) をご覧ください。

2 アプリケーション

- モーター・ドライブ
- ファクトリ・オートメーション / 制御
- ビル・オートメーション
- 試験 / 測定機器
- 汎用 POL



概略回路図

3 説明

TPS62850x はピン互換で 1A、2A (連続) および 3A (ピーク) の高効率で使いやすい同期整流降圧 DC/DC コンバータファミリです。これらのデバイスは、ピーク電流モード制御方式に基づいています。低抵抗のスイッチにより、連続で最大 2A、ピークでは 3A の出力電流を供給できます。スイッチング周波数は 1.8MHz~4MHz の範囲で外部から変更でき、同じ周波数範囲の外部クロックと同期することもできます。PWM および PFM モードでは、TPS62850x は負荷が軽いときに自動的にパワーセーブモードへ移行するため、負荷範囲全体にわたって高い効率が維持されます。TPS62850x は PWM モードで 1% の出力電圧精度を実現できるため、出力電圧精度が高い電源を設計するのに適しており、デジタル プロセッサと FPGA の厳しい電源電圧要件を満たすことができます。

TPS62850x は 8 ピン、1.60mm × 2.10mm の SOT583 パッケージで供給されます。

パッケージ情報

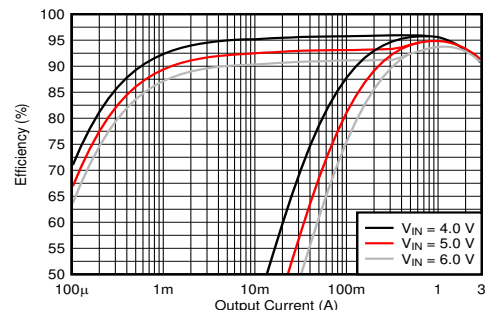
部品番号	パッケージ(1)	パッケージ サイズ(2)
TPS62850x	DRL (SOT583, 8)	1.60mm × 2.10mm

- 詳細については、[セクション 12](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。

製品情報

部品番号 (1)	出力電流	出力電圧
TPS628501DRLR	1A	可変
		1.8V 固定
TPS628502DRLR	2A	可変
TPS6285020ADRLR		1.2V 固定
TPS6285020MDRLR		1.8V 固定
TPS628503DRLR	3A	可変

- [デバイス比較表](#) を参照してください。



効率と I_{OUT} の関係、V_{OUT} = 3.3V



目次

1 特長.....	1	8.3 機能説明.....	10
2 アプリケーション.....	1	8.4 デバイスの機能モード.....	13
3 説明.....	1	9 アプリケーションと実装.....	15
4 デバイス比較表.....	3	9.1 アプリケーション情報.....	15
5 ピン構成および機能.....	3	9.2 代表的なアプリケーション.....	17
6 仕様.....	4	9.3 システム例.....	27
6.1 絶対最大定格.....	4	9.4 電源に関する推奨事項.....	28
6.2 ESD 定格.....	4	9.5 レイアウト.....	28
6.3 推奨動作条件.....	4	10 デバイスおよびドキュメントのサポート.....	30
6.4 熱に関する情報.....	5	10.1 デバイス サポート.....	30
6.5 電気的特性.....	5	10.2 ドキュメントの更新通知を受け取る方法.....	30
6.6 代表的特性.....	8	10.3 サポート・リソース.....	30
7 パラメータ測定情報.....	9	10.4 商標.....	30
7.1 回路図.....	9	10.5 静電気放電に関する注意事項.....	30
8 詳細説明.....	10	10.6 用語集.....	30
8.1 概要.....	10	11 改訂履歴.....	30
8.2 機能ブロック図.....	10	12 メカニカル、パッケージ、および注文情報.....	31

4 デバイス比較表

部品番号	出力電流	V _{OUT} 放電	フォールドバック電流制限	スペクトラムクロック処理 (SSC)	ソフトスタート	出力電圧
TPS628501DRLR	1A	オン	OFF	COMP/FSET ピンごと	内部 1ms	可変
TPS628501MDRLR						1.8V 固定
TPS628502DRLR	2A					可変
TPS6285020ADRLR						1.2V 固定
TPS6285020MDRLR						1.8V 固定
TPS628503DRLR	3A					可変

5 ピン構成および機能

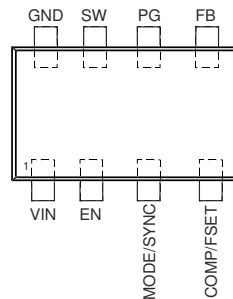


図 5-1. 8 ピン SOT583 DRL パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
EN	2	I	製品のイネーブルピンです。ロジック Low に接続すると、本デバイスは無効化されます。High にプルすると、本デバイスは有効化されます。このピンを未接続のままにしないでください。
FB	5	I	電圧フィードバック入力。抵抗分圧器の出力をこのピンに接続します。
GND	8		グランドピン
MODE/SYNC	3	I	このピンが low になると、デバイスは PFM/PWM モードで動作します。ピンが high にプルされる場合、デバイスは強制 PWM モードで動作します。このピンを未接続のままにしないでください。モードピンを使用して、デバイスを外部周波数に同期することもできます。外部同期のためにこのピンに適用されるデジタル信号の詳細な仕様については、 セクション 6.5 を参照してください。
COMP/FSET	4	I	デバイス補償および周波数設定入力。このピンから GND への抵抗は、外部同期されていない場合は制御ループの補償とスイッチング周波数を定義します。
PG	6	O	オープンドレインのパワー グッド出力
SW	7		これはコンバータのスイッチ ピンであり、内部パワー MOSFET に接続されています。
VIN	1		電源入力。必ず入力コンデンサを、VIN ピンと GND ピンとの間に、本デバイスにできるだけ近づけて接続します。

(1) I = 入力、O = 出力

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
ピン電圧 ⁽²⁾	VIN	-0.3	6.5	V
ピン電圧 ⁽²⁾	SW (DC)	-0.3	V _{IN} + 0.3	V
ピン電圧 ⁽²⁾	SW (AC, 10ns 未満) ⁽³⁾	-3	10	V
ピン電圧 ⁽²⁾	COMP/FSET, PG	-0.3	V _{IN} + 0.3	V
ピン電圧 ⁽²⁾	EN, MODE/SYNC, FB	-0.3	6.5	V
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、回路のグランド端子 GND を基準としたものです。
- (3) スイッチング動作時。

6.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JS-002 準拠 ⁽²⁾	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{IN}	入力電圧範囲	2.7		6	V
V _{OUT}	出力電圧範囲	0.6		5.5	V
L	実効インダクタンス	0.32	0.47	1.2	μH
C _{OUT}	実効出力キャパシタンス ⁽¹⁾	8	10	200	μF
C _{IN}	実効入力キャパシタンス ⁽¹⁾	5	10		μF
R _{CF}		4.5		100	kΩ
I _{SINK_PG}	PG ピンのシンク電流	0		2	mA
I _{OUT}	出力電流、TPS628503 ⁽²⁾	0		3	A
T _J	接合部温度	-40		150	°C

- (1) 表のすべてのコンデンサに記載されている値は実効容量で、DC バイアス効果も含まれています。セラミック コンデンサの DC バイアス効果により、電圧を印加したときの実効容量は公称値より小さくなります。実効静電容量と印加される DC 電圧との関係については、メーカーの DC バイアス曲線を確認してください。制限が適用される場合があります。出力キャパシタンスと補償設定および出力電圧の関係については、COMP/FSET の機能説明を参照してください。
- (2) この製品は、接合部温度 85°C、105°C、または 3A で 2A の連続出力電流を供給するように設計されています。出力電流または接合部温度を上回ると、寿命が大幅に短縮される可能性があります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS62850x	TPS62850x	単位
		DRL (JEDEC) ⁽²⁾	DRL (EVM)	
		8ピン	8ピン	
R _{θJA}	接合部から周囲への熱抵抗	110	60	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	41.3	該当なし	°C/W
R _{θJB}	接合部から基板への熱抵抗	20	該当なし	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.8	該当なし	°C/W
Y _{JB}	接合部から基板への特性パラメータ	20	該当なし	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションレポートを参照してください。
 (2) 4層、サーマルビアなしの JEDEC 標準 PCB。

6.5 電気的特性

動作接合部温度範囲 (T_J = -40°C ~ +150°C) および V_{IN} = 2.7V ~ 6V。V_{IN} = 5V、T_J = 25°C での標準値。(特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I _Q	静止時電流	EN = V _{IN} 、無負荷、デバイスがスイッチングしない、MODE = GND、V _{OUT} = 0.6V		17	36	μA
I _{SD}	シャットダウン電流	T _J = 25°C での EN = GND、公称値、T _J = 150°C での最大値		1.5	48	μA
I _{SD}	シャットダウン電流	EN = GND、T _J = -40°C ~ 85°C、HSFET リークを含む			5.5	μA
V _{UVLO}	低電圧誤動作防止スレッシュホールド	V _{IN} 立ち上がり	2.45	2.6	2.7	V
		V _{IN} 立ち下がり	2.1	2.5	2.6	V
T _{JSD}	サーマル シャットダウンのスレッシュホールド	T _J 立ち上がり		170		°C
	サーマル シャットダウン ヒステリシス	T _J 立ち下がり		15		°C
制御とインターフェイス						
V _{EN,IH}	EN の立ち上がりエッジにおける入力スレッシュホールド電圧		1.05	1.1	1.15	V
V _{EN,IL}	EN の入力スレッシュホールド電圧、立ち下がりエッジ		0.96	1.0	1.05	V
V _{IH}	MODE/SYNC の High レベル入力 — スレッシュホールド電圧		1.1			V
I _{EN,LKG}	EN への入力リーク電流	V _{IH} = V _{IN} または V _{IL} = GND			125	nA
V _{IL}	MODE/SYNC の Low レベル入力スレッシュホールド電圧				0.3	V
I _{LKG}	MODE/SYNC への入力リーク電流				100	nA
t _{Delay}	イネーブル遅延時間	EN が high になってからデバイスのスイッチングが始まるまでの時間。V _{IN} はすでに印加されている。	135	200	520	μs
t _{Delay}	イネーブル遅延時間	EN が High になってからデバイスのスイッチングが始まるまでの時間。V _{IN} はすでに印加されている、V _{IN} ≥ 3.3V			480	μs
t _{Ramp}	出力電圧ランプタイム	デバイスがスイッチングを開始してからパワーグッドまでの時間、デバイスが電流制限外にある	0.8	1.3	1.8	ms
f _{SYNC}	同期用の MODE/SYNC ピンの周波数範囲		1.8		4	MHz

6.5 電気的特性 (続き)

動作接合部温度範囲 ($T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$) および $V_{IN} = 2.7\text{V} \sim 6\text{V}$ 。 $V_{IN} = 5\text{V}$ 、 $T_J = 25^{\circ}\text{C}$ での標準値。(特に記載がない限り)

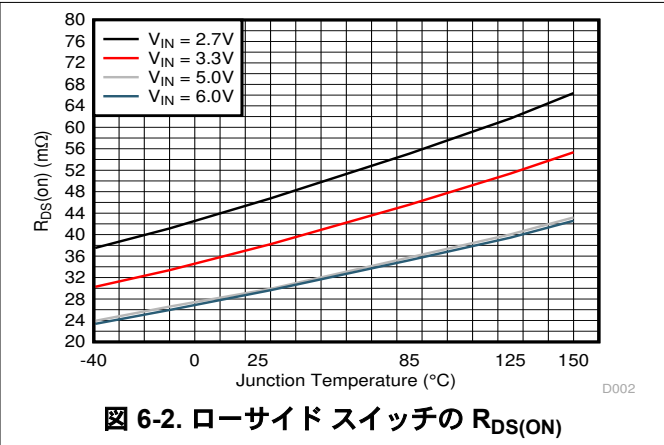
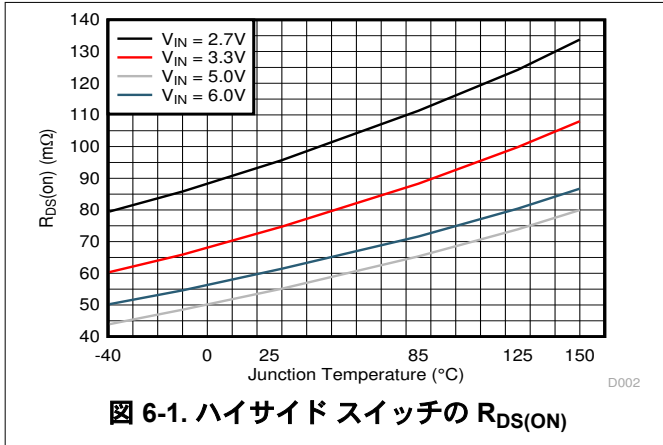
パラメータ		テスト条件	最小値	標準値	最大値	単位
	MODE/SYNC における同期信号のデューティサイクル		20		80	%
	外部周波数にロックする時間			50		μs
	COMP/FSET から GND への抵抗 (ロジック low)	$f = 2.25\text{MHz}$ の内部周波数設定	0		2.5	$\text{k}\Omega$
	ロジック high の COMP/FSET の電圧	$f = 2.25\text{MHz}$ の内部周波数設定		V_{IN}		V
V_{TH_PG}	UVP パワーグッド スレッシュホールド電圧、DC レベル	立ち上がり (% V_{FB})	92	95	98	%
V_{TH_PG}	UVP パワーグッド スレッシュホールド電圧、DC レベル	立ち下がり (% V_{FB})	87	90	93	%
V_{TH_PG}	OVP パワーグッド スレッシュホールド電圧、DC レベル	立ち上がり (% V_{FB})	107	110	113	%
	OVP パワーグッド スレッシュホールド電圧、DC レベル	立ち下がり (% V_{FB})	104	107	111	%
V_{PG_OL}	PG での Low レベル出力電圧	$I_{SINK_PG} = 2\text{mA}$		0.07	0.3	V
I_{PG_LKG}	PG への入力リーク電流	$V_{PG} = 5\text{V}$			100	nA
t_{PG}	PG グリッチ除去時間	パワーグッド出力の high レベルから low レベルへの遷移		40		μs
出力						
V_{FB}	帰還電圧、調整可能バージョン			0.6		V
I_{FB_LKG}	FB への入力リーク電流、調整可能バージョン	$V_{FB} = 0.6\text{V}$		1	70	nA
V_{FB}	帰還電圧精度	PWM、 $V_{IN} \geq V_{OUT} + 1\text{V}$	-1		1	%
V_{FB}	帰還電圧精度	PFM、 $V_{IN} \geq V_{OUT} + 1\text{V}$ 、 $V_{OUT} \geq 1.0\text{V}$ 、 $C_{o,eff} \geq 10\mu\text{F}$ 、 $L = 0.47\mu\text{H}$	-1		2	%
V_{FB}	帰還電圧精度	PFM、 $V_{IN} \geq V_{OUT} + 1\text{V}$ 、 $V_{OUT} < 1.0\text{V}$ 、 $C_{o,eff} \geq 15\mu\text{F}$ 、 $L = 0.47\mu\text{H}$	-1		3	%
	ロードレギュレーション	PWM		0.05		%/A
	ラインレギュレーション	PWM、 $I_{OUT} = 1\text{A}$ 、 $V_{IN} \geq V_{OUT} + 1\text{V}$		0.02		%/V
R_{DIS}	出力放電抵抗				100	Ω
f_{SW}	PWM スイッチング周波数範囲	MODE = high、スイッチング周波数の設定については、FSET ピンの機能を参照してください	1.8	2.25	4	MHz
f_{SW}	PWM スイッチング周波数範囲	MODE = low、スイッチング周波数の設定については、FSET ピンの機能を参照してください	1.8		3.5	MHz
f_{SW}	PWM スイッチング周波数	COMP/FSET を GND または V_{IN} に接続した場合	2.025	2.25	2.475	MHz
f_{SW}	PWM スイッチング周波数許容値	COMP/FSET と GND の間に抵抗を使用します	-12		12	%
$t_{on,min}$	ハイサイド FET の最小オン時間	$V_{IN} = 3.3\text{V}$ 、 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$		35	50	ns
$t_{on,min}$	ローサイド FET の最小オン時間			10		ns
$R_{DS(ON)}$	ハイサイド FET オン抵抗	$V_{IN} \geq 5\text{V}$		65	120	$\text{m}\Omega$
	ローサイド FET オン抵抗	$V_{IN} \geq 5\text{V}$		33	70	$\text{m}\Omega$

6.5 電気的特性 (続き)

動作接合部温度範囲 ($T_J = -40^\circ\text{C} \sim +150^\circ\text{C}$) および $V_{IN} = 2.7\text{V} \sim 6\text{V}$ 。 $V_{IN} = 5\text{V}$ 、 $T_J = 25^\circ\text{C}$ での標準値。(特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	ハイサイド MOSFET リーク電流	$T_J = -40^\circ\text{C} \sim 85^\circ\text{C}$			3.5	μA
	ハイサイド MOSFET リーク電流			0.01	44	μA
	ローサイド MOSFET リーク電流	$T_J = -40^\circ\text{C} \sim 85^\circ\text{C}$			5	μA
	ローサイド MOSFET リーク電流			0.01	70	μA
	SW リーク電流	$V(\text{SW}) = 0.6\text{V}$ 、SW ピンへの電流	-0.05		11	μA
I_{LIMH}	ハイサイド FET スイッチ電流制限値	TPS628503 の場合の DC 値、 $V_{IN} = 3\text{V} \sim 6\text{V}$	3.45	4.5	5.1	A
I_{LIMH}	ハイサイド FET スイッチ電流制限値	TPS628502 の場合の DC 値、 $V_{IN} = 3\text{V} \sim 6\text{V}$	2.85	3.4	3.9	A
I_{LIMH}	ハイサイド FET スイッチ電流制限値	TPS628501 の場合の DC 値、 $V_{IN} = 3\text{V} \sim 6\text{V}$	2.1	2.6	3.0	A
I_{LIMNEG}	ローサイド FET 負電流制限値	DC 値		-1.8		A

6.6 代表的特性



7 パラメータ測定情報

7.1 回路図

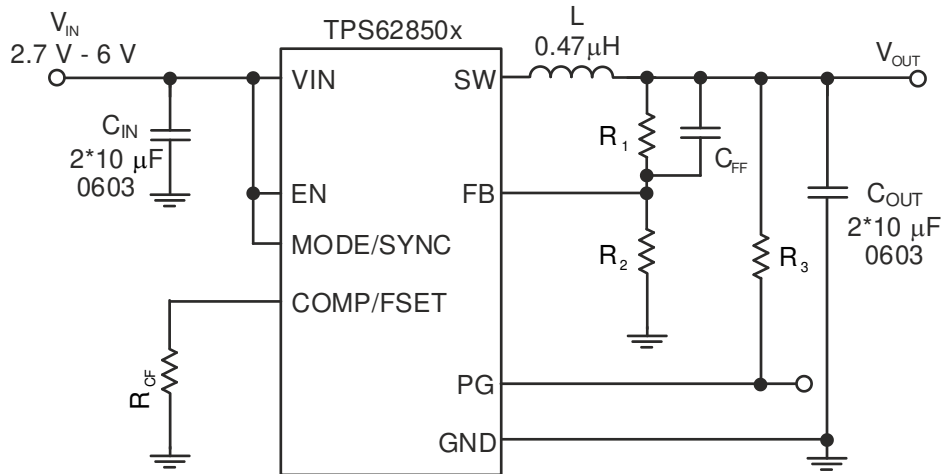


図 7-1. 測定の設定

表 7-1. 部品のリスト

リファレンス	説明	メーカー (1)
IC	TPS628502	テキサス・インスツルメンツ
L	0.47µH インダクタ DFE252012PD	Murata (村田製作所)
C _{IN}	2 × 10µF / 6.3V GRM188D70J106MA73	Murata (村田製作所)
C _{OUT}	2 × 10µF / 6.3V GRM188D70J106MA73、V _{OUT} ≥ 1V の場合	Murata (村田製作所)
C _{OUT}	3 × 10µF / 6.3V GRM188D70J106MA73、V _{OUT} < 1V の場合	Murata (村田製作所)
R _{CF}	8.06kΩ	任意
C _{FF}	10pF	任意
R ₁	V _{OUT} による	任意
R ₂	V _{OUT} による	任意
R ₃	100kΩ	任意

(1) 「サードパーティ製品に関する免責事項」をご覧ください。

8 詳細説明

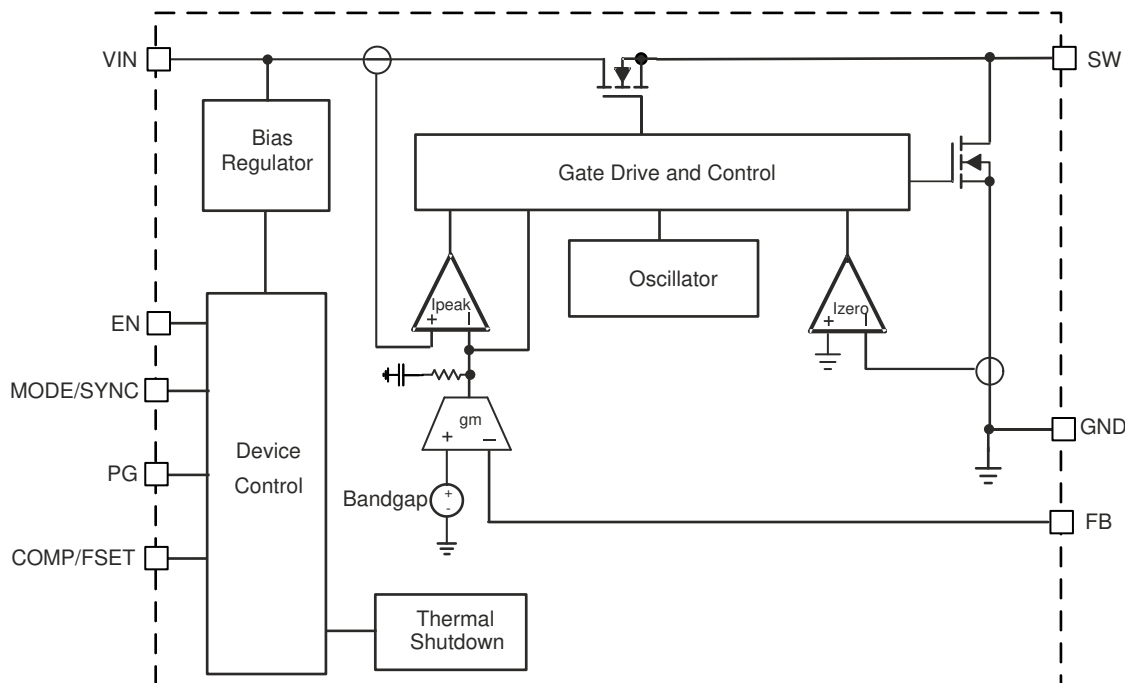
8.1 概要

TPS62850x 同期整流モード パワー コンバータは、ピーク電流モード制御トポロジに基づいています。制御ループは内部的に補償されます。

TPS62850x で使用できる広範囲の出力容量に対して制御ループの帯域幅を最適化するために、内部補償には 2 つの設定があります。セクション 8.3.2 を参照してください。2 つの補償設定のうち 1 つは、COMP/FSET から GND への抵抗、またはこのピンの論理状態によって選択されます。調整ネットワークは、小型の外付け部品と低 ESR セラミック出力コンデンサを使用して、高速で安定した動作を実現します。デバイスは出力電圧分割器にフィードフォワード コンデンサがなくても動作できますが、通常 10pF のフィードフォワード コンデンサを使用すると過渡応答が改善されます。

これらのデバイスは、MODE ピンをロジック high レベルに接続することで、強制固定周波数 PWM 動作をサポートします。周波数は、COMP/FSET が GND または VIN に接続されている場合は内部で固定された 2.25MHz として定義されるか、COMP/FSET から GND への抵抗によって定義される 1.8MHz ~ 4MHz の範囲として定義されます。あるいは、デバイスは、追加の受動部品を必要とせずに、MODE ピンに適用される 1.8MHz ~ 4MHz の範囲の外部クロック信号に同期できます。内部 PLL によって、動作中に内部クロックを外部クロックに変更できます。外部クロックへの同期は、MODE に印加されたクロックの立ち下がりエッジから SW ピンの立ち上がりエッジまでで行われます。これにより、SW ピンを使用して 2 番目のコンバータの同期信号を生成するときに、約 180° の位相シフトが可能になります。MODE ピンが論理ローレベルに設定されている場合、デバイスは低出力電流で省電力モード (PFM) で動作し、高出力電流で自動的に固定周波数 PWM モードに移行します。PFM モードでは、スイッチング周波数が負荷に基づいて直線的に減少し、非常に低い出力電流まで高い効率を維持します。

8.2 機能ブロック図



8.3 機能説明

8.3.1 高精度イネーブル (EN)

TPS62850x のイネーブル ピンに印加される電圧は、立ち上がり時に 1.1V のスレッシュホールドと比較されます。そのため、ユーザーはゆっくり変化する電圧でもイネーブル ピンを駆動でき、また、外部 RC ネットワークを使ってパワーアップ遅延を実現することもできます。

高精度のイネーブル入力を使うと、イネーブル ピンの入力に抵抗デバイダを追加することで、低電圧誤動作防止機能を設定できます。

イネーブル入力の立ち上がりエッジに対するしきい値は、立ち上がりエッジのしきい値よりも通常 **100mV** 低く設定されています。イネーブル入力立ち上がりスレッショルドを上回ると、**TPS62850x** は動作を開始します。正しく動作させるには、イネーブル (**EN**) ピンを終端し、フローティング状態のままにしないようにします。イネーブル ピンを **low** にすると、デバイスはシャットダウン状態になり、その際のシャットダウン電流は通常 **1μA** 程度です。このモードでは、内部のハイサイドおよびローサイド MOSFET がターンオフし、内部制御回路全体がオフになります。

8.3.2 COMP/FSET

このピンで、**3** つの異なるパラメータを設定できます：

- 制御ループの内部補償設定 (**2** つの設定が利用可能)
- PWM モードにおけるスイッチング周波数 (**1.8MHz**~**4MHz**)
- スペクトラム拡散クロック (**SSC**) の有効化 / 無効化

COMP/FSET から **GND** への抵抗により、補償とスイッチング周波数を変更されます。補償を変更することで、ユーザーはデバイスをさまざまな出力容量値に適合させることができます。ピンの寄生容量を最小限に抑えるには、抵抗器をピンの近くに配置する必要があります。補償設定はコンバータの起動時にサンプリングされるため、動作中の抵抗器の変化はスイッチング周波数にのみ影響し、補償には影響しません。

外部コンポーネントを節約するために、ピンを **VIN** または **GND** に直接接続して、事前定義された設定を設定することもできます。ピンをフローティングのままにしないでください。

最小オン時間と最小オフ時間の仕様を満たすには、入力電圧と出力電圧に基づいてスイッチング周波数を選択する必要があります。

例: $V_{IN} = 5V$ 、 $V_{OUT} = 0.6V$ --> デューティ サイクル = $0.6V/5V = 0.12$

- --> $t_{on,min} = 1/f_s \times 0.12$
- --> $f_{sw,max} = 1/t_{on,min} \times 0.12 = 1/0.05\mu s \times 0.12 = 2.4MHz$

補償範囲は、使用する最小容量に基づいて選択する必要があります。静電容量は、**表 8-1** で指定されている最小値から、両方の補償範囲で最大 **200μF** まで増やせます。動作中に出力の静電容量が変化する場合は、たとえば負荷スイッチを使用して回路の一部を接続または切断する場合、出力の最小静電容量に合わせて補償を選択する必要があります。出力容量が大きい場合、最適な負荷過渡応答を得るには、その大きな容量に基づいて補償を行う必要があります。大きな出力容量を補償するが、出力に少ない容量を配置すると、不安定になる可能性があります。

異なる補償設定のスイッチング周波数は、次の式によって決まります。

補償 (**comp**) 設定 **1** の場合、スペクトラム拡散クロック (**SSC**) が無効になります。

$$R_{CF}(k\Omega) = \frac{18MHz \cdot k\Omega}{f_s(MHz)} \quad (1)$$

補償 (**comp**) 設定 **1** の場合、スペクトラム拡散クロック (**SSC**) が有効になります。

$$R_{CF}(k\Omega) = \frac{60MHz \cdot k\Omega}{f_s(MHz)} \quad (2)$$

補償 (**comp**) 設定 **2** の場合、スペクトラム拡散クロック (**SSC**) が無効になります。

$$R_{CF}(k\Omega) = \frac{180MHz \cdot k\Omega}{f_s(MHz)} \quad (3)$$

表 8-1. スイッチング周波数、補償、およびスペクトラム拡散クロック

R_{CF}	補償	スイッチング周波数	FOR $V_{OUT} < 1V$ のときの最小出力容量	$1V \leq V_{OUT} < 3.3V$ のとき最小出力容量	$V_{OUT} \geq 3.3V$ のときの最小出力容量
10k Ω , 4.5k Ω	最小出力容量 (comp 設定 1) SSC 無効の場合	1.8MHz (10k Ω), 4MHz (4.5k Ω) 式 1 に従う	15 μ F	10 μ F	8 μ F
33k Ω , 15k Ω	最小出力容量 (comp 設定 1) SSC 有効の場合	1.8MHz (33k Ω), 4MHz (15k Ω) 式 2 に従う	15 μ F	10 μ F	8 μ F
100k Ω , 45k Ω	最良の過渡応答 (大きな出力容量) を得るには (comp 設定 2) SSC 無効の場合	1.8MHz (100k Ω), 4MHz (45k Ω) 式 3 に従う	30 μ F	18 μ F	15 μ F
GND に接続	最小出力容量 (comp 設定 1) SSC 無効の場合	2.25MHz は内部固定	15 μ F	10 μ F	8 μ F
V_{IN} に接続	最良の過渡応答 (大きな出力容量) を得るには (comp 設定 2) SSC 有効の場合	2.25MHz は内部固定	30 μ F	18 μ F	15 μ F

出力電圧に応じた必要な出力容量の詳細については、[セクション 9.1.3.2](#) を参照してください。

R_{CF} に対して高すぎる抵抗値は、「 V_{IN} に接続」としてデコードされます。最低範囲を下回る値は、「GND に接続」としてデコードされます。表 8-1 の最小出力容量は、デバイスの出力に近いコンデンサ用です。容量が分布している場合は、より小さな補償設定が必要になる可能性があります。

8.3.3 MODE/SYNC

MODE/SYNC が low に設定されている場合、デバイスは出力電流に応じて PWM モードまたは PFM モードで動作します。MODE/SYNC ピンを使って high に設定すると PWM モードを強制的に設定できます。また、このピンを使用すると、外部同期の目的で 1.8MHz ~ 4MHz の周波数範囲にある外部クロックを印加することもできます。外部周波数を設定するときは、最小オン時間および最小オフ時間の仕様を確認する必要があります。MODE/SYNC ピンで外部同期動作で使用する場合、内部スイッチング周波数は R_{CF} により、外部から印加されたクロックと同じ値に設定する必要があります。この操作により、外部クロックに障害が発生した場合でも、スイッチング周波数は同じ範囲に維持され、補償設定が引き続き有効であることを確認できます。

8.3.4 スペクトラム拡散クロック供給 (SSC)

このデバイスは、オプションとしてスペクトラム拡散クロックを提供します。SSC がイネーブルのとき、内部クロックの使用時に PWM モードではスイッチング周波数がランダムに変更されます。周波数変動は通常、公称スイッチング周波数と公称スイッチング周波数を上回る最大 288kHz の間であり、MODE/SYNC ピンにクロック信号を適用してデバイスを外部同期すると、TPS62850x は外部クロックに従い、内部のスペクトラム拡散ブロックはオフになります。ソフトスタート中は SSC も無効になります。

8.3.5 低電圧誤動作防止 (UVLO)

入力電圧が低下した場合、低電圧誤動作防止機能が両方のパワー FET をオフにすることで、本デバイスの誤動作を防止します。有効化されると、本デバイスは立ち上がり UVLO スレッショルドを上回る入力電圧では完全に動作し、電源電圧低下スレッショルドを入力電圧が下回ると、オフになります。

8.3.6 パワー グッド出力 (PG)

パワーグッドは、推奨入力電圧レベルに合致する任意の電圧に接続されたプルアップ抵抗を必要とするオープン ドレイン出力です。この電圧はウィンドウ コンパレータによって駆動されます。デバイスが無効化されているときは PG は low に保持され、サーマル シャットダウン時は低電圧誤動作防止機能が作動して、ソフト スタートにはなりません。したがって、出力電圧が制御されている場合、電気的特性で定義されたウィンドウ内では、出力はハイ インピーダンスになります。

PG ピンが Low に維持されるには、 V_{IN} が印加され続けている必要があります。パワーグッド出力を使用しない場合、このピンを GND に接続するか、オープンのままにすることを推奨します。PG インジケータは、電気的特性で規定されているグリッチ除去機能を備えており、出力の「ハイ インピーダンス」から「low」への遷移に対応します。

表 8-2. PG のステータス

EN	デバイス ステータス	PG 状態
X	$V_{IN} < 2V$	未定義
低	$V_{IN} \geq 2V$	低
high	$2V \leq V_{IN} \leq UVLO$ またはサーマルシャットダウン中、または V_{OUT} が規定範囲外、またはデバイスがソフトスタート中	低
high	制御された V_{OUT}	ハイ インピーダンス

8.3.7 サーマル シャットダウン

本デバイスの接合部温度 T_J は内蔵の温度センサによって監視されています。 T_J が 170°C (標準) を超えると、デバイスはサーマル シャットダウン状態になります。ハイサイドとローサイドの両方のパワー FET がターンオフし、PG が Low に遷移します。 T_J がヒステリシスである標準がヒステリシスである標準 15°C 以下に低下すると、コンバータはソフトスタートを発端に、通常動作に復帰します。PFM 一時停止中は、サーマル シャットダウンはアクティブではありません。PFM の一時停止後、デバイスは接合部温度が高すぎることを検出するのに最大 $9\mu\text{s}$ かかります。PFM バーストがこの遅延よりも短い場合、デバイスは接合部温度が高すぎても検出しません。

8.4 デバイスの機能モード

8.4.1 パルス幅変調 (PWM) 動作

TPS62850x には、このセクションで説明する強制 PWM モードと、[セクション 8.4.2](#) で説明した PWM/PFM という 2 つの動作モードがあります。

MODE/SYNC ピンが high に設定されているとき、TPS62850x は連続導通モード (CCM) のパルス幅変調で動作します。スイッチング周波数は、COMP ピンと GND の間の抵抗、または MODE/SYNC ピンに印加される外部クロック信号によって定義されます。MODE/SYNC に外部クロックが印加されている場合、TPS62850x はピンに印加された周波数に追従します。一般に、強制 PWM モードでの周波数範囲は $1.8\text{MHz} \sim 4\text{MHz}$ です。ただし、最小オン時間を考慮して、周波数は TPS62850x が動作できる範囲内である必要があります。

8.4.2 パワーセーブ モード動作 (PWM/PFM)

MODE/SYNC ピンが low の場合、省電力モードが許可されます。ピーク インダクタ電流が約 0.8A の PFM しきい値を超えている限り、デバイスは PWM モードで動作します。ピークインダクタ電流が PFM スレッショルドを下回ると、デバイスはスイッチングパルスをスキップし始めます。パワーセーブ モードでは、スイッチング周波数は負荷電流に応じて低下し、高い効率を維持します。さらに、COMP/FSET の抵抗で設定する周波数は、 $1.8\text{MHz} \sim 3.5\text{MHz}$ の範囲内にする必要があります。

8.4.3 100% デューティ サイクルでの動作

PWM モードで動作する降圧コンバータのデューティ サイクルは、 $D = V_{OUT} / V_{IN}$ で与えられます。入力電圧が出力電圧に近づき、オフ時間が短くなると、デューティ サイクルは増加します。 10ns (標準値) の最小オフ時間に達すると、TPS62850x は、100% モードに近付きながら、スイッチングサイクルをスキップします。100% モードに入ると、ハイサイドスイッチが連続的にオン状態に維持されます。出力電圧がターゲット値を下回っている限り、ハイサイド スイッチはターンオンされたままになります。100% モードでは、ローサイド スイッチがオフになります。100% モードでの最大ドロップアウト電圧は、ハイサイド スイッチのオン抵抗とインダクタの直列抵抗および負荷電流の積です。

8.4.4 電流制限と短絡保護

TPS62850x は、過負荷および短絡イベントに対して保護されています。インダクタ電流が電流制限値 (I_{LIMH}) を上回ると、インダクタ電流を減少させるため、ハイサイド スイッチがターンオフし、ローサイド スイッチがターンオンします。ハイサイド スイッチは、ローサイド スイッチの電流がローサイド電流制限値を下回った場合にのみ再びオンになります。内部伝

搬遅延が原因で、実際の電流が静的電流制限値を上回ることがあります。動的な電流制限値は、次のように与えられます。

$$I_{peak(typ)} = I_{LIMH} + \frac{V_L}{L} \cdot t_{PD} \quad (4)$$

ここで、

- I_{LIMH} は、電気的特性に規定されている静的電流制限値
- L は、ピーク電流時の実効インダクタンス
- V_L は、インダクタの両端の電圧 ($V_{IN} - V_{OUT}$)
- t_{PD} は、50ns (標準値) の内部伝搬遅延

特に、入力電圧が高く、かつ使用しているインダクタンスが非常に小さい場合、電流が静的制限値を上回ることがあります。ハイサイドスイッチの動的ピーク電流は、次のように計算できます。

$$I_{peak(typ)} = I_{LIMH} + \frac{V_{IN} - V_{OUT}}{L} \cdot 50ns \quad (5)$$

8.4.5 フォールドバック電流制限と短絡保護

これは、フォールドバック電流制限が有効化されているデバイスで有効です。このオプションの詳細については、テキサスインスツルメンツにお問い合わせください。

デバイスが 1024 を超える後続のスイッチング サイクルで電流制限を検出すると、電流制限を公称値から通常 1.3A に減らします。電流制限表示が消えると、フォールドバック電流制限が解除されます。デバイスの動作が電流制限内で継続する場合、3072 スwitching サイクル後に、1024 スwitching サイクルにわたって完全な電流制限を試みます。

8.4.6 出力放電

放電機能の目的は、本デバイスが (イネーブル入力によって) 無効化されつつある際に出力電圧の設定されたダウンラングを確保することだけでなく、本デバイスがターンオフした際に出力電圧を約 0V に維持することです。出力放電機能は、電源電圧が印加されてから、TPS62850x が少なくとも 1 回 (イネーブル入力によって) 有効化された後にのみ機能します。本デバイスが無効化された場合、サーマル シャットダウンが作動した場合、低電圧誤動作防止が作動した場合のいずれかに、放電機能は即座に有効化されます。放電機能がアクティブに維持されるために必要な最小電源電圧は通常 2V です。電流制限またはフォールドバック電流制限イベント中は、出力放電がアクティブになりません。

8.4.7 ソフトスタート

内蔵ソフトスタート回路は、起動時の出力電圧の傾きを制御します。この制御により、過剰な突入電流が回避され、出力電圧の立ち上がり時間が制御されます。この制御により、インピーダンスが高い電源またはバッテリーによる望ましくない電圧降下も防止できます。EN が high に設定されて動作が開始されると、デバイスは約 200µs の遅延後にスイッチングを開始し、その後内部リファレンスおよび V_{OUT} は、内部で定義された 150µs または 1ms (OTP オプション) の傾斜率で上昇します。

8.4.8 入力過電圧保護

入力電圧が絶対最大定格を超えると、デバイスは PFM モードに設定され、出力から入力にエネルギーが転送されなくなります。

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

9.1.1 出力電圧の設定

TPS62850x の出力電圧は可変です。V_{OUT} と GND との間に接続された抵抗分圧器を使って、本デバイスの出力電圧を 0.6V～5.5V に設定できます。FB ピンの電圧は 600mV にレギュレートされています。式 6 から、抵抗分圧器の選択によって出力電圧の値が設定されます。TI では、2μA 以上の電流を許容できる抵抗値を選択することを推奨します。これは、R₂ の値が 400kΩ を超えないことを意味します。設計の精度と信頼性を高めるため、より小さい抵抗値を推奨します。

$$R_1 = R_2 \cdot \left(\frac{V_{OUT}}{V_{FB}} - 1 \right) \quad (6)$$

9.1.2 インダクタの選択

TPS62850x ファミリーは、スイッチング周波数が標準 2.25MHz の公称 0.47μH インダクタ用に設計されています。インダクタ電流リップルを低減するためにより大きな値も使えますが、効率と過渡応答に悪影響を及ぼす可能性があります。0.47μH より小さい値は、低出力電流または無出力電流時の強制 PWM モードでのより大きな負のインダクタ電流の原因となる大きなインダクタ電流リップルを引き起こします。公称スイッチング周波数が高い、または低い場合は、それに応じてインダクタンスを変更する必要があります。詳しくは、セクション 6.3 を参照してください。

インダクタの選択は、インダクタリップル電流、出力リップル電圧、PWM から PFM への遷移点、効率など、各種の効果に影響されます。また、選択されたインダクタは、適切な飽和電流と DC 抵抗 (DCR) の定格を満たしている必要があります。式 7 を使って、最大インダクタ電流を計算できます。

$$I_{L(max)} = I_{OUT(max)} + \frac{\Delta I_{L(max)}}{2} \quad (7)$$

$$\Delta I_{L(max)} = \frac{V_{OUT} \cdot \left(1 - \frac{V_{OUT}}{V_{IN}} \right)}{L \min} \cdot \frac{1}{f_{SW}} \quad (8)$$

ここで、

- I_{L(max)} はインダクタ電流の最大値
- ΔI_{L(max)} は、ピークツーピークインダクタリップル電流です。
- L_{min} は動作ポイントにおける最小インダクタンスです

表 9-1. 代表的なインダクタ

タイプ	インダクタンス [μH]	電流 [A] ⁽¹⁾	デバイス用	公称スイッチング周波数	寸法 (LxBxH) [mm]	メーカー ⁽²⁾
XFL4015-471ME	0.47μH, ±20%	3.5	TPS628501 / 502	2.25MHz	4 × 4 × 1.6	Coilcraft
XFL4015-701ME	0.70μH, ±20%	3.3	TPS628501 / 502	2.25MHz	4 × 4 × 1.6	Coilcraft
XEL3520-801ME	0.80μH, ±20%	2.0	TPS628501 / 502	2.25MHz	3.5 × 3.2 × 2.0	Coilcraft
XEL3515-561ME	0.56μH, ±20%	4.5	TPS628501 / 502	2.25MHz	3.5 × 3.2 × 1.5	Coilcraft
XFL3012-681ME	0.68μH, ±20%	2.1	TPS628501 / 502	2.25MHz	3.0 × 3.0 × 1.2	Coilcraft
XPL2010-681ML	0.68μH, ±20%	1.5	TPS628501	2.25MHz	2 × 1.9 × 1	Coilcraft
DFE252012PD-R68M	0.68μH, ±20%	データシートを参照	TPS628501 / 502	2.25MHz	2.5 × 2 × 1.2	Murata (村田製作所)
DFE252012PD-R47M	0.47μH, ±20%	データシートを参照	TPS628501 / 502	2.25MHz	2.5 × 2 × 1.2	Murata (村田製作所)
DFE201612PD-R68M	0.68μH, ±20%	データシートを参照	TPS628501 / 502	2.25MHz	2 × 1.6 × 1.2	Murata (村田製作所)
DFE201612PD-R47M	0.47μH, ±20%	データシートを参照	TPS628501 / 502	2.25MHz	2 × 1.6 × 1.2	Murata (村田製作所)

(1) I_{RMS} (20°C上昇時) と I_{SAT} (20% 低下時) の小さい方。

(2) 「サードパーティ製品に関する免責事項」をご覧ください。

実際の動作条件を使用して最大インダクタ電流を計算すると、必要なインダクタ飽和電流の最小値が求められます。20% 程度の余裕を持たせることをお勧めします。リップル電流が小さくするためにも、インダクタの値を大きくすることは有効ですが、過渡応答時間が長くなり、サイズも大きくなります。

9.1.3 コンデンサの選択

9.1.3.1 入力コンデンサ

ほとんどのアプリケーションでは、公称 10μF で十分であり、推奨されます。入力コンデンサは、入力電圧の過渡イベントを和らげ、また、コンバータが電源の影響を受けないようにします。最良のフィルタ処理を行うため、低 ESR の積層セラミックコンデンサ (MLCC) を推奨します。また、このコンデンサは、V_{IN} と GND との間に、これらのピンにできるだけ近づけて配置する必要があります。

9.1.3.2 出力コンデンサ

TPS62850x は、等価直列抵抗 (ESR) の超小型セラミックコンデンサを出力コンデンサとして使用できるアーキテクチャを採用しています。出力電圧リップルを低減するため、これらのコンデンサを使うことを推奨します。高い周波数まで低抵抗を維持し、温度による静電容量の変動を小さくするために、TI では X7R または X5R 誘電体の使用を推奨しています。大きな値を使うと、電圧リップルが小さくなり、パワーセーブモードでの DC 出力精度が向上するなどの利点があります。

COMP/FSET ピンを使用すると、出力に使用される最小容量に基づいて、2 つの異なる補償設定を選択できます。最大容量は 200μF で、どの補償設定でもかまいません。出力に必要な最小容量は、補償設定と出力電圧によって異なります。

出力電圧が 1V 未満の場合は、最小出力容量を最小にする補償設定に対して、最小値は 1V の 10μF から 0.6V の 15μF まで直線的に増加します。他の補償範囲も同じです。詳しくは、表 8-1 を参照してください。

9.2 代表的なアプリケーション

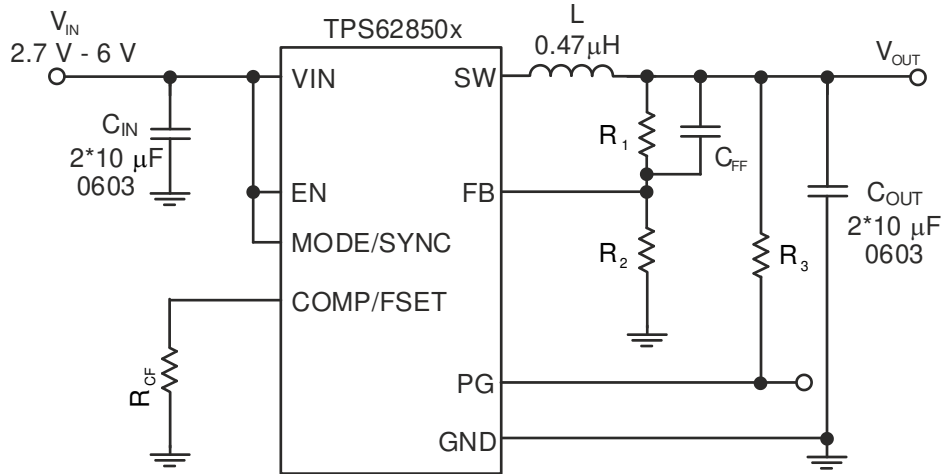


図 9-1. 代表的なアプリケーション

9.2.1 設計要件

設計ガイドラインには、推奨動作条件内でデバイスを動作させるための部品の選択が記載されています。

9.2.2 詳細な設計手順

$$R_1 = R_2 \cdot \left(\frac{V_{OUT}}{V_{FB}} - 1 \right) \quad (9)$$

$V_{FB} = 0.6V$:

表 9-2. 出力電圧の設定

公称出力電圧 V_{OUT}	R_1	R_2	C_{FF}	出力電圧の正確な値
0.8V	16.9k Ω	51k Ω	10pF	0.7988V
1.0V	20k Ω	30k Ω	10pF	1.0V
1.1V	39.2k Ω	47k Ω	10pF	1.101V
1.2V	68k Ω	68k Ω	10pF	1.2V
1.5V	76.8k Ω	51k Ω	10pF	1.5V
1.8V	80.6k Ω	40.2k Ω	10pF	1.803V
2.5V	47.5k Ω	15k Ω	10pF	2.5V
3.3V	88.7k Ω	19.6k Ω	10pF	3.315V

9.2.3 アプリケーション曲線

特に記述のない限り、すべてのプロットは PWM モードに設定されているときの公称スイッチング周波数 2.25MHz で測定されています。BOM は、表 7-1 に従っています。

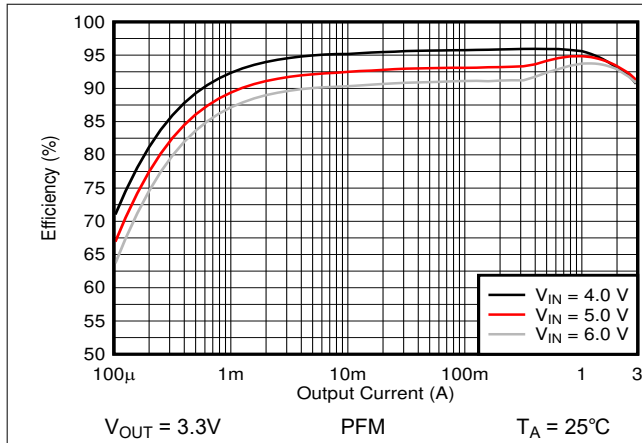


図 9-2. 効率と出力電流との関係

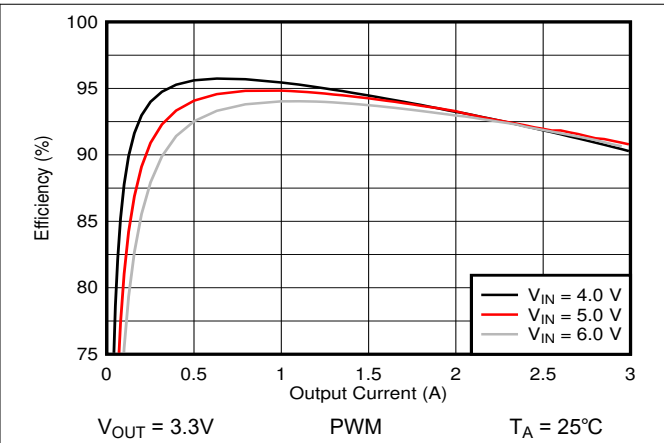


図 9-3. 効率と出力電流との関係

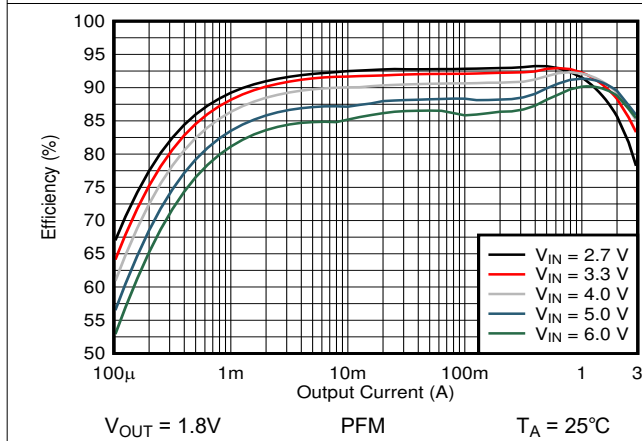


図 9-4. 効率と出力電流との関係

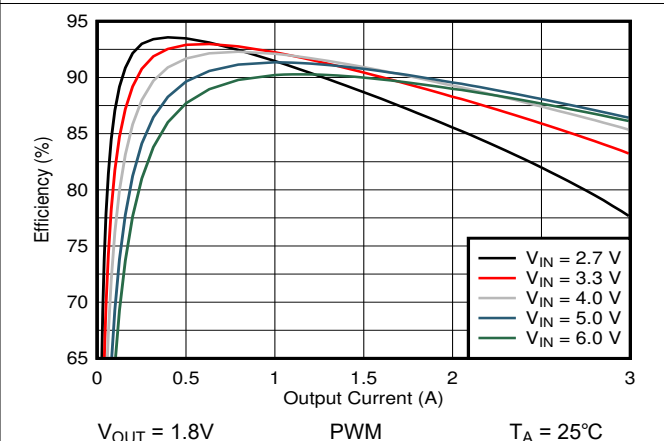


図 9-5. 効率と出力電流との関係

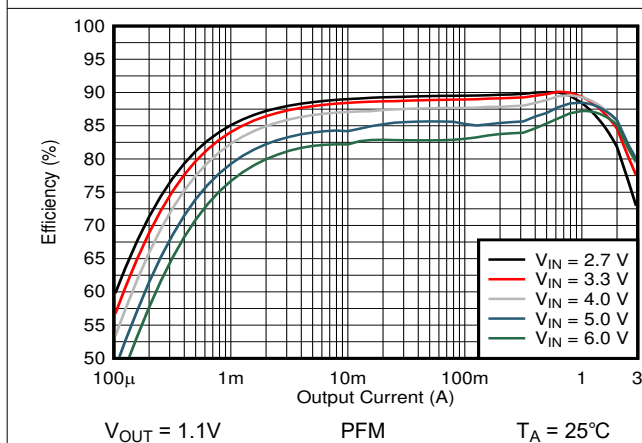


図 9-6. 効率と出力電流との関係

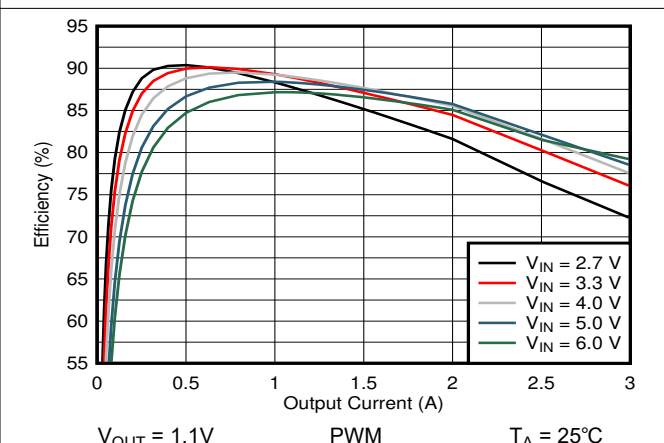


図 9-7. 効率と出力電流との関係

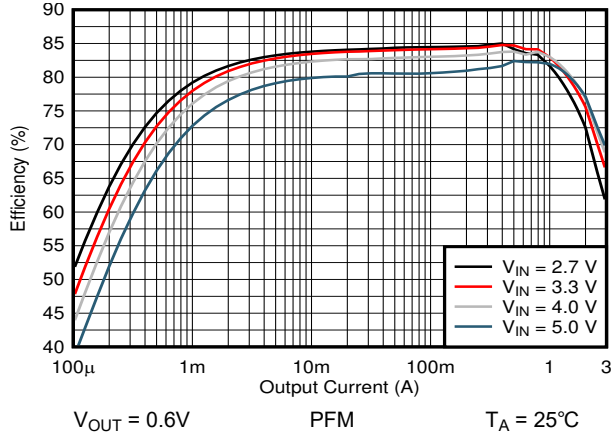


図 9-8. 効率と出力電流との関係

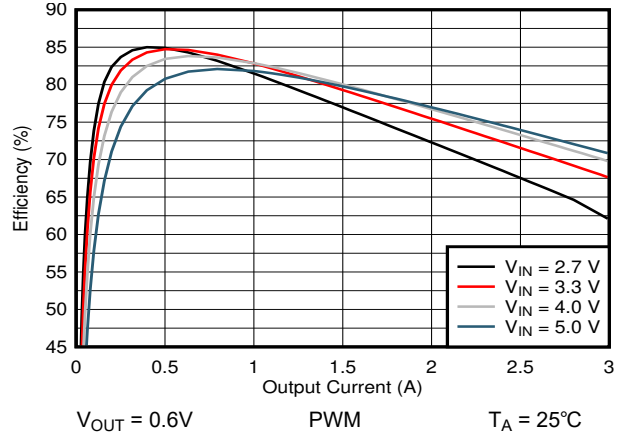


図 9-9. 効率と出力電流との関係

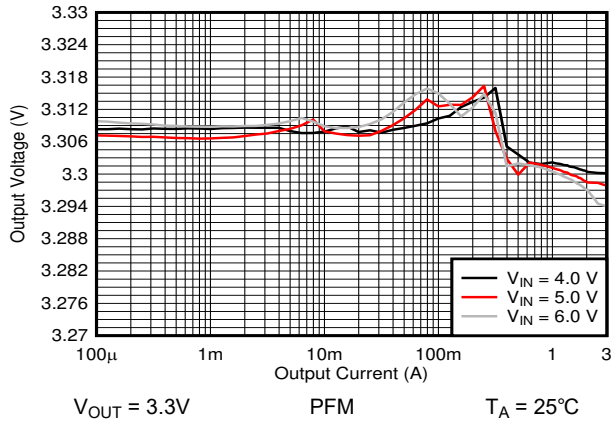


図 9-10. 出力電圧と出力電流との関係

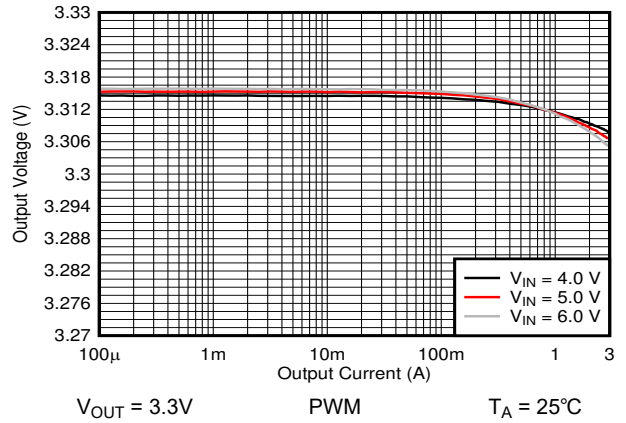


図 9-11. 出力電圧と出力電流との関係

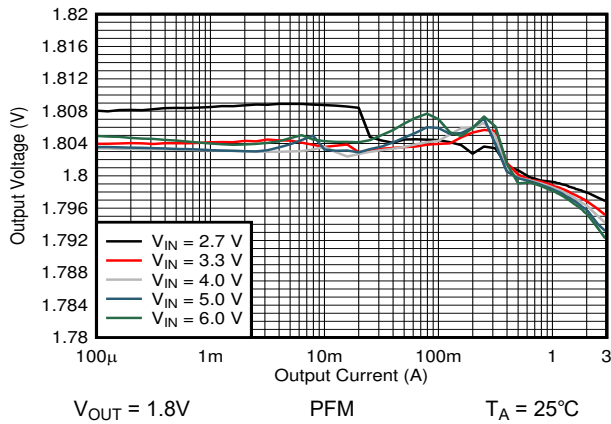


図 9-12. 出力電圧と出力電流との関係

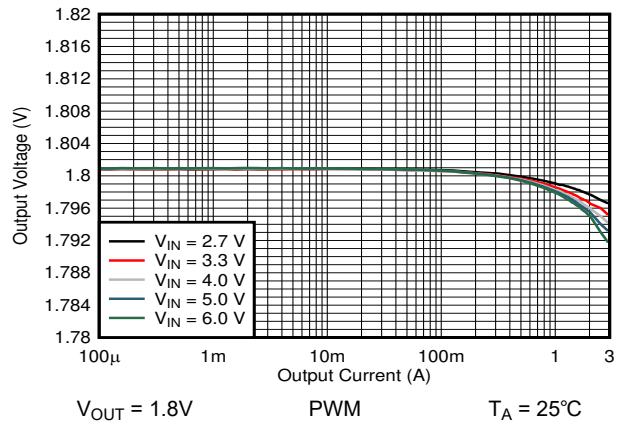


図 9-13. 出力電圧と出力電流との関係

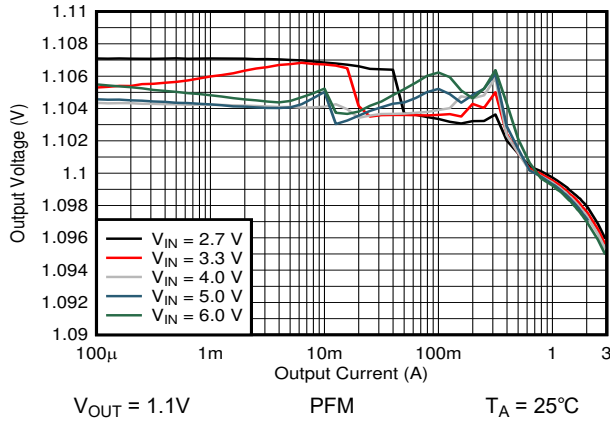


図 9-14. 出力電圧と出力電流との関係

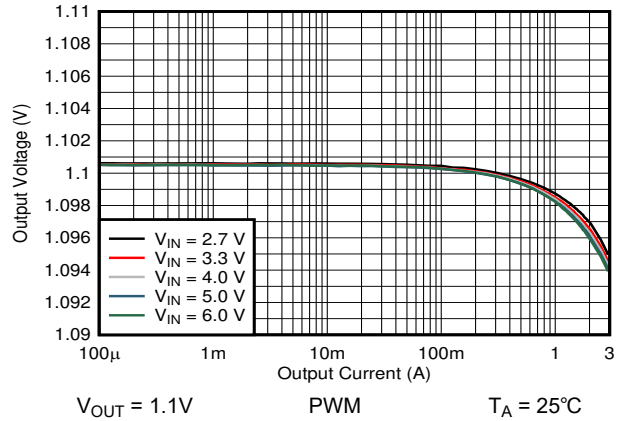


図 9-15. 出力電圧と出力電流との関係

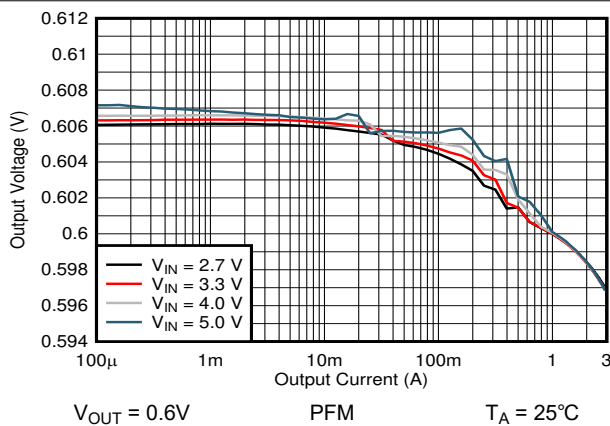


図 9-16. 出力電圧と出力電流との関係

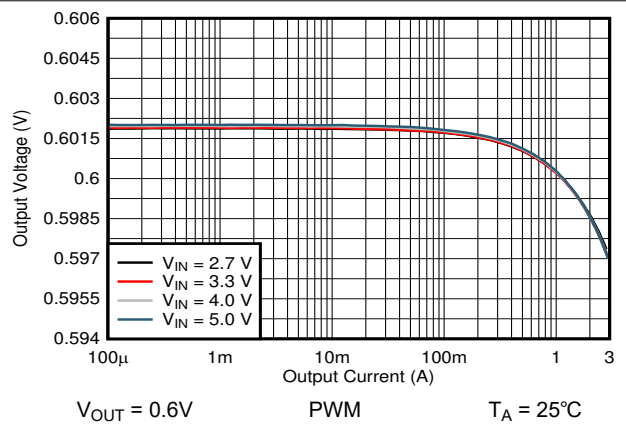


図 9-17. 出力電圧と出力電流との関係

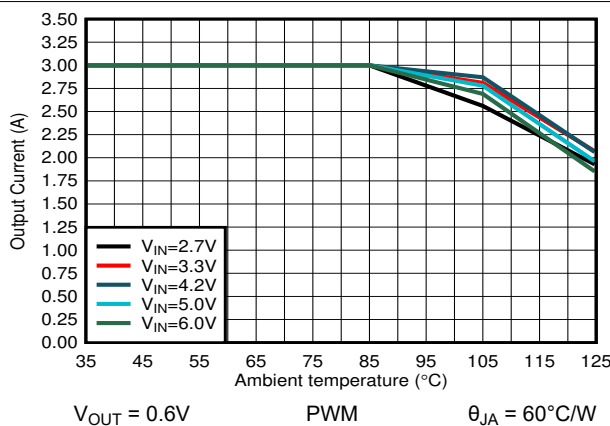


図 9-18. 出力電流と周囲温度との関係

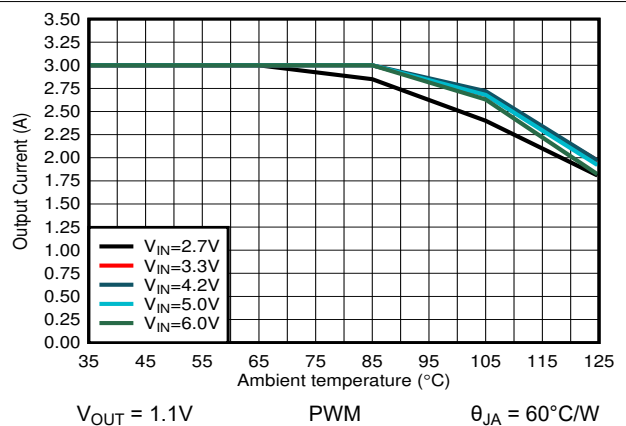


図 9-19. 出力電流と周囲温度との関係

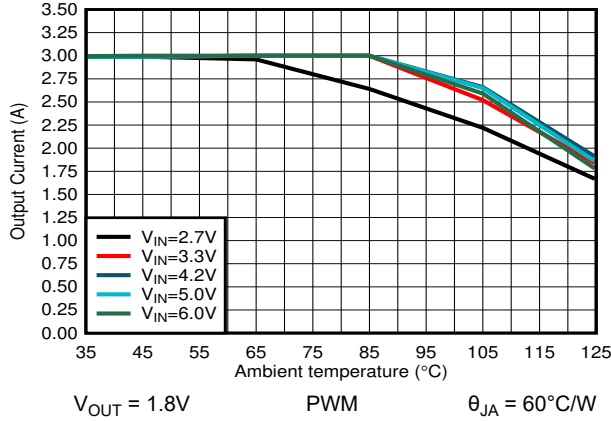


図 9-20. 出力電流と周囲温度との関係

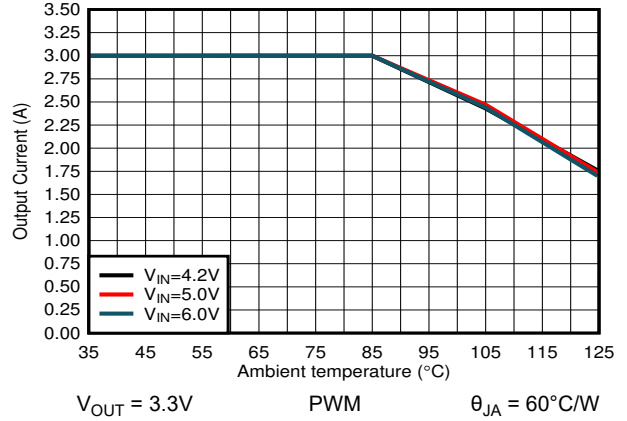


図 9-21. 出力電流と周囲温度との関係

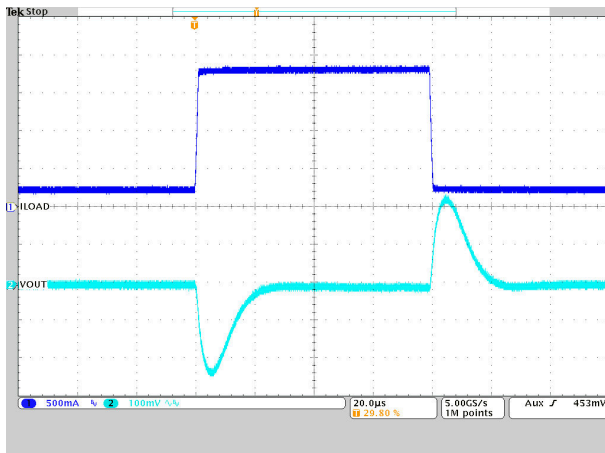


図 9-22. 負荷過渡応答

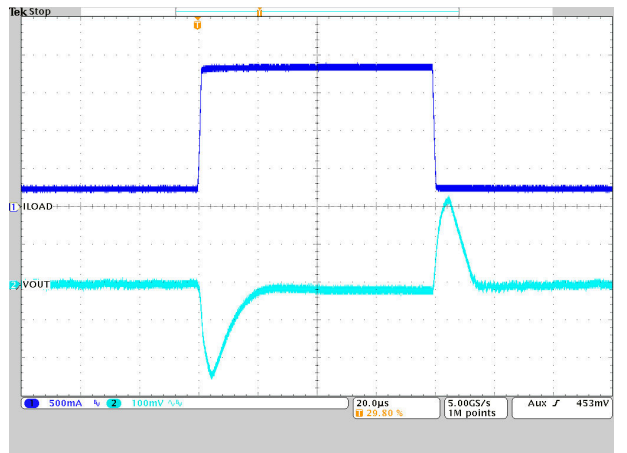


図 9-23. 負荷過渡応答

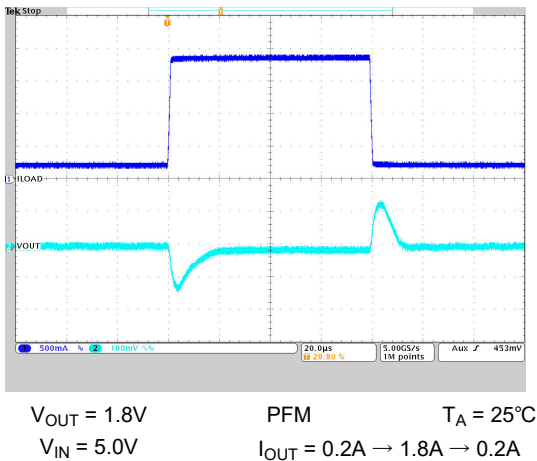


図 9-24. 負荷過渡応答

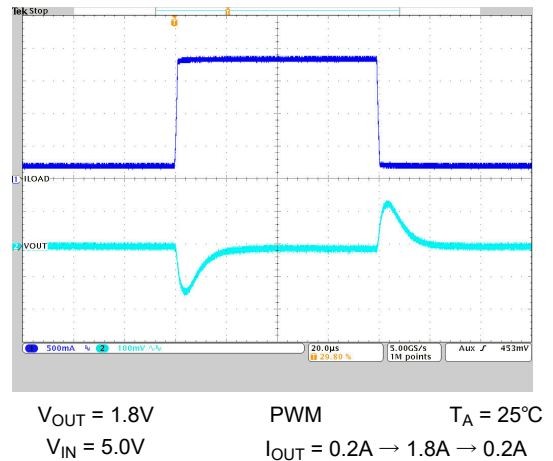
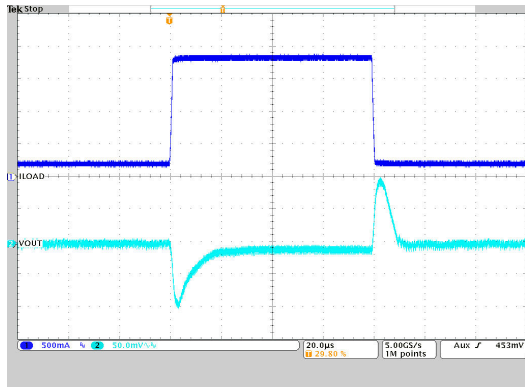
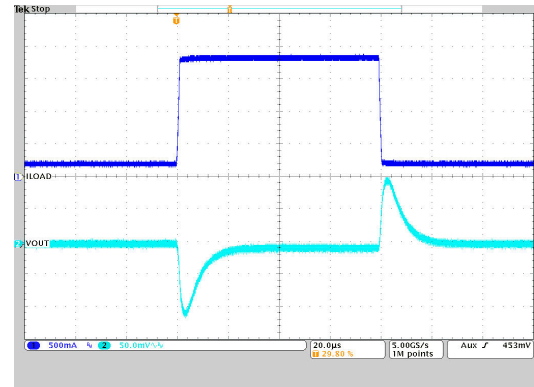


図 9-25. 負荷過渡応答



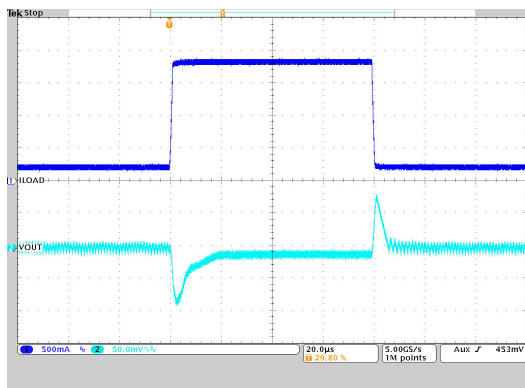
$V_{OUT} = 1.2V$ PFM $T_A = 25^\circ C$
 $V_{IN} = 5.0V$ $I_{OUT} = 0.2A \rightarrow 1.8A \rightarrow 0.2A$

図 9-26. 負荷過渡応答



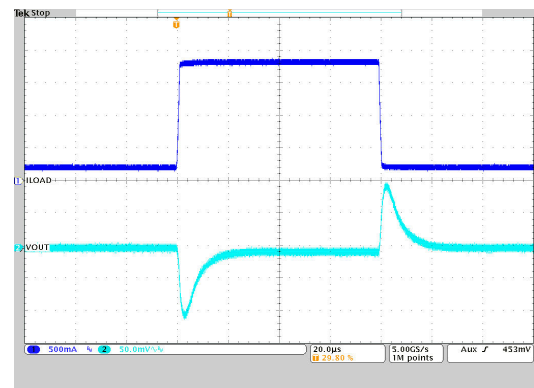
$V_{OUT} = 1.2V$ PWM $T_A = 25^\circ C$
 $V_{IN} = 5.0V$ $I_{OUT} = 0.2A \rightarrow 1.8A \rightarrow 0.2A$

図 9-27. 負荷過渡応答



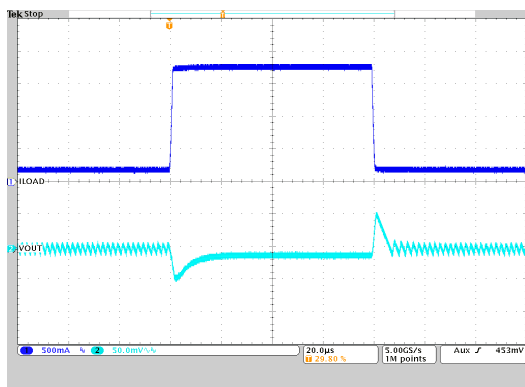
$V_{OUT} = 1.0V$ PFM $T_A = 25^\circ C$
 $V_{IN} = 5.0V$ $I_{OUT} = 0.2A \rightarrow 1.8A \rightarrow 0.2A$

図 9-28. 負荷過渡応答



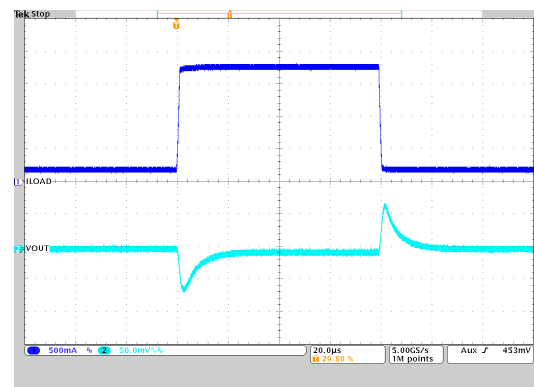
$V_{OUT} = 1.0V$ PWM $T_A = 25^\circ C$
 $V_{IN} = 5.0V$ $I_{OUT} = 0.2A \rightarrow 1.8A \rightarrow 0.2A$

図 9-29. 負荷過渡応答



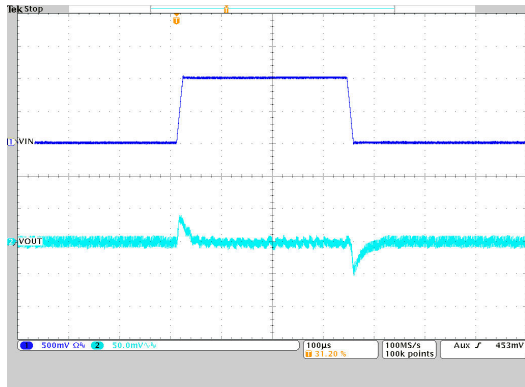
$V_{OUT} = 0.6V$ PFM $T_A = 25^\circ C$
 $V_{IN} = 3.3V$ $I_{OUT} = 0.2A \rightarrow 1.8A \rightarrow 0.2A$

図 9-30. 負荷過渡応答



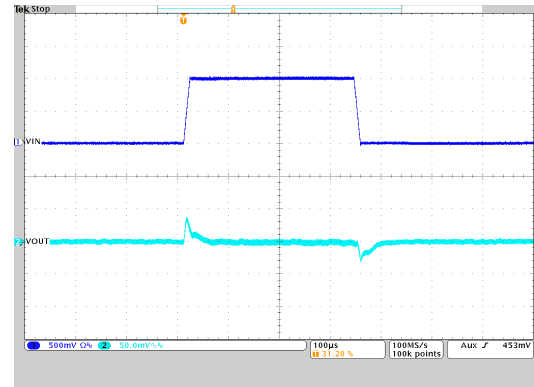
$V_{OUT} = 0.6V$ PWM $T_A = 25^\circ C$
 $V_{IN} = 3.3V$ $I_{OUT} = 0.2A \rightarrow 1.8A \rightarrow 0.2A$

図 9-31. 負荷過渡応答



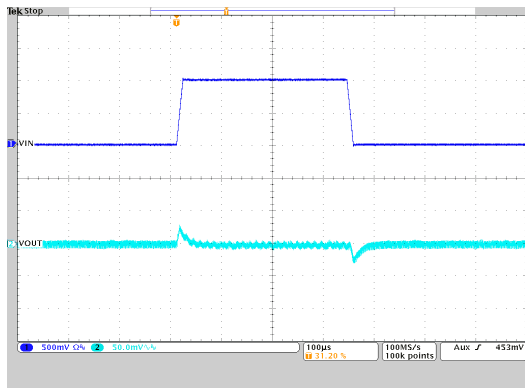
$V_{OUT} = 3.3V$ PFM $T_A = 25^\circ C$
 $I_{OUT} = 0.2A$ $V_{IN} = 4.5V \rightarrow 5.5V \rightarrow 4.5V$

図 9-32. ライン過渡応答



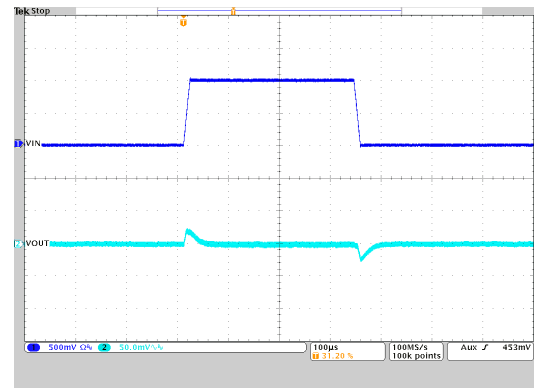
$V_{OUT} = 3.3V$ PWM $T_A = 25^\circ C$
 $I_{OUT} = 2A$ $V_{IN} = 4.5V \rightarrow 5.5V \rightarrow 4.5V$

図 9-33. ライン過渡応答



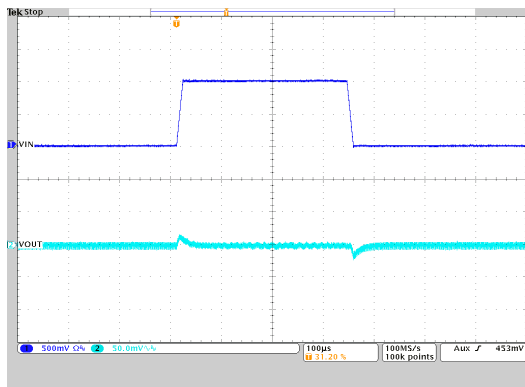
$V_{OUT} = 1.8V$ PFM $T_A = 25^\circ C$
 $I_{OUT} = 0.2A$ $V_{IN} = 4.5V \rightarrow 5.5V \rightarrow 4.5V$

図 9-34. ライン過渡応答



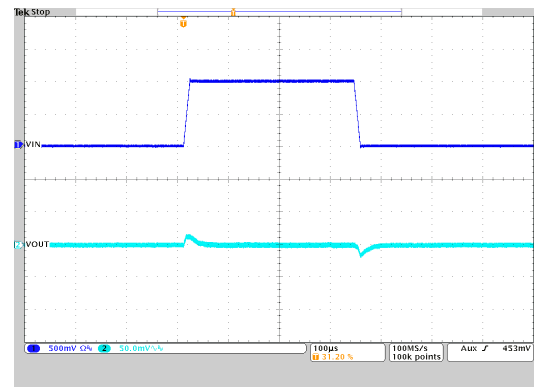
$V_{OUT} = 1.8V$ PWM $T_A = 25^\circ C$
 $I_{OUT} = 2A$ $V_{IN} = 4.5V \rightarrow 5.5V \rightarrow 4.5V$

図 9-35. ライン過渡応答



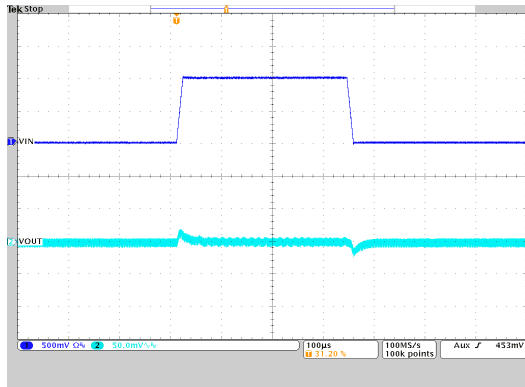
$V_{OUT} = 1.2V$ PFM $T_A = 25^\circ C$
 $I_{OUT} = 0.2A$ $V_{IN} = 4.5V \rightarrow 5.5V \rightarrow 4.5V$

図 9-36. ライン過渡応答



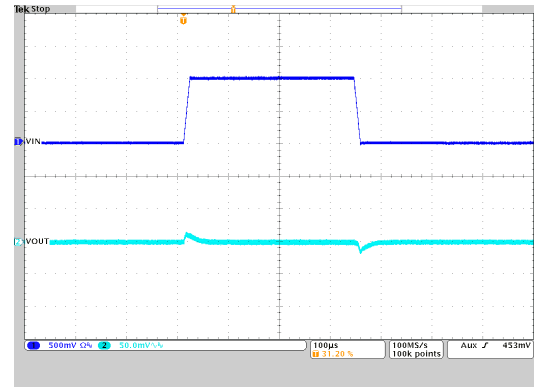
$V_{OUT} = 1.2V$ PWM $T_A = 25^\circ C$
 $I_{OUT} = 2A$ $V_{IN} = 4.5V \rightarrow 5.5V \rightarrow 4.5V$

図 9-37. ライン過渡応答



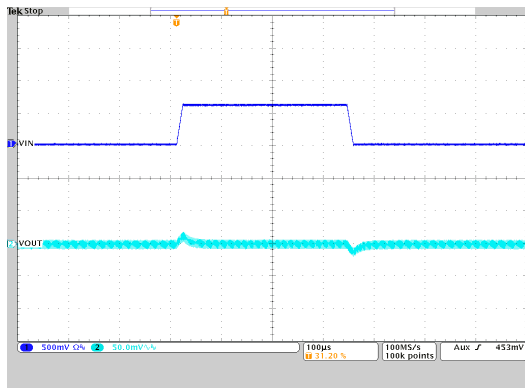
$V_{OUT} = 1.0V$ PFM $T_A = 25^\circ C$
 $I_{OUT} = 0.2A$ $V_{IN} = 4.5V \rightarrow 5.5V \rightarrow 4.5V$

図 9-38. ライン過渡応答



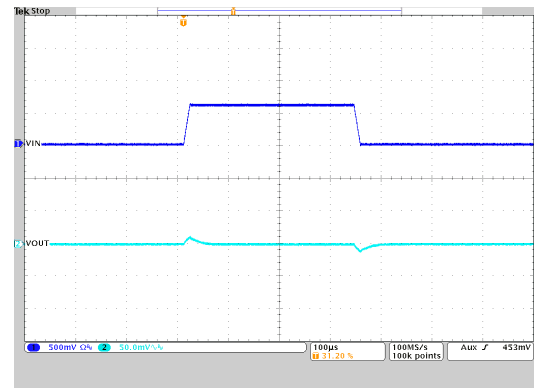
$V_{OUT} = 1.0V$ PWM $T_A = 25^\circ C$
 $I_{OUT} = 2A$ $V_{IN} = 4.5V \rightarrow 5.5V \rightarrow 4.5V$

図 9-39. ライン過渡応答



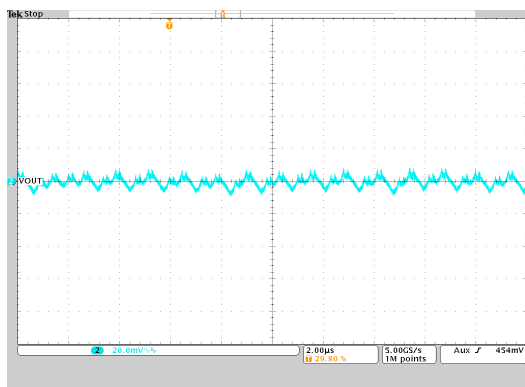
$V_{OUT} = 0.6V$ PFM $T_A = 25^\circ C$
 $I_{OUT} = 0.2A$ $V_{IN} = 3.0V \rightarrow 3.6V \rightarrow 3.0V$

図 9-40. ライン過渡応答



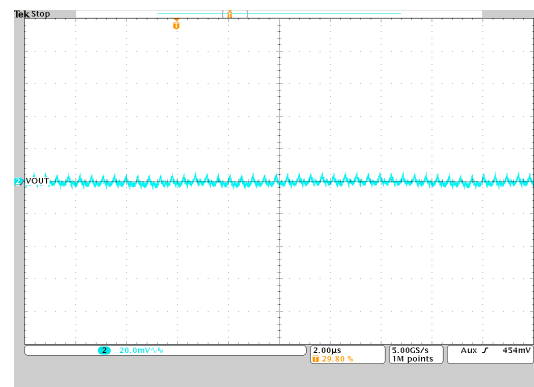
$V_{OUT} = 0.6V$ PWM $T_A = 25^\circ C$
 $I_{OUT} = 2A$ $V_{IN} = 3.0V \rightarrow 3.6V \rightarrow 3.0V$

図 9-41. ライン過渡応答



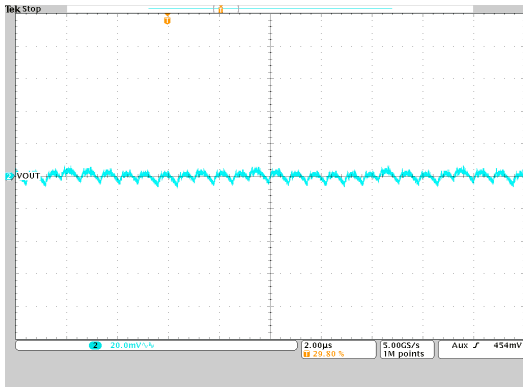
$V_{OUT} = 3.3V$ PFM $T_A = 25^\circ C$
 $V_{IN} = 5V$ $I_{OUT} = 0.2A$

図 9-42. 出力電圧リップル



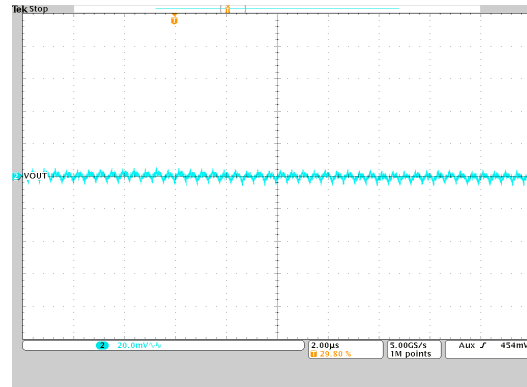
$V_{OUT} = 3.3V$ PWM $T_A = 25^\circ C$
 $V_{IN} = 5V$ $I_{OUT} = 2A$

図 9-43. 出力電圧リップル



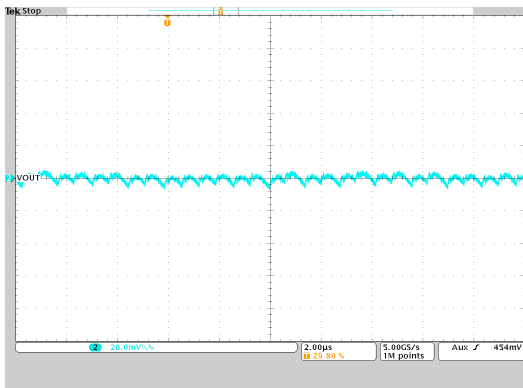
$V_{OUT} = 1.8V$ PFM $T_A = 25^\circ C$
 $V_{IN} = 5V$ $I_{OUT} = 0.2A$

図 9-44. 出力電圧リップル



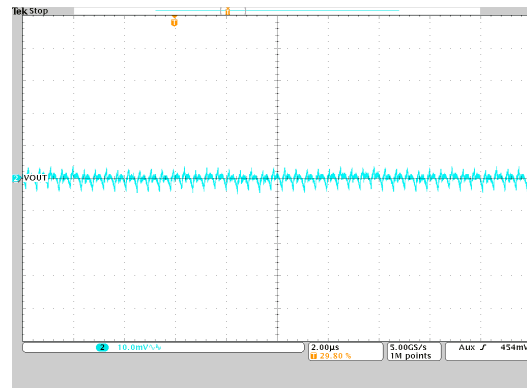
$V_{OUT} = 1.8V$ PWM $T_A = 25^\circ C$
 $V_{IN} = 5V$ $I_{OUT} = 2A$

図 9-45. 出力電圧リップル



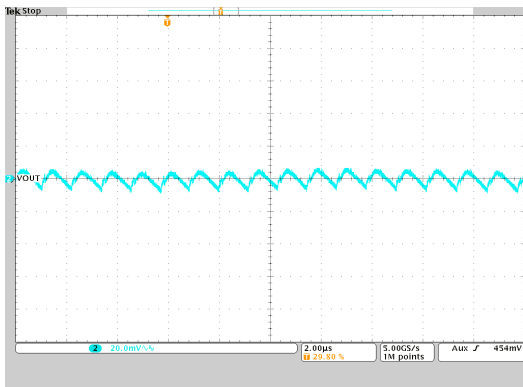
$V_{OUT} = 1.2V$ PFM $T_A = 25^\circ C$
 $V_{IN} = 5V$ $I_{OUT} = 0.2A$

図 9-46. 出力電圧リップル



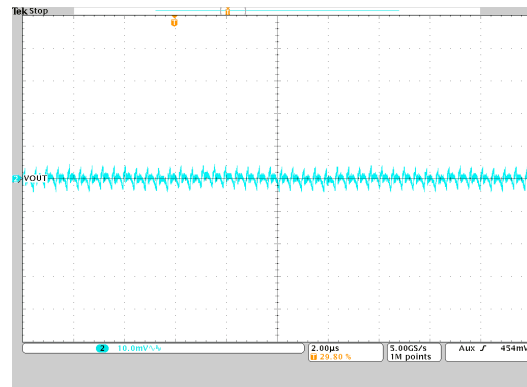
$V_{OUT} = 1.2V$ PWM $T_A = 25^\circ C$
 $V_{IN} = 5V$ $I_{OUT} = 2A$

図 9-47. 出力電圧リップル



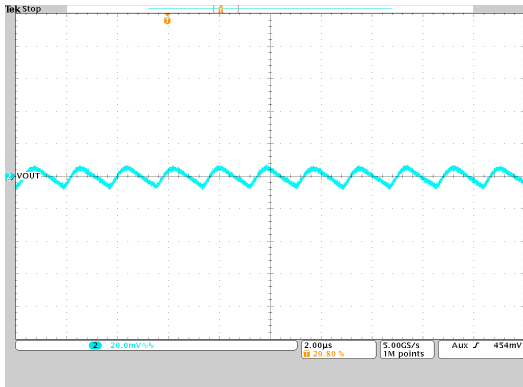
$V_{OUT} = 1.0V$ PFM $T_A = 25^\circ C$
 $V_{IN} = 5V$ $I_{OUT} = 0.2A$

図 9-48. 出力電圧リップル



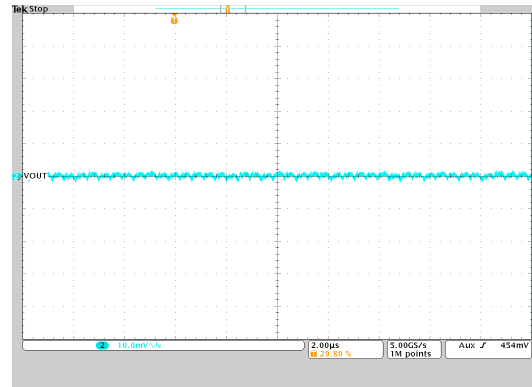
$V_{OUT} = 1.0V$ PWM $T_A = 25^\circ C$
 $V_{IN} = 5V$ $I_{OUT} = 2A$

図 9-49. 出力電圧リップル



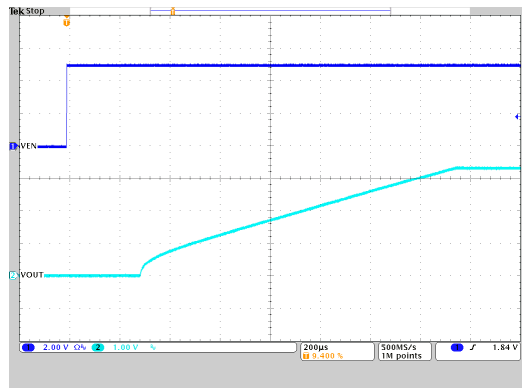
$V_{OUT} = 0.6V$ PFM $T_A = 25^\circ C$
 $V_{IN} = 3.3V$ $I_{OUT} = 0.2A$

図 9-50. 出力電圧リップル



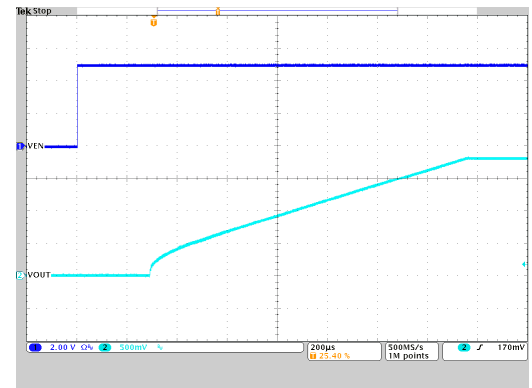
$V_{OUT} = 0.6V$ PWM $T_A = 25^\circ C$
 $V_{IN} = 3.3V$ $I_{OUT} = 2A$

図 9-51. 出力電圧リップル



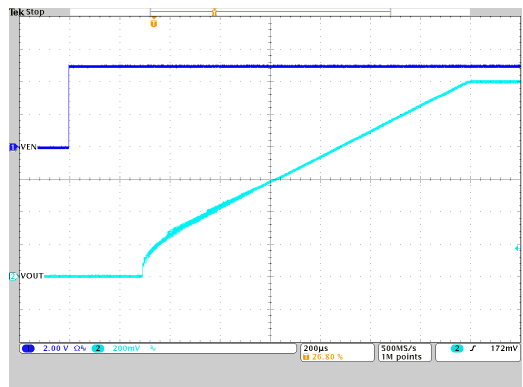
$V_{OUT} = 3.3V$ PWM または PFM $T_A = 25^\circ C$
 $V_{IN} = 5V$ $I_{OUT} = 2A$

図 9-52. 起動タイミング



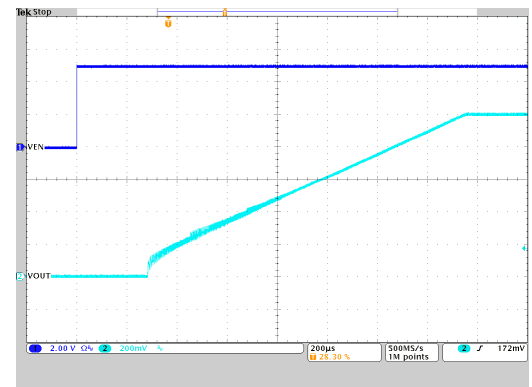
$V_{OUT} = 1.8V$ PWM または PFM $T_A = 25^\circ C$
 $V_{IN} = 5V$ $I_{OUT} = 2A$

図 9-53. 起動タイミング



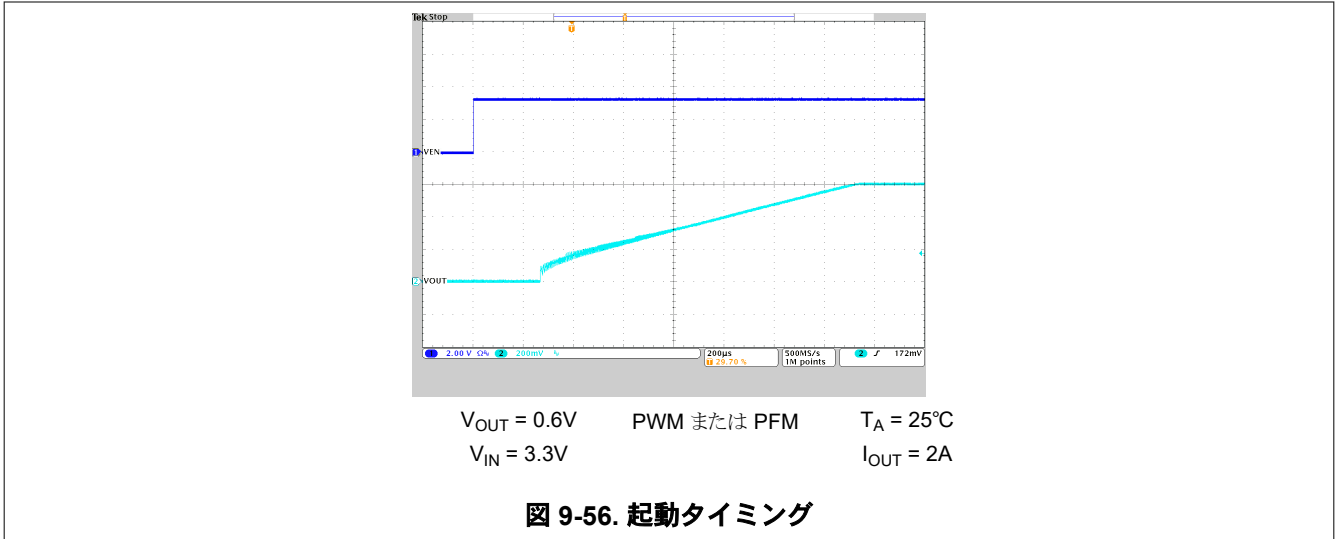
$V_{OUT} = 1.2V$ PWM または PFM $T_A = 25^\circ C$
 $V_{IN} = 5V$ $I_{OUT} = 2A$

図 9-54. 起動タイミング



$V_{OUT} = 1.0V$ PWM または PFM $T_A = 25^\circ C$
 $V_{IN} = 5V$ $I_{OUT} = 2A$

図 9-55. 起動タイミング



9.3 システム例

9.3.1 外部クロックへの同期

TPS62850x は、MODE/SYNC ピンに外部クロックを印加することで、外部から同期させることができます。入力信号が電氣的仕様に記載されている要件を満たす限り、追加回路は必要ありません。動作中にクロックの印加または除去を行うことができ、外部で定義された固定周波数をパワーセーブモードまたは内部の固定周波数動作に切り替えることができます。

R_{CF} 抵抗の値は、内部で定義される周波数と外部から印加される周波数が互いに近い値になるように選択する必要があります。この動作により、内部周波数から外部周波数へ、またはその逆の周波数からのスムーズな遷移が保証されます。

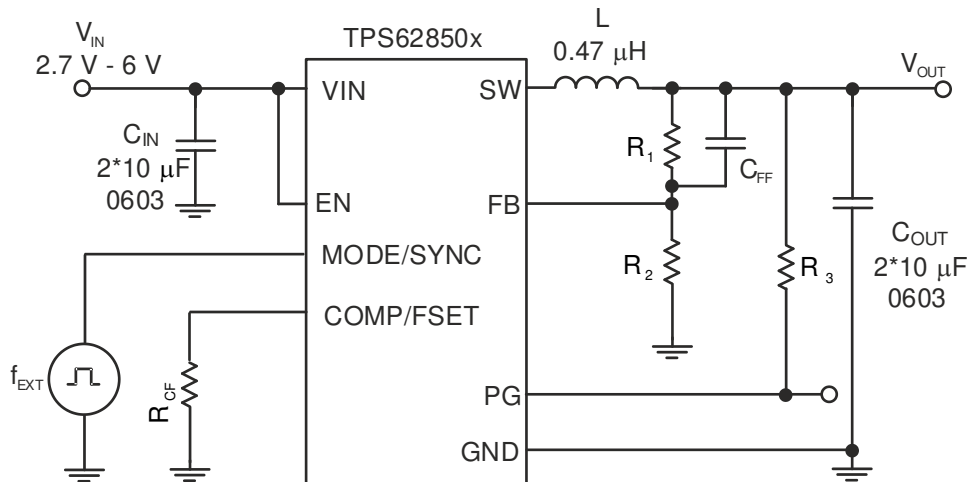
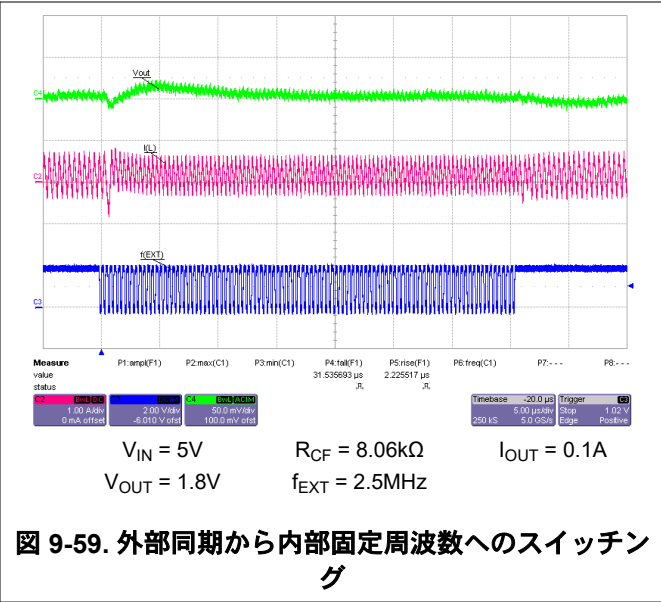
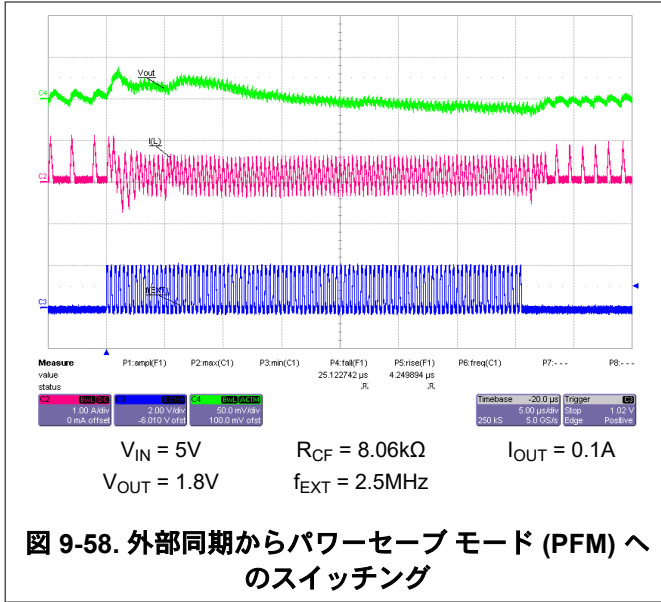


図 9-57. 外部同期を使用した回路図



9.4 電源に関する推奨事項

TPS62850x デバイス ファミリーには、入力電源について特別な要件はありません。入力電源の出力電流は、TPS62850x の電源電圧、出力電圧、出力電流に応じた定格である必要があります。

9.5 レイアウト

9.5.1 レイアウトのガイドライン

さらに高いスイッチング周波数でスイッチ モード電源を動作させるには、適切なレイアウトが非常に重要です。したがって、確実に動作させ、仕様に規定された性能を達成するため、TPS62850x の PCB レイアウトでは細心の注意が必要です。レイアウトが不適切な場合、以下のような問題が発生する可能性があります。

- 不十分な調整 (セクション 9.5.2 と負荷の両方)
- 安定性と精度の低下
- EMI 放射の増加
- ノイズ感度

一般的な外部グランド接続を行うように設計された TPS62850x の推奨レイアウトについては、図 9-60 を参照してください。入力コンデンサは、VIN ピンと GND ピンとの間に、できるだけ近づけて配置する必要があります。

di/dt の大きいループの経路は、インダクタンスと抵抗が小さくなるようにします。そのため、スイッチング負荷電流が流れる経路は、できるだけ短く、かつ幅広くする必要があります。dv/dt の大きい配線経路は、(その他のすべてのノードに対する) 容量が小さくなるようにします。そのため、入力および出力容量を IC ピンにできる限り近づけて配置し、長距離にわたる並列配線や狭いトレースを避ける必要があります。交流電流を流すループに囲まれた領域から放射されるエネルギーは、その領域の面積に比例するため、その面積をできるだけ小さくする必要があります。

敏感なノード (FB など) は、短い配線で接続し、dv/dt の大きい信号 (SW など) に近づけないようにする必要があります。FB は出力電圧に関する情報を伝達するため、FB は (出力コンデンサの) 実際の出力電圧のできるだけ近くに接続する必要があります。FB 抵抗 R₁ および R₂ は IC に近づけて配置し、ピンとシステム グランド プレーンに直接接続する必要があります。

このパッケージでは、電力を放散する目的でピンを使用します。VIN および GND ピンのサーマル ビアは、PCB を通して熱を拡散させるのに有効です。

推奨レイアウトは EVM に実装されており、TPS628502EVM-092 評価基板ユーザズ ガイド に記載されています。

9.5.2 レイアウト例

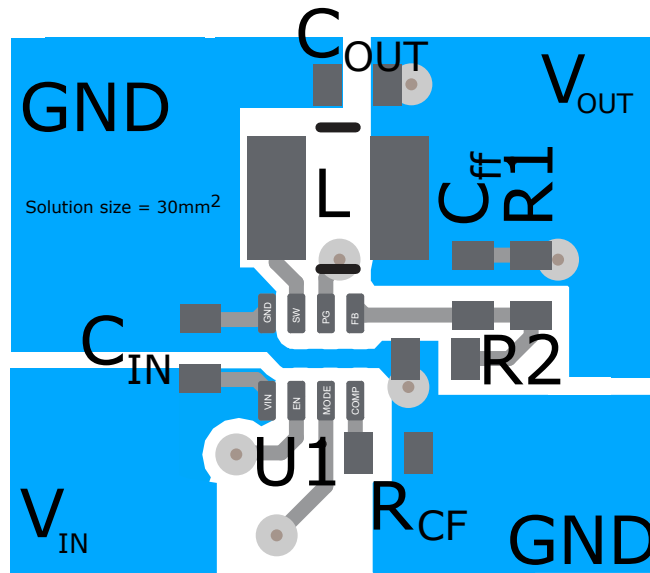


図 9-60. レイアウト例

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2024) to Revision C (June 2025) Page

- 誤ったデバイス名「TPS628502ADRLR」および「TPS628502MDRLR」を「TPS6285020ADRLR」および「TPS6285020MDRLR」に変更.....1

Changes from Revision A (June 2022) to Revision B (April 2024) Page

- TPS6285010MDRLR、TPS6285020ADRLR、TPS6285020MDRLR を追加.....3

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS6285010MDRLR	Active	Production	SOT-5X3 (DRL) 8	4000 LARGE T&R	Yes	Call TI Sn	Level-1-260C-UNLIM	-40 to 150	10M
TPS6285010MDRLR.A	Active	Production	SOT-5X3 (DRL) 8	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	10M
TPS628501DRLR	Active	Production	SOT-5X3 (DRL) 8	4000 LARGE T&R	Yes	Call TI Sn	Level-1-260C-UNLIM	-40 to 150	100
TPS628501DRLR.A	Active	Production	SOT-5X3 (DRL) 8	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	100
TPS6285020ADRLR	Active	Production	SOT-5X3 (DRL) 8	4000 LARGE T&R	Yes	Call TI Sn	Level-1-260C-UNLIM	-40 to 150	20A
TPS6285020ADRLR.A	Active	Production	SOT-5X3 (DRL) 8	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	20A
TPS6285020MDRLR	Active	Production	SOT-5X3 (DRL) 8	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	20M
TPS6285020MDRLR.A	Active	Production	SOT-5X3 (DRL) 8	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	20M
TPS628502DRLR	Active	Production	SOT-5X3 (DRL) 8	4000 LARGE T&R	Yes	Call TI Sn	Level-1-260C-UNLIM	-40 to 150	200
TPS628502DRLR.A	Active	Production	SOT-5X3 (DRL) 8	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	200
TPS628503DRLR	Active	Production	SOT-5X3 (DRL) 8	4000 LARGE T&R	Yes	Call TI Sn	Level-1-260C-UNLIM	-40 to 150	300
TPS628503DRLR.A	Active	Production	SOT-5X3 (DRL) 8	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	300

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS628501, TPS628502, TPS628503 :

- Automotive : [TPS628501-Q1](#), [TPS628502-Q1](#), [TPS628503-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

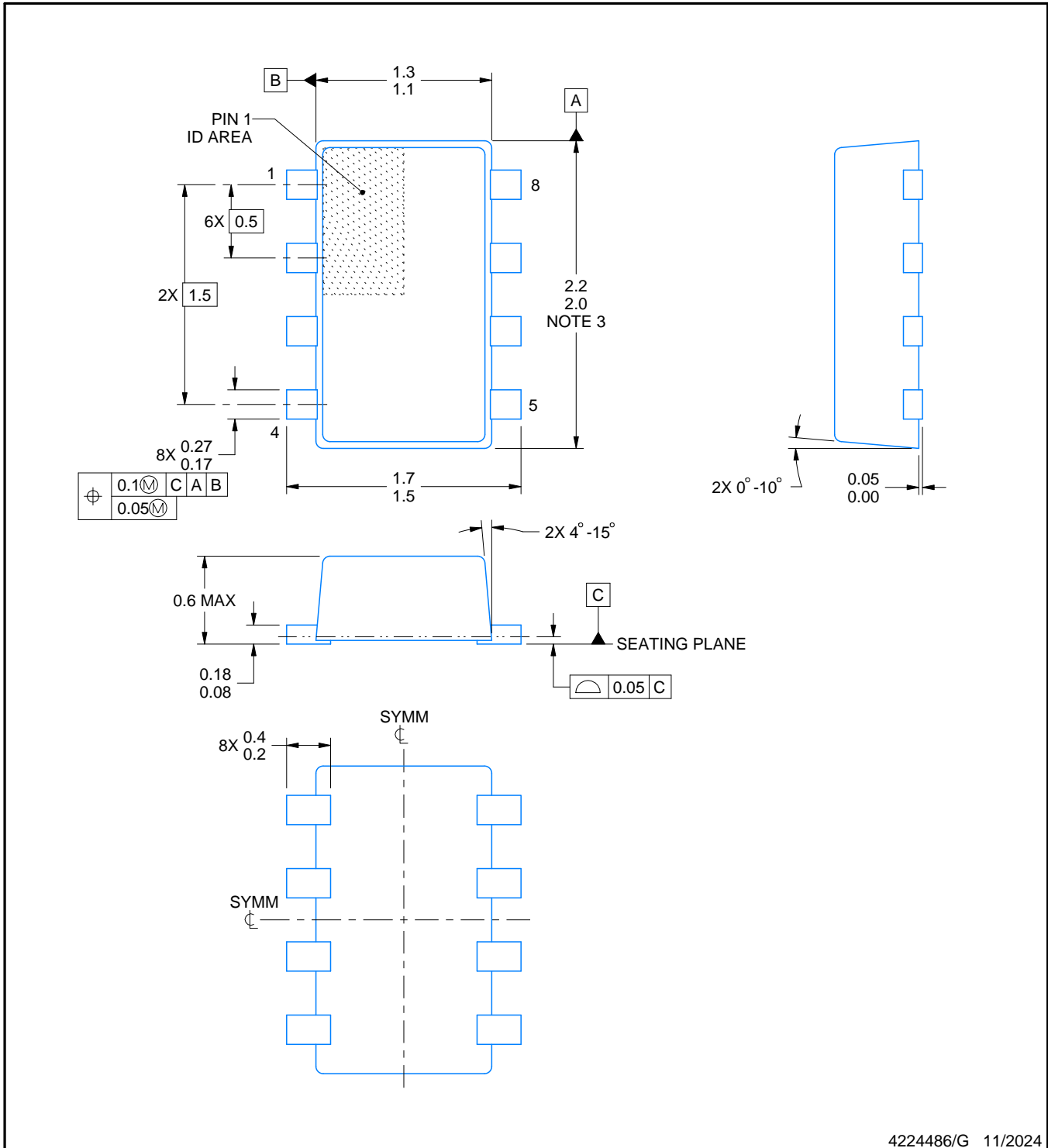

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS6285010MDRLR	SOT-5X3	DRL	8	4000	180.0	8.4	2.75	1.9	0.8	4.0	8.0	Q3
TPS628501DRLR	SOT-5X3	DRL	8	4000	180.0	8.4	2.75	1.9	0.8	4.0	8.0	Q3
TPS6285020ADRLR	SOT-5X3	DRL	8	4000	180.0	8.4	2.75	1.9	0.8	4.0	8.0	Q3
TPS6285020MDRLR	SOT-5X3	DRL	8	4000	180.0	8.4	2.75	1.9	0.8	4.0	8.0	Q3
TPS628502DRLR	SOT-5X3	DRL	8	4000	180.0	8.4	2.75	1.9	0.8	4.0	8.0	Q3
TPS628503DRLR	SOT-5X3	DRL	8	4000	180.0	8.4	2.75	1.9	0.8	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS6285010MDRLR	SOT-5X3	DRL	8	4000	210.0	185.0	35.0
TPS628501DRLR	SOT-5X3	DRL	8	4000	210.0	185.0	35.0
TPS6285020ADRLR	SOT-5X3	DRL	8	4000	210.0	185.0	35.0
TPS6285020MDRLR	SOT-5X3	DRL	8	4000	210.0	185.0	35.0
TPS628502DRLR	SOT-5X3	DRL	8	4000	210.0	185.0	35.0
TPS628503DRLR	SOT-5X3	DRL	8	4000	210.0	185.0	35.0



4224486/G 11/2024

NOTES:

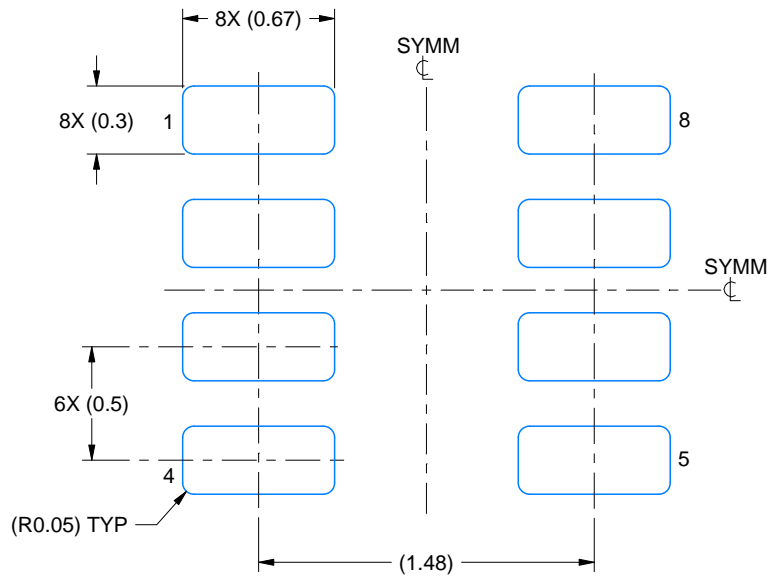
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, interlead flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC Registration MO-293, Variation UDAD

EXAMPLE BOARD LAYOUT

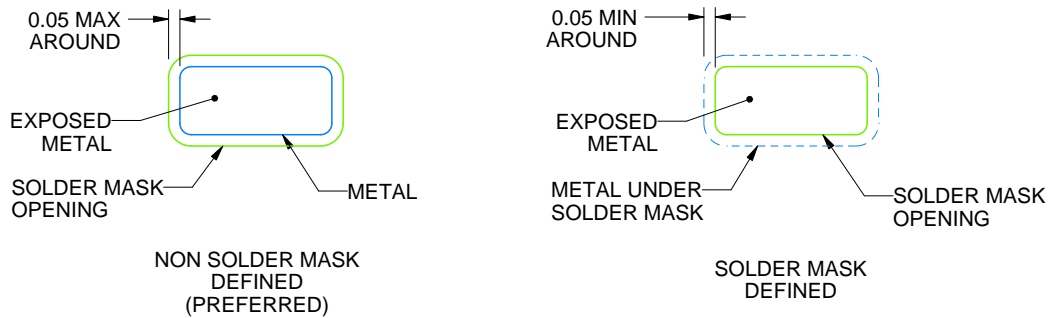
DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDERMASK DETAILS

4224486/G 11/2024

NOTES: (continued)

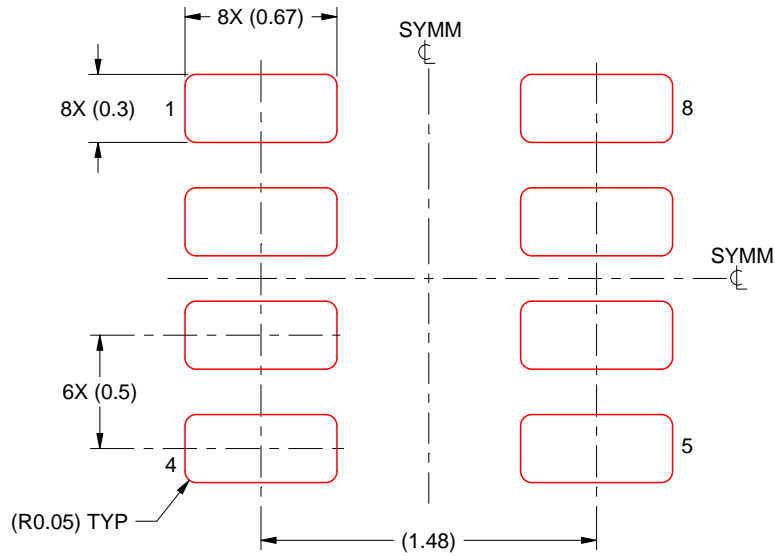
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4224486/G 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月