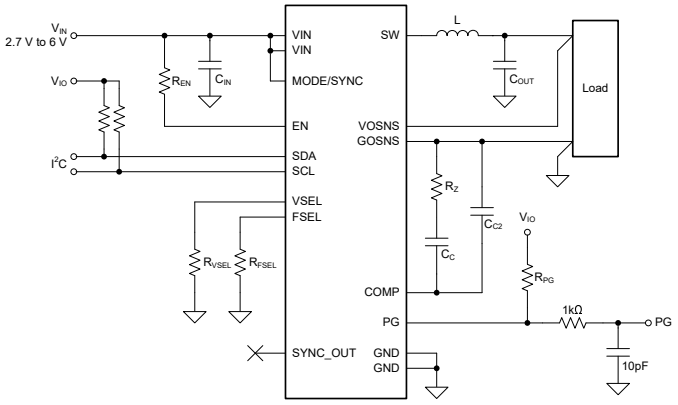
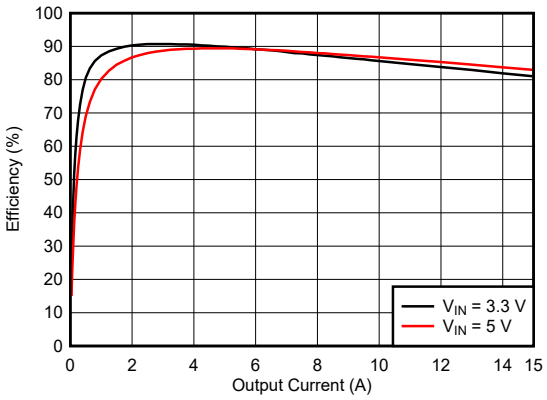
TPS6287x 2.7V ～ 6V 入力、6A、9A、12A、15A、高速過渡スタッカブル同期降圧コンバータ、I²C インターフェイスとリモート センス機能搭載

1 特長

- インダクタ内蔵パワー モジュールとして提供:
  TPSM8287A06、TPSM8287A10、TPSM8287A12、TPSM8287A15
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 2.7V ～ 6V の入力電圧範囲
- 6A、9A、12A、15A のピン互換デバイス ファミリ
- 4 つの出力電圧範囲:
  - 0.4V～0.71875V (1.25mV 刻み)
  - 0.4V～1.0375V (2.5mV 刻み)
  - 0.4V～1.675V (5mV 刻み)
  - 0.8V～3.35V (10mV 刻み)
- ±1% の出力電圧精度
- 差動リモート センシング
- 7mΩ/4.5mΩ のパワー MOSFET を内蔵
- 可変外部補償
- パワー セーブまたは強制 PWM 動作
- 外部クロックへの同期またはスペクトラム拡散動作を選択可能
- I²C 互換インターフェイス:最高 1MHz
- 出力電流能力を強化するためのスタッカブル
- サーマル警告およびサーマル シャットダウン
- アクティブ出力放電
- ウィンドウ コンパレータによるパワー グッド出力
- ウェッタブル フランク付き 2.55mm × 3.55mm × 1mm VQFN パッケージで供給されます
- –40°C～125°Cの接合部温度範囲 (T_J)



TPS6287x の概略回路図



効率と出力電流との関係
V_{OUT} = 0.75V、FPWM、f_{SW} = 2.25MHz

2 アプリケーション

- 光ネットワーク、ストレージ
- FPGA、ASIC、デジタル コア電源
- DDR メモリ電源

製品情報

部品番号	電流定格(1)	パッケージ(2)
TPS62870	6A	RXS (VQFN-FCRLF、16)
TPS62871	9A	
TPS62872	12A	
TPS62873	15A	

(1) 詳細については、セクション 12 を参照してください。
(2) 「*デバイスのオプション*」表を参照してください。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

3 説明

TPS6287x は、差動リモート センシング機能を搭載したピン互換の 6A、9A、12A、15A 同期整流降圧 DC/DC コンバータのファミリです。各電流定格に、I2 C インターフェイス付きのフル機能のデバイス バリエーションと I2C インターフェイスなしの制限機能付きデバイス バリエーションがあります。すべてのデバイスは、高い効率と使いやすさを特長としています。低抵抗の電源スイッチにより、高い周囲温度でも最大 15A の連続出力電流を供給できます。

これらのデバイスをスタック モードで動作させることで、大きな出力電流を供給することや、消費電力を複数のデバイスに分散することが可能です。

TPS6287x ファミリは、高速過渡をサポートする固定周波数 DCS 制御方式を実装します。デバイスは、最大効率を達成するパワーセーブ モード、または最高の過渡性能と最小の出力電圧リップルを実現する強制 PWM モードで動作できます。

リモート センシング機能は、POL (ポイント オブ ロード) での電圧レギュレーションを可能にし、あらゆる動作条件において ±1% 以内の DC 電圧精度を実現します。

スイッチング周波数は、FSEL ピンに接続した抵抗により選択できます。スイッチング周波数は 1.5MHz、2.25MHz、2.5MHz、3.0MHz のいずれかに設定できます。または、同じ周波数範囲の外部クロックに同期させることができます。

I2C 互換インターフェイスを使うと、各種の制御、監視、警告機能 (電圧の監視、温度に関連する警告など) を実現できます。出力電圧は、アプリケーションの性能要求に負荷の消費電力が適合するように、I2C 互換インターフェイスを使って素早く調整できます。デフォルトの起動電圧は、VSEL ピンに接続した抵抗により選択できます。

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 2
4 デバイスのオプション ... 4
5 ピン構成および機能 ... 6
6 仕様 ... 8
6.1 絶対最大定格 ... 8
6.2 ESD 定格 ... 8
6.3 推奨動作条件 ... 8
6.4 熱に関する情報 ... 9
6.5 電気的特性 ... 9
6.6 I²C インターフェイス タイミング特性 ... 12
6.7 タイミング要件 ... 13
6.8 代表的特性 ... 14
7 詳細説明 ... 15
7.1 概要 ... 15
7.2 機能ブロック図 ... 16
7.3 機能説明 ... 16
7.4 デバイスの機能モード ... 33
7.5 プログラミング ... 34
8 レジスタ マップ ... 38
9 アプリケーションと実装 ... 44
9.1 アプリケーション情報 ... 44
9.2 代表的なアプリケーション ... 44
9.3 設計のベスト プラクティス ... 54
9.4 電源に関する推奨事項 ... 55
9.5 レイアウト ... 55
10 デバイスおよびドキュメントのサポート ... 57
10.1 デバイス サポート ... 57
10.2 ドキュメントの更新通知を受け取る方法 ... 57
10.3 サポート・リソース ... 57
10.4 商標 ... 57
10.5 静電気放電に関する注意事項 ... 57
10.6 用語集 ... 57
11 改訂履歴 ... 57
12 メカニカル、パッケージ、および注文情報 ... 58

Copyright © 2025 Texas Instruments Incorporated

4 デバイスのオプション

部品番号	出力電流	起動電圧と I²C アドレス (1) (2) (3)	VSEL 設定	拡散スペクトラム クロック処理	ソフト スタート時間
TPS62873Z0WRXSR	15A	0.800V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		0.800V、0x43	47kΩ から VIN へ		
TPS62873Z1WRXSR	15A	0.600V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		0.900V、0x43	47kΩ から VIN へ		
TPS62873Z2WRXSR	15A	0.500V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		1.050V、0x43	47kΩ から VIN へ		
TPS62873Z4WRXSR	15A	0.850V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		1.000V、0x43	47kΩ から VIN へ		
TPS62873Z5WRXSR	15A	0.400V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		0.400V、0x43	47kΩ から VIN へ		
TPS62872Z0WRXSR	12A	0.800V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		0.800V、0x43	47kΩ から VIN へ		
TPS62872Z2WRXSR	12A	0.500V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		1.050V、0x43	47kΩ から VIN へ		
TPS62872Z4WRXSR	12A	0.850V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		1.000V、0x43	47kΩ から VIN へ		
TPS62871Z0WRXSR	9A	0.800V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		0.800V、0x43	47kΩ から VIN へ		
TPS62871Z2WRXSR	9A	0.500V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		1.050V、0x43	47kΩ から VIN へ		

Copyright © 2025 Texas Instruments Incorporated

部品番号	出力電流	起動電圧と I²C アドレス (1) (2) (3)	VSEL 設定	拡散スペクトラム クロック処理	ソフト スタート時間
TPS62871Z4WRXSR	9A	0.850V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		1.000V、0x43	47kΩ から VIN へ		
TPS62870Z0WRXSR	6A	0.800V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		0.800V、0x43	47kΩ から VIN へ		
TPS62870Z4WRXSR	6A	0.850V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		1.000V、0x43	47kΩ から VIN へ		
TPS62873Z6WRXSR	15A	0.500V、0x40	6.2kΩ から GND へ	デフォルト設定 = オフ	デフォルト設定 = 1ms
		0.750V、0x41	GND への短絡		
		0.875V、0x42	VIN への短絡		
		0.500V、0x43	47kΩ から VIN へ		

(1) I²C アドレスは、選択した起動電圧にリンクされます。起動電圧と I²C アドレスを別々に選択することはできません。
(2) VSEL ピンを使用して、デバイスが使用する 4 つの起動電圧のいずれかを選択できます。詳細については、表 7-5 および 表 7-10 を参照してください。
(3) その他の起動電圧または I²C アドレス オプションについては、TI にお問い合わせください

特に記述のない限り、I²C のないデバイス バリアントは、I²C のあるデバイス バリアントと同じデフォルト設定で動作します。

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

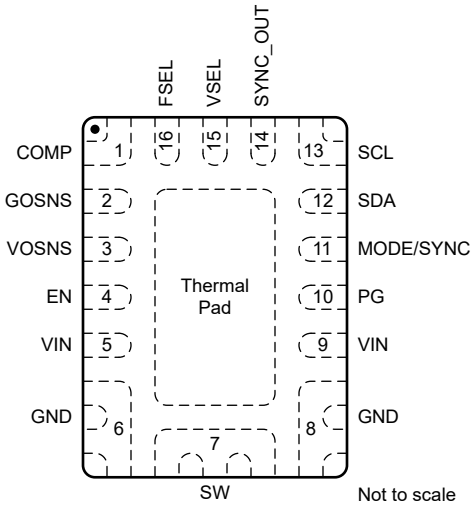


図 5-1. 16 ピン RXS VQFN パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ[1]	説明
名称	番号		
COMP	1	—	デバイス補償入力。このピンと GOSNS との間に抵抗とコンデンサによって、制御ループの補償が定義されます。 スタック動作では、スタックされたすべてのデバイスの COMP ピンを互いに接続し、共通の COMP ノードと GOSNS との間に抵抗とコンデンサを接続します。
GOSNS	2	I	出力グランド検出 (差動出力電圧センシング)
VOSNS	3	I	出力電圧検出 (差動出力電圧センシング)
EN	4	I	製品のイネーブルピンです。ユーザーは、少なくとも 15kΩ の直列抵抗を使用してこのピンに接続する必要があります。このピンが low ロジック レベルになるとデバイスは無効化され、このピンが high ロジック レベルになるとデバイスが有効化されます。このピンを未接続のままにしないでください。 スタック動作を行う場合は、すべてのデバイスの EN ピンを相互に接続し、それらを電源電圧またはプロセッサの GPIO に抵抗を介して接続します。詳細については、セクション 7.3.17 を参照してください。
VIN	5、9	P	電源入力。入力コンデンサは、デバイスの VIN ピンと GND ピンの間 にできる限り近づけて (パッケージの両面に) 配置してください
GND	6、8	GND	グランド ピン
SW	7	O	このピンはコンバータのスイッチ ピンであり、内部パワー MOSFET に接続されています。
PG	10	I/O	オープン ドレインのパワー グッド出力。「パワーグッド」でないときは低インピーダンス、「パワーグッド」のときはハイインピーダンスになります。このピンは、単一のデバイス動作で使用されていない場合は、オープンのままにすることも、GND に接続することもできます。 スタック動作では、スタックされたすべてのデバイスの PG ピンを相互接続します。スタック動作の 1 次側コンバータの PG ピンのみがオープン ドレイン出力です。スタック モードで 2 次側コンバータとして定義されたデバイスの場合、このピンは入力ピンです。詳細については、セクション 7.3.17 を参照してください。
MODE/SYNC	11	I	このピンが Low になると、デバイスはパワーセーブモードで動作します。ピンが high にプルされる場合、デバイスは強制 PWM モードで動作します。このピンを未接続のままにしないでください。モードピンを使用して、デバイスを外部クロックに同期することもできます。
SDA	12	I/O	I^2C シリアル データ ピン。フローティングのままにしないでください。プルアップ抵抗をロジック high レベルに接続します。 スタック動作での 2 次側デバイスと I^2C のないデバイス バリアントの場合は、GND に接続します。
SCL	13	I	I^2C シリアル クロック ピン。このピンをフローティングのままにしないでください。プルアップ抵抗を論理 high レベルに接続します。 スタック動作での 2 次側デバイスと I^2C のないデバイス バリアントの場合は、このピンを GND に接続します。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
名称	番号		
SYNC_OUT	14	O	スタック モードでの同期用の内部クロック出力ピン。このピンはシングルデバイス動作用にフローティングのままにします。スタック動作では、このピンをデイジーチェーン内の次のデバイスの MODE/SYNC ピンに接続します。*このピンを TPS6287x 以外のデバイスに接続しないでください。* スタートアップ時に、このピンを使用して、スタック動作でデバイスを 2 次側コンバータとして動作させる必要があるかどうかを識別します。このピンと GND との間に 47kΩ 抵抗を接続して、スタック動作でセカンダリ コンバータを定義します。詳細については、セクション 7.3.17 を参照してください。
VSEL	15	—	スタートアップ時の出力電圧選択ピン。抵抗、または GND もしくは V_{IN} への短絡によって、選択される出力電圧が決まります。セクション 7.3.6.2 を参照してください。
FSEL	16	—	周波数選択ピン。抵抗または GND や V_{IN} への短絡によって、フリーランニング スイッチング周波数が決まります。セクション 7.3.6.2 を参照してください。
露出したサーマル パッド		—	適切な熱抵抗と機械的安定性を実現するため、サーマル パッドは GND に半田付けする必要があります。

(1) I = 入力、O = 出力、P = 電源、GND = グランド

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電圧 (2)	VIN(4)	-0.3	6.5	V
	SW (DC)	-0.3	V_{IN} + 0.3	
	SW (AC、10ns 未満) (3)	-3	10	
	VOSNS	-0.3	3.8	
	SCL、SDA	-0.3	5.5	
	FSEL、VSEL、EN、MODE/SYNC、PG	-0.3	6.5	
	GOSNS	-0.3	0.3	
	COMP	-0.3	V_{IN}	
電流	SYNC_OUT	-1	1	mA
	COMP	-1	1	
	PG		5	
	SDA		9	
	EN		1	
T_J	接合部温度	-40	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、GND ピンを基準としたものです。
(3) スイッチング動作時。
(4) このピンの電圧は、絶対最大定格 6.5V を短時間にわたって超えることができますが、8V 未満に維持する必要があります。VIN を 8V に 100ms さらすことは、室温でのデバイスの経年劣化約 8 時間に相当します。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠(2)	±750	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{IN}	入力電圧	VIN	2.7		6	V
		SDA、SCL			5	
V_{OUT}	出力電圧		0.4		3.35V または (V_{IN} - 1.4V)(1)	V

Copyright © 2025 Texas Instruments Incorporated

6.3 推奨動作条件 (続き)

動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
I_{OUT}	出力電流	TPS62870			6	A
		TPS62871			9	
		TPS62872			12	
		TPS62873			15	
L	インダクタンス		110		330	nH
		f_{SW} ≥ 2.25MHz および V_{OUT} ≤ 1.675V	55		330	
C_{IN}	入力容量 (ピンごと)(2)	VIN	5	10		μF
C_{OUT}	出力容量(2)		40		(3)	
C_{PAR}	寄生容量	VSEL、FSEL			100	pF
		SYNC_OUT			20	
	抵抗の誤差	VSEL、FSEL			±2%	
T_J	動作時接合部温度		-40		125	°C

(1) いずれか小さいほうの値。
(2) 「*実効*」容量。
(3) 推奨される最大出力キャパシタンスは、アプリケーションの特定の動作条件によって異なります。しかし、通常は数ミリファラッドまでの出力キャパシタンス値が可能です。

6.4 熱に関する情報

熱評価基準(1)		TPS6287x		単位
		RXS (JEDEC)	RXS (EVM)	
		16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	43.2	28	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	19.2	該当なし	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.7	該当なし	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.5	1.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.7	9.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	6.3	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

動作時接合部温度 (T_J = –40°C ～ 125°C) および V_{IN} = 2.7V ～ 6V.V_{IN} = 3.3V および T_J = 25°C の場合の標準的な値 (特に記載のない限り)。

パラメータ			テスト条件	最小値	標準値	最大値	単位
電源							
I_Q	電源電流 (VIN)	動作	EN = high、I_{OUT} = 0mA、$V_{(SW)}$ = 0V、1 次側動作、デバイスのスイッチングなし、T_J = 25°C		1.75	3	mA
		スタンバイ	EN = low、$V_{(SW)}$ = 0V、T_J = 25°C		16.5	40	μA
V_{IT+}	正方向の UVLO スレッショルド電圧 (VIN)			2.5	2.6	2.7	V
V_{IT-}	負方向の UVLO スレッショルド電圧 (VIN)			2.4	2.5	2.6	V
V_{hys}	UVLO ヒステリシス電圧 (VIN)			90			mV
V_{IT+}	正方向の OVLO スレッショルド電圧 (VIN)			6.1	6.3	6.5	V

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

動作時接合部温度 (T_J = –40°C ～ 125°C) および V_{IN} = 2.7V ～ 6V.V_{IN} = 3.3V および T_J = 25℃ の場合の標準的な値 (特に記載のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IT-}	負方向の OVLO スレッショルド電圧 (VIN)		6.0	6.2	6.4	V
V_{hys}	OVLO ヒステリシス電圧 (VIN)		85			mV
V_{IT-}	負方向のパワーオン リセット スレッショルド		1.4			V
T_{SD}	サーマル シャットダウン スレッショルド温度	T_J 立ち上がり		170		°C
	サーマル シャットダウン ヒステリシス			20		°C
T_W	過熱警告のスレッショルド温度	T_J 立ち上がり		150		°C
	過熱警告ヒステリシス			20		°C
制御とインターフェイス						
V_{IT+}	正方向の入力スレッショルド電圧 (EN)		0.97	1.0	1.03	V
V_{IT-}	負方向の入力スレッショルド電圧 (EN)		0.87	0.9	0.93	V
V_{hys}	ヒステリシス電圧 (EN)		95			mV
I_{IH}	High レベル入力電流 (EN)	V_{IH} = V_{IN}、内部プルダウン抵抗は無効			200	nA
I_{IL}	Low レベル入力電流 (EN)	V_{IL} = 0V、内部プルダウン抵抗は無効	-200			nA
V_{IH}	High レベル入力電圧 (SDA、SCL、MODE/SYNC、VSEL、FSEL、SYNC_OUT)		0.8			V
V_{IL}	Low レベル入力電圧 (SDA、SCL、MODE/SYNC、VSEL、FSEL、SYNC_OUT)				0.4	V
V_{OL}	Low レベル出力電圧 (SDA)	I_{OL} = 3mA			0.4	V
		I_{OL} = 9mA			0.4	V
		I_{OL} = 5mA			0.2	V
I_{OH}	High レベル出力電流 (SDA、SCL)	V_{OH} = 3.3V			200	nA
I_{IL}	Low レベル入力電圧 (MODE/SYNC)	V_{IL} = 0V	-150		150	nA
I_{IH}	High レベル入力電圧 (MODE/SYNC)	V_{IH} = V_{IN}			3	µA
I_{IL}	Low レベル入力電圧 (SYNC_OUT)	V_{IL} = 0V	-250			nA
I_{IH}	High レベル入力電圧 (SYNC_OUT)	V_{IH} = 2 V			150	nA
$C_{IN_SDA_SCL}$	SDA および SCL ピンの寄生入力容量			10		pF
$t_{d(EN)1}$	EN を V_{IN} に接続したときのイネーブル遅延時間	EN が high になった時点からデバイスがスイッチングを開始する時点までを測定 SR_{VIN} = 1V/µs		175	500	µs
$t_{d(EN)2}$	V_{IN} がすでに印加されているときのイネーブル遅延時間	EN が High になった時点からデバイスがスイッチングを開始する時点までを測定			100	µs
$t_{d(RAMP)}$	出力電圧ランプタイム	デバイスがスイッチングを開始してから、PG 信号が立ち上がるまでの時間を測定	0.35	0.5	0.65	ms
			0.7	1	1.3	ms
			1.4	2	2.6	ms
			2.8	4	5.2	ms
	外部周波数にロックする時間			50		µs
	内部プルアップ抵抗 (VSEL、FSEL)		5.5		9	kΩ
	内部プルダウン抵抗 (VSEL、FSEL)		1.3		2.2	kΩ
V_{T+}	正方向のパワーグッド スレッショルド電圧 (出力低電圧)		94	96	98	%V_{OUT}
V_{T-}	負方向 のパワーグッド スレッショルド電圧 (出力低電圧)		92	94	96	%V_{OUT}

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

動作時接合部温度 (T_J = –40°C ～ 125°C) および V_{IN} = 2.7V ～ 6V.V_{IN} = 3.3V および T_J = 25℃ の場合の標準的な値 (特に記載のない限り)。

パラメータ			テスト条件	最小値	標準値	最大値	単位
V_{T+}	正方向のパワーグッド スレッショルド電圧 (出力過電圧)			104	106	108	%V_{OUT}
$V_{T–}$	負方向の パワーグッド スレッショルド電圧 (出力過電圧)			102	104	106	%V_{OUT}
V_{OL}	Low レベル出力電圧 (PG)		I_{OL} = 1mA			0.3	V
I_{OH}	High レベル出力電流 (PG)		V_{OH} = 3.3V			200	nA
V_{IH}	High レベル入力電圧 (PG)		スタック動作で 2 次側デバイスとして構成されたデバイス	0.8			V
V_{IL}	Low レベル入力電圧 (PG)		スタック動作で 2 次側デバイスとして構成されたデバイス			0.4	V
I_{IH}	High レベル入力電流 (PG)		スタック動作で 2 次側デバイスとして構成されたデバイス			1	µA
I_{IL}	Low レベル入力電流 (PG)		スタック動作で 2 次側デバイスとして構成されたデバイス	-1			µA
$t_{d(PG)}$	グリッチ除去時間 (PG)		PG ピンの High から Low、または Low から High への遷移	34	40	46	µs
出力							
V_{OUT}	出力精度		V_{IN} ≥ V_{OUT} + 1.4V	-1		1	%
I_{IB}	入力バイアス電流 (GOSNS)		$V_{(GOSNS)}$ = –100mV ～ 100mV	-6			µA
I_{IB}	入力バイアス電流 (VOSNS)		$V_{(VOSNS)}$ = 3.3V、V_{IN} = 6V			6	µA
V_{ICR}	同相入力範囲 (GOSNS)			-100		100	mV
	定電流モードでの出力放電電流		$V_{(VOSNS)}$ = 2V	50	115	200	mA
R_{DIS}	抵抗放電モードでの出力放電抵抗		$V_{(VOSNS)}$ ≤ 0.5V			6	Ω
f_{SW}	スイッチング周波数 (SW)		f_{SW} = 1.5MHz、PWM 動作、V_{IN} 3.3V、V_{OUT} = 0.75V	1.35	1.5	1.65	MHz
			f_{SW} = 2.25MHz、PWM 動作、V_{IN} 3.3V、V_{OUT} = 0.75V	2.025	2.25	2.475	
			f_{SW} = 2.5MHz、PWM 動作、V_{IN} 3.3V、V_{OUT} = 0.75V	2.25	2.5	2.75	
			f_{SW} = 3MHz、PWM 動作、V_{IN} 3.3V、V_{OUT} = 0.75V	2.7	3	3.3	
f_{mod}	スペクトラム拡散掃引の周波数				f_{sw}/2048		kHz
Δf_{SW}	スペクトラム拡散動作時のスイッチング周波数の変動				±10%		
τ	エミュレート電流時定数				12.5		µs
$r_{DS(on)}$	ハイサイド FET の静的オン状態抵抗		V_{IN} = 3.3V		7	16	mΩ
$r_{DS(on)}$	ローサイド FET の静的オン状態抵抗		V_{IN} = 3.3V		4.1	9.4	mΩ
$I_{(SW)(off)}$	ハイサイド FET のオフ状態電流		V_{IN} = 6V、$V_{(SW)}$ = 0V、T_J = 25°C	-1			µA
	ローサイド FET オフ状態電流		V_{IN} = 6V、$V_{(SW)}$ = 6V、T_J = 25°C			100	
I_{LIM}	ハイサイド FET 順方向スイッチ電流制限、DC	TPS62870		9	12	14	A
		TPS62871		12	16	18	
		TPS62872		15	20	22	
		TPS62873		18	24	26	
	ローサイド FET 負電流制限、DC			7.5		12	A

Copyright © 2025 Texas Instruments Incorporated

6.6 I²C インターフェイス タイミング特性

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数	スタンダード モード			100	kHz
		ファスト モード			400	
		ファスト モード プラス			1000	
$t_{HD;}$ t_{STA}	(繰り返し) START 条件のホールド時間	スタンダード モード	4			µs
		ファスト モード	0.6			
		ファスト モード プラス	0.26			
t_{LOW}	SCL クロック Low 期間	スタンダード モード	4.7			µs
		ファスト モード	1.3			
		ファスト モード プラス	0.5			
t_{HIGH}	SCL クロックの High の時間	スタンダード モード	4			µs
		ファスト モード	0.6			
		ファスト モード プラス	0.26			
$t_{SU;}$ t_{STA}	反復開始条件のセットアップ時間	スタンダード モード	4.7			µs
		ファスト モード	0.6			
		ファスト モード プラス	0.26			
$t_{HD;}$ t_{DAT}	データ ホールド時間	スタンダード モード	0		3.45	µs
		ファスト モード	0		0.9	
		ファスト モード プラス	0			
$t_{SU;}$ t_{DAT}	データ セットアップ時間	スタンダード モード	250			ns
		ファスト モード	100			
		ファスト モード プラス	50			
t_r	SDA 信号と SCL 信号の両方の立ち上がり時間	スタンダード モード			1000	ns
		ファスト モード	20		300	
		ファスト モード プラス			120	
t_f	SDA 信号と SCL 信号の両方の立ち下がり時間	スタンダード モード			300	ns
		ファスト モード	$20\times V_{DD}/5.5V$ (1)		300	
		ファスト モード プラス	$20\times V_{DD}/5.5V$ (1)		120	
$t_{SU;}$ t_{STO}	停止条件のセットアップ時間	スタンダード モード	4			µs
		ファスト モード	0.6			
		ファスト モード プラス	0.26			
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	スタンダード モード	4.7			µs
		ファスト モード	1.3			
		ファスト モード プラス	0.5			
C_b	各バス ラインの容量性負荷	スタンダード モード			400	pF
		ファスト モード			400	
		ファスト モード プラス			550	

(1) VDD は SDA と SCL のプルアップ電圧

Copyright © 2025 Texas Instruments Incorporated

6.7 タイミング要件

			最小値	公称値	最大値	単位
$f_{(SYNC)}$	同期クロック周波数範囲 (MODE/SYNC)	公称値 f_{SW} = 1.5MHz	1.3		2.0	MHz
$f_{(SYNC)}$	同期クロック周波数範囲 (MODE/SYNC)	公称値 f_{SW} = 2.25MHz	1.8		2.7	MHz
$f_{(SYNC)}$	同期クロック周波数範囲 (MODE/SYNC)	公称値 f_{SW} = 2.5MHz	2.0		3.0	MHz
$f_{(SYNC)}$	同期クロック周波数範囲 (MODE/SYNC)	公称値 f_{SW} = 3.0MHz	2.5		3.3	MHz
$D_{(SYNC)}$	同期クロック デューティ サイクル範囲 (MODE/SYNC)		45%		55%	

Copyright © 2025 Texas Instruments Incorporated

6.8 代表的特性

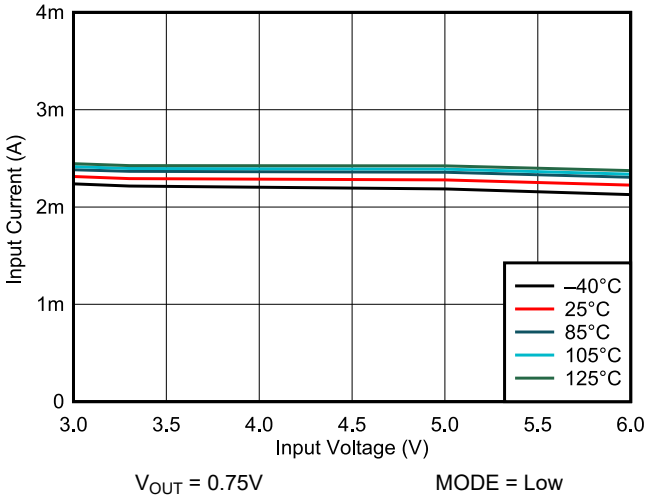


図 6-1. 動作電源電流 (パワーセーブ モード)

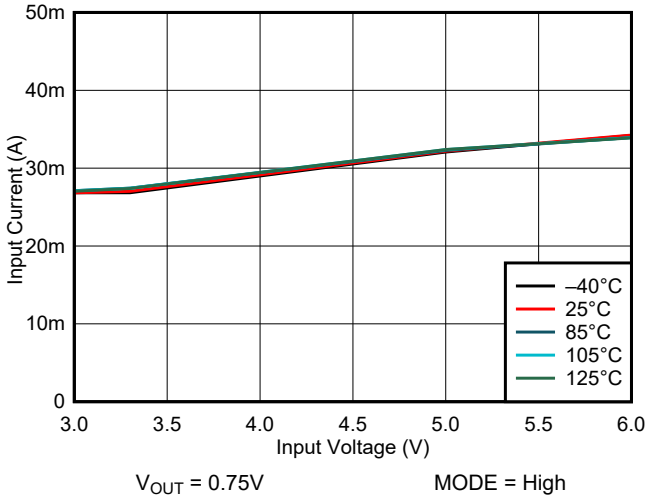


図 6-2. 動作電源電流 (強制 PWM)

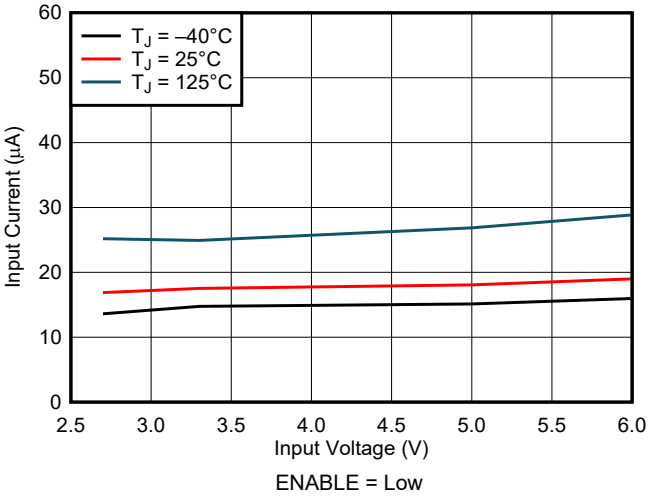


図 6-3. 静止電源電流

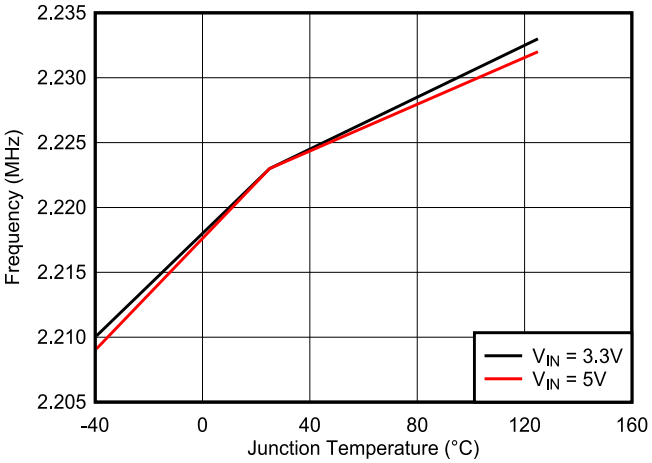


図 6-4. スイッチング周波数と温度との関係

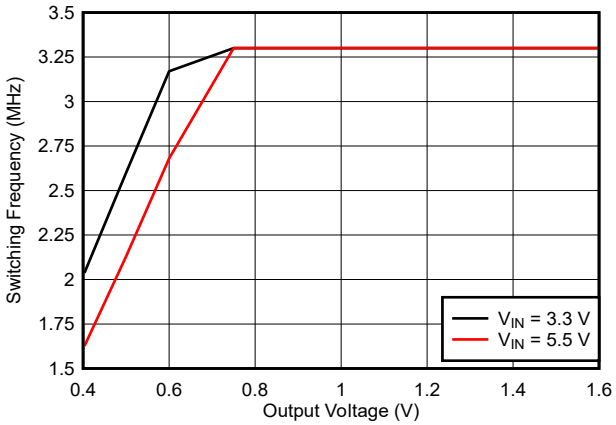


図 6-5. 最大スイッチング周波数と V_{IN} および V_{OUT} との関係

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TPS6287x デバイスは同期整流降圧型 (バック) DC/DC コンバータです。これらのデバイスは固定周波数の DCS-Control トポロジを使用して、高速過渡応答を実現します。低出力電圧リップル、高い DC 精度、差動リモート センシングにより、これらのデバイスは最新の高性能プロセッサのコアを供給するのに最適です。

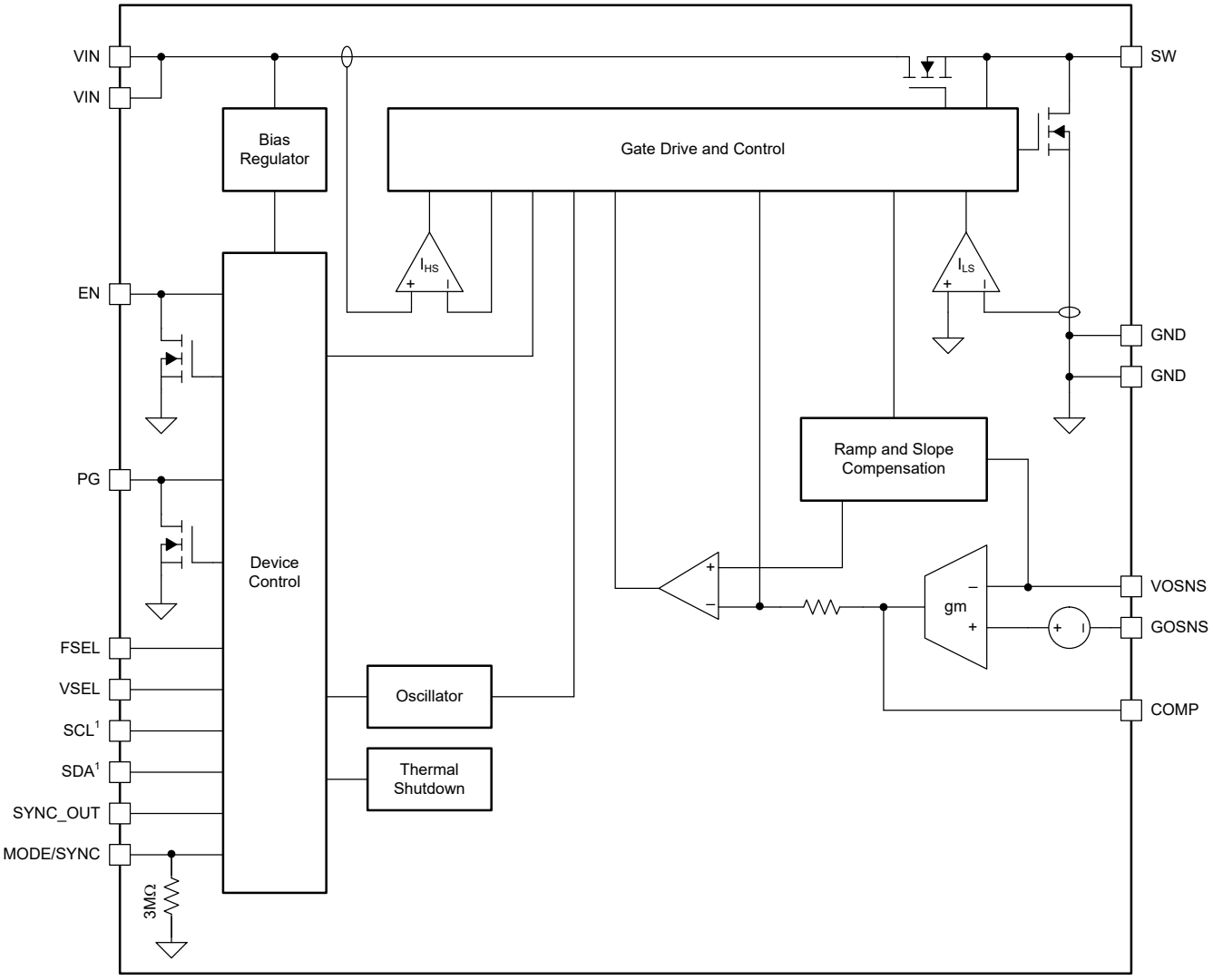
このファミリのデバイスには、6A、9A、12A、15A のデバイスが含まれています。出力電流能力をさらに高めるために、ユーザーは「スタック」で複数のデバイスを組み合わせることができます。たとえば、2 つの TPS62873 デバイスをスタックすると、30A の電流容量になります。1 つのデバイスが電流制限に過度に早く移行しないように、スタックの各デバイスの電流定格は同じにする必要があります。

各電流定格には、I^2C インターフェイスを備えたフル機能のデバイスと、I^2C インターフェイスのない制限機能のデバイスがあります (「*デバイスのオプション*」を参照)。以下の点を除き、I^2C のあるデバイス バリアントとまったく同じように、I^2C のないデバイス バリアントを使用できます。

- 未使用の SCL および SDA ピンを GND に接続する必要があります。
- ユーザーは、(固定された) 工場出荷時のパラメータ設定および I^2C デバイス バリアントでプログラム可能な機能を認識する必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.2 機能ブロック図



1. In device variants without I²C the SDA and SCL pins are internally connected, but the functionality of these pins is deactivated.

7.3 機能説明

7.3.1 固定周波数の DCS-Control トポロジ

図 7-1 に、TPS6287x デバイスで使用されている固定周波数 DCS-Control トポロジの簡略ブロック図を示します。このトポロジは、内部でエミュレートされた電流ループ、中間の直接帰還ループ、外部の電圧レギュレーション ループで構成されています。このトポロジの詳細については、SLYT846 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

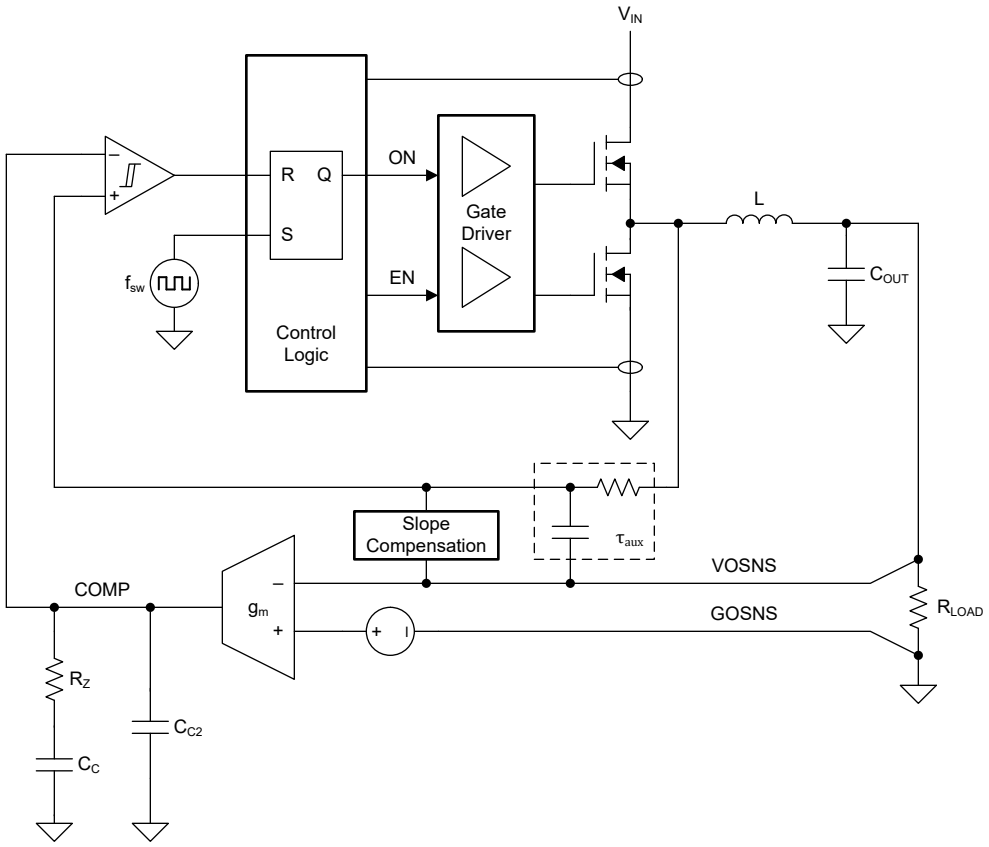


図 7-1. 固定周波数の DCS-Control トポロジ (簡略図)

7.3.2 強制 PWM モードとパワーセーブ モード

デバイスは、出力をレギュレートするための 3 つの方法でインダクタ電流を制御できます。

- 連続インダクタ電流を使用するパルス幅変調 (PWM-CCM)
- 不連続インダクタ電流によるパルス幅変調 (PWM-DCM)
- 不連続インダクタ電流およびパルススキップによるパルス周波数変調 (PFM - DCM)

PWM-CCM でのオン時間は 式 1 で与えられます。出力電圧が非常に小さい場合、約 50ns の最小オン時間 ($t_{on,\,min}$) により、スイッチング周波数が設定値から低下します。最小オン時間に達した場合でも、本デバイスはオフ時間を延長することで適切な出力電圧レギュレーションを維持します。

$$t_{ON} = \frac{V_{OUT}}{V_{IN} \times f_{SW}} \tag{1}$$

PWM-CCM 動作中、デバイスは一定の周波数でスイッチングを行い、インダクタ電流は連続的です (図 7-2 を参照)。PWM 動作は、最小の出力電圧リップルと最高の過渡性能を達成します。

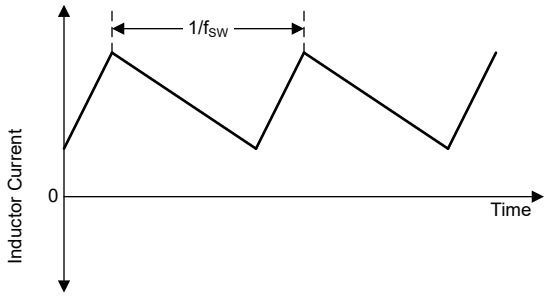


図 7-2. 連続導通モード (PWM-CCM) 電流波形

PWM-DCM 動作中、デバイスは一定の周波数でスイッチングを行い、インダクタ電流は不連続です (図 7-3 を参照)。このモードでは、デバイスはピーク インダクタ電流を制御し、選択したスイッチング周波数を維持しながら、出力のレギュレーションを維持することができます。

デバイスが PWM-DCM になる出力電流スレッショルドを計算するには、式 2 を使用します。

$$I_{OUT(CCM-DCM)} = \frac{(V_{IN} - V_{OUT})}{2L} t_{ON} \quad (2)$$

t_{ON} になります (式 1 に基づく)。

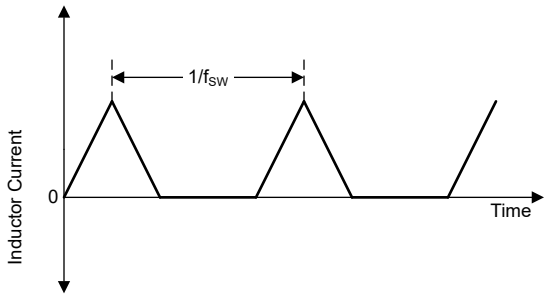


図 7-3. 不連続導通モード (PWM/DCM) 電流波形

PFM-DCM 動作中、デバイスはピーク インダクタ電流を一定に維持し (コンバータの最小オン時間に対応するレベル)、パルスをスキップして出力をレギュレートします (図 7-4 を参照)。PFM - DCM 動作中に発生するスイッチング パルスは、内部クロックに同期されます。

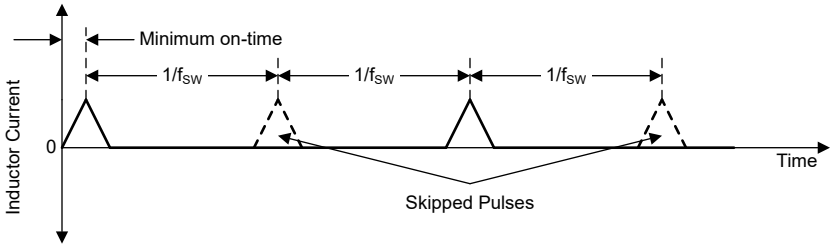


図 7-4. 不連続導通モード (PFM/DCM) 電流波形

デバイスが PWM-DCM から PFM-DCM に変化する出力電流スレッショルドを計算するには、式 3 を使用します。

$$I_{OUT(PFM-DCM)} = \frac{V_{IN} \times t_{ON_min_PFM}}{2} \times \frac{1 - \frac{V_{OUT}}{V_{IN}}}{L} \quad (3)$$

$t_{ON_min_PFM}$ は PFM—DCM における約 20ns の最小オン時間です。

Copyright © 2025 Texas Instruments Incorporated

図 7-5 に、スイッチング周波数が 2.25MHz の場合に、このスレッショルドが通常 V_{IN} と V_{OUT} によってどのように変化するかを示します。

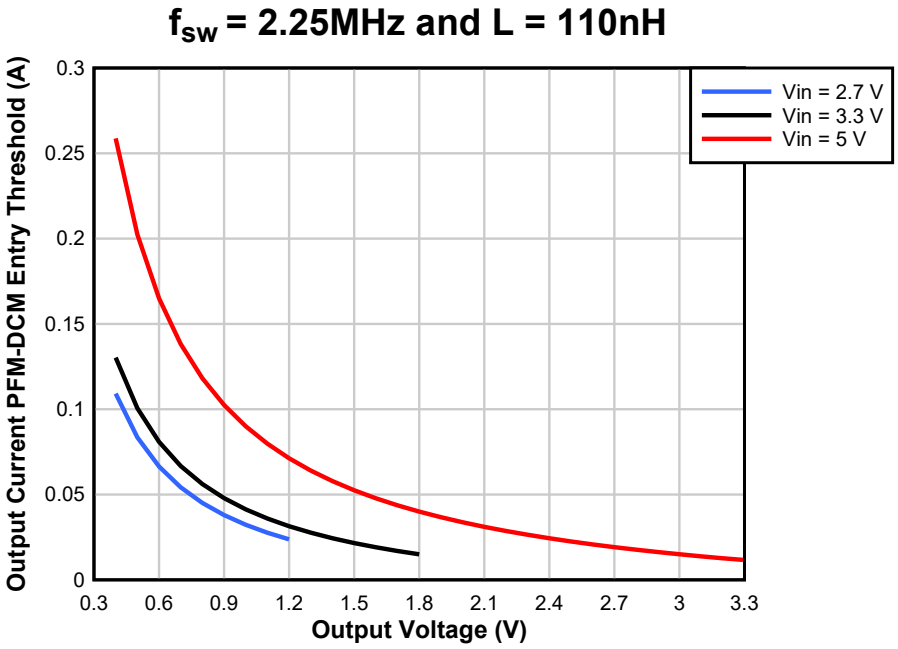


図 7-5. 出力電流 PFM-DCM エントリ スレッショルド

ユーザーは、強制 PWM (FPWM) モードまたはパワーセーブ モード (PSM) のいずれかを使用するようにデバイスを構成できます。

- 強制 PWM モードでは、デバイスは常に PWM-CCM を使用します。
- パワーセーブ モードでは、このデバイスは中負荷および高負荷で PWM-CCM、低負荷で PWM-DCM、非常に低負荷で PFM -DCM を使用します。各種動作モード間の遷移はシームレスに行われます。

表 7-1 に、本デバイスの動作モードを制御する MODE/SYNC ピンの機能表と CONTROL1 レジスタの FPWMEN ビットを示します。

表 7-1. FPWM モードとパワーセーブ モードの選択

MODE/SYNC ピン	FPWMEN ビット	動作モード	注記
Low	0	PSM	スタック構成では使用しないでください。
	1	FPWM	
High	X	FPWM	
同期クロック	X	FPWM	

7.3.3 高精度イネーブル

イネーブル (EN) ピンは双方向で、2 つの機能を持ちます。

- 入力として、EN はデバイスの DC/DC コンバータを有効化/無効化します。
- 出力として、EN はスタック構成内の他のデバイスに対して SYSTEM_READY 信号を提供します。

Copyright © 2025 Texas Instruments Incorporated

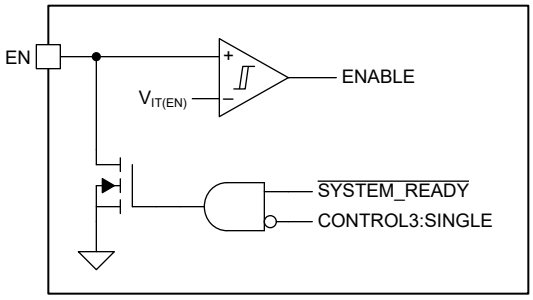


図 7-6. 機能ブロック図を有効にする

EN ピンに接続された内部オープン ドレイントランジスタがあるため、低インピーダンスのソースからこのピンを直接駆動しないでください。代わりに、抵抗を使用して、EN ピンに流れる電流を制限します (セクション 9 を参照)。

VIN ピンに電源が初めて供給されると、デバイスは非揮発メモリからデフォルトのレジスタ設定を読み込み、VSEL、FSEL、および SYNC_OUT ピンの状態を読み取るまで、EN ピンを low に保持します。また、サーマル シャットダウンや過電圧ロックアウトなどの故障が発生した場合も、デバイスは EN を Low にプルします。スタック構成では、すべてのデバイスが共通のイネーブル信号を共有します。これは、スタック内の「すべての」デバイスが初期化を完了するまで、スタック内の DC/DC コンバータのスイッチングを開始できないことを意味します。同様に、スタック内の 1 つ以上のデバイスに故障が発生すると、スタック内の すべてのコンバータが無効化されます (セクション 7.3.17 を参照)。

スタンドアロン (非スタック) アプリケーションでは、ユーザーが CONTROL3 レジスタで SINGLE = 1 を設定すると、EN ピンのアクティブ プルダウンを無効にすることができます。SINGLE = 1 の場合 (デバイスの初期化中に EN ピンは「常に」プルダウンされる)、フォルト条件は EN ピンに影響を与えません。スタックアプリケーションでは、SINGLE = 0 であることを確認してください。

内部 $\overline{\text{SYSTEM_READY}}$ 信号が low のとき (つまり、初期化が完了し、フォルト条件がないとき)、内部オープンドレイントランジスタはハイインピーダンスであり、EN ピンは標準入力と同様に機能します。EN ピンが high レベルになると、デバイスの DC/DC コンバータが有効になります。low レベルは DC/DC コンバータを無効化します (I^2C インターフェイスは、デバイスが初期化を完了するとすぐに有効になり、内部 ENABLE または $\overline{\text{SYSTEM_READY}}$ 信号の状態には影響されません)。

EN ピンが Low レベルになると、デバイスは強制的にシャットダウンします。シャットダウン中、電力段の MOSFET がオフになり、内部制御回路が無効化され、デバイスの消費電流は 20µA (標準値) のみです。

EN ピンの立ち上がりしきい値電圧は 1.0V、立ち下がりしきい値電圧は 0.9V です。スレッショルド電圧の許容誤差は ±30mV であるため、ユーザーは EN ピンを使用して正確なオン/オフ制御を実現できます。

VIN ピンに電力が供給されても、EN ピンのトグルは負荷されたデフォルトのレジスタ設定をリセットしません。

7.3.4 スタートアップ

VIN ピンの電圧が正方向の UVLO スレッショルドを超えると、デバイスは次のように初期化されます。

- デバイスは、EN ピンを Low にプルします。
- デバイスは、内部リファレンス電圧を無効にします。
- デバイスは VSEL、FSEL、および SYNC_OUT ピンの状態を読み取ります。
- デバイスは、デフォルト値をデバイスのレジスタにロードします。

初期化が完了すると、デバイスは I^2C 通信を有効にし、EN ピンを解放します。これで、EN ピンを制御する外部回路によってデバイスの動作が決定されます。

- EN ピンが low になると、デバイスは無効化されます。ユーザーはデバイス レジスタへの書き込みと読み取りはできますが、DC/DC コンバータは動作しません。
- EN ピンが high の場合、デバイスは有効です。ユーザーはデバイス レジスタへの書き込みと読み取りを行うことができ、少しの遅延の後に DC/DC コンバータが出力の立ち上げを開始します。

Copyright © 2025 Texas Instruments Incorporated

図 7-7 に、EN ピンが抵抗を経由して V_{IN} にプルアップされたときのスタートアップ シーケンスを示します。

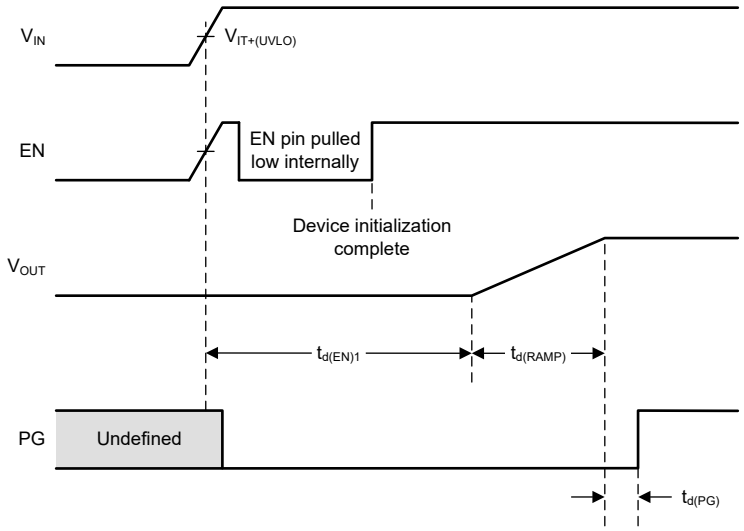


図 7-7. EN が V_{IN} にプルアップされたときのスタートアップタイミング

図 7-8 に、外部信号が EN ピンに接続されている場合のスタートアップ シーケンスを示します。

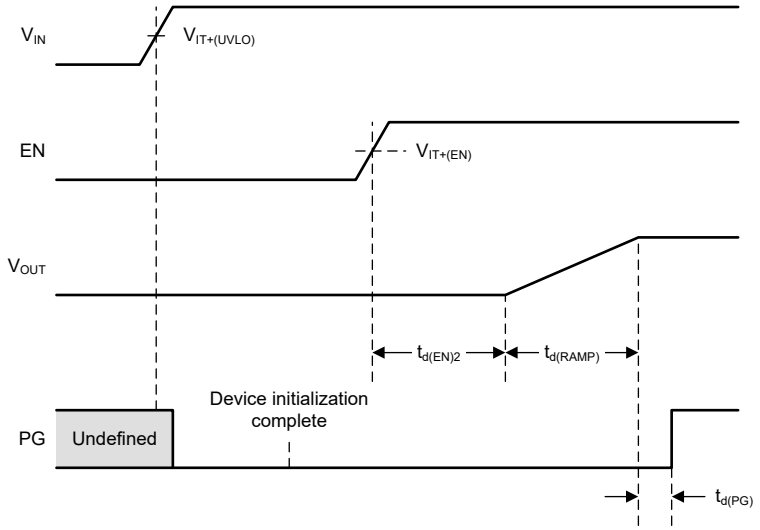


図 7-8. 外部信号が EN ピンに接続されている場合のスタートアップ タイミング

CONTROL2 レジスタの SSTIME[1:0] ビットを使用して、ソフトスタート ランプの持続時間を選択します。

- $t_{d(RAMP)}$ = 500µs
- $t_{d(RAMP)}$ = 1ms (デフォルト)
- $t_{d(RAMP)}$ = 2ms
- $t_{d(RAMP)}$ = 4ms

ユーザーが以下のようにプログラムしている場合は、デバイスのソフトスタート シーケンスがすでに開始されたとき、ソフトスタート シーケンスが完了するまで、デバイスは新しい値を無視します。

- 新しい出力電圧設定ポイント(VSET[7:0])
- 出力電圧範囲 (VRANGE[1:0])
- ソフトスタート時間 (SSTIME[1:0]) 設定

Copyright © 2025 Texas Instruments Incorporated

ソフトスタート中に VSET[7:0] の値をユーザーが変更すると、デバイスは最初にソフトスタート シーケンスが開始した時点の VSET[7:0] の値に上昇します。そして、ソフトスタートが完了すると、デバイスは新しい値まで上昇または下降します。

デバイスはプリバイアス出力の起動ができます。この場合、内部電圧ランプの一部のみが外部から検出されます (図 7-9 を参照)。

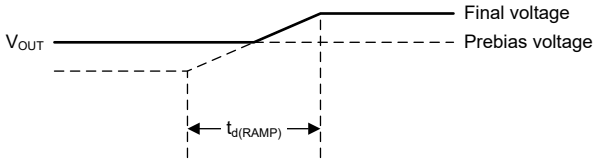


図 7-9. プリバイアス出力の起動

スタートアップ ランプ中は、他の構成設定や動作条件に関係なく、デバイスは「*常に*」DCM で動作することに注意してください。

7.3.5 スイッチング周波数の選択

デバイスの初期化時に、デバイスの抵抗/デジタル コンバータによって FSEL ピンの状態が決定され、表 7-2 に従って DC/DC コンバータのスイッチング周波数が設定されます。

表 7-2. スイッチング周波数の選択肢

FSEL ピン(1)	スイッチング周波数
GND への短絡	1.5MHz
6.2kΩ から GND へ	2.25MHz
47kΩ を V_{IN} へ	2.5MHz
V_{IN} への短絡	3MHz

(1) 信頼性の高い電圧設定を得るため、FSEL ピンに接続された浮遊電流パスが存在しないこと、および FSEL ピンと GND の間の寄生容量が 100pF 未満であることを確認します。

図 7-10 に、FSEL ピンの状態を検出するために使用される R2D コンバータの簡略ブロック図を示します (同一の回路が VSEL ピンの状態の検出にも使用されます。セクション 7.3.6.2 を参照)。

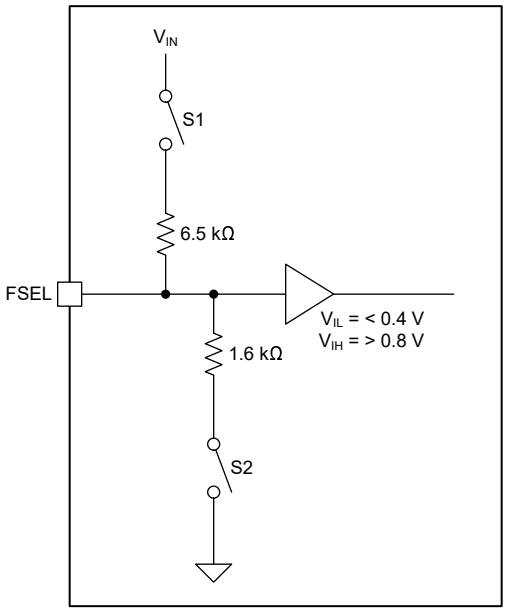


図 7-10. FSEL R2D コンバータの機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

FSEL ピンの状態の検出は次のように動作します。

最上位ビット (MSB) を検出するため、回路は S1 と S2 を開き、FSEL ピンに high または low レベルが接続されているかどうかを入力バッファが検出します。

最下位ビット (LSB) を検出する場合:

- MSB が 0 の場合、回路は S1 を閉じます。入力バッファが high レベルを検出すると、LSB = 1 になります。回路が low レベルを検出すると、LSB = 0 になります。
- MSB が 1 の場合、回路は S2 を閉じます。入力バッファが low レベルを検出すると、LSB = 0 になります。回路が high レベルを検出すると、LSB = 1 になります。

7.3.6 出力電圧設定

7.3.6.1 出力電圧範囲

このデバイスは、4 つの電圧範囲に対応しています。CONTROL2 レジスタの VRANGE[1:0] ビットは、アクティブにする範囲を制御します (表 7-3 を参照)。デバイス初期化後のデフォルトの出力電圧範囲は 0.4V ～ 1.675V で、5mV 刻みです。

表 7-3. 電圧レンジ

VRANGE[1:0]	電圧レンジ
0b00	0.4V～0.71875V (1.25mV 刻み)
0b01	0.4V～1.0375V (2.5mV 刻み)
0b10	0.4V～1.675V (5mV 刻み)
0b11	0.8V～3.3V (10mV 刻み)

VRANGE[1:0] ビットの変更の後には、VSET[7:0] ビットの値が変化しない場合でも、VSET レジスタに書き込む必要があります。このシーケンスは、デバイスが新しい電圧範囲の使用を開始するために必要です。

0.8V ～ 3.35V の範囲に切り替えると、デバイスは内部リファレンスを 0.4V ～ 0.8V の範囲で切り替えます。変更中に発生する可能性のある出力電圧のオーバーシュートまたはアンダーシュートを防止するには、新しい範囲と古い範囲の両方で発生する出力電圧で VRANGE の変更を行う必要があり、VSET[7:0] ビットを新しい範囲と古い範囲の両方で同じ出力電圧に設定する必要があります。

正常に動作させるには、入力電圧は選択した出力電圧よりも 1.4V 以上高い必要があります。

I^2C のないデバイス バリアントでは、出力電圧範囲は工場出荷時に 0.4V ～ 1.675V に設定されています。

7.3.6.2 出力電圧の設定ポイント

選択した範囲と一緒に、VSET レジスタの VSET[7:0] ビットは、デバイスの出力電圧設定点を制御します (表 7-4 を参照)。

表 7-4. 起動時の電圧設定

VRANGE[1:0]	出力電圧の設定ポイント
0b00	0.4V + VSET[7:0] × 1.25mV
0b01	0.4V + VSET[7:0] × 2.5mV
0b10	0.4V + VSET[7:0] × 5mV
0b11	0.8V + VSET[7:0] × 10mV

初期化時、デバイスは VSEL ピンの状態を読み取り、表 7-5 に従ってデフォルトの出力電圧を選択します。VSEL ピンはデバイスの I^2C ターゲット アドレスも選択することに注意してください (表 7-10 を参照)。

Copyright © 2025 Texas Instruments Incorporated

表 7-5. デフォルトの出力電圧の設定ポイント

VSEL ピン(1)	部品番号	VSET[7:0]	出力電圧の設定ポイント
GND に 6.2kΩ	TPS6287xZ0	0x50	800mV
	TPS6287xZ1	0x28	600mV
	TPS6287xZ2	0x14	500mV
	TPS6287xZ4	0x5A	850mV
	TPS6287xZ5	0x00	400mV
GND への短絡	すべて	0x46	750mV
V_{IN} への短絡	すべて	0x5F	875mV
47 kΩ から V_{IN} へ	TPS6287xZ0	0x50	800mV
	TPS6287xZ1	0x64	900mV
	TPS6287xZ2	0x82	1050mV
	TPS6287xZ4	0x78	1000mV
	TPS6287xZ5	0x00	400mV

(1) 信頼性の高い電圧設定を得るため、VSEL ピンに接続された浮遊電流パスが存在しないこと、および VSEL ピンと GND の間の寄生容量が 100pF 未満であることを確認します。

デバイスがすでにソフトスタート シーケンスを開始している状態で、ユーザーが新しい出力電圧設定値 (VSET[7:0])、出力電圧範囲 (VRANGE[1:0])、またはソフトスタート時間 (SSTIME[1:0]) を設定しても、デバイスはソフトスタート シーケンスが完了するまでその新しい値を無視します。ソフトスタート中に VSET[7:0] の値をユーザーが変更すると、デバイスは最初にソフトスタート シーケンスが開始した時点の VSET[7:0] の値に上昇します。ソフトスタートが完了すると、新しい値まで上昇または下降します。

ユーザーが EN 信号が low の間に VSET[7:0]、VRAMP[1:0]、または SSTIME[1:0] を変更した場合、デバイスは次回ユーザーがデバイスを有効化したときに新しい値を使用します。

起動時、出力電圧は、VSEL ピンで設定された目標値まで上昇すると、I^2C インターフェイス経由でデバイスにプログラムされた新しい値まで上昇または下降します。

7.3.6.3 デフォルト以外の出力電圧の設定ポイント

デフォルトの電圧範囲や電圧設定値の組み合わせがアプリケーションに適切でない場合は、ユーザーはデバイスを有効にする前に、I^2C によってこれらの設定を変更することができます。その後、ユーザーが EN ピンを high にすると、デバイスは所望の起動電圧で立ち上がります。

ユーザーが「*デバイスのランプ中*」に I^2C を使用してデバイス設定を変更した場合は、ランプが完了するまでの変更は無視されることに注意してください。

7.3.6.4 ダイナミック電圧スケーリング

DC/DC コンバータがデバイスの動作中に出力電圧の設定ポイントを変更すると、デバイスは制御された方法で新しい電圧設定へと上昇または下降します。

CONTROL1 レジスタの VRAMP[1:0] ビットは、DVS 中にデバイスがある電圧から別の電圧に上昇するときのスルーレートを設定します (表 7-6 を参照)。

表 7-6. 動的電圧 スケーリング スルーレート

VRAMP[1:0]	DVS スルーレート
0b00	10mV/µs (0.5µs/刻み)
0b01	5mV/µs (1µs/刻み)
0b10	1.25mV/µs (5µs/刻み)
0b11	0.5mV/µs (10µs/刻み)

Copyright © 2025 Texas Instruments Incorporated

出力をより高い電圧に上げるには、追加の出力電流が必要になることに注意してください。そのため、DVS 中、コンバータは次の式で求められる合計出力電流を生成する必要があります。

$$I_{OUT} = I_{OUT(DC)} + C_{OUT}\frac{dV_{OUT}}{dt} \quad (4)$$

ここで、

- I_{OUT} はより高い電圧に上昇している間にコンバータが生成する必要がある合計電流です。
- $I_{OUT(DC)}$ は DC 負荷電流です。
- C_{OUT} は合計出力キャパシタンスです。
- dV_{OUT}/dt は出力電圧のスルーレートです (0.5mV/µs ～ 10mV/µs の範囲でプログラマブル)。

正常に動作させるには、DVS 中の合計出力電流がデバイスの電流制限を超えないことを確認してください。

7.3.7 補償 (COMP)

COMP ピンは、外部補償ネットワークの接続ポイントです。代表的なアプリケーションでは、GOSNS に対する直列接続の抵抗とコンデンサで十分です。直列接続の抵抗は、広範囲の動作条件に対してループ応答を最適化するのに十分な範囲も提供します。

複数のデバイスをスタック構成で使用する場合、すべてのデバイスは共通の補償回路を共有し、COMP ピンによってデバイス間の電流共有が等しくなります (セクション 7.3.17 を参照)。

7.3.8 モード選択およびクロック同期 (MODE/SYNC)

MODE/SYNC ピンに High レベルが印加されると、強制 PWM 動作が選択されます。MODE/SYNC ピンが low レベルになると、パワーセーブ動作が選択され、デバイスは負荷条件に応じて PWM と PFM の間を自動的に遷移します。

ユーザーが MODE/SYNC ピンに有効なクロック信号を印加すると、デバイスはスイッチング サイクルを外部クロックに同期させ、強制 PWM 動作を自動的に選択します。

MODE/SYNC ピンは CONTROL1 レジスタの FPWMEN ビットと論理 OR されます (表 7-1 を参照)。

複数のデバイスをスタック構成で使用する場合、2 次側デバイスの MODE/SYNC ピンはクロック信号の入力として機能します (セクション 7.3.17 を参照)。

7.3.9 スペクトラム拡散クロック処理 (SSC)

このデバイスはスペクトラム拡散クロック機能を備え、電磁干渉 (EMI) を低減できます。SSC 機能がアクティブのとき、デバイスは公称値の ±10% までスイッチング周波数を変調します。周波数変調は三角波特性を持っています (図 7-11 を参照)。

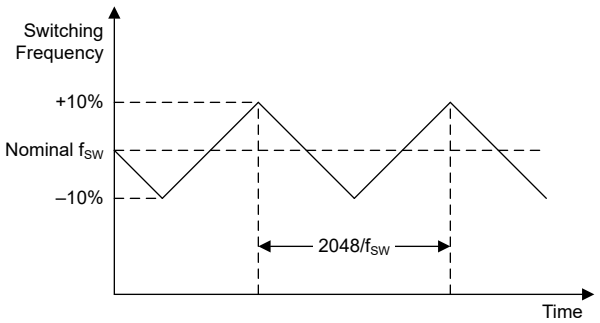


図 7-11. スペクトラム拡散クロック処理の動作

SSC 機能を使用するには、次のことを確認します。

- CONTROL1 レジスタの SSCEN = 1。

- クロックが外部クロックに同期していないこと。

TI は、SSC を使用する場合は FPWM 動作を推奨しますが、PSM 動作で SSC を使用できます。SSC 機能を無効化するには、CONTROL1 レジスタで SCCEN = 0 であることを確認します。

スタック構成の複数のデバイスで SSC 機能を使用するには、1 次側コンバータが内部発振器から動作し、すべての 2 次側コンバータが 1 次側クロックに同期するようにします (図 7-15 を参照)。

7.3.10 出力放電

このデバイスには出力放電機能が備わっており、デバイスが無効化された際に出力電圧が一定の速度で低下するようにし、デバイスがオフの間も出力電圧を 0V 付近に保ちます。CONTROL1 レジスタで DISCHEN = 1 のとき、出力放電機能は有効にされます。出力放電機能はデフォルトで有効になっています。

有効になっている場合、デバイスは以下の条件下で出力を放電します:

- EN ピンには low レベルが印加されている。
- CONTROL1 レジスタの SWEN = 0。
- サーマルシャットダウンイベントが発生します。
- UVLO イベントが発生します。
- OVLO イベントが発生します。

出力放電機能は、ユーザーが電源投入後に一度でもデバイスを有効化しない限り使用できません。電源オフ時、デバイスは内部電源電圧が約 1.8V を上回っている限り、出力の放電を継続します。

7.3.11 低電圧誤動作防止 (UVLO)

デバイスには低電圧誤動作防止機能があり、電源電圧が低すぎて正常な動作ができない場合、デバイスは無効化されます。UVLO 機能の負方向スレッショルドは 2.5V (標準値) です。電源電圧がこの値を下回ると、デバイスはスイッチングを停止します。CONTROL1 レジスタで DISCHEN = 1 の場合、出力放電をオンにします。また、EN ピンが Low になり、スタック内の他のすべてのデバイスが無効になります。デバイスは自動的にスイッチングを再開します。電源電圧が 2.6V (標準値) を上回ると、デバイスは新しいソフトスタート シーケンスを開始します。

7.3.12 過電圧誤動作防止 (OVLO)

デバイスには過電圧ロックアウト機能があり、電源電圧が高すぎて正常な動作ができない場合、DC/DC コンバータが無効になります。OVLO 機能の正方向スレッショルドは 6.3V (標準値) です。電源電圧がこの値を超えると、デバイスはスイッチングを停止し、CONTROL1 レジスタで DISCHEN = 1 に設定されている場合は、出力放電機能が有効になります。

デバイスは自動的にスイッチングを再開します。電源電圧が 6.2V (標準値) を下回ると、デバイスは新しいソフトスタート シーケンスを開始します。

7.3.13 過電流保護

7.3.13.1 サイクル単位の電流制限

ピーク インダクタ電流がハイサイド電流制限のしきい値を超えると、デバイスはハイサイド スイッチをオフにし、ローサイド スイッチをオンにしてインダクタ電流を減少させます。デバイスは、インダクタ電流がローサイド電流制限のしきい値を下回った場合にのみ、再びハイサイド スイッチをオンにします。

なお、電流制限コンパレータの伝播遅延により、実際の電流制限スレッショルドは、「*電気的特性*」に記載された DC 値より大きくなる場合があります。実際には、次の式で電流制限を求められます。

$$I_L = I_{LIMH} + \left(\frac{V_{IN} - V_{OUT}}{L}\right) \times t_{pd} \quad (5)$$

ここで

- I_L はインダクタ電流です。

Copyright © 2025 Texas Instruments Incorporated

- I_{LIMH} は DC で測定されるハイサイド電流制限スレッショルドです。
- V_{IN} は入力電圧
- V_{OUT} は出力電圧です。
- L は、ピーク電流レベルでの実効インダクタンスです。
- t_{pd} は電流制限コンパレータの伝播遅延です (通常は 50ns)。

7.3.13.2 ヒカップ モード

ヒカップ動作を有効にするには、CONTROL1 レジスタが HICCUPEN = 1 であることを確認します。

ヒカップ動作が有効になり、ハイサイドスイッチ電流が連続 32 スイッチングサイクルでハイサイド電流制限スレッショルドを超えると、デバイスは次の動作を行います。

- 128µs のスイッチングを停止します。その後、デバイスは自動的にスイッチングを再開します (デバイスは新しいソフトスタート シーケンスを開始)。
- STATUS レジスタの HICCUP ビットをセットする。
- PG ピンを low にします過負荷状態が解消され、デバイスが正常に起動して出力電圧をレギュレートできるまで、PG ピンは Low のまま維持されます。パワーグッド機能にはグリッチ除去回路があり、パワーグッド信号の立ち上がりエッジを 40µs (標準値) 遅延させることに注意してください。

ヒカップ動作は、出力過負荷状態が存在する限り、電流制限内の 32 サイクルで繰り返されます。その後、128µs の一時停止と、ソフトスタートが試みられます。

過負荷状態が解消されたときにユーザーが STATUS レジスタを読み取ると、デバイスは HICCUP ビットをクリアします。

7.3.13.3 電流制限モード

電流制限モードを有効にするには、CONTROL1 レジスタが HICCUPEN = 0 であることを確認します。

電流制限動作が有効になっているとき、過負荷状態が存在する間、デバイスはハイサイドスイッチの電流をサイクルごとに制限します。デバイスが連続 4 回以上のスイッチング サイクルにわたってハイサイド スイッチ電流を制限する場合、デバイスは STATUS レジスタで ILIM = 1 に設定します。

過負荷状態が解消された後にユーザーが STATUS レジスタを読み取ると、デバイスは ILIM ビットをクリアします。

7.3.14 パワー グッド (PG)

パワーグッド (PG) ピンは双方向で、次の 2 つの機能を備えています。

- スタンドアロン構成の場合、またスタック構成の主要デバイスでは、PG ピンはコンバータまたはスタックのステータスを示すオープンドレイン出力です。
- スタック構成におけるセカンダリ デバイスでは、PG ピンは入力として機能し、ソフトスタート シーケンスが完了し、スタック内のすべてのコンバータが DCM スイッチングから CCM スイッチングに切り替え可能な状態であることを示します。

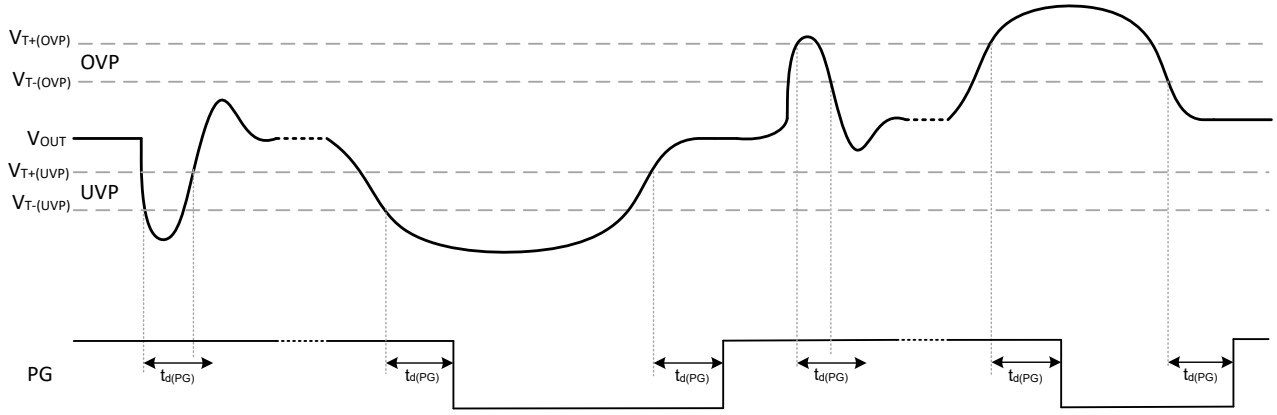


図 7-12. PG のタイミング

7.3.14.1 スタンドアロンまたは 1 次側デバイスの動作

PG ピンの主な目的は、出力電圧がレギュレート状態であるかどうかを示すことですが、PG ピンはデバイスがサーマル シャットダウン状態でも無効化状態でも示されます。表 7-7 に、スタンドアロンまたは 1 次側デバイスにおける PG ピンの動作をまとめます。

表 7-7. パワーグッド機能表

V_{IN}	EN	V_{OUT}	ソフトスタート	PGBLNKDVS	T_J	PG
V_{IN} < 2V	X	X	X	X	X	未定義
$V_{IT-(UVLO)} \geq V_{IN} \geq 2V$	X	X	X	X	X	Low
$V_{IT-(OVLO)} > V_{IN} > V_{IT+(UVLO)}$	L	X	X	X	X	Low
	H	X	アクティブ	X	X	Low
		$V_{OUT} > V_{T+(OVP)}$ or $V_{OUT} < V_{T-(UVP)}$	非アクティブ	0	X	Low
				1 (DVS 非アクティブ)	X	Low
		X		1 (DVS アクティブ)	$T_J < T_{SD}$	ハイ インピーダンス
		$V_{T-(OVP)} > V_{OUT} > V_{T+(UVP)}$		X		ハイ インピーダンス
		X	X	X	$T_J > T_{SD}$	Low
$V_{IN} > V_{IT+(OVLO)}$	X	X	X	X	X	Low

図 7-13 に、スタンドアロンまたは 1 次側デバイスのパワーグッド機能の機能ブロック図を示します。ウィンドウ コンパレータは出力電圧を監視し、出力電圧が公称出力電圧の 95% 未満 (標準値) または 公称電圧の 105% を上回る場合、コンパレータの出力が High になります。ウィンドウ コンパレータの出力はグリッチ除去されます：標準のグリッチ除去時間は 40µs。その後、オープン ドレインの PG ピンの駆動に使用されます。

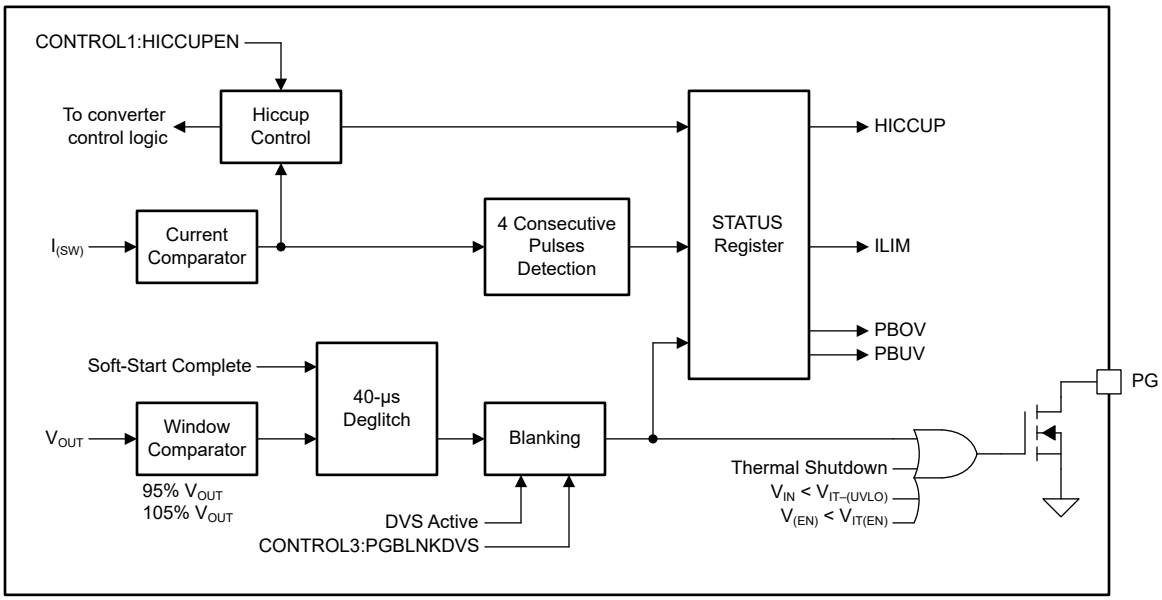


図 7-13. パワーグッド機能のブロック図 (スタンドアロンまたは 1 次側デバイス)

低電圧または過電圧出力イベントが発生すると、デバイスはそれぞれ STATUS レジスタで PBUV ビットまたは PBOV ビットを設定します。パワーバッド状態が解消された後にユーザーが STATUS レジスタを読み取ると、デバイスは PBOV および PBUV ビットをクリアします。

Copyright © 2025 Texas Instruments Incorporated

DVS 動作時は、ウィンドウ コンパレータの電圧リファレンスはランプ出力電圧の設定点に追従します。DVS が FPWM モードの間、PG は通常 low になりません。これは、DVS ランプに従って出力電圧をアクティブに上昇または下降させて駆動するためです。パワーセーブ モードでは、出力電圧を引き下げるほど十分な負荷がなく、それがウィンドウ コンパレータの制限内に留まるほど十分な速度でない場合、PG がランプダウン時に low になる可能性があります。FPWM モードとパワーセーブ モードの両方で、CONTROL3 レジスタに PGBLNKDVS = 1 を設定すると、デバイスは DVS ランプ時間中 (CONTROL1 レジスタに VRAMP[1:0] ビットで設定) パワーグッド ウィンドウ コンパレータの出力を無視し、PG ピンをハイインピーダンスに維持します。DVS 時間が経過すると、PG は再度ウィンドウ コンパレータの出力を反映します。

PG ピンは、以下の場合ウィンドウ コンパレータの出力に関係なく常に low であることに注意してください。

- デバイスがサーマルシャットダウン中
- デバイスが無効化されている
- デバイスは低電圧誤動作防止または過電圧誤動作防止 (UVLO または OVLO) 状態にある
- デバイスがソフトスタート状態にある

小さな RC フィルタ (たとえば、1kΩ + 10pF) を PG ピンに追加して、高周波信号をフィルタします。

7.3.14.2 2 次デバイスの動作

図 7-14 に、2 次側デバイスにおけるパワーグッド機能の機能ブロック図を示します。初期化中、デバイスは FF1 および FF2 をプリセットし、これによって PG ピンがプルダウンされ、デバイスが DCM で動作するように強制されます。デバイスがソフトスタートを完了すると、FF2 がリセットされ、Q1 がオフになります。しかし、スタック構成では、すべてのデバイスが同じ PG 信号を共有するため、スタック内の「すべての」デバイスがソフトスタートを完了するまで PG ピンは low のままになります。その場合 FF1 がリセットされコンバータが CCM で動作します。

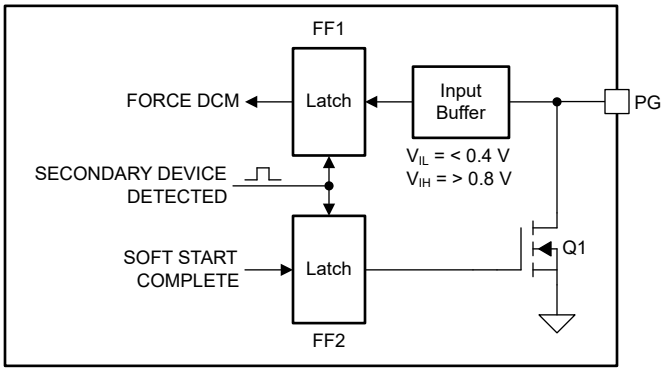


図 7-14. パワーグッド機能のブロック図 (2 次側デバイス)

7.3.15 リモート センス

このデバイスには VOSNS と GOSNS の 2 つのピンがあり、出力電圧をリモートで検出できます。リモートセンシングにより、コンバータはポイント・オブ・ロードで出力電圧を直接検出し、出力電圧レギュレーションの精度を向上できます。

7.3.16 熱警告およびシャットダウン

このデバイスは、2 レベルの過熱検出機能を備えています。

接合部温度が過熱警告スレッショルド 150℃ (標準値) を上回ると、デバイスは STATUS レジスタの TWARN ビットを設定します。接合部温度が TWARN スレッショルド 130°C (標準値) を下回っているときにユーザーが STATUS レジスタを読み取ると、デバイスは TWARN ビットをクリアします。

接合部温度が 170℃ (標準値) のサーマル シャットダウンのスレッショルドを上回ると、デバイスは次の動作を行います。

- スイッチングを停止する
- EN ピンをプルダウンする (CONTROL3 レジスタで SINGLE = 0 の場合)
- 出力放電を有効にする (CONTROL1 レジスタで DISCHEN = 1 の場合)

Copyright © 2025 Texas Instruments Incorporated

- STATUS レジスタの TSHUT ビットをセットする
- PG ピンを low にします

接合部温度が 150°C (標準値) のサーマル シャットダウンのスレッショルドを下回ると、デバイスは次の動作を行います。

- 新しいソフトスタート シーケンスから開始して、再度スイッチングを開始する
- EN ピンをハイ インピーダンス状態に設定する
- PG ピンをハイ インピーダンス状態に設定する

接合部温度が TSHUT スレッショルド 150°C (標準値) を下回っているときにユーザーが STATUS レジスタを読み取ると、デバイスは TSHUT ビットをクリアします。

すべてのデバイスが共通のイネーブル信号を共有するスタック構成では、1 つのデバイスのサーマル シャットダウン条件により、スタック全体が無効化されます。熱いデバイスが冷却されると、スタック全体が自動的に再びスイッチングを開始します。

7.3.17 スタック動作

ユーザーは「スタック」と呼ばれる方法で複数のデバイスを並列に接続することができます。たとえば、これにより、出力電流能力を高めたり、デバイスの接合部温度を下げたりすることができます。スタックは、1 つの *プライマリ* デバイスと 1 つ以上の *セカンダリ* デバイスで構成されます。初期化時に、各デバイスは SYNC_OUT ピンを監視して、1 次側デバイスまたは 2 次側デバイスとして動作する必要があるかを判断します。

- SYNC_OUT ピンとグランドの間に 47kΩ の抵抗を接続すると、そのデバイスは セカンダリ デバイスとして動作します。
- SYNC_OUT ピンがハイ インピーダンス状態の場合、そのデバイスはプライマリ デバイスとして動作します。

図 7-15 に、2 個の TPS6287x デバイスをスタックした推奨相互接続を示します。

Copyright © 2025 Texas Instruments Incorporated

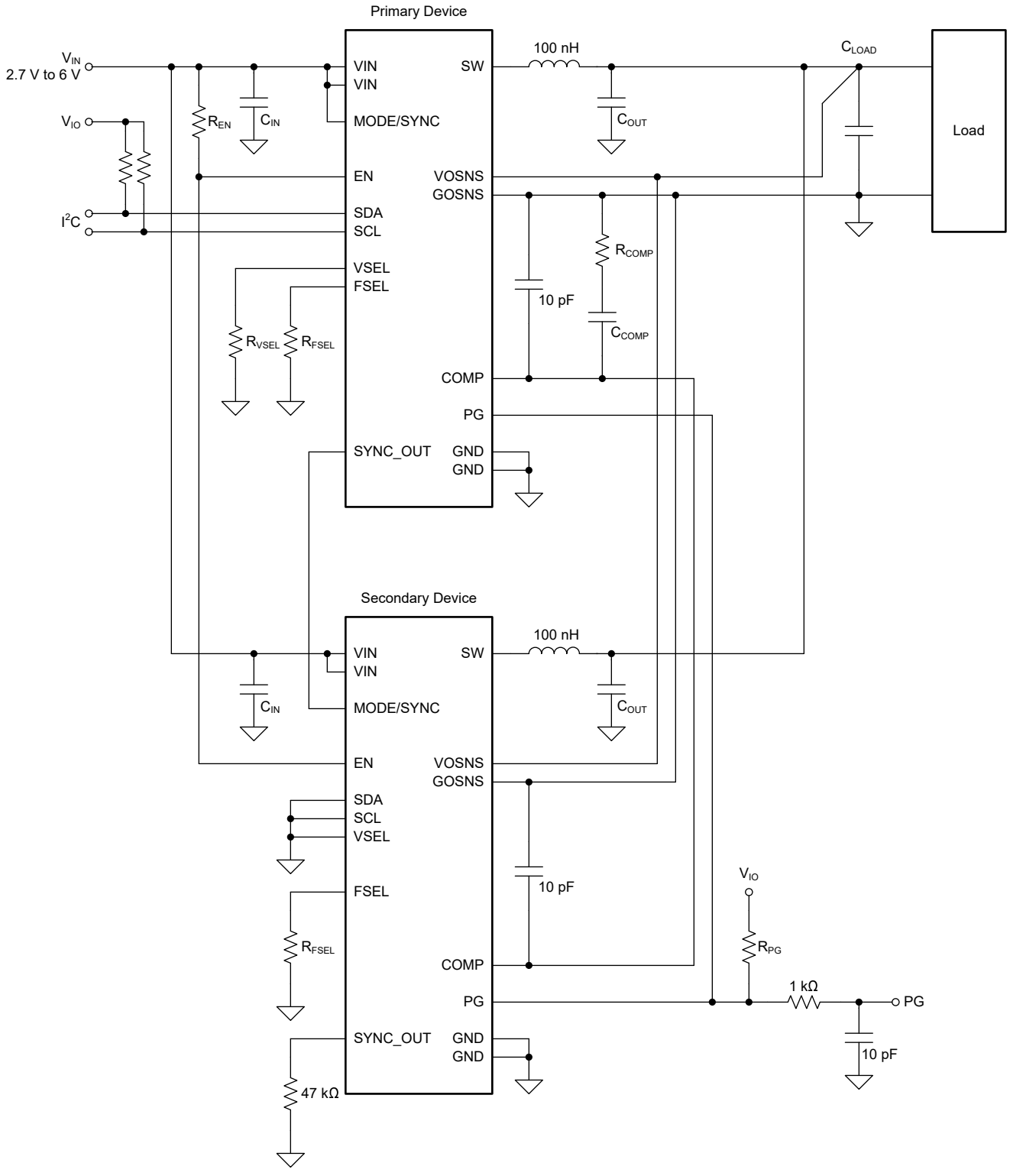


図 7-15. 2 個の TPS6287x デバイスをスタックした構成

注意すべき重要なポイントは次のとおりです。

- スタック内のすべてのデバイスは共通のイネーブル信号を共有しています。この信号は、15kΩ 以上の抵抗でプルアップする必要があります。

- スタック内のすべてのデバイスは共通のパワーグッド信号を共有しており、この信号は Vsub(IH_PG) より高いロジック high レベルにプルアップする必要があります。PG 出力を使用しない場合でも、PG ピンは接続またはプルアップする必要があります。
- スタック内のすべてのデバイスは共通の補償信号を共有します。
- すべてのセカンダリ デバイスは、SYNC_OUT ピンとグランドの間に 47kΩ 抵抗を接続する必要があります。
- *各デバイスの*リモート センス ピン (VOSNS および GOSNS) は接続する必要があります (これらのピンをフローティングのままにしないでください)。
- 各デバイスは、同じスイッチング周波数に設定する必要があります。
- プライマリ デバイスは強制 PWM 動作用に構成する必要があります (セカンダリ デバイスは自動的に強制 PWM 動作用に構成されます)。
- スタック構成は、外部クロックとの同期またはスペクトラム拡散クロック処理をサポートできます。
- デフォルトの出力電圧の設定には、1 次側デバイスの VSEL ピンのみが使用されます。2 次側デバイスの VSEL ピンは使わず、グランドに接続する必要があります。
- セカンダリ デバイスの SDA および SCL ピンは使わず、グランドに接続する必要があります。
- スタック構成ではデイジーチェーン接続されたクロック信号を使用し、各デバイスは隣接するデバイスに対して約 140° の位相差を持ってスイッチング動作を行います。クロック信号をデイジーチェーン接続するには、プライマリ デバイスの SYNC_OUT ピンを最初のセカンダリ デバイスの MODE/SYNC ピンに接続します。最初のセカンダリ デバイスの SYNC_OUT ピンを、2 番目のセカンダリ デバイスの MODE/SYNC ピンに接続します。スタック内のすべてのデバイスに対してこの接続方式を続行し、デバイスをデイジーチェーン接続します。
- ヒカップ過電流保護は、スタック構成で使用しないでください。

スタック構成では、共通イネーブル信号は SYSTEM_READY 信号としても機能します (セクション 7.3.3 を参照)。デバイスの起動時またはフォルトの発生時に、スタック内の各デバイスが EN ピンを Low にすることができます。そのため、すべてのデバイスがスタートアップ シーケンスを完了し、フォルトがない場合のみ、スタックが有効になります。いずれか 1 つのデバイスに故障が発生した場合、その故障状態が存在している限り、スタック全体が無効化します。

起動中、イネーブル信号 (SYSTEM_READY) が Low になっている間、プライマリ コンバータは COMP ピンを Low にします。イネーブル信号が High になると、プライマリ デバイスは COMP ピンをアクティブに制御し、スタック内のすべてのコンバータが COMP 電圧に従います。スタートアップ時に、スタック内の各デバイスは、本デバイスが初期化される間、PG ピンを low にします。初期化が完了すると、スタック内の 2 次側の各デバイスは PG ピンを高インピーダンス状態にし、PG 信号の状態は 1 次側デバイスのみが制御します。PG ピンは、スタックが立ち上がりシーケンスを完了し、出力電圧が規定範囲内に達したときに High になります。スタック内の 2 次側コンバータは、パワーグッド信号の立ち上がりエッジを検出すると、DCM 動作から CCM 動作に切り替わります。スタックが正常に起動すると、プライマリ デバイスは通常の方法でパワーグッド信号を制御します。スタック構成では、個々のデバイスにのみ影響する故障と、すべてのデバイスに影響するその他の故障があります。たとえば、1 つのデバイスが電流制限に入った場合、そのデバイスのみが影響を受けます。しかし、1 つのデバイスにサーマル シャットダウンまたは低電圧誤動作防止イベントが発生すると、共有のイネーブル (SYSTEM_READY) 信号により、すべてのデバイスが無効化されます。

スタック動作中の機能

デバイス機能の一部はスタック動作中は使用できないか、プライマリ コンバータでのみ使用できます。表 7-8 に、スタック動作時に使用できる機能をまとめます。

表 7-8. スタック動作中の機能

機能	1 次側デバイス	2 次側デバイス	注記
UVLO	あり	あり	共通のイネーブル信号
OVLO	あり	あり	共通のイネーブル信号
OCP — 電流制限	あり	あり	個人向け
OCP — ヒカップ OCP	なし	なし	スタック操作中は使用しないでください
サーマル シャットダウン	あり	あり	共通のイネーブル信号
パワーグッド (ウィンドウ コンパレータ)	あり	なし	プライマリ デバイスのみ

Copyright © 2025 Texas Instruments Incorporated

表 7-8. スタック動作中の機能 (続き)

機能	1 次側デバイス	2 次側デバイス	注記
I²C インターフェイス	あり	なし	プライマリ デバイスのみ
DVS	I²C 経由で	なし	プライマリ デバイスのみで制御される電圧ループ
SSC	I²C 経由で	はい、プライマリ デバイス経由で	プライマリ デバイスからセカンダリ デバイスへのデイジーチェーン接続
SYNC	あり	はい、プライマリ デバイス経由で	1 次側デバイスに適用される同期クロック
高精度イネーブル	なし	なし	バイナリイネーブルのみ
出力放電	I²C 経由で	あり	セカンダリ デバイスでは常に有効になっています

スタック動作中の故障処理

スタック構成では、個々のデバイスにのみ影響する故障と、すべてのデバイスに影響するその他の故障があります。たとえば、1 つのデバイスが電流制限に入った場合、そのデバイスのみが影響を受けます。1 つのデバイスにサーマル シャットダウンまたは低電圧誤動作防止イベントが発生すると、共有のイネーブル (SYSTEM_READY) 信号により、すべてのデバイスが無効化されます。表 7-9 に、TPS6287x デバイスのスタック動作中のフォルト処理を示します。

表 7-9. スタック動作中の故障処理

フォルト条件	デバイスの応答	システムの応答
UVLO	イネーブル信号が Low にプルされる	新しいソフトスタート
OVLO		
サーマル シャットダウン		
電流制限	イネーブル信号は High に維持される	エラー アンプがクランプされる

7.4 デバイスの機能モード

7.4.1 パワーオン リセット

電源電圧が POR スレッショルド 1.4V (標準値) 未満のときに、デバイスは POR モードで動作します。

POR モードでは、どの機能も利用できず、デバイスのレジスタの内容は無効です。

電源電圧が POR スレッショルドを上回ると、デバイスは POR モードを終了し、UVLO モードに移行します。

7.4.2 低電圧誤動作防止

電源電圧が POR スレッショルドと UVLO スレッショルドの間にあるとき、デバイスは UVLO モードで動作します。

デバイスが POR モードから UVLO モードに移行した場合、利用できる機能はありません。デバイスがスタンバイモードから UVLO モードに移行する場合は、出力放電機能が利用可能です。デバイスのレジスタの内容は UVLO モードで有効です。

電源電圧が POR スレッショルドを下回ると、デバイスは UVLO モードを終了し、POR モードに移行します。電源電圧が UVLO スレッショルドを上回ると、デバイスは UVLO モードを終了し、スタンバイモードに移行します。

7.4.3 スタンバイ

電源電圧が UVLO スレッショルドよりも高く (およびデバイスの初期化が完了し)、次のいずれかの条件が満たされている場合、デバイスはスタンバイ モードで動作します。

- EN ピンには low レベルが印加されている。
- CONTROL1 レジスタの SWEN = 0。
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドよりも高くなっている。

Copyright © 2025 Texas Instruments Incorporated

- 電源電圧が OVLO スレッショルドを超えている。

デバイスは、デバイスのパワーオン リセット後に電源電圧が UVLO スレッショルド電圧を超えて上昇すると、指定された期間 $t_{d(EN)1}$ (標準値 175µs、最大値 500µs) 中に初期化されます。電源電圧が UVLO スレッショルドを下回り、POR スレッショルドを下回らない場合、電源電圧が再度上昇しても、デバイスは再初期化されません。初期化中に、デバイスは FSEL、VSEL、および SYNC_OUT ピンの状態を読み取ります。

デバイスの初期化が完了した後、スタンバイ モードでは以下の機能が使用可能になります。

- I^2C インターフェイス
- 出力放電
- パワー グッド

電源電圧が UVLO スレッショルドを下回ると、デバイスはスタンバイモードから UVLO モードに移行します。次のすべての条件が満たされると、デバイスはスタンバイモードを終了し、オンモードに移行します。

- EN ピンには high レベルが印加されている。
- CONTROL1 レジスタの SWEN = 1。
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドより低くなっている。
- 電源電圧が OVLO スレッショルドを下回っている。

7.4.4 オン

電源電圧が UVLO スレッショルドより高く、次のすべての条件が成立する場合、デバイスはオン モードで動作します。

- EN ピンには high レベルが印加されている。
- CONTROL1 レジスタの SWEN = 1。
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドより低くなっている。
- 電源電圧が OVLO スレッショルドを下回っている。

すべての機能はオン モードで使用できます。

電源電圧が UVLO スレッショルドを下回ると、デバイスはオン モードを維持し、UVLO モードに移行します。次のいずれかの条件に該当する場合、デバイスはオン モードを終了します。

- EN ピンには low レベルが印加されている。
- CONTROL1 レジスタの SWEN = 0。
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドよりも高くなっている。
- 電源電圧が OVLO スレッショルドを超えている。

7.5 プログラミング

7.5.1 シリアル インターフェイスの説明

I^2C は、Philips Semiconductor (現在の NXP Semiconductors)によって開発された 2 線式シリアル インターフェースです (2014 年 4 月 4 日付の I^2 C-Bus 仕様とユーザーマニュアル改訂 6 を参照)。バスは、プルアップ構造を持つデータライン (SDA) とクロック ライン (SCL) で構成されます。バスが *アイドル* のときは、SDA ラインと SCL ラインの両方が High にプルされます。I^2C 互換のデバイスはすべて、オープン ドレインの I/O ピンである SDA および SCL を介して I^2C バスに接続します。*コントローラ* (通常はマイクロコントローラまたはデジタル信号プロセッサ) がバスを制御します。コントローラは SCL 信号とデバイス アドレスを生成します。コントローラは、データ転送の開始と停止を示す特定の条件も生成します。「*ターゲット*」は、コントローラの制御下でバス上でデータを受信、送信、またはその両方を実行します。

TPS6287x デバイスはターゲットとして動作し、以下の転送「*モード*」で I^2C-Bus 仕様で定義されているように動作します。スタンダード モード (100Kbps)、ファスト モード (400Kbps)、ファスト モード プラス (1Mbps)。このインターフェイスにより、電源設計の柔軟性が向上し、ほとんどの機能を瞬時のアプリケーション要件に応じて新しい値にプログラムできます。入力電圧が 1.4V を上回っている限り、レジスタの内容はそのまま維持されます。

スタンダード モードとファスト モードのデータ転送プロトコルはまったく同じであるため、このデータ シートではこれらのモードを F/S モードと呼びます。このデバイスは 7 ビットアドレッシングをサポートしています。ゼネラルコールアドレスはサポートされていません。

Copyright © 2025 Texas Instruments Incorporated

電源投入時の VSEL ピンの状態により、デバイスの I²C ターゲット アドレスが定義されます (表 7-10 を参照)。VSEL ピンは、デバイスのデフォルトの起動電圧も設定することに注意してください (表 7-4 を参照)。

表 7-10. I²C インターフェイス ターゲット アドレスの選択

VSEL ピン	I²C ターゲット アドレス (1)
6.2kΩ から GND へ	0x40
GND への短絡	0x41
V_{IN} への短絡	0x42
47kΩ を V_{IN} へ	0x43

(1) I²C アドレスを使用可能。このパラメータはデバイス番号によって異なります。セクション 4 の「デバイスのオプション」表を参照

TI では、I²C エンジンが確実にリセットされるように、I²C コントローラは、SDA および SCL プルアップ電圧の初期パワーアップ後に I²C バス上で STOP 条件を開始することをお勧めしています。

7.5.2 スタンダード モード、ファスト モード、ファスト モード プラスのプロトコル

コントローラは、スタート条件を生成することでデータ転送を開始します。スタート条件は、図 7-16 に示すように、SCL が High のときに SDA ラインで High から Low への遷移が発生するときです。すべての I²C 互換デバイスは、スタート条件を認識する必要があります。

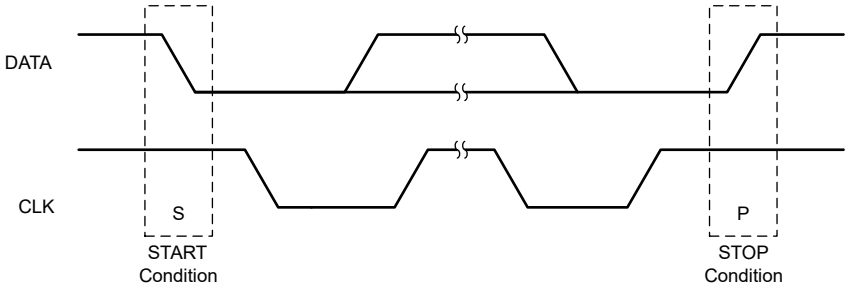


図 7-16. 開始条件と停止条件

次に、コントローラは SCL パルスを生成し、7 ビットのアドレスと読み取り/書き込み方向ビット R/$\overline{W}$ を SDA ライン上で送信します。すべての送信中、コントローラはデータが有効であることを確認します。有効なデータ条件では、クロック パルスの High 期間中、SDA ラインのデータが安定している必要があります (図 7-17 を参照)。すべてのデバイスは、コントローラによって送信されたアドレスを認識して、そのアドレスを内部の固定アドレスと比較します。一致するアドレスを持つターゲット デバイスだけが、9 回目の SCL サイクルの High 期間全体の間 SDA ラインを Low にすることで、アクノリッジを生成します (図 7-18 を参照)。この確認を検出すると、コントローラはターゲットとの通信リンクが確立されたことを認識します。

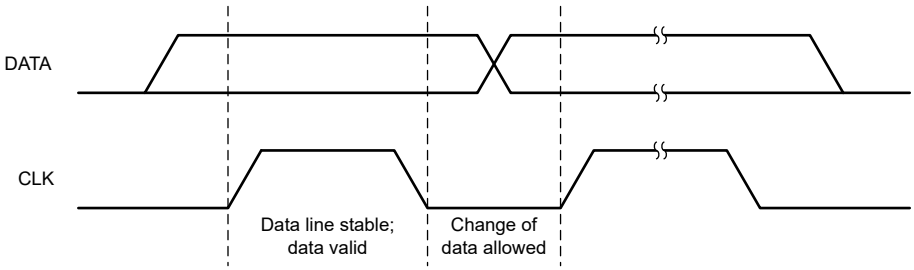


図 7-17. シリアル インターフェイスでのビット転送

コントローラは、データをターゲットへ送信するか (R/$\overline{W}$ ビット 0)、ターゲットからデータを受信するため (R/$\overline{W}$ ビット 1)、さらに SCL サイクルを生成します。どちらの場合も、コントローラから送信されたデータに対してターゲットがアクノリッジを返す必要があります。したがって、アクノリッジ信号は、どちらが受信側かに応じて、コントローラが生成する場合とターゲット

Copyright © 2025 Texas Instruments Incorporated

が生成する場合があります。8 ビットのデータと 1 ビットのアクノリッジから構成される 9 ビットの有効なデータ シーケンスを、必要なだけ続けることができます。

データ転送を伝達するために、コントローラは、SCL ラインが high のときに SDA ラインを low から high にして、ストップ条件を生成します (図 7-16 を参照)。このストップ条件によってバスが解放され、アドレス指定されたターゲットとの通信リンクが停止します。すべての I2 C 互換デバイスが、ストップ条件を認識する必要があります。ストップ条件の受信によって、すべてのデバイスはバスが解放されたことを認識し、スタート条件および一致するアドレスが送信されるのを待ちます。

このセクションに示されていないレジスタ アドレスからデータを読み取ろうとした場合には、0x00 が読み出されます。

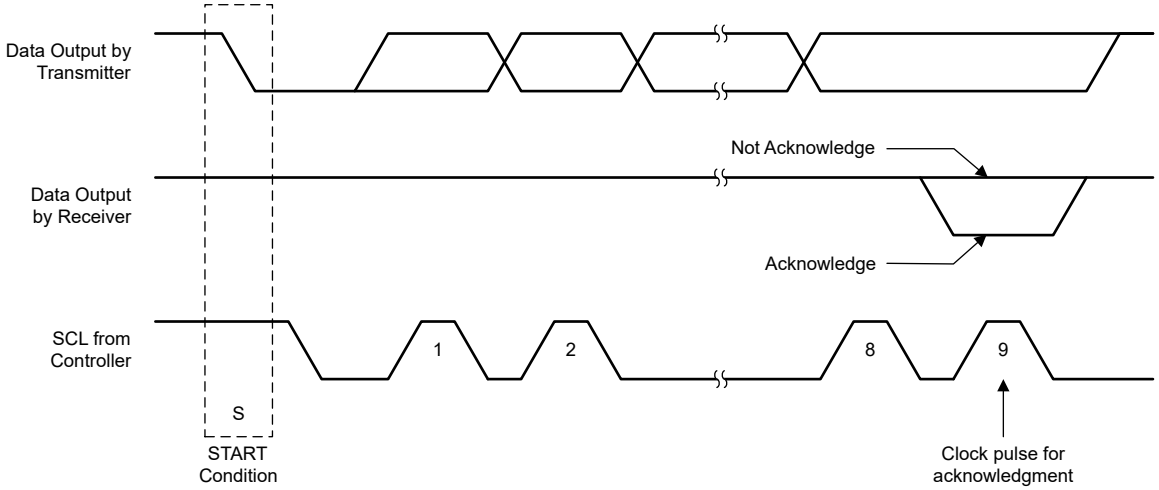


図 7-18. I²C バスのアクノリッジ

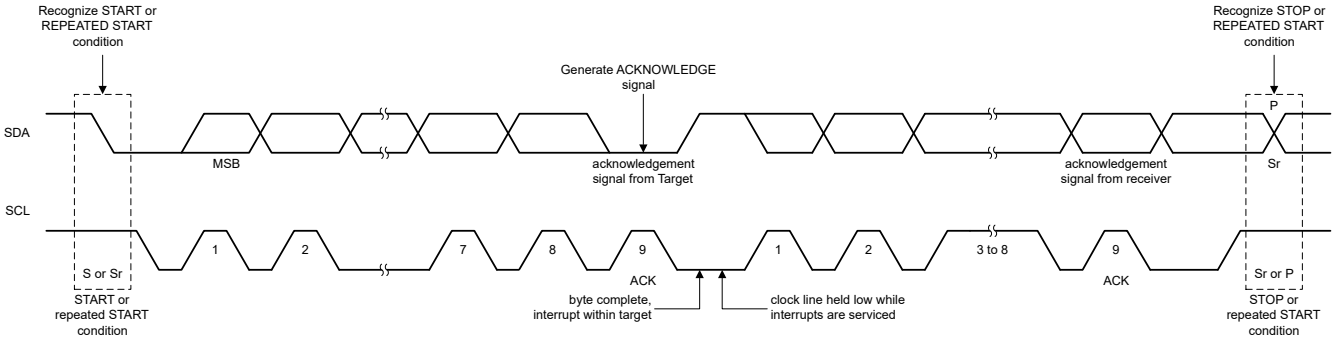


図 7-19. バス プロトコル

7.5.3 I²C 更新シーケンス

1 回の更新には、次が必要です。

- 開始条件
- 有効な I²C アドレス
- レジスタ アドレス バイト
- データ バイト

各バイトを受信すると、デバイスは 1 つのクロック パルスの High 期間中に SDA ラインを low にすることで、アクノリッジを行います。有効な I²C アドレスによって、ターゲットが選択されます。ターゲットは、LSB バイトに続くアクノリッジ信号の立ち下がりエッジで更新を実行します。

Copyright © 2025 Texas Instruments Incorporated



図 7-20. スタンダード、ファスト、ファスト プラスの各モードでの「書き込み」データ転送形式

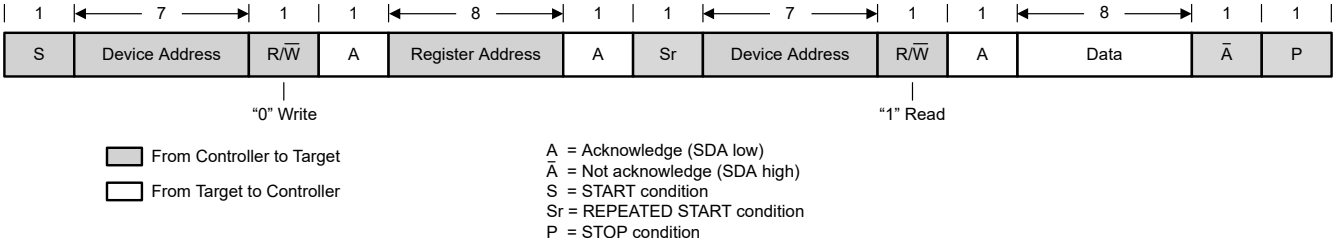


図 7-21. スタンダード、ファスト、ファスト プラスの各モードでの「読み取り」データ転送形式

7.5.4 I²C レジスタ リセット

I²C レジスタは、次の方法でリセットできます。

- 入力電圧を 1.4V (標準値) 未満にする。
- CONTROL レジスタの RESET ビットをセットする。RESET = 1 の場合、すべてのレジスタがデフォルト値にリセットされ、直ちに新しい起動が開始されます。$t_{d(EN)2}$ の後、ユーザーは I²C レジスタを再度プログラムできます。

8 レジスタ マップ

表 8-1 に、デバイスのレジスタを示します。表 8-1 に記載されていないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更しないでください。

表 8-1. デバイスのレジスタ

アドレス	略称	レジスタ名	セクション
0h	VSET	出力電圧の設定ポイント	表示
1h	CONTROL1	コントロール 1	表示
2h	CONTROL2	コントロール 2	表示
3h	CONTROL3	コントロール 3	表示
4h	STATUS	ステータス	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. デバイスのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-*n*		リセット後の値またはデフォルト値

Copyright © 2025 Texas Instruments Incorporated

8.1 VSET レジスタ (アドレス = 0h) [リセット = X]

図 8-1 に、VSET を示し、表 8-3 に、その説明を示します。

概略表に戻ります。

このレジスタは出力電圧の設定ポイントを制御します。

図 8-1. VSET レジスタ

7	6	5	4	3	2	1	0
VSET							
R/W-X							

表 8-3. VSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	VSET	R/W	X	出力電圧の設定ポイント (CONTROL2 レジスタの範囲設定ビットを参照。) 範囲 1: 出力電圧の設定ポイント = 0.4V + VSET[7:0] × 1.25mV 範囲 2: 出力電圧の設定ポイント = 0.4V + VSET[7:0] × 2.5mV 範囲 3: 出力電圧の設定ポイント = 0.4V + VSET[7:0] × 5mV 範囲 4: 出力電圧の設定ポイント = 0.8V + VSET[7:0] × 10mV 電源投入時の VSEL ピンの状態によって、リセット値が決まります。

Copyright © 2025 Texas Instruments Incorporated

8.2 CONTROL1 レジスタ (アドレス = 1h) [リセット = 2Ah]

図 8-2 に、CONTROL1 を示し、表 8-4 に、その説明を示します。

概略表に戻ります。

このレジスタでは、様々なデバイス設定を制御できます。

図 8-2. CONTROL1 レジスタ

7	6	5	4	3	2	1	0
リセット	SSCEN	SWEN	FPWMEN	DISCHEN	HICCUPEN	VRAMP	
R/W-0b	R/W-0b	R/W-1b	R/W-0b	R/W-1b	R/W-0b	R/W-10b	

表 8-4. CONTROL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	リセット	R/W	0b	デバイスのリセット 0b = 影響なし 1b = すべてのレジスタをデフォルト値にリセット このビットを読み出すと常に 0 が返されます。
6	SSCEN	R/W	0b	スペクトラム拡散クロック処理イネーブル 0b = SSC 動作ディスエーブル 1b = SSC 動作イネーブル
5	SWEN	R/W	1b	ソフトウェア イネーブル 0b = スイッチング ディスエーブル (レジスタ値は保持) 1b = スイッチング ディスエーブル (イネーブル遅延なし)
4	FPWMEN	R/W	0b	強制 PWM イネーブル 0b = パワーセーブ動作イネーブル 1b = 強制 PWM 動作イネーブル このビットは MODE/SYNC ピンと論理 OR されます。MODE/SYNC ピンに high レベルまたは同期クロックが印加されると、デバイスはこのビットの状態に関係なく、強制 PWM で動作します。
3	DISCHEN	R/W	1b	出力放電イネーブル 0b = 出力放電ディスエーブル 1b = 出力放電イネーブル
2	HICCUPEN	R/W	0b	ヒカップ動作イネーブル 0b = ヒカップ動作ディスエーブル 1b = ヒカップ動作イネーブル。スタック動作中はヒカップ動作を有効にしないでください。
1-0	VRAMP	R/W	10b	ある出力電圧設定から別の出力電圧設定に変更するときの出力電圧ランプ速度 00b = 10mV/µs 01b = 5mV/µs 10b = 1.25mV/µs 11b = 0.5mV/µs

Copyright © 2025 Texas Instruments Incorporated

8.3 CONTROL2 レジスタ (アドレス = 2h) [リセット = 9h]

図 8-3 に、CONTROL2 を示し、表 8-5 に、その説明を示します。

概略表に戻ります。

このレジスタでは、様々なデバイス設定を制御できます。

図 8-3. CONTROL2 レジスタ

7	6	5	4	3	2	1	0
予約済み				VRANGE		SSTIME	
R-0000b				R/W-10b		R/W-01b	

表 8-5. CONTROL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0000b	将来使用のため予約済み。将来的なデバイス バリアントとの互換性を確保するため、これらのビットを 0 にプログラムします。
3-2	VRANGE	R/W	10b	出力電圧範囲 00b = 0.4V ～ 0.71875V (1.25mV 刻み) 01b = 0.4V ～ 1.0375V (2.5mV 刻み) 10b = 0.4V ～ 1.675V (5mV 刻み) 11b = 0.8V ～ 3.35V (10mV 刻み)
1-0	SSTIME	R/W	01b	ソフトスタート ランプ時間 00b = 0.5ms 01b = 1ms 10b = 2ms 11b = 4ms

Copyright © 2025 Texas Instruments Incorporated

8.4 CONTROL3 レジスタ (アドレス = 3h) [リセット = 0h]

図 8-4 に、CONTROL3 を示し、表 8-6 に、その説明を示します。

概略表に戻ります。

このレジスタでは、様々なデバイス設定を制御できます。

図 8-4. CONTROL3 レジスタ

7	6	5	4	3	2	1	0
予約済み						SINGLE	PGBLNKDVS
R-000000b						R/W-0b	R/W-0b

表 8-6. CONTROL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	000000b	将来使用のため予約済み。将来的なデバイス バリアントとの互換性を確保するため、これらのビットを 0 にプログラムします。
1	SINGLE	R/W	0b	単一動作。このビットは、内部 EN プルダウンと SYNC_OUT の機能を制御します。 0b = EN ピンのプルダウンおよび SYNC_OUT イネーブル 1b = EN ピンのプルダウンおよび SYNC_OUT ディスエーブル。スタック操作中は使用しないでください。
0	PGBLNKDVS	R/W	0b	DVS 時のパワーグッド ブランキング 0b = PG ピンはウィンドウ コンパレータの出力を反映します。 1b = PG ピンは DVS 時にハイインピーダンスになります。

Copyright © 2025 Texas Instruments Incorporated

8.5 STATUS レジスタ (アドレス = 4h) [リセット = 2h]

図 8-5 に、STATUS を示し、表 8-7 に、その説明を示します。

概略表に戻ります。

このレジスタは、デバイス ステータス フラグを返します。

図 8-5. ステータス レジスタ

7	6	5	4	3	2	1	0
予約済み		HICCUP	ILIM	TWARN	TSHUT	PBUV	PBOV
R-00b		R-0b	R-0b	R-0b	R-0b	R-1b	R-0b

表 8-7. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	将来使用のため予約済み。将来的なデバイス バリエーションとの互換性を確保するため、これらのビットは無視してください。
5	HICCUP	R	0b	ヒカップ。このビットは、STATUS レジスタを最後に読み取ったとき以降にヒカップ イベントが発生したかどうかを報告します。 0b = ヒカップ イベントが未発生 1b = ヒカップ イベントが発生
4	ILIM	R	0b	電流制限。このビットは、STATUS レジスタを最後に読み取った後に電流制限イベントが発生したかどうかを報告します。 0b = 電流制限イベントが未発生 1b = 電流制限イベントが発生
3	TWARN	R	0b	過熱警告。このビットは、STATUS レジスタを最後に読み取った後に過熱警告イベントが発生したかどうかを報告します。 0b = 過熱警告イベントが未発生 1b = 過熱警告イベントが発生
2	TSHUT	R	0b	サーマル シャットダウン。このビットは、STATUS レジスタを最後に読み取った後にサーマル シャットダウン イベントが発生したかどうかを報告します。 0b = サーマル シャットダウン イベントが未発生 1b = サーマル シャットダウン イベントが発生
1	PBUV	R	1b	パワーバッド低電圧。このビットは、STATUS レジスタを最後に読み取った後に、パワーバッドイベント (出力電圧が低すぎる) が発生したかどうかを示します。 0b = パワーバッド低電圧イベントが未発生 1b = パワーバッド低電圧イベントが発生
0	PBOV	R	0b	パワーバッド過電圧。このビットは、STATUS レジスタを最後に読み取った後に、パワーバッドイベント (出力電圧が高すぎる) が発生したかどうかを示します。 0b = パワーバッド過電圧イベントが未発生 1b = パワーバッド過電圧イベントが発生

Copyright © 2025 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

以下のセクションでは、代表的なアプリケーション向けの電源設計を完成させるための外部コンポーネントの選択について説明します。

9.2 代表的なアプリケーション

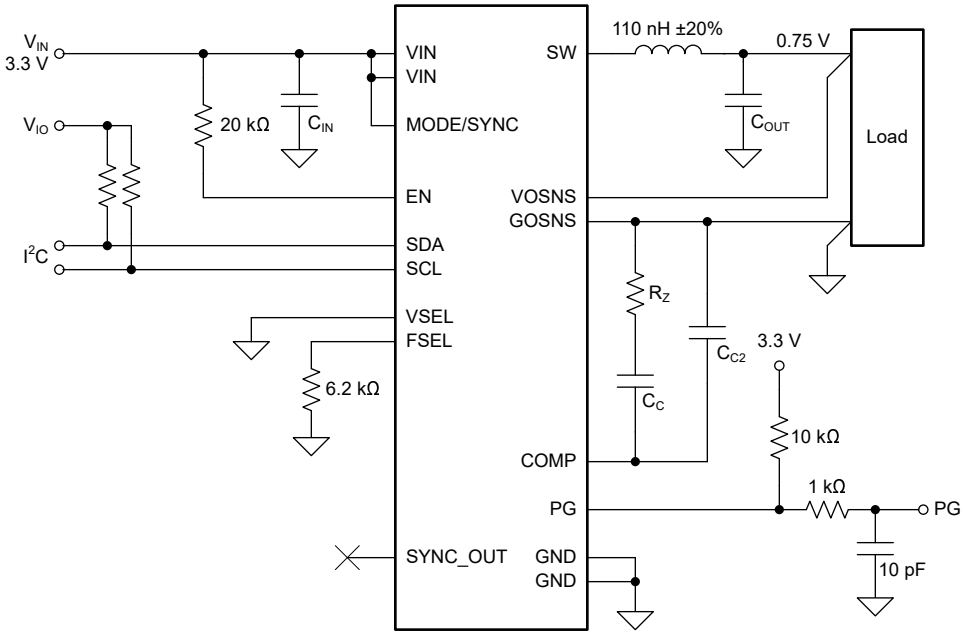


図 9-1. 代表的なアプリケーション回路図

9.2.1 設計要件

このアプリケーション例の操作パラメータを 表 9-1 に示します。

表 9-1. 設計パラメータ

記号	パラメータ	値
V_{IN}	入力電圧	3.3V
V_{OUT}	出力電圧	0.75V
TOL_{VOUT}	アプリケーションで許容される出力電圧の許容誤差	±3.3%
TOL_{DC}	TPS6287x の出力電圧許容誤差 (DC 精度)	±1%
ΔI_{OUT}	出力電流負荷ステップ	±7.5 A (3.8 A ～ 11.3 A)
t_t	負荷ステップ遷移時間	1µs
f_{SW}	スイッチング周波数	2.25MHz
L	インダクタンス	110nH
TOL_{IND}	インダクタの許容誤差	±20%
g_m	エラー アンプの相互コンダクタンス	1.5mS

Copyright © 2025 Texas Instruments Incorporated

表 9-1. 設計パラメータ (続き)

記号	パラメータ	値
τ	内部タイミング パラメータ	12.5µs
TOL_τ	内部タイミング パラメータの許容誤差	±30%
k_{BW}	スイッチング周波数とコンバータ帯域幅の比率 (≥4 とする必要あり)	4
Nϕ	相数	1

予備計算

電源の最大許容偏差は ±3.3% です。TPS6287x の DC 精度は ±1% と規定されているため、過渡時の最大出力電圧の変動は次の式で求められます。

$$\Delta V_{OUT} = \pm V_{OUT} \times (3.3\% - 1\%) = \pm 17.25mV \quad (6)$$

9.2.2 詳細な設計手順

以下のサブセクションでは、特定のアプリケーションの規定過渡要件を満たすために必要な外部部品の計算方法について説明します。計算には部品のワーストケースの変動が含まれ、RMS 手法を使用して相関しないパラメータの変動を結合します。

9.2.2.1 インダクタの選択

TPS6287x デバイスは、50nH ～ 300nH 範囲のインダクタに最適化されています。コンバータの過渡応答がインダクタ内の電流のスルーレートによって制限されている場合、より小さなインダクタを使用することで性能を向上させることができます。しかし、インダクタの値を小さくすると出力リップル電流が増加し、それに伴って出力電圧リップルも大きくなります。その結果、過渡時のオーバーシュートやアンダーシュートがさらに増加します。特定のアプリケーションにおける最適な構成は、複数のパラメータ間のトレードオフによって決まります。標準的なアプリケーションでは、TI は開始値として 110nH を推奨します。

ピーク ツー ピーク インダクタ電流リップルは、以下の式で計算できます。

$$I_{L(PP)} = \frac{V_{OUT}}{V_{IN}} \left(\frac{V_{IN} - V_{OUT}}{N\phi \times L \times f_{sw}} \right) \quad (7)$$

$$I_{L(PP)} = \frac{0.75}{3.3} \left(\frac{3.3 - 0.75}{1 \times 110 \times 10^{-9} \times 2.25 \times 10^{6}} \right) = 2.342A \quad (8)$$

表 9-2 に、このアプリケーションでの使用を想定して設計された複数のインダクタを示します。このリストはすべてを網羅しているわけではなく、他のメーカーのインダクタも優れた選択になる可能性があります。

表 9-2. 推奨インダクター覧

インダクタンス	電流定格 (25°C での I_{SAT})	寸法 (奥行き × 幅 × 高さ)	DC 抵抗	部品番号(1)
92nH	24A	4 × 4 × 1.2mm	5.2mΩ (標準値)	Coilcraft、XEL4012-920NE
100nH	30A	4 × 4 × 3.2mm	1.5mΩ (標準値)	Coilcraft、XEL4030-101ME
110nH	29A	4 × 4 × 2.1mm	1.4mΩ (標準値)	Coilcraft、XGL4020-111ME
110nH	29A	3.2 × 2.5 × 2.5mm	1.9mΩ (標準値)	TDK、CLT32-R11
55nH	39.5A	3.2 × 2.5 × 2.5mm	1.0mΩ (標準値)	TDK、CLT32-55N
110nH	17.0A	3.2 × 2.5 × 2.5mm	3.0mΩ (標準値)	Cyntec、VCTA32252E-R11MS6
100nH	25A	4.2 × 4.0 × 2.1mm	1.9mΩ (標準値)	Cyntec、VCHA042A-R10MS62M
100nH	44A	5.45 × 5.25 × 2.8mm	0.8mΩ (標準値)	Cyntec、VCHW053T-R10NMS5

(1) セクション 10.1.1 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

9.2.2.2 入力コンデンサの選択

すべての降圧コンバータと同様、TPS6287x デバイスの入力電流は不連続です。入力コンデンサは、デバイスに対して低インピーダンスのエネルギー供給源として機能します。そのため、コンデンサの容量、種類、および配置は正しい動作のために極めて重要です。TI は、最高の性能を得るために低 ESR の積層セラミック コンデンサを推奨しています。実際には、入力容量の合計は通常、複数種類のコンデンサの組み合わせで構成されます。大容量のコンデンサは低周波でのデカップリングを、小容量のコンデンサは高周波でのデカップリングを担います。

TPS6287x デバイスは、パッケージの反対側に 2 組の VIN ピンと GND ピンを持つ「*バタフライ*」レイアウトを備えています。これにより、入力コンデンサを PCB 上に対称に配置することができ、発生する電磁界が互いに打ち消し合うため、EMI を低減できます。

コンバータのデューティ サイクルは次の式で求められます。

$$D = \frac{V_{OUT}}{\eta \times V_{IN}} \tag{9}$$

ここで、

- V_{IN} は入力電圧
- V_{OUT} は出力電圧です。
- η は効率です。

$$D = \frac{0.75}{0.9 \times 3.3} = 0.253 \tag{10}$$

システムレベルの入力電圧リップル要件を満たすために必要な入力容量の値は、以下で求められます。

$$C_{IN} = \frac{D \times (1 - D) \times I_{OUT}}{V_{IN(PP)} \times f_{sw}} \tag{11}$$

ここで、

- D はデューティ サイクル。
- f_{sw} はスイッチング周波数。
- L はインダクタンス。
- I_{OUT} は出力電流。ΔI_{OUT} に対して 表 9-1 に示されている最大値 11.3A を使用します

入力電圧リップルターゲットとして 100mV を使用します。

$$C_{IN} = \frac{0.253 \times (1 - 0.253) \times 11.3}{0.1 \times 2.25 \times 10^{6}} = 9.5\mu F \tag{12}$$

式 11 で計算した C_{IN} の値は、すべてのディレーティング、許容誤差、経年劣化の影響を考慮した後の *実効*容量です。入力ピンごとに 5µF 実効容量が必要です。TI は、C_{IN} には X7R 誘電体 (またはそれに類するもの) を使用した積層セラミック コンデンサを推奨しています。これらのコンデンサは、ループ面積を最小限に抑えるために、VIN ピンおよび GND ピンの近くにできるだけ寄せて配置する必要があります。

表 9-3 に、このアプリケーションに最適なコンデンサの数を示します。このリストはすべてを網羅しているわけではなく、他のメーカーのコンデンサも優れた選択になる可能性があります。

表 9-3. 推奨入力コンデンサー覧

容量	寸法	電圧定格	メーカー、型番[1]
	MM (インチ)		
470nF ±10%	1005 (0402)	10V	Murata、GCM155C71A474KE36D
470nF ±10%	1005 (0402)	10V	TDK、CGA2B3X7S1A474K050BB
10µF ±10%	2012 (0805)	10V	Murata、GCM21BR71A106KE22L

Copyright © 2025 Texas Instruments Incorporated

表 9-3. 推奨入力コンデンサー覧 (続き)

容量	寸法	電圧定格	メーカー、型番(1)
	MM (インチ)		
10µF ±10%	2012 (0805)	10V	TDK、CGA4J3X7S1A106K125AB
22µF ±10%	3216 (1206)	10V	Murata、GCM31CR71A226KE02L
22µF ±20%	3216 (1206)	10V	TDK、CGA5L1X7S1A226M160AC

(1) セクション 10.1.1 を参照してください。

9.2.2.3 補償抵抗の選択

式 13 を使用して、補償抵抗 R_Z の推奨値を計算します。

$$R_Z = \frac{1}{g_m}\left(\frac{\pi \times \left[\Delta I_{OUT} + \frac{I_{L(PP)}}{2}\right] \times \frac{L}{N\Phi}}{4 \times \tau \times \Delta V_{OUT}} - 1\right)\left(1 + \sqrt{TOL_{IND}^2 + TOL_{\tau}^2}\right) \quad (13)$$

$$R_Z = \frac{1}{1.5 \times 10^{-3}}\left(\frac{\pi \times \left[7.5 + \frac{2.342}{2}\right] \times \frac{110 \times 10^{-9}}{1}}{4 \times 12.5 \times 10^{-6} \times 17.25 \times 10^{-3}} - 1\right)\left(1 + \sqrt{20\%^2 + 30\%^2}\right) = 2.244k\Omega \quad (14)$$

切り上げると、E24 シリーズから最も近い標準値は 2.4kΩ です。

9.2.2.4 出力コンデンサの選択

実際には、出力容量の合計は通常、異なる種類のコンデンサの組み合わせで構成されます。大容量のコンデンサは低周波で負荷電流を供給し、小容量のコンデンサは高周波で負荷電流を供給します。出力コンデンサの値、種類、および配置は、正しい動作のために非常に重要です。TI は、最高の性能を得るために、X7R 誘電体 (または同等品) を用いた低 ESR の積層セラミック コンデンサを推奨しています。

TPS6287x デバイスは、パッケージの両側に GND ピンを配置したバタフライ レイアウトを採用しています。これにより、出力キャパシタンスを PCB 上に対称に配置することができ、発生する電磁界が互いに打ち消し合うため、EMI を低減できます。

コンバータの過渡応答は、次の 2 つの条件のいずれかで制限されます。

- インダクタを流れる電流のスルーレート。この場合、コンバータの帰還ループが飽和します。
- コンバータ帯域幅とスイッチング周波数の最大許容比。コンバータがレギュレーション状態に維持されます (つまり、ループが飽和しません)。TI は、代表的なアプリケーションでは、最小比率 4 を推奨します。

上記の基準が、特定のアプリケーションに適用されるのは、使用される動作条件と部品の値によって異なります。したがって、TI は、ユーザーが両方のケースの出力キャパシタンスを計算し、2 つの値のうち大きい方を選択することを推奨します。

コンバータがレギュレーションを維持している場合、必要となる最小出力キャパシタンスは次の式で求められます。

$$C_{OUT(min)(reg)} = \left(\frac{\tau \times (1 + g_m \times R_Z)}{2 \times \pi \times \frac{L}{N\Phi} \times \frac{f_{SW}}{4}}\right)\left(1 + \sqrt{TOL_{\tau}^2 + TOL_{IND}^2 + TOL_{fSW}^2}\right) \quad (15)$$

$$C_{OUT(min)(reg)} = \left(\frac{12.5 \times 10^{-6} \times \left(1 + 1.5 \times 10^{-3} \times 2.4 \times 10^{3}\right)}{2 \times \pi \times \frac{110 \times 10^{-9}}{1} \times \frac{2.25 \times 10^{6}}{4}}\right)\left(1 + \sqrt{30\%^2 + 20\%^2 + 10\%^2}\right) = 203.2\mu F \quad (16)$$

コンバータ ループが飽和する場合、最小出力キャパシタンスは次の式で求められます。

$$C_{OUT(min)(sat)} = \frac{1}{\Delta V_{OUT}} \left(\frac{\frac{L}{N\Phi} \times \left(\Delta I_{OUT} + \frac{I_{L(PP)}}{2} \right)^2}{2 \times V_{OUT}} - \frac{\Delta I_{OUT} \times t_t}{2} \right) (1 + TOL_{IND}) \quad (17)$$

$$C_{OUT(min)(sat)} = \frac{1}{17.25 \times 10^{-3}} \left(\frac{\frac{110 \times 10^{-9}}{1} \times \left(7.5 + \frac{2.342}{2} \right)^2}{2 \times 0.75} - \frac{7.5 \times 1 \times 10^{-6}}{2} \right) (1 + 20\%) = 122.7\mu F \quad (18)$$

この場合は、出力キャパシタンスの 2 つの値のうち大きい方として、$C_{OUT(min)}$ = 203µF を選択します。

ワーストケースの部品の値を計算するには、上記の計算値を必要な*最小*出力容量として使用します。セラミック コンデンサの場合、許容誤差、DC バイアス、温度、経年変化の影響を考慮するときの「*最大*」容量は通常、最小容量の 2 倍です。この場合、最大容量 $C_{OUT(max)}$ は 406µF です。

表 9-4. 推奨出力コンデンサー覧

容量	寸法	電圧定格	メーカー、型番(1)
	MM (インチ)		
22µF ±20%	2012 (0805)	6.3V	TDK、CGA4J1X7T0J226M125AC
22µF ±10%	2012 (0805)	6.3V	Murata、GCM31CR71A226KE02
47µF ±20%	3216 (1206)	4V	TDK、CGA5L1X7T0G476M160AC
47µF ±20%	2012 (1210)	6.3V	Murata、GCM32ER70J476ME19
100µF ±20%	3225 (1210)	4V	TDK、CGA6P1X7T0G107M250AC
100µF ±20%	3216 (1210)	6.3V	Murata、GRT32EC70J107ME13

(1) セクション 10.1.1 を参照してください。

9.2.2.5 補償コンデンサ C_C の選択

最初に、式 19 を使用して内部ループの帯域幅を計算します。

$$BW_{INNER} = \frac{\tau}{2\pi \times \frac{L}{N\Phi} \times C_{OUT(max)}} \quad (19)$$

$$BW_{INNER} = \frac{12.5 \times 10^{-6}}{2\pi \times \frac{110 \times 10^{-9}}{1} \times 406 \times 10^{-6}} = 45kHz \quad (20)$$

次に、$g_m R_Z$ の積を計算します。

$$g_m \times R_Z = 1.5 \times 10^{-3} \times 2.4 \times 10^{3} = 3.6 \quad (21)$$

$g_m R_Z$ が 1 より大きい場合は、式 22 を使用して C_C の推奨値を計算します。$g_m R_Z$ が 1 より小さい場合は、式 24 を使用して C_C の推奨値を計算します。

$$C_C = \frac{2}{\pi \times BW_{INNER} \times g_m \times {R_Z}^2} \quad (22)$$

$$C_C = \frac{2}{\pi \times 45 \times 10^{3} \times 1.5 \times 10^{-3} \times \left(2.4 \times 10^{3} \right)^2} = 1.638nF \quad (23)$$

E12 シリーズの最も近い標準値は 1.8nF です。

Copyright © 2025 Texas Instruments Incorporated

$$C_C = \frac{2 \times g_m}{\pi \times BW_{INNER}} \quad (24)$$

9.2.2.6 補償コンデンサ C_{C2} の選択

補償コンデンサ C_{C2} はオプションのコンデンサで、TI では COMP ピンから離して高周波ノイズをバイパスすることを推奨します。このコンデンサの値は重要ではありません。代表的なアプリケーションでは 10pF または 22pF のコンデンサが最適です。

9.2.3 アプリケーション曲線

特に記述のない限り、すべてのアプリケーション曲線は、L = 110nH (Coilcraft XGL4020-111ME) および f_{sw} = 2.25MHz で得られます。

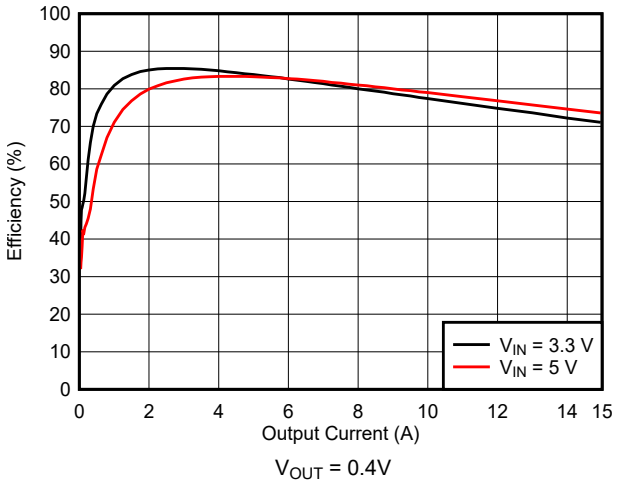


図 9-2. 効率

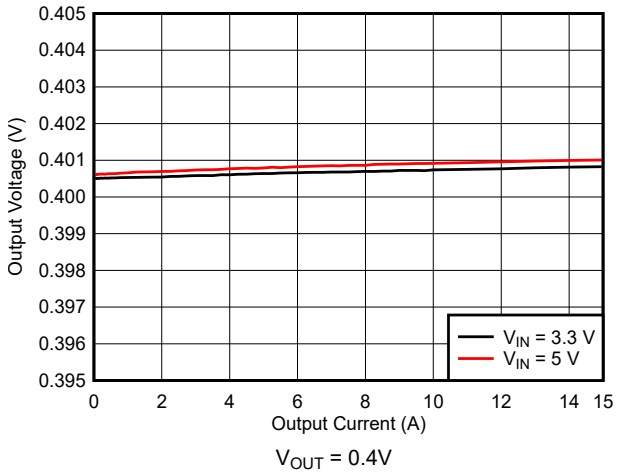


図 9-3. ロード レギュレーション

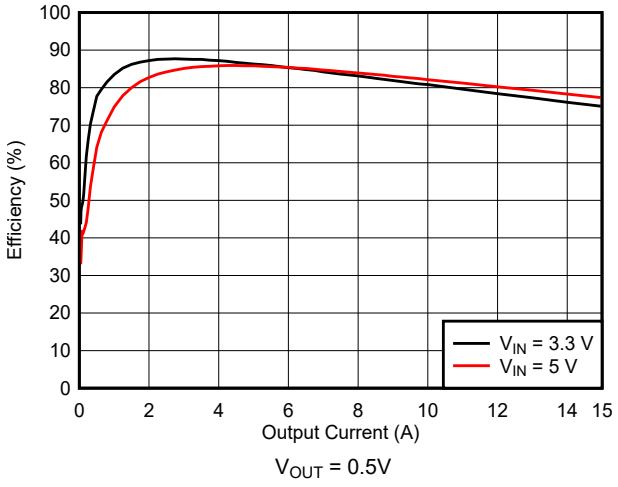


図 9-4. 効率

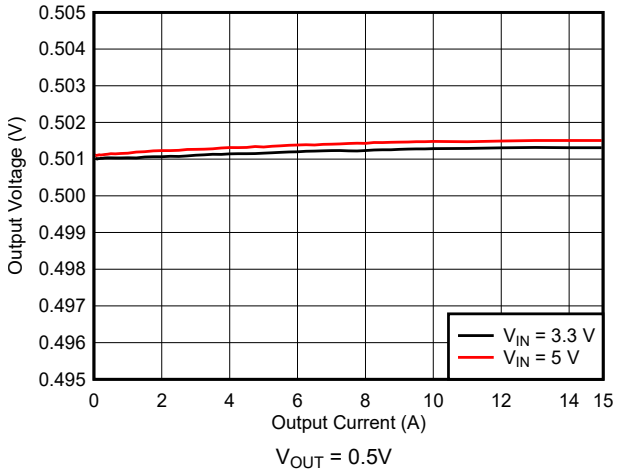


図 9-5. ロード レギュレーション

9.2.3 アプリケーション曲線 (続き)

特に記述のない限り、すべてのアプリケーション曲線は、L = 110nH (Coilcraft XGL4020-111ME) および f_{sw} = 2.25MHz で得られます。

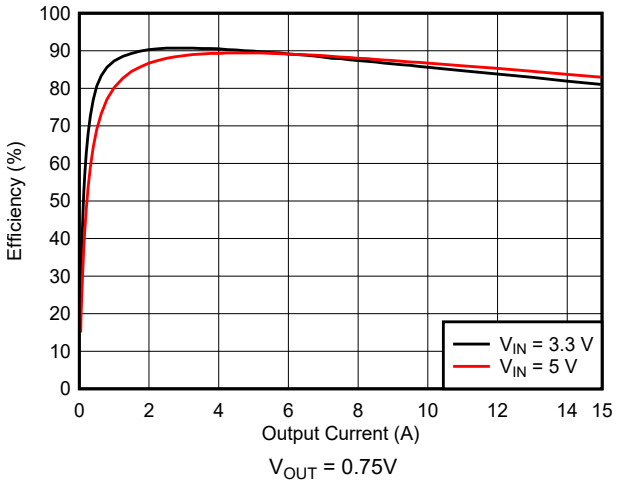


図 9-6. 効率

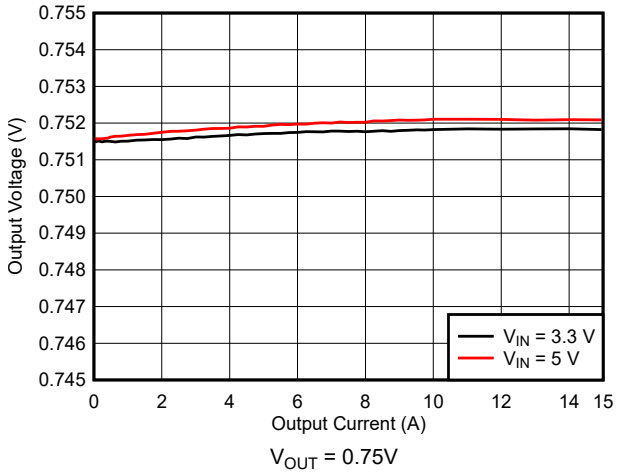


図 9-7. ロード レギュレーション

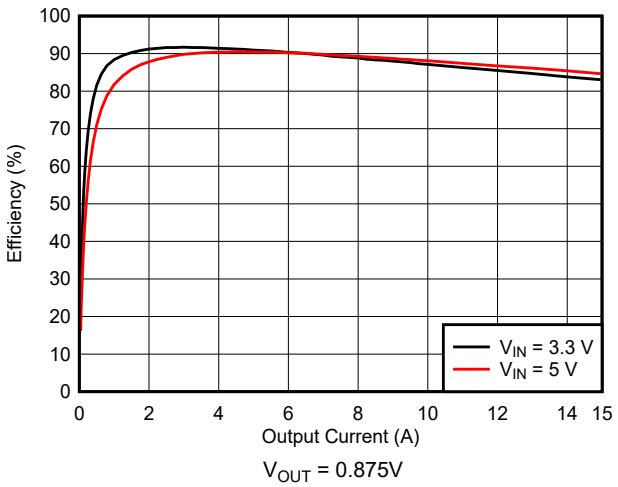


図 9-8. 効率

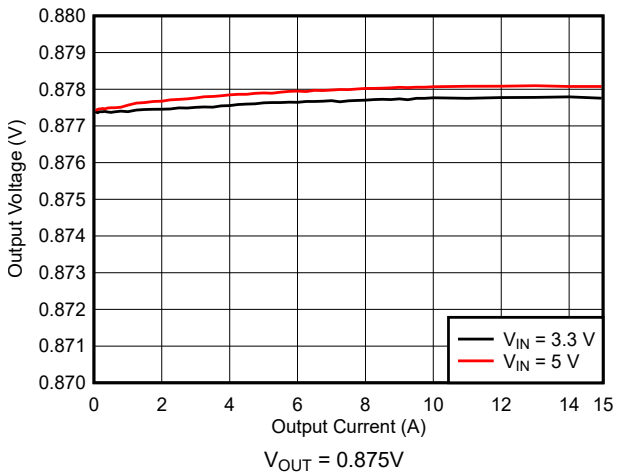
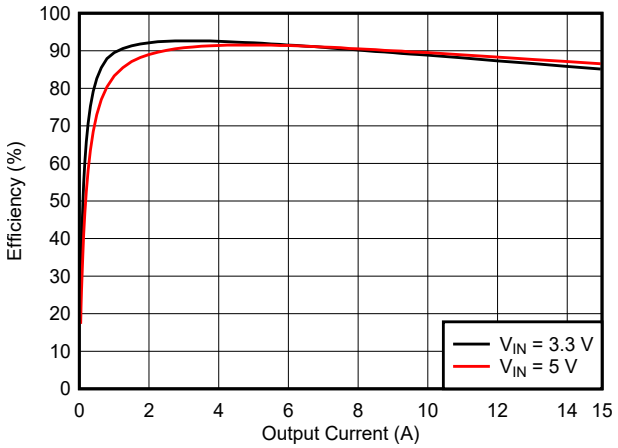


図 9-9. ロード レギュレーション

Copyright © 2025 Texas Instruments Incorporated

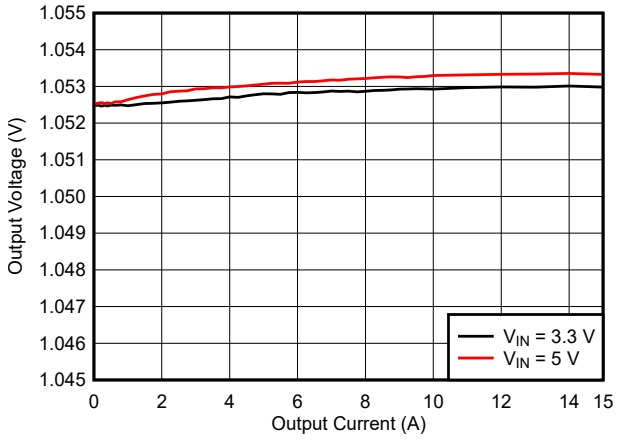
9.2.3 アプリケーション曲線 (続き)

特に記述のない限り、すべてのアプリケーション曲線は、L = 110nH (Coilcraft XGL4020-111ME) および f_{sw} = 2.25MHz で得られます。



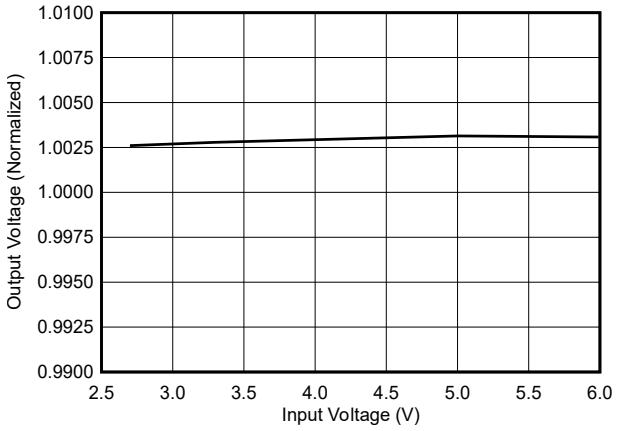
V_{OUT} = 1.05V

図 9-10. 効率



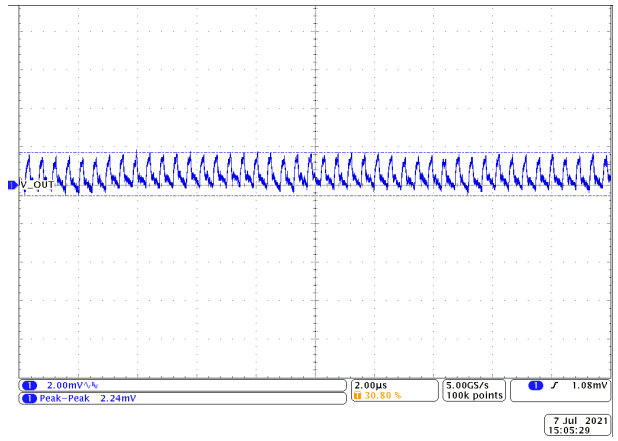
V_{OUT} = 1.05V

図 9-11. ロード レギュレーション



I_{OUT} = 10A

図 9-12. ライン レギュレーション



I_{OUT} = 15A V_{OUT} = 0.875V

図 9-13. 出力電圧リップル

9.2.3 アプリケーション曲線 (続き)

特に記述のない限り、すべてのアプリケーション曲線は、L = 110nH (Coilcraft XGL4020-111ME) および f_{sw} = 2.25MHz で得られます。

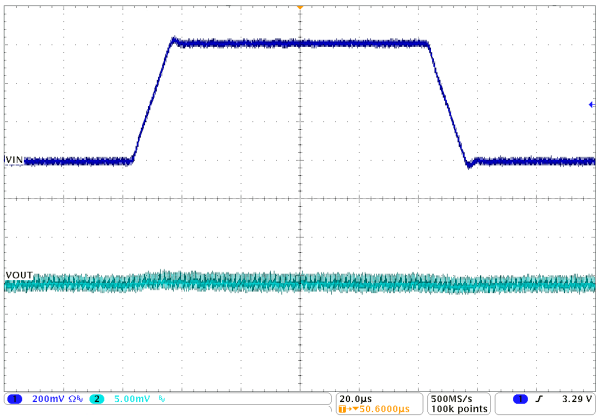
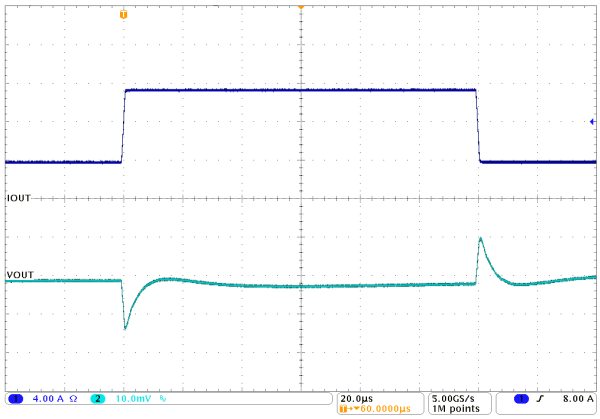
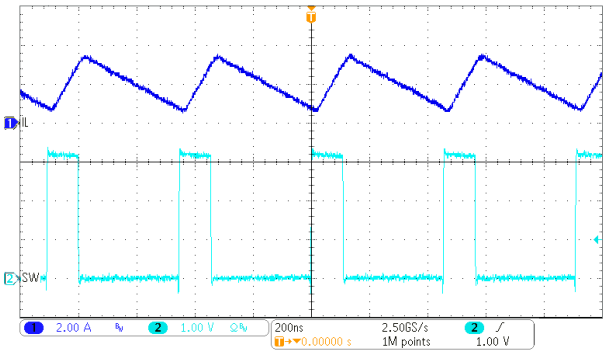


図 9-14. ライン過渡応答



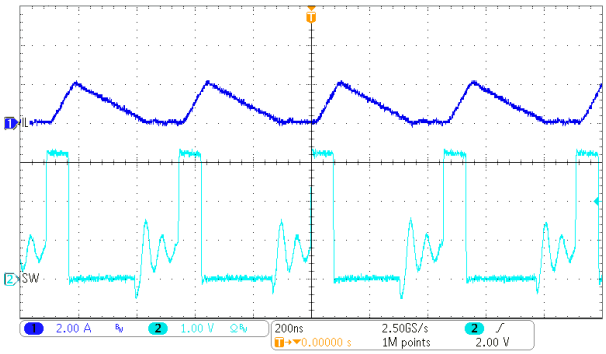
ΔI_{OUT} = 7.5A　　CH1 = 50mV/A

図 9-15. 負荷過渡応答



I_{OUT} = 2A

図 9-16. PWM-CCM 動作



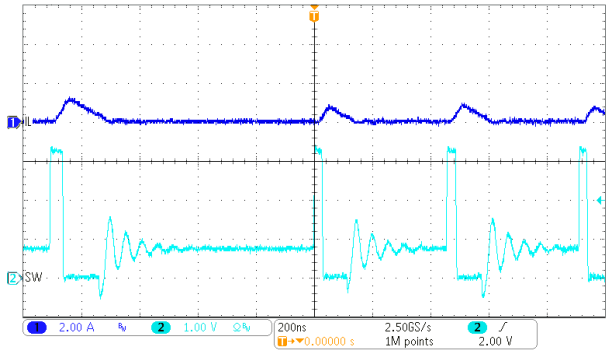
I_{OUT} = 750mA

図 9-17. PWM-DCM 動作

Copyright © 2025 Texas Instruments Incorporated

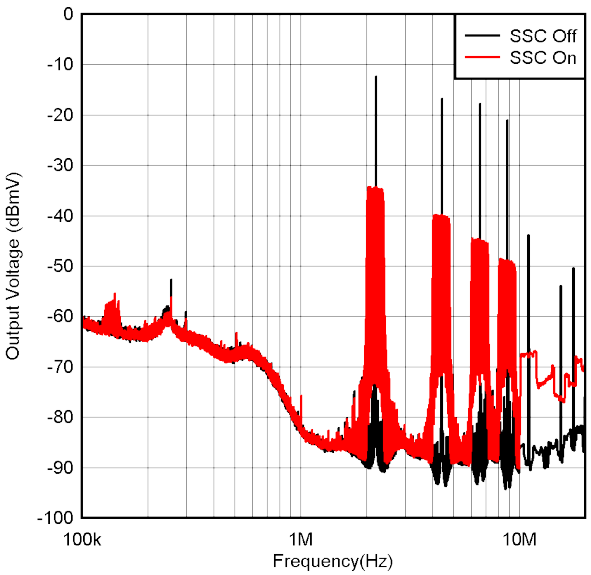
9.2.3 アプリケーション曲線 (続き)

特に記述のない限り、すべてのアプリケーション曲線は、L = 110nH (Coilcraft XGL4020-111ME) および f_{sw} = 2.25MHz で得られます。



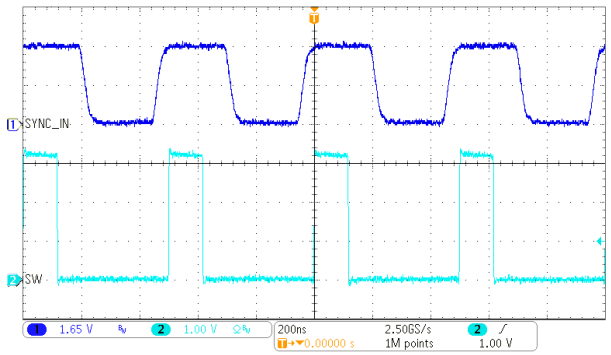
I_{OUT} = 75mA

図 9-18. PFM 動作



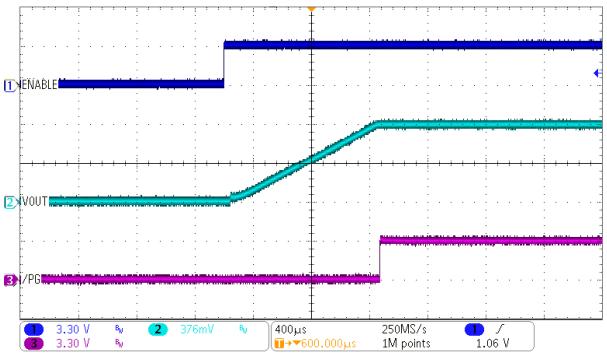
V_{OUT} = 0.75V I_{OUT} = 11.5A

図 9-19. スペクトラム拡散動作



負荷=0.75Ω FSEL = 2.25MHz $f_{(SYNC)}$ = 2MHz

図 9-20. 外部クロックへの同期

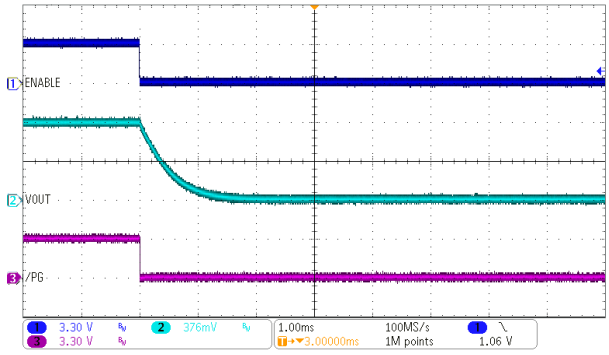


負荷=0.75Ω

図 9-21. EN ピンを使用したスタートアップ

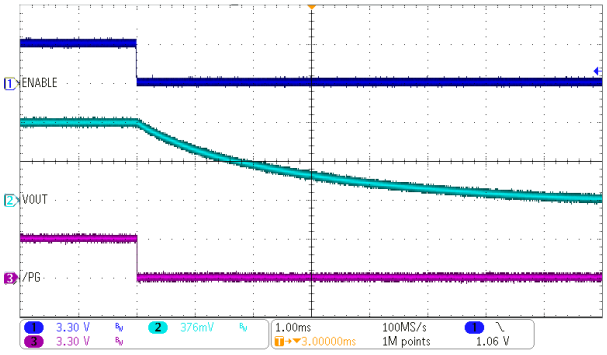
9.2.3 アプリケーション曲線 (続き)

特に記述のない限り、すべてのアプリケーション曲線は、L = 110nH (Coilcraft XGL4020-111ME) および f_{sw} = 2.25MHz で得られます。



負荷=7.5Ω

図 9-22. EN ピンを使用したシャットダウン (放電イネーブル)



負荷=7.5Ω

図 9-23. シャットダウン (放電ディスエーブル)

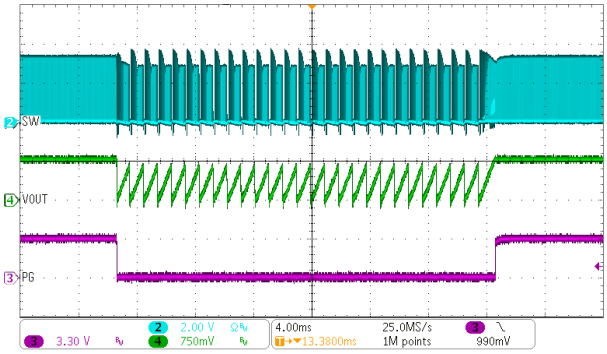
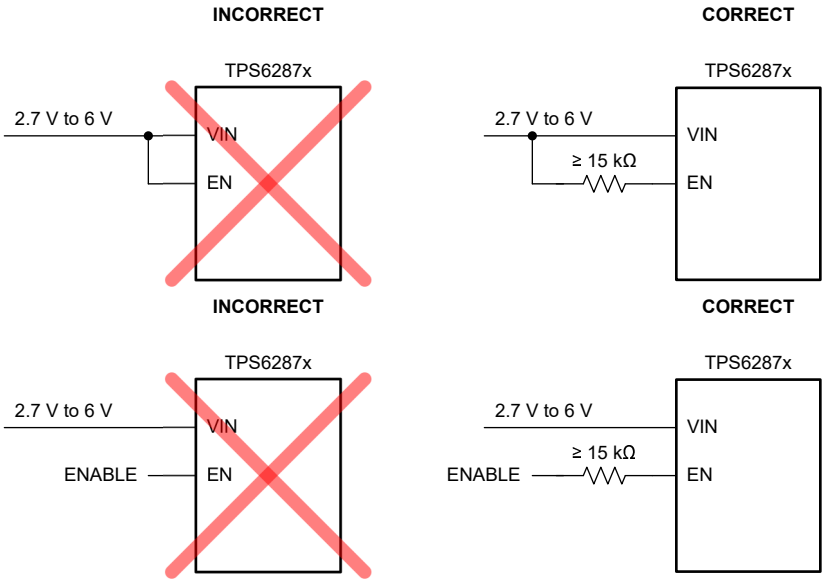


図 9-24. 電流制限 (ヒカップ)

9.3 設計のベスト プラクティス



Copyright © 2025 Texas Instruments Incorporated

9.4 電源に関する推奨事項

TPS6287x ファミリには、入力電源に対する特別な要件はありません。入力電源の出力電流定格は、TPS6287x の電源電圧と電流要件に応じた定格である必要があります。

9.5 レイアウト

9.5.1 レイアウトのガイドライン

TPS6287x デバイスの性能を達成するには、PDN と PCB の適切な設計が必要です。そのため、TI はユーザーに対し、設計に対して電源インテグリティ解析を実施することを推奨しています。市販されている電源インテグリティ解析用のソフトウェア ツールはいくつかあり、ユーザーはこれらのツールを用いて、PCB レイアウトや受動部品が性能に与える影響をモデル化できます。

電源インテグリティ ツールの使用に加えて、TI は以下の基本原則を推奨しています。

- 入力コンデンサは VIN ピンと GND ピンの近くに配置します。入力コンデンサはサイズが小さいものから順に、最も小さいコンデンサを VIN および GND ピンの近くに配置するようにします。バタフライ構成の効果を最大限に引き出すために、パッケージ内の両方の VIN-GND ピン対に対して同一のレイアウトを使用します。
- インダクタはデバイスに近づけて配置し、SW ノードを小さい値に維持します。
- デバイスの露出したサーマルパッドと GND ピンを接続します。デバイスの露出サーマル パッドは、複数のサーマル ビアを用いて、1 層または複数のグランド プレーンに接続します (TI の EVM では、直径 150µm のサーマル ビアを 9 個使用しています)。
- 複数の電源プレーンとグランド プレーンを使用します。
- VOSNS と GOSNS のリモート センス ラインを差動ペアとして配線し、PDN の最小インピーダンス ポイントに接続します。希望する接続ポイントが PDN の最小インピーダンス点でない場合は、そのポイントが PDN 全体における最小インピーダンス点となるように、PDN を最適化します。VOSNS と GOSNS は、いずれのスイッチ ノードの近くにも配線しないようにします。
- COMP と GOSNS との間に補償部品を接続します。補償部品は、電源グランドに直接接続しないでください。
- 各コンデンサ パッドは、複数のビアを使用して電源プレーンおよびグランド プレーンに接続します (TI の EVM では、通常 1 つのパッドにつき 4 個のビアを使用しています)。
- 異なる電源プレーンやグランド プレーン間の低インピーダンス接続を確保するために、十分な数のスティッチング ビアを使用します。
- 負荷に配置される容量がデバイスに配置される容量の少なくとも 2 倍になっていることを確認してください。

9.5.2 レイアウト例

図 9-25 に、このデバイスの評価基板の最上層を示します。この図は、前述の PCB レイアウト原理の実際の実装を示しています。ユーザーは、評価基板ユーザー ガイドで、この PCB で使用されているすべての層の完全なセット図面を検索できます。

Copyright © 2025 Texas Instruments Incorporated

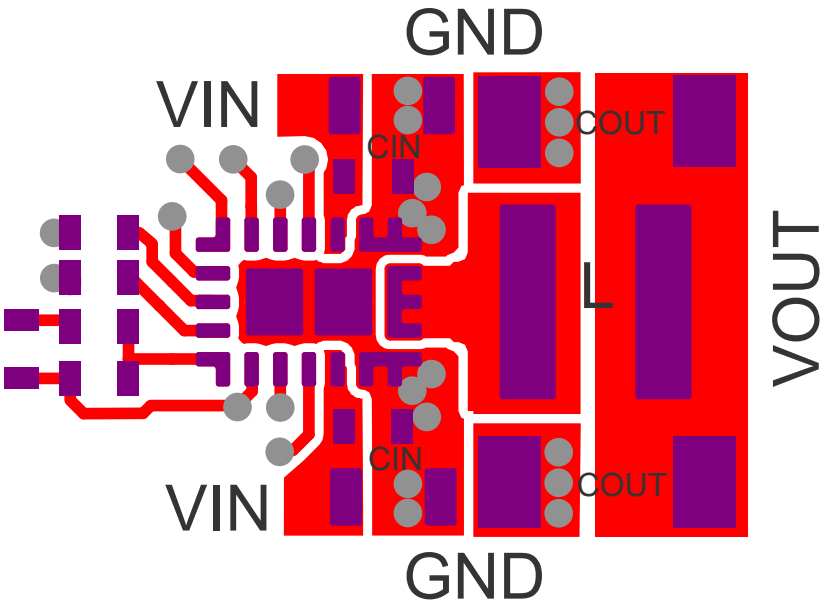


図 9-25. レイアウト例

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (September 2025) to Revision E (October 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「*デバイスのオプション*」表に TPS62873Z6WRXSR を追加	4

Changes from Revision C (January 2025) to Revision D (September 2025)	Page
• パワー モジュール製品へのリンクを追加、ドキュメントのタイトルに「リモート センス」を追加、効率グラフを追加	1
• 表の注記「(3) その他の起動電圧または I^2C アドレス オプションについては、TI にお問い合わせください」を追加。	4
• 表 5-1 の SCL ピンのピン タイプを I (入力) に更新	6
• COMP ピン電圧を追加し、「*絶対最大定格*」表に SDA および EN ピン電流を追加	8
• パラメータ $C_{IN_SDA_SCL}$ の SDA および SCL ピンの寄生入力容量の標準値を追加	8
• I^2C の「*タイミング特性*」表に注記 (1) を追加	8

Copyright © 2025 Texas Instruments Incorporated

- ドキュメント全体のピン名を SYNCOUT から SYNC_OUT に変更 15
- 式 1 を t_{on} を明確化するために追加し、式 2 を $I_{OUT(CCM-DCM)}$ に変更し、式 3 を $I_{OUT(PFM-DCM)}$ の計算のために追加 17
- VOUT[7:0] を VSET[7:0] に変更 20
- CONTROL1 を CONTROL2 に変更 23
- TPS6287xZ5 を 表 7-5 に追加し、VOUT[7:0] を VSET[7:0] に変更 23
- UVLO 時の EN ピンの説明を追加 26
- 図 7-12 を追加 27
- 表 7-7 を更新し、3 行目の Vin 条件を修正して、VOUT > VT+(OVP) または VOUT < VT-(UVP) で DVS が非アクティブの場合に PG が低下することを説明するサブ行を追加 28
- 低電圧または過電圧イベントの場合にデバイスが PBUV または PBOV ビットを設定することに関する説明を追加し、DVS 時の PG の動作に関する説明を変更 28
- 共通のパワーグッド信号はロジック high レベルにプルアップする必要があることを説明するためのコメントを追加 30
- 初期化時間間隔の説明を更新し、I^2C、出力放電、パワーグッドの機能はデバイスの初期化が完了した後に利用可能であることを明確化 33
- 表 7-10 から代替の I^2C アドレスを削除 34
- 図 7-20 および 図 7-21 を更新 (ターゲット アドレスをデバイス アドレスに名前変更し、デバイス アドレスのビット数を 8 から 7 に修正) 36
- $t_{d(EN)}$ を $t_{d(EN)2}$ に変更 37
- 表 9-1 の ΔI_{OUT} に「(3.8A ～ 11.3A)」を追加 44
- 式 11 に I_{OUT} の明確な説明を追加 46
- 式 20 を更新して、最大 Cout 値として 406µF を使用して BW_{inner} を再計算し、再計算された BW_{inner} に基づいて式 23 を更新 48
- オプションの C_{C2} の値を 1pF から 10pF に変更 49
- 特に記述のない限り、すべての曲線は L = 110nH (Coilcraft XGL4020-111ME) および f_{sw} = 2.25MHz で得られるというコメントを追加 49

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS62870Z0WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	870Z0B
TPS62870Z0WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	870Z0B
TPS62870Z4WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	870Z4B
TPS62871Z0WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	871Z0B
TPS62871Z0WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	871Z0B
TPS62871Z2WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	871Z2B
TPS62871Z2WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	871Z2B
TPS62871Z4WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	871Z4B
TPS62871Z4WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	871Z4B
TPS62872Z0WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	872Z0B
TPS62872Z0WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	872Z0B
TPS62872Z2WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	872Z2B
TPS62872Z2WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	872Z2B
TPS62872Z4WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	872Z4B
TPS62872Z4WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	872Z4B
TPS62873Z0WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z0B

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS62873Z0WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z0B
TPS62873Z1WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z1B
TPS62873Z1WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z1B
TPS62873Z2WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z2B
TPS62873Z2WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z2B
TPS62873Z4WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z4B
TPS62873Z4WRXSR.A	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z4B
TPS62873Z5WRXSR	Active	Production	VQFN-FCRLF (RXS) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	873Z5B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS62870, TPS62871, TPS62872, TPS62873 :

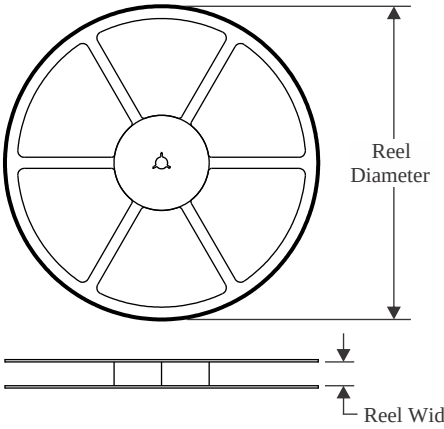
- Automotive : TPS62870-Q1, TPS62871-Q1, TPS62872-Q1, TPS62873-Q1

NOTE: Qualified Version Definitions:

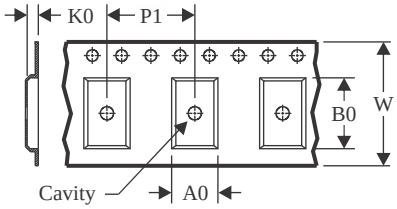
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

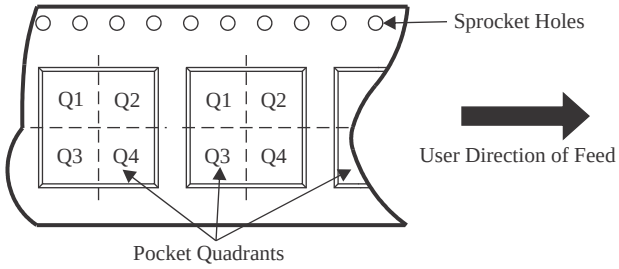


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

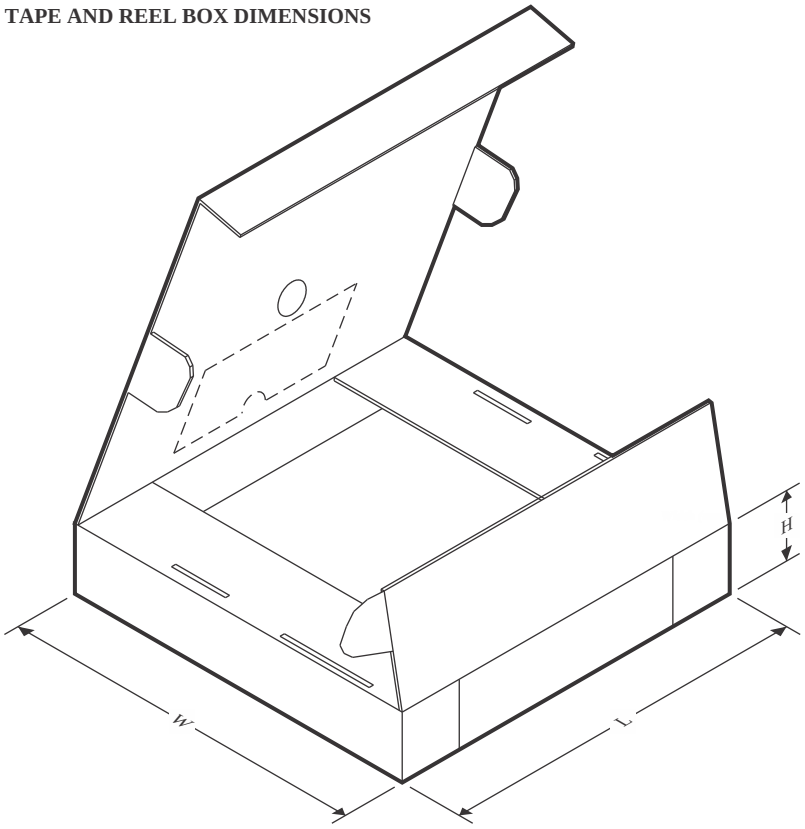


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS62870Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62870Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62870Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62870Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62871Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62871Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62871Z2WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62871Z2WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62871Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS62871Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62872Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62872Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62872Z2WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62872Z2WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62872Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62872Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62873Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62873Z0WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62873Z1WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62873Z1WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62873Z2WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62873Z2WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62873Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TPS62873Z4WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62873Z5WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.85	3.85	1.3	4.0	12.0	Q1
TPS62873Z5WRXSR	VQFN-FCRLF	RXS	16	3000	330.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS62870Z0WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62870Z0WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62870Z4WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62870Z4WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62871Z0WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62871Z0WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62871Z2WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62871Z2WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62871Z4WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62871Z4WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62872Z0WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62872Z0WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62872Z2WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62872Z2WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62872Z4WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62872Z4WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62873Z0WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62873Z0WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0

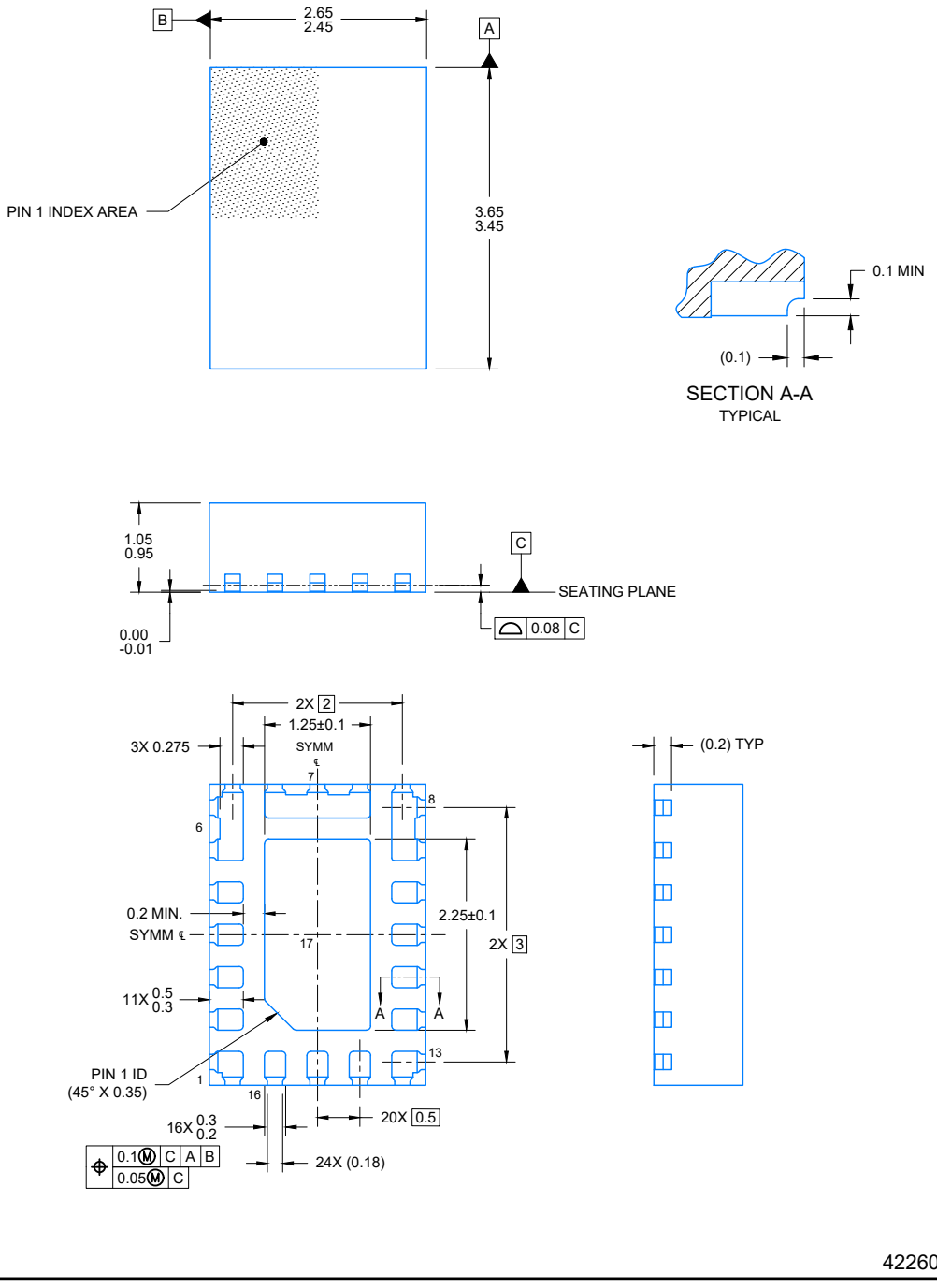
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS62873Z1WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62873Z1WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62873Z2WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62873Z2WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62873Z4WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0
TPS62873Z4WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62873Z5WRXSR	VQFN-FCRLF	RXS	16	3000	346.0	346.0	33.0
TPS62873Z5WRXSR	VQFN-FCRLF	RXS	16	3000	338.0	355.0	35.0

PACKAGE OUTLINE

RXS0016A

VQFN-FCRLF - 1.05 mm max height

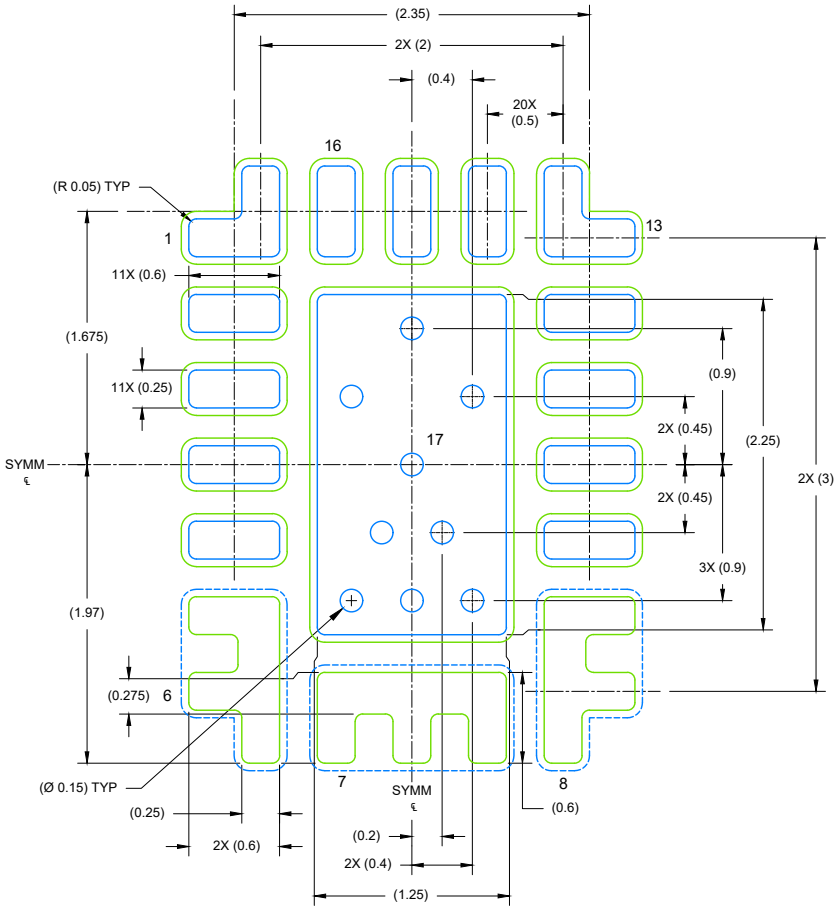
PLASTIC QUAD FLAT PACK- NO LEAD



4226093/E 09/2022

NOTES:

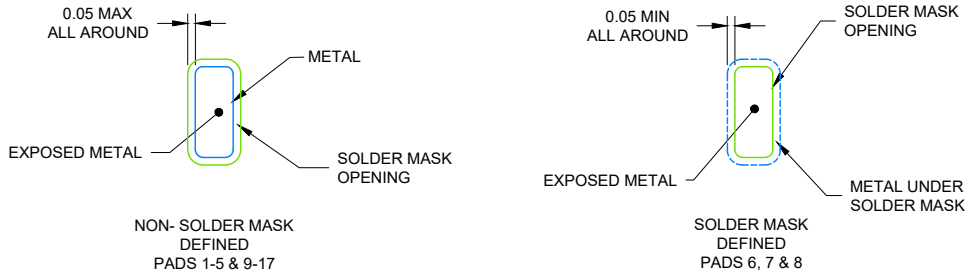
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 15X

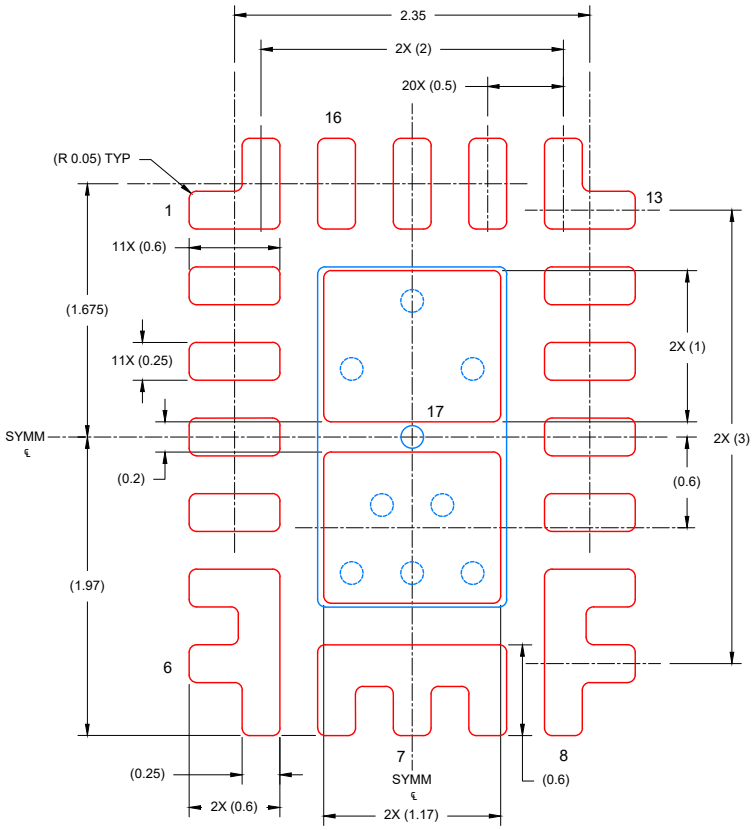


SOLDER MASK DETAILS

4226093/E 09/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

SCALE: 15X

4226093/E 09/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月