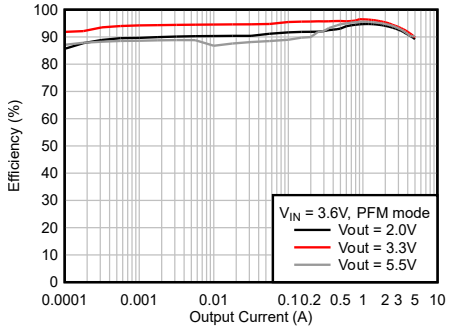
TPS63820 — I²C インターフェイス付き低静止電流、4A 昇降圧コンバータ

1 特長

- 入力電圧範囲：1.8V ～ 5.5V
  - スタートアップ時の最低入力電圧：2.0V
- V_{OUT} 範囲：I²C により、1.2V ～ 5.5V (25mV 刻み) に構成可能
- 出力電流
  - V_{IN} ≥ 2.5V、V_{OUT} = 3.3V で最大 3.5A
  - V_{IN} ≥ 3V、V_{OUT} = 3.3V で最大 4A
- 全負荷範囲にわたって高効率を実現
  - 2.3µA の低動作時静止電流
  - 自動パワー セーブ モード、超音波モード、および強制 PWM モード
  - V_{IN} = 3.6V、V_{OUT} = 3.3V、I_{OUT} = 100µA で 91.94% の効率 (昇降圧モード時)
  - V_{IN} = 3.6V、V_{OUT} = 3.3V、I_{OUT} = 2A で 95.33% の効率 (昇降圧モード時)
- 1.2V ロジック I/O をサポート
- ADDR ピン接続で 3 つの I²C ターゲット アドレスを使用可能
- プログラマブル ソフト スタート時間、電流制限、昇降圧ウィンドウ
- 出力放電機能
- 安全性と堅牢な保護機能
  - 過熱保護
  - 入力および出力過電圧保護
  - シャットダウン時の完全な負荷接続解除
  - 順方向および逆方向の電流制限
  - ヒカップ保護
- 3 つのデバイス オプション：
  - TPS63820：3.3V V_{OUT} が事前にプログラムされています
  - TPS638201：起動前に V_{OUT} を設定
  - TPS638202：3.3V の V_{OUT} を事前にプログラム済み、より高速な過渡応答に最適化
- 15 ボール WCSP パッケージ (2.0mm x 1.2mm)



効率と I_{OUT} との関係

2 アプリケーション

- システムのプリレギュレータ
- ポイント オブ ロード レギュレーション
- 光学モジュール
- 広帯域のネットワーク無線または SoC 電源

3 説明

TPS63820、TPS638201 および TPS638202 は低静止電流、大出力電流の昇降圧コンバータで、I²C により完全にプログラム可能です。静止電流 2.3µA で、4 個の低 Rdson MOSFET を採用しており、軽負荷から重負荷までの範囲で高効率を実現します。

入力電圧に応じて自動的に昇圧モード、降圧モード、昇降圧モード (入力電圧が出力電圧とほぼ等しい場合) で動作します。モード間の遷移は定義されたスレッショルドで発生し、モード間の不要な切り替えが避けられるので出力電圧リップルを減らすことができます。

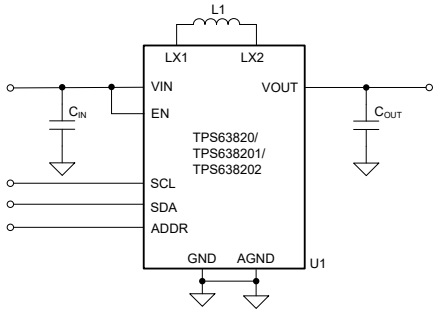
このデバイスは動的応答が高速であるため、大きな負荷過渡が発生した場合でも、出力電圧を厳格にレギュレートできます。

これらのデバイスは、WCSP で小型の設計サイズを実現します。設計サイズは 20mm² 未満で、外付け部品はわずか 4 つです。

製品情報

型番(3)	パッケージ (1)	パッケージ サイズ (2)
TPS63820	YBG (DSBGA、15)	2.029mm × 1.257mm
TPS638201		
TPS638202		

(1) 詳細については、セクション 12 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
(3) 「デバイス比較表」を参照してください。



アプリケーション概略図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....3
5 ピン構成および機能.....4
6 仕様.....5
6.1 絶対最大定格.....5
6.2 ESD 定格.....5
6.3 推奨動作条件.....5
6.4 熱に関する情報.....6
6.5 電気的特性.....6
6.6 タイミング要件.....7
6.7 代表的特性.....9
7 詳細説明.....10
7.1 概要.....10
7.2 機能ブロック図.....10
7.3 機能説明.....10
7.4 デバイスの機能モード.....15
7.5 プログラミング.....16
8 レジスタ マップ.....19
8.1 レジスタの説明.....19
9 アプリケーションと実装.....23
9.1 使用上の注意.....23
9.2 代表的なアプリケーション.....23
9.3 電源に関する推奨事項.....34
9.4 レイアウト.....34
10 デバイスおよびドキュメントのサポート.....36
10.1 デバイス サポート.....36
10.2 ドキュメントのサポート.....36
10.3 ドキュメントの更新通知を受け取る方法.....36
10.4 サポート・リソース.....36
10.5 商標.....36
10.6 静電気放電に関する注意事項.....36
10.7 用語集.....36
11 改訂履歴.....37
12 メカニカル、パッケージ、および注文情報.....37

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

部品番号	内部イベーブルのデフォルト設定	出力電圧 / コメント
TPS63820YBGR	ENABLE = 1	3.3V
TPS638201YBGR	ENABLE = 0	起動時にプログラム可能
TPS638202YBGR	ENABLE = 1	より高速な過渡応答を実現できるように最適化済みの 3.3V。

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

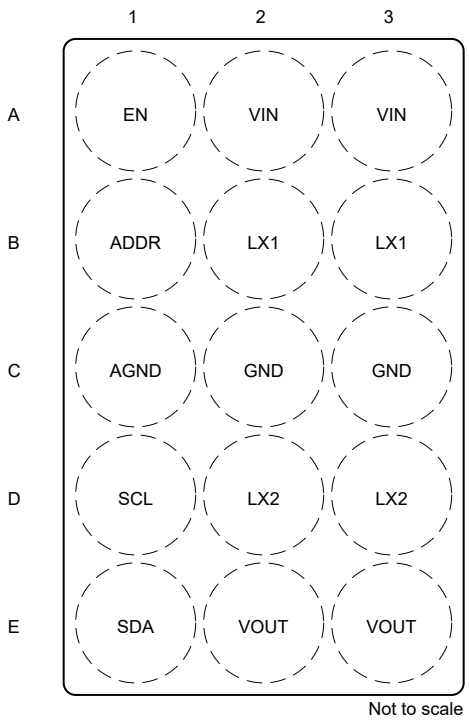


図 5-1. TPS63820、TPS638201、および TPS638202 YBG パッケージ、15 ボール DSBGA (上面図)

表 5-1. ピンの機能

ピン		タイプ(1)	説明
番号	名称		
A1	EN	I	デバイス イネーブル。このピンが High ロジック レベルになるとデバイスは有効化され、このピンが Low ロジック レベルになるとデバイスが無効化されます。
A2、A3	VIN	PWR	電力段の電源電圧
B1	ADDR	I	I²C ターゲット アドレス選択ピン。 ADDR = ロジック Low、I²C ターゲット アドレスは 0x75 ADDR = ロジック High、I²C ターゲット アドレスは 0x76 ADDR = フローティング、I²C ターゲット アドレスは 0x77
B2、B3	LX1	PWR	インダクタの接続
C1	AGND	—	アナログ グランド
C2、C3	GND	PWR	電源グランド
D1	SCL	I/O	I²C シリアル インターフェイス クロック入力。このピンを抵抗器で I² C バス電圧まで引き上げます。
D2、D3	LX2	PWR	インダクタの接続
E1	SDA	I/O	I²C シリアル インターフェイス データ。このピンを抵抗器で I² C バス電圧まで引き上げます。
E2、E3	VOUT	PWR	コンバータの出力

(1) I = 入力、O = 出力、PWR = パワー

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_I	入力電圧 (VIN、LX1、LX2、VOUT、SCL、SDA、EN、ADDR)(2)	-0.3	6	V
V_I	10ns 未満の入力電圧 (LX1、LX2) (2)	-0.7	8	V
T_J	動作時接合部温度	-40	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示す値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 電圧値はすべて、特に記載のない限り、ネットワークのグランド端子を基準としています。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	±500	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_I	電源電圧		1.8		5.5	V
V_O	出力電圧		1.2		5.5	V
I_O	出力電流(2)	V_{OUT} = 3.3V、V_{IN} ≥ 2.6V			3.5	A
C_I	入力容量(1)		5			µF
C_O	TPS63820/TPS638201 出力キャパシタンス(1)	V_{OUT} = 3.3V、V_{IN} ≥ 2.6V、I_{OUT} ≤ 2A	14	16		µF
C_O	TPS638202 出力キャパシタンス(1)	V_{OUT} = 3.3V、V_{IN} ≥ 3.0V、I_{OUT} ≤ 2A(3)	14	16		µF
L	インダクタンス		390	470	560	nH
T_A	動作温度範囲		-40		85	°C
T_J	動作ジャンクション温度範囲		-40		125	°C

(1) DC バイアス効果を考慮した後の有効静電容量。
(2) このデバイスは、接合部温度が高温になるまでの短時間のみ最大推奨出力電流を維持できます。ユーザーは、最終アプリケーションの熱性能が最大出力電流をサポートできることを確認する必要があります。
(3) 作業条件の詳細については、テキサス・インスツルメンツまでお問い合わせください。

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準(1)		TPS63820 YBG (DSBGA) 15 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	83.5	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	1.4	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	21.6	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.4	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	21.6	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

T_J = –40℃ ～ 125℃、V_{IN} = 2.0V ～ 5.5V。標準値は、V_{IN} = 3.6V、V_{OUT} = 3.3V、T_J = 25°C です (特に記述のない限り)。

パラメータ			テスト条件	最小値	標準値	最大値	単位
電源							
V_{IN}	入力電圧範囲			1.8		5.5	V
V_{IT+}	正方向の UVLO スレッショルド電圧			1.8	1.9	2.0	V
V_{IT-}	負方向の UVLO スレッショルド			1.6	1.7	1.8	V
V_{HYS}	ヒステリシス電圧				200		mV
I_Q	VIN への静止電流		V_{IN} = 3.6V、V_{OUT} = 3.3V、V_{EN} = 3.6V、非スイッチング、ENABLE ビット = 1、T_J = –40°C ～ 85°C		2.3	4	µA
I_Q	VOUT への静止電流		V_{IN} = 3.6V、V_{OUT} = 3.3V、V_{EN} = 3.6V、非スイッチング、ENABLE ビット = 1、T_J = –40°C ～ 85°C		0.3	1	µA
I_{SD}	VIN へのシャットダウン電流		V_{IN} = 3.6V、V_{OUT} = 0V、V_{EN} = 0V T_J = –40°C ～ 85°C		0.3	2.5	µA
I/O 信号							
V_{IT+}	正方向入力スレッショルド電圧	SCL、SDA、ADDR、EN				0.82	V
V_{IT-}	負方向入力スレッショルド電圧	SCL、SDA、ADDR、EN		0.33			V
V_{IM}	Mid レベル入力電圧	ADDR			0.6		V
V_{OL}	Low レベル出力電圧	SDA				0.36	V
I_{IH}	High レベル入力電流	SCL、SDA、ADDR	V_{SCL} = V_{SDA} = V_{ADDR} = 1.2V、プルアップ抵抗なし		0.01	0.1	µA
I_{IL}	Low レベル入力電流	SCL、SDA、ADDR	V_{SCL} = V_{SDA} = V_{ADDR} = 0V、プルアップ抵抗なし		0.01	0.1	µA
I_{IB}	入力バイアス電流	EN	V_{EN} = 0V ～ 5.5V		2.5	30	nA
R_{EN}	EN ピンのプルダウン抵抗		EN = Low		800		kΩ
電力段							
V_O	出力電圧範囲			1.2		5.5	V
	出力電圧精度		PWM 動作、2V ≤ V_{OUT} < 3V	-1.2		1	%
			PWM 動作、3V≤ V_{OUT} < 4V	-1		1	%
			PWM 動作、V_{OUT} ≥ 4V	-1.2		1	%
	PFM バレー - DC オフセット		PFM 動作	0.7	1.5	2.5	%
	バレー スイッチング電流制限		CURRENT_LIMIT = 00b	5.7	6.5	7	A
	逆バレー スイッチング電流制限			-4.0	-3.3	-2	A
	ヒステリシス電流		HYS_CURRENT = 00b		800		mA

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_J = –40℃ ～ 125℃、V_{IN} = 2.0V ～ 5.5V。標準値は、V_{IN} = 3.6V、V_{OUT} = 3.3V、T_J = 25°C です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
降圧側 $R_{DS(on)}$	降圧側のハイサイド MOSFET オン抵抗			11.6		mΩ
	降圧側のローサイド MOSFET オン抵抗			15.5		
昇圧側 $R_{DS(on)}$	昇圧側のハイサイド MOSFET オン抵抗			11.6		
	昇圧側のローサイド MOSFET オン抵抗			15.3		
I_{lkg}	VIN から LX1 へのリーク電流	EN = GND、V_{IN} = 5.5V、V_{LX1} = 0V、T_J = –40°C ～ 85°C		0.03	4	µA
I_{lkg}	VOUT から LX2 へのリーク電流	EN = GND、V_{OUT} = 5.5V、V_{LX2} = 0V、T_J = –40°C ～ 85°C		0.03	4	µA
I_{lkg}	LX1 から GND へのリーク電流	EN = GND、V_{LX1} = 5.5V、T_J = –40°C ～ 85°C		0.02	4	µA
I_{lkg}	LX2 から GND へのリーク電流	EN = GND、V_{LX2} = 5.5V、T_J = –40°C ～ 85°C		0.02	4	µA
I_{DISCHG}	出力放電電流	V_{IN} = 3.0V		160		mA
タイミング パラメータ						
t_{SS}	ソフト スタート時間	SS_RAMP[2:0] = 00b	0.2	0.3	0.4	mS
$t_{d(EN)}$	EN ピンの立ち上がりエッジと出力電圧ランプの開始の間の遅延			200		µS
	超音波モードでのスイッチング周波数		24			kHz
SR	動的電圧スケーリング時の内部ランプのスルーレート	SLEW = 00b		±1		V/ms
		SLEW = 01b		±5		
		SLEW = 10b		±10		
		SLEW = 11b		±25		
PROTECTION						
$V_{T+(IVP)}$	入力 OVP スレッショルド電圧		5.65	5.75	5.95	V
	入力 OVP ヒステリシス			100		mV
$V_{T+(OVP)}$	出力 OVP スレッショルド電圧		5.65	5.75	5.95	V
	出力 OVP ヒステリシス			100		mV
$V_{PG_TH_rising}$	立ち上がりのパワー グッド スレッショルド			95		%
$V_{PG_TH_falling}$	立ち下がりのパワー グッド スレッショルド			90		%
	ヒカップ オン時間			2		mS
	ヒカップ オフ時間			74		mS
	サーマル シャットダウン スレッショルド温度	T_J 立ち上がり		165		°C
	サーマル シャットダウン ヒステリシス			20		°C

6.6 タイミング要件

動作接合部温度範囲および推奨電源電圧範囲 (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数	スタンダード モード	0		100	kHz
		ファスト モード	0		400	
		ファスト モード プラス	0		1000	
t_{LOW}	SCL クロック Low 期間	スタンダード モード	4.7			µs
		ファスト モード	1.3			
		ファスト モード プラス	0.5			
t_{HIGH}	SCL クロックの High の時間	スタンダード モード	4.0			µs
		ファスト モード	0.6			
		ファスト モード プラス	0.26			

Copyright © 2026 Texas Instruments Incorporated

6.6 タイミング要件 (続き)

動作接合部温度範囲および推奨電源電圧範囲（特に記載のない限り）

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{BUF}	停止条件と開始条件の間のバス フリー時間	スタンダード モード	4.7			µs
		ファスト モード	1.3			
		ファスト モード プラス	0.5			
$t_{SU;STA}$	繰り返し START 条件のセットアップ時間	スタンダード モード	4.7			µs
		ファスト モード	0.6			
		ファスト モード プラス	0.26			
$t_{HD;STA}$	(繰り返し) START 条件のホールド時間	スタンダード モード	4.0			µs
		ファスト モード	0.6			
		ファスト モード プラス	0.26			
$t_{SU;DAT}$	データ セットアップ時間	スタンダード モード	250			ns
		ファスト モード	100			
		ファスト モード プラス	50			
$t_{HD;DAT}$	データ ホールド時間	スタンダード モード	0			µs
		ファスト モード	0			
		ファスト モード プラス	0			
t_r	SDA 信号と SCL 信号の両方の立ち上がり時間	スタンダード モード			1000	ns
		ファスト モード	20		300	
		ファスト モード プラス			120	
t_f	SDA 信号と SCL 信号の両方の立ち下がり時間	スタンダード モード			300	ns
		ファスト モード	$20 \times V_{DD}/5.5$		300	
		ファスト モード プラス	$20 \times V_{DD}/5.5$		120	
$t_{su;\ STO}$	STOP 条件のセットアップ時間	スタンダード モード	4.0			µs
		ファスト モード	0.6			
		ファスト モード プラス	0.26			
$t_{VD;DAT}$	データ有効時間	スタンダード モード			3.45	µs
		ファスト モード			0.9	
		ファスト モード プラス			0.45	
$t_{VD;ACK}$	データ有効アクノリッジ時間	スタンダード モード			3.45	µs
		ファスト モード			0.9	
		ファスト モード プラス			0.45	
C_b	各バス ラインの容量性負荷	スタンダード モード			400	
		ファスト モード			400	
		ファスト モード プラス			550	
$t_{w(VSEL)}$	VSEL パルス幅	VSEL = High または Low	5			µs

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性

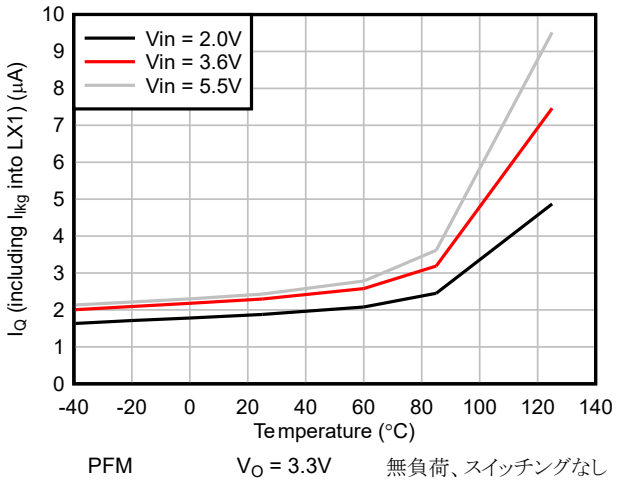


図 6-1. I_Q (LX1 へのリーケージを含む) と温度との関係

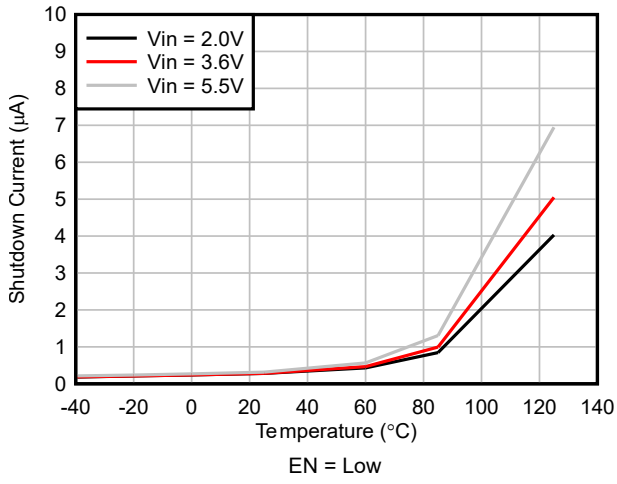


図 6-2. シャットダウン電流と温度との関係

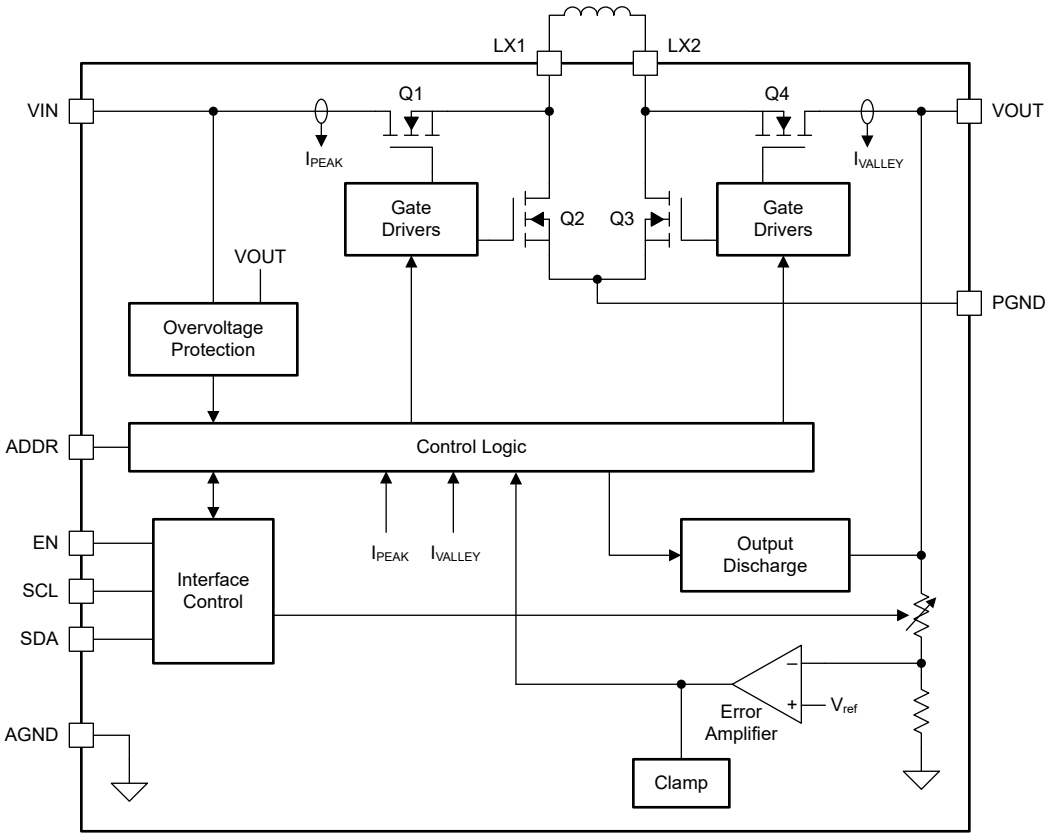
7 詳細説明

7.1 概要

TPS63820、TPS638201、および TPS638202 デバイスは、低静止電流、高効率の昇降圧コンバータです。4 つのスイッチが内蔵されているため、あらゆる動作条件下で同期電力変換を維持できます。そのため、幅広い入力電圧と出力電流にわたって高効率の電力変換を実現できます。これらのデバイスは、動作条件に応じて、降圧、昇圧、昇降圧動作を自動的に切り替えます。これらのデバイスは、$V_I > V_O$ のとき真の降圧コンバータとして、$V_I < V_O$ のとき真の昇圧コンバータとして動作します。$V_I \approx V_O$ のとき、デバイスは 3 サイクルの昇降圧モードで動作します。

TPS638202 は、重負荷プロファイルでの負荷ステップ応答が問題となるアプリケーション向けに最適化されています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 制御方式

デバイスは、動作条件に最適なスイッチング方式を自動的に選択します。安定した動作を確保するため、選択ロジックにはヒステリシスが含まれています (図 7-1 を参照)。

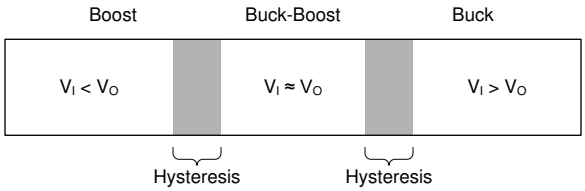


図 7-1. スイッチング方式の選択

Copyright © 2026 Texas Instruments Incorporated

7.3.1.1 降圧動作

$V_I > V_O$ になると、このデバイスは降圧コンバータのようにスイッチングを行います。

- Q1 はスイッチです。
- Q2 は整流器です。
- Q3 は永続的にオフです。
- Q4 は永続的にオンです。

図 7-2 を参照してください。降圧動作中、1 つのスイッチング サイクルは、オンとオフの 2 つのフェーズで構成されています。

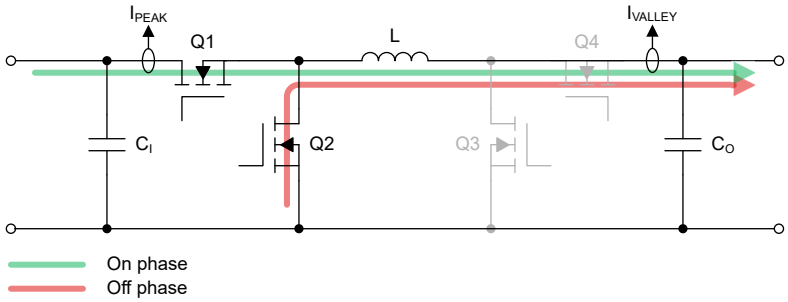


図 7-2. 降圧スイッチの構成

7.3.1.2 昇圧動作

$V_I < V_O$ になると、このデバイスは昇圧コンバータのようにスイッチングを行います。

- Q1 は永続的にオンです。
- Q2 は永続的にオフです。
- Q3 はスイッチです。
- Q4 は整流器です。

図 7-3 を参照してください。昇圧動作中、1 つのスイッチング サイクルは、オンとオフの 2 つのフェーズで構成されています。

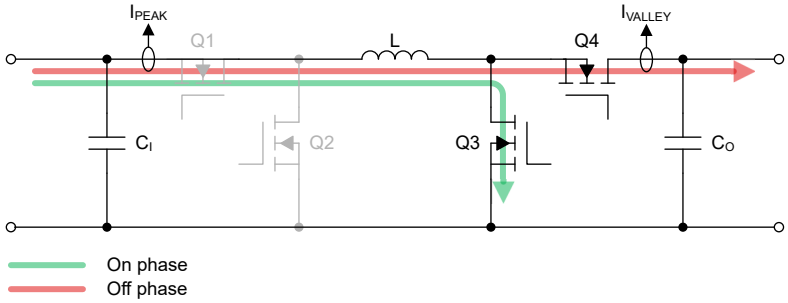


図 7-3. 昇圧スイッチの構成

7.3.1.3 昇降圧動作

$V_I \approx V_O$ の場合、4 つのトランジスタすべてが連続的にスイッチングします (図 7-4 を参照)。降圧動作中、1 つのスイッチング サイクルは、オン、整流、オフの 3 つのフェーズで構成されています。

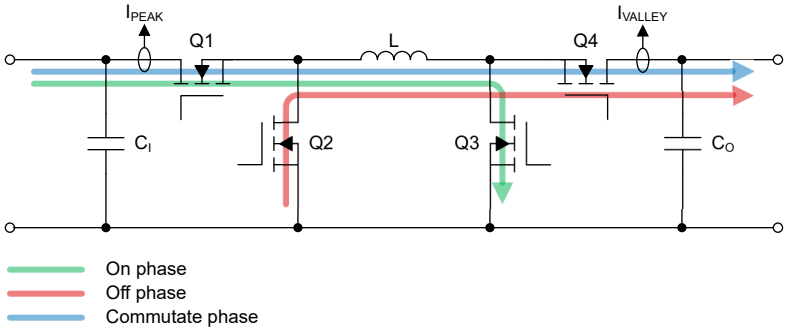


図 7-4. 昇降圧スイッチの構成

7.3.2 PFM 動作

広範囲の動作条件にわたって効率を高めるために、デバイスは中出力電流および大出力電流でのパルス幅変調 (PWM) から低出力電流でのパルス周波数変調 (PFM) に自動的に切り替わります。

- PWM 動作中、デバイスは連続的にスイッチングを行い、各スイッチング サイクルのデューティ サイクルを調整することで、出力電圧をレギュレートします。
- PFM 動作中、デバイスはスイッチングしないときの周期で隔てられた単一パルスでスイッチングします。PFM 動作では、低出力電流時に効率が向上します。スイッチング損失が発生しない場合、内部回路のほとんどがディスエーブルになるため、静止消費電力が低減されます。コンパレータは、エラー アンプの出力電圧を、事前定義された PFM スレッショルド電圧と比較します。

パワーセーブ モードをイネーブルにするには、制御レジスタの FPWM ビットを 0 にクリアします。

表 7-1. 強制 PWM とパワーセーブ モードの性能の比較

性能パラメータ	最適な動作モード
低消費電力性能	PFM
中電力効率と大電力効率	違いなし
DC 出力電圧精度	強制 PWM
過渡応答	強制 PWM
出力電圧リップル	強制 PWM

7.3.3 超音波モード動作

PFM 動作中、スイッチング間隔は動作条件に応じて変化します。通常、デバイスで使用されるセラミック コンデンサは圧電性なので、特定の動作条件によって可聴ノイズが発生する可能性があります。このデバイスには超音波モード機能があり、スイッチング周波数を強制的に可聴範囲外にします。超音波モードの動作をイネーブルにするには、CONTROL レジスタの ULTRA_SONIC ビットを 1 に設定します。軽負荷時に超音波モードをイネーブルにした場合、デバイスの電力変換効率がわずかに低下する可能性があることに注意してください。

7.3.4 強制 PWM 動作 (FPWM)

強制 PWM 動作中、このデバイスはすべての動作条件に PWM を使用します。強制 PWM 動作は、パワーセーブ モード動作よりも出力電圧リップルが小さく、過渡応答が良好ですが、低出力電流では効率が低下します (表 7-1 を参照)。

起動中 (つまり、コンバータの出力が初めてパワーグッドに達するまで)、このデバイスは強制 PWM 動作を禁止することに注意してください。

強制 PWM 動作を有効にするには、制御レジスタの FPWM ビットを 1 に設定します。

Copyright © 2026 Texas Instruments Incorporated

7.3.5 ランプPWM 動作 (RPWM)

Ramp-PWM 動作が有効な場合、デバイスは動的電圧スケーリング中に、ある出力電圧から別の出力電圧へ遷移する際に、強制 PWM で動作します。この機能は、デバイスがパワーセーブ モードで動作している場合に便利ですが、動的電圧スケーリングにより出力電圧が制御された方法で上下することを確認してください。デバイスがパワーセーブ モードで動作し、ランプ PWM が無効になっている場合、パワーセーブ モードではデバイスが電流をシンクできないため、デバイスは常に高い出力電圧から低い出力電圧へのランプを制御できるとは限りません (図 7-5 を参照)。

ランプ PWM 動作をイネーブルにするには、制御レジスタの RAMP ビットを 1 に設定します。ランプ PWM 動作をディスエーブルにするには、制御レジスタの RAMP ビットを 0 にクリアします。

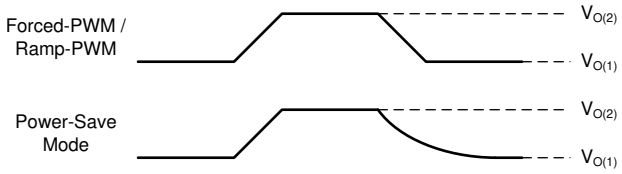


図 7-5. ランプ PWM 動作

7.3.6 デバイス イネーブル (EN)

EN ピンはデバイスをイネーブル/ディセーブルします。

- EN ピンが High のとき、デバイスはオンになります。
- EN ピンが Low になると、デバイスは無効化されます。

制御レジスタの ENABLE ビットを使用すると、コンバータの出力がイネーブルおよびディスエーブルになります (「セクション 8」を参照)。

表 7-2. デバイス イネーブル真理値表

イネーブル ピン (EN)	イネーブル ビット	デバイスの状態	出力状態
0	X	デバイスはシャットダウン中	出力ディセーブル
1	0	アクティブなプログラミング インターフェース	出力ディセーブル
1	1	デバイスはアクティブ	出力イネーブル

7.3.7 低電圧誤動作防止 (UVLO)

デバイスがシャットダウン モードにない場合、VIN ピンの入力電圧は継続的に監視されます。UVLO は、コンバータ動作を停止または開始するのみです。UVLO は、デバイス動作中のデバイスのブラウンアウトを回避します。VIN ピンの電源電圧が UVLO の負方向しきい値を下回る場合、コンバータは動作を停止します。VIN ピンの電源電圧が UVLO 立ち上がりしきい値より高く回復した場合、コンバータは動作に戻ります。

7.3.8 ソフト スタート

入力電圧が UVLO スレッショルドを上回り、EN ピンが 0.82V を上回ると、デバイスがイネーブルになります。デバイスが ENABLE ビット値 = 1 を検出すると、ソフトスタートが開始します。

起動時の突入電流と出力電圧のオーバーシュートを最小限に抑えるため、このデバイスはソフトスタート機能を備えています。ソフトスタート時間は CONTROL2 レジスタの SS_RAMP ビットで構成できます。最短ソフトスタート時間は 300us、最長のソフトスタート時間は 7.5ms です。

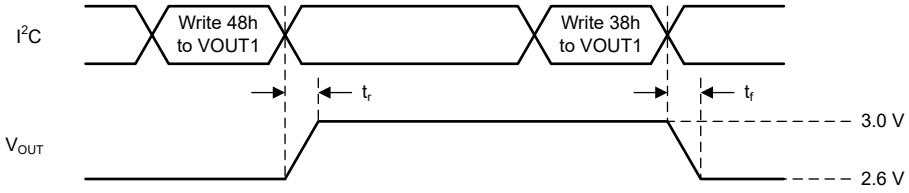
出力電圧が 1.2V 未満になると、デバイスのスイッチング電流制限は 3A にクランプされます。

7.3.9 ダイナミック電圧スケーリング

このデバイスには、動作中に制御された方法で出力電圧を変更するダイナミック電圧スケーリング (DVS) 機能が搭載されています。図 7-6 に、I^2C インターフェイスを使用して VOUT レジスタのいずれかの出力電圧値を変更するタイミング図を示します。ランプ制御ブロックは、目標出力電圧と実際の出力電圧が異なる場合にそれを検出し、25mV / 秒で出力電圧

Copyright © 2026 Texas Instruments Incorporated

を目標電圧までランプアップします。制御レジスタの 2 ビット SLEW パラメータを使用して、1V/ms ～ 25V/ms の 4 つのスルーレートのいずれかを選択します。



$$t_r = t_f = \frac{|3.0 - 2.6|}{SR}$$

Where SR is the slew rate set by the SLEW bits in the CONTROL register.

図 7-6. I²C インターフェイスを使用した DVS のタイミング

7.3.10 保護機能

7.3.10.1 入力電圧保護 (IVP)

特定の動作条件では、電流がデバイスの出力から入力に流れる可能性があります。たとえば、この種の電流が出力から入力へ流れる場合、動的電圧スケーリング中に出力が低い電圧まで低下し、VOUT ピンが出力コンデンサから電流をシンクする場合があります。このような状態では、デバイスに電力を供給する電圧源が電流をシンクできない場合、VIN ピンの電圧が制御不能に上昇する可能性があります。

入力電圧を許容範囲内に維持するために、VIN ピンの電圧が 5.75V を超えると、デバイスはスイッチングを停止します。VIN ピンの電圧が 5.65V を下回ると、デバイスは自動的にスイッチングを再開します。

デバイスは、入力過電圧イベントが発生すると、ステータス レジスタの VIN_OVP ビットを設定します。入力過電圧状態が解消されると、デバイスは VIN_OVP ビットをクリアします。

7.3.10.2 出力電圧保護 (OVP)

デバイスには、デバイスの損傷を回避する出力過電圧保護機能があります。VOUT ピンで出力電圧スレッショルド 5.75V に達すると、保護機能によりコンバータの電力段がオフになり、スイッチング ノードがハイ インピーダンスになります。VOUT ピンの電圧が 5.65V を下回ると、デバイスは自動的にスイッチングを再開します。デバイスは、出力過電圧イベントが発生すると、ステータス レジスタの VOUT_OVP ビットを設定します。出力過電圧状態が解消されると、デバイスは VOUT_OVP ビットをクリアします。

7.3.10.3 電流制限モードおよび過電流保護

このデバイスにはクランプ回路があり、過負荷時にスイッチ電流を制限します。デバイスは、電流制限イベントが発生すると、ステータス レジスタの OC ビットを設定します。過電流イベントが解消されると、デバイスは OC ビットをクリアします。

過負荷になると、デバイスの消費電力が増加し、温度が上昇します。デバイスが過熱した場合、サーマル シャットダウン機能によってコンバータがオフになります。デバイスの温度が下がると、サーマル シャットダウン機能によってコンバータが自動的に再びオンになります。したがって、恒久的な過負荷状態では、冷却してから加熱するため、デバイスは定期的にオンとオフを切り替えることができます。

7.3.10.4 出力短絡保護機能 (ヒカップ)

このデバイスは、ヒカップモードに移行することで出力短絡保護機能を実装します。ソフト スタートアップ時間の後、このデバイスは出力電圧を監視します。出力短絡が発生し、出力電圧が 1.2V 未満になり、スイッチ電流制限が 2ms 間トリガされると、デバイスはスイッチングを 74ms (標準値) 間シャット ダウンし、その後ソフト スタートを繰り返します。出力短絡または過電流状態において、ヒカップ モードはデバイスの合計消費電力を低減するのに役立ちます。出力短絡イベントが発生すると、デバイスはステータス レジスタの SC ビットを設定します。

Copyright © 2026 Texas Instruments Incorporated

7.3.10.5 サーマル シャットダウン

デバイスにはサーマル シャットダウン機能があり、接合部温度が 165°C よりも高い場合にはコンバータがオフになります。接合部温度が 145°C よりも低くなると、デバイスは自動的にコンバータを再度オンにします。デバイスが過熱状態にあるときは、I^2C インターフェイスを使用してレジスタの読み取りと書き込みを行います。

デバイスが過熱状態を検出すると、ステータス レジスタの TSD ビットが 1 に設定されます。過熱イベントが解消されると、デバイスは TSD ビットを 0 にクリアします。

7.3.11 パワー グッド

このデバイスにはパワーグッド機能があり、DC/DC コンバータの出力がレギュレーション状態かどうかを示します。このデバイスは、出力電圧が公称値の 95% を超えるとパワーグッド状態を検出し、出力電圧が公称値の 90% を下回るときにパワーノットグッド状態を検出します。

パワーノットグッド状態が発生すると、デバイスはステータス レジスタの $\overline{PG}$ ビットを 1 に設定します。パワーグッド状態が続くと、デバイスは $\overline{PG}$ ビットを 0 にクリアします。

7.3.12 負荷切断

デバイスのシャットダウン中、入力は出力から切り離されます。このように出力と入力の間の接続を解除することで、出力から入力、または入力から出力への電流の流れを防止できます。

7.3.13 出力放電

TPS63820、TPS638201、および TPS638202 は、EN ピンがロジック "Low" の場合、または EN_DISCHG ビットが 1 のときに ENABLE ビットが 0 に設定されている場合に、出力をすばやく放電するためのアクティブ プルダウン電流を提供します。出力放電機能により、電源のオン / オフのシーケンスがスムーズになります。このデバイスを電力多重化などの用途で使用する場合は、出力放電機能に注意してください。出力放電回路により、マルチプレクサ出力とグランドの間に一定の電流経路が形成されるためです。

出力放電機能は、EN_DISCHG というビットによって制御されます。

EN_DISCHG が 1 に設定されている場合、VIN UVLO 立ち下がりスレッショルドがトリガされたときに、TPS63820、TPS638201、および TPS638202 は放電電流も供給します。放電回路は、VIN が 1V 付近に低下するまで動作します。

7.4 デバイスの機能モード

このデバイスには、オフとオンの 2 つの機能モードがあります。VIN ピンの電圧が UVLO スレッショルドより高く、EN ピンに高いロジック レベルが印加されると、デバイスは ON モードに移行します。VIN ピンの電圧が UVLO スレッショルドを下回るか、EN ピンに低いロジック レベルが印加されると、デバイスは OFF モードに移行します。

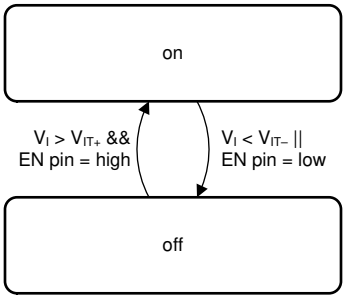


図 7-7. デバイスの機能モード

7.5 プログラミング

7.5.1 シリアル インターフェイスの説明

I²C は、Philips Semiconductor (現 NXP Semiconductors)『NXP Semiconductors、UM10204–I² C-Bus 仕様およびユーザー マニュアル』を参照）が開発した 2 線式シリアル インターフェイスです。バスは、プルアップ構造を持つデータ ライン (SDA) とクロック ライン (SCL) で構成されます。バスがアイドルのときは、SDA ラインと SCL ラインの両方が High にプルされます。I²C 対応デバイスはすべて、オープン ドレイン I/O ピン、SDA、SCL を介して I²C バスに接続します。通常はマイクロコントローラまたはデジタル信号プロセッサである制御装置がバスを制御します。制御装置は、SCL 信号とデバイス アドレスを生成する役割を担っています。コントローラは、データ転送の開始と停止を示す特定の条件も生成します。ターゲット デバイスは、コントローラ デバイスの制御下でバス上のデータを受信し、送信します。

このデバイスはターゲットとして動作し、I²C-Bus 仕様で定義されている次のデータ転送モードをサポートしています:

- スタンダード モード (100Kbps)
- 高速モード (400Kbps)
- 高速モード プラス (1Mbps)

このインターフェイスにより、電源アプリケーションに柔軟性が加わり、アプリケーションの即時の要件に応じて、ほとんどの機能を新しい値にプログラムすることが可能になります。電源電圧が $V_{IT+(POR)}$ を上回っている限り、レジスタの内容はそのまま維持されます。

スタンダード モードとファスト モードのデータ転送プロトコルはまったく同じであるため、このドキュメントではデータ転送プロトコルを F/S モードと呼びます。この装置は 7 ビットのアドレス指定に対応しています。10 ビットのアドレス指定および一般呼出しアドレスには対応していません。

デバイスの I²C 機能が正しくリセットされていることを確認するため、TI は、SDA および SCL プルアップ電圧の初期電源投入後に、I²C コントローラが I² C バス上で STOP コンディションを開始することを推奨しています。

7.5.2 Standard-Mode、Fast-Mode、Fast-Mode Plus のプロトコル

コントローラは、スタート条件を生成することで、データ転送を開始します。図 7-8 で示されているように、SCL がハイの状態で SDA ラインにハイからローへの遷移が発生すると、スタート条件となります。すべての I²C 互換デバイスは、スタート条件を認識します。

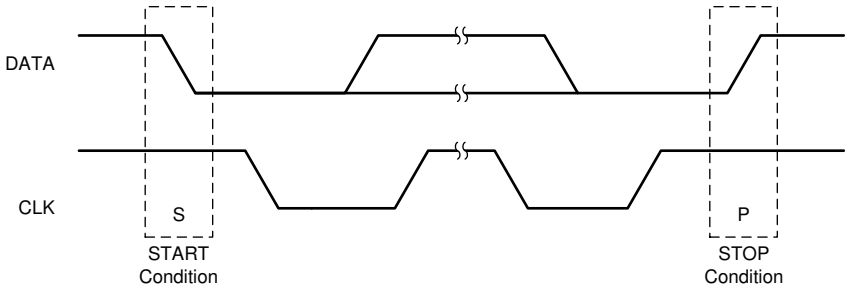


図 7-8. 開始条件と停止条件

その後、コントローラは SCL パルスを生成し、7 ビットのアドレスと読み取り/書き込み方向ビット R/W を SDA ラインに送信します。すべての送信中、コントローラはデータを検証します。有効なデータ条件では、クロックパルスのハイ期間全体にわたって SDA ラインが安定している必要があります（図 7-9 を参照）。すべてのデバイスは、コントローラによって送信されたアドレスを認識して、内部の固定アドレスと比較します。一致するアドレスを持つターゲット デバイスだけが、9 番目の SCL サイクルのハイ期間全体にわたって SDA ラインをローにすることで、アクノリッジ（図 7-10 を参照）を生成します。この確認を検出すると、コントローラはターゲットとの通信リンクが確立されたことを認識します。

Copyright © 2026 Texas Instruments Incorporated

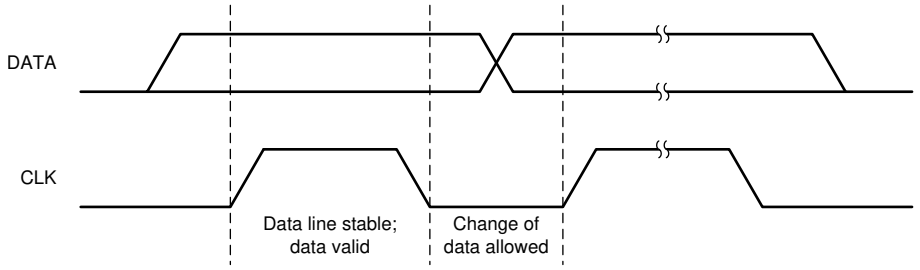


図 7-9. シリアル インターフェイスでのビット転送

コントローラは、ターゲットにデータを送信する（R/W ビット 1）か、ターゲットからデータを受信する（R/W ビット 0）ために、さらに SCL サイクルを生成します。どちらの場合も、送信側から送信されたデータに対して受信側がアクノリッジを返す必要があります。確認応答信号は、コントローラまたはターゲットのどちらが受信者であるかによって、コントローラまたはターゲットのどちらかによって生成されます。8 ビットのデータと 1 ビットのアクノリッジから構成される 9 ビットの有効なデータシーケンスを、必要なだけ続けることができます。

データ転送の終了を通知するために、コントローラは SCL ラインがハイの状態で SDA ラインをローからハイに引き上げることでストップ条件を生成します（図 7-8 を参照）。SCL が高レベルのときに SDA ラインが低レベルから高レベルに遷移すると、バスが解放され、指定されたターゲットとの通信リンクが停止します。すべての I^2C 互換デバイスが、ストップ条件を認識する必要があります。ストップ条件の受信によって、すべてのデバイスはバスが解放されたことを認識し、スタート条件および一致するアドレスが送信されるのを待ちます。

このセクションに示されていないレジスタ アドレスからデータを読み取ろうとした場合には、00h が読み出されます。

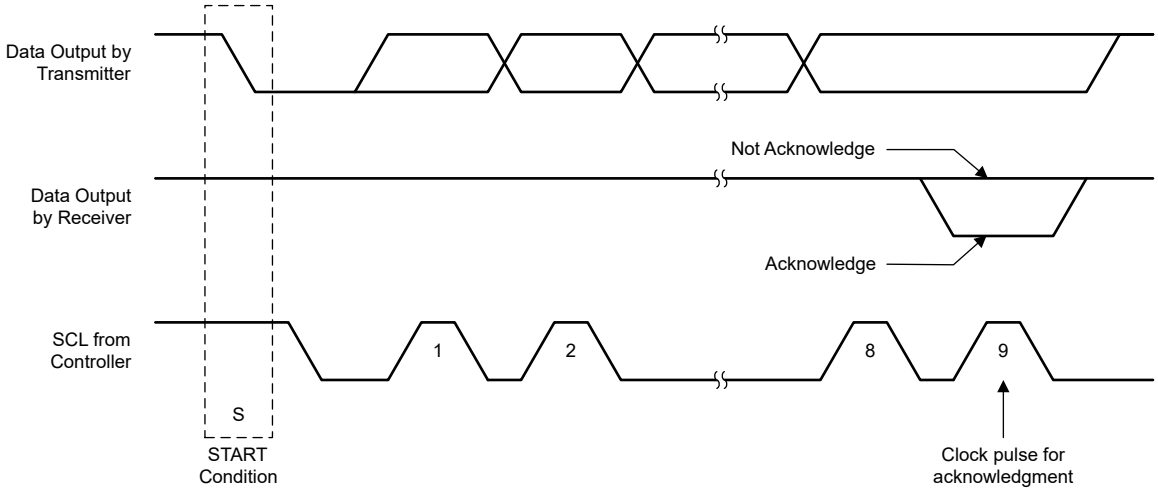


図 7-10. I^2C バスのアクノリッジ

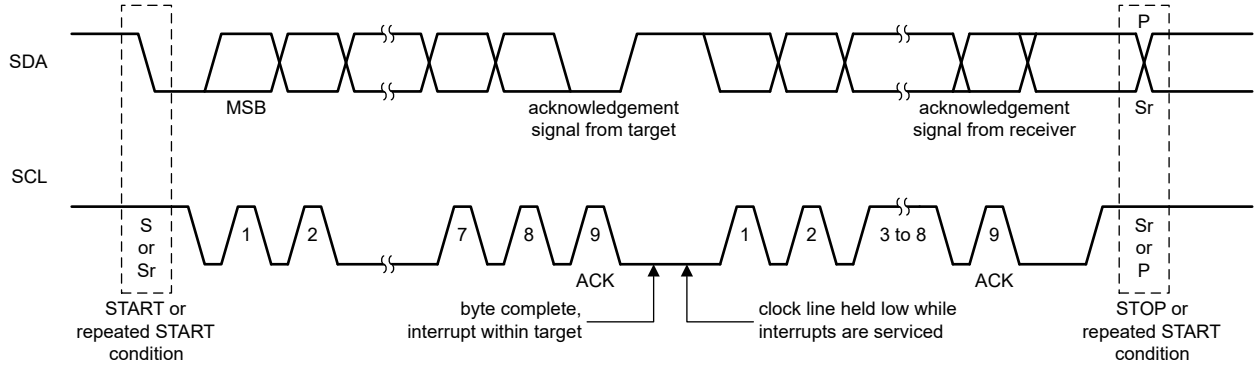


図 7-11. バス プロトコル

7.5.3 I²C 更新シーケンス

1 回の更新では、次のものが必要です。

- 開始条件
- 有効な I²C ターゲット アドレス
- レジスタ アドレス
- データ バイト

各バイトの受信を確認するために、デバイスは単一のクロック パルスの High 期間中に SDA ラインを Low にします。デバイスは、最後のバイトに続く確認応答信号の立ち下がりエッジで更新を実行します。

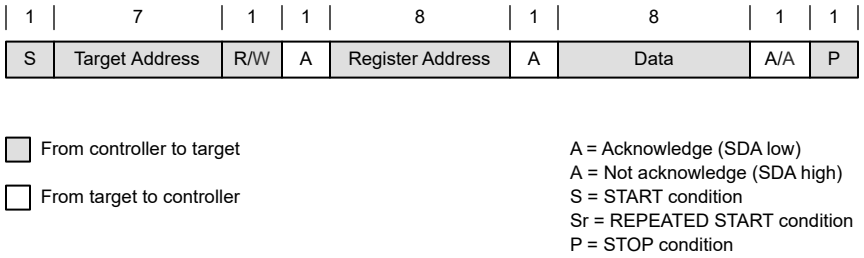


図 7-12. 標準、高速、高速プラスの各モードにおける「書き込み」データ転送フォーマット

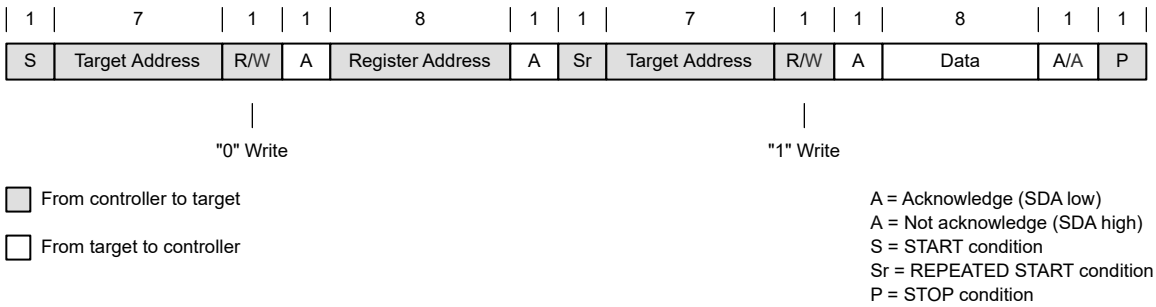


図 7-13. 標準、高速、高速プラスモードにおけるデータ転送フォーマットの「読み取り」

Copyright © 2026 Texas Instruments Incorporated

8 レジスタ マップ

8.1 レジスタの説明

8.1.1 レジスタ マップ

アドレス	略称	レジスタ名	セクション
0x01	制御	制御レジスタ	表示
0x02	ステータス	ステータス レジスタ	表示
0x03	DEVID	DEVID レジスタ	表示
0x04	VOUT1	VOUT1 レジスタ	表示
0x06	CONTROL2	Control2 レジスタ	表示

8.1.2 レジスタ CONTROL (レジスタ アドレス : 0x01、デフォルト : 0xE0 または 0x40)

レジスタ マップに戻る。

表 8-1. レジスタ CONTROL のフォーマット

7	6	5	4	3	2	1	0
EN_DISCHG	EN_SCP	イネーブル	ULTRA_SONIC	FPWM	RPWM	SLEW[1:0]	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	

LEGEND : R/W = 読み取り / 書き込み、R = 読み取り専用

表 8-2. レジスタ CONTROL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	EN_DISCHG	R/W	X	出力放電機能をイネーブルにします。 0 : 出力放電機能はディスエーブル (TPS638201) 1 : 出力放電機能はイネーブル (TPS63820 および TPS638202)
6	EN_SCP	R/W	1	出力短絡保護 (ヒカップ) をイネーブルにします。 0 : 出力短絡保護はディスエーブル **1 : 出力短絡保護はイネーブル**
5	イネーブル	R/W	X	このビットは、コンバータの動作を制御します。 0 : コンバータ動作がディスエーブル (TPS638201 の起動値) 1 : コンバータ動作がイネーブル (TPS63820 および TPS638202 の起動値)
4	ULTRA_SONIC	R/W	0	このビットは、超音波モード機能を制御します。 **0 : 超音波モードをディスエーブル** 1 : 超音波モード イネーブル
3	FPWM	R/W	0	このビットは強制 PWM 機能を制御します。 **0 : 強制 PWM 動作をディスエーブル** 1 : 強制 PWM 動作をイネーブル
2	RPWM	R/W	0	このビットはランプ PWM 機能を制御します。 **0 : ランプ PWM 動作をディスエーブル** 1 : ランプ PWM 動作をイネーブル
1:0	SLEW[1:0]	R/W	00	これらのビットは、DVS 機能のスルーレートを制御します。 **00 : ±1V/ms** 01 : ±5V/ms 10 : ±10V/ms 11 : ±25V/ms

8.1.3 レジスタ STATUS (レジスタ アドレス : 0x02、デフォルト : 0x00)

レジスタ マップに戻る。

Copyright © 2026 Texas Instruments Incorporated

表 8-3. レジスタ STATUS フォーマット

7	6	5	4	3	2	1	0
NIL[1:0]		VIN_OVP	VOUT_OVP	SC	OC	TSD	$\overline{PG}$
R		R	R	R	R	R	R

凡例：R/W = 読み取り / 書き込み、R = 読み取り専用

表 8-4. レジスタ STATUS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	NIL[1:0]	R	00	未使用。 これらのビットは読み取られると常に 0 を返します。
5	VIN_OVP	R	0	このビットは、VIN 過電圧機能のステータスを示します。 **0 :通常動作** 1：VIN 過電圧イベントが検出されました。
4	VOUT_OVP	R	0	このビットは、VOUT 過電圧機能のステータスを示します。 **0：通常動作** 1：VOUT 過電圧イベントが検出されました。
3	SC	R	0	このビットは、出力短絡機能のステータスを示します。 **0：通常動作** 1：出力短絡イベントが検出されました。
2	OC	R	0	このビットは、過電流機能のステータスを示します。 **0：通常動作** 1：過電流イベントが検出されました。
1	TSD	R	0	このビットはサーマル シャットダウン機能のステータスを示します。 **0：温度グッド** 1：過熱イベントが検出されました。
0	$\overline{PG}$	R	0	このビットは、パワー グット コンパレータのステータスを示します。 **0：パワーグッド** 1：パワーノットグッド イベントが検出されました。

8.1.4 レジスタ DEVID (レジスタ アドレス：0x03、デフォルト：0x20)

レジスタ マップに戻る。

表 8-5. レジスタ DEVID フォーマット

7	6	5	4	3	2	1	0
MANUFACTURER[3:0]				MAJOR[1:0]		MINOR[1:0]	
R				R		R	

凡例：R/W = 読み取り / 書き込み、R = 読み取り専用

表 8-6. レジスタ DEVID のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	MANUFACTURER[3:0]	R	0010	これらのビットは、デバイスのメーカーを識別します。 **0010：テキサス・インスツルメンツ**
3:2	MAJOR[1:0]	R	00	これらのビットは、シリコンのメジャー リビジョンを示します。 **00：A (初期シリコン)** 01：B (最初のメジャー リビジョン) 10：C (2 番目のメジャー リビジョン) 11：D (3 番目のメジャー リビジョン)

Copyright © 2026 Texas Instruments Incorporated

表 8-6. レジスタ DEVID のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1:0	MINOR[1:0]	R	00	これらのビットは、シリコンのマイナー リビジョンを示します。 **00:0 (初期シリコン)** 01:1 (最初のマイナー リビジョン) 10:2 (2 番目のマイナー リビジョン) 11:3 (3 番目のマイナー リビジョン)

8.1.5 レジスタ VOUT1 (レジスタ アドレス : 0x04、デフォルト : 0x54)

レジスタ マップに戻る。

表 8-7. レジスタ VOUT1 の形式

7	6	5	4	3	2	1	0
VOUT1[7:0]							
R/W							

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用

表 8-8. レジスタ VOUT1 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	VOUT1[7:0]	R/W	0101 0100	出力電圧 = 1.200 + (VOUT1[7:0] × 0.025) V (低範囲) (デフォルト = 3.3V)

8.1.6 レジスタ CONTROL2 (レジスタ アドレス : 0x06、デフォルト : 0x08)

レジスタ マップに戻る。

表 8-9. レジスタ CONTROL2 の形式

7	6	5	4	3	2	1	0
SS_RAMP		CURRENT_LIMIT		BB_WINDOW		HYS_CURRENT	
R/W		R/W		R/W		R/W	

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用

表 8-10. レジスタ CONTROL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	SS_RAMP	R/W	00	**00:0.3ms** 01:1.1ms 10:4.0ms 11:7.5ms に、Vout ソフト スタート ランプのランプ時間を定義
5:4	CURRENT_LIMIT	R/W	00	**00:6.5A** 01:5.3A 10:3.6A 11:2.7A に、バレー スイッチング電流制限を定義
3:2	BB_WINDOW	R/W	10	00:200mV 01:275mV **10:350mV** 11:450mV に、昇降圧電圧ウィンドウを定義

Copyright © 2026 Texas Instruments Incorporated

表 8-10. レジスタ CONTROL のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1:0	HYS_CURRENT	R/W	00	ヒステリシス電流を定義します。 **00：800mA** (TPS63820 および TPS638201 用) 01：1000mA 10：750mA (TPS638202 用) 11：1100mA

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

TPS63820、TPS638201、および TPS638202 デバイスは、低静止電流、高効率、大電流の昇降圧コンバータで、入力電圧が出力電圧より高い、低い、または出力電圧と等しいアプリケーションに適しています。スイッチのバレー インダクタ電流は、標準値 6.5A に制限されています。

9.2 代表的なアプリケーション

9.2.1 1.2V ～ 5.5V 出力電源

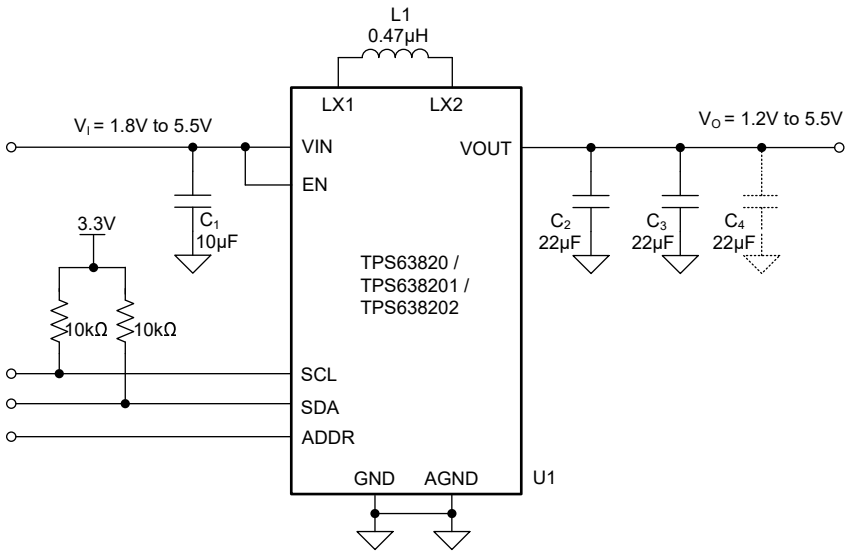


図 9-1. 代表的なアプリケーション回路図

9.2.1.1 設計要件

この例では、表 9-1 に記載されている設計パラメータを使用します。

表 9-1. 設計パラメータ

設計パラメータ	記号	数値の例
入力電圧	V_I	2.0V ～ 5.5V
出力電圧	V_O	1.2V ～ 5.5V
出力電流	I_O	最大 4A (V_I ≥ 3.0V の場合)
I^2C バス電圧	V_{BUS}	3.3V
I^2C バスの速度		高速モード (400kHz)

9.2.1.2 詳細な設計手順

9.2.1.2.1 インダクタの選択

Ti は、TPS63820、TPS638201、および TPS638202 デバイスを 0.47µH インダクタとともに使用することを推奨します。高い効率を得るには、直流抵抗 (DCR) とコア損失が低いインダクタを使用します。

インダクタの飽和電流は、アプリケーションの最大インダクタ電流を上回る必要があります。ワーストケースおよび過渡動作条件に十分なマージンを含めるには、アプリケーションで最大インダクタ電流よりも 20% 以上大きい飽和電流を持つインダクタを使用します。インダクタ内の最大電流は、デバイスが昇圧モードで動作している場合に発生し、以下の条件が当てはまります。

- 入力電圧は最小値です。
- 出力電圧は最大値です。
- 出力電流は最大値です。

最大インダクタ電流を計算するには、まず式 1 を使用して昇圧動作中の最大デューティ サイクルを計算します (最大インダクタ電流が発生する場合)。

$$D = \frac{V_O - V_I}{V_O} \quad (1)$$

ここで、

- D はデューティ・サイクル
- V_I は入力電圧です
- V_O は出力電圧です。

次に、最大インダクタ電流を計算するには、式 2 を使用します。

$$I_{LM} = \frac{I_O}{\eta(1 - D)} + \frac{DV_I}{2fL} \quad (2)$$

ここで、

- I_{LM} は、ピーク インダクタ電流です
- I_O は出力電流です
- η はコンバータの効率です (アプリケーション曲線から値を使用するか、90% と仮定)
- D はデューティ サイクルです (式 1 で計算)
- V_I は入力電圧です
- f はスイッチング周波数 (1.5MHz と仮定)
- L はインダクタンスです (0.47µH を使用)

過渡条件で十分なマージンを確保するために、計算された最大電流よりも 20% 以上高い飽和電流定格を持つインダクタを使用します。

9.2.1.2.2 出力コンデンサの選択

TI では、14µF の最小出力キャパシタンス (DC バイアスの影響を含む) を推奨しています。2 つの 22µF、10V セラミック コンデンサは、$V_{IN} \geq 2.6V$、$V_{OUT} = 3.3V$、$I_{OUT} \leq 2.0A$ の代表的なアプリケーション向けに設計されています。より高い V_{OUT} またはより大きい I_{OUT} を使用する場合は、22µF のセラミック コンデンサ 3 個または 47µF のセラミック コンデンサ 2 個が適しています。出力のスイッチング ノイズを最小限に抑えるため、小さなセラミック コンデンサ (100nF が標準値) を 2 つのメイン出力コンデンサと並列に接続し、小さなセラミック コンデンサを VOUT ピンのできるだけ近くに配置します。小型コンデンサは寄生インダクタンスが小さく、2 つのメイン出力コンデンサより高い周波数をフィルタリングする場合により効果的です。

Copyright © 2026 Texas Instruments Incorporated

実効容量は、セクション 6.3 の推奨値に従って決定することが確認です。一般に、DC バイアスの影響を考慮すると、有効キャパシタンスが小さくなります。出力キャパシタンスの選択は、主にサイズと過渡動作のトレードオフであり、キャパシタンスが大きいほど過渡応答のオーバーシュート / アンダーシュートが減少し、過渡応答時間が長くなります。表 9-2 に、使用可能な出力コンデンサの一覧を示します。

表 9-2. 推奨コンデンサー覧

コンデンサ [µF]	定格電圧 [V]	ESR [mΩ]	部品番号	メーカー (1)	サイズ (メートル)
22	10	4	GRT188R61A226ME13D	Murata	0603 (1608)
47	10	4	LMK316ABJ476ML-T	Taiyo Yuden	1206 (3216)

(1) サードパーティー製品に関する免責事項を参照してください。

9.2.1.2.3 入力コンデンサの選択

TI では、5µF の最小入る力キャパシタンス (DC バイアスの影響を含む) を推奨しています。10µF、6.3V、または 22µF、10V セラミック コンデンサは一般的なアプリケーション向けに設計されています。入力電源がコンバータから数 cm 以上離れている場合は、追加のバルク容量を追加します (通常は 47µF 電解またはタンタル コンデンサが選択されます)。

表 9-3. 推奨入力コンデンサー覧

コンデンサ [µF]	定格電圧 [V]	ESR [mΩ]	部品番号	製造元	サイズ (メートル)
10	6.3	4	GRM188R60J106ME84D	Murata	0603 (1608)
22	10	4	GRT188R61A226ME13D	Murata	0603 (1608)

Copyright © 2026 Texas Instruments Incorporated

9.2.1.3 アプリケーション曲線

表 9-4 に、以降のページに記載されている測定に使用された部品を示します。

表 9-4. アプリケーション特性曲線のための部品

リファレンス	説明	部品番号	製造元
C1	コンデンサ、10µF、6.3V、0603、セラミック	GRM188R60J106ME84D	Murata
C2、C3	コンデンサ、22µF、10V、0603、セラミック	GRT188R61A226ME13D	Murata
L1	インダクタ、0.47µH、7.6mΩ	XFL4015-471MEC	Coilcraft
U1	IC	TPS63820YBGR	テキサス インスツルメンツ

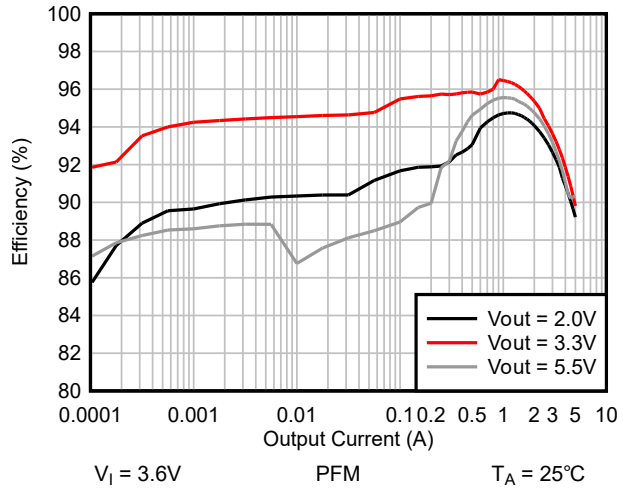


図 9-2. 効率と出力電流との関係

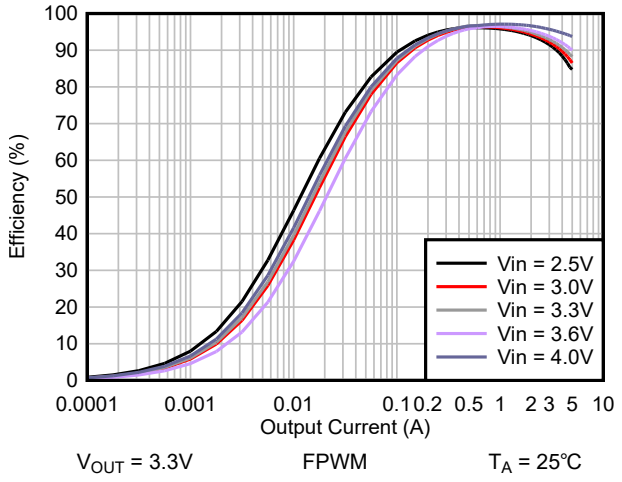


図 9-3. 効率と出力電流との関係

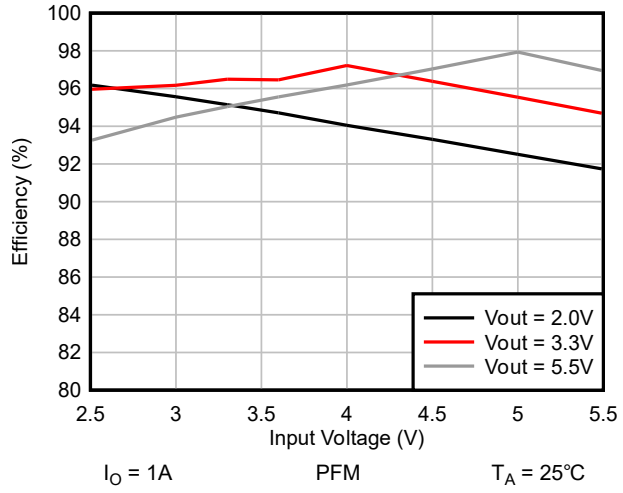


図 9-4. 効率と入力電圧との関係

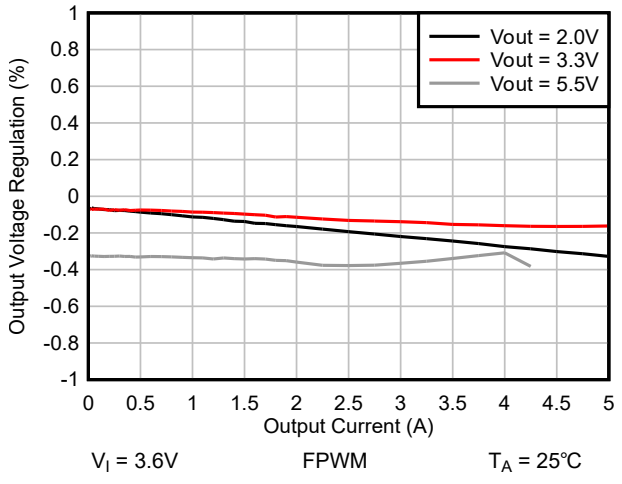
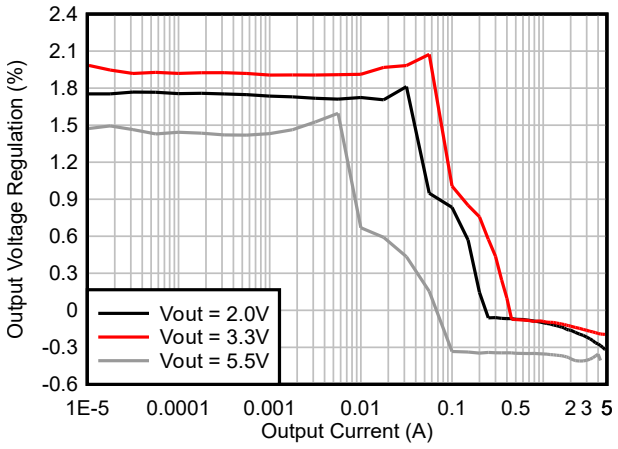


図 9-5. ロード レギュレーション

Copyright © 2026 Texas Instruments Incorporated

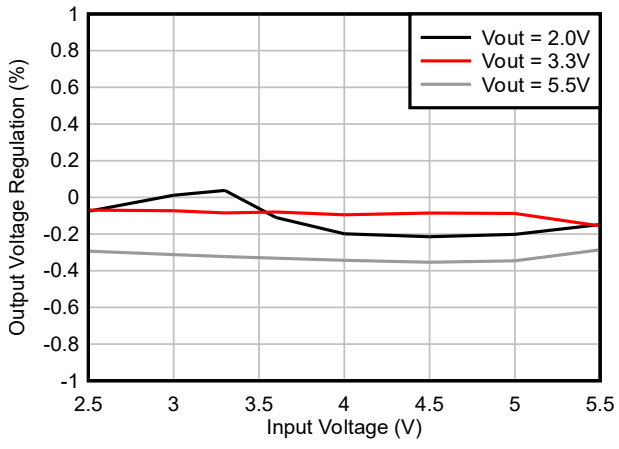
9.2.1.3 アプリケーション曲線 (続き)

表 9-4 に、以降のページに記載されている測定に使用された部品を示します。



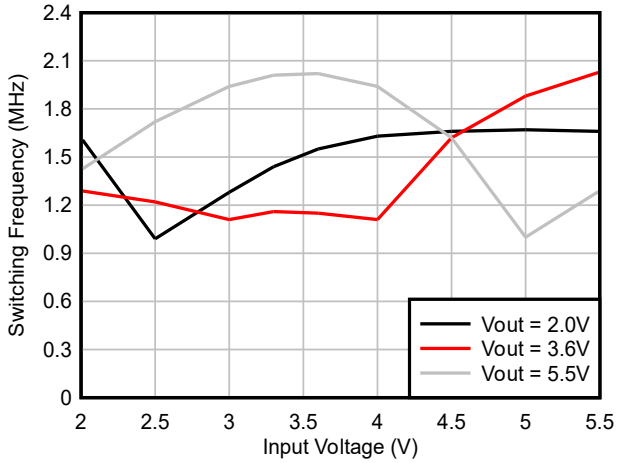
V_I = 3.6V　　PFM　　T_A = 25℃

図 9-6. ロード レギュレーション



I_O = 1A　　FPWM　　T_A = 25℃

図 9-7. ライン レギュレーション



I_O = 1A
V_I 立ち上がり

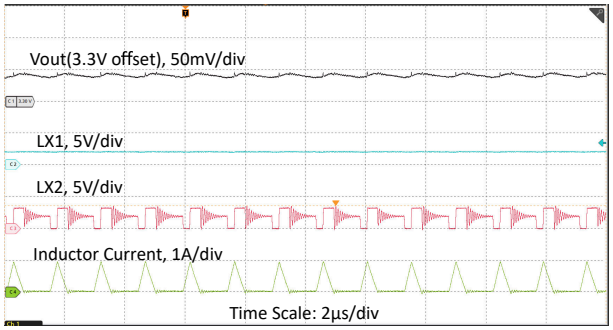
FPWM

T_A = 25℃

図 9-8. スイッチング周波数と入力電圧との関係

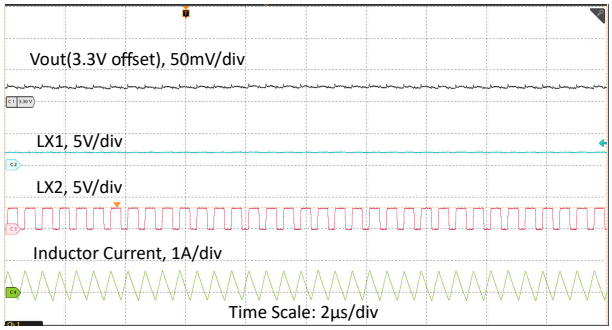
9.2.1.3 アプリケーション曲線 (続き)

表 9-4 に、以降のページに記載されている測定に使用された部品を示します。



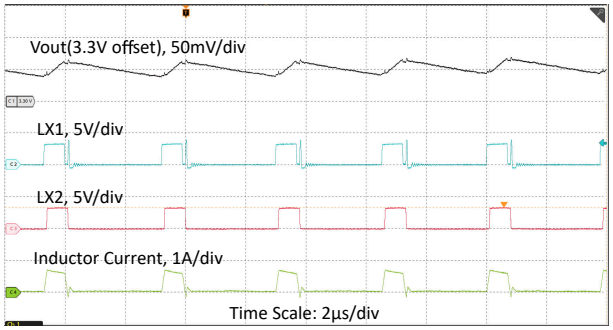
V_{IN} = 2.0V　PFM　T_A = 25°C
V_{OUT} = 3.3V　I_O = 100mA

図 9-9. 定常状態 (昇圧動作時)



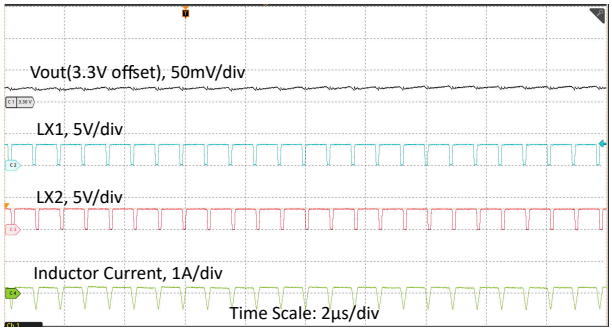
V_{IN} = 2.0V　FPWM　T_A = 25°C
V_{OUT} = 3.3V　I_O = 100mA

図 9-10. 定常状態 (昇圧動作時)



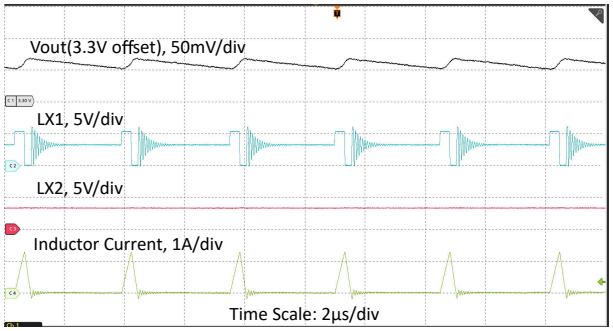
V_{IN} = 3.3V　PFM　T_A = 25°C
V_{OUT} = 3.3V　I_O = 100mA

図 9-11. 定常状態 (昇降圧動作時)



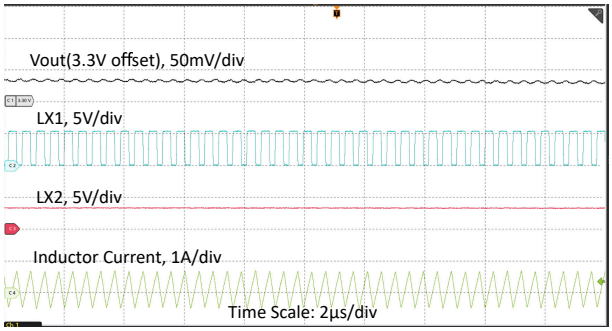
V_{IN} = 3.0V　FPWM　T_A = 25°C
V_{OUT} = 3.3V　I_O = 100mA

図 9-12. 定常状態 (昇降圧動作時)



V_{IN} = 5.5V　PFM　T_A = 25°C
V_{OUT} = 3.3V　I_O = 100mA

図 9-13. 定常状態 (降圧動作時)



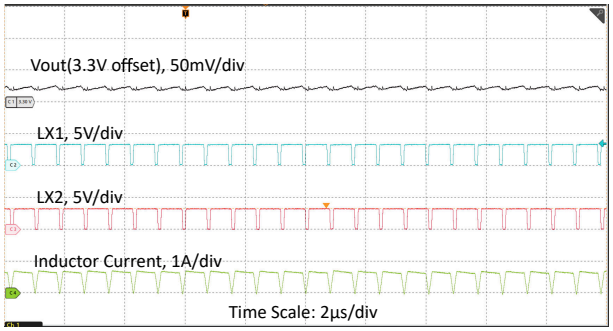
V_{IN} = 5.5V　FPWM　T_A = 25°C
V_{OUT} = 3.3V　I_O = 100mA

図 9-14. 定常状態 (降圧動作時)

Copyright © 2026 Texas Instruments Incorporated

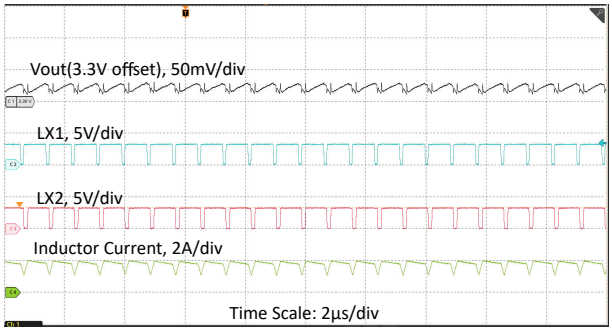
9.2.1.3 アプリケーション曲線 (続き)

表 9-4 に、以降のページに記載されている測定に使用された部品を示します。



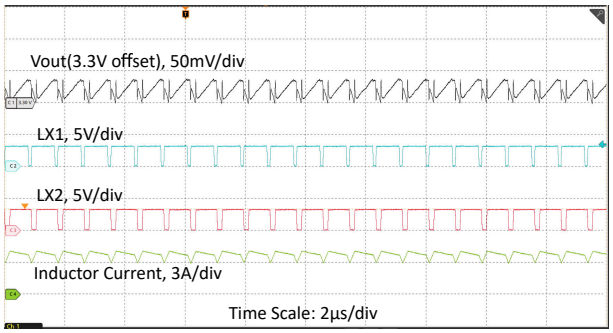
V_{IN} = 3.3V　FPWM　T_A = 25°C
V_{OUT} = 3.3V　I_O = 500mA

図 9-15. 定常状態 (昇降圧動作時)



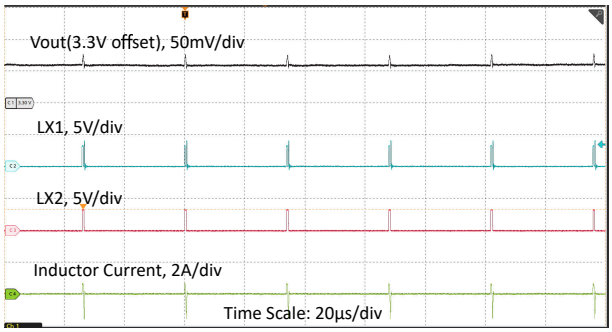
V_{IN} = 3.3V　FPWM　T_A = 25°C
V_{OUT} = 3.3V　I_O = 1.5A

図 9-16. 定常状態 (昇降圧動作時)



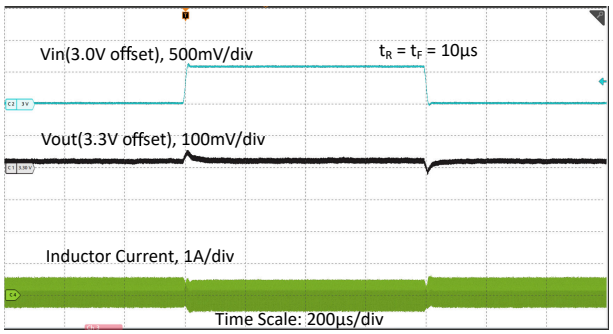
V_{IN} = 3.3V　FPWM　T_A = 25°C
V_{OUT} = 3.3V　I_O = 3.0A

図 9-17. 定常状態 (昇降圧動作時)



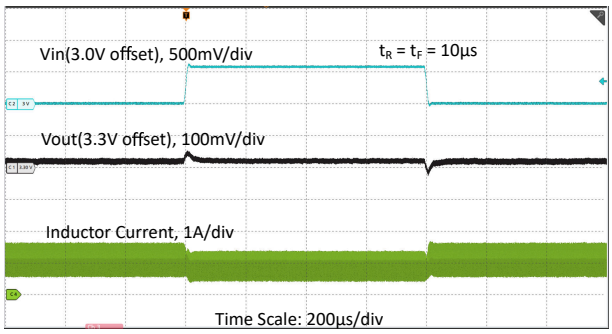
V_{IN} = 3.3V　超音波モード　T_A = 25°C
V_{OUT} = 3.3V　無負荷

図 9-18. 定常状態 (昇降圧動作時)



V_I = 3.0V ～ 3.6V ～ 3.0V　PFM　T_A = 25°C
V_O = 3.3V　I_O = 200mA　TPS63820

図 9-19. ライン過渡応答



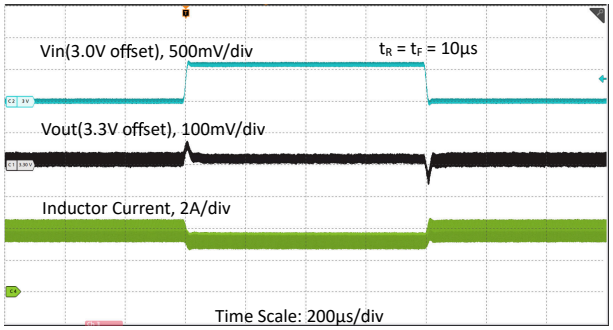
V_I = 3.0V ～ 3.6V ～ 3.0V　PFM　T_A = 25°C
V_O = 3.3V　I_O = 1.0A　TPS63820

図 9-20. ライン過渡応答

Copyright © 2026 Texas Instruments Incorporated

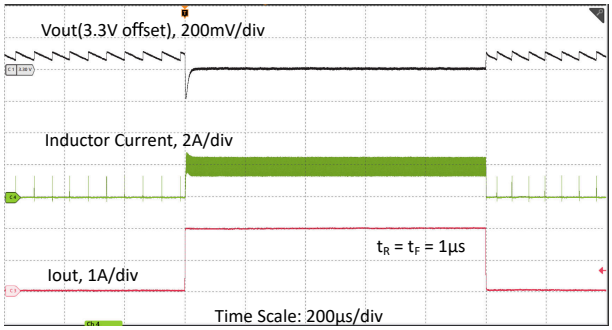
9.2.1.3 アプリケーション曲線 (続き)

表 9-4 に、以降のページに記載されている測定に使用された部品を示します。



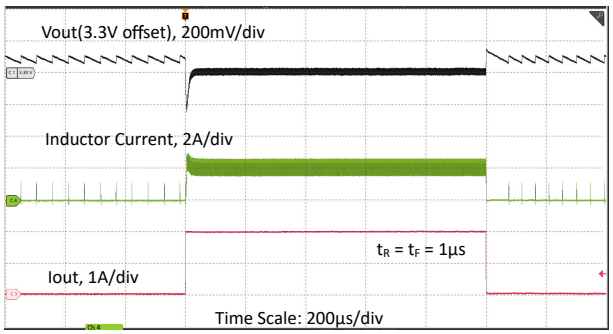
V_I = 3.0V ～ 3.6V ～ 3.0V　PFM　T_A = 25℃
V_O = 3.3V　I_O = 3.0A　TPS63820

図 9-21. ライン過渡応答



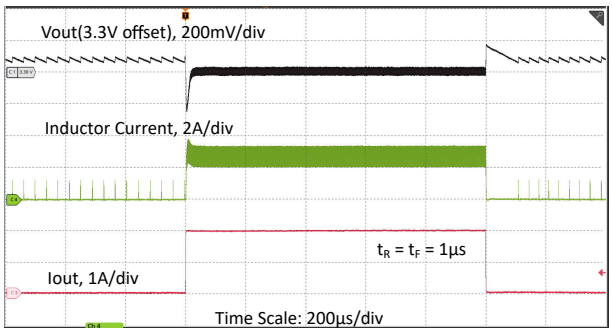
V_I = 4.2V　PFM　T_A = 25℃
V_O = 3.3V　I_O = 10mA ～ 2A ～ 10mA　TPS63820

図 9-22. 負荷過渡応答 (降圧)



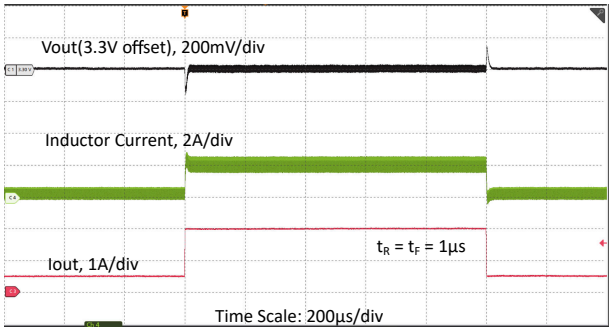
V_I = 3.3V　PFM　T_A = 25℃
V_O = 3.3V　I_O = 10mA ～ 2A ～ 10mA　TPS63820

図 9-23. 負荷過渡応答 (昇降圧)



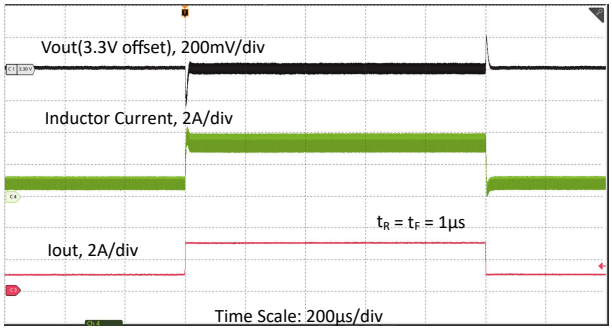
V_I = 2.6V　PFM　T_A = 25℃
V_O = 3.3V　I_O = 10mA ～ 2A ～ 10mA　TPS63820

図 9-24. 負荷過渡応答 (昇圧)



V_I = 3.3V　FPWM　T_A = 25℃
V_O = 3.3V　I_O = 0.5A ～ 2A ～ 0.5A　TPS63820

図 9-25. 負荷過渡応答 (昇降圧)



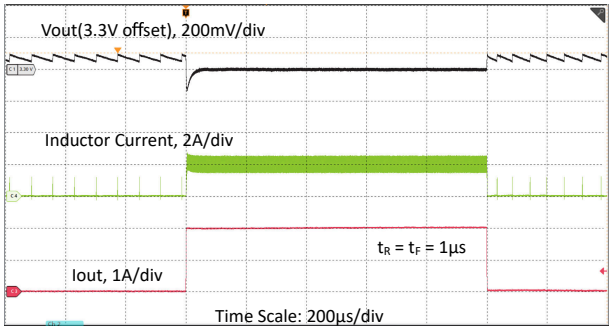
V_I = 3.3V　FPWM　T_A = 25℃
V_O = 3.3V　I_O = 1.0A ～ 3A ～ 1.0A　TPS63820

図 9-26. 負荷過渡応答 (昇降圧)

Copyright © 2026 Texas Instruments Incorporated

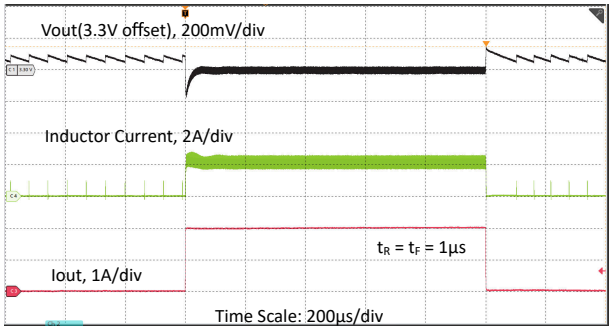
9.2.1.3 アプリケーション曲線 (続き)

表 9-4 に、以降のページに記載されている測定に使用された部品を示します。



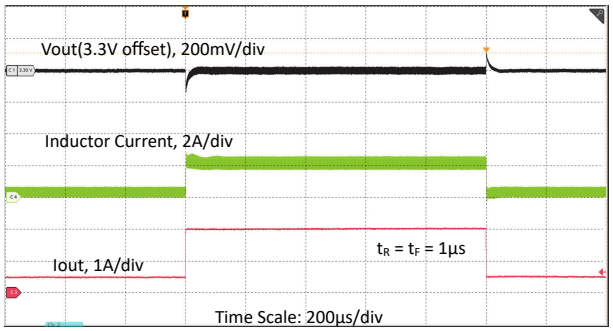
V_I = 4.2V　PFM　T_A = 25℃
V_O = 3.3V　I_O = 10mA ～ 2A ～ 10mA　TPS638202

図 9-27. 負荷過渡応答 (降圧)



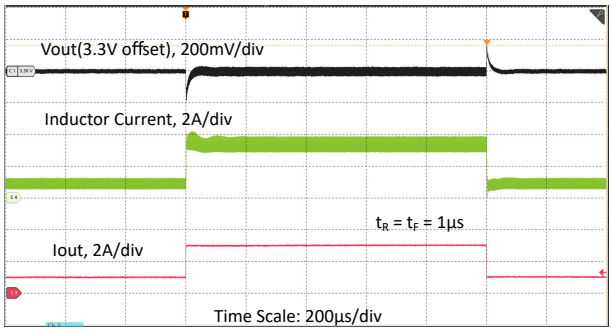
V_I = 3.3V　PFM　T_A = 25℃
V_O = 3.3V　I_O = 10mA ～ 2A ～ 10mA　TPS638202

図 9-28. 負荷過渡応答 (昇降圧)



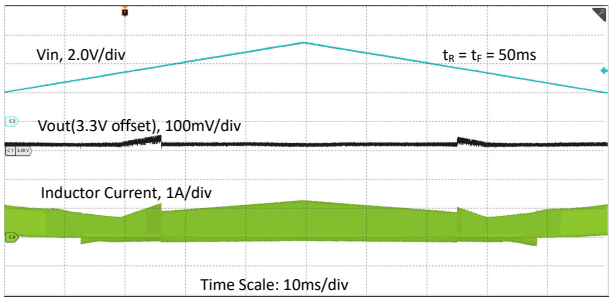
V_I = 3.3V　FPWM　T_A = 25℃
V_O = 3.3V　I_O = 0.5A ～ 2A ～ 0.5A　TPS638202

図 9-29. 負荷過渡応答 (昇降圧)



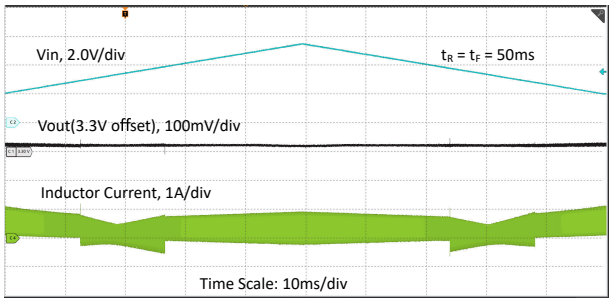
V_I = 3.3V　FPWM　T_A = 25℃
V_O = 3.3V　I_O = 1.0A ～ 3A ～ 1.0A　TPS638202

図 9-30. 負荷過渡応答 (昇降圧)



V_I = 2.0V ～ 5.5V ～ 2.0V　PFM　T_A = 25℃
V_O = 3.3V　R_{LOAD} = 10Ω

図 9-31. ライン スイープ (PFM)



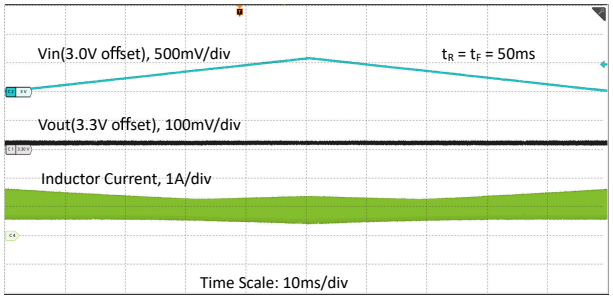
V_I = 2.0V ～ 5.5V ～ 2.0V　FPWM　T_A = 25℃
V_O = 3.3V　R_{LOAD} = 10Ω

図 9-32. ライン スイープ (FPWM)

Copyright © 2026 Texas Instruments Incorporated

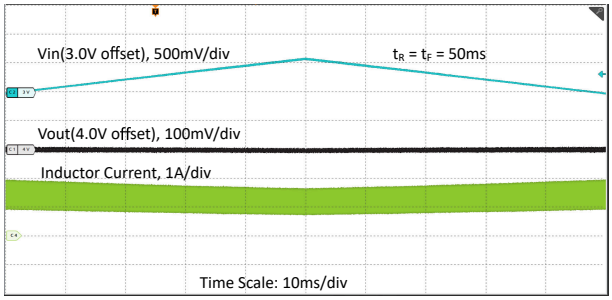
9.2.1.3 アプリケーション曲線 (続き)

表 9-4 に、以降のページに記載されている測定に使用された部品を示します。



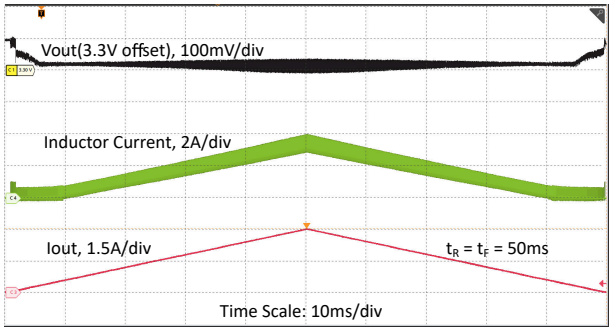
V_I = 3.0V ～ 3.6V ～ 3.0V　FPWM　T_A = 25℃
V_O = 3.3V　I_O = 1.0A　BB ウィンドウ = 350mV

図 9-33. ライン スイープ (FPWM、完全な昇降圧時)



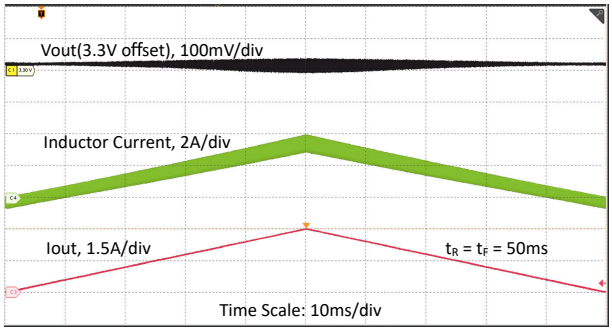
V_I = 3.0V ～ 3.6V ～ 3.0V　FPWM　T_A = 25℃
V_O = 4.0V　I_O = 1.0A　BB ウィンドウ = 275mV

図 9-34. ライン スイープ (FPWM、完全な昇圧時)



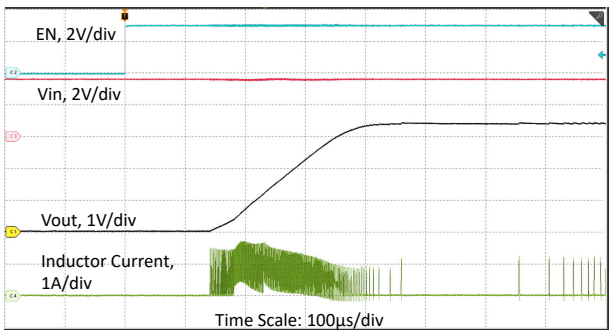
V_I = 3.3V　PFM　T_A = 25℃
V_O = 3.3V　I_O = 0A ～ 3A ～ 0A

図 9-35. 負荷スイープ (PFM)



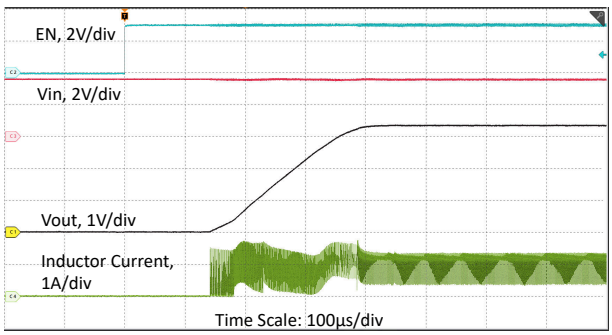
V_I = 3.3V　FPWM　T_A = 25℃
V_O = 3.3V　I_O = 0A ～ 3A ～ 0A

図 9-36. 負荷スイープ (FPWM)



V_I = 3.6V　PFM　T_A = 25℃
V_O = 3.3V　R_{LOAD} = 33Ω

図 9-37. スタートアップ波形 (軽負荷時)



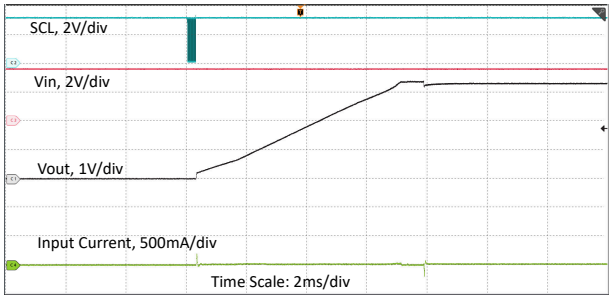
V_I = 3.6V　PFM　T_A = 25℃
V_O = 3.3V　R_{LOAD} = 3.3Ω

図 9-38. スタートアップ波形 (重負荷時)

Copyright © 2026 Texas Instruments Incorporated

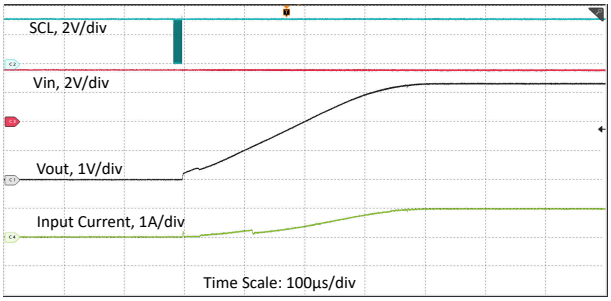
9.2.1.3 アプリケーション曲線 (続き)

表 9-4 に、以降のページに記載されている測定に使用された部品を示します。



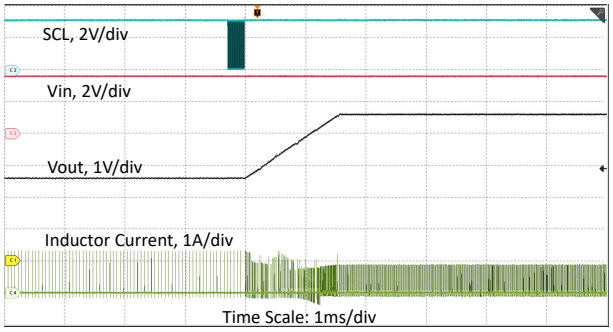
V_I = 3.6V　FPWM　T_A = 25℃
V_O = 3.3V　無負荷　ソフト スタート = 7.5ms

図 9-39. スタートアップ波形 (無負荷時)



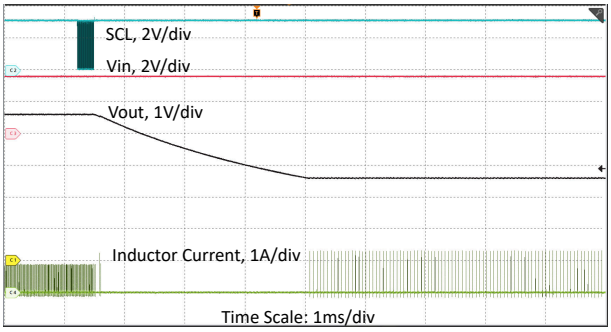
V_I = 3.6V　FPWM　T_A = 25℃
V_O = 3.3V　R_{LOAD} = 3.3Ω　ソフト スタート = 7.5ms

図 9-40. スタートアップ波形 (重負荷時)



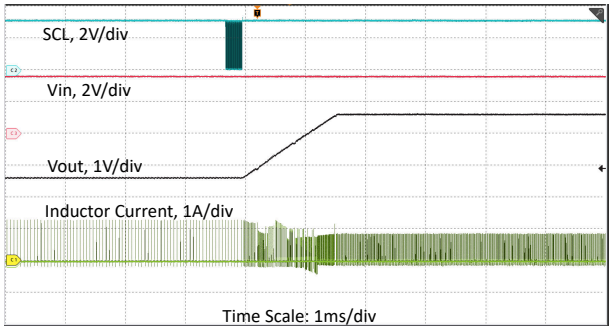
V_I = 3.6V　RPWM の無効化　T_A = 25℃
V_O = 2.5V～4.5V　R_L = 330Ω

図 9-41. ダイナミック電圧スケーリング (RPWM はディスエーブル)



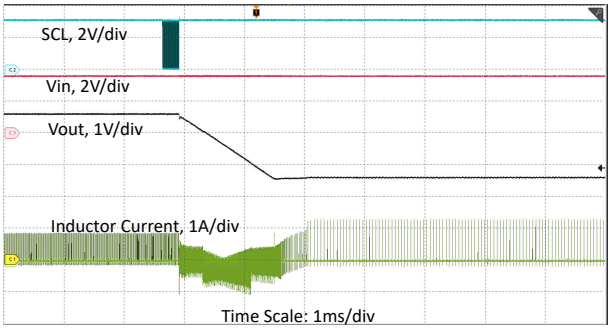
V_I = 3.6V　RPWM の無効化　T_A = 25℃
V_O = 4.5V～2.5V　R_L = 330Ω

図 9-42. ダイナミック電圧スケーリング (RPWM はディスエーブル)



V_I = 3.6V　RPWM イネーブル　T_A = 25℃
V_O = 2.5V～4.5V　R_L = 330Ω

図 9-43. ダイナミック電圧スケーリング (RPWM はイネーブル)



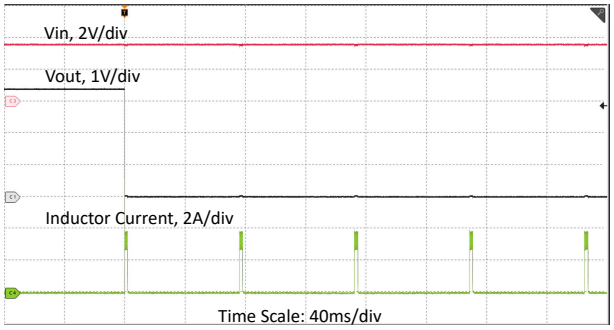
V_I = 3.6V　RPWM イネーブル　T_A = 25℃
V_O = 4.5V～2.5V　R_L = 330Ω

図 9-44. ダイナミック電圧スケーリング (RPWM はイネーブル)

Copyright © 2026 Texas Instruments Incorporated

9.2.1.3 アプリケーション曲線 (続き)

表 9-4 に、以降のページに記載されている測定に使用された部品を示します。



V_I = 3.6V　　PFM　　T_A = 25°C
V_O = 3.3V　　無負荷

図 9-45. 出力短絡保護

9.3 電源に関する推奨事項

このデバイスは、1.8V ～ 5.5V の範囲の DC 電源電圧で動作するように設計されています。入力電源がデバイスから数センチ以上離れている場合、TI ではセラミック バイパス コンデンサにバルク容量を追加することを推奨しています。バルク容量の一般的な選択肢は、47µF 電解コンデンサです。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

デバイスの性能を最大限に引き出すには、適切な PCB レイアウトが必要です。TI は以下の基本原則に従うことを推奨します。

- 入力および出力ループ面積を最小限に抑えるため、入力および出力コンデンサはデバイスの近くに配置します。
- 合計入力キャパシタンスを構成するために、サイズの異なる複数のコンデンサを組み合わせる場合、デバイスのできるだけ近くに最も小さいコンデンサを配置します。出力キャパシタンスにも同じことが当てはまります。
- 寄生抵抗とインダクタンスを最小限に抑えるため、PCB パターンは短く広く保ちます。
- 次の PCB 層スタック (または同様のもの) を使用します。
  - 第 1 層 (上層):すべての部品とすべての電源パターン
  - 第 2 層 (内層):信号
  - 第 3 層 (内層):信号
  - 第 4 層 (底層):グランド プレーン

図 9-46 は、アプリケーション曲線のすべての測定データに使用される PCB レイアウトの例を示します。

Copyright © 2026 Texas Instruments Incorporated

9.4.2 レイアウト例

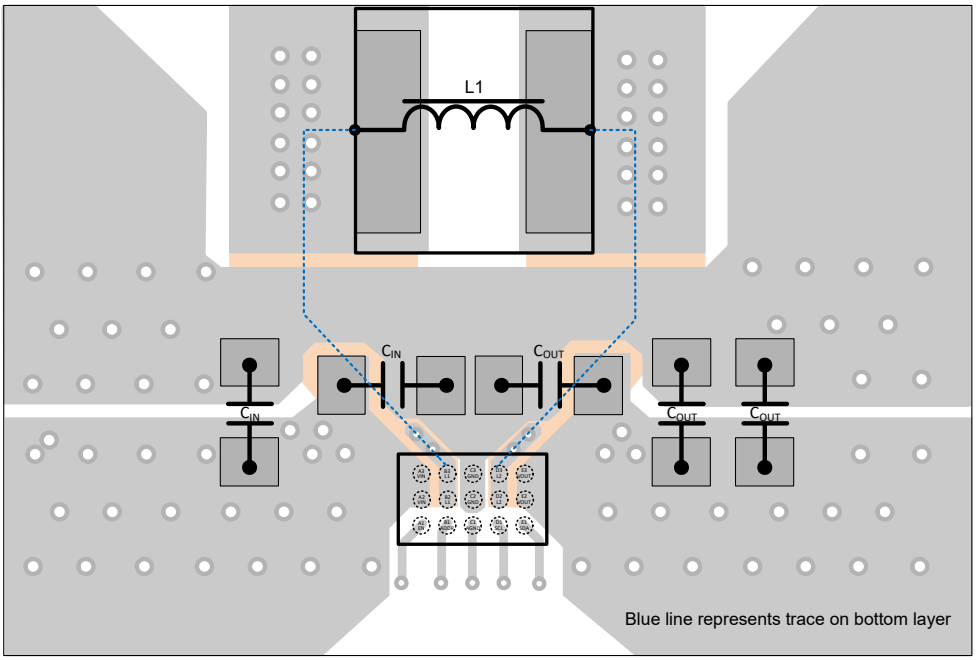


図 9-46. TPS63820 デバイスの推奨 PCB レイアウト

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- *NXP Semiconductors、UM10204 – I^2C バス仕様およびユーザー マニュアル*
- テキサス・インスツルメンツ、『TPS63820 評価基板ユーザー ガイド』

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

11 改訂履歴

Changes from Revision A (June 2026) to Revision B (November 2026) **Page**

- 「特長」のデバイス オプションに TPS638202 を追加 1
- 「デバイス情報」表に TPS638202 を追加 1
- TPS638202 を次に追加 *デバイス比較表* 3
- 「推奨動作条件」の表に TPS638202 の Co 要件を追加 5
- 「推奨動作条件」の表に (3) の注を追加 5
- 「概要」に TPS638202 の説明を追加 10
- TPS638202 を EN_DISCHG に追加し、レジスタ表 8-2 でイネーブルを追加 19
- レジスタ表 8-10 の HYS_CURRENT に TPS638202 を追加 21
- 図 9-3 で、V_I = 3.6V を V_{OUT} = 3.3V に変更 26
- 「アプリケーション曲線」の図 9-30 に TPS638202 の負荷過渡波形図 9-27 を追加 26
- 「電源に関する推奨事項」で、電源電圧範囲の最小値を 2.2V から 1.8V に変更 34
- 「関連資料」で、評価基板のリンクを TPS6381xEVM から TPS63820EVM に変更 36

Changes from Revision * (March 2026) to Revision A (June 2026) **Page**

- 「デバイス情報」表の TPS638201 から製品プレビューの注を削除 1
- 「デバイス情報」表に注 3 を追加 1
- の TPS638201 から、製品プレビューの注を削除しました *デバイス比較表* 3
- CDM 規格を「JEDEC 仕様 JESD22C101」から「ANSI/ESDA/JEDEC JS-002」に変更しました。 5
- 熱情報表の表注を現行の規格に更新しました 6
- 図 7-2 において、Q1 および Q4 の記号を PMOS から NMOS に変更しました 11
- 図 7-3 において、Q1 および Q4 の記号を PMOS から NMOS に変更しました 11
- 図 7-4 において、Q1 および Q4 の記号を PMOS から NMOS に変更しました 11
- 図 9-8 の凡例を「Vin」から「Vout」に変更しました 26

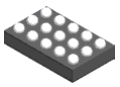
12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

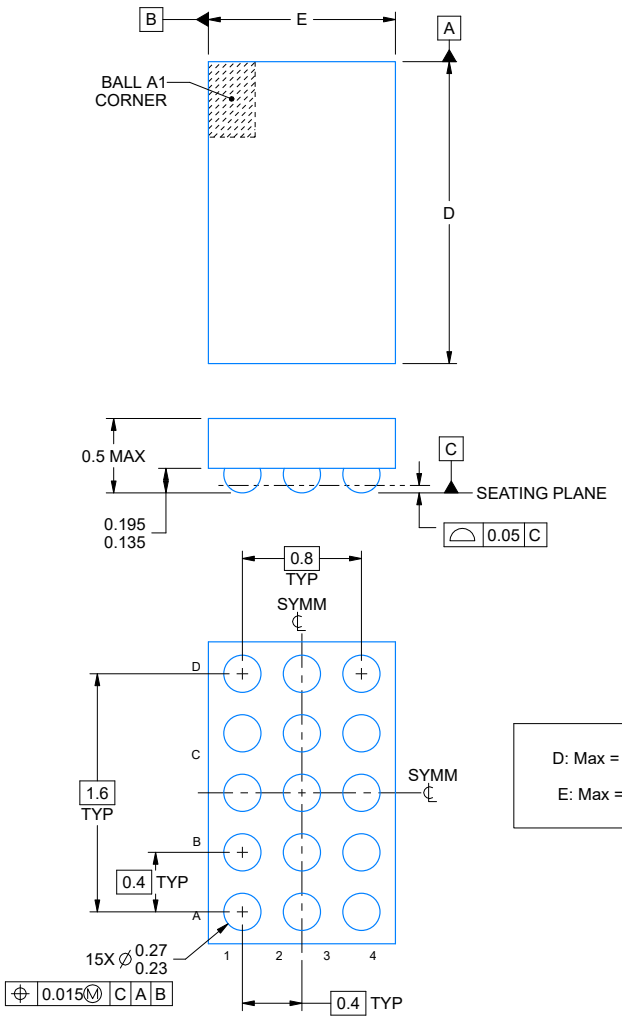
PACKAGE OUTLINE

YBG0015-C01



DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

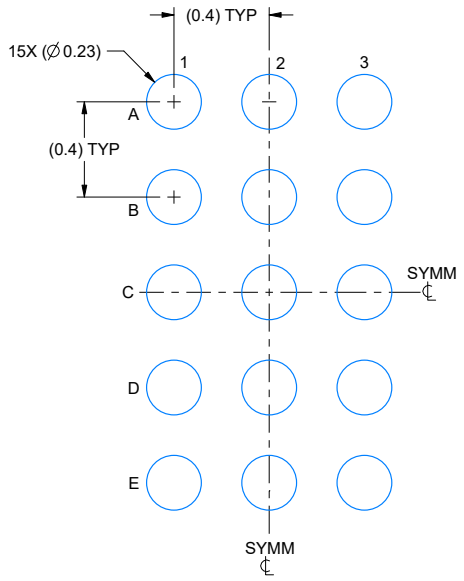
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

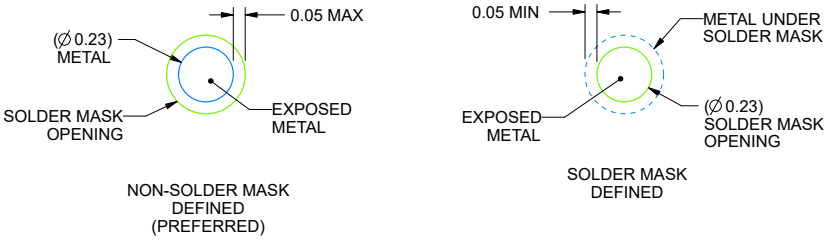
YBG0015-C01

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X



SOLDER MASK DETAILS
NOT TO SCALE

4231460/A 01/2025

NOTES: (continued)

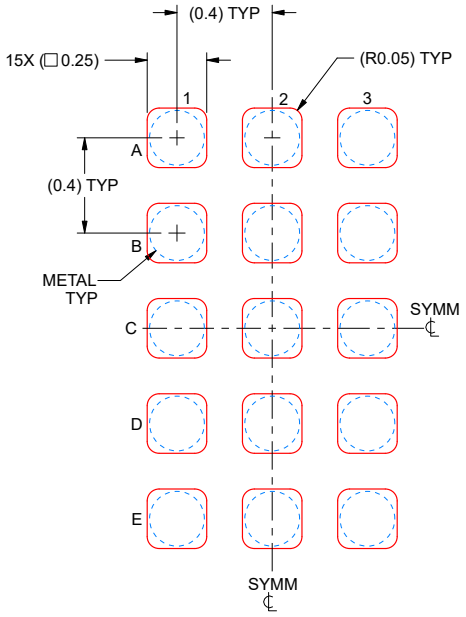
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YBG0015-C01 — **DSBGA - 0.5 mm max height**

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 40X

4231460/A 01/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS638201YBGR	Active	Production	DSBGA (YBG) | 15	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-	22T
TPS638202YBGR	Active	Production	DSBGA (YBG) | 15	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-	2AD
TPS63820YBGR	Active	Production	DSBGA (YBG) | 15	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	1ZI

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

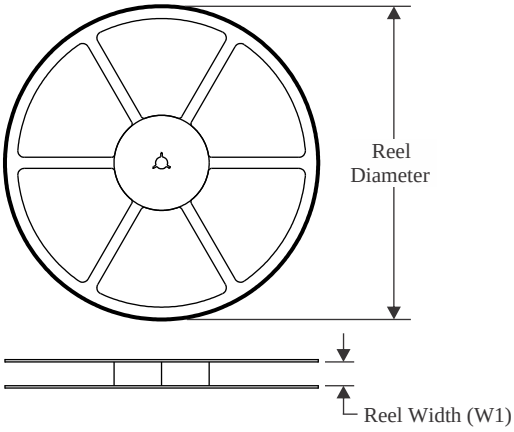
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

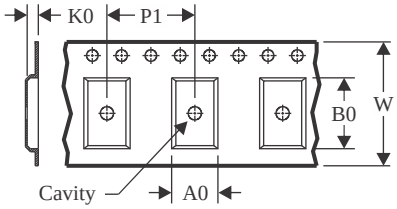
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

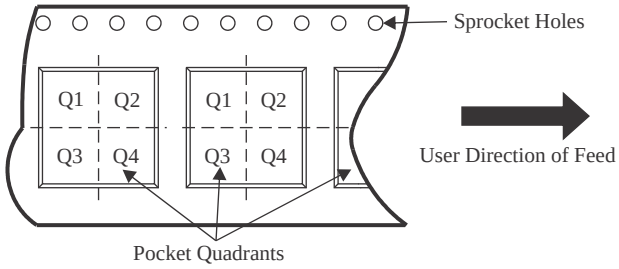


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

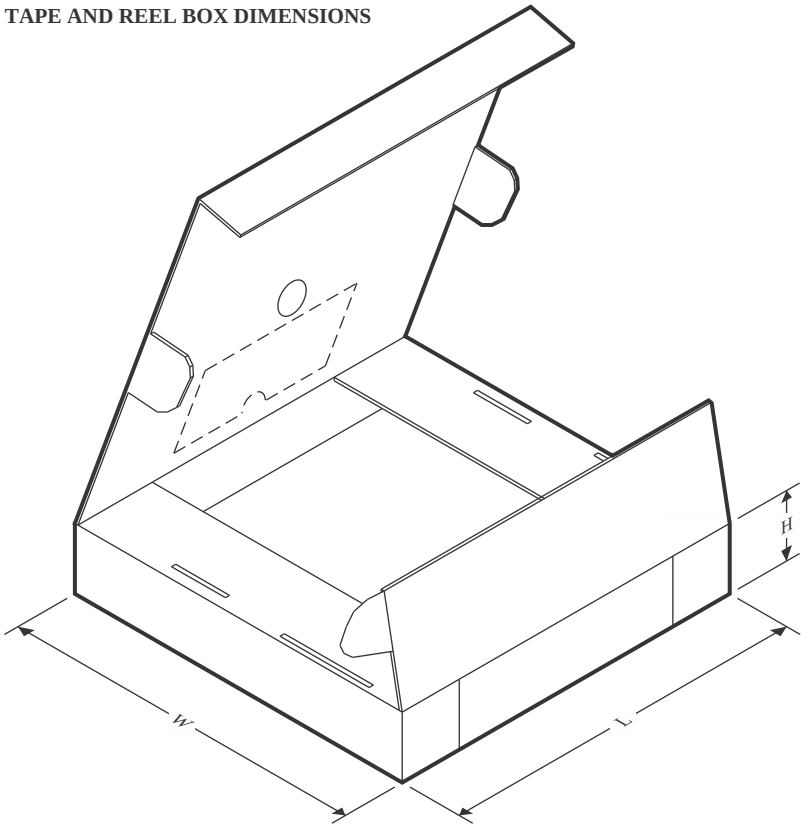
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS638201YBGR	DSBGA	YBG	15	3000	180.0	8.4	1.68	1.72	0.62	4.0	8.0	Q1
TPS638202YBGR	DSBGA	YBG	15	3000	180.0	8.4	1.42	2.16	0.65	4.0	8.0	Q1
TPS63820YBGR	DSBGA	YBG	15	3000	180.0	8.4	1.68	1.72	0.62	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS638201YBGR	DSBGA	YBG	15	3000	182.0	182.0	20.0
TPS638202YBGR	DSBGA	YBG	15	3000	182.0	182.0	20.0
TPS63820YBGR	DSBGA	YBG	15	3000	182.0	182.0	20.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月