TPS65214 パワーマネジメント IC、3 つの BUCK と 2 つの LDO 搭載、産業用アプリケーション向け

1 特長

- 3 つの降圧コンバータ (最大 2.3MHz のスイッチング周波数):
  - 3 つの VIN:2.5V ～ 5.5V、I_{OUT}:2A、V_{OUT} 0.6V ～ 3.4V
- 2 台のリニア レギュレータ:
  - 1 つの VIN:1.4V ～ 5.5V、I_{OUT}:300mA、V_{OUT}: 0.6V ～ 3.3V(ロード スイッチとして構成可能)
  - 1 つの VIN:1.4V ～ 5.5V、I_{OUT}:500mA、V_{OUT}: 0.6V ～ 3.3V(ロード スイッチとして構成可能)
- 3 台の降圧コンバータすべてで、動的な電圧スケーリングを実現
- 低 IQ/PFM、PWM モード(擬似固定 周波数)
- 電源シーケンスとデフォルト電圧をプログラム可能
- I^2C インターフェイス。標準、ファースト モード、ファースト モード+ をサポート
- マルチファンクション ピン 3 本
- ワンタイム プログラマブル(OTP)不揮発性メモリ(NVM)

2 アプリケーション

- 消費電力が低い産業用 MPU(AM62L など)
- 消費電力が低い産業用 MCU(AM261 など)
- 電化製品
- ビル セキュリティ
- EV(電気自動車)充電インフラ
- 防火システム
- HMI
- HVAC
- 産業用 PC
- 光学モジュール
- メディカル モニタと診断
- PLC
- スマート メーター
- 試験 / 測定機器
- ビデオ監視

3 説明

TPS65214 は、携帯機器および据置型機器 アプリケーションに搭載されている、さまざまな SoC に電源を供給するように設計されたパワーマネージメント IC (PMIC) です。このデバイスは、 -40°C ～ +105°C の周囲温度範囲で特性が規定済みのため、多様な 産業用 用途に最適な PMIC です。このデバイスには、3 台の同期整流式降圧 DC/DC コンバータと 2 台のリニア レギュレータが搭載されています。

DC/DC コンバータは、3 × 2A 電源で供給可能です。コンバータには、小型の 470nH インダクタ、4.7µF 入力容量、レールあたり最小 10µF の出力容量が必要です。

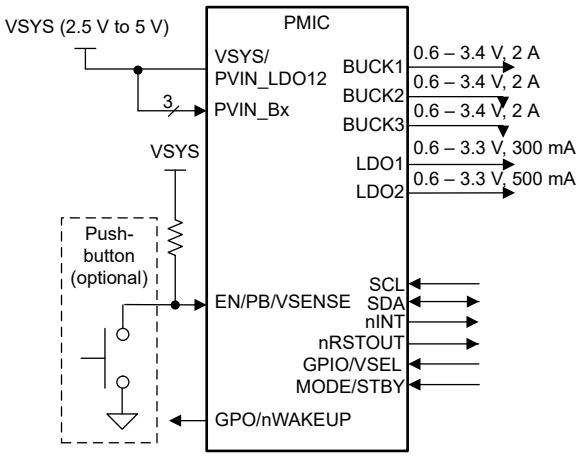
1 台の LDO は 300mA の最大出力電流を、もう 1 台の LDO は最大 500mA をサポートしています。どちらの LDO も 0.6V ～ 3.3V の調整出力電圧範囲を持つか、負荷スイッチ モードで動作できます。

I2C インターフェイス、IO、GPIO、マルチファンクション ピン (MFP) は、さまざまな SoC にシームレスに接続します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (公称)
TPS65214	24 ピン QFN	3.50mm × 3.50mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



アプリケーション概略図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイスの比較.....3
5 ピン構成および機能.....4
6 仕様.....7
6.1 絶対最大定格.....7
6.2 ESD 定格.....7
6.3 推奨動作条件.....7
6.4 熱に関する情報.....8
6.5 システム制御スレッショルド.....9
6.6 BUCK1、BUCK2、BUCK3 コンバータ.....11
6.7 汎用 LDO (LDO1、LDO2).....13
6.8 GPIO とマルチファンクション ピン（EN/PB/VSENSE、nRSTOUT、nINT、GPO/nWAKEUP、GPIO/VSEL、MODE/STBY）.....15
6.9 電圧と温度の監視.....16
6.10 I^2C インターフェイス.....17
6.11 代表的特性.....20
7 詳細説明.....22
7.1 概要.....22
7.2 機能ブロック図.....23
7.3 機能説明.....23
7.4 デバイスの機能モード.....51
8 ユーザー レジスタ.....61
8.1 デバイスのレジスタ.....62
9 アプリケーションと実装.....130
9.1 アプリケーション情報.....130
9.2 代表的なアプリケーション.....130
9.3 電源に関する推奨事項.....134
9.4 レイアウト.....135
10 デバイスおよびドキュメントのサポート.....137
10.1 ドキュメントの更新通知を受け取る方法.....137
10.2 サポート・リソース.....137
10.3 商標.....137
10.4 静電気放電に関する注意事項.....137
10.5 用語集.....137
11 改訂履歴.....137
12 メカニカル、パッケージ、および注文情報.....137

Copyright © 2025 Texas Instruments Incorporated

4 デバイスの比較

表 4-1 に、事前構成済みの注文可能な部品番号 (OPN) と推奨アプリケーション使用事例の要約を示します。この表には、新しい設計をサポートする提供中の販促用品リソースも掲載されています。アプリケーションノートでは、特定のプロセッサおよびマイコンの要件を満たすために、TPS65214 PMIC の電力およびデジタルリソースを使用する方法について説明しています。注文可能なデフォルトの不揮発性メモリ (NVM) レジスタ設定の詳細については、技術参考書 (TRM) に記載されています。

表 4-1. TI のプロセッサとマイコンのデバイス比較表

デバイス名	プロセッサ/マイコン	アプリケーション使用事例		
		Vin	メモリ	BUCK1_VSET
TPS6521401[(1)]	AM62L	3.3V または 5V	LPDDR4	0.75V
TPS6521402	AM62L	3.3V または 5V	LPDDR4 または DDR4	0.75V

(1) AM62L 評価基板にはデフォルトで TPS6521401 が搭載され、LPDDR4 をサポートしています。

5 ピン構成および機能

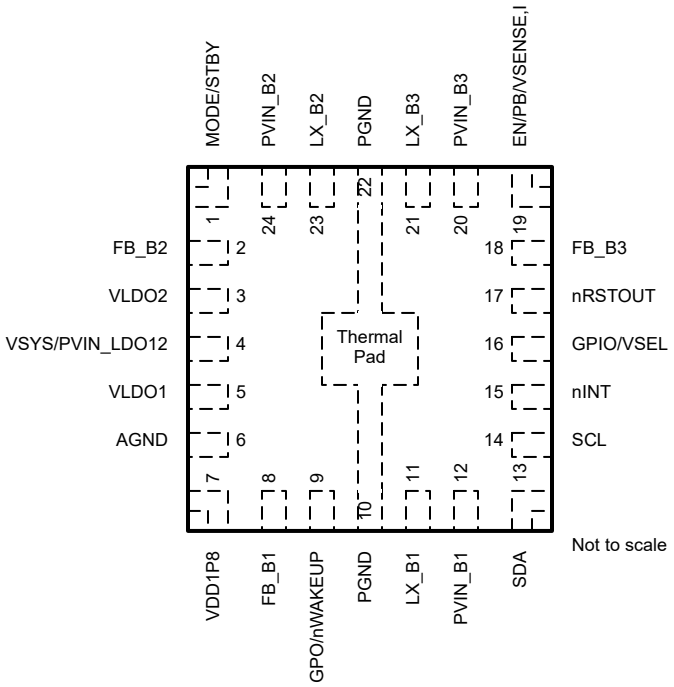


図 5-1. TPS65214 VAF パッケージ上、24 ピン QFN (上面図)

表 5-1. ピンの機能

ピン		タイプ(1)	説明	未使用時は接続
名称	番号			
モード/スタンバイ	1	I	モードとして構成:SoC またはハードワイヤードのプルアップ/ダウンに接続されます。降圧コンバータを強制的に PWM に設定するか、PFM モードでの自動移行を許可します。	N/A(構成に応じて High または Low に接続します。PWM/PFM および低消費電力モード(MODE/STBY) を参照してください
		I	STBY として設定:低消費電力モード コマンドで、選択されたレールをパワーダウンします。モードとスタンバイの両方の機能を組み合わせることができます。ピンはレベル センシティブです。	
FB_B2	2	I	Buck2 のフィードバック入力 Buck2 出力フィルタに接続します。公称出力電圧は NVM によって構成されます。	GND に接続
VLDO2	3	PWR	LDO2 の出力電圧公称出力電圧は NVM によって構成されます。2.2μF 以上のセラミック コンデンサを使用して、このピンをバイパスして接地します。	フローティング状態のままにします。
VSYS/PVIN_LDO12	4	PWR	基準システムへの入力電源と、LDO1 および LDO2 への電源入力 4.7μF 以上のセラミック コンデンサを使用して、このピンをバイパスして接地します。	該当なし
VLDO1	5	PWR	LDO1 の出力電圧公称出力電圧は NVM によって構成されます。2.2μF 以上のセラミック コンデンサを使用して、このピンをバイパスして接地します。	フローティング状態のままにします。
AGND	6	GND	アナログ GND 用グランド端子	該当なし
VDD1P8	7	PWR	内部基準電圧デバイス内使用限定外部負荷をかけないでください。2.2μF のセラミック コンデンサを使用して、このピンをバイパスして接地します。	該当なし

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ(1)	説明	未使用時は接続
名称	番号			
FB_B1	8	I	Buck1 のフィードバック入力 Buck1 出力フィルタに接続します。公称出力電圧は NVM によって構成されます。	GND に接続
GPO/nWAKEUP	9	O	GPO として設定:汎用オープン ドレイン出力パワーアップおよびパワーダウンシーケンスで、外部レールを有効にするように構成できます。	フローティング状態のままにします。
		O	nWAKEUP として構成:電源投入イベントを示すためのホストへの信号です。このピンはアクティブローで、オープン ドレイン出力です。	
PGND	10	GND	電源グランド。このグランド接続は、PCB 上で両側(ピン 10 とピン 22)に配線する必要があります。電気および熱伝導を最大化するために、露出したパッドを TPS65214 直下の複数のインターコネクトビアによって連続接地面に接続します。	該当なし
LX_B1	11	PWR	Buck1 用スイッチ ピン。Buck1 コンデンサの片側を、このピンに接続します。	フローティング状態のままにします。
PVIN_B1	12	PWR	BUCK1 の電源入力。4.7µF 以上のセラミック コンデンサを使用して、このピンをバイパスして接地します。PVIN_B1 ピンの電圧は、VSYS ピンの電圧を超えないようにする必要があります。	VSYS に接続
SDA	13	I/O	I2C シリアルポート用のデータ ピン。I2C のロジックレベルは、外部プルアップ電圧に依存します。	VIO に接続
SCL	14	I	I2C シリアルポート用のクロック ピン。I2C のロジックレベルは、外部プルアップ電圧に依存します。	VIO に接続
nINT	15	O	割り込み要求出力。オープン ドレイン ドライバは故障状態時に Low になります。ビットがクリアされると解除されます。	フローティング状態のままにします。
GPIO/VSEL	16	O	GPO として設定:汎用オープン ドレイン出力パワーアップおよびパワーダウンシーケンスで、外部レールを有効にするように構成できます。	N/A(構成に応じてフローティング、High または Low に接続します。汎用入出力および電圧選択ピン(GPIO/VSEL) を参照してください
		I	GPI として設定:パワーアップおよびパワーダウンシーケンスで、ひとつ、または複数のデバイス レールを有効にするように構成できます。	
		I	VSEL_BUCK として構成:Buck1 または Buck3 VOUT の選択。外部抵抗によるハードワイヤード プルアップ、プルダウン、またはフローティング。	
nRSTOUT	17	O	SoC へのリセット出力。シーケンサで制御。アクティブ状態で High。スタンバイ状態でレベルを構成可能。	フローティング状態のままにします。
FB_B3	18	I	Buck3 のフィードバック入力 Buck3 出力フィルタに接続します。公称出力電圧は NVM によって構成されます。	GND に接続

表 5-1. ピンの機能 (続き)

ピン		タイプ(1)	説明	未使用時は接続
名称	番号			
EN/PB/VSENSE	19	I	EN として設定:デバイス イネーブル ピン、High レベルはオン要求、Low レベルはオフ要求です。	N/A(EN として構成して VSYS に接続)
		I	PB として設定:プッシュ ボタン モニタ入力。600ms の Low レベルはオン要求、8s の Low レベルはオフ要求です。	
		I	VSENSE として設定:電源障害コンパレータ入力。入力からプリレギュレータに接続された抵抗分圧器を使用して検出電圧を設定し、このピンを接地します。プリレギュレータの立ち上がり/立ち下がり電圧を検出し、オン/オフ要求をトリガします。このピンは、PB 構成では待機時間、EN および VSENSE 構成ではデグリッチ時間でエッジ センシティブです。	
PVIN_B3	20	PWR	BUCK3 の電源入力。4.7µF 以上のセラミック コンデンサを使用して、このピンをバイパスして接地します。PVIN_B3 ピンの電圧は、VSYS ピンの電圧を超えないようにする必要があります。	VSYS に接続
LX_B3	21	PWR	Buck3 用スイッチ ピン。Buck3 コンデンサの片側を、このピンに接続します。	フローティング状態のままにします。
PGND	22	GND	電源グランド。このグランド接続は、PCB 上で両側(ピン 10 とピン 22)に配線する必要があります。電気および熱伝導を最大化するために、露出したパッドを TPS65214 直下の複数のインターコネクトビアによって連続接地面に接続します。	該当なし
LX_B2	23	PWR	Buck2 用スイッチ ピン。Buck2 コンデンサの片側を、このピンに接続します。	フローティング状態のままにします。
PVIN_B2	24	PWR	BUCK2 の電源入力。4.7µF 以上のセラミック コンデンサを使用して、このピンをバイパスして接地します。PVIN_B2 ピンの電圧は、VSYS ピンの電圧を超えないようにする必要があります。	VSYS に接続

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。[(1)]

POS			最小値	最大値	単位
1.1.1	入力電圧	VSYS/PVIN_LDO12	-0.3	6	V
1.1.2	入力電圧	PVIN_B1、PVIN_B2、PVIN_B3	-0.3	6	V
1.1.3	入力電圧対降圧用 VSYS	VSYS を超える PVIN_B1、PVIN_B2、PVIN_B3 最大電圧		200	mV
1.1.5	入力電圧	FB_B1、FB_B2、FB_B3	-0.3	6	V
1.1.6	入力電圧	EN/PB/VSENSE、MODE/STBY、GPIO/VSEL	-0.3	6	V
1.1.7	入力電圧	PGND	-0.3	0.3	V
1.2.1	出力電圧	LX_B1、LX_B2、LX_B3	-0.3	PVIN_Bx + 0.3V、最大 6V	V
1.2.2	出力電圧	最大 10ns の LX_B1、LX_B2、LX_B3 スパイク	-2	10	V
1.2.3	出力電圧	GPO/nWAKEUP、GPIO/VSEL	-0.3	6	V
1.2.4	出力電圧	VLDO1、VLDO2	-0.3	PVIN_LDOx + 0.3V、最大 6V	V
1.2.5	出力電圧	VDD1P8	-0.3	2	V
1.2.6	出力電圧	SDA、SCL	-0.3	6	V
1.2.7	出力電圧	nINT、nRSTOUT	-0.3	6	V
1.4.1	動作時の接合部温度、T_J			125	°C
1.4.2	保管温度、T_{stg}		-65	150	°C

(1) 「*絶対最大定格*」を超える動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

POS				値	単位
2.1	$V_{(ESD)}$	静電放電、人体モデル	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン [(1)]	±2000	V
2.2	$V_{(ESD)}$	静電放電、デバイス帯電モデル	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン[(2)]	±500	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。

POS			最小値	公称値	最大値	単位
3.1.1a	$V_{VSYS/PVIN_LDO12}$	入力電圧、LDO モードでの LDOx	2.5		5.5	V
3.1.1b	$V_{VSYS/PVIN_LDO12}$	入力電圧、ロード スイッチ モードでの LDO1 および LDO2	2.5		3.3	V
3.1.2	V_{PVIN_B1}、V_{PVIN_B2}、V_{PVIN_B3} V_{LX_B1}、V_{LX_B2}、V_{LX_B3}	BUCKx ピン	2.5		5.5 [(1)]	V

6.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。

POS				最小値	公称値	最大値	単位
3.1.3	$\Delta V_{VSYS_PVIN_Bx}$	V_{PVIN_Bx} が V_{VSYS} を超える可能性がある電圧				0	mV
3.1.7	C_{PVIN_B1}、C_{PVIN_B2}、C_{PVIN_B3}	BUCKx 入力キャパシタンス		3.9	4.7		µF
3.1.8	L_{B1}、L_{B2}、L_{B3}	BUCKx 出力インダクタンス		330	470	611	nH
3.1.9a	C_{OUT_B1}、C_{OUT_B2}、C_{OUT_B3}	BUCKx 出力キャパシタンス	低帯域幅ケース	10		75	µF
3.1.10a			高帯域幅ケース	30		220	µF
3.1.11	V_{FB_B1}、V_{FB_B2}、V_{FB_B3}	BUCKx FB ピン		0		5.5 (1)	V
3.1.14	V_{PVIN_LDO12}	V_{PVIN_LDOx} とロード スイッチ モードで構成された V_{VLDOx} との間の許容デルタ		-400		400	mV
3.1.15	V_{VLDO1}、V_{VLDO2}	LDO 出力電圧範囲		0.6		3.3	V
3.1.16	$C_{VSYS/PVIN_LDO12}$	VSYS および LDOx 入力キャパシタンス		2.2	4.7		µF
3.1.17	C_{VLDO1}、C_{VLDO2}	LDO 出力キャパシタンス		1.2	2.2	40	µF
3.1.22	V_{VDD1P8}	VDD1P8 ピン		0		1.8	V
3.1.23	C_{VDD1P8}	内部レギュレータのデカップリング容量		1	2.2	4	µF
3.1.25	V_{nINT}、$V_{nRSTOUT}$	デジタル出力		0		3.4	V
3.1.26b	$V_{GPO/nWAKEUP}$	デジタル出力		0		5.5	V
3.1.26a	$V_{GPIO/VSEL}$	デジタル出力		0		5.5 (1)	V
3.1.27	V_{SCL}、V_{SDA}	I2C インターフェイス		0		3.4	V
3.1.28a	$V_{EN/PB/VSENSE}$	デジタル入力		0		5.5	V
3.1.28b	$V_{GPIO/VSEL}$	デジタル入力		0		5.5 (1)	V
3.1.28c	$V_{MODE/STBY}$	デジタル入力		0		3.4	V
3.1.29	V_{PGND}	PGND ピン電圧			0		V
3.2.1	$t_{VSYS_RAMP_RISE}$	入力電圧立ち上がりランプ時間、入力電圧はプリレギュレータで制御されます。 V_{VSYS} = V_{PVIN_Bx} = V_{PVIN_LDOx} = 0V ～ 5V		0.1		600000	ms
3.2.2	$t_{VSYS_RAMP_FALL}$	入力電圧立ち下がりランプ時間、V_{VSYS} = V_{PVIN_Bx} = V_{PVIN_LDOx} = 5V ～ 2.5V		0.4		600000	ms
3.2.3	$t_{MODE/STBY_PROG_SLEW}$	MODE/STBY プログラミング電圧立ち上がりおよび立ち下がりスルーレート、$V_{MODE/STBY}$ = 0V ～ 8V および 8V ～ 0V				25	mV/µs
3.3.1	T_A	外気温度での動作時		-40		105	°C
3.3.2	T_J	動作時接合部温度		-40		125	°C

(1) VSYS を超えないようにしてください

6.4 熱に関する情報

熱評価基準(1)		TPS65214 VAF (QFN) 24 ピン、3.5x3.5mm²	単位
$R_{\Theta JA}$	接合部から周囲への熱抵抗	45.5	°C/W
$R_{\Theta JC(top)}$	接合部からケース (上面) への熱抵抗	30.0	°C/W
$R_{\Theta JB}$	接合部から基板への熱抵抗	14.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.8	°C/W

Copyright © 2025 Texas Instruments Incorporated

6.4 熱に関する情報 (続き)

熱評価基準[1]		TPS65214 VAF (QFN) 24 ピン、3.5x3.5mm²	単位
Ψ_{JB}	接合部から基板への特性パラメータ	14.1	°C/W
$R_{\Theta JC(bot)}$	接合部からケース (底面) への熱抵抗	22.9	°C/W

(1) 従来および新しい熱評価基準値の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準値』、SPRA953 を参照してください。

6.5 システム制御スレッショルド

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
電気的特性							
4.1.1	VSYS	動作入力電圧		2.5		5.5	V
4.1.2	$VSYS_{UVLO_Rising}$	VSYS UVLO 立ち上がりスレッショルド	VSYS ピンで測定、トリムされない	2.2		2.5	V
4.1.2.2	$VSYS_{POR_Rising}$	VSYS POR 立ち上がりスレッショルド	VSYS ピンで測定、トリムされない	1.8		2.275	V
4.1.3	$VSYS_{UVLO_Falling}$	VSYS UVLO 立ち下がりスレッショルド	VSYS ピンで測定、トリム済み	2.175		2.25	V
4.1.3.2	$VSYS_{POR_Falling}$	VSYS POR 立ち下がりスレッショルド	VSYS ピンで測定、トリム済み	1.6		2.15	V
4.1.4	$VSYS_{UVLO_Hyst}$	VSYS UVLO ヒステリシス	$VSYS_{UVLO_Rising_untrimmed}$ - $VSYS_{UVLO_Falling_trimmed}$		130		mV
4.1.5	$V_{VSYS_OVP_Rise}$	VSYS OVP 上昇スレッショルド、トリム済み	VSYS ピンで測定、トリム済み	5.8		6.1	V
4.1.6	$V_{VSYS_OVP_Fall}$	VSYS OVP 下降スレッショルド、トリム済み	VSYS ピンで測定、トリム済み	5.7		5.95	V
4.1.7	$V_{VSYS_OVP_Hyst}$	VSYS OVP ヒステリシス	$VSYS_{OVP_Rising_trimmed}$ - $VSYS_{OVP_falling_trimmed}$	100	140	180	mV
4.1.8	V_{VDD1P8}	VDD1P8 電圧		1.7	1.8	1.9	V
4.2.1a	$I_{INITIALIZE}$	初期化状態での消費電流	VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 3.6V。すべてのモニタがオフになっています。 T_A = 25℃		13	20	µA
4.2.1b	$I_{INITIALIZE}$	初期化状態での消費電流	VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 3.6V。すべてのモニタがオフになっています。 T_A = -40℃ ～ 105℃		13	30	µA
4.2.2a	I_{ACTIVE}	アクティブ状態での消費電流、すべてのレールがオンになっています	VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 3.6V。すべての出力はオン、すべての LDO は LDO モード、降圧コンバータは PFM モードです。無負荷 T_A = 25℃		230	270	µA
4.2.2b	I_{ACTIVE}	アクティブ状態での消費電流、すべてのレールがオンになっています	VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 3.6V。すべての出力はオン、すべての LDO は LDO モード、降圧コンバータは PFM モードです。無負荷 T_A = -40℃ ～ 105℃		230	310	µA

6.5 システム制御スレッショルド (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
4.2.3a	I_{STBY}	スタンバイ状態の消費電流、BUCK2、BUCK3、LDO2 オン	VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 3.6V。LDO モードで BUCK2、BUCK3、LDO2 がオン、降圧コンバータは PFM モードです。無負荷 T_A = 25℃		130	155	µA
4.2.3b	I_{STBY}	スタンバイ状態の消費電流、BUCK2、BUCK3、LDO2 オン	VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 3.6V。LDO モードで BUCK2、BUCK3、LDO2 がオン、降圧コンバータは PFM モードです。無負荷 T_A = -40℃ ～ 105℃		155	170	µA
4.2.4a	I_{STBY}	スタンバイ状態での消費電流、すべてのレールがオン	VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 3.6V。すべての出力はオン、すべての LDO は LDO モード、降圧コンバータは PFM モードです。無負荷 T_A = 25℃		230	270	µA
4.2.4b	I_{STBY}	スタンバイ状態での消費電流、すべてのレールがオン	VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 3.6V。すべての出力はオン、すべての LDO は LDO モード、降圧コンバータは PFM モードです。無負荷 T_A = -40℃ ～ 105℃		230	310	µA
4.2.6a	I_{SLEEP}	スリープ状態の消費電流	VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 3.6V。PB/EN 検出に必要なブロックを除いて、ほとんどのブロックがオフ。 T_A = 25℃		3	5	µA
4.2.6b	I_{SLEEP}	スリープ状態の消費電流	VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 3.6V。PB/EN 検出に必要なブロックを除いて。 T_A = -40℃ ～ 105℃		3	15	µA
タイミング要件							
4.3.1	$t_{OFF_TO_INIT}$	VSYS が VSYS_UVLO を超えてから初期化状態に入るまでの時間で、NVM の読み取りを含み、オン要求の準備が完了するまでの時間	VSYS が VSYS_UVLO を超えてから初期化状態に入るまでの時間 HOT によって制御されるオン要求の実行			6.2	ms
4.3.2a	$t_{TIMEOUT_UV_BUCK}$	ランプアップ時に降圧レールが UV スレッショルドに達しない場合の UV 検出				1.8	ms
4.3.2b	$t_{TIMEOUT_UV_LDO}$	ランプアップ時に LDO レールが UV スレッショルドに達しない場合の UV 検出				1.4	ms
4.3.3	t_{ON_DLY}	有効なオン要求が受信されてから最初のシーケンス スロットまでの時間	$V_{BUCKx_SCG_TH}$ を下回る、すべての降圧コンバータ出力 $V_{LDOx_SCG_TH}$ を下回る、すべての LDO 出力			280	µs

Copyright © 2025 Texas Instruments Incorporated

6.5 システム制御スレッショルド (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
4.10.7b	t_{NVM_LOAD}	VDD1P8 が VDD1P8_POR を超えてから初期化状態に入るまでの時間で、オン要求の準備が完了するまでの時間				4.95	ms

6.6 BUCK1、BUCK2、BUCK3 コンバータ

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
電気的特性							
5.1.1a	V_{IN_BUCKx}	入力電圧(1)	降圧電源電圧、最大 VSYS	2.5		5.5	V
5.1.1b	V_{OUT_BUCKx}	降圧出力電圧の設定可能範囲	出力電圧は 0.6V ≤ V_{OUT} ≤ 1.4V の場合は 25mV 単位、1.4V < V_{OUT} ≤ 3.4V の場合は 100mV 単位で構成可能	0.6		3.4	V
5.1.2a	I_{Q_BUCKx}	静止電流	PFM、BUCKx 有効、無負荷、V_{IN} = 3.6V、V_{OUT} = 0.75V、T_J=25℃		8	11	µA
5.1.3a	$V_{HEADROOM_PWM}$	入力から出力への電圧レベル(2)	最大負荷時のコーナー ケース I_{OUT} = 1.7A	500			mV
5.1.3b	$V_{HEADROOM_PWM}$	入力から出力への電圧レベル(2)	I_{OUT} = I_{OUT_MAX} でのコーナー ケース	700			mV
5.1.4	$V_{OUT_STEP_LOW}$	出力電圧ステップ BUCK1	0.6V ≦ V_{OUT} ≦ 1.4V		25		mV
5.1.5	$V_{OUT_STEP_HIGH}$	出力電圧ステップ BUCK1	1.5V ≦ V_{OUT} ≦ 3.4V		100		mV
5.1.6a	$V_{OUT_ACC_DC_PWM}$	DC 出力電圧精度	強制 PWM、低高帯域幅ケース、I_{OUT} = I_{OUT_MAX}、0.7V ≤ V_{OUT} ≤ 3.4V、V_{IN} - V_{OUT} > 700 mV、C_{OUT} = 40µF	-1.5%		1.5%	
5.1.6b	$V_{OUT_ACC_DC_PWM}$	DC 出力電圧精度	強制 PWM、低高帯域幅ケース、I_{OUT} = I_{OUT_MAX}、0.6V ≤ V_{OUT} < 0.7V、V_{IN} - V_{OUT} > 700 mV、C_{OUT} = 40µF	-10		10	mV
5.1.6c	$V_{OUT_ACC_DC_PFM}$	DC 出力電圧精度	自動 PFM、低高帯域幅ケース、I_{OUT} = 1mA、V_{OUT} = 0.6V ～ 3.4V、V_{IN} - V_{OUT} > 500 mV、C_{OUT} = 40µF	-3.0%		3.5%	
5.1.9	R_{FB_INPUT}	フィードバック入力インピーダンス	コンバータ有効	2.3	3.75	5.0	MΩ
5.2.1a	$V_{LOAD_REG_PWM}$	DC 負荷レギュレーション	強制 PWM、低帯域幅ケース、V_{IN} = 5.0V、V_{OUT} = 1.2V、I_{OUT} = 0 ～ I_{OUT_MAX}、C_{OUT} = 40µF		0.1	0.16	%/A
5.2.2a	V_{LINE_REG}	DC ライン レギュレーション	強制 PWM、低帯域幅ケース、V_{IN} = 3.3V ～ 5.5V、V_{OUT} = 1.2V、I_{OUT} = 1mA および I_{OUT_MAX} C_{OUT} = 40µF		0.1	0.16	%/V

6.6 BUCK1、BUCK2、BUCK3 コンバータ (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
5.2.3a	$V_{LOAD_TRANSIENT}$	負荷過渡	自動 PFM、高帯域幅ケース、V_{IN} = 5.0V、V_{OUT} = 0.75V、I_{OUT} = 100mA to 1100mA ～ 100mA、t_R = t_F = 500ns、C_{OUT} = 80µF	-27.5		27.5	mV
5.2.3b	$V_{LOAD_TRANSIENT}$	負荷過渡、	強制 PWM、高帯域幅ケース、V_{IN} = 5.0V、V_{OUT} = 0.75V、I_{OUT} = 100mA ～ 1100mA ～ 100mA、t_R = t_F = 500ns、C_{OUT} = 80µF	-27.5		27.5	mV
5.2.4a	$V_{LOAD_TRANSIENT}$	負荷過渡	自動 PFM、低帯域幅ケース、V_{IN} = 5.0V、V_{OUT} = 0.75V、I_{OUT} = 100mA to 600mA ～ 100mA、t_R = t_F = 500ns、C_{OUT} = 40µF	-30		30	mV
5.2.4b	$V_{LOAD_TRANSIENT}$	負荷過渡	強制 PWM、低帯域幅ケース、V_{IN} = 5.0V、V_{OUT} = 0.75V、I_{OUT} = 100mA to 600mA ～ 100mA、t_R = t_F = 500ns、C_{OUT} = 40µF	-30		30	mV
5.2.5a	$V_{LINE_TRANSIENT}$	ライントランジェント	強制 PWM、低帯域幅ケース、V_{IN} = 50µs で 3.3V ～ 5.5V、V_{OUT} = 0.75V、I_{OUT} = 1mA および I_{OUT_MAX} 、C_{OUT} = 40µF	-50		50	mV
5.2.6a	$V_{RIPPLE_PP_PWM}$	強制 PWM での出力電圧リップル	低帯域幅ケース、V_{IN} = 5.0V、V_{OUT} = 2.5V、I_{OUT} = 1A、L = 470nH、DCR = 50mΩ、C_{OUT} = 40uF、X5R、ESR = 10mΩ		10	20	mV_{PP}
5.2.6b	$V_{RIPPLE_PP_PFM}$	自動 PFM での出力電圧リップル	低帯域幅ケース、V_{IN} = 5.0V、V_{OUT} = 2.5V、I_{OUT} = 20mA、L = 470nH、DCR = 50mΩ、C_{OUT} = 40uF、X5R、ESR = 10mΩ		20	40	mV_{PP}
5.3.1	I_{OUT_MAX}	最大動作電流				2.0	A
5.3.2	$I_{CURRENT_LIMIT}$	ピーク電流制限	シミュレーションでは V_{IN} = 2.5V ～ 5.5V	3.1	3.9	4.7	A
5.3.3	$I_{REV_CUR_LIMIT}$	逆方向ピーク電流制限	シミュレーションでは V_{IN} = 2.5V ～ 5.5V	-2.0	-1.5	-1.0	A
5.3.4a	R_{DSON_HS}	ハイサイド MOSFET オン抵抗	ピン間で測定された、V_{IN} = 5V			105	mΩ
5.3.4b	R_{DSON_HS}	ハイサイド MOSFET オン抵抗	ピン間で測定された、V_{IN} = 3.3V			170	mΩ
5.3.5a	R_{DSON_LS}	ローサイド MOSFET オン抵抗	ピン間で測定された、V_{IN} = 5V			100	mΩ
5.3.5b	R_{DSON_LS}	ローサイド MOSFET オン抵抗	ピン間で測定された、V_{IN} = 3.3V			140	mΩ
5.3.6	$R_{DISCHARGE}$	出力放電抵抗	コンバータが有効になっていない場合のみアクティブ	60	125	200	Ω
5.4.1	L_{SW}	出力インダクタンス	DCR = 最大 50mΩ	330	470	611	nH
5.4.2a	C_{OUT}	出力キャパシタンス、自動 PFM および強制 PWM、ESR = 最大 10mΩ	低帯域幅ケース	10		75	µF
5.4.3a			高帯域幅ケース	30		220	µF

Copyright © 2025 Texas Instruments Incorporated

6.6 BUCK1、BUCK2、BUCK3 コンバータ (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
タイミング要件							
5.5.1	t_{RAMP}	ランプ時間	残留電圧なしと仮定した場合、有効化から目標値の 98% までの時間	0.3		1.65	ms
5.5.1.1	T_{START}	スタート時間	残留電圧なしと仮定した場合、個別に有効化された I2C イネーブル信号から降圧までの時間(ENABLE_BUCK)			150	µs
5.5.1.2	t_{RAMP_QFF}	ランプ時間	強制 PWM、低帯域幅ケース、ENABLE_BUCK から目標値の 98% まで測定			1.3	ms
5.5.1.4	$t_{SAMPLE_DEGLITCH}$	UV が解除される前のサンプリング時間とデグリッチ時間				100	µs
5.5.2a	DVFS_SLOPE	DVFS の立ち上がりスルーレート	強制 PWM、低帯域幅ケース、0.6V ～ 1.4V の DVFS 電圧調整中のステップ持続時間	2.9	3.2	3.5	mV/µs
5.5.2c	DVFS_FALL	DVFS の立ち下がりスルーレート	強制 PWM、低帯域幅ケース、1.4V ～ 0.6V の DVFS 電圧調整中のステップ持続時間	0.45	0.53	0.61	mV/µs
スイッチング特性							
5.6.1a	f_{SW}	スイッチング周波数	強制 PWM、高低帯域幅ケース、V_{IN} = 3.3V ～ 5V、V_{OUT} = 0.8V ～ 1.8V、I_{OUT} = 1A ～ 1.8A		2.3		MHz

(1) PVIN_Bx は VSYS を超えてはなりません
(2) DC レギュレーションのみを指します。過渡応答には、より大きなヘッドルームが必要になる場合があります。ヘッドルームが小さい場合、擬似固定周波数において周波数変動が増加します。

6.7 汎用 LDO (LDO1、LDO2)

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
電気的特性							
7.8.1	V_{IN}	入力電圧		2.5		5.5	V
7.8.3	V_{OUT}	出力電圧	V_{IN} = 2.5V ～ 5.5V	0.6		3.3	V
7.8.4	V_{OUT_STEP}	出力電圧ステップ	0.6V ≦ V_{OUT} ≦ 3.3V		50		mV
7.8.5	R_{BYPASS}	バイパス抵抗	V_{IN} = 3.3V、I_{OUT} = 100mA、ロード スイッチ モードの LDO			0.8	Ω
7.8.6	$V_{OUT_DC_ACCURACY}$	すべての有効な出力電圧における DC 負荷およびラインレギュレーションを含む総合 DC 精度	LDO モード、V_{IN} - V_{OUT} > $V_{DROPOUT}$	-2.5		2.5	%
7.8.9	$V_{LOAD_REGULATION}$	DC 負荷レギュレーション	V_{IN} = 3.8V、V_{OUT} = 3.3V、I_{OUT} = 0 ～ I_{OUT_MAX}		20	35	µV/mA
7.8.10	$V_{LINE_REGULATION}$	DC ライン レギュレーション	V_{IN} = V_{OUT} + $V_{DROPOUT}$ ～ 5.5V、V_{OUT} = 1.2V、1.8V、3.3V、I_{OUT} = 1mA		0.01	0.1	%/V
7.8.11a	$V_{LOAD_TRANSIENT}$	負荷過渡(LDO1)	V_{IN} = 3.3V、V_{OUT} = 1.8V、I_{OUT} = I_{OUT_MAX} の 20% から 1us で I_{OUT_MAX} の 80% まで、	-35		35	mV
7.8.11b	$V_{LOAD_TRANSIENT}$	負荷過渡(LDO2)	VIN = 3.8V、VOUT = 3.3V、IOUT = IOUT_MAX の 20% から 1us で IOUT_MAX の 80% まで	-45		70	mV

6.7 汎用 LDO (LDO1、LDO2) (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。

POS	パラメータ		テスト条件		最小値	標準値	最大値	単位
7.8.12	$V_{LINE_TRANSIENT}$	ライン トランジェント	VIN ステップ = 600mVPP、T_R = T_F = 10µs、ドロップアウト状態ではない LDO		-25		25	mV
7.8.13c	$V_{DROPOUT1}$	LDO1 ドロップアウト電圧	I_{OUT} = I_{OUT_MAX}、V_{OUT} = 95% × V_{OUT} (NOM)	1.8V ≤ V_{OUT} < 3.3V で特性規定済み			330	mV
7.8.13d				V_{OUT} = 3.3V			250	mV
7.8.13g	$V_{DROPOUT2}$	LDO2 ドロップアウト電圧	I_{OUT} = I_{OUT_MAX}、V_{OUT} = 95% × V_{OUT} (NOM)	1.8V ≤ V_{OUT} < 3.3V で特性規定済み			530	mV
7.8.13h				V_{OUT} = 3.3V			400	mV
7.8.14	PSRR	電源リップル除去	V_{IN} = 2.8V、V_{OUT} = 1.8V、I_{OUT} = 50mA	f = 1kHz		60		db
7.8.15				f = 10kHz		47		db
7.8.16				f = 100kHz		55		db
7.8.17				f = 1MHz		45		db
7.8.18	$NOISE_{RMS}$	RMS ノイズ	f=100Hz ～ 100KHz、V_{IN} = 3.8V、I_{OUT} = 300mA、V_{OUT} = 3.3V および 1.8V			105 × V_{OUT}		uV_{RMS}
7.8.19	I_{OUT_MAX1}	最大動作電流(LDO1)					300	mA
7.8.20	I_{OUT_MAX2}	最大動作電流(LDO2)					500	mA
7.8.21	$I_{CURRENT_LIMIT1}$	短絡電流制限(LDO1)	V_{IN} = 3.6 V、V_{OUT} = 0 V		400		900	mA
7.8.22	$I_{CURRENT_LIMIT2}$	短絡電流制限(LDO2)	V_{IN} = 3.6 V、V_{OUT} = 0 V		600		1600	mA
7.8.23	I_{IN_RUSH}	LDO または LSW の突入電流	VIN = 3.3V で LDO が有効、C_{OUT} = 40uF				1400	mA
7.8.25	$R_{DISCHARGE}$	出力放電抵抗	コンバータが有効になっていない場合のみアクティブ、$R_{DISCHARGE}$ =「1」		100	200	300	Ω
7.8.29	I_{Qon}	オン モードの静止電流	V_{IN} = 3.6V、V_{OUT} = 1.8V、I_{OUT} = 0mA、T_J=-40℃ ～ 125℃			70	93	µA
7.8.32	C_{OUT}	出力フィルタリング容量			1.2	2.2	4	µF
7.8.34	C_{ESR}	フィルタリング コンデンサ ESR max	1～10MHz			10	20	mΩ
7.8.37	C_{OUT_TOTAL}	出力時の合計容量(ローカル + POL)					40	µF
タイミング特性								
7.8.50	t_{START}	スタート時間	I2C コマンド完了から出力電圧 0.3V になるまでの時間				425	µs
7.8.51	t_{RAMP}	LDO および LSW モードでのランプ時間	0.3V から目標値の 90% までの範囲で測定				850	µs
7.8.52	t_{RAMP_SLEW}	LDO および LSW モードでのスルーレートのランプアップ	0.3V から目標値の 90% までの VOUT		2		12	mV/µs
7.8.53	$t_{TRANS_1P8_3P3}$	遷移時間:1.8V ～ 3.3V	V_{IN} = 4.0V、I_{OUT} = 300mA			2		ms
7.8.54	$t_{TRANS_3P3_1P8}$	遷移時間:3.3V ～ 1.8V	V_{IN} = 4.0V、I_{OUT} = 300mA			2		ms

Copyright © 2025 Texas Instruments Incorporated

6.8 GPIO とマルチファンクション ピン（EN/PB/VSENSE、nRSTOUT、nINT、GPO/nWAKEUP、GPIO/VSEL、MODE/STBY）

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
電気的特性							
9.1.1	V_{OL}	Low レベル出力電圧（オープン ドレイン）	VIO = 3.6V、I_{OL} = 2mA、GPO/nWAKEUP、GPIO/VSEL、nRSTOUT、nINT			0.40	V
9.1.2	V_{IL}	Low レベル入力電圧	初期化、アクティブ、またはスタンバイ モードの EN/PB、MODE/STBY、GPIO/VSEL			0.4	V
			スリープ モードの EN/PB			0.3×VSYS	V
9.1.3	V_{IH}	High レベル入力電圧	初期化、アクティブ、またはスタンバイ モードの EN/PB、MODE/STBY、GPIO/VSEL	1.26			V
			スリープ モードの EN/PB	0.7×VSYS			V
9.1.4	V_{VSENSE}	VSENSE コンパレータ スレッショルド（EN/PB/VSENSE）		1.08	1.20	1.32	V
9.1.5	V_{VSENSE_HYS}	VSENSE コンパレータ ヒステリシス（EN/PB/VSENSE）		8	30	55	mV
9.1.6	I_{LKG}	入力リーク電流（GPIO/VSEL、EN/PB/VSENSE、MODE/STBY）	V_{IN} = 3.3V			1.0	µA
9.1.7	C_{IN}	内部入力ピン容量（GPIO/VSEL、EN/PB/VSENSE、MODE/STBY）				10	pF
9.1.8	I_{PD}	プルダウン電流、VSYS が印加されてから 100us 後に利用可能	GPO/nWAKEUP、GPIO/VSEL、MODE/STBY、nINT、nRSTOUT ピン上	18	25	35	nA
9.1.9	$I_{LKG_VSYS_ONLY}$	VSYS が存在するが、デジタル電源が存在しない場合のピン リーケージ	SDA、nINT			1	µA
9.1.10	$V_{PIN_VSYS_ONLY}$	VSYS が存在するが、デジタル電源が存在しない場合のピン電圧	GPO、GPIO、nRSTOUT、I_{OL}= 2mA			0.4	V
タイミング要件							
9.2.1a	t_{FALL}	出力バッファ立ち下がり時間（90% ～ 10%）	GPO/nWAKEUP、GPIO、nRSTOUT、nINT、C_{OUT} = 10pF			50	ns
9.2.1b	t_{RISE}	GPIO 出力バッファ立ち上がり時間（10% ～ 90%）	GPIO			5	µs
9.2.2a	$t_{PB_ON_SLOW}$	EN/PB/VSENSE、待機時間 PB、オン要求、低速	PB、立ち下がりエッジ	540	600	660	ms
9.2.2b	$t_{PB_ON_FAST}$	EN/PB/VSENSE、待機時間 PB、オン要求、高速	PB、立ち下がりエッジ	180	200	220	ms
9.2.2c	$t_{EN_PB_WAKEUP}$	EN/PB/VSENSE、待機時間 EN/PB、スリープ終了要求	PB、立ち下がりエッジまたは EN、立ち上がりエッジ	3.5	4.0	4.5	s
9.2.3	t_{PB_OFF}	EN/PB/VSENSE、待機時間 PB、オフ要求	PB、立ち下がりエッジ	7.2	8.0	8.8	s
9.2.4	$t_{DEGL_PB_RISE}$	EN/PB/VSENSE、グリッチ除去時間 PB、立ち上がりエッジ	PB、立ち上がりエッジ、長押しオフ要求が成功した後に適用可能	115	200	275	ms
9.2.5	$t_{DEGL_PB_INT}$	EN/PB/VSENSE、グリッチ除去時間 PB、立ち上がりまたは立ち下がりエッジ	PB、立ち上がりまたは立ち下がりエッジ	59	100	137	ms

6.8 GPIO とマルチファンクション ピン（EN/PB/VSENSE、nRSTOUT、nINT、GPO/nWAKEUP、GPIO/VSEL、MODE/STBY） (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。規定電圧レベルは、デバイスの AGND グランドを基準としています。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
9.2.6	$t_{DEGL_EN_Rise_Slow}$	EN/PB/VSENSE、グリッチ除去時間 EN 低速、立ち上がり	EN、立ち上がりエッジ	45	50	55	ms
9.2.7	$t_{DEGL_EN_Rise_Fast}$	EN/PB/VSENSE、グリッチ除去時間 EN 高速、立ち上がり	EN、立ち上がりエッジ	60	120	185	µs
9.2.8	$t_{DEGL_EN_Fall}$	EN/PB/VSENSE、グリッチ除去時間 EN、立ち下がり	EN、立ち下がりエッジ	50	70	93	µs
9.2.9	$t_{DEGL_VSENSE_Rise}$	VSENSE 立ち上がり: $VSYS_{POR_Rising}$ および VSENSE 電圧によってのみゲート	VSENSE、立ち上がりエッジ		該当なし		
9.2.10	$t_{DEGL_VSENSE_Fall}$	EN/PB/VSENSE、グリッチ除去時間 VSENSE、立ち下がり、高速/低速設定に非依存	VSENSE、立ち下がりエッジ	50	70	93	µs
9.2.11	$t_{DEGL_EN/VSENSE_I2C}$	I2C によるシャットダウン後の EN/VSENSE 立ち下がりエッジのグリッチ除去時間	I2C による前のシャットダウン要求の後の EN/VSENSE 立ち下がりエッジ（9.2.8 未満）	12.5	25	37.5	µs
9.2.13	t_{DEGL_MFP}	グリッチ除去時間 MODE/STBY	立ち上がりエッジと立ち下がりエッジ	90	120	150	µs
9.2.14	t_{DEGL_GPIO}	グリッチ除去時間 GPIO	立ち上がりエッジと立ち下がりエッジ	6.6	15.6	18	µs

6.9 電圧と温度の監視

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
電気的特性							
10.1.1	$V_{BUCKx_UV_TH_5}$、$V_{LDOx_UV_TH_5}$	降圧コンバータ出力の低電圧監視、プログラマブルな低方向スレッショルド精度	UV_THR = 0x0		-5%		
10.1.2	$V_{BUCKx_UV_TH_10}$、$V_{LDOx_UV_TH_10}$	降圧出力および LDO 出力の低電圧監視、プログラマブルな低方向スレッショルド精度	UV_THR = 0x1		-10%		
10.1.3	$V_{BUCKx_UV_H_ACC}$、$V_{LDOx_UV_H_ACC}$	低電圧スレッショルドの精度、V_{OUT} ≥1V	V_{OUT} ≥ 1V	-1%		+1%	
10.1.4	$V_{BUCKx_UV_L_ACC}$、$V_{LDOx_UV_L_ACC}$	低電圧スレッショルドの精度、V_{OUT} < 1V	V_{OUT} < 1V	-10		+10	mV
10.1.5	$V_{BUCKx_UV_HYS}$、$V_{LDOx_UV_HYS}$	低電圧ヒステリシス		0.5%	1%	1.5%	
10.1.6	$V_{BUCKx_SCG_TH}$、$V_{LDOx_SCG_TH}$	短絡（SCG）および残留電圧（RV）検出の低方向スレッショルド		220	260	300	mV
10.1.7	$V_{BUCKx_SCG_HYS}$、$V_{LDOx_SCG_HYS}$	短絡（SCG）および残留電圧（RV）検出スレッショルドのヒステリシス			75		mV
10.2.1a	T_{WARM_Rising}	温度上昇警告スレッショルド（WARM）	3 台の各センサ用	110	120	130	°C
10.2.1b	$T_{WARM_Falling}$	温度下降警告スレッショルド（WARM）	3 台の各センサ用	105	115	125	°C
10.2.2a	T_{HOT_Rising}	温度上昇時シャットダウンのスレッショルド（TSD、HOT）	3 台の各センサ用	130	140	150	°C
10.2.2b	$T_{HOT_Falling}$	温度下降時シャットダウンのスレッショルド（TSD、HOT）	3 台の各センサ用	125	135	145	°C
10.2.3	T_{HYS}	WARM の温度ヒステリシス	3 台の各センサ用		-5		°C

Copyright © 2025 Texas Instruments Incorporated

6.9 電圧と温度の監視 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
タイミング要件							
10.3.1a	$t_{DEGLITCH}$	低電圧 (UV) と GND 短絡 (SCG) に対する降圧および LDO 故障検出グリッチ除去時間	UV/SCG イベントから測定	13	20	27	µs
10.3.1b	$t_{DEGLITCH_OC_short}$	過電流(OC)、立ち上がりエッジに対する短絡の降圧故障検出グリッチ除去時間、短時間	OC イベント、立ち上がりエッジから測定	26	35	45	µs
10.3.1c	$t_{DEGLITCH_OC_long}$	過電流(OC)、立ち上がりエッジに対する降圧故障検出グリッチ除去時間、長時間	OC イベント、立ち上がりエッジから測定	1.6	2	2.2	ms
10.3.1d	$t_{DEGLITCH_OC_LDO}$	過電流(OC)、立ち上がりエッジに対する LDO 故障検出グリッチ除去時間	OC イベント、立ち上がりエッジから測定	10	12	14	µs
10.3.2a	$t_{REACTION}$	低電圧 (UV) と GND 短絡 (SCG) の降圧および LDO 故障応答時間 (グリッチ除去時間を含む)	UV/SCG イベントから nINT が Low にプルされるまで測定	26	40	54	µs
10.3.2b	$t_{REACTION_OC_short}$	過電流(OC)に対する降圧故障応答時間(グリッチ除去時間を含む)	UV/OC/SCG イベントから nINT が Low にプルされるまで測定	45	65	81	µs
10.3.2c	$t_{REACTION_OC_long}$	過電流(OC)、立ち上がりエッジに対する降圧故障検出グリッチ除去時間、長時間	OC イベント、立ち上がりエッジから測定	1.6	2	2.2	ms
10.3.2d	$t_{REACTION_OC_LDO}$	過電流(OC)に対する LDO 障応答時間(グリッチ除去時間を含む)	UV/OC/SCG イベントから nINT が Low にプルされるまで測定	12	18	24	µs
10.3.2e	$t_{REACTION_WARM}$	温度警告(WARM)、サーマル シャットダウン(TSD / HOT)に対する故障応答時間	WARM/HOT イベントから nINT が Low にプルされるまで測定			525	µs

6.10 I²C インターフェイス

自由気流での動作温度範囲内 (特に記述のない限り)。VIO が 3.3V または 1.8V の場合、デバイスはスタンダード モード(100kHz)、ファスト モード(400kHz)、ファスト モード+(1MHz)をサポートします。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
電気的特性							
11.1.1	V_{OL}	Low レベル出力電圧	標準モードおよび高速モードで VIO = 3.6V、I_{OL} = 3mA、高速モード+で I_{OL} = 20mA、SDA			0.40	V
11.1.2	V_{IL}	Low レベル入力電圧	SDA、SCL			0.40	V
11.1.3	V_{IH}	High レベル入力電圧	SDA、SCL	1.26			V
11.1.4	V_{HYST}	入力バッファのヒステリシス	EN_BP/VSENSE、MODE_RESET、MODE_STBY、SDA、SCL、GPIO	100		500	mV
11.1.5	C_B	SDA および SCL の容量性負荷				400	pF
タイミング要件							
11.2.1	f_{SCL}	シリアル クロック周波数	スタンダード モード			100	kHz
11.2.2			ファスト モード			400	
11.2.3			ファスト モード+			1	MHz
11.3.1	t_{LOW}	SCL Low 時間	スタンダード モード	4.7			µs
11.3.2			ファスト モード	1.3			
11.3.3			ファスト モード+	0.50			

6.10 I²C インターフェイス (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。VIO が 3.3V または 1.8V の場合、デバイスはスタンダード モード(100kHz)、ファスト モード(400kHz)、ファスト モード+(1MHz)をサポートします。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
11.4.1	t_{HIGH}	SCL High 時間	スタンダード モード	4.0			μs
11.4.2			ファスト モード	0.60			
11.4.3			ファスト モード+	0.26			
11.5.1	$t_{SU;DAT}$	データ セットアップ時間	スタンダード モード	250			ns
11.5.2			ファスト モード	100			
11.5.3			ファスト モード+	50			
11.6.1	$t_{HD;DAT}$	データ ホールド時間	スタンダード モード	10		3450	ns
11.6.2			ファスト モード	10		900	
11.6.6			ファスト モード+	10			
11.7.1	$t_{SU;STA}$	START または REPEAT-START 条件のセットアップ時間	スタンダード モード	4.7			μs
11.7.2			ファスト モード	0.60			
11.7.3			ファスト モード+	0.26			
11.8.1	$t_{HD;STA}$	START または REPEAT-START 条件のホールド時間	スタンダード モード	4.7			μs
11.8.2			ファスト モード	0.60			
11.8.3			ファスト モード+	0.26			
11.9.1	t_{BUF}	STOP 条件と START 条件の間のバス フリー時間	スタンダード モード	4.7			μs
11.9.2			ファスト モード	1.3			
11.9.3			ファスト モード+	0.50			
11.10.1	$t_{SU;STO}$	停止条件のセットアップ時間	スタンダード モード	0.60			μs
11.10.2			ファスト モード	0.60			
11.10.3			ファスト モード+	0.26			
11.10.1	t_{rDA}	SDA 信号の立ち上がり時間	スタンダード モード、VIO = 1.8V、R_{PU} = 10kΩ および C_B = 400pF で計算されたワーストケースを使用します			1000	ns
11.10.2			ファスト モード、VIO = 1.8V、R_{PU} = 1kΩ および C_B = 400pF で計算されたワーストケースを使用します	20		300	
11.10.3			ファスト モード、VIO = 1.8V、R_{PU} = 330Ω および C_B = 400pF で計算されたワーストケースを使用します			120	
11.12.1	t_{fDA}	SDA 信号の立ち下がり時間	スタンダード モード、VIO = 1.8V、R_{PU} = 10kΩ および C_B = 400pF で計算されたワーストケースを使用します			300	ns
11.12.2			ファスト モード、VIO = 1.8V、R_{PU} = 1kΩ および C_B = 400pF で計算されたワーストケースを使用します	6.5		300	
11.12.3			ファスト モード、VIO = 1.8V、R_{PU} = 330Ω および C_B = 400pF で計算されたワーストケースを使用します	6.5		120	

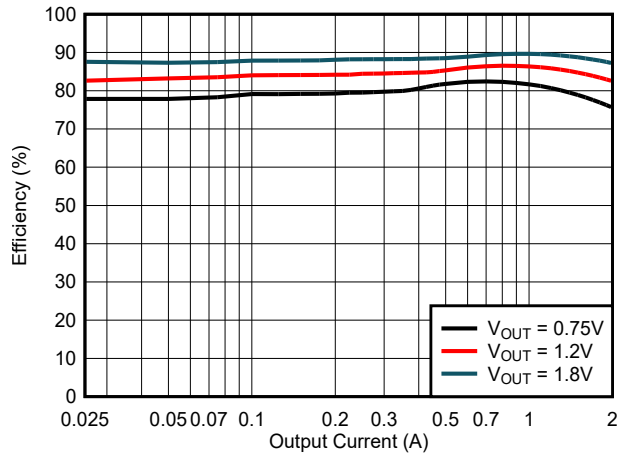
Copyright © 2025 Texas Instruments Incorporated

6.10 I²C インターフェイス (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。VIO が 3.3V または 1.8V の場合、デバイスはスタンダード モード（100kHz）、ファスト モード（400kHz）、ファスト モード+（1MHz）をサポートします。

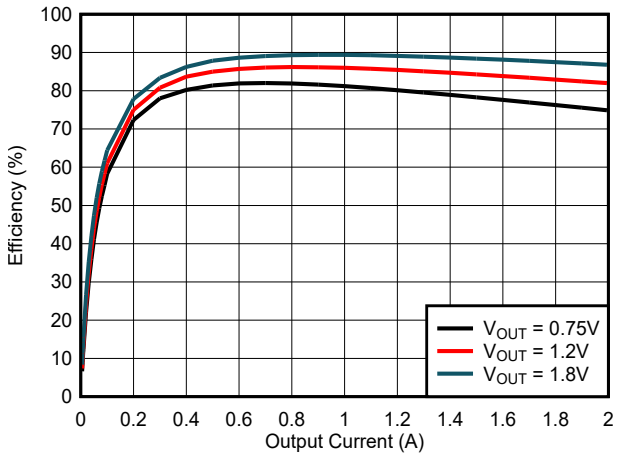
POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
11.13.1	t_{rCL}	SCL 信号の立ち上がり時間	スタンダード モード、VIO = 1.8V、R_{PU} = 10kΩ および C_B = 400pF で計算されたワーストケースを使用します			1000	ns
11.13.2			ファスト モード、VIO = 1.8V、R_{PU} = 1kΩ および C_B = 400pF で計算されたワーストケースを使用します	20		300	
11.13.3			ファスト モード、VIO = 1.8V、R_{PU} = 330Ω および C_B = 400pF で計算されたワーストケースを使用します			120	
11.14.1	t_{fCL}	SCL 信号の立ち下がり時間	スタンダード モード、VIO = 1.8V、R_{PU} = 10kΩ および C_B = 400pF で計算されたワーストケースを使用します			300	ns
11.14.2			ファスト モード、VIO = 1.8V、R_{PU} = 1kΩ および C_B = 400pF で計算されたワーストケースを使用します	6.5		300	
11.14.3			ファスト モード、VIO = 1.8V、R_{PU} = 330Ω および C_B = 400pF で計算されたワーストケースを使用します	6.5		120	
11.15.1	t_{SP}	抑制されたスパイクのパルス幅（指定された幅より小さい SCL および SDA スパイクは抑制されます）	ファスト モードとファスト モード+			50	ns

6.11 代表的特性



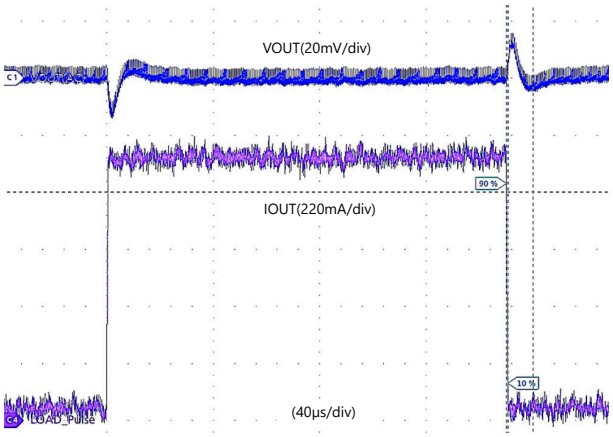
V_{IN} = 5V　　T_A = 25℃

図 6-1. 降圧効率、自動 PFM



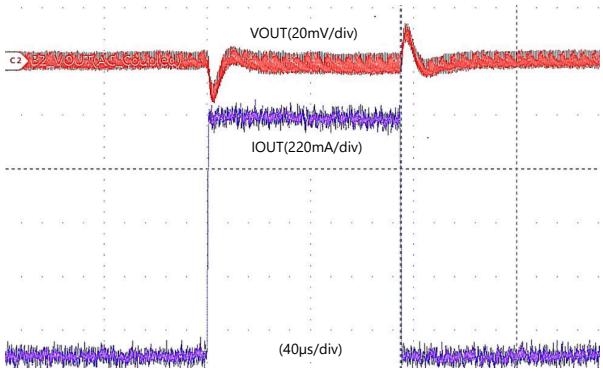
V_{IN} = 5V　　T_A = 25℃

図 6-2. 降圧効率、強制 PWM



V_{IN} = 5.0V　　V_{OUT} = 0.75V　　T_A = 25℃
I_{OUT} = 100mA～1.1A～100mA、　　C_{OUT_total} = 57µF
t_{rise} = t_{fall}= 500ns

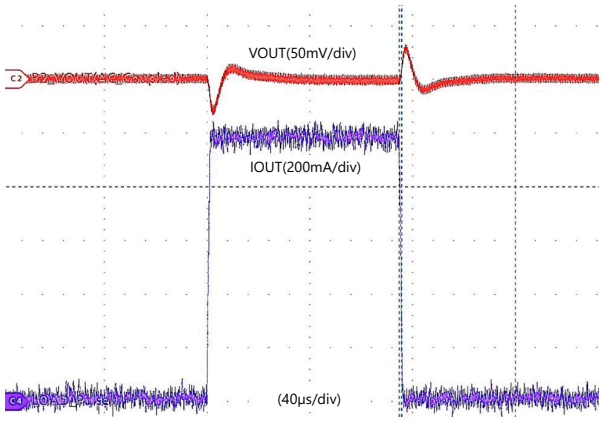
図 6-3. 降圧負荷ステップ応答 - 高帯域幅、強制 PWM



V_{IN} = 5.0V　　V_{OUT} = 1.2V　　T_A = 25℃
I_{OUT} = 1mA～1A～1mA、　　C_{OUT_total} = 57µF
t_{rise} = t_{fall} = 1µs

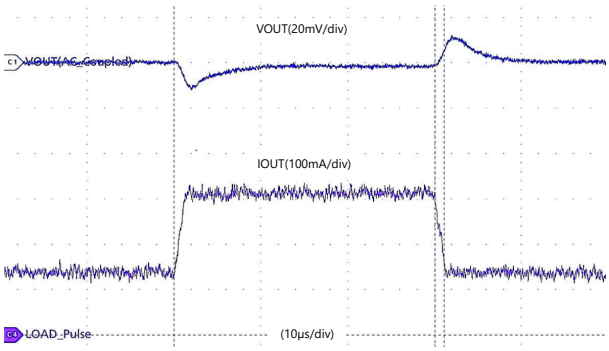
図 6-4. 降圧負荷ステップ応答 - 高帯域幅、強制 PWM

Copyright © 2025 Texas Instruments Incorporated



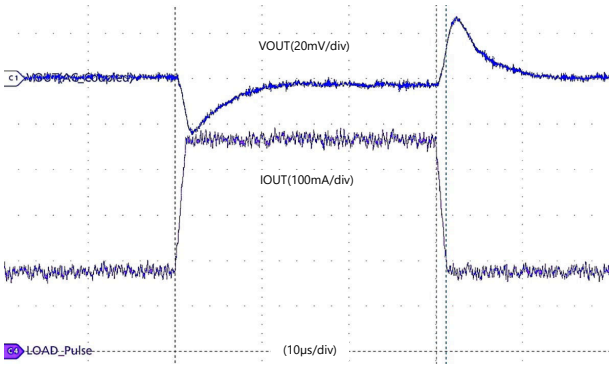
V_{IN} = 5.0V　V_{OUT} = 1.8V　T_A = 25℃
I_{OUT} = 1mA～1A～1mA、　C_{OUT_total} = 28µF
t_{rise} = t_{fall} = 1µs

図 6-5. 降圧負荷ステップ応答 - 低帯域幅、強制 PWM



V_{IN} = 3.3V　V_{OUT} = 1.8V　T_A = 25℃
I_{OUT} = 60mA～240mA～60mA、　C_{OUT} = 10µF
t_{rise} = t_{fall} = 1µs

図 6-6. LDO1 負荷ステップ応答



V_{IN} = 3.8V　V_{OUT} = 3.3V　T_A = 25℃
I_{OUT} = 100mA～400mA～100mA、　C_{OUT} = 10µF
t_{rise} = t_{fall} = 1µs

図 6-7. LDO2 負荷ステップ応答

7 詳細説明

7.1 概要

TPS65214 には、3 基の降圧型コンバータ、2 台の LDO、2 つの汎用 I/O、3 本のマルチファンクション ピンがあります。システムには、シングル セル リチウム イオン電池、2 個の個の一次電池、または安定化電源で電力を供給できます。このデバイスは -40°C ～ +105°C の温度範囲で特性化されているため、多用な 産業用 用途に最適な PMIC です。

I2C インターフェイスは、TPS65214 を使用するための包括的な機能を提供します。すべてのレールのステータス、GPO、GPIO は、インターフェイスを使用して制御できます。低電圧を監視するための電圧スレッショルドはカスタマイズ可能です。

内蔵された電圧監視回路は、BUCK1 ～ 3 と LDO1 と 2 の低電圧を監視します。モニタには 2 つの感度設定があります。5 本のレールと GPO のランプアップが正常に完了したことを報告するパワーグッド信号が送信されます。デバイスがアクティブ状態に移行するまで、nRSTOUT ピンは Low になります。アクティブまたはスタンバイ状態からパワーダウンする場合、nRSTOUT は再び Low になります。nRSTOUT ピンはオープン ドレイン出力です。FAULT ピン、nINT は、SoC に故障を通知します。

Buck1 は、0.6V ～ 3.4V の出力電圧範囲で最大 2A を供給できます。Buck2 と Buck3 の降圧コンバータは、出力電圧範囲 2A でそれぞれ最大 0.6V ～ 3.4V の電流を供給できます。各コンバータのデフォルトの出力電圧は、I2C インターフェイスを介して調整できます。3 基の降圧コンバータにはすべて、ダイナミック電圧スケーリング機能が搭載されています。この降圧コンバータは、軽負荷時は低消費電力モードで動作し、またノイズに敏感な用途向けに、強制的に PWM 動作に設定することもできます。

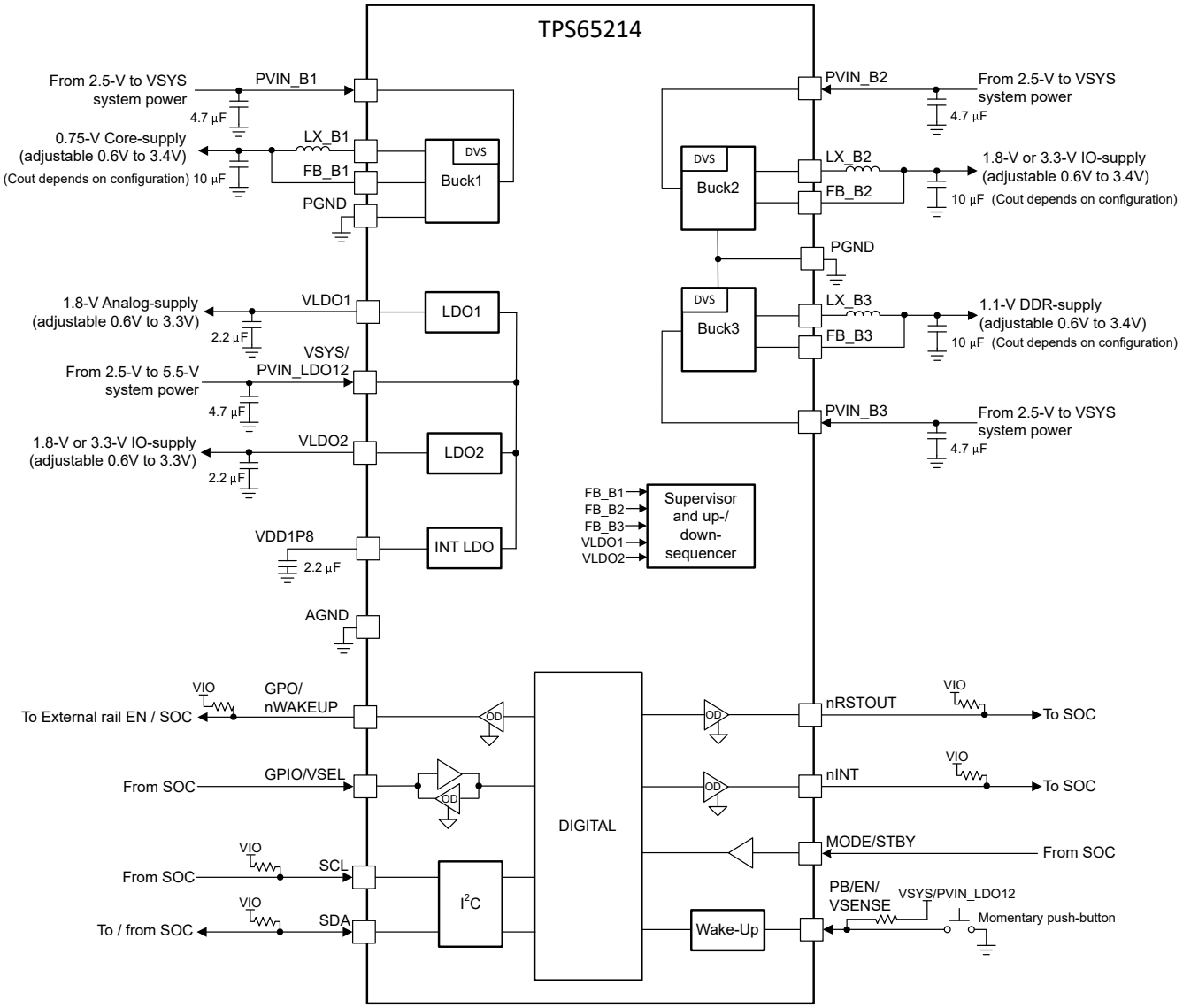
LDO1 は 300mA の出力電流を、LDO2 は 500mA の出力電流をサポートします。どちらの LDO も 0.6V ～ 3.3V の調整出力電圧範囲か、ロード スイッチ動作に対応します。

I2C インターフェイス、IO、GPIO、マルチファンクション ピン（MFP）は、さまざまな SoC にシームレスに接続します。

出力電圧、シーケンシングなど、レールのすべての構成は NVM によってバックアップされます。選択した構成の技術参考書（TRM）を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.2 機能ブロック図



Copyright © 2023, Texas Instruments Incorporated

図 7-1. 機能ブロック図

7.3 機能説明

7.3.1 パワーアップ シーケンシング

TPS65214 は、レールのシーケンスをフレキシブルに設定できます。外部レールの GPO や GPIO、nRSTOUT ピンを含め、レールの順序は NVM によって定義されます。パワーアップ シーケンシングを開始する前に、デバイスはすべてのレールの電圧が SCG スレッショルドを下回っているかを確認し、事前にバイアスがかかった状態で起動するのを防ぎます。シーケンスはタイミングに基づいて行われます。さらに、前のレールが UV スレッショルドを超えた場合にのみ、次のレールが有効になります。UV がマスクされている場合、UV スレッショルドに達していなくても、シーケンスは進行します。GPO、GPIO、LSW モードに構成された LDO は低電圧では監視されないため、これらの出力は後続のレールを制御することはありません。

レール上のマスクされていない故障が原因でシーケンスが中断された場合、デバイスはパワーダウンします。TPS65214 は、さらに 2 回電源をオンにしようとします。両方ともアクティブ状態に移行できなかった場合、VSYS の電源サイクルを実行するまで、デバイスは初期化状態のままとなります。通常、このリトライ カウンタは有効ににしておくことを推奨しますが、INT_MASK_UV レジスタの MASK_RETRY_COUNT ビットを設定することで無効化できます。このビットを設定すると、デバイスは無限に再試行を続けます。

TPS65214 では、パワーダウン シーケンスをパワーアップ シーケンスとは独立して構成できます。シーケンスは、不揮発性メモリに構成されます。

最初のパワーアップ時に、デバイスは VSYS 電源電圧を監視し、VSYS が $VSYS_{POR_Rising}$ スレッショルドを超えた場合にのみ、パワーアップを許可し、初期化状態に遷移します。

パワーアップ シーケンスは、以下のように構成されます。

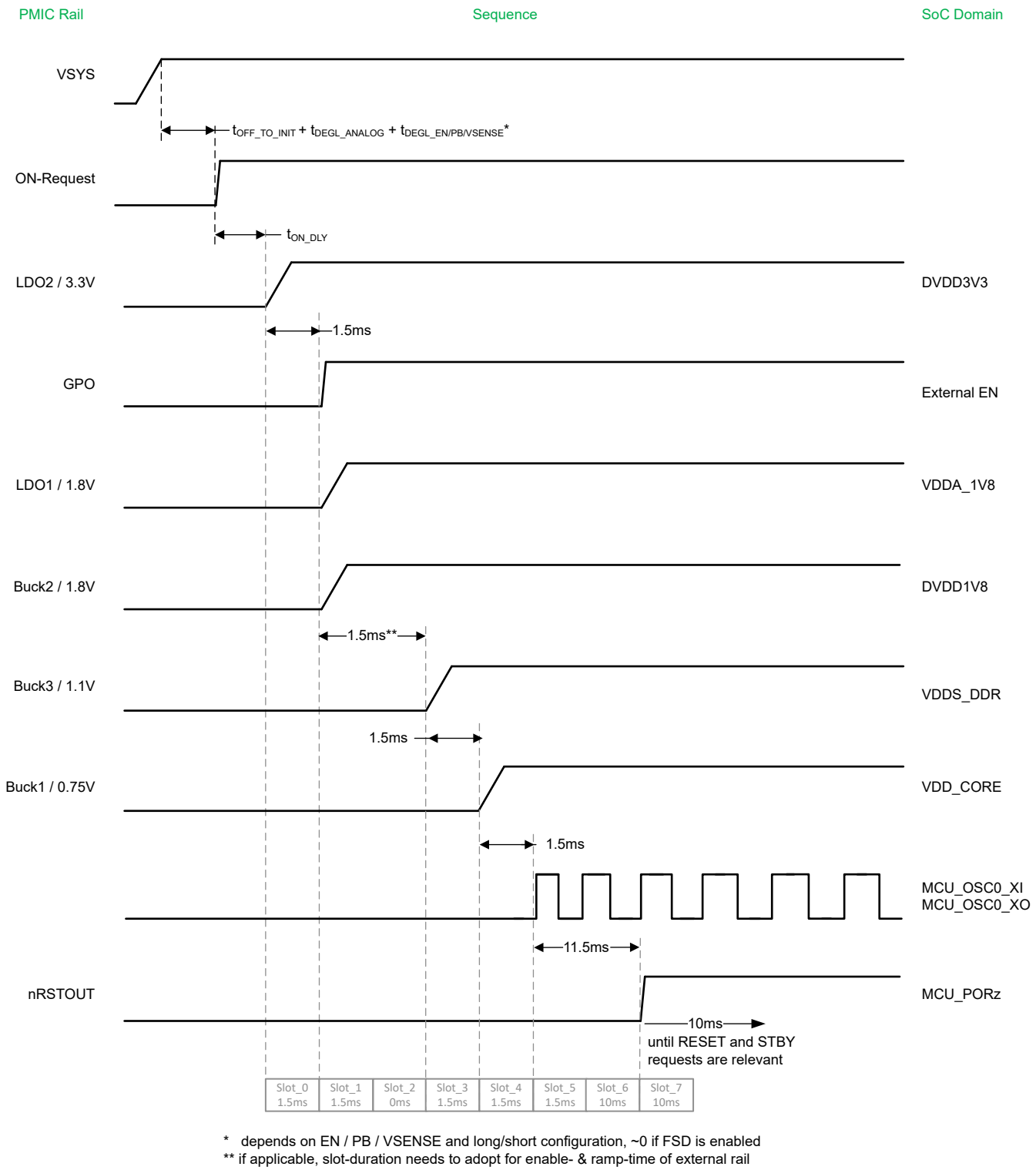
- 各レール、GPO、GPIO、および nRSTOUT のスロット（シーケンス内の位置）は、対応する*_SEQUENCE_SLOT レジスタ、パワーアップ シーケンスの 4 つの MSB、パワーダウン シーケンスの 4 つの LSB を使用して定義されます。
- 各スロットの持続時間は、POWER_UP_SLOT_DURATION_x レジスタで 0ms、1.5ms、3ms、10ms のいずれかに設定できます。合計で 8 つのスロットを構成できます。
- 上記で定義したタイミングに加えて、パワーアップ シーケンスも UV モニタによって制御されます。後続のレールは、(UV がマスクされている場合を除き) 前のレールが低電圧スレッショルドを超えた後でのみ有効になります。レールが t_{RAMP}（それぞれ t_{RAMP_LSW}、t_{RAMP_SLOW}、t_{RAMP_FAST}）の終了時点までに UV スレッショルドに達していない場合、シーケンスは中止され、デバイスはスロット持続時間の終了時にシーケンスダウンします。それぞれのレールについて、デバイスは INT_BUCK_x_y_IS_SET をそれぞれ INT_SOURCE レジスタに INT_LDO_x_y_IS_SET ビットを設定し、BUCKx_UV をそれぞれ INT_BUCK_x_y に LDOx_UV ビットをそれぞれ INT_LDO_x_y レジスタに設定し、INT_TIMEOUT_RV_SD レジスタに TIMEOUT ビットを設定します。
- シーケンスの開始はダイ温度によって制御されます。何らかのウォーム検出がマスクされていない場合、過熱イベントにより初期化状態に入った場合、すべてのセンサの温度が $T_{WARM_falling}$ スレッショルドを下回るまで、オフ状態から初期化状態に移行した場合は、すべてのセンサの温度が T_{WARM_rising} スレッショルドを下回るまで、デバイスは起動しません。すべての温度センサがマスクされている場合（ウォーム検出でパワーダウンが発生しない場合）、すべてのセンサの温度が $T_{HOT_falling}$ スレッショルドを下回るまで、デバイスはパワーアップしません

注

すべてのレールは（放電機能が無効になっているかにかかわらず）有効になる前に放電されます。

オン要求は、ノイズをトリガしないようにデグリッチされています。デグリッチからシーケンスの最初のスロットまでの時間は、t_{ON_DLY} によって指定されます。図 7-2 は、パワーアップ シーケンシングの例を示します。

Copyright © 2025 Texas Instruments Incorporated



* depends on EN / PB / VSENSE and long/short configuration, ~0 if FSD is enabled
** if applicable, slot-duration needs to adopt for enable- & ramp-time of external rail

図 7-2. パワーアップ シーケンシング（例）

オン要求の詳細については、プッシュ ボタンおよびイネーブル入力（EN/PB/VSENSE）を参照してください。

注意
タイミング図に示されている時間は、POWER_UP_SLOT_DURATION_x レジスタを反映しています。プログラムされた時間の公差は±10% です。アプリケーションで測定すると、プログラムされたスロット時間に、降圧および LDO の開始時間 (t_{START}) が追加されます。

注意
I2C コマンドは、必ず NVM のロードが完了した後に発行する必要があります。

7.3.2 パワーダウン シーケンス

オフ要求またはシャットダウン故障によって、パワーダウン シーケンスがトリガされます。オフ要求は、EN または VSENSE にそれぞれ構成されている場合は EN/PB/VSENSE の立ち下がりエッジ、PB に構成されている場合はプッシュボタンの長押し、または MFP_CTRL レジスタの I2C_OFF_REQ に対する I2C コマンドによってトリガできます。このビットはセルフ クリアされる。

I2C によってトリガされるシャットダウンでは、EN/PB/VSENSE ピンでオン要求を更新する必要があります。EN または VSENSE 構成の場合、EN/PB/VSENSE ピンには低方向エッジの後に高方向エッジが必要です。En または VSENSE 設定における立ち下がりエッジのグリッチ除去時間 $t_{DEGL_EN/VSENSE_I2C}$ は、ピンによるオフ要求のデグリッチ時間（$t_{DEGL_EN_Fall}$ と $t_{DEGL_VSENSE_Fall}$）よりも短くなります。PB 設定のグリッチ除去時間は維持されます。

多くの場合、パワーダウン シーケンスは逆のパワーアップ シーケンシングの後に実行されます。一部のアプリケーションでは、レール間の遅延なしにすべてのレールを同時にシャットダウンする必要がある場合や、レール放電のための待機時間が必要な場合があります。

パワーダウン シーケンスは、以下のように構成されます。

- 各レール、GPO、GPIO、および nRSTOUT のスロット（シーケンス内の位置）は、対応する*_SEQUENCE_SLOT レジスタ、オン シーケンスの 4 つの MSB、ダウン シーケンスの 4 つの LSB を使用して定義されます。
- 各スロットの持続時間は POWER_DOWN_SLOT_DURATION_x レジスタで定義され、0ms、1.5ms、3ms、10ms のいずれかに設定できます。合計で 8 つのスロットを構成できます。
- 前のレールでアクティブ放電が非アクティブになっている場合を除き、スロット持続時間に加えて、パワーダウン シーケンスも 前のレールが SCG スレッショルドを下回るまで放電されることによって制御されます。それが発生しない場合、後続のレールのパワーダウンは一時停止されます。バイアスがかかっている場合やレールが短絡している場合でもパワーダウンを可能にするために、前のレールの放電が完了しなくても、スロット持続時間の 8 倍（またはスロット持続時間が 0ms の場合は 12ms）が経過するとシーケンスが継続されます。
- 放電点検クをバイパスするには、GENERAL_CONFIG レジスタの BYPASS_RV_FOR_RAIL_ENABLE ビットを「1」に設定します。

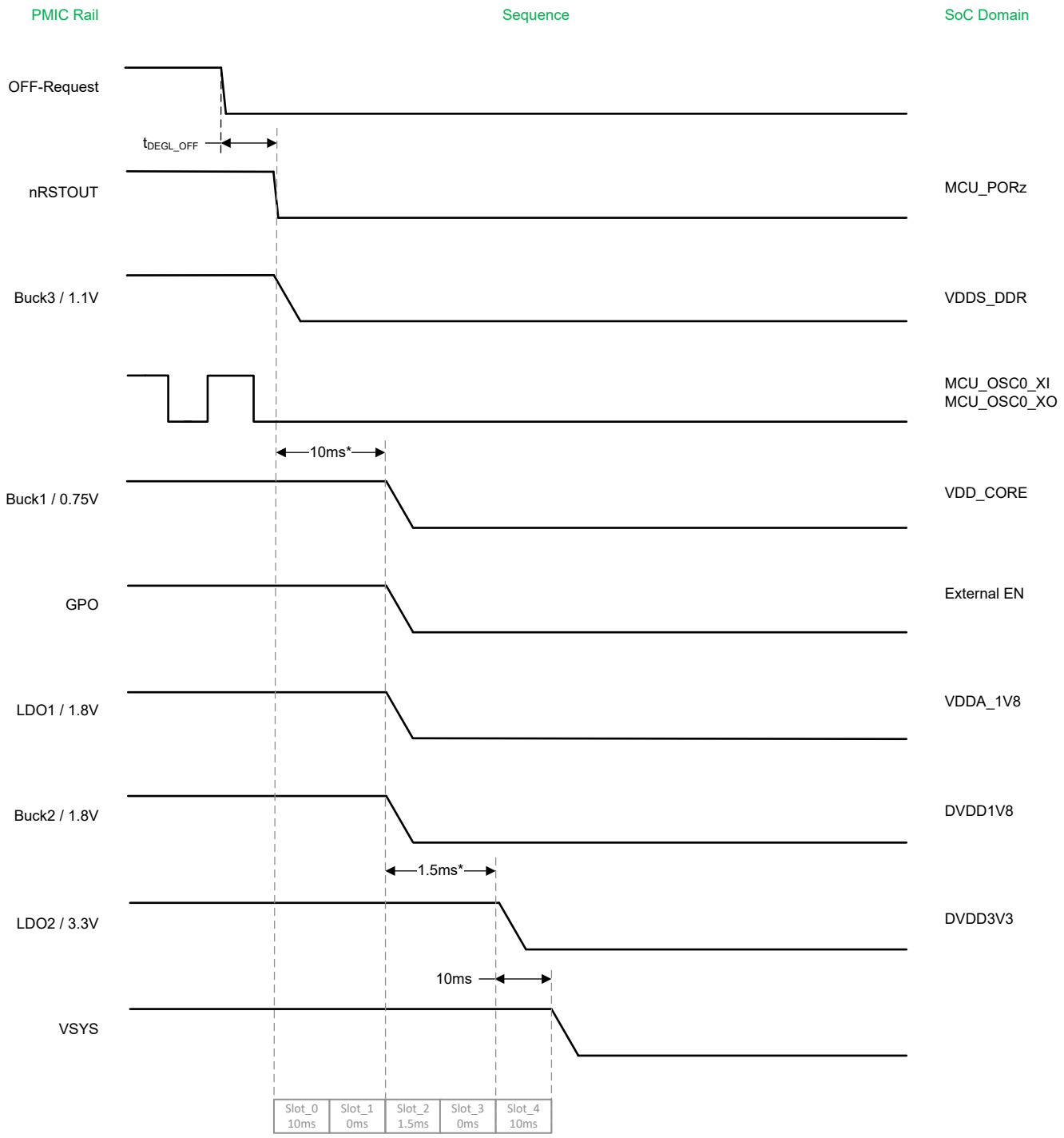
注
レールのアクティブ放電が無効化される場合、スロット持続時間内にレールの放電が失敗しても、次のレールの電源はオフになりませんが、シーケンスは純粋にタイミングに基づいて行われます。残留電圧がある場合、RV ビットは関係なく設定されます。

アクティブ放電はデフォルトで有効になっていて、NVM に基づくものではありません。そのため、各 VSYS のパワー サイクルの後で、必要に応じて放電を無効にする必要があります。リセットまたはオフ要求の際、VSYS が存在する限り、放電構成はリセットされません。ただし、初期化状態では、パワーアップ シーケンス前に、設定に関係なく、すべてのレールが放電されます。

パワーダウン シーケンス中、*_DISCHARGE_EN ビットと特定の割り込みビットを除き、NVM バックアップされていないビットはリセットされます。詳しくは、表 7-8 を参照してください。

以下の図に、NVM-ID 0x01、リビジョン 0x2 のパワーダウン シーケンスを例として示します。

Copyright © 2025 Texas Instruments Incorporated



* discharge-duration depends on Vout, Cout and load. Slot-duration needs to adopt. Slot-duration extends up to 8x its configured value.

図 7-3. パワーダウン シーケンス（例）

> **注意**
> 進行中のシーケンスに関連するレジスタを I2C コマンドで変更しないでください！
>
> 初期化状態への遷移を開始した後、NVM 以外のビットには約 80µs の間アクセスできません。

7.3.3 プッシュ ボタンおよびイネーブル入力（EN/PB/VSENSE）

EN/PB/VSENSE ピンは、PMIC を有効にするために使用します。ピンは、次の 3 つの方法で構成できます。

デバイス イネーブル (EN)

EN として構成した場合、オン要求を生成するために、このピンを High にする必要があります。このピンを Low にすると、オフ要求が生成されます。

- EN ピンのグリッチ除去時間は、MFP_2_CONFIG レジスタの EN_PB_VSENSE_DEGL によって構成されます。
- EN 入力が V_{IL} スレッショルド Low を設定された $t_{DEGL_EN_Rise}$ の時間上回ると、パワーアップ シーケンシングが開始されます。
- EN/PB/VSENSE ピン イベントに基づく電源投入を示すために、デバイスは POWER_UP_STATUS_REG レジスタの POWER_UP_FROM_EN_PB_VSENSE ビットを設定します。このビットは、nINT ピンをアサートしません。W1C を書き込むと、このビットがクリアされます。
- EN 入力が $t_{DEGL_EN_Fall}$ の間 V_{IH} スレッショルドを下回ると、パワーダウン シーケンスが開始されます。
- シャットダウン故障が発生した場合、新たにオン要求を行う必要はありません。EN 入力がまだ V_{IH} スレッショルドを上回っている場合、デバイスは自動的にパワーアップ シーケンスを実行します。（EN はレベル センシティブと見なされます）
- コールド リセットの場合（リセットピンと I2C 要求のどちらでも）、新たなオン要求は必要ありません。EN 入力がまだ V_{IH} スレッショルドを上回っている場合、デバイスは自動的にパワーアップ シーケンスを実行します。（EN はレベル センシティブと見なされます）
- スリープ状態に移行した後で EN が Low になった場合、初期化状態に移行するには、このピンを再度 High にする必要があります。アクティブ状態にとどまるには、$t_{EN_PB_WAKEUP}$ の間、EN を High のまま維持する必要があります。$t_{EN_PB_WAKEUP}$ が経過する前に EN が Low になると、デバイスはスリープ状態に戻ります。

プッシュボタン（PB）

PB として構成した場合、CMOS タイプ入力は PMIC のパワーアップに使用されます。通常、PB ピンはモーメンタリ スイッチと外部プルアップ抵抗に接続されます。

- プッシュボタンのホールド時間は、MFP_2_CONFIG レジスタの EN_PB_VSENSE_DEGL によって構成されます。
- PB 入力が V_{IL} スレッショルド Low を設定された t_{PB_ON} の時間下回ると、パワーアップ シーケンシングが開始されます。
- EN/PB/VSENSE ピン イベントに基づく電源投入を示すために、デバイスは POWER_UP_STATUS_REG レジスタの POWER_UP_FROM_EN_PB_VSENSE ビットを設定します。このビットは、nINT ピンをアサートしません。W1C を書き込むと、このビットがクリアされます。
- スイッチのバウンスをフィルタリングするため、PB ピンには立ち上がりエッジのグリッチ除去 $t_{DEGL_PB_RISE}$ があります
- PB 入力が t_{PB_OFF} 時間にわたって Low に保持されている場合（構成不可）、パワーダウン シーケンスが開始されます。
- シャットダウン故障が発生した場合、新たにオン要求を行う必要はありません。PB を押さなくても、デバイスはパワーアップ シーケンスを自動的に実行します。
- コールド リセットの場合（リセットピンと I2C 要求のどちらでも）、新たなオン要求は必要ありません。PB を押さなくても、デバイスはパワーアップ シーケンスを自動的に実行します。
- デバイスがスリープ状態の場合、PB の立ち下がりエッジが初期化状態に遷移します。アクティブ状態にとどまるには、$t_{EN_PB_WAKEUP}$ の間、PB を Low のまま維持する必要があります。$t_{EN_PB_WAKEUP}$ が経過する前に PB が解放されると、デバイスはスリープ状態に戻ります。

Copyright © 2025 Texas Instruments Incorporated

- プッシュ ボタンの押下は、VSYS が VSYS_POR スレッショルドを上回った後、または VSYS が VSYS_POR スレッショルドを上回った後で、PB を十分な時間押した後にのみ認識されます。
- 次のビットは、PB プレスイベントを示します。
  - PB_FALLING_EDGE_DETECTED：前回のこのビットがクリアされてから、$t_{DEGL_PB_INT}$ よりも長い時間 PB が押されました。このビットを設定すると、nINT ピンがアサートされます（構成ビット MASK_INT_FOR_PB = 「0」の場合）。W1C を書き込むことでクリア
  - PB_RISING_EDGE_DETECTED：前回のこのビットがクリアされてから、$t_{DEGL_PB_INT}$ よりも長い時間 PB が放されました。このビットを設定すると、nINT ピンがアサートされます（構成ビット MASK_INT_FOR_PB = 「0」の場合）。W1C を書き込むことでクリア
  - PB_REAL_TIME_STATUS：PB ピンのデグリッチ（$t_{DEGL_PB_INT}$）のリアルタイムステータスです。EN/PB/VSENSE ピンが PB として構成されている場合のみ有効です。このビットは、nINT ピンをアサートしません。

電源障害コンパレータ入力（VSENSE）

VSENSE として構成する場合、このピンを使用してプリレギュレータの電源電圧を検出できます。プリレギュレータ出力から分圧抵抗を接続して、検出電圧を構成します。

- VSENSE ピンのグリッチ除去時間は、MFP_2_CONFIG レジスタの EN_PB_VSENSE_DEGL によって構成できます。
- パワーアップは、VSYS が $VSYS_{POR_Rising}$ スレッショルドを上回り、VSENSE 入力が V_{VSENSE} スレッショルドを上回っている（グリッチ除去されていない）場合に制御されます
- VSENSE 入力が V_{VSENSE} を上回ると、パワーアップ シーケンシングを開始します。
- EN/PB/VSENSE ピン イベントに基づく電源投入を示すために、デバイスは POWER_UP_STATUS_REG レジスタの POWER_UP_FROM_EN_PB_VSENSE ビットを設定します。このビットは、nINT ピンをアサートしません。W1C を書き込むと、このビットがクリアされます。
- VSENSE 入力が V_{VSENSE} スレッショルドを $t_{DEGL_VSENSE_Fall}$ の間下回ると、VSYS 供給電圧の損失によるシーケンス外の電源オフを回避するために、パワーダウン シーケンスを開始します。
- シャットダウン故障が発生した場合、新たにオン要求を行う必要はありません。VSENSE 入力がまだ V_{VSENSE} スレッショルドを上回っている場合、デバイスは自動的にパワーアップ シーケンスを実行します。
- コールド リセットの場合（リセットピンと I2C 要求のどちらでも）、新たなオン要求は必要ありません。VSENSE 入力がまだ V_{VSENSE} スレッショルドを上回っている場合、デバイスは自動的にパワーアップ シーケンスを実行します。
- デバイスがスリープ状態の場合、VSENSE を 使用して初期化状態に直接遷移することはできません。デバイスが初期化に移行できるのは、オフ状態の後だけです。

7.3.4 I2C コマンドによるオフ要求

オフ要求は、MFP_CTRL レジスタの I2C_OFF_REQ への I2C コマンドによってもトリガできます。このようなオフ要求の後、新しいオン要求が必要になります。

- EN 構成の場合、EN 入力には立ち上がりエッジが必要です（EN はエッジ センシティブと見なされます）。
- PB 構成の場合、有効なオン要求を行なうには、プッシュボタンを押す必要があります
- VSENSE 構成の場合、VSENSE 入力には立ち上がりエッジが必要となります（VSENSE はエッジ センシティブと見なされます）。VSENSE 入力での立ち上がりエッジは、プリレギュレータの電源をサイクルすることで実現できます。
- En または VSENSE 設定における立ち下がりエッジのグリッチ除去時間 $t_{DEGL_EN/VSENSE_I2C}$ は、ピンによるオフ要求のデグリッチ時間（$t_{DEGL_EN_Fall}$ と $t_{DEGL_VSENSE_Fall}$）よりも短くなります。PB 設定のグリッチ除去時間は維持されます。

7.3.5 最初の電源検出（FSD）

最初の電源検出（FSD）により、EN/PB/VSENSE ピンが OFF_REQ ステータスであっても、電源電圧が印加された直後に電源オンが可能になります。FSD は、任意のオン要求構成、EN、PB、または VSENSE と組み合わせて使用でき、レジスタ MFP_2_CONFIG のビット PU_ON_FSD を設定することで有効になります。最初の電源投入時に、EN/PB/VSENSE ピンは、ピンに有効なオン要求があるかのように見なされます。VSYS が $VSYS_{POR_Rising}$ スレッショルドを超えると、PMIC は

- NVM をロードします
- 初期化状態に入ります
- EN/PB/VSENSE ピンの状態に関係なく電源投入シーケンスを開始します

FSD に基づく電源投入を示すために、デバイスは POWER_UP_STATUS_REG レジスタの POWER_UP_FROM_FSD ビットを設定します。このビットに基づいて nINT ピンはトグルしません。W1C を書き込むと、このビットがクリアされます。

EN/PB/VSENSE ピンは、電源投入シーケンスの最後のスロットが終了し、アクティブ状態へ有効に遷移するまで、オン要求が有効であるかのように扱われます。アクティブ状態に入った後は、デバイスはデグリッチ後の EN/PB/VSENSE ピンの状態に従います。つまり、アクティブ状態に入る前またはアクティブ状態でピンの状態が変化した場合、デバイスはそのピンの状態に従います。例えば、EN/PB/VSENSE ピンが EN として構成されている場合、デバイスはアクティブ状態に入った時点で EN ピンが（デグリッチ時間を超えて）Low であれば、電源をオフにします。ピンの状態にかかわらず、オン要求がどの程度の時間有効とみなされるかは、nRSTOUT スロットの長さ（およびその後の空スロットの長さ）によって制御され、PMIC はシーケンスの最後のスロットが終了した後にアクティブ状態に入ります。

7.3.6 入力電圧 自動パワーアップ時のスルーレート

注

安定したパワーアップを実現するには、電源シーケンスで各出力レールが有効化される際に、十分な入力から出力への電圧ヘッドルームが必要です。必要なヘッドルームは、降圧レギュレータの場合 $V_{HEADROOM_PWM}$、LDO の場合 $V_{DROPOUT}$ として指定されています。

PMIC がシステムの入力電圧とともに自動的にパワーアップすることが期待されるアプリケーション（例えば FSD が有効化されている場合や EN が外部で VSYS/PVIN_LDO12 にプルアップされている場合）では、デバイスは入力電圧が $VSYS_{POR_Rising}$ に達し、t_{NVM_LOAD} が経過した後にパワーシーケンスを開始します。各レギュレータをサポートするために必要な入力電圧のスルーレートは、必要な電圧ヘッドルームと電源シーケンス内の割り当てられたスロット *y* に基づいて計算されます。SLOT_0 に割り当てられた出力レールの場合、計算には t_{NVM_LOAD} のみを含める必要があります。SR_{VIN} が ゼロまたは負 であるケースは考慮する必要がありません。これは、レギュレーションに必要な最小入力電圧がすでに $VSYS_{POR_Rising}$ スレッショルドで満たされているためです。それ以外のケースでは、システム入力電圧を生成するプリレギュレータは、最も高いスルーレート要求を満たす必要があります。

$$SR_{VSYS} \geq \frac{V_{OUT} + V_{HEADROOM} - VSYS_{POR_Rising}}{t_{NVM_LOAD} + t_{SLOT_0} + t_{SLOT_1} + \cdots + t_{SLOT_(y-1)}} \left(V/ms\right) \quad (1)$$

最も高いスルーレート要求を満たせない場合、電源シーケンス内で出力レールが有効化された際に、不十分な電圧マージンにより UV フォルト が発生します。図 7-4 に示すように、デバイスは RETRY_COUNT をインクリメントし、電源投入をさらに 2 回試みます。それでも入力電圧に出力レールに十分なヘッドルームがない場合、デバイスは VSYS/PVIN_LDO12 がサイクルされてオン要求の更新を行うまで、初期化状態に入ります。

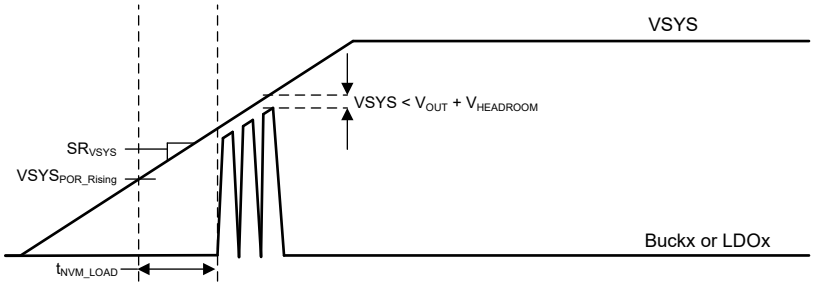


図 7-4. FSD および MASK_RETRY_COUNT_ON_FIRST_pu ='0' による VSYS スローランプ

自動パワーアップが必要で、スルーレート要件を満たすことができないアプリケーションでは、レジスタ MFP_2_CONFIG の MASK_RETRY_COUNT_ON_FIRST_PU ビットで、最初のパワーアップ時に RETRY_COUNT をマスクできます。

Copyright © 2025 Texas Instruments Incorporated

図 7-5 に示されているように、このビットが設定されると、デバイスはパワーアップシーケンスが完了するまで RETRY_COUNT をマスクします。パワーアップ後、恒久的な故障が発生した場合、RETRY_COUNT はマスクされず、デバイス シャットダウンが有効になります。

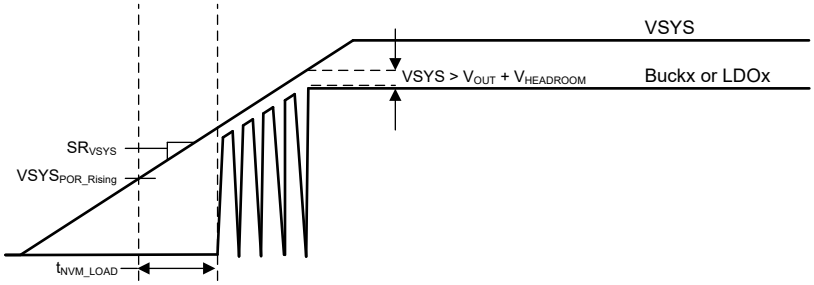


図 7-5. FSD および MASK_RETRY_COUNT_ON_FIRST_pu ='1' による VSYS スローランプ

7.3.7 降圧コンバータ（Buck1、Buck2、Buck3）

TPS65214 は、3 基の降圧コンバータを提供します。Buck1 は、最大 2A の負荷電流に対応できます。Buck2 と Buck3 は、最大 2A の負荷電流に対応できます。この降圧コンバータの入力電圧範囲は 2.5V ～ 5.5V で、システム電源に直接、または他の降圧コンバータの出力に接続できます。出力電圧は 0.6V ～ 3.4V の範囲でプログラム可能で、25mV ステップで 1.4V まで、100mV ステップで 1.4V から 3.4V の範囲で設定できます。

- アクティブ状態にある降圧コンバータの ON/OFF 状態は、ENABLE_CTRL レジスタの対応する BUCKx_EN ビットにより制御します。
- スタンバイ状態にある降圧コンバータの ON/OFF 状態は、STBY_1_CONFIG レジスタの対応する BUCKx_STBY_EN ビットにより制御します。
- 初期化およびスリープ状態では、ビットの設定に関係なく、降圧コンバータはオフになります。

> **注意**
> 降圧レギュレータをまったく使用しない場合、FB_Bx ピンを GND に接続し、LX_Bx ピンをフローティングのままにしておく必要があります。

- コンバータの動作は、シーケンサまたは I2C 通信により制御できます。

降圧スイッチ モード：疑似固定周波数モード

コンバータは、負荷電流に関係なく強制 PWM モードで動作でき、低負荷電流時にパルス周波数変調（PFM）に移行することもできます。「MODE」または「MODE&STBY」に構成されている場合、モードは MODE/STBY ピンによって制御されます。MFP_1_CONFIG レジスタの MODE_I2C_CTRL ビットに対する I2C コマンドも、降圧コンバータを強制 PWM または PFM 動作に構成することができます。詳細は ピン構成および機能 と PWM/PFM および低消費電力モード（MODE/STBY）を参照してください。

- アクティブ状態または初期化状態への遷移中、降圧コンバータはピンの状態に関係なく強制 PWM で動作します。PFM モードへの移行は、シーケンスの完了および最後のパワーアップスロットの終了後、デバイスがアクティブ状態に入ると許可されます。
- DVFS によって出力電圧が変化した場合、電圧変化が完了するまで TPS65214 は降圧レギュレータを一時的に PWM へと強制的に移行させます。PFM が許可される場合、PFM への移行と退出は負荷電流に依存します。PFM は、インダクタ電流が 0A に達したときに開始されます。これは、負荷電流が次の式で概算される場合です。

$$I_{LOAD} = \frac{1}{2} \times \frac{V_{PVIN_Bx} - V_{BUCKx}}{L} \times \frac{V_{BUCKx}}{V_{PVIN_Bx}} \times \frac{1}{f_{SW}} \quad (2)$$

構成可能なコンバータ帯域幅

コンバータは、最適な過渡応答のための高帯域幅モード、または出力フィルタ容量を最小限に抑えるための低帯域幅モードに個別に構成することができます。選択は GENERAL_CONFIG レジスタ。このレギュレータが有効になっていない場合のみ、このビットを変更する必要があります。高帯域幅の用途では、より高い出力容量が必要になることに注意してください。

外部から構成可能な出力電圧

レジスタ MFP_1_CONFIG の GPIO_VSEL_CONFIG ビットによって GPIO/VSEL が「VSEL」として構成されている場合、GPIO/VSEL ピンを high または low にするか、フローティングのままにすることで、Buck1 または Buck3 の出力電圧を制御できます。これらの設定は、NVM の変更なしで、複数のコア電源電圧または DDR3LV、DDR4、DDR4LV 電源電圧をサポートします。詳細は、「汎用入出力および電圧選択ピン（GPIO/VSEL）」を参照してください。

> **注意**
> GPIO/VSEL が VSEL 動作用に構成されている場合、このピンはハードワイヤードにして、動作中に変更しないでください。

アクティブ放電

降圧コンバータには、アクティブ放電機能があります。放電機能は、DISCHARGE_CONFIG レジスタのレールごとに個別に無効化できます。放電が有効になっている場合、レールが無効化されるとデバイスは出力をグランドへ放電します。

- 電源シーケンス内でレールを有効化する前にも、デバイスはプリバイアスされた出力での起動を防ぐため、そのレールを放電します。
- I2C コマンドでレールを有効化する場合、アクティブ放電は強制されませんが、出力電圧が SCG しきい値以下である場合のみレールが有効化されます。
- このレジスタは NVM に保存されず、デバイスがオフ状態になるとリセットされます。
- 初期化状態（リセット中または I2C オフ要求中）では、放電構成はリセットされません。注：放電機能が有効でない場合、電源オフ・シーケンスが中断される可能性があります。

ダイナミック電圧スケーリング

すべての降圧コンバータは動的電圧周波数スケーリング（DVFS）をサポートしています。動作中に出力電圧を変更でき、SoC の動作ポイントに最適な動作電圧を 0.6V～1.375V のより低い出力電圧範囲内で調整できます。電圧の変更は、対応する BUCKx_VOUT レジスタの BUCKx_VSET に書き込むことで制御されます。DVFS による電圧遷移中は、放電構成にかかわらず、一時的にアクティブ放電機能が有効になります。

降圧コンバータは、MODE/STBY ピンまたは I2C を介したスタンバイ要求時に DVFS 用に構成できます。スタンバイ要求を受け取ると、STBY_1_CONFIG レジスタで有効化され、かつ BUCKx_DVS_STBY ビットで DVFS 用に構成されたすべての降圧コンバータの出力電圧が、対応する BUCKx_VOUT_STBY レジスタ内の BUCKx_VSET_STBY で指定された電圧に変更されます。スタンバイ中に BUCKx_DVS_STBY がクリアされると、出力電圧は BUCKx_VSET に戻ります。BUCKx_DVS_STBY が設定されていない場合、アクティブ状態からスタンバイ状態への遷移時に対応する BUCKx の出力電圧は変更されません。アクティブ状態に復帰すると、出力電圧は BUCKx_VSET に戻ります。

Copyright © 2025 Texas Instruments Incorporated

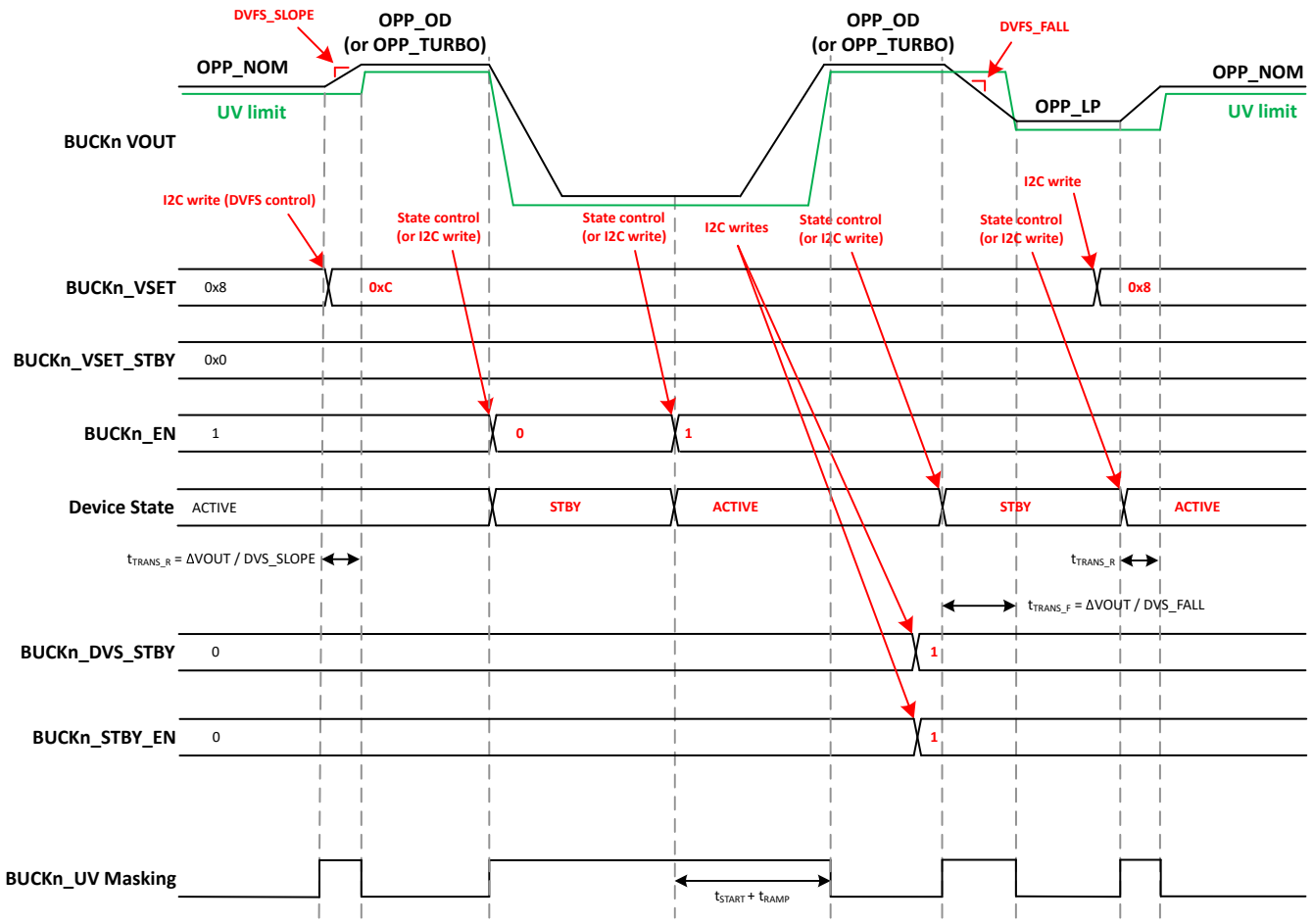


図 7-6. 降圧 DVS のタイミング図

出力キャパシタンス要件

降圧コンバータは、安定動作のために十分な出力キャパシタンスを必要とします。必要な最小容量およびサポートされる最大容量は、設定によって異なります。

- 低帯域幅構成の場合、最小容量は 10uF が必要で、最大合計容量は 75uF がサポートされます
- 高帯域幅設定の場合、最小容量は 30uF が必要で、最大合計容量は 220uF がサポートされます

降圧コンバータの故障対応

低電圧 (UV) 監視

TPS65214 は、降圧コンバータ出力の低電圧を検出します。低電圧スレッショルドは、BUCKx_VOUT レジスタの BUCKx_UV_THR ビットで構成します。低電圧検出に対する反応は、該当する BUCKx_UV_MASK ビットと MASK_CONFIG レジスタの MASK_EFFECT ビットの構成に依存します。マスクされていない場合、デバイスは INT_SOURCE レジスタの各 INT_BUCK_1_2_IS_SET または INT_BUCK_3_IS_SET ビットを設定します。また、デバイスは INT_BUCK_1_2 または INT_BUCK_3 レジスタの対応する BUCKx_UV ビットも設定します。

電圧遷移中 (例:DVFS による電圧変化によりトリガされる場合)、デバイスはフォルトで低電圧検出をブランクにし、電圧遷移が完了した時点で低電圧検出を有効化します。デバイスが(初期化状態またはスタンバイ状態から)アクティブ状態への遷移中に低電圧を検出し、UV がマスクされていない場合、現在のスロットが終了した時点で電源オフ シーケンスが開始されます。

デバイスがアクティブ状態またはスタンバイ状態で低電圧を検出し、INT_MASK_UV レジスタの BUCKx_UV_MASK ビットで UV がマスクされていない場合、電源オフシーケンスは即座に開始されます。OC 検出はマスクできません。

過電流（OC）制限

TPS65214 は、降圧コンバータの出力で、電流をサイクルごとに制限します。デバイスが $t_{DEGLITCH_OC_short}$、respectively for $t_{DEGLITCH_OC_long}$（レールごとに OC_DEGL_CONFIG レジスタ内の EN_LONG_DEGL_FOR_OC_BUCKx で個別に構成設定可能で、立ち上がりエッジにのみ適用）について過電流を検出した場合、デバイスは INT_SOURCE レジスタ内の INT_BUCK_1_2_IS_SET または INT_BUCK_3_IS_SET ビット、および INT_BUCK_1_2 または INT_BUCK_3 レジスタ内の BUCKx_OC（正の過電流用）、または BUCKx_NEG_OC（負の過電流用）ビットをそれぞれ設定します。

電圧遷移中（例：DVFS による電圧変化）、過電流検出は無効化され、電圧遷移が完了した時点でのみ再度有効化されます。

過電流が（初期化状態またはスタンバイ状態から）アクティブ状態への遷移中に発生した場合、デバイスは影響を受けたレールを即座に無効化し、現在のスロットが終了した時点で電源オフ・シーケンスを開始します。

過電流がアクティブ状態またはスタンバイ状態で発生した場合、デバイスは影響を受けたレールを即座に無効化し、電源オフ・シーケンスを開始します。

OC 検出はマスクできませんが、デグリッチ時間は構成できます。TI は最短のデグリッチ時間である $t_{DEGLITCH_OC_short}$ を設定することを推奨します。過電流が長時間継続すると、経年劣化の加速やオーバーシュートの発生の原因になります。

接地への短絡（SCG）の監視

TPS65214 は、バック出力の接地への短絡（SCG）故障を検出します。SCG イベントを検出した場合の反応として、INT_SOURCE レジスタ内の INT_BUCK_1_2_IS_SET または INT_BUCK_3_IS_SET ビット、INT_BUCK_1_2 または INT_BUCK_3 レジスタ内の BUCKx_SCG ビットがそれぞれ設定されます。影響を受けたレールは即座に無効化されます。デバイスはすべての出力をシーケンスダウンし、初期化状態に遷移します。

SCG 検出はマスクできません。

レールが有効化されると、デバイスは最初に SCG 検出を無効化して、レールが SCG スレッショルドを超えるのを許可します。

残留電圧（RV）の監視

TPS65214 は、バック出力の残留電圧（RV）故障を検出します。RV イベントを検出した場合の反応として、INT_SOURCE レジスタ内の INT_RV_IS_SET ビット、および INT_RV レジスタ内の BUCKx_RV ビットが設定されます。RV 検出はマスクできませんが、nINT 反応は INT_MASK_WARM レジスタの MASK_INT_FOR_RV により、すべてのレールに対してグローバルに構成できます。BUCKx_RV フラグはマスクの有無にかかわらず設定され、INT_RV_IS_SET ビットは nINT がアサートされている場合にのみ設定されます。故障反応時間と潜在的な状態遷移は、残留電圧が検出された状況によって異なります。

- デバイスが電源投入中、アクティブからスタンバイ、またはスタンバイからアクティブへの移行中に残留電圧を検出した場合、シーケンスは中止され、デバイスはパワーダウンします。シャットダウン故障反応は、GENERAL_CONFIG レジスタ内の BYPASS_RV_FOR_RAIL_ENABLE ビットでマスクできます。
- デバイスがスタンバイ状態中に無効化されたレールで 80ms 以上残留電圧を検出した場合、スタンバイ状態から出る要求時にデバイスは初期化状態に遷移します。デバイスは RV 条件が 4ms から 5ms、かつ 80ms 未満の間続いた場合に BUCKx_RV ビットを設定します。
- I2C によるレールの EN コマンド中に残留電圧が検出された場合、BUCKx_RV フラグは直ちに設定されますが、状態遷移は発生しません。

温度監視

Copyright © 2025 Texas Instruments Incorporated

降圧コンバータには、ローカル過熱センサが搭載されています。温度警告に対する応答は、MASK_CONFIG レジスタの各 SENSOR_x_WARM_MASK ビットの設定と、INT_MASK_BUKS レジスタの MASK_EFFECT ビットの設定によって異なります。センサの温度が T_{WARM_Rising} を超えていて、マスクされていない場合、デバイスは INT_SOURCE レジスタの INT_SYSTEM_IS_SET ビットと、INT_SYSTEM レジスタの SENSOR_x_WARM ビットを設定します。センサが T_{HOT_Rising} を超える温度を検出した場合、コンバータの消費電力と接合部温度は安全動作値を超えます。デバイスは、すべてのアクティブ出力を直ちにパワーダウンし、INT_SOURCE レジスタの INT_SYSTEM_IS_SET ビットと INT_SYSTEM レジスタの SENSOR_x_HOT ビットを設定します。TPS65214 は、温度が $T_{WARM_Falling}$ スレッショルド値（T_WARM がマスクされている場合は $T_{HOT_Falling}$ スレッショルド値）を下回ると自動的に回復します。_HOT ビットは設定されたままとなり、「1」を書き込むことでクリアする必要があります。HOT 検出はマスクできません。

注意

降圧コンバータは、起動中を含む、各電流制限までの出力電流までしか供給できません。フィルタおよび負荷容量への充電電流によっては、デバイスはランプアップ中に負荷へのフル出力電流を供給できない可能性があります。目安として、合計負荷容量が 50µF を超える場合は、負荷電流は定格出力電流の 25% を超えないようにする必要があります。この制限は、動的出力電圧の変化にも適用されます。

注意

TPS65214 には、差動フィードバックピンはありません。また、リモートセンシングもサポートしていません。シングルエンドのトレースはノイズに影響されやすく、できるだけ短くする必要があり、そのため出力フィルタに直接接続する必要があります。

表 7-1. BUCK 出力電圧設定

BUCKx_VSET [10 進数]	BUCKx_VSET [2 進数]	BUCKx_VSET [16 進数]	VOUT（Buck1、Buck2、Buck3）[V]
0	000000	00	0.600
1	000001	01	0.625
2	000010	02	0.650
3	000011	03	0.675
4	000100	04	0.700
5	000101	05	0.725
6	000110	06	0.750
7	000111	07	0.775
8	001000	08	0.800
9	001001	09	0.825
10	001010	0A	0.850
11	001011	0B	0.875
12	001100	0C	0.900
13	001101	0D	0.925
14	001110	0E	0.950
15	001111	0F	0.975
16	010000	10	1.000
17	010001	11	1.025
18	010010	12	1.050
19	010011	13	1.075
20	010100	14	1.100
21	010101	15	1.125
22	010110	16	1.150
23	010111	17	1.175

表 7-1. BUCK 出力電圧設定 (続き)

BUCKx_VSET [10 進数]	BUCKx_VSET [2 進数]	BUCKx_VSET [16 進数]	VOUT（Buck1、Buck2、Buck3）[V]
24	011000	18	1.200
25	011001	19	1.225
26	011010	1A	1.250
27	011011	1B	1.275
28	011100	1C	1.300
29	011101	1D	1.325
30	011110	1E	1.350
31	011111	1F	1.375
32	100000	20	1.400
33	100001	21	1.500
34	100010	22	1.600
35	100011	23	1.700
36	100100	24	1.800
37	100101	25	1.900
38	100110	26	2.000
39	100111	27	2.100
40	101000	28	2.200
41	101001	29	2.300
42	101010	2A	2.400
43	101011	2B	2.500
44	101100	2C	2.600
45	101101	2D	2.700
46	101110	2E	2.800
47	101111	2F	2.900
48	110000	30	3.000
49	110001	31	3.100
50	110010	32	3.200
51	110011	33	3.300
52	110100	34	3.400
53	110101	35	3.400
54	110110	36	3.400
55	110111	37	3.400
56	111000	38	3.400
57	111001	39	3.400
58	111010	3A	3.400
59	111011	3B	3.400
60	111100	3C	3.400
61	111101	3D	3.400
62	111110	3E	3.400
63	111111	3F	3.400

Copyright © 2025 Texas Instruments Incorporated

7.3.8 リニア レギュレータ（LDO1 および LDO2）

TPS65214 には、合計 2 台のリニア レギュレータが搭載されています。LDO1 は、SOC または周辺装置のアナログ回路への電力供給のための汎用 LDO です。LDO は 300mA の出力電流をサポートしています。LDO2 は、SOC および周辺装置のデジタル回路への電力供給のための汎用 LDO です。LDO は 500mA の出力電流をサポートしています。

動作モード

LDO1 と LDO2 は、どちらも入力電圧範囲が 2.5V ～ 5.5V で、システム電源に直接接続する必要があります。出力電圧は、0.6V ～ 3.3V の範囲で 50mV ステップでプログラム可能です。LDO がロード スイッチ モード（LSW_mode）をサポートする場合、2.5V から 3.4V までの出力電圧がサポートされます。LSW_mode では、目的の電圧を LDOx_VOUT レジスタで構成する必要はありません。

- LDO は、リニア レギュレータ、またはロード スイッチ（LSW モード）として構成できます。このモードは、LDOx_VOUT レジスタの LDOx_LSW_CONFIG ビットによって構成します。

> **注意**
> LSW モードでは、LDO はスイッチとして機能します。ここで、VOUT は VIN から FET 抵抗（R_{LSW}）を電圧降下を差し引いた値となります。

- アクティブ状態での LDO の オン/オフ状態は、ENABLE_CTRL レジスタ内の対応する LDOx_EN ビットによって制御されます。
- スタンバイ状態での LDO の オン/オフ状態は、STBY_1_CONFIG レジスタの対応する LDOx_STBY_EN ビットによって制御されます。
- 初期化およびスリープ状態では、ビット設定にかかわらず、LDO はオフになります。

> **注意**
> リニア レギュレータをまったく使用しない場合は、VLDOx ピンをフローティング状態のままにしておく必要があります。

アクティブ放電

LDO には、アクティブ放電機能があります。LDOx が有効になっていない時は常に、出力はグランドに放電されます。放電機能は、DISCHARGE_CONFIG レジスタのレールごとに個別に無効化できます。

- 電源シーケンス内でレールを有効化する前にも、デバイスはプリバイアスされた出力での起動を防ぐため、そのレールを放電します。
- I2C コマンドでレールを有効化する場合、アクティブ放電は強制されませんが、出力電圧が SCG しきい値以下である場合のみレールが有効化されます。
- このレジスタは EEPROM に保存されず、デバイスがオフ状態になるとリセットされます。
- 初期化状態（リセット中または I2C オフ要求中）では、放電構成はリセットされません。注：放電機能が有効でない場合、電源オフ・シーケンスが中断される可能性があります。

ダイナミック電圧スケーリング

すべての LDO がダイナミック電圧スケーリング（DVS）をサポートしています。動作中に出力電圧を変更して、負荷の動作点に対する動作電圧を最適化できます。電圧の変更は、対応する LDO1_VOUT または LDO2_VOUT レジスタの LDO1_VSET または LDO2_VSET に書き込むことで制御されます。DVS による電圧遷移中は、放電構成にかかわらず、一時的にアクティブ放電機能が有効になります。

LDO は、MODE/STBY ピンまたは I2C により、スタンバイ要求に DVS 用に構成できます。スタンバイ要求を受け取ると、STBY_1_CONFIG レジスタで有効化され、かつ LDOx_DVS_STBY ビットで DVFS 用に構成されたすべての LDO が、対応する LDOx_VOUT_STBY レジスタ内の LDOx_VSET_STBY で指定された電圧に変更されます。スタンバイ中

に LDOx_DVS_STBY がクリアされると、出力電圧は LDOx_VSET に戻ります。LDOx_DVS_STBY が設定されていない場合、A アクティブ状態からスタンバイ状態への遷移時に対応する LDOx の出力電圧は変更されません。

> **注意**
> LDO がスタンバイで DVS 用に構成されている場合、対応する電源オン スロットの持続時間は、スタンバイからアクティブ電力シーケンスまでの間、完全な電圧ランプをサポートするのに十分な長さである必要があります。スロット持続時間が十分でない場合、デバイスはタイムアウト故障を登録します。

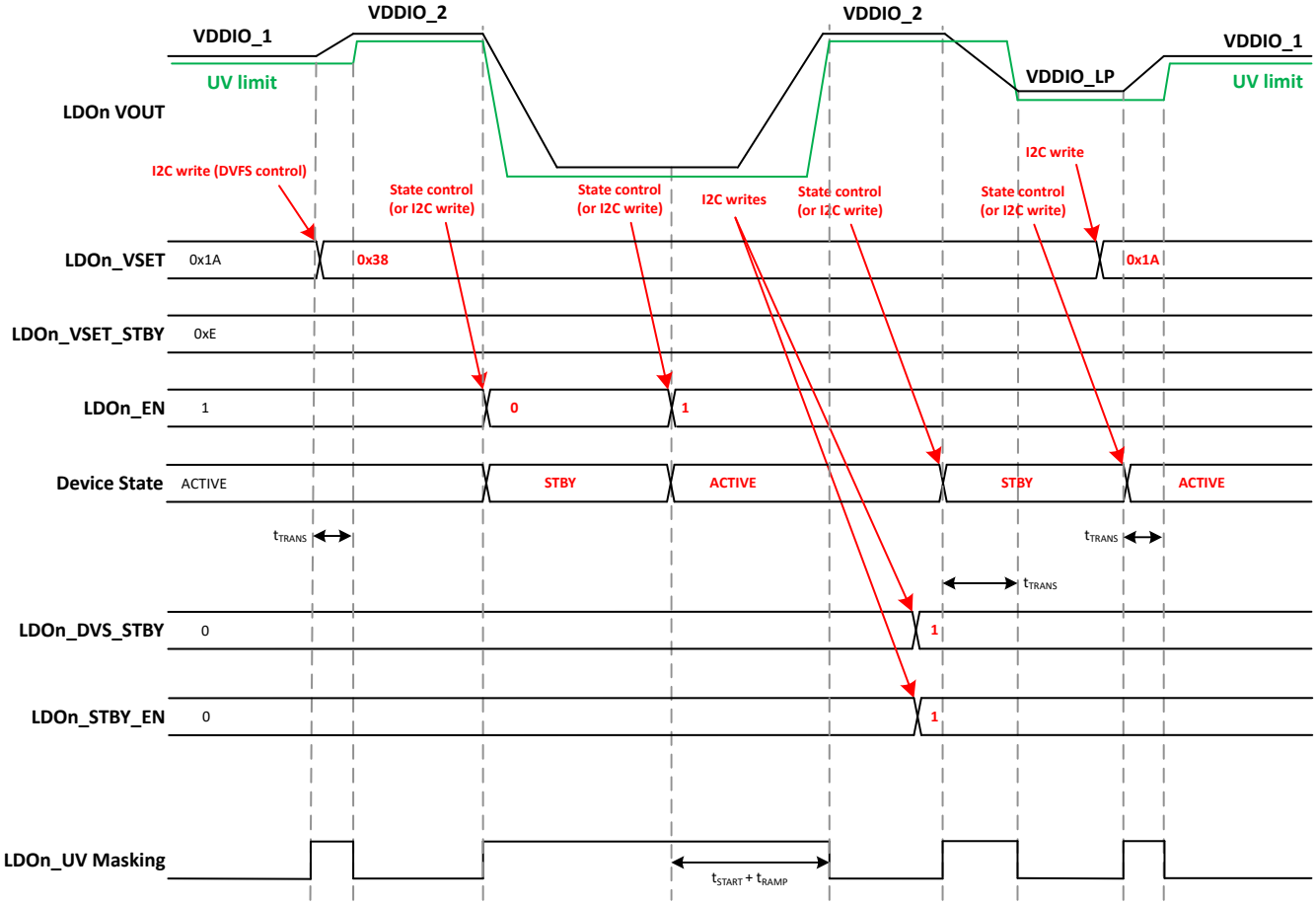


図 7-7. LDO DVS のタイミング図

出力キャパシタンス要件

LDO レギュレータは、安定動作のために十分な出力キャパシタンスを必要とします。必要な最小容量およびサポートされる最大容量は、設定によって異なります。

- LDO モードでは、最小 1.2µF の静電容量が必要で、最大合計負荷容量 (出力フィルタと負荷点組み合わせた場合) 40µF がサポートされています
- LSW モードでは、最小 1.2µF の静電容量が必要で、最大合計容量 (出力フィルタと負荷点組み合わせた場合) 50µF がサポートされています

LDO 故障対応

低電圧 (UV) 監視

Copyright © 2025 Texas Instruments Incorporated

TPS65214 は、LDO 出力の低電圧を検出します。低電圧スレッショルドは、LDOx_VOUT レジスタの LDOx_UV_THR ビットで構成します。低電圧検出に対する応答は、INT_MASK_LDO レジスタの LDOx_UV_MASK ビットの設定と、INT_MASK_BUCKS レジスタの MASK_EFFECT によって異なります。マスクされていない場合、デバイスは INT_SOURCE レジスタの INT_LDO_1_2_IS_SET ビット、INT_LDO_1_2 レジスタの LDOx_UV ビットを設定します。

電圧遷移中（例：パワーアップ時）、デバイスはフォルトで低電圧検出を無効化し、電圧遷移が完了した時点で低電圧検出を再度有効化します。デバイスが（初期化状態またはスタンバイ状態から）アクティブ状態への遷移中に低電圧を検出し、UV がマスクされていない場合、現在のスロットが終了した時点で電源オフ シーケンスが開始されます。

デバイスが（初期化状態またはスタンバイ状態から）アクティブ状態への遷移中に低電圧を検出し、UV がマスクされていない場合、現在のスロットが終了した時点で電源オフ シーケンスが開始されます。

デバイスがアクティブ状態またはスタンバイ状態で低電圧を検出し、UV がマスクされていない場合、電源オフシーケンスは即座に開始されます。OC 検出はマスクできません。

注意
LDO が LSW モードに構成されている場合、UV 検出はサポートされません。

過電流（OC）制限

TPS65214 には、LDO 出力の電流制限機能が搭載されています。PMIC が $t_{DEGLITCH_OC_short}$ の間、それぞれ $t_{DEGLITCH_OC_long}$ の間の過電流を検出した場合（レールごとに OC_DEGL_CONFIG レジスタの EN_LONG_DEGL_FOR_OC_LDOx で個別に構成可能で立ち上がりエッジのみに適用）、デバイスは INT_SOURCE レジスタの INT_LDO_1_2_IS_SET および INT_LDO_1_2 LDOx_OC ビットを設定します。影響を受けたレールは即座に無効化されます。

電圧遷移中（例：パワーアップ時）、過電流検出は無効化され、電圧遷移が完了した時点で有効になります。

過電流が（初期化状態またはスタンバイ状態から）アクティブ状態への遷移中に発生した場合、デバイスは影響を受けたレールを即座に無効化し、現在のスロットが終了した時点で電源オフ・シーケンスを開始します。

過電流がアクティブ状態またはスタンバイ状態で発生した場合、デバイスは影響を受けたレールを即座に無効化し、電源オフ・シーケンスを開始します。

OC 検出はマスクできませんが、デグリッチ時間は構成できます。$t_{DEGLITCH_OC_short}$ を使用することをお勧めします。過電流が長時間継続すると、経年劣化の加速やオーバーシュートの発生の原因になります。

接地への短絡（SCG）の監視

TPS65214 は、LDO 出力の接地への短絡（SCG）故障を検出します。SCG イベントを検出した場合の反応として、INT_SOURCE レジスタの INT_LDO_1_2_IS_SET と、INT_LDO_1_2 レジスタの LDOx_SCG ビットが設定されます。影響を受けたレールは即座に無効化されます。デバイスはすべての出力をシーケンスダウンし、初期化状態に遷移します。

SCG 検出はマスクできません。

レールが有効化されると、デバイスは最初に SCG 検出を無効化して、レールが SCG スレッショルドを超えるのを許可します。

残留電圧（RV）の監視

TPS65214 は、LDO 出力の残留電圧（RV）故障を検出します。RV イベントを検出した場合の反応として、INT_SOURCE レジスタ内の INT_RV_IS_SET ビット、および INT_RV レジスタ内の LDOx_RV ビットが設定されます。RV 検出はマスクできませんが、nINT 反応は INT_MASK_WARM レジスタの MASK_INT_FOR_RV により、すべてのレールに対してグローバルに構成できます。デバイスはマスクの有無にかかわらず LDOx_RV フラグを設定し、nINT が

アサートされている場合にのみ INT_RV_IS_SET ビットを設定します。故障反応時間と潜在的な状態遷移は、故障が検出された状況によって異なります。

- デバイスが電源投入中、アクティブからスタンバイ、またはスタンバイからアクティブへの移行中に残留電圧を検出した場合、シーケンスは中止され、デバイスはパワーダウンします。シャットダウン故障反応は、GENERAL_CONFIG レジスタ内の BYPASS_RV_FOR_RAIL_ENABLE ビットでマスクできます。
- デバイスがスタンバイ状態中に無効化されたレールで 80ms 以上残留電圧を検出した場合、スタンバイ状態から出る要求時にデバイスは初期化状態に遷移します。デバイスは RV 条件が 4ms から 5ms、かつ 80ms 未満の間続いた場合に LDOx_RV ビットを設定します。
- I2C によるレールの EN コマンド中に残留電圧が検出された場合、LDOx_RV フラグは直ちに設定されますが、状態遷移は発生しません。

Copyright © 2025 Texas Instruments Incorporated

温度モニタ

LDO には、ローカル過熱センサが搭載されています。温度警告に対する応答は、INT_MASK_BUCKS レジスタの各 SENSOR_x_WARM_MASK ビットの設定と、MASK_EFFECT ビットの設定によって異なります。センサの温度が T_{WARM_Rising} を超えていて、マスクされていない場合、デバイスは INT_SOURCE レジスタの INT_SYSTEM_IS_SET ビットと、INT_SYSTEM レジスタの SENSOR_x_WARM ビットを設定します。センサが T_{HOT_Rising} を超える温度を検出した場合、コンバータの消費電力と接合部温度は安全動作値を超えます。デバイスは、すべてのアクティブ出力を直ちにパワーダウンし、INT_SOURCE レジスタの INT_SYSTEM_IS_SET ビットと INT_SYSTEM レジスタの SENSOR_x_HOT ビットを設定します。TPS65214 は、温度が $T_{WARM_FAlling}$ スレッショルド値（T_WARM がマスクされている場合は $T_{HOT_FAlling}$ スレッショルド値）を下回ると自動的に回復します。_HOT ビットは設定されたままとなり、「1」を書き込むことでクリアする必要があります。HOT 検出はマスクできません。

表 7-2. LDO 出力電圧設定

LDOx_VSET [10 進数]	LDOx_VSET [2 進数]	LDOx_VSET [16 進数]	VOUT（LDO1 および LDO2、LDO モード）[V]
0	000000	00	0.60
1	000001	01	0.60
2	000010	02	0.60
3	000011	03	0.65
4	000100	04	0.70
5	000101	05	0.75
6	000110	06	0.80
7	000111	07	0.85
8	001000	08	0.90
9	001001	09	0.95
10	001010	0A	1.00
11	001011	0B	1.05
12	001100	0C	1.10
13	001101	0D	1.15
14	001110	0E	1.20
15	001111	0F	1.25
16	010000	10	1.30
17	010001	11	1.35
18	010010	12	1.40
19	010011	13	1.45
20	010100	14	1.50
21	010101	15	1.55
22	010110	16	1.60
23	010111	17	1.65
24	011000	18	1.70
25	011001	19	1.75
26	011010	1A	1.80
27	011011	1B	1.85

表 7-2. LDO 出力電圧設定 (続き)

LDOx_VSET [10 進数]	LDOx_VSET [2 進数]	LDOx_VSET [16 進数]	VOUT（LDO1 および LDO2、LDO モード）[V]
28	011100	1C	1.90
29	011101	1D	1.95
30	011110	1E	2.00
31	011111	1F	2.05
32	100000	20	2.10
33	100001	21	2.15
34	100010	22	2.20
35	100011	23	2.25
36	100100	24	2.30
37	100101	25	2.35
38	100110	26	2.40
39	100111	27	2.45
40	101000	28	2.50
41	101001	29	2.55
42	101010	2A	2.60
43	101011	2B	2.65
44	101100	2C	2.70
45	101101	2D	2.75
46	101110	2E	2.80
47	101111	2F	2.85
48	110000	30	2.90
49	110001	31	2.95
50	110010	32	3.00
51	110011	33	3.05
52	110100	34	3.10
53	110101	35	3.15
54	110110	36	3.20
55	110111	37	3.25
56	111000	38	3.30
57	111001	39	3.30
58	111010	3A	3.30
59	111011	3B	3.30
60	111100	3C	3.30
61	111101	3D	3.30
62	111110	3E	3.30
63	111111	3F	3.30

Copyright © 2025 Texas Instruments Incorporated

7.3.9 SoC へのリセット（nRSTOUT）

リセット出力（nRSTOUT）はオープン ドレイン出力で、パワーアップ シーケンシングの終了時に SoC や FPGA のリセットを解除することを目的としています。nRSTOUT のタイミングはシーケンス内で構成されます。nRSTOUT は、デバイスがアクティブ状態に入るまで、またはアクティブ状態やスタンバイ状態からパワーダウンする際に Low に駆動されます。このピンは、アクティブ状態の間 High に駆動されます。スタンバイ状態では、STBY_2_CONFIG レジスタ内の nRSTOUT_STBY_CONFIG ビットの設定に応じて、High または Low に駆動されます。

7.3.10 割り込みピン（nINT）

パワーアップ時、nINT ピンの出力は INT_SOURCE フラグの設定の有無と INT_MASK_BUCKS レジスタ内の MASK_EFFECT ビットの設定に依存します。1 つ以上のフラグが設定されている場合、nINT ピンは Low にプルされ、「1」を書き込んでこれらのフラグがクリアされた後にのみ High に解除されます。なお、nINT ピンはプルアップ用の VIO 電圧が利用可能な場合にのみ High へ遷移できます。

スリープ状態では、nINT ピンは常に High に解除されます。アクティブまたはスタンバイ状態では、イベントまたは故障状態をホストプロセッサに通知するために、nINT ピンを Low に駆動できます。IC で故障またはイベントが発生するたびに、対応する割り込みビットが INT レジスタに設定され、オープン ドレイン出力が Low に駆動されます。デバイスが初期化状態に遷移した場合、オフ要求と故障のどちらによって遷移がトリガされたかにかかわらず、nINT ピンも同様に Low になります。

故障が解消された場合、故障ビットに対して W1C（「1」を書き込むことでクリア）を実行する必要があります。また、このコマンドにより、nINT ピンを解放することもできます（Hi-Z 状態に戻る）。故障が解消されない場合、対応するビットは設定されたままとなり、INT ピンは Low のままです。

UV 故障は、INT_MASK_UV レジスタで、レールごとに個別にマスクできます。温度センサは、MASK_CONFIG レジスタの SENSOR_x_WARM_MASK で個別にマスクできます。UV と WARM のマスクの影響は、MASK_CONFIG レジスタの MASK_EFFECT ビットでグローバルに定義されます。

RV 故障に対する nINT の反応は、MASK_CONFIG レジスタの MASK_INT_FOR_RV ビットでグローバルに定義されます。

- 00b =状態変更なし、nINT 応答なし、ビットセットなし
- 01b =状態変更なし、nINT 応答なし、ビットセット
- 10b =状態変更なし、nINT 応答、ビットセット（11b と同じ）
- 11b =状態変更なし、nINT 応答、ビットセット（10b と同じ）

> **注意**
> マスキングは、デバイスやシステムにリスクをもたらします。I2C コマンドによってマスクを実行する場合、初期化状態に遷移した後、マスキング ビットは NVM ベースのデフォルトにリセットされます。I2C 経由で新たに SD 故障として設定された故障に対応するビットはクリアされません。
>
> 同じレールで OC と UV 検出をマスクすることは推奨されていません。

7.3.11 PWM/PFM および低消費電力モード（MODE/STBY）

TPS65214 は、I2C 制御または MODE/STBY ピンを通じて低電力モードをサポートします。ピンの構成は、MFP_2_CONFIG レジスタの MODE_STBY_CONFIG で選択します。このピンの極性は、MFP_1_CONFIG レジスタの MODE_STBY_POLARITY に書き込むことで構成できます。パワーアップ後は、極性構成は変更しないでください。

「MODE」としての MODE/STBY の構成

「MODE」として構成した場合、ピンの状態によって降圧コンバータのスイッチングモードが決まります。このピンを $t_{DEGLITCH_MFP}$ よりも長く強制的にアサートすると、降圧レギュレータは（負荷電流にかかわらず）PWM モードに強制され

ます。このピンを Low にデアサートすると、降圧レギュレータは PFM モードに移行できます。PFM への移行と PFM からの移行は、負荷電流によって制御されます。

- 自動 PFM/強制 PWM の選択は、MFP_1_CONFIG レジスタの MODE_I2C_CTRL ビットに書き込むことでも制御できます。
- モード変更によって状態遷移は発生しません。
- 3 基の降圧コンバータのいずれかのパワーアップ時に、モード変更はこのレールで無効となり、ランプの完了した後にのみ有効になります。

表 7-3. MODE の構成

ピン	ピンの設定	極性	ピンの状態	MODE_I2C_CTRL ビット	デバイス モード
モード/スタンバイ	モード	x	x	1	強制 PWM
モード/スタンバイ	モード	0	L	0	自動 PFM
モード/スタンバイ	モード	0	H	0	強制 PWM
モード/スタンバイ	モード	1	L	0	強制 PWM
モード/スタンバイ	モード	1	H	0	自動 PFM

「STBY」としての MODE/STBY の構成

「STBY」に構成されている場合、このピンを $t_{DEGLITCH_MFP}$ よりも長い間強制的に駆動すると、レジスタ STBY_2_CONFIG のビット STBY_SLEEP_CONFIG に応じて、デバイスはスタンバイ状態またはスリープ状態になります。

- スタンバイ状態に構成されている場合、デバイスは STBY_1_CONFIG および STBY_2_CONFIG レジスタで選択したレールをシーケンスダウンします。このピンをデアサートすると、選択したレールが再度シーケンスされます。
- スリープ状態に構成されている場合、デバイスはすべてのレールをシーケンスダウンし、MODE/STBY ピンの状態を無視します。

スタンバイ状態注に I2C 通信がサポートされている場合、スタンバイまたはスリープ状態の間の遷移は、MFP_CTRL レジスタの STBY_I2C_CTRL ビットに書き込むことでも制御できます。

- MODE/STBY ピンを「STBY」として構成すると、定義によって状態遷移が発生します。
- ピンの設定に関係なく、デバイスは常にアクティブ状態に起動します。デバイスは、アクティブ状態に移行した後のみ、STBY ピンの状態または I2C コマンドに応答します。

表 7-4. STBY の構成

ピン	ピンの設定	極性	ピンの状態	STBY_I2C_CTRL ビット	デバイスの状態
モード/スタンバイ	STBY	x	x	1	スタンバイまたはスリープ
モード/スタンバイ	STBY	0	L	0	スタンバイまたはスリープ
モード/スタンバイ	STBY	0	H	0	アクティブ
モード/スタンバイ	STBY	1	L	0	アクティブ
モード/スタンバイ	STBY	1	H	0	スタンバイまたはスリープ

Copyright © 2025 Texas Instruments Incorporated

「MODE & STBY」としての MODE/STBY の構成

このピンは、MODE と STBY を同時に実行するように構成できます。このデュアル機能は、スタンバイ状態に対して STBY_SLEEP_CONFIG が構成されている場合にのみ使用できます。

このピンを $t_{DEGLITCH_MFP}$ を超えて強制すると、STBY_1_CONFIG および STBY_2_CONFIG レジスタでオフに設定されたレールがシーケンスダウンします（スタンバイ機能）。スタンバイ中、オンに維持されるように構成されたすべての降圧レギュレータは自動 PFM モードで動作します（モード機能）。このピンをデアサートすると、選択した複数のレールが再度オンになり、降圧レギュレータは強制的に PWM になります。この構成では、極性設定を調和させる必要があります。

- スタンバイ状態への遷移およびスタンバイ状態からの遷移が、MFP_CTRL レジスタの STBY_I2C_CTRL ビットへの書き込みによって指示された場合（スタンバイ状態中の I2C 通信がサポートされている場合）、モードの変更には、MFP_1_CONFIG レジスタの MODE_I2C_CTRL ビットへの書き込みによる別のコマンドが必要です。
- MODE/STBY ピンを「MODE&STBY」として構成すると、定義によって状態遷移が発生します。
- デフォルトでは、STBY はデアサートされ、デバイスがパワーアップ シーケンスを完了するまで、このピンは無視されます。3 基の降圧コンバータのいずれかのパワーアップ時に、モード変更はこのレールで無効となり、ランプの完了した後にのみ有効になります。STBY ピンによって指示された状態変更は、レールがランプしているときでも反応します（初期化からアクティブへの遷移中を除く）。

ピンコマンドおよび I2C コマンドについては、以下の真理値表を参照してください。

表 7-5. MODE と STBY の構成

ピン	ピンの設定	極性	ピンの状態	STBY_I2C_CTRL ビット	MODE_I2C_CTRL ビット	デバイスの状態	デバイス モード
モード/スタンバイ	モード＆スタンバイ	0	L	x	0	スタンバイまたはスリープ	自動 PFM
モード/スタンバイ	モード＆スタンバイ	0	L	x	1	スタンバイまたはスリープ	強制 PWM
モード/スタンバイ	モード＆スタンバイ	0	H	0	x	アクティブ	強制 PWM
モード/スタンバイ	モード＆スタンバイ	0	H	1	x	スタンバイまたはスリープ	強制 PWM
モード/スタンバイ	モード＆スタンバイ	1	L	0	x	アクティブ	強制 PWM
モード/スタンバイ	モード＆スタンバイ	1	L	1	x	スタンバイまたはスリープ	強制 PWM
モード/スタンバイ	モード＆スタンバイ	1	H	x	0	スタンバイまたはスリープ	自動 PFM
モード/スタンバイ	モード＆スタンバイ	1	H	x	1	スタンバイまたはスリープ	強制 PWM

7.3.12 汎用入出力および電圧選択ピン（GPIO/VSEL）

TPS65214GPIO/VSEL ピン機能は、MFP_1_CONFIG レジスタの GPIO_VSEL_CONFIG ビットによって構成できます。

> 注意
> GPIO_VSEL_CONFIG は動作中に変更しないでください。

GPIO/VSEL を「GPIO」として構成：

「GPIO」として構成されている場合、GENERAL_CONFIG レジスタの GPIO_CONFIG ビットにより、このピンを入力または出力として構成できます。GPIO 構成ビットは、デバイスの動作中に変更できます。

- 入力として構成した場合、対応するスロットの持続時間を持つ GPIO_SEQUENCE_SLOT レジスタによってスロットが割り当てられたシーケンス入力としてピンレベルを使用できます。内部シーケンサは、電源シーケンスに進む前に、

GPIO/VSEL ピンが、GPIO_SEQUENCE_POLARITY ビットで構成されたオン状態になるまで待機します。80Ms 以内にピンがオン状態に達しない場合、デバイスは TIMEOUT ビットを設定し、初期化状態に遷移します。
- 出力として構成した場合、このピンを使用して外部レールのシーケンシングを実行できます。ピンは、GENERAL_CONFIG レジスタの GPIO_EN に書き込むことで、電源シーケンスに含めることも、I2C インターフェイス経由で制御することもできます。起動すると、GPIO は High に解除されます。極性は変更できません。

GPIO/VSEL を「VSEL」として構成：

「VSEL」として構成されている場合、ピンレベルを使用して、MFP_1_CONFIG レジスタの VSEL_RAIL ビットによって Buck1 または Buck3 の出力電圧を設定します。以下の表に、さまざまな組み合わせを示します。

> 注意
> VSEL 機能はハードワイヤードなので、動作中に変更しないでください。

表 7-6. GPIO/VSEL 構成オプション

GPIO_VSEL_CONFIG	GPIO_CONFIG	VSEL_RAIL	PIN のステータス	出力(V)	レール
0:GPIO	0 = 出力	X	GPIO_EN	VIO	GPIO
0:GPIO	1 = 入力	X	外部駆動	該当なし	GPIO
1:VSEL	X	0 = Buck1	0	BUCK1_VOUT	BUCK1
1:VSEL	X	0 = Buck1	オープン	0.75V	BUCK1
1:VSEL	X	0 = Buck1	1	1.1V	BUCK1
1:VSEL	X	1 = Buck3	0	BUCK3_VOUT	BUCK3
1:VSEL	X	1 = Buck3	オープン	1.1V	BUCK3
1:VSEL	X	1 = Buck3	1	1.2V	BUCK3

7.3.13 汎用出力と nWAKEUP（GPO/nWAKEUP）

TPS65214 の GPO/nWAKEUP 機能は、MFP_2_CONFIG レジスタの GPO_nWAKEUP_CONFIG ビットから構成できます。この機能は、動作中に変更できます。

「GPO」としての GPO/nWAKEUP の構成

GPO として構成されている場合、このピンを使用して外部レールのシーケンシングを実行できます。GPO は、GENERAL_CONFIG レジスタの GPO_EN に書き込むことで、シーケンスに含めることも、I2C インターフェイス経由で制御することもできます。起動すると、GPO は High に解除されます。極性は変更できません。

「nWAKEUP」としての GPO/nWAKEUP の構成

「nWAKEUP」として構成されている場合、このピンはホストに対して電源投入イベントを示す信号です。nWAKEUP は、デバイスが初期化状態に入る前に低に駆動され、デバイスが初期化状態を終了するまで Low のまま維持されます。その他のすべての状態および状態遷移では、nWAKEUP は High に解除されます。極性は変更できません。詳しくは、デバイスの機能モード を参照してください。

7.3.14 I2C コマンドによるリセット要求

デバイスのリセットは、MFP_CTRL レジスタの COLD_RESET_I2C_CTRL ビットをそれぞれ WARM_RESET_I2C_CTRL ビットに書き込むことでトリガできます。I2C によるリセット要求は、デバイスが ACTIVE 状態、STBY 状態、またはこれら 2 つの状態間で遷移している場合にのみ処理されます。

Copyright © 2025 Texas Instruments Incorporated

COLD のリセット

コールド リセットを要求すると、デバイスはパワーダウン シーケンスを実行し、初期化状態に遷移します。その後、故障もオフ要求もない場合、NVM はリロードされ、通常のパワーアップ シーケンスでレールの電源が再び投入されます。コールド リセットにより、NVM でバックアップされたすべてのレジスタ ビットがブート値に返ります。NVM でバックアップされていないレジスタ ビットは、STBY_I2C_CTRL、POWER_UP_FROM_OFF、POWER_UP_FROM_EN_PB_VSENSE、POWER_UP_FROM_FSD、CUST_PROG_DONE、CUST_NVM_VERIFY_DONE、CUST_NVM_VERIFY_ERR を除き、値を維持します。NVM にバックアップされるレジスタの詳細については、セクション 8 を参照してください。

コールド リセットの実行により、POWER_UP_STATUS_REG レジスタの COLD_RESET_ISSUED ビットが設定されます。このビットの読み出しにより、コールドリセットが実行されたかどうかをホストが追跡できます。このビットに基づいて nINT ピンはトグルしません。W1C を書き込むと、このビットがクリアされます。

WARM のリセット

ウォームリセットを要求すると、有効化されたすべてのレールはオンのままですが、ダイナミック電圧変化をサポートするレールの出力電圧はブート電圧にリセットされます。具体的には、次の構成がブート値にリセットされます。BUCK1_VSET、BUCK2_VSET、BUCK3_VSET、LDO1_VSET、LDO2_VSET その他のビットは、同じレジスタにある場合でも、現在の状態のままです。たとえば、ウォームリセット中、LDOx_LSW_CONFIG、BUCKx_BW_SEL、BUCKx_UV_THR_SEL、MFP_1_CONFIG レジスタビットはリセットされません。

注
シャットダウン故障とオフ要求は、リセット要求よりも優先されます。これらのいずれかと同時にリセット要求が発生した場合、デバイスは初期化状態に入り、起動するには新たにオン要求が必要になります。

7.3.15 レジスタ アクセス制御

意図しない変更を防止するため、デバイス レジスタへの書き込みアクセスは REG_LOCK レジスタにより制限されます。R/W のアクセスタイプを含むレジスタは、REG_LOCK によって保護されています。保護されたレジスタを変更のためにロック解除するには、REG_LOCK レジスタに 5Ah の REG_ACCESS_CMD を書き込む必要があります。変更が完了したら、REG_LOCK レジスタに 5Ah 以外の任意の値を書き込んで、保護されたレジスタをロックします。

表 7-7. REG_LOCK で保護されていない TPS65214 書き込み可能レジスタ

レジスタ・アドレス	レジスタ名
0x29	MFP_CTRL
0x34	USER_NVM_CMD_REG

7.3.16 I²C 互換インターフェイス

TPS65214 のデフォルト I²C1 7 ビットデバイス アドレスは 0x30（バイナリでは 0b0110000）に設定されていますが、必要に応じて変更できます。

I²C 互換同期シリアル インターフェイスにより、デバイスの構成可能な機能およびレジスタにアクセスできます。このプロトコルは、2 線式インターフェイスにより、バスに接続されたデバイス間の双方向通信を実現します。2 つのインターフェイスラインは、シリアル データ ライン（SDA）とシリアル クロック ライン（SCL）です。バス上の各デバイスは、固有のアドレスを割り当てられ、シリアル クロック SCL を生成するか受信するかに応じて、コントローラまたはターゲットとして動作します。SCL および SDA ラインは、それぞれライン上にプルアップ抵抗を配置して、バスがアイドル状態でも HIGH に維持する必要があります。VIO が 3.3V または 1.8V の場合、TPS65214 はスタンダード モード（100kHz）、ファスト モード（400kHz）、ファスト モード+（1MHz）をサポートします。

注意
以下の時間帯では、一部またはすべてのレジスタに対する I2C トランザクションが有効でない場合があります。

- t_{NVM_LOAD} の間、初期化状態に入る際、すべてのレジスタに対して

- 60us の間、WARM リセットを開始する際、NVM 対応のレジスタに対して

- 80us の間、初期化状態への遷移を開始する際、NVM 非対応のレジスタに対して

NVM でバックアップされたレジスタの詳細については セクション 8 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.3.16.1 データの有効性

SDA ラインのデータは、クロック信号（SCL）の HIGH 期間中は安定している必要があります。言い換えれば、データ ラインの状態は、クロック信号が LOW のときにしか変更できません。

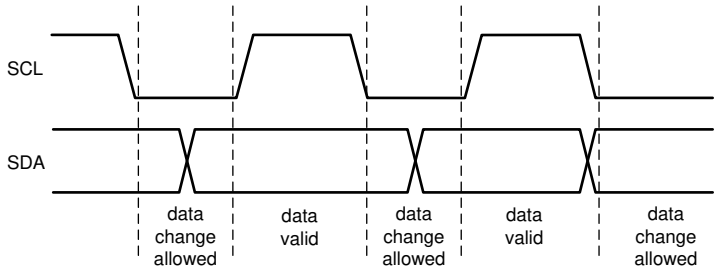


図 7-8. データ有効性を示す図

7.3.16.2 START 条件と STOP 条件

このデバイスは、I²C 互換のシリアル インターフェイス経由で制御されます。START 条件と STOP 条件により、I²C セッションの開始と終了を規定します。START 条件は、SCL ラインが HIGH の間に SDA が HIGH から LOW へ移行することと定義されています。STOP 条件は、SCL ラインが HIGH の間に SDA が LOW から HIGH へ移行することと定義されています。I²C コントローラは常に START 条件と STOP 条件を生成します。

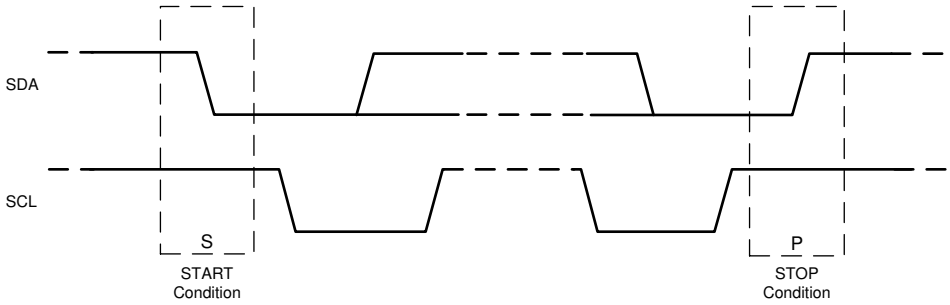


図 7-9. 開始と停止のシーケンシング

I²C バスは、START 条件の後はビジー状態とみなされ、STOP 条件の後はフリーとみなされます。I²C コントローラ デバイスは、データ転送中に REPEAT-START 条件を生成できます。START 条件と REPEAT-START 条件は、機能的には同じです。図 7-10 は、I²C 互換バスにおける SDA と SCL の信号タイミングを示しています。タイミング値については*仕様*のセクションを参照してください。

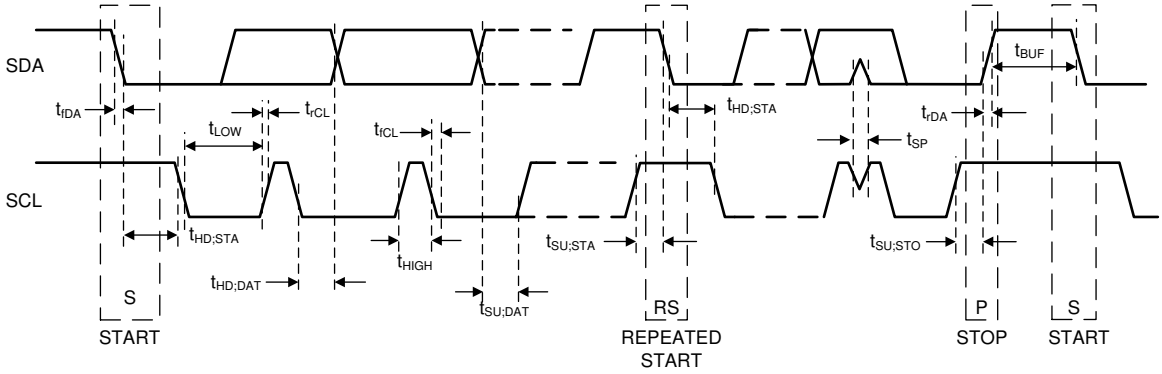


図 7-10. I²C 互換タイミング

7.3.16.3 データの転送

SDA ライン上の各バイトは 8 ビット長にする必要があり、最上位ビット（MSB）が最初に転送されます。データの各バイトには、アクノリッジ・ビットが続きます。アクノリッジ関連のクロック パルスはコントローラ デバイスにより生成されます。アクノリッジ クロック パルスの間に、コントローラ デバイスは SDA ライン（HIGH）を解放します。デバイスは、9 回目のクロック パルスの間に SDA ラインをプルダウンして、アクノリッジを通知します。このデバイスは、各バイトが受信された後、アクノリッジを生成します。

*各バイトの後というアクノリッジ*の規則には、例外が 1 つあります。コントローラ デバイスがレシーバのときには、フォロワーからクロックされた最後のバイトに否定応答すること（*ネガティブ アクノリッジ*）により、トランスミッタにデータの終了を通知する必要があります。この *ネガティブ アクノリッジ*には、アクノリッジ クロック パルス（コントローラ デバイスが生成）も含まれますが、SDA ラインはプルダウンされません。

START 条件の後、バス コントローラ デバイスはチップ アドレスを送信します。このアドレスは 7 ビット長で、8 番目のビットがデータ方向ビット（読み取りまたは書き込み）として続きます。8 番目のビットについては、0 は書き込み動作、1 は読み取り動作を示します。2 番目のバイトで、データが書き込まれるレジスタを選択します。3 番目のバイトには、選択したレジスタに書き込むデータが含まれます。図 7-11 は、デバイス アドレス 110000-Bin = 60Hex のビットフォーマットの例を示します。

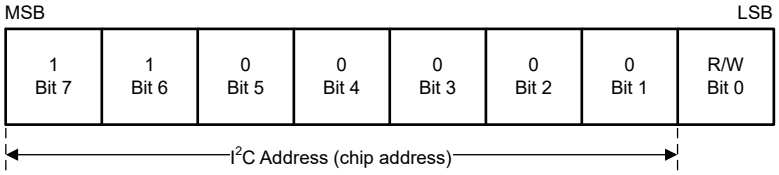


図 7-11. デバイス アドレス例

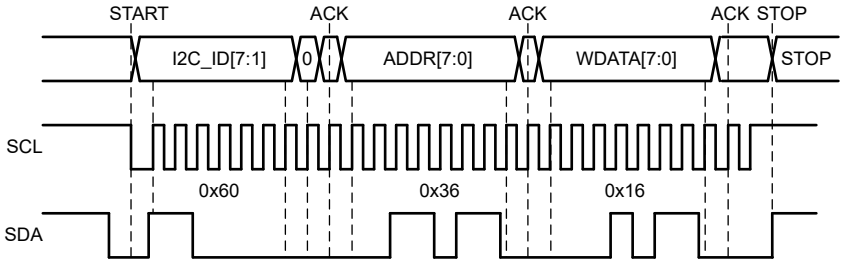
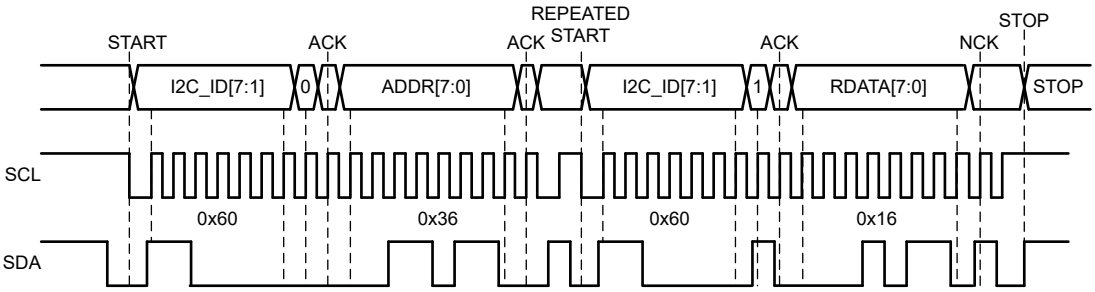


図 7-12. I²C 書き込みサイクル

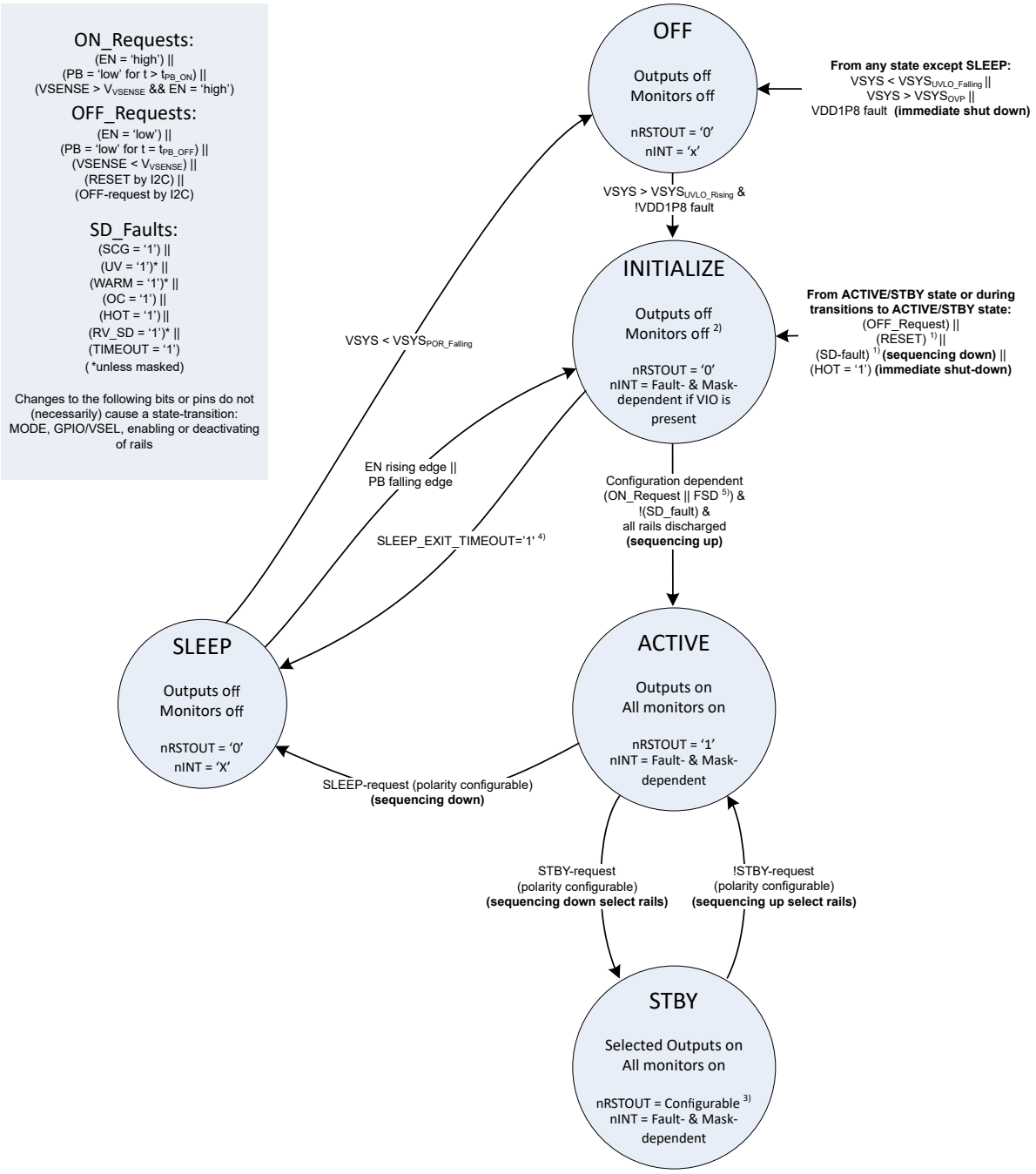


READ 機能を実行するためには、上記のように、READ 機能に先立って WRITE 機能を実行する必要があります。

図 7-13. I²C 読み取りサイクル

Copyright © 2025 Texas Instruments Incorporated

7.4 デバイスの機能モード



1) In case of a RESET or a SD-fault, the device transitions from INITIALIZE state to the ACTIVE state without a new Push-button-ON_Request. In EN or VSENSE configuration, the ON-request must still be valid to transition to ACTIVE state.

2) If INITIALIZE state was entered due to a Thermal-Shut-Down, the temperature monitors remain active until the temperature on all sensors fell below T_{WARM} threshold. Thermal-Shut-Down causes immediate shut-down, no sequencing down.

3) State of nRSTOUT driver is determined by nRSTOUT_STBY_CONFIG bit.

4) SLEEP can only be entered from INITIALIZE via SLEEP_EXIT_TIMEOUT.

5) First Supply Detection (FSD) only applicable when VSYS is applied.

図 7-14. 状態遷移図

7.4.1 動作モード

7.4.1.1 OFF 状態

オフ状態では、PMIC に電力が十分に供給されません。内部ロジックも外部レールも使用できません。VSYS が $VSYS_{UVLO_RISING}$ 電圧を上回り、1.8V 内部レール（VDD1P8）がレギュレーション状態にある場合、デバイスは初期化状態に入ります。

7.4.1.2 初期化状態

初期化状態では、EN/PB/VSENSE 入力を監視するいくつかの回路を除き、デバイスは完全にシャットダウンされます。初期化状態に移行するたびに、PMIC はメモリを読み出し、レジスタを NVM のデフォルト値にロードします。I^2C 通信インターフェイスはオフになります。

温度センサのいずれかが T_{WARM_Rising} スレッショルドを上回り、WARM 検出がマスクされていない場合、初期化状態への移行が制御されます。

NVM のロード時間は、t_{NVM_LOAD} により与えられます。パワーアップ シーケンシングは NVM のロードが完了した後、。

オフ状態から初期化状態に移行した場合、POWER_UP_STATUS_REG レジスタの POWER_UP_FROM_OFF ビットが設定され、write-1-clear が発行されるまで設定されたままになります。このビットの読み出しにより、オフ状態から初期化状態に移行したのか、シャットダウン故障またはオフ要求のために移行したのかを判定できます。

初期化状態では、nINT ピンのステータスは、故障の有無とそのマスキングにより決まります。障害が発生しておらず、またはそれらの nINT に対する反応がマスクされている場合、プルアップ用の VIO 電圧 が利用可能であれば、nINT ピン は High になります。

初期化状態からアクティブ状態に遷移するには、次のいずれかのオン要求が発生する必要があります。

- EN 入力が「High」になること（EN/PB/VSENSE が「EN」または「VSENSE」として構成されている場合）
- PB 入力が少なくとも $t_{PB_ON_SLOW}$、それぞれ $t_{PB_ON_FAST}$ 以上の時間、「Low」になること（EN/PB/VSENSE が「PB」として構成されている場合）

注

DISCHARGE_CONFIG レジスタは、アクティブまたはスタンバイ状態から初期化状態に入る際の RESET から意図的に除外されます。オフ状態から初期化状態に移行すると、NVM の内容がロードされます。電源投入後に放電構成が変更された場合、初期化状態がオフ状態から移行したのか、アクティブまたはスタンバイ状態から移行したのかによって、異なる起動動作が発生する可能性があります。

7.4.1.3 アクティブ状態

アクティブ状態は、システムが稼働しているときの通常の動作モードです。すべての有効な降圧コンバータと LDO は動作し、I2C インターフェイスにより制御できます。アクティブ状態は、STBY ピンを high にデアサートするか、または I2C コマンドによって、スタンバイ状態から直接入力することもできます。詳しくは、STBY 状態 を参照してください。スタンバイ状態に遷移するには、STBY ピンを強制的に変更するか、MFP_CTRL レジスタの STBY_I2C_STBY への I2C コマンドを発行する必要があります。

初期化状態に遷移するには、次の OFF_Requests のいずれかが発生する必要があります。

- EN 入力は「low」（EN/PB/VSENSE が「EN」または「VSENSE」として構成されている場合）
- PB 入力は少なくとも t_{PB_OFF} の間、「LOW」にプルされます（EN/PB/VSENSE が「PB」として構成されている場合）
- I2C のオフ要求が発行されます

アクティブ状態の間にシャットダウン故障（SD_Fault）が発生すると、TPS65214 アクティブ出力をシーケンスダウンして、初期化状態に遷移します。デバイスは、新しいプッシュボタンオン要求なしにアクティブ状態に遷移します。EN または VSENSE の構成では、アクティブ状態に遷移するために、オン要求がまだ有効である必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.4.1.4 STBY 状態

STBY 状態は、システムのスタンバイをサポートするための低消費電力モードです。このモードは、MODE/STBY ピンが「STBY」として設定されている場合、または MFP_CTRL レジスタの STBY_I2C_CTRL への I2C コマンドによって遷移できます。通常、この状態では SoC に必要なレールを除き、大半のパワー レールがオフになります。スタンバイ状態でどのレールをパワーダウンするかは、STBY_1_CONFIG および STBY_2_CONFIG レジスタで設定できます。

モニタリング機能はすべて使用できます。低電圧 (UV)、GND 短絡 (SCG)、過電流 (OC) 検出、過熱警告 (WARM) とサーマル シャットダウン (TSD/HOT) はアクティブのままです。

STBY がアサート解除された場合、または I2C コマンドを受信した場合（VIO 電源がアクティブのままの場合）、デバイスはアクティブ状態に移行します。スタンバイ状態の開始および終了シーケンスは、それぞれパワーダウンおよびパワーアップ時と同じです。スタンバイでオンのままのレールはスキップされますが、それぞれのスロットは実行されます。

> **注意**
> デバイスは、スタンバイ状態に遷移する前にアクティブ状態に移行する必要があります。

> **注意**
> アクティブ状態で有効になっていたレールのみが、スタンバイ状態でも有効のまま維持されます。非アクティブ化されたレールは、スタンバイ状態ではオンにできません。スタンバイ状態での動作には、LDOx_EN / BUCKx_EN と LDOx_STBY_EN/BUCKx_STBY_EN の AND 条件の組み合わせが必要です。

> **注意**
> 進行中のシーケンスに関連するレジスタを I2C コマンドで変更しないでください！
>
> 初期化状態への遷移を開始した後、NVM 以外のビットには約 80us の間アクセスできません。

7.4.1.5 SLEEP 状態

スリープ状態は、消費電力を最小限に抑えるための超低消費電力動作モードです。STBY_SLEEP_CONFIG ビットを設定した後、「STBY」として構成されている場合は、MODE/STBY ピンによって、または MFP_CTRL レジスタの STBY_I2C_CTRL への I2C コマンドにより、スリープ モードに移行できます。この状態では、すべてのパワー レールと、全モニタを含む大半の機能ブロックがオフになります。唯一アクティブな I/O は EN/PB/VSENSE で、スリープから直接初期化に遷移するには、EN または PB として構成する必要があります。EN/PB/VSENSE が VSENSE として構成されている場合、デバイスはオフ状態に移行することでのみスリープ状態を終了できます。

「EN_PB_VSENSE_CONFIG」によって EN/PB/VSENSE が EN または PB として構成されている場合、デバイスは EN の立ち上がりエッジまたは PB の立ち下がりエッジの検出と、関連するデグリッチ（$t_{DEGL_ANALOG_EN}$ の後、$t_{OFF_TO_INIT}$）時に、スリープ状態から初期化状態に遷移します。PMIC は NVM の内容を読み出し、NVM デフォルト値をレジスタにロードします。その後、PMIC は $t_{EN_PB_WAKEUP}$ と関連するデグリッチが経過するまで待機します。タイマが経過した後、POWER_UP_STATUS_REG レジスタの POWER_UP_FROM_EN_PB_VSENSE ビットが設定され、デバイスはアクティブ状態に遷移し、他の故障が存在しない場合、パワーアップ シーケンスを開始します。EN/PB/VSENSE ピンの状態が変化し、$t_{EN_PB_WAKEUP}$ が経過する前に関連するデグリッチ（$t_{DEGL_EN_RISE_Fall}$ または $t_{DEGL_PB_RISE}$）を超えた場合、PB_EN_SLEEP_EXIT_TIMEOUT が検出され、デバイスはスリープ状態に移行します。

スリープ状態へのシーケンスは、パワーダウン シーケンスと同じです。詳細については、図 7-15 を参照してください。

> **注意**
> デバイスは、アクティブ状態（「STBY」または STBY_I2C_CTRL）または初期化状態（SLEEP_EXIT_TIMEOUT）からスリープ状態にのみ移行できます。

注意

「EN_PB_VSENSE_CONFIG」設定は、動作中に変更できます。ウェークアップ検出では、デバイスはスリープ状態に入ったときに「EN_PB_VSENSE_CONFIG」設定を参照します。

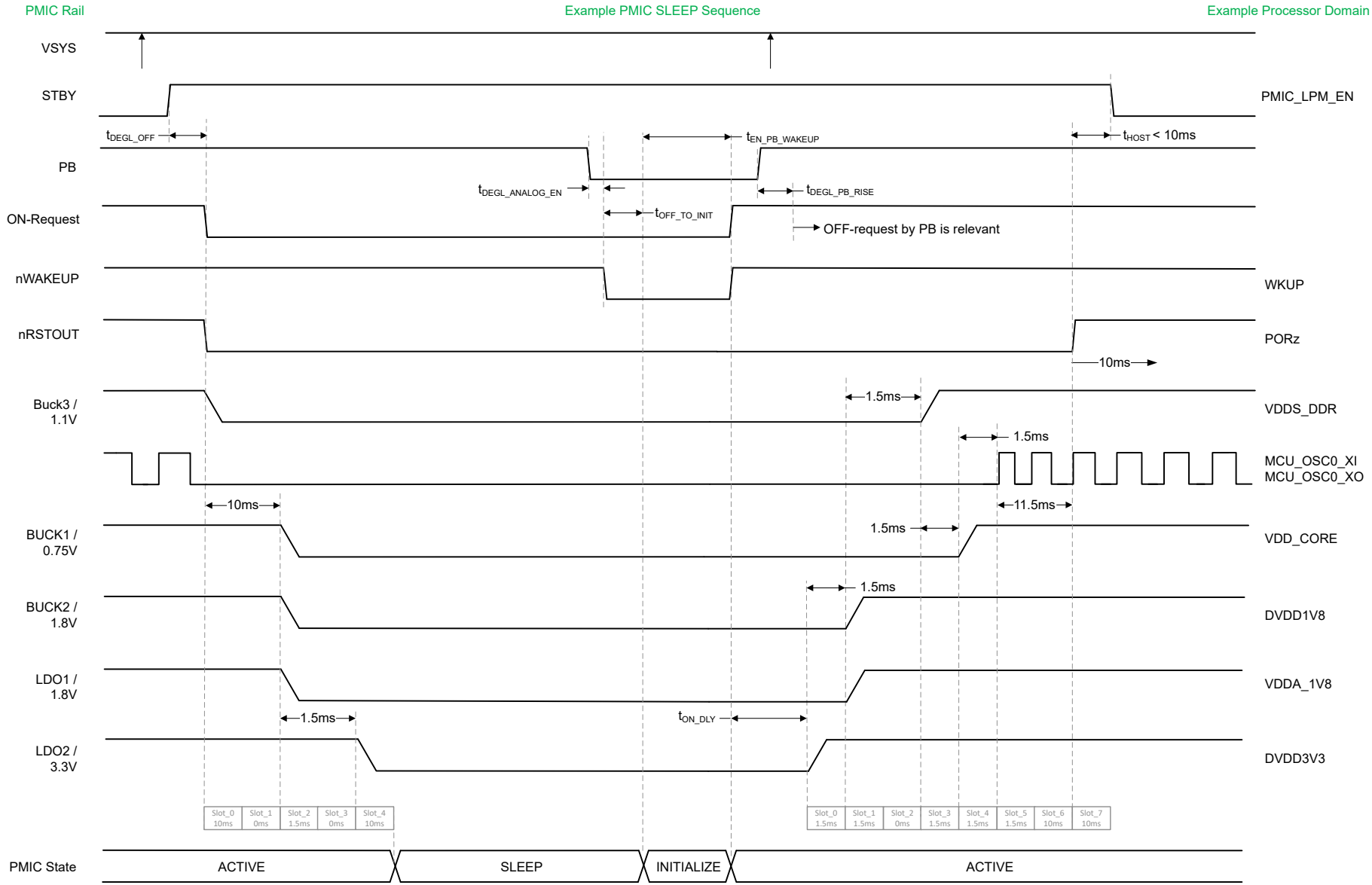
注意

進行中のシーケンスに関連するレジスタを I2C コマンドで変更しないでください！

初期化状態への遷移を開始した後、NVM 以外のビットには約 80us の間アクセスできません。

Copyright © 2025 Texas Instruments Incorporated

図 7-15. SLEEP シーケンシング（例）



7.4.1.6 フォルト処理

TPS65214 は、さまざまな故障検出機能を備えています。デフォルトでは、すべての故障検出によりシーケンシングされたシャットダウンが実行されます。一部の故障はマスク可能であり、マスクされた故障に対する動作は構成可能です。

電源電圧の監視

本デバイスは、電源電圧（VSYS）および内部電源電圧（VDD1P8）に関して、以下の故障検出機能を提供します。これらの故障はすべてマスク不可です。

- VSYS の低電圧、オフ状態に遷移するか、起動を抑制
- VSYS の過電圧保護、オフ状態に遷移します
- 内部 1.8V 電源（VDD1P8）の低電圧または過電圧、オフ状態に遷移するか、起動を抑制。

レギュレータ出力の監視

TPS65214 は、降圧コンバータおよび LDO 出力に対して、以下の故障検出機能を提供します。

- 低電圧検出（UV）
- 正電流および（降圧コンバータの場合）負電流制限に基づく過電流検出（OC）
- GND 短絡（SCG）検出
- 温度警告（WARM）および熱シャットダウン（TSD/HOT）
- 残留電圧（RV）および残留電圧によるシャットダウン（RV_SD）
- タイムアウト（TO）

SCG、OC、HOT、、TO はマスクできません。これらのいずれかが発生すると、デバイスはパワーダウンします。正電流制限と負電流制限は、レギュレータごとに同じマスクビットを共有します。

UV、RV、および WARM に対する反応は構成可能です。マスクされていない場合、故障が発生するとシーケンシングされたシャットダウンが実行されます。UV、RV、WARM は、それぞれ INT_MASK_BUCKS、INT_MASK_LDOS、INT_MASK_WARM レジスタにおいて、レギュレータごとに個別にマスク可能です。マスクされた故障が発生した場合、状態遷移は発生しません。ビットがセットされるかどうか、および nINT が Low にプルダウンされるかどうかは、MASK_CONFIG レジスタ内の MASK_EFFECT ビットによってグローバルに設定できます。正電流制限と負電流制限は、レギュレータごとに同じマスクビットを共有します。

- 00b =状態変更なし、nINT 応答なし、ビットセットなし
- 01b =状態変更なし、nINT 応答なし、ビットセット
- 10b =状態変更なし、nINT 応答、ビットセット（11b と同じ）
- 11b =状態変更なし、nINT 応答、ビットセット（10b と同じ）

シャットダウン条件に対応する故障が発生した場合、故障ビットは I2C を介して W1C（write-one-clear）操作が実行されるまでアサートされたままとなります（故障がすでに解消されていることが前提です）。シャットダウン故障が発生した場合、新たにオン要求を行う必要はありません。EN/VSENSE が High のままで、再起動にプッシュボタンの押下が必要ない限り、故障が解消されるとデバイスは自動的に電源投入シーケンスを実行します。

シャットダウン条件ではない故障（例えば故障がマスクされている場合など）については、初期化状態へ移行するとビットがクリアされます。

熱警告およびシャットダウン

熱スレッショルドには過熱警告（WARM）とサーマル シャットダウン（TSD/HOT） の 2 種類があります。

過熱警告、WARM スレッショルド

温度が T_{WARM_Rising} スレッショルドを超えると、SENSOR_x_WARM ビットが設定され、PMIC シーケンスが停止します（マスクされている場合を除く）。温度が $T_{WARM_Falling}$ スレッショルドを下回ると、新しい Push-button-ON_Request なしで、デバイスが再び起動します。EN または VSENSE の構成では、アクティブ状態に遷移するために、オン要求がまだ有効である必要があります。

Copyright © 2025 Texas Instruments Incorporated

温度が T_{WARM_Rising} スレッショルドを超えても、SENSOR_x_WARM_MASK ビットが設定されている場合、PMIC はアクティブ状態のままです。故障報告は、MASK_EFFECT ビット の設定に従って実行されます。プロセッサは、電源を順次オフにするか、実行中のアプリケーションを制限して電力消費を抑えることで、可能な限りサーマル シャットダウンの発生を回避する判断を下します。

サーマル シャットダウン、HOT スレッショルド

温度が T_{HOT_Rising} スレッショルドを超えると、SENSOR_x_HOT ビットが設定され、PMIC はすべてのレールの電源を直ちにオフにします。このパワーダウンは同時に行われ、シーケンス化されません。

- すべてのセンサが WARM 検出用にマスクされている（すべての SENSOR_x_WARM_MASK ビットが設定されている）場合、温度が $T_{HOT_Falling}$ スレッショルドを下回ると、有効なオン要求が存在する場合、PMIC は電源をバックアップします。
- いずれかのセンサが WARM 検出用にマスクされていない場合、温度が $T_{WARM_Falling}$ スレッショルドを下回ると、新しい Push-button-ON_Request なしで、PMIC が電源をバックアップします。EN または VSENSE の構成では、アクティブ状態に遷移するために、オン要求がまだ有効である必要があります。

残留電圧

シーケンス中であるか、I2C コマンドによるものであるかに関わらず、レールが有効化される前に、各パワー レールに対して残留電圧チェックが実行されます。RV 故障の処理は、故障が発生したときの状況によって異なります。残残留電圧の点検を例示する簡略化した状態図は 図 7-16 に記載されています。

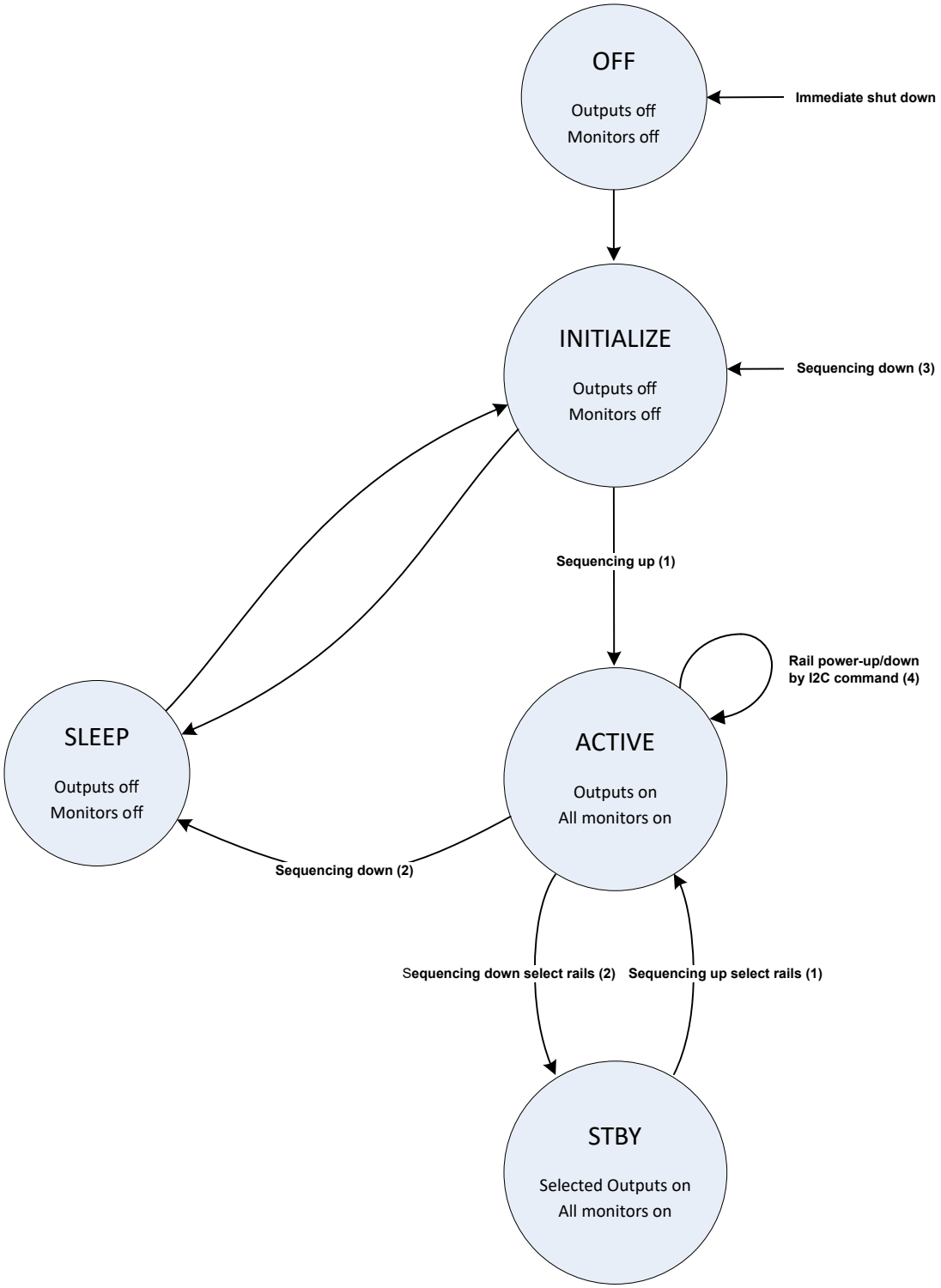


図 7-16. 残留電圧の点検

1. シーケンスアップ時に残留電圧がある場合、デバイスは INT_SOURCE レジスタ内の INT_TIMEOUT_RV_SD_IS_SET ビット、および LDOx_RV_SD または BUCKx_RV_SD ビット、および INT_TIMEOUT_RV_SD レジスタ内の TIMEOUT ビットをそれぞれ設定し、スロットの終了時にパワーダウン シーケンスを開始します。

Copyright © 2025 Texas Instruments Incorporated

2. スタンバイまたはスリープ状態へシーケンスダウンする際に残留電圧がある場合、デバイスは後続のレールのパワーダウンを、パワーダウン スロット時間の最長 8 倍まで遅延させます。それでも残留電圧が残っている場合、デバイスは以下のビットを設定し、パワーダウン シーケンスを開始します。
   a. レジスタ INT_SOURCE の INT_TIMEOUT_RV_SD_IS_SET ビット
   b. レジスタ INT_TIMEOUT_RV_SD の各 LDOx_RV_SD または BUCKx_RV_SD ビット
   c. レジスタ INT_TIMEOUT_RV_SD の TIMEOUT ビット
3. 初期化状態にシーケンスダウンする際に残留電圧がある場合、ステータス ビットは設定されず、パワーダウン シーケンスはパワーダウン スロットの時間の 8 倍後に続行されます。
4. I2C コマンドを介したレールのパワーアップまたはパワーダウン中に残留電圧がある場合、デバイスは各 LDOx_RV または BUCKx_RV ビットを設定します。MASK_INT_FOR_RV ビットが設定されていない場合（RV がマスクされていない場合）、デバイスは nINT ピンを Low に引き下げます。

注
レールのアクティブ放電が無効化される場合、スロット持続時間内にレールの放電が失敗しても、次のレールの電源はオフになりません。また、デバイスはパワーダウン中に RV ビット や RV_SD ビット を設定しません。

シーケンスアップまたはダウン時に残留電圧が検出された場合のシャットダウン故障反応は、GENERAL_CONFIG レジスタ内の BYPASS_RV_FOR_RAIL_ENABLE ビットでマスクできます。I2C コマンドによる残留電圧検出時の nINT ピンの反応は、MASK_CONFIG レジスタ内の MASK_INT_FOR_RV ビットでマスクできます。

残留電圧がパワーアップ スロットの時間内、またはパワーダウン スロットの時間の 8 倍後に放電できない場合、タイムアウトが発生します。デバイスは INT_TIMEOUT_RV_SD レジスタ内の TIMEOUT ビットを設定します。

リトライ カウンタ

検出されたシャットダウン故障ごとに、リトライ カウンタ（POWER_UP_STATUS_REG レジスタ内の RETRY_COUNT）がインクリメントされます。デバイスはパワーアップを 2 回リトライします。両方が失敗した場合、リトライ カウンタをリセットするために VSYS の電源サイクルが必要です。電源投入が成功すると、リトライ カウンタもリセットされます。マスクされたフォルトではシャットダウンは発生せず、リトライ カウンタのインクリメントも行いません。

リトライ カウンタは、MFP_2_CONFIG レジスタ内の MASK_RETRY_COUNT_ON_FIRST_PU ビットを介して、最初のパワーアップ時に無効化できます。設定すると、デバイスは最初のパワーアップ シーケンスが完了するまで無限にリトライします。

また、リトライ カウンタは INT_MASK_UV レジスタ内の MASK_RETRY_COUNT ビットを介して永久に無効化できます。設定すると、デバイスはシャットダウン故障後に無限にリトライします。

故障反応の概要

以下の表には、マスクされていない場合のアクティブ状態とスタンバイ状態における故障の動作と、故障がマスク可能かについての概要が記載されています。

注意
故障のマスキングはデバイスやシステムにリスクをもたらす可能性があり、このリスクには出力が予備バイアスされて起動することが含まれますが、これに限定されません。

テキサス・インスツルメンツでは、同じレールで OC 検出 と UV 検出の両方をマスクすることを推奨していません。

表 7-8. 割り込みと故障への対応

ブロック	イベント	状態遷移（マスクされていない場合）	マスク可能	割り込みステータ スビット（**MASK_EFFECT** に応じて設定）	割り込みステータス ビットのクリア
PB/EN/VSENSE	プッシュボタンの立ち上がりエッジ	状態遷移はありません	なし	PB_RISING_EDGE_DETECTED	W1C、初期化状態、または VSYS UVLO
PB/EN/VSENSE	プッシュボタンの立ち下がりエッジ	状態遷移はありません	なし	PB_FALLING_EDGE_DETECTED	W1C、初期化状態、または VSYS UVLO
PB/EN/VSENSE	スリープ終了タイムアウト	スリープ状態への遷移	なし	PB_EN_SLEEP_EXIT_TIMEOUT	W1C また は VSYS UVLO
降圧と LDO	残留電圧- RV	状態遷移はありません	あり	*_RV	W1C、初期化状態、または VSYS UVLO
降圧と LDO	残留電圧 - シャットダウン故障 - RV_SD(1)	状態を初期化するためのシャットダウンシーケンス	あり	*_RV_SD	W1C また は VSYS UVLO
降圧と LDO	タイムアウト - TO (1)	状態を初期化するためのシャットダウンシーケンス	一部（MASK_UV）	TIMEOUT	W1C また は VSYS UVLO
降圧と LDO	低電圧 - UV	状態を初期化するためのシャットダウンシーケンス	あり	*_UV	W1C、初期化状態（マスクされている場合）、または VSYS UVLO
降圧と LDO	過電流 - OC	状態を初期化するためのシャットダウンシーケンス	なし	*_OC	W1C また は VSYS UVLO
降圧と LDO	GND 短絡 - SCG	状態を初期化するためのシャットダウンシーケンス	なし	*_SCG	W1C また は VSYS UVLO
降圧と LDO	温度警告 - WARM	状態を初期化するためのシャットダウンシーケンス	あり	SENSOR_x_WARM	W1C、初期化状態（マスクされている場合）、または VSYS UVLO
降圧と LDO	温度シャットダウン - HOT	初期化状態への即時シャットダウン（シーケンスなし）	なし	SENSOR_x_HOT	W1C また は VSYS UVLO
VSYS	低電圧 - UV	オフ状態への即時シャットダウン（シーケンスなし）	なし	なし	該当なし
VSYS	過電圧保護 - OVP	オフ状態への即時シャットダウン（シーケンスなし）	なし	なし	該当なし
VDD1P8	低電圧または過電圧 - UV または OV	オフ状態への即時シャットダウン（シーケンスなし）	なし	なし	該当なし

(1) RV_SD およびタイムアウト故障は、シーケンス中にのみ発生します

Copyright © 2025 Texas Instruments Incorporated

8 ユーザー レジスタ

レジスタ USER_GENERAL_NVM_STORAGE_REG（アドレス 27h）までのレジスタは NVM によってバックアップされています。リセット値は、注文可能な部品番号の構成に対応し、「X」で示されます。の注文可能な各部品番号については、技術参考書（TRM）を参照してください。

レジスタ MANUFACTURING_VER（28h）から SPARE_3（37h）は NVM によってバックアップされておらず、レジスタ マップに記載されている値にリセットされます。

レジスタ TI_DEV_ID（00h）、NVM_ID（01h）、MANUFACTURING_VER（28h）、FACTORY_CONFIG_2（41h）をユーザーが変更することはできません。

8.1 デバイスのレジスタ

表 8-1 に、デバイスのレジスタ用のメモリ マップト レジスタを示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-1. デバイスのレジスタ

オフセット	略称	レジスタ名	セクション
0h	TI_DEV_ID	デバイス ID	表示
1h	NVM_ID	NVM 構成 ID	表示
2h	ENABLE_CTRL	イネーブル/プッシュ ボタン/VSENSE 制御	表示
3h	REG_LOCK	ロック/ロック解除コマンド レジスタ	表示
4h	LDO1_VOUT_STBY	スタンバイでの LDO1 構成	表示
5h	LDO1_VOUT	LDO1 構成	表示
6h	LDO2_VOUT	LDO2 構成	表示
7h	LDO2_VOUT_STBY	スタンバイでの LDO2 構成	表示
8h	BUCK3_VOUT	Buck3 構成	表示
9h	BUCK2_VOUT	Buck2 構成	表示
Ah	BUCK1_VOUT	Buck1 構成	表示
Ch	LDO1_SEQUENCE_SLOT	LDO1 の電源オン/オフ スロット	表示
Dh	LDO2_SEQUENCE_SLOT	LDO2 の電源オン/オフ スロット	表示
Fh	BUCK3_SEQUENCE_SLOT	Buck3 の電源オン/オフ スロット	表示
10h	BUCK2_SEQUENCE_SLOT	Buck2 の電源オン/オフ スロット	表示
11h	BUCK1_SEQUENCE_SLOT	Buck1 の電源オン/オフ スロット	表示
12h	nRST_SEQUENCE_SLOT	nRSTOUT の電源オン/オフ スロット	表示
13h	GPIO_SEQUENCE_SLOT	GPIO の電源オン/オフスロット	表示
15h	GPO_SEQUENCE_SLOT	GPO の電源オン/オフスロット	表示
16h	POWER_UP_SLOT_DURATION_1	スロット 0～3 のパワーアップ時のスロット持続時間	表示
17h	POWER_UP_SLOT_DURATION_2	スロット 4～7 のパワーアップ時のスロット持続時間	表示
19h	BUCK3_VOUT_STBY	スタンバイでの Buck3 構成	表示
1Ah	POWER_DOWN_SLOT_DURATION_1	スロット 0～3 のパワーダウン時のスロット持続時間	表示
1Bh	POWER_DOWN_SLOT_DURATION_2	スロット 4～7 のパワーダウン時のスロット持続時間	表示
1Ch	BUCK2_VOUT_STBY	スタンバイでの Buck2 構成	表示
1Dh	BUCK1_VOUT_STBY	スタンバイでの Buck1 構成	表示
1Eh	GENERAL_CONFIG	LDO 低電圧で GPO 有効	表示
1Fh	MFP_1_CONFIG	マルチファンクションピン構成 1	表示
20h	MFP_2_CONFIG	マルチファンクションピン構成 2	表示
21h	STBY_1_CONFIG	スタンバイ構成 LDO および降圧	表示
22h	STBY_2_CONFIG	スタンバイ構成 GPIO および GPO	表示
23h	OC_DEGL_CONFIG	レールごとの過電流デグリッチ時間	表示
24h	INT_MASK_UV	低電圧フォールト マスキング	表示
25h	MASK_CONFIG	WARM マスキングとマスキング効果	表示
26h	I2C_ADDRESS_REG	I2C アドレス	表示
27h	USER_GENERAL_NVM_STORAGE_REG	ユーザーが構成可能なレジスタ（NVM バックアップ）	表示
28h	MANUFACTURING_VER	シリコン リビジョン（読み取り専用）	表示
29h	MFP_CTRL	リセット、スタンバイ、オフの I2C 制御	表示
2Ah	discharge_config	レールごとの放電構成	表示

Copyright © 2025 Texas Instruments Incorporated

表 8-1. デバイスのレジスタ (続き)

オフセット	略称	レジスタ名	セクション
2Bh	INT_SOURCE	割り込みソース	表示
2Dh	INT_LDO_1_2	LDO1 および LDO2 用 OC、UV、SCG	表示
2Eh	INT_BUCK_3	Buck3 用 OC、UV、SCG	表示
2Fh	INT_BUCK_1_2	Buck1 および Buck2 用 OC、UV、SCG	表示
30h	INT_SYSTEM	WARM および HOT フォルト フラグ	表示
31h	INT_RV	レールあたりの RV(残留電圧)	表示
32h	INT_TIMEOUT_RV_SD	シャットダウンを引き起こすレールあたりの RV(残留電圧)	表示
33h	INT_PB	プッシュボタンのステータスとエッジ検出	表示
34h	USER_NVM_CMD_REG	DIY -ユーザー　プログラマブル　コマンド	表示
35h	POWER_UP_STATUS_REG	パワーアップのステータスと状態	表示
36h	SPARE_2	補助レジスタ(非 NVM バックアップ)	表示
37h	SPARE_3	補助レジスタ(非 NVM バックアップ)	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. デバイスのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.1 TI_DEV_ID レジスタ（オフセット = 0h）[リセット = XXh]

TI_DEV_ID は 図 8-1 に表示され、表 8-3 で説明されています。

概略表に戻ります。

図 8-1. TI_DEV_ID レジスタ

7	6	5	4	3	2	1	0
TI_NVM_REV			TI_DEVICE_ID				
R/W-Xh			R/W-Xh				

表 8-3. TI_DEV_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	TI_NVM_REV	R/W	X	デバイス NVM リビジョン 注:このレジスタは、マイコンのみが書き込みできます。 特定の番号と関連構成については、『技術参考書』または『ユーザー・ガイド』を参照してください。 （NVM メモリからのデフォルト） 0h = V0 1h = V1.。
4-0	TI_DEVICE_ID	R/W	X	デバイス GPN 注:このレジスタは、マイコンのみが書き込みできます。 特定の番号と関連構成については、『技術参考書』または『ユーザー・ガイド』を参照してください。 （NVM メモリからのデフォルト）

Copyright © 2025 Texas Instruments Incorporated

8.1.2 NVM_ID レジスタ（オフセット = 1h）[リセット = XXh]

図 8-2 に NVM_ID を示し、表 8-4 に、その説明を示します。

概略表に戻ります。

図 8-2. NVM_ID レジスタ

7	6	5	4	3	2	1	0
TI_NVM_ID							
R/W-XXh							

表 8-4. NVM_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TI_NVM_ID	R/W	X	IC の NVM ID 注:このレジスタは、マイコンのみが書き込みできます。 特定の番号と関連構成については、『技術参考書』または『ユーザー・ガイド』を参照してください。 (NVM メモリからのデフォルト)

8.1.3 ENABLE_CTRL レジスタ（オフセット = 2h）[リセット = XXh]

ENABLE_CTRL は 図 8-3 に表示され、表 8-5 で説明されています。

概略表に戻ります。

図 8-3. ENABLE_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	LDO1_EN	LDO2_EN	予約済み	BUCK3_EN	BUCK2_EN	BUCK1_EN
R-0h	R-0h	R/W-Xh	R/W-Xh	R-0h	R/W-Xh	R/W-Xh	R/W-Xh

表 8-5. ENABLE_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	LDO1_EN	R/W	X	LDO1 レギュレータを有効にします（NVM メモリからのデフォルト） 0h = 非イネーブル 1h = イネーブル
4	LDO2_EN	R/W	X	LDO2 レギュレータを有効にします（NVM メモリからのデフォルト） 0h = 非イネーブル 1h = イネーブル
3	予約済み	R	0h	予約済み
2	BUCK3_EN	R/W	X	BUCK3 レギュレータを有効にします（NVM メモリからのデフォルト） 0h = 非イネーブル 1h = イネーブル
1	BUCK2_EN	R/W	X	BUCK2 レギュレータを有効にします（NVM メモリからのデフォルト） 0h = 非イネーブル 1h = イネーブル
0	BUCK1_EN	R/W	X	BUCK1 レギュレータを有効にします（NVM メモリからのデフォルト） 0h = 非イネーブル 1h = イネーブル

Copyright © 2025 Texas Instruments Incorporated

8.1.4 REG_LOCK レジスタ（オフセット = 3h）[リセット = 00h]

REG_LOCK は 図 8-4 に表示され、表 8-6 で説明されています。

概略表に戻ります。

図 8-4. REG_LOCK レジスタ

7	6	5	4	3	2	1	0
REG_ACCESS_CMD							
R-0h							

表 8-6. REG_LOCK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	REG_ACCESS_CMD	R	0h	このレジスタに書き込むことで、保護されたレジスタをロックまたはロック解除します。このレジスタの読み出し結果は「0h」です。許容されない書き込み (5Ah 以外) を行うと、保護されたレジスタがロックされます。 5Ah = 保護されたレジスタのロックを解除します

8.1.5 LDO1_VOUT_STBY レジスタ (オフセット = 4h) [リセット = XXh]

図 8-5 に、LDO1_VOUT_STBY を示し、表 8-7 に、その説明を示します。

概略表に戻ります。

図 8-5. LDO1_VOUT_STBY レジスタ

7	6	5	4	3	2	1	0
予約済み	LDO1_DVS_STBY	LDO1_VSET_STBY					
R-0h	R/W-Xh	R/W-Xh					

表 8-7. LDO1_VOUT_STBY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	LDO1_DVS_STBY	R/W	X	スタンバイモードでの LDO1 DVS 遷移 0h = スタンバイで DVS 遷移なし 1h = スタンバイで LDO1_VSET_STBY によって構成された出力電圧に DVS が遷移します

Copyright © 2025 Texas Instruments Incorporated

表 8-7. LDO1_VOUT_STBY レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	LDO1_VSET_STBY	R/W	X	スタンバイ時の LDO1 の電圧選択出力電圧範囲は、0.6V～3.3V です。 (NVM メモリからのデフォルト) 0h = 0.600 V 1h = 0.600 V 2h = 0.600 V 3h = 0.650 V 4h = 0.700 V 5h = 0.750 V 6h = 0.800 V 7h = 0.850 V 8h = 0.900 V 9h = 0.950 V Ah = 1.000V Bh = 1.050V Ch = 1.100V Dh = 1.150V Eh = 1.200V Fh = 1.250V 10h = 1.300 V 11h = 1.350 V 12h = 1.400 V 13h = 1.450 V 14h = 1.500 V 15h = 1.550 V 16h = 1.600 V 17h = 1.650 V 18h = 1.700 V 19h = 1.750 V 1Ah = 1.800 V 1Bh = 1.850 V 1Ch = 1.900 V 1Dh = 1.950 V 1Eh = 2.000 V 1Fh = 2.050 V 20h = 2.100 V 21h = 2.150 V 22h = 2.200 V 23h = 2.250 V 24h = 2.300 V 25h = 2.350 V 26h = 2.400 V 27h = 2.450 V 28h = 2.500 V 29h = 2.550 V 2Ah = 2.600 V 2Bh = 2.650 V 2Ch = 2.700 V 2Dh = 2.750 V 2Eh = 2.800 V 2Fh = 2.850 V 30h = 2.900 V 31h = 2.950 V 32h = 3.000 V 33h = 3.050 V 34h = 3.100 V 35h = 3.150 V 36h = 3.200 V 37h = 3.250 V 38h = 3.300 V 39h = 3.300 V 3Ah = 3.300 V 3Bh = 3.300 V 3Ch = 3.300 V 3Dh = 3.300 V 3Eh = 3.300 V

表 8-7. LDO1_VOUT_STBY レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Fh = 3.300 V

Copyright © 2025 Texas Instruments Incorporated

8.1.6 LDO1_VOUT レジスタ (オフセット = 5h) [リセット = XXh]

図 8-6 に、LDO1_VOUT を示し、表 8-8 に、その説明を示します。

概略表に戻ります。

図 8-6. LDO1_VOUT レジスタ

7	6	5	4	3	2	1	0
予約済み	LDO1_LSW_CONFIG	LDO1_VSET					
R-0h	R/W-Xh	R/W-Xh					

表 8-8. LDO1_VOUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	LDO1_LSW_CONFIG	R/W	X	LDO1 LDO または LSW モード注:レールがイネーブルでない場合のみ変更！(NVM メモリからのデフォルト) 0h = LDO モード 1h = LSW モード

表 8-8. LDO1_VOUT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	LDO1_VSET	R/W	X	LDO1 の電圧選択出力電圧範囲は、0.6V～3.3V です。(NVM メモリからのデフォルト) 0h = 0.600 V 1h = 0.600 V 2h = 0.600 V 3h = 0.650 V 4h = 0.700 V 5h = 0.750 V 6h = 0.800 V 7h = 0.850 V 8h = 0.900 V 9h = 0.950 V Ah = 1.000V Bh = 1.050V Ch = 1.100V Dh = 1.150V Eh = 1.200V Fh = 1.250V 10h = 1.300 V 11h = 1.350 V 12h = 1.400 V 13h = 1.450 V 14h = 1.500 V 15h = 1.550 V 16h = 1.600 V 17h = 1.650 V 18h = 1.700 V 19h = 1.750 V 1Ah = 1.800 V 1Bh = 1.850 V 1Ch = 1.900 V 1Dh = 1.950 V 1Eh = 2.000 V 1Fh = 2.050 V 20h = 2.100 V 21h = 2.150 V 22h = 2.200 V 23h = 2.250 V 24h = 2.300 V 25h = 2.350 V 26h = 2.400 V 27h = 2.450 V 28h = 2.500 V 29h = 2.550 V 2Ah = 2.600 V 2Bh = 2.650 V 2Ch = 2.700 V 2Dh = 2.750 V 2Eh = 2.800 V 2Fh = 2.850 V 30h = 2.900 V 31h = 2.950 V 32h = 3.000 V 33h = 3.050 V 34h = 3.100 V 35h = 3.150 V 36h = 3.200 V 37h = 3.250 V 38h = 3.300 V 39h = 3.300 V 3Ah = 3.300 V 3Bh = 3.300 V 3Ch = 3.300 V 3Dh = 3.300 V 3Eh = 3.300 V

Copyright © 2025 Texas Instruments Incorporated

表 8-8. LDO1_VOUT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Fh = 3.300 V

8.1.7 LDO2_VOUT レジスタ (オフセット = 6h) [リセット = XXh]

図 8-7 に、LDO2_VOUT を示し、表 8-9 に、その説明を示します。

概略表に戻ります。

図 8-7. LDO2_VOUT レジスタ

7	6	5	4	3	2	1	0
LDO2_LSW_CONFIG	予約済み	LDO2_VSET					
R/W-Xh	R-0h	R/W-Xh					

表 8-9. LDO2_VOUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	LDO2_LSW_CONFIG	R/W	X	LDO2 LDO または LSW モード注:レールがイネーブルでない場合のみ変更！(NVM メモリからのデフォルト) 0h = LDO モード 1h = LSW モード
6	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

表 8-9. LDO2_VOUT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	LDO2_VSET	R/W	X	LDO2 の電圧選択 LDO モードでの出力電圧範囲は、0.6V ～ 3.3V です。(NVM メモリからのデフォルト) 0h = 0.600 V 1h = 0.600 V 2h = 0.600 V 3h = 0.650 V 4h = 0.700 V 5h = 0.750 V 6h = 0.800 V 7h = 0.850 V 8h = 0.900 V 9h = 0.950 V Ah = 1.000V Bh = 1.050V Ch = 1.100V Dh = 1.150V Eh = 1.200V Fh = 1.250V 10h = 1.300 V 11h = 1.350 V 12h = 1.400 V 13h = 1.450 V 14h = 1.500 V 15h = 1.550 V 16h = 1.600 V 17h = 1.650 V 18h = 1.700 V 19h = 1.750 V 1Ah = 1.800 V 1Bh = 1.850 V 1Ch = 1.900 V 1Dh = 1.950 V 1Eh = 2.000 V 1Fh = 2.050 V 20h = 2.100 V 21h = 2.150 V 22h = 2.200 V 23h = 2.250 V 24h = 2.300 V 25h = 2.350 V 26h = 2.400 V 27h = 2.450 V 28h = 2.500 V 29h = 2.550 V 2Ah = 2.600 V 2Bh = 2.650 V 2Ch = 2.700 V 2Dh = 2.750 V 2Eh = 2.800 V 2Fh = 2.850 V 30h = 2.900 V 31h = 2.950 V 32h = 3.000 V 33h = 3.050 V 34h = 3.100 V 35h = 3.150 V 36h = 3.200 V 37h = 3.250 V 38h = 3.300 V 39h = 3.300 V 3Ah = 3.300 V 3Bh = 3.300 V 3Ch = 3.300 V 3Dh = 3.300 V 3Eh = 3.300 V

表 8-9. LDO2_VOUT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Fh = 3.300 V

Copyright © 2025 Texas Instruments Incorporated

8.1.8 LDO2_VOUT_STBY レジスタ (オフセット = 7h) [リセット = XXh]

図 8-8 に、LDO2_VOUT_STBY を示し、表 8-10 に、その説明を示します。

概略表に戻ります。

図 8-8. LDO2_VOUT_STBY レジスタ

7	6	5	4	3	2	1	0
予約済み	LDO2_DVS_STBY	LDO2_VSET_STBY					
R-0h	R/W-Xh	R/W-Xh					

表 8-10. LDO2_VOUT_STBY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	LDO2_DVS_STBY	R/W	X	スタンバイモードでの LDO2 DVS 遷移 0h = スタンバイで DVS 遷移なし 1h = スタンバイで LDO2_VSET_STBY によって構成された出力電圧に DVS が遷移します

表 8-10. LDO2_VOUT_STBY レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	LDO2_VSET_STBY	R/W	X	スタンバイ時の LDO2 の電圧選択出力電圧範囲は、0.6V～3.3V です。(NVM メモリからのデフォルト) 0h = 0.600 V 1h = 0.600 V 2h = 0.600 V 3h = 0.650 V 4h = 0.700 V 5h = 0.750 V 6h = 0.800 V 7h = 0.850 V 8h = 0.900 V 9h = 0.950 V Ah = 1.000V Bh = 1.050V Ch = 1.100V Dh = 1.150V Eh = 1.200V Fh = 1.250V 10h = 1.300 V 11h = 1.350 V 12h = 1.400 V 13h = 1.450 V 14h = 1.500 V 15h = 1.550 V 16h = 1.600 V 17h = 1.650 V 18h = 1.700 V 19h = 1.750 V 1Ah = 1.800 V 1Bh = 1.850 V 1Ch = 1.900 V 1Dh = 1.950 V 1Eh = 2.000 V 1Fh = 2.050 V 20h = 2.100 V 21h = 2.150 V 22h = 2.200 V 23h = 2.250 V 24h = 2.300 V 25h = 2.350 V 26h = 2.400 V 27h = 2.450 V 28h = 2.500 V 29h = 2.550 V 2Ah = 2.600 V 2Bh = 2.650 V 2Ch = 2.700 V 2Dh = 2.750 V 2Eh = 2.800 V 2Fh = 2.850 V 30h = 2.900 V 31h = 2.950 V 32h = 3.000 V 33h = 3.050 V 34h = 3.100 V 35h = 3.150 V 36h = 3.200 V 37h = 3.250 V 38h = 3.300 V 39h = 3.300 V 3Ah = 3.300 V 3Bh = 3.300 V 3Ch = 3.300 V 3Dh = 3.300 V 3Eh = 3.300 V

Copyright © 2025 Texas Instruments Incorporated

表 8-10. LDO2_VOUT_STBY レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Fh = 3.300 V

8.1.9 BUCK3_VOUT レジスタ (オフセット = 8h) [リセット = XXh]

図 8-9 に、BUCK3_VOUT を示し、表 8-11 に、その説明を示します。

概略表に戻ります。

図 8-9. BUCK3_VOUT レジスタ

7	6	5	4	3	2	1	0
BUCK3_BW_SEL	BUCK3_UV_THR_SEL	BUCK3_VSET					
R/W-Xh	R/W-Xh	R/W-Xh					

表 8-11. BUCK3_VOUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BUCK3_BW_SEL	R/W	X	BUCK3 帯域幅の選択注:レールがイネーブルでない場合のみ変更！(NVM メモリからのデフォルト) 0h = 低帯域幅 1h = 高帯域幅
6	BUCK3_UV_THR_SEL	R/W	X	BUCK3 の UV スレッショルドの選択 (NVM メモリからのデフォルト) 0h = -5% の UV 検出レベル 1h = -10% の UV 検出レベル

Copyright © 2025 Texas Instruments Incorporated

表 8-11. BUCK3_VOUT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	BUCK3_VSET	R/W	X	BUCK3 の電圧選択出力電圧範囲は、0.6V～3.4V です。(NVM メモリからのデフォルト) 0h = 0.600 V 1h = 0.625 V 2h = 0.650 V 3h = 0.675 V 4h = 0.700 V 5h = 0.725 V 6h = 0.750 V 7h = 0.775 V 8h = 0.800 V 9h = 0.825 V Ah = 0.850V Bh = 0.875V Ch = 0.900V Dh = 0.925V Eh = 0.950V Fh = 0.975V 10h = 1.000 V 11h = 1.025 V 12h = 1.050 V 13h = 1.075 V 14h = 1.100 V 15h = 1.125 V 16h = 1.150 V 17h = 1.175 V 18h = 1.200 V 19h = 1.225 V 1Ah = 1.250 V 1Bh = 1.275 V 1Ch = 1.300 V 1Dh = 1.325 V 1Eh = 1.350 V 1Fh = 1.375 V 20h = 1.400 V 21h = 1.500 V 22h = 1.600 V 23h = 1.700 V 24h = 1.800 V 25h = 1.900 V 26h = 2.000 V 27h = 2.100 V 28h = 2.200 V 29h = 2.300 V 2Ah = 2.400 V 2Bh = 2.500 V 2Ch = 2.600 V 2Dh = 2.700 V 2Eh = 2.800 V 2Fh = 2.900 V 30h = 3.000 V 31h = 3.100 V 32h = 3.200 V 33h = 3.300 V 34h = 3.400 V 35h = 3.400 V 36h = 3.400 V 37h = 3.400 V 38h = 3.400 V 39h = 3.400 V 3Ah = 3.400 V 3Bh = 3.400 V 3Ch = 3.400 V 3Dh = 3.400 V 3Eh = 3.400 V

表 8-11. BUCK3_VOUT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Fh = 3.400 V

Copyright © 2025 Texas Instruments Incorporated

8.1.10 BUCK2_VOUT レジスタ (オフセット = 9h) [リセット = XXh]

図 8-10 に、BUCK2_VOUT を示し、表 8-12 に、その説明を示します。

概略表に戻ります。

図 8-10. BUCK2_VOUT レジスタ

7	6	5	4	3	2	1	0
BUCK2_BW_SEL	BUCK2_UV_THR_SEL	BUCK2_VSET					
R/W-Xh	R/W-Xh	R/W-Xh					

表 8-12. BUCK2_VOUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BUCK2_BW_SEL	R/W	X	BUCK2 帯域幅の選択注:レールがイネーブルでない場合のみ変更！(NVM メモリからのデフォルト) 0h = 低帯域幅 1h = 高帯域幅
6	BUCK2_UV_THR_SEL	R/W	X	BUCK2 の UV スレッショルドの選択 (NVM メモリからのデフォルト) 0h = -5% の UV 検出レベル 1h = -10% の UV 検出レベル

表 8-12. BUCK2_VOUT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	BUCK2_VSET	R/W	X	BUCK2 の電圧選択出力電圧範囲は、0.6V～3.4V です。(NVM メモリからのデフォルト) 0h = 0.600 V 1h = 0.625 V 2h = 0.650 V 3h = 0.675 V 4h = 0.700 V 5h = 0.725 V 6h = 0.750 V 7h = 0.775 V 8h = 0.800 V 9h = 0.825 V Ah = 0.850V Bh = 0.875V Ch = 0.900V Dh = 0.925V Eh = 0.950V Fh = 0.975V 10h = 1.000 V 11h = 1.025 V 12h = 1.050 V 13h = 1.075 V 14h = 1.100 V 15h = 1.125 V 16h = 1.150 V 17h = 1.175 V 18h = 1.200 V 19h = 1.225 V 1Ah = 1.250 V 1Bh = 1.275 V 1Ch = 1.300 V 1Dh = 1.325 V 1Eh = 1.350 V 1Fh = 1.375 V 20h = 1.400 V 21h = 1.500 V 22h = 1.600 V 23h = 1.700 V 24h = 1.800 V 25h = 1.900 V 26h = 2.000 V 27h = 2.100 V 28h = 2.200 V 29h = 2.300 V 2Ah = 2.400 V 2Bh = 2.500 V 2Ch = 2.600 V 2Dh = 2.700 V 2Eh = 2.800 V 2Fh = 2.900 V 30h = 3.000 V 31h = 3.100 V 32h = 3.200 V 33h = 3.300 V 34h = 3.400 V 35h = 3.400 V 36h = 3.400 V 37h = 3.400 V 38h = 3.400 V 39h = 3.400 V 3Ah = 3.400 V 3Bh = 3.400 V 3Ch = 3.400 V 3Dh = 3.400 V 3Eh = 3.400 V

Copyright © 2025 Texas Instruments Incorporated

表 8-12. BUCK2_VOUT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Fh = 3.400 V

8.1.11 BUCK1_VOUT レジスタ（オフセット = Ah）[リセット = XXh]

図 8-11 に、BUCK1_VOUT を示し、表 8-13 に、その説明を示します。

概略表に戻ります。

図 8-11. BUCK1_VOUT レジスタ

7	6	5	4	3	2	1	0
BUCK1_BW_SEL	BUCK1_UV_THR_SEL	BUCK1_VSET					
R/W-Xh	R/W-Xh	R/W-Xh					

表 8-13. BUCK1_VOUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BUCK1_BW_SEL	R/W	X	BUCK1 帯域幅の選択注:レールがイネーブルでない場合のみ変更！(NVM メモリからのデフォルト) 0h = 低帯域幅 1h = 高帯域幅
6	BUCK1_UV_THR_SEL	R/W	X	BUCK1 の UV スレッショルドの選択(NVM メモリからのデフォルト) 0h = -5% の UV 検出レベル 1h = -10% の UV 検出レベル

Copyright © 2025 Texas Instruments Incorporated

表 8-13. BUCK1_VOUT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	BUCK1_VSET	R/W	X	BUCK1 の電圧選択出力電圧範囲は、0.6V～3.4V です。(NVM メモリからのデフォルト) 0h = 0.600 V 1h = 0.625 V 2h = 0.650 V 3h = 0.675 V 4h = 0.700 V 5h = 0.725 V 6h = 0.750 V 7h = 0.775 V 8h = 0.800 V 9h = 0.825 V Ah = 0.850V Bh = 0.875V Ch = 0.900V Dh = 0.925V Eh = 0.950V Fh = 0.975V 10h = 1.000 V 11h = 1.025 V 12h = 1.050 V 13h = 1.075 V 14h = 1.100 V 15h = 1.125 V 16h = 1.150 V 17h = 1.175 V 18h = 1.200 V 19h = 1.225 V 1Ah = 1.250 V 1Bh = 1.275 V 1Ch = 1.300 V 1Dh = 1.325 V 1Eh = 1.350 V 1Fh = 1.375 V 20h = 1.400 V 21h = 1.500 V 22h = 1.600 V 23h = 1.700 V 24h = 1.800 V 25h = 1.900 V 26h = 2.000 V 27h = 2.100 V 28h = 2.200 V 29h = 2.300 V 2Ah = 2.400 V 2Bh = 2.500 V 2Ch = 2.600 V 2Dh = 2.700 V 2Eh = 2.800 V 2Fh = 2.900 V 30h = 3.000 V 31h = 3.100 V 32h = 3.200 V 33h = 3.300 V 34h = 3.400 V 35h = 3.400 V 36h = 3.400 V 37h = 3.400 V 38h = 3.400 V 39h = 3.400 V 3Ah = 3.400 V 3Bh = 3.400 V 3Ch = 3.400 V 3Dh = 3.400 V 3Eh = 3.400 V

表 8-13. BUCK1_VOUT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Fh = 3.400 V

Copyright © 2025 Texas Instruments Incorporated

8.1.12 LDO1_SEQUENCE_SLOT レジスタ（オフセット = Ch）[リセット = XXh]

図 8-12 に、LDO1_SEQUENCE_SLOT を示し、表 8-14 に、その説明を示します。

概略表に戻ります。

図 8-12. LDO1_SEQUENCE_SLOT レジスタ

7	6	5	4	3	2	1	0
予約済み	LDO1_SEQUENCE_ON_SLOT			予約済み	LDO1_SEQUENCE_OFF_SLOT		
R-0h	R/W-Xh			R-0h	R/W-Xh		

表 8-14. LDO1_SEQUENCE_SLOT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-4	LDO1_SEQUENCE_ON_SLOT	R/W	X	パワーアップ時の LDO1 スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7
3	予約済み	R	0h	予約済み
2-0	LDO1_SEQUENCE_OFF_SLOT	R/W	X	パワーダウン時の LDO1 スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7

8.1.13 LDO2_SEQUENCE_SLOT レジスタ（オフセット = Dh）[リセット = XXh]

図 8-13 に、LDO2_SEQUENCE_SLOT を示し、表 8-15 に、その説明を示します。

概略表に戻ります。

図 8-13. LDO2_SEQUENCE_SLOT レジスタ

7	6	5	4	3	2	1	0
予約済み	LDO2_SEQUENCE_ON_SLOT			予約済み	LDO2_SEQUENCE_OFF_SLOT		
R-0h	R/W-Xh			R-0h	R/W-Xh		

表 8-15. LDO2_SEQUENCE_SLOT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-4	LDO2_SEQUENCE_ON_SLOT	R/W	X	パワーアップ時の LDO2 スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7
3	予約済み	R	0h	予約済み
2-0	LDO2_SEQUENCE_OFF_SLOT	R/W	X	パワーダウン時の LDO2 スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7

Copyright © 2025 Texas Instruments Incorporated

8.1.14 BUCK3_SEQUENCE_SLOT レジスタ（オフセット = Fh）[リセット = XXh]

図 8-14 に、BUCK3_SEQUENCE_SLOT を示し、表 8-16 に、その説明を示します。

概略表に戻ります。

図 8-14. BUCK3_SEQUENCE_SLOT レジスタ

7	6	5	4	3	2	1	0
予約済み	BUCK3_SEQUENCE_ON_SLOT			予約済み	BUCK3_SEQUENCE_OFF_SLOT		
R-0h	R/W-Xh			R-0h	R/W-Xh		

表 8-16. BUCK3_SEQUENCE_SLOT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-4	BUCK3_SEQUENCE_ON_SLOT	R/W	X	パワーアップ時の BUCK3 スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7
3	予約済み	R	0h	予約済み
2-0	BUCK3_SEQUENCE_OFF_SLOT	R/W	X	パワーダウン時の BUCK3 スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7

Copyright © 2025 Texas Instruments Incorporated

8.1.15 BUCK2_SEQUENCE_SLOT レジスタ (オフセット = 10h) [リセット = XXh]

図 8-15 に、BUCK2_SEQUENCE_SLOT を示し、表 8-17 に、その説明を示します。

概略表に戻ります。

図 8-15. BUCK2_SEQUENCE_SLOT レジスタ

7	6	5	4	3	2	1	0
予約済み	BUCK2_SEQUENCE_ON_SLOT			予約済み	BUCK2_SEQUENCE_OFF_SLOT		
R-0h	R/W-Xh			R-0h	R/W-Xh		

表 8-17. BUCK2_SEQUENCE_SLOT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-4	BUCK2_SEQUENCE_ON_SLOT	R/W	X	パワーアップ時の BUCK2 スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7
3	予約済み	R	0h	予約済み
2-0	BUCK2_SEQUENCE_OFF_SLOT	R/W	X	パワーダウン時の BUCK2 スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7

Copyright © 2025 Texas Instruments Incorporated

8.1.16 BUCK1_SEQUENCE_SLOT レジスタ (オフセット = 11h) [リセット = XXh]

図 8-16 に、BUCK1_SEQUENCE_SLOT を示し、表 8-18 に、その説明を示します。

概略表に戻ります。

図 8-16. BUCK1_SEQUENCE_SLOT レジスタ

7	6	5	4	3	2	1	0
予約済み	BUCK1_SEQUENCE_ON_SLOT			予約済み	BUCK1_SEQUENCE_OFF_SLOT		
R-0h	R/W-Xh			R-0h	R/W-Xh		

表 8-18. BUCK1_SEQUENCE_SLOT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-4	BUCK1_SEQUENCE_ON_SLOT	R/W	X	パワーアップ時の BUCK1 スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7
3	予約済み	R	0h	予約済み
2-0	BUCK1_SEQUENCE_OFF_SLOT	R/W	X	パワーダウン時の BUCK1 スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7

8.1.17 nRST_SEQUENCE_SLOT レジスタ（オフセット = 12h）[リセット = XXh]

図 8-17 に nRST_SEQUENCE_SLOT を示し、表 8-19 に、その説明を示します。

概略表に戻ります。

図 8-17. nRST_SEQUENCE_SLOT レジスタ

7	6	5	4	3	2	1	0
予約済み	nRST_SEQUENCE_ON_SLOT			予約済み	nRST_SEQUENCE_OFF_SLOT		
R-0h	R/W-Xh			R-0h	R/W-Xh		

表 8-19. nRST_SEQUENCE_SLOT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-4	nRST_SEQUENCE_ON_SLOT	R/W	X	パワーアップ時の nRST スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7
3	予約済み	R	0h	予約済み
2-0	nRST_SEQUENCE_OFF_SLOT	R/W	X	パワーダウン時の nRST スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7

Copyright © 2025 Texas Instruments Incorporated

8.1.18 GPIO_SEQUENCE_SLOT レジスタ（オフセット = 13h）[リセット = XXh]

図 8-18 に GPIO_SEQUENCE_SLOT を示し、表 8-20 に、その説明を示します。

概略表に戻ります。

図 8-18. GPIO_SEQUENCE_SLOT レジスタ

7	6	5	4	3	2	1	0
GPIO_SEQUENCE_POLARITY	GPIO_SEQUENCE_ON_SLOT			予約済み	GPIO_SEQUENCE_OFF_SLOT		
R/W-Xh	R/W-Xh			R-0h	R/W-Xh		

表 8-20. GPIO_SEQUENCE_SLOT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO_SEQUENCE_POLARITY	R/W	X	シーケンス入力としての GPIO のオン/オフ極性 0h = ローオフ/ハイオン 1h = ハイオフ/ローオン
6-4	GPIO_SEQUENCE_ON_SLOT	R/W	X	パワーアップ時の GPIO スロット番号出力として設定された場合、ピンはスロットに従って順次オンになります。入力として構成された場合、シーケンサはピンがオン状態になるのを待ちます。(NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7
3	予約済み	R	0h	予約済み
2-0	GPIO_SEQUENCE_OFF_SLOT	R/W	X	パワーダウン時の GPIO スロット番号出力として設定された場合、ピンはスロットに従って順次オフになります。入力として構成された場合、シーケンサはピンがオフ状態になるのを待ちます。(NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7

8.1.19 GPO_SEQUENCE_SLOT レジスタ（オフセット = 15h）[リセット = XXh]

図 8-19 に GPO_SEQUENCE_SLOT を示し、表 8-21 に、その説明を示します。

概略表に戻ります。

図 8-19. GPO_SEQUENCE_SLOT レジスタ

7	6	5	4	3	2	1	0
予約済み	GPO_SEQUENCE_ON_SLOT			予約済み	GPO_SEQUENCE_OFF_SLOT		
R-0h	R/W-Xh			R-0h	R/W-Xh		

表 8-21. GPO_SEQUENCE_SLOT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6-4	GPO_SEQUENCE_ON_SLOT	R/W	X	パワーアップ時の GPO スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7
3	予約済み	R	0h	予約済み
2-0	GPO_SEQUENCE_OFF_SLOT	R/W	X	パワーダウン時の GPO スロット番号（NVM メモリからのデフォルト） 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7

Copyright © 2025 Texas Instruments Incorporated

8.1.20 POWER_UP_SLOT_DURATION_1 レジスタ (オフセット = 16h) [リセット = XXh]

図 8-20 に、POWER_UP_SLOT_DURATION_1 を示し、表 8-22 に、その説明を示します。

概略表に戻ります。

図 8-20. POWER_UP_SLOT_DURATION_1 レジスタ

7	6	5	4	3	2	1	0
POWER_UP_SLOT_0_DURATION		POWER_UP_SLOT_1_DURATION		POWER_UP_SLOT_2_DURATION		POWER_UP_SLOT_3_DURATION	
R/W-Xh		R/W-Xh		R/W-Xh		R/W-Xh	

表 8-22. POWER_UP_SLOT_DURATION_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	POWER_UP_SLOT_0_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット 0 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
5-4	POWER_UP_SLOT_1_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット 1 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
3-2	POWER_UP_SLOT_2_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット 2 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
1-0	POWER_UP_SLOT_3_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット 3 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms

8.1.21 POWER_UP_SLOT_DURATION_2 レジスタ (オフセット = 17h) [リセット = XXh]

図 8-21 に、POWER_UP_SLOT_DURATION_2 を示し、表 8-23 に、その説明を示します。

概略表に戻ります。

図 8-21. POWER_UP_SLOT_DURATION_2 レジスタ

7	6	5	4	3	2	1	0
POWER_UP_SLOT_4_DURATION		POWER_UP_SLOT_5_DURATION		POWER_UP_SLOT_6_DURATION		POWER_UP_SLOT_7_DURATION	
R/W-Xh		R/W-Xh		R/W-Xh		R/W-Xh	

表 8-23. POWER_UP_SLOT_DURATION_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	POWER_UP_SLOT_4_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット 4 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
5-4	POWER_UP_SLOT_5_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット 5 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
3-2	POWER_UP_SLOT_6_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット 6 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
1-0	POWER_UP_SLOT_7_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット 7 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms

Copyright © 2025 Texas Instruments Incorporated

8.1.22 BUCK3_VOUT_STBY レジスタ (オフセット = 19h) [リセット = XXh]

図 8-22 に、BUCK3_VOUT_STBY を示し、表 8-24 に、その説明を示します。

概略表に戻ります。

図 8-22. BUCK3_VOUT_STBY レジスタ

7	6	5	4	3	2	1	0
予約済み	BUCK3_DVS_STBY	予約済み	BUCK3_VSET_STBY				
R-0h	R/W-Xh	R-0h	R/W-Xh				

表 8-24. BUCK3_VOUT_STBY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	BUCK3_DVS_STBY	R/W	X	スタンバイモードでの BUCK3 DVS 遷移 0h = スタンバイで DVS 遷移なし 1h = スタンバイで BUCK3_VSET_STBY によって構成された出力電圧に DVS が遷移します
5	予約済み	R	0h	予約済み
4-0	BUCK3_VSET_STBY	R/W	X	BUCK3 のスタンバイ時の電圧選択。出力電圧範囲は、0.6V～1.375V です。(NVM メモリからのデフォルト) 0h = 0.600 V 1h = 0.625 V 2h = 0.650 V 3h = 0.675 V 4h = 0.700 V 5h = 0.725 V 6h = 0.750 V 7h = 0.775 V 8h = 0.800 V 9h = 0.825 V Ah = 0.850V Bh = 0.875V Ch = 0.900V Dh = 0.925V Eh = 0.950V Fh = 0.975V 10h = 1.000 V 11h = 1.025 V 12h = 1.050 V 13h = 1.075 V 14h = 1.100 V 15h = 1.125 V 16h = 1.150 V 17h = 1.175 V 18h = 1.200 V 19h = 1.225 V 1Ah = 1.250 V 1Bh = 1.275 V 1Ch = 1.300 V 1Dh = 1.325 V 1Eh = 1.350 V 1Fh = 1.375 V

8.1.23 POWER_DOWN_SLOT_DURATION_1 レジスタ (オフセット = 1Ah) [リセット = XXh]

図 8-23 に、POWER_DOWN_SLOT_DURATION_1 を示し、表 8-25 に、その説明を示します。

概略表に戻ります。

図 8-23. POWER_DOWN_SLOT_DURATION_1 レジスタ

7	6	5	4	3	2	1	0
POWER_DOWN_SLOT_0_DURATION		POWER_DOWN_SLOT_1_DURATION		POWER_DOWN_SLOT_2_DURATION		POWER_DOWN_SLOT_3_DURATION	
R/W-Xh		R/W-Xh		R/W-Xh		R/W-Xh	

表 8-25. POWER_DOWN_SLOT_DURATION_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	POWER_DOWN_SLOT_0_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 0 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
5-4	POWER_DOWN_SLOT_1_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 1 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
3-2	POWER_DOWN_SLOT_2_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 2 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
1-0	POWER_DOWN_SLOT_3_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 3 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms

Copyright © 2025 Texas Instruments Incorporated

8.1.24 POWER_DOWN_SLOT_DURATION_2 レジスタ (オフセット = 1Bh) [リセット = XXh]

図 8-24 に、POWER_DOWN_SLOT_DURATION_2 を示し、表 8-26 に、その説明を示します。

概略表に戻ります。

図 8-24. POWER_DOWN_SLOT_DURATION_2 レジスタ

7	6	5	4	3	2	1	0
POWER_DOWN_SLOT_4_DURATION		POWER_DOWN_SLOT_5_DURATION		POWER_DOWN_SLOT_6_DURATION		POWER_DOWN_SLOT_7_DURATION	
R/W-Xh		R/W-Xh		R/W-Xh		R/W-Xh	

表 8-26. POWER_DOWN_SLOT_DURATION_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	POWER_DOWN_SLOT_4_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 4 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
5-4	POWER_DOWN_SLOT_5_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 5 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
3-2	POWER_DOWN_SLOT_6_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 6 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
1-0	POWER_DOWN_SLOT_7_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 7 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms

Copyright © 2025 Texas Instruments Incorporated

8.1.25 BUCK2_VOUT_STBY レジスタ (オフセット = 1Ch) [リセット = XXh]

図 8-25 に、BUCK2_VOUT_STBY を示し、表 8-27 に、その説明を示します。

概略表に戻ります。

図 8-25. BUCK2_VOUT_STBY レジスタ

7	6	5	4	3	2	1	0
予約済み	BUCK2_DVS_STBY	予約済み	BUCK2_VSET_STBY				
R-0h	R/W-Xh	R-0h	R/W-Xh				

表 8-27. BUCK2_VOUT_STBY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	BUCK2_DVS_STBY	R/W	X	スタンバイモードでの BUCK2 DVS 遷移 0h = スタンバイで DVS 遷移なし 1h = スタンバイで BUCK2_VSET_STBY によって構成された出力電圧に DVS が遷移します
5	予約済み	R	0h	予約済み
4-0	BUCK2_VSET_STBY	R/W	X	BUCK2 のスタンバイ時の電圧選択。出力電圧範囲は、0.6V～1.375V です。(NVM メモリからのデフォルト) 0h = 0.600 V 1h = 0.625 V 2h = 0.650 V 3h = 0.675 V 4h = 0.700 V 5h = 0.725 V 6h = 0.750 V 7h = 0.775 V 8h = 0.800 V 9h = 0.825 V Ah = 0.850V Bh = 0.875V Ch = 0.900V Dh = 0.925V Eh = 0.950V Fh = 0.975V 10h = 1.000 V 11h = 1.025 V 12h = 1.050 V 13h = 1.075 V 14h = 1.100 V 15h = 1.125 V 16h = 1.150 V 17h = 1.175 V 18h = 1.200 V 19h = 1.225 V 1Ah = 1.250 V 1Bh = 1.275 V 1Ch = 1.300 V 1Dh = 1.325 V 1Eh = 1.350 V 1Fh = 1.375 V

Copyright © 2025 Texas Instruments Incorporated

8.1.26 BUCK1_VOUT_STBY レジスタ (オフセット = 1Dh) [リセット = XXh]

図 8-26 に、BUCK1_VOUT_STBY を示し、表 8-28 に、その説明を示します。

概略表に戻ります。

図 8-26. BUCK1_VOUT_STBY レジスタ

7	6	5	4	3	2	1	0
予約済み	BUCK1_DVS_STBY	予約済み	BUCK1_VSET_STBY				
R-0h	R/W-Xh	R-0h	R/W-Xh				

表 8-28. BUCK1_VOUT_STBY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	BUCK1_DVS_STBY	R/W	X	スタンバイモードでの BUCK1 DVS 遷移 0h = スタンバイで DVS 遷移なし 1h = スタンバイで BUCK1_VSET_STBY によって構成された出力電圧に DVS が遷移します
5	予約済み	R	0h	予約済み
4-0	BUCK1_VSET_STBY	R/W	X	BUCK1 のスタンバイ時の電圧選択。出力電圧範囲は、0.6V～1.375V です。(NVM メモリからのデフォルト) 0h = 0.600 V 1h = 0.625 V 2h = 0.650 V 3h = 0.675 V 4h = 0.700 V 5h = 0.725 V 6h = 0.750 V 7h = 0.775 V 8h = 0.800 V 9h = 0.825 V Ah = 0.850V Bh = 0.875V Ch = 0.900V Dh = 0.925V Eh = 0.950V Fh = 0.975V 10h = 1.000 V 11h = 1.025 V 12h = 1.050 V 13h = 1.075 V 14h = 1.100 V 15h = 1.125 V 16h = 1.150 V 17h = 1.175 V 18h = 1.200 V 19h = 1.225 V 1Ah = 1.250 V 1Bh = 1.275 V 1Ch = 1.300 V 1Dh = 1.325 V 1Eh = 1.350 V 1Fh = 1.375 V

8.1.27 GENERAL_CONFIG レジスタ（オフセット = 1Eh）[リセット = XXh]

図 8-27 に GENERAL_CONFIG を示し、表 8-29 に、その説明を示します。

概略表に戻ります。

図 8-27. GENERAL_CONFIG レジスタ

7	6	5	4	3	2	1	0
BYPASS_RV_FOR_RAIL_ENABLE	予約済み	LDO1_UV_THR	LDO2_UV_THR	予約済み	GPIO_EN	GPIO_CONFIG	GPO_EN
R/W-Xh	R-0h	R/W-Xh	R/W-Xh	R-0h	R/W-Xh	R/W-Xh	R/W-Xh

表 8-29. GENERAL_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BYPASS_RV_FOR_RAIL_ENABLE	R/W	X	レギュレータを有効にする前に、RV（プリバイアス）状態のチェックをバイパスします。（NVM メモリからのデフォルト） 0h = 放電のチェックは強制されます 1h = 放電のチェックはバイパスされます
6	予約済み	R	0h	予約済み
5	LDO1_UV_THR	R/W	X	LDO1 の UV スレッショルドの選択ビット LDO として構成されている場合にのみ適用されます。（NVM メモリからのデフォルト） 0h = -5% の UV 検出レベル 1h = -10% の UV 検出レベル
4	LDO2_UV_THR	R/W	X	LDO2 の UV スレッショルドの選択ビット LDO として構成されている場合にのみ適用されます。（NVM メモリからのデフォルト） 0h = -5% の UV 検出レベル 1h = -10% の UV 検出レベル
3	予約済み	R	0h	予約済み
2	GPIO_EN	R/W	X	GPIO のイネーブル制御と状態制御の両方。このビットは、GPIO 機能を有効化し、GPIO ピンの状態も制御します。（NVM メモリからのデフォルト） 0h = GPIO 機能は有効ではありません。出力状態は「Low」です。 1h = GPIO 機能は有効です。出力状態は「High」です。
1	GPIO_CONFIG	R/W	X	GPIO ピンの構成。（NVM メモリからのデフォルト） 0h =入力として構成 1h = 出力として構成
0	GPO_EN	R/W	X	GPO のイネーブル制御と状態制御の両方。このビットは、GPO 機能を有効化し、GPO ピンの状態も制御します。（NVM メモリからのデフォルト） 0h = GPO は有効ではありません。出力状態は Low です。 1h = GPO は有効です。出力状態はハイ インピーダンスです。

Copyright © 2025 Texas Instruments Incorporated

8.1.28 MFP_1_CONFIG レジスタ (オフセット = 1Fh) [リセット = XXh]

図 8-28 に、MFP_1_CONFIG を示し、表 8-30 に、その説明を示します。

概略表に戻ります。

図 8-28. MFP_1_CONFIG レジスタ

7	6	5	4	3	2	1	0
MODE_I2C_CTRL	予約済み	予約済み	MODE_STBY_POLARITY	GPIO_VSEL_CONFIG	VSEL_RAIL	予約済み	予約済み
R/W-Xh	R-0h	R-0h	R/W-Xh	R/W-Xh	R/W-Xh	R-0h	R-0h

表 8-30. MFP_1_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MODE_I2C_CTRL	R/W	X	I2C を使用するモード制御。MODE/STBY ピンによるモード制御で統合。データシートの表を参照してください。(NVM メモリからのデフォルト) 0h = 自動 PFM 1h = 強制 PWM
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	MODE_STBY_POLARITY	R/W	X	MODE_STBY ピンの極性設定。注:操作中に変更しても問題ありませんが、すぐに対応してください。モード変更または状態変更！(NVM メモリからのデフォルト) 0h = [MODE として構成されている場合] LOW - 自動 PFM / HIGH - 強制 PWM[STBY として構成されている場合] LOW - スタンバイ状態 / HIGH - アクティブ状態。 1h = [MODE として構成されている場合] HIGH - 自動 PFM / LOW - 強制 PWM[STBY として構成されている場合] HIGH - スタンバイ状態 / LOW - アクティブ状態。
3	GPIO_VSEL_CONFIG	R/W	X	GPIO_VSEL ピンの構成。注:初期化状態でのみ変更します！(NVM メモリからのデフォルト) 0h = GPIO として構成 1h = VSEL として構成
2	VSEL_RAIL	R/W	X	BUCK は VSEL として構成されている場合、GPIO/VSEL により制御されます。注:初期化状態でのみ変更します！(NVM メモリからのデフォルト) 0h = BUCK1 1h = BUCK3
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

8.1.29 MFP_2_CONFIG レジスタ (オフセット = 20h) [リセット = XXh]

図 8-29 に、MFP_2_CONFIG を示し、表 8-31 に、その説明を示します。

概略表に戻ります。

図 8-29. MFP_2_CONFIG レジスタ

7	6	5	4	3	2	1	0
PU_ON_FSD	MASK_RETRY_COUNT_ON_FIRST_PU	EN_PB_VSENSE_CONFIG		EN_PB_VSENSE_DEGL	GPO_nWAKEUP_CONFIG	MODE_STBY_CONFIG	
R/W-Xh	R/W-Xh	R/W-Xh		R/W-Xh	R/W-Xh	R/W-Xh	

表 8-31. MFP_2_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PU_ON_FSD	R/W	X	最初の電源検出(FSD)時点で電源を投入します。そのため、VSYS が印加されると、EN/PB/VSENSE ピンが OFF_REQ ステータスであっても、デバイスはアクティブ状態に起動します。(NVM メモリからのデフォルト) 0h = 最初の電源検出(FSD)は有効ではありません。 1h = 最初の電源検出(FSD)は有効です。
6	MASK_RETRY_COUNT_ON_FIRST_PU	R/W	X	最初の電源投入時に RETRY_COUNT をマスクします。デバイスがアクティブ状態に移行すると、RETRY_COUNT はマスクされません。 0h = 最初の電源投入時に RETRY_COUNT はマスクされません。 1h = 最初の電源投入時に RETRY_COUNT はマスクされます。
5-4	EN_PB_VSENSE_CONFIG	R/W	X	イネーブル/プッシュボタン/VSENSE 構成。NVM ロード後は I2C 経由で変更しないでください(NVM をプログラミングする前のプリカーサとしての場合を除く)(NVM メモリからのデフォルト) 0h = プッシュ ボタン構成 1h = デバイス イネーブル構成 2h = VSENSE 構成 3h = デバイス イネーブル構成
3	EN_PB_VSENSE_DEGL	R/W	X	イネーブル/プッシュボタン/VSENSE グリッチ除去 注:初期化状態でのみ変更します！EN/VSENSE から PB、または PB から EN/VSENSE に変更したときは、すぐに対応してください:電源投入！(NVM メモリからのデフォルト) 0h = 短(標準値:EN/VSENSE で 120us、PB で 200ms) 1h = 長(標準値:EN/VSENSE で 50ms、PB で 600ms)
2	GPO_nWAKEUP_CONFIG	R/W	X	GPO/nWAKEUP 構成(NVM メモリからのデフォルト) 0h = GPO 1h = nWAKEUP
1-0	MODE_STBY_CONFIG	R/W	X	MODE_STBY 構成(NVM メモリからのデフォルト) 0h = MODE 1h = STBY 2h = MODE および STBY 3h = MODE

Copyright © 2025 Texas Instruments Incorporated

8.1.30 STBY_1_CONFIG レジスタ (オフセット = 21h) [リセット = XXh]

図 8-30 に、STBY_1_CONFIG を示し、表 8-32 に、その説明を示します。

概略表に戻ります。

図 8-30. STBY_1_CONFIG レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	LDO1_STBY_EN	LDO2_STBY_EN	予約済み	BUCK3_STBY_EN	BUCK2_STBY_EN	BUCK1_STBY_EN
R-0h	R-0h	R/W-Xh	R/W-Xh	R-0h	R/W-Xh	R/W-Xh	R/W-Xh

表 8-32. STBY_1_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	LDO1_STBY_EN	R/W	X	スタンバイ状態で LDO1 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで有効ではありません 1h = STBY モードで有効です
4	LDO2_STBY_EN	R/W	X	スタンバイ状態で LDO2 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで有効ではありません 1h = STBY モードで有効です
3	予約済み	R	0h	予約済み
2	BUCK3_STBY_EN	R/W	X	スタンバイ状態で BUCK3 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで有効ではありません 1h = STBY モードで有効です
1	BUCK2_STBY_EN	R/W	X	スタンバイ状態で BUCK2 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで有効ではありません 1h = STBY モードで有効です
0	BUCK1_STBY_EN	R/W	X	スタンバイ状態で BUCK1 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで有効ではありません 1h = STBY モードで有効です

8.1.31 STBY_2_CONFIG レジスタ (オフセット = 22h) [リセット = XXh]

図 8-31 に、STBY_2_CONFIG を示し、表 8-33 に、その説明を示します。

概略表に戻ります。

図 8-31. STBY_2_CONFIG レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	STBY_SLEEP_CONFIG	nRSTOUT_STBY_CONFIG	GPIO_STBY_EN	予約済み	GPO_STBY_EN
R-0h	R-0h	R-0h	R/W-Xh	R/W-Xh	R/W-Xh	R-0h	R/W-Xh

表 8-33. STBY_2_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	STBY_SLEEP_CONFIG	R/W	X	STBY 要求によるデバイス動作。(NVM メモリからのデフォルト) 0h = STBY モード 1h = SLEEP モード
3	nRSTOUT_STBY_CONFIG	R/W	X	スタンバイ状態での nRSTOUT 構成。(NVM メモリからのデフォルト) 0h = STBY モードで nRSTOUT をアサート 1h = STBY モードで nRSTOUT をデアサート
2	GPIO_STBY_EN	R/W	X	スタンバイ状態で GPIO を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで有効ではありません 1h = STBY モードで有効です
1	予約済み	R	0h	予約済み
0	GPO_STBY_EN	R/W	X	スタンバイ状態で GPO を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで有効ではありません 1h = STBY モードで有効です

Copyright © 2025 Texas Instruments Incorporated

8.1.32 OC_DEGL_CONFIG レジスタ（オフセット = 23h）[リセット = 0Xh]

図 8-32 に OC_DEGL_CONFIG を示し、表 8-34 に、その説明を示します。

概略表に戻ります。

図 8-32. OC_DEGL_CONFIG レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	予約済み	予約済み	EN_LONG_DEGL_FOR_OC_BUCK3	EN_LONG_DEGL_FOR_OC_BUCK2	EN_LONG_DEGL_FOR_OC_BUCK1
R-0h	R-0h	R-0h	R-0h	R-0h	R/W-Xh	R/W-Xh	R/W-Xh

表 8-34. OC_DEGL_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	予約済み	R	0h	予約済み
2	EN_LONG_DEGL_FOR_OC_BUCK3	R/W	X	設定すると、BUCK3 の過電流信号用の長いグリッチ除去オプションが有効になります。クリアすると、BUCK3 の過電流信号用の短いグリッチ除去オプションが有効になります。（NVM メモリからのデフォルト） 0h = BUCK3（ハイサイド過電流、ローサイド過電流、およびローサイド逆/負過電流）の過電流信号のグリッチ除去時間は、20us までです 1h = BUCK3（ハイサイド過電流、ローサイド過電流、およびローサイド逆/負過電流）の過電流信号のグリッチ除去時間は、2ms までです
1	EN_LONG_DEGL_FOR_OC_BUCK2	R/W	X	設定すると、BUCK2 の過電流信号用の長いグリッチ除去オプションが有効になります。クリアすると、BUCK2 の過電流信号用の短いグリッチ除去オプションが有効になります。（NVM メモリからのデフォルト） 0h = BUCK2（ハイサイド過電流、ローサイド過電流、およびローサイド逆/負過電流）の過電流信号のグリッチ除去時間は、20us までです 1h = BUCK2（ハイサイド過電流、ローサイド過電流、およびローサイド逆/負過電流）の過電流信号のグリッチ除去時間は、2ms までです
0	EN_LONG_DEGL_FOR_OC_BUCK1	R/W	X	設定すると、BUCK1 の過電流信号用の長いグリッチ除去オプションが有効になります。クリアすると、BUCK1 の過電流信号用の短いグリッチ除去オプションが有効になります。（NVM メモリからのデフォルト） 0h = BUCK1（ハイサイド過電流、ローサイド過電流、およびローサイド逆/負過電流）の過電流信号のグリッチ除去時間は、20us までです 1h = BUCK1（ハイサイド過電流、ローサイド過電流、およびローサイド逆/負過電流）の過電流信号のグリッチ除去時間は、2ms までです

8.1.33 INT_MASK_UV レジスタ（オフセット = 24h）[リセット = XXh]

図 8-33 に INT_MASK_UV を示し、表 8-35 に、その説明を示します。

概略表に戻ります。

図 8-33. INT_MASK_UV レジスタ

7	6	5	4	3	2	1	0
MASK_RETRY_COUNT	BUCK3_UV_MASK	BUCK2_UV_MASK	BUCK1_UV_MASK	予約済み	LDO1_UV_MASK	LDO2_UV_MASK	予約済み
R/W-Xh	R/W-Xh	R/W-Xh	R/W-Xh	R-0h	R/W-Xh	R/W-Xh	R-0h

表 8-35. INT_MASK_UV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MASK_RETRY_COUNT	R/W	X	設定すると、デバイスは 2 回再試行しても起動できます。(NVM メモリからのデフォルト) 0h = デバイスは最大 2 回再試行された後、オフのままになります 1h = デバイスは無限に再試行を続けます
6	BUCK3_UV_MASK	R/W	X	BUCK3 低電圧マスク。(NVM メモリからのデフォルト) 0h = マスクなし(フォルトを通知します) 1h = マスク済み(フォルトを通知しません)
5	BUCK2_UV_MASK	R/W	X	BUCK2 低電圧マスク。(NVM メモリからのデフォルト) 0h = マスクなし(フォルトを通知します) 1h = マスク済み(フォルトを通知しません)
4	BUCK1_UV_MASK	R/W	X	BUCK1 低電圧マスク。(NVM メモリからのデフォルト) 0h = マスクなし(フォルトを通知します) 1h = マスク済み(フォルトを通知しません)
3	予約済み	R	0h	予約済み
2	LDO1_UV_MASK	R/W	X	LDO1 低電圧マスク- BYP または LSW モードで常にマスクされます。(NVM メモリからのデフォルト) 0h = マスクなし(フォルトを通知します) 1h = マスク済み(フォルトを通知しません)
1	LDO2_UV_MASK	R/W	X	LDO2 低電圧マスク- BYP または LSW モードで常にマスクされます。(NVM メモリからのデフォルト) 0h = マスクなし(フォルトを通知します) 1h = マスク済み(フォルトを通知しません)
0	予約済み	R	0h	予約済み

Copyright © 2025 Texas Instruments Incorporated

8.1.34 MASK_CONFIG レジスタ（オフセット = 25h）[リセット = XXh]

図 8-34 に MASK_CONFIG を示し、表 8-36 に、その説明を示します。

概略表に戻ります。

図 8-34. MASK_CONFIG レジスタ

7	6	5	4	3	2	1	0
MASK_INT_FOR_PB	MASK_EFFECT		MASK_INT_FOR_RV	SENSOR_0_WARM_MASK	SENSOR_1_WARM_MASK	SENSOR_2_WARM_MASK	予約済み
R/W-Xh	R/W-Xh		R/W-Xh	R/W-Xh	R/W-Xh	R/W-Xh	R-0h

表 8-36. MASK_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MASK_INT_FOR_PB	R/W	X	nINT ピンが PushButton（PB）の押下/解放イベントに敏感かどうかを制御するマスキングビット。（NVM メモリからのデフォルト） 0h = マスクなし（すべての PB イベントで nINT を Low にプル） 1h = マスク済み（nINT は PB イベントの影響を受けません）
6-5	MASK_EFFECT	R/W	X	マスキング効果（グローバル）（NVM メモリからのデフォルト） 0h = 状態変更なし、nINT 応答なし、フォルト用のビットセットなし 1h = 状態変更なし、nINT 応答なし、フォルト用のビットセット 2h = 状態変更なし、nINT 応答、フォルト用のビットセット（11b と同じ） 3h = 状態変更なし、nINT 応答、フォルト用のビットセット（10b と同じ）
4	MASK_INT_FOR_RV	R/W	X	nINT ピンが RV（残留電圧）イベントに敏感かどうかを制御するマスキングビット。（NVM メモリからのデフォルト） 0h = マスクなし（アクティブ状態への遷移中またはレールの有効化時に、いずれかの RV イベントで nINT を Low にプル） 1h = マスク済み（nINT は RV イベントの影響を受けません）
3	SENSOR_0_WARM_MASK	R/W	X	ダイ温度ウォーム フォルト マスク、センサ 0。（NVM メモリからのデフォルト） 0h = マスクなし（フォルトを通知します） 1h = マスク済み（フォルトを通知しません）
2	SENSOR_1_WARM_MASK	R/W	X	ダイ温度ウォーム フォルト マスク、センサ 1。（NVM メモリからのデフォルト） 0h = マスクなし（フォルトを通知します） 1h = マスク済み（フォルトを通知しません）
1	SENSOR_2_WARM_MASK	R/W	X	ダイ温度ウォーム フォルト マスク、センサ 2。（NVM メモリからのデフォルト） 0h = マスクなし（フォルトを通知します） 1h = マスク済み（フォルトを通知しません）
0	予約済み	R	0h	予約済み

8.1.35 I2C_ADDRESS_REG レジスタ (オフセット = 26h) [リセット = XXh]

図 8-35 に、I2C_ADDRESS_REG を示し、表 8-37 に、その説明を示します。

概略表に戻ります。

図 8-35. I2C_ADDRESS_REG レジスタ

7	6	5	4	3	2	1	0
DIY_NVM_PROGRAM_CMD_ISSUED	I2C_ADDRESS						
R/W-Xh	R/W-Xh						

表 8-37. I2C_ADDRESS_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DIY_NVM_PROGRAM_CMD_ISSUED	R/W	X	DIY プログラムコマンドが試行されたかどうかを示すビット。一度設定すると、常に設定されたままになります。(NVM メモリからのデフォルト) 0h = NVM データは変更されていません 1h = DIY プログラム コマンドを使用して NVM データの変更が試行されました
6-0	I2C_ADDRESS	R/W	X	I2C セカンダリ アドレス。注:操作中に変更しても問題ありませんが、すぐに対応してください。読み取り/書き込み用の新しいアドレスです！(NVM メモリからのデフォルト)

Copyright © 2025 Texas Instruments Incorporated

8.1.36 USER_GENERAL_NVM_STORAGE_REG レジスタ（オフセット = 27h）[リセット = XXh]

図 8-36 に USER_GENERAL_NVM_STORAGE_REG を示し、表 8-38 に、その説明を示します。

概略表に戻ります。

図 8-36. USER_GENERAL_NVM_STORAGE_REG レジスタ

7	6	5	4	3	2	1	0
USER_CONFIG_PROG	USER_GENERAL_NVM_STORAGE						
R/W-Xh	R/W-Xh						

表 8-38. USER_GENERAL_NVM_STORAGE_REG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	USER_CONFIG_PROG	R/W	X	NVM のユーザー構成領域がプログラムされたことを示します。(NVM メモリからのデフォルト) 0h = ユーザー領域はプログラムされていません 1h = ユーザー領域はプログラムされています
6-0	USER_GENERAL_NVM_STORAGE	R/W	X	顧客が変更した NVM バージョンの NVM-ID など、ユーザーデータを格納するためにユーザーが使用できる 8 ビットの NVM ベースのレジスタ。(NVM メモリからのデフォルト)

8.1.37 MANUFACTURING_VER レジスタ（オフセット = 28h）[リセット = 00h]

図 8-37 に MANUFACTURING_VER を示し、表 8-39 に、その説明を示します。

概略表に戻ります。

図 8-37. MANUFACTURING_VER レジスタ

7	6	5	4	3	2	1	0
SILICON_REV							
R-0h							

表 8-39. MANUFACTURING_VER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	SILICON_REV	R	0h	SILICON_REV[7:6] - 予約済み SILICON_REV[5:3] - ALR SILICON_REV[2:0] - 金属シリコン リビジョン ハードワイヤード（NVM では制御されていません）

Copyright © 2025 Texas Instruments Incorporated

8.1.38 MFP_CTRL レジスタ（オフセット = 29h）[リセット = 00h]

図 8-38 に MFP_CTRL を示し、表 8-40 に、その説明を示します。

概略表に戻ります。

図 8-38. MFP_CTRL レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	GPIO_STATUS	WARM_RESET_I2C_CTRL	COLD_RESET_I2C_CTRL	STBY_I2C_CTRL	I2C_OFF_REQ
R-0h	R-0h	R-0h	R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-40. MFP_CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	GPIO_STATUS	R	0h	GPIO ピンのリアルタイム値を示します 0h = GPIO ピンは現在「0」 1h = GPIO ピンは現在「1」
3	WARM_RESET_I2C_CTRL	R/W	0h	「1」と書き込まれると、ウォーム リセットがトリガされます。注:このビットは自動的にクリアされるため、書き込み後に「1」として読み出すことはできません。 0h = 通常動作 1h = ウォーム リセット
2	COLD_RESET_I2C_CTRL	R/W	0h	High に設定すると、コールド リセットがトリガされます。初期化に入るとクリアされます。 0h = 通常動作 1h = コールド リセット
1	STBY_I2C_CTRL	R/W	0h	I2C を使用した STBY 制御。STBY/STBY ピンによるモード制御で統合。MODE および STBY 構成表と STBY_SLEEP_CONFIG ビットを参照してください。 0h = 通常動作 1h = スタンバイまたはスリープモード
0	I2C_OFF_REQ	R/W	0h	このビットに「1」が書き込まれた場合:オフ要求をトリガします。「0」の場合:影響なし。セルフクリアを行います。 0h = 影響なし 1h = オフ要求をトリガ

8.1.39 DISCHARGE_CONFIG レジスタ（オフセット = 2Ah）[リセット = 37h]

図 8-39 に DISCHARGE_CONFIG を示し、表 8-41 に、その説明を示します。

概略表に戻ります。

図 8-39. DISCHARGE_CONFIG レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	LDO1_DISCHARGE_EN	LDO2_DISCHARGE_EN	予約済み	BUCK3_DISCHARGE_EN	BUCK2_DISCHARGE_EN	BUCK1_DISCHARGE_EN
R-0h	R-0h	R/W-1h	R/W-1h	R-0h	R/W-1h	R/W-1h	R/W-1h

表 8-41. DISCHARGE_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	LDO1_DISCHARGE_EN	R/W	1h	LDO1 の放電設定 0h = 放電なし 1h = 250W
4	LDO2_DISCHARGE_EN	R/W	1h	LDO2 の放電設定 0h = 放電なし 1h = 200W
3	予約済み	R	0h	予約済み
2	BUCK3_DISCHARGE_EN	R/W	1h	BUCK3 の放電設定 0h = 放電なし 1h = 125W
1	BUCK2_DISCHARGE_EN	R/W	1h	BUCK2 の放電設定 0h = 放電なし 1h = 125W
0	BUCK1_DISCHARGE_EN	R/W	1h	BUCK1 の放電設定 0h = 放電なし 1h = 125W

Copyright © 2025 Texas Instruments Incorporated

8.1.40 INT_SOURCE レジスタ（オフセット = 2Bh）[リセット = 00h]

図 8-40 に INT_SOURCE を示し、表 8-42 に、その説明を示します。

概略表に戻ります。

図 8-40. INT_SOURCE レジスタ

7	6	5	4	3	2	1	0
INT_PB_IS_SET	予約済み	INT_LDO_1_2_IS_SET	INT_BUCK_3_IS_SET	INT_BUCK_1_2_IS_SET	INT_SYSTEM_IS_SET	INT_RV_IS_SET	INT_TIMEOUT_RV_SD_IS_SET
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 8-42. INT_SOURCE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INT_PB_IS_SET	R	0h	INT_PB レジスタの中に存在する INT のひとつまたは複数のソース 0h = INT_PB にビットは設定されていません 1h = INT_PB にひとつまたは単数のビットが設定されています
6	予約済み	R	0h	予約済み
5	INT_LDO_1_2_IS_SET	R	0h	INT_LDO_1_2 レジスタの中に存在する INT のひとつまたは複数のソース 0h = INT_LDO_1_2 にビットは設定されていません 1h = INT_LDO_1_2 にひとつまたは単数のビットが設定されています
4	INT_BUCK_3_IS_SET	R	0h	INT_BUCK_3 レジスタの中に存在する INT のひとつまたは複数のソース 0h = INT_BUCK_3 にビットは設定されていません 1h = INT_BUCK_3 にひとつまたは単数のビットが設定されています
3	INT_BUCK_1_2_IS_SET	R	0h	INT_BUCK_1_2 レジスタの中に存在する INT のひとつまたは複数のソース 0h = INT_BUCK_1_2 にビットは設定されていません 1h = INT_BUCK_1_2 にひとつまたは単数のビットが設定されています
2	INT_SYSTEM_IS_SET	R	0h	INT_SYSTEM レジスタの中に存在する INT のひとつまたは複数のソース 0h = INT_SYSTEM にビットは設定されていません 1h = INT_SYSTEM にひとつまたは単数のビットが設定されています
1	INT_RV_IS_SET	R	0h	INT_RV レジスタの中に存在する INT のひとつまたは複数のソース 0h = INT_RV にビットは設定されていません 1h = INT_RV にひとつまたは単数のビットが設定されています
0	INT_TIMEOUT_RV_SD_IS_SET	R	0h	INT_TIMEOUT_RV_SD レジスタの中に存在する INT のひとつまたは複数のソース 0h = INT_TIMEOUT_RV_SD にビットは設定されていません 1h = INT_TIMEOUT_RV_SD にひとつまたは単数のビットが設定されています

8.1.41 INT_LDO_1_2 レジスタ (オフセット = 2Dh) [リセット = 00h]

図 8-41 に、INT_LDO_1_2 を示し、表 8-43 に、その説明を示します。

概略表に戻ります。

図 8-41. INT_LDO_1_2 レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	LDO2_UV	LDO2_OC	LDO2_SCG	LDO1_UV	LDO1_OC	LDO1_SCG
R-0h	R-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 8-43. INT_LDO_1_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	LDO2_UV	R/W1C	0h	LDO2 低電圧フォルト INT_MASK_UV レジスタの対応する *_UV_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます。 0h = フォルト検出なし 1h = フォルト検出あり
4	LDO2_OC	R/W1C	0h	LDO2 過電流フォルト 0h = フォルト検出なし 1h = フォルト検出あり
3	LDO2_SCG	R/W1C	0h	LDO2 接地への短絡フォルト 0h = フォルト検出なし 1h = フォルト検出あり
2	LDO1_UV	R/W1C	0h	LDO1 低電圧フォルト INT_MASK_UV レジスタの対応する *_UV_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます。 0h = フォルト検出なし 1h = フォルト検出あり
1	LDO1_OC	R/W1C	0h	LDO1 過電流フォルト 0h = フォルト検出なし 1h = フォルト検出あり
0	LDO1_SCG	R/W1C	0h	LDO1 接地への短絡フォルト 0h = フォルト検出なし 1h = フォルト検出あり

Copyright © 2025 Texas Instruments Incorporated

8.1.42 INT_BUCK_3 レジスタ (オフセット = 2Eh) [リセット = 00h]

図 8-42 に、INT_BUCK_3 を示し、表 8-44 に、その説明を示します。

概略表に戻ります。

図 8-42. INT_BUCK_3 レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	予約済み	BUCK3_UV	BUCK3_NEG_OC	BUCK3_OC	BUCK3_SCG
R-0h	R-0h	R-0h	R-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 8-44. INT_BUCK_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	BUCK3_UV	R/W1C	0h	BUCK3 低電圧フォルト INT_MASK_UV レジスタの対応する *_UV_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます。 0h = フォルト検出なし 1h = フォルト検出あり
2	BUCK3_NEG_OC	R/W1C	0h	BUCK3 負の過電流フォルト 0h = フォルト検出なし 1h = フォルト検出あり
1	BUCK3_OC	R/W1C	0h	BUCK3 正の過電流フォルト 0h = フォルト検出なし 1h = フォルト検出あり
0	BUCK3_SCG	R/W1C	0h	BUCK3 接地への短絡フォルト 0h = フォルト検出なし 1h = フォルト検出あり

8.1.43 INT_BUCK_1_2 レジスタ (オフセット = 2Fh) [リセット = 00h]

図 8-43 に、INT_BUCK_1_2 を示し、表 8-45 に、その説明を示します。

概略表に戻ります。

図 8-43. INT_BUCK_1_2 レジスタ

7	6	5	4	3	2	1	0
BUCK2_UV	BUCK2_NEG_OC	BUCK2_OC	BUCK2_SCG	BUCK1_UV	BUCK1_NEG_OC	BUCK1_OC	BUCK1_SCG
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 8-45. INT_BUCK_1_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BUCK2_UV	R/W1C	0h	BUCK2 低電圧フォルト INT_MASK_UV レジスタの対応する *_UV_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます。 0h = フォルト検出なし 1h = フォルト検出あり
6	BUCK2_NEG_OC	R/W1C	0h	BUCK2 負の過電流フォルト 0h = フォルト検出なし 1h = フォルト検出あり
5	BUCK2_OC	R/W1C	0h	BUCK2 正の過電流フォルト 0h = フォルト検出なし 1h = フォルト検出あり
4	BUCK2_SCG	R/W1C	0h	BUCK2 接地への短絡フォルト 0h = フォルト検出なし 1h = フォルト検出あり
3	BUCK1_UV	R/W1C	0h	BUCK1 低電圧フォルト INT_MASK_UV レジスタの対応する *_UV_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます。 0h = フォルト検出なし 1h = フォルト検出あり
2	BUCK1_NEG_OC	R/W1C	0h	BUCK1 負の過電流フォルト 0h = フォルト検出なし 1h = フォルト検出あり
1	BUCK1_OC	R/W1C	0h	BUCK1 正の過電流フォルト 0h = フォルト検出なし 1h = フォルト検出あり
0	BUCK1_SCG	R/W1C	0h	BUCK1 接地への短絡フォルト 0h = フォルト検出なし 1h = フォルト検出あり

Copyright © 2025 Texas Instruments Incorporated

8.1.44 INT_SYSTEM レジスタ（オフセット = 30h）[リセット = 00h]

図 8-44 に INT_SYSTEM を示し、表 8-46 に、その説明を示します。

概略表に戻ります。

図 8-44. INT_SYSTEM レジスタ

7	6	5	4	3	2	1	0
SENSOR_0_HOT	SENSOR_1_HOT	SENSOR_2_HOT	予約済み	SENSOR_0_WARM	SENSOR_1_WARM	SENSOR_2_WARM	予約済み
R/W1C-0h	R/W1C-0h	R/W1C-0h	R-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R-0h

表 8-46. INT_SYSTEM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SENSOR_0_HOT	R/W1C	0h	センサ 0 の TSD ホット検出 0h = フォルト検出なし 1h = フォルト検出あり
6	SENSOR_1_HOT	R/W1C	0h	センサ 1 の TSD ホット検出 0h = フォルト検出なし 1h = フォルト検出あり
5	SENSOR_2_HOT	R/W1C	0h	センサ 2 の TSD ホット検出 0h = フォルト検出なし 1h = フォルト検出あり
4	予約済み	R	0h	予約済み
3	SENSOR_0_WARM	R/W1C	0h	センサ 0 の TSD ウォーム検出 MASK_CONFIG レジスタの対応する *_WARM_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます。 0h = フォルト検出なし 1h = フォルト検出あり
2	SENSOR_1_WARM	R/W1C	0h	センサ 1 の TSD ウォーム検出 MASK_CONFIG レジスタの対応する *_WARM_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます。 0h = フォルト検出なし 1h = フォルト検出あり
1	SENSOR_2_WARM	R/W1C	0h	センサ 2 の TSD ウォーム検出 MASK_CONFIG レジスタの対応する *_WARM_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます。 0h = フォルト検出なし 1h = フォルト検出あり
0	予約済み	R	0h	予約済み

8.1.45 INT_RV レジスタ（オフセット = 31h）[リセット = 00h]

図 8-45 に INT_RV を示し、表 8-47 に、その説明を示します。

概略表に戻ります。

図 8-45. INT_RV レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	LDO2_RV	予約済み	LDO1_RV	BUCK3_RV	BUCK2_RV	BUCK1_RV
R-0h	R-0h	R/W1C-0h	R-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 8-47. INT_RV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	LDO2_RV	R/W1C	0h	レール電源オン中に LDO2 レール上で、または電源シーケンスをアクティブ状態にする前の放電点検中に 4 ～ 5ms 後に検出された RV イベント 0h = RV 検出なし 1h = RV 検出あり
4	予約済み	R	0h	予約済み
3	LDO1_RV	R/W1C	0h	レール電源オン中に LDO1 レール上で、または電源シーケンスをアクティブ状態にする前の放電点検中に 4 ～ 5ms 後に検出された RV イベント 0h = RV 検出なし 1h = RV 検出あり
2	BUCK3_RV	R/W1C	0h	レール電源オン中に BUCK3 レール上で、または電源シーケンスをアクティブ状態にする前の放電点検中に 4 ～ 5ms 後に検出された RV イベント 0h = RV 検出なし 1h = RV 検出あり
1	BUCK2_RV	R/W1C	0h	レール電源オン中に BUCK2 レール上で、または電源シーケンスをアクティブ状態にする前の放電点検中に 4 ～ 5ms 後に検出された RV イベント 0h = RV 検出なし 1h = RV 検出あり
0	BUCK1_RV	R/W1C	0h	レール電源オン中に BUCK1 レール上で、または電源シーケンスをアクティブ状態にする前の放電点検中に 4 ～ 5ms 後に検出された RV イベント 0h = RV 検出なし 1h = RV 検出あり

Copyright © 2025 Texas Instruments Incorporated

8.1.46 INT_TIMEOUT_RV_SD レジスタ（オフセット = 32h）[リセット = 00h]

図 8-46 に INT_TIMEOUT_RV_SD を示し、表 8-48 に、その説明を示します。

概略表に戻ります。

図 8-46. INT_TIMEOUT_RV_SD レジスタ

7	6	5	4	3	2	1	0
TIMEOUT	予約済み	LDO1_RV_SD	LDO2_RV_SD	予約済み	BUCK3_RV_SD	BUCK2_RV_SD	BUCK1_RV_SD
R/W1C-0h	R-0h	R/W1C-0h	R/W1C-0h	R-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 8-48. INT_TIMEOUT_RV_SD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TIMEOUT	R/W1C	0h	以下の間に、タイムアウトが原因でシャットダウンが発生した場合に設定されます。1.アクティブ状態に遷移して、割り当てられたスロットの終了時に、ひとつまたは複数のレールが UV レベルを超えなかった場合（およ び、このレールの UV が SD フォルトとして構成されている場合）。INT_*レジスタの*_UV ビットにより、どのレールが表示されるかが示されます。2.スタンバイ状態に遷移すると、割り当てられたスロットが終了しても、ひとつまたは複数のレールが SCG レベルを下回らず、そのレールに対して放電が有効になります（このレジスタの対応する RV_SD ビットにより、どのレールかが示されます）。 0h = タイムアウトが原因の SD は発生していません 1h = タイムアウトが原因の SD が発生しました
6	予約済み	R	0h	予約済み
5	LDO1_RV_SD	R/W1C	0h	以下の間に、LDO1 レールの RV が原因でシャットダウンが発生しました。1.スタンバイ状態への遷移で、割り当てられたスロットの終了時にこのレールは放電せず、このレール対する放電が有効になります 2.スタンバイ状態への遷移で、このレールがシャットダウンされ、放電が有効になった後、に RV がこのレール上で観察されました 3.アクティブ状態への遷移で、このレールがオフの状態で RV が観測されました（レールはアクティブ状態への遷移を開始する前に放電されると予想されます）4.このレールは放電しないため、スタンバイからアクティブへの遷移開始時にすべてのレールの放電を試みている間にタイムアウト SD が発生しました（この場合は TIMEOUT ビットも設定されます） 0h = LDO1 の RV/DISCHARGE_TIMEOUT が原因の SD は発生していません 1h = LDO1 の RV/DISCHARGE_TIMEOUT が原因でシャットダウンが発生しました
4	LDO2_RV_SD	R/W1C	0h	以下の間に、LDO2 レールの RV が原因でシャットダウンが発生しました。1.スタンバイ状態への遷移で、割り当てられたスロットの終了時にこのレールは放電せず、このレール対する放電が有効になります 2.スタンバイ状態への遷移で、このレールがシャットダウンされ、放電が有効になった後、に RV がこのレール上で観察されました 3.アクティブ状態への遷移で、このレールがオフの状態で RV が観測されました（レールはアクティブ状態への遷移を開始する前に放電されると予想されます）4.このレールは放電しないため、スタンバイからアクティブへの遷移開始時にすべてのレールの放電を試みている間にタイムアウト SD が発生しました（この場合は TIMEOUT ビットも設定されます） 0h = LDO2 の RV/DISCHARGE_TIMEOUT が原因の SD は発生していません 1h = LDO2 の RV/DISCHARGE_TIMEOUT が原因でシャットダウンが発生しました
3	予約済み	R	0h	予約済み

表 8-48. INT_TIMEOUT_RV_SD レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	BUCK3_RV_SD	R/W1C	0h	以下の間に、BUCK3 レールの RV が原因でシャットダウンが発生しました。1.スタンバイ状態への遷移で、割り当てられたスロットの終了時にこのレールは放電せず、このレール対する放電が有効になります 2.スタンバイ状態への遷移で、このレールがシャットダウンされ、放電が有効になった後、に RV がこのレール上で観察されました 3.アクティブ状態への遷移で、このレールがオフの状態で RV が観測されました（レールはアクティブ状態への遷移を開始する前に放電されると予想されます）4.このレールは放電しないため、スタンバイからアクティブへの遷移開始時にすべてのレールの放電を試みている間にタイムアウト SD が発生しました（この場合は TIMEOUT ビットも設定されます） 0h = BUCK3 の RV/DISCHARGE_TIMEOUT が原因の SD は発生していません 1h = BUCK3 の RV/DISCHARGE_TIMEOUT が原因でシャットダウンが発生しました
1	BUCK2_RV_SD	R/W1C	0h	以下の間に、BUCK2 レールの RV が原因でシャットダウンが発生しました。1.スタンバイ状態への遷移で、割り当てられたスロットの終了時にこのレールは放電せず、このレール対する放電が有効になります 2.スタンバイ状態への遷移で、このレールがシャットダウンされ、放電が有効になった後、に RV がこのレール上で観察されました 3.アクティブ状態への遷移で、このレールがオフの状態で RV が観測されました（レールはアクティブ状態への遷移を開始する前に放電されると予想されます）4.このレールは放電しないため、スタンバイからアクティブへの遷移開始時にすべてのレールの放電を試みている間にタイムアウト SD が発生しました（この場合は TIMEOUT ビットも設定されます） 0h = BUCK2 の RV/DISCHARGE_TIMEOUT が原因の SD は発生していません 1h = BUCK2 の RV/DISCHARGE_TIMEOUT が原因でシャットダウンが発生しました
0	BUCK1_RV_SD	R/W1C	0h	以下の間に、BUCK2 レールの RV が原因でシャットダウンが発生しました。1.スタンバイ状態への遷移で、割り当てられたスロットの終了時にこのレールは放電せず、このレール対する放電が有効になります 2.スタンバイ状態への遷移で、このレールがシャットダウンされ、放電が有効になった後、に RV がこのレール上で観察されました 3.アクティブ状態への遷移で、このレールがオフの状態で RV が観測されました（レールはアクティブ状態への遷移を開始する前に放電されると予想されます）4.このレールは放電しないため、スタンバイからアクティブへの遷移開始時にすべてのレールの放電を試みている間にタイムアウト SD が発生しました（この場合は TIMEOUT ビットも設定されます） 0h = BUCK1 の RV/DISCHARGE_TIMEOUT が原因の SD は発生していません 1h = BUCK1 の RV/DISCHARGE_TIMEOUT が原因でシャットダウンが発生しました

Copyright © 2025 Texas Instruments Incorporated

8.1.47 INT_PB レジスタ（オフセット = 33h）[リセット = 04h]

図 8-47 に INT_PB を示し、表 8-49 に、その説明を示します。

概略表に戻ります。

図 8-47. INT_PB レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	予約済み	PB_EN_SLEEP_EXIT_TIMEOUT	PB_REAL_TIME_STATUS	PB_RISING_EDGE_DETECTED	PB_FALLING_EDGE_DETECTED
R-0h	R-0h	R-0h	R-0h	R/W1C-0h	R-1h	R/W1C-0h	R/W1C-0h

表 8-49. INT_PB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	予約済み	R	0h	予約済み
5	予約済み	R	0h	予約済み
4	予約済み	R	0h	予約済み
3	PB_EN_SLEEP_EXIT_TIMEOUT	R/W1C	0h	デバイスはウェークアップ タイムアウト後に再びスリープ状態に移行しました。EN/PB/VSENSE ピンが PB または EN として構成されている場合のみ有効です。 0h = スリープモードの終了タイムアウトは検出されていません 1h = スリープモード終了タイムアウトは検出されています
2	PB_REAL_TIME_STATUS	R	1h	PB ピンのグリッチ除去（64 ～ 128ms）のリアルタイム ステータス。EN/PB/VSENSE ピンが PB として構成されている場合のみ有効です。 0h = PB の電流グリッチ除去ステータス：プレス済み 1h = PB の電流グリッチ除去ステータス：リリース済み
1	PB_RISING_EDGE_DETECTED	R/W1C	0h	PB は前回このビットがクリアされてから、グリッチ除去期間>（64 ～ 128ms）の間、リリースされました。このビットを設定すると、nINT ピンがアサートされます（構成ビット MASK_INT_FOR_PB =「0」の場合）。 0h = PB リリースは検出されていません 1h = PB リリースは検出されています
0	PB_FALLING_EDGE_DETECTED	R/W1C	0h	PB は前回このビットがクリアされてから、グリッチ除去期間>（64 ～ 128ms）の間、プレスされました。このビットを設定すると、nINT ピンがアサートされます（構成ビット MASK_INT_FOR_PB =「0」の場合）。 0h = PB プレスは検出されていません 1h = PB プレスは検出されています

8.1.48 USER_NVM_CMD_REG レジスタ（オフセット = 34h）[リセット = 00h]

図 8-48 に USER_NVM_CMD_REG を示し、表 8-50 に、その説明を示します。

概略表に戻ります。

図 8-48. USER_NVM_CMD_REG レジスタ

7	6	5	4	3	2	1	0
CUST_NVM_VERIFY_ERR	CUST_NVM_VERIFY_DONE	CUST_PROG_DONE	I2C_OSC_ON	USER_NVM_CMD			
R/W1C-0h	R/W1C-0h	R/W1C-0h	R-0h	R-0h			

表 8-50. USER_NVM_CMD_REG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CUST_NVM_VERIFY_ERR	R/W1C	0h	NVM 検証エラーを示すフラグで、NVM 検証機能が実行された直後に設定されます。 0h = PASS 1h = FAIL
6	CUST_NVM_VERIFY_DONE	R/W1C	0h	CUST_NVM_VERIFY_CMD の実行後、「1」に設定されます。ユーザーが W1C を実行するまで「1」のままになります。 0h = 未完了/進行中 1h = 完了
5	CUST_PROG_DONE	R/W1C	0h	CUST_PROG_CMD の実行後、「1」に設定されます。ユーザーが W1C を実行するまで「1」のままになります。 0h = 未完了/進行中 1h = 完了
4	I2C_OSC_ON	R	0h	EN_OSC_DIY を受信すると、このレジスタ フィールドは「1」に設定されます。 0h = OSC は I2C 経由して制御されていません 1h = I2C コマンド EN_OSC_DIY により無条件で OSC をオン
3-0	USER_NVM_CMD	R	0h	DIY プログラミングモードに移行し、ユーザー NVM 空間をプログラムするためのコマンド。常に 0 として読み出します 6h = DIS_OSC_DIY 7h = CUST_NVM_VERIFY_CMD 9h = EN_OSC_DIY Ah = CUST_PROG_CMD

Copyright © 2025 Texas Instruments Incorporated

8.1.49 POWER_UP_STATUS_REG レジスタ（オフセット = 35h）[リセット = 00h]

図 8-49 に POWER_UP_STATUS_REG を示し、表 8-51 に、その説明を示します。

概略表に戻ります。

図 8-49. POWER_UP_STATUS_REG レジスタ

7	6	5	4	3	2	1	0
POWER_UP_FROM_FSD	POWER_UP_FROM_EN_PB_VSENSE	COLD_RESET_ISSUED	状態		RETRY_COUNT		POWER_UP_FROM_OFF
R/W1C-0h	R/W1C-0h	R/W1C-0h	R-0h		R-0h		R/W1C-0h

表 8-51. POWER_UP_STATUS_REG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	POWER_UP_FROM_FSD	R/W1C	0h	FSD が原因で ON_REQ がトリガされた場合に設定されます 0h = FSD によるパワーアップは検出されていません 1h = FSD によるパワーアップは検出されています
6	POWER_UP_FROM_EN_PB_VSENSE	R/W1C	0h	EN/PB/VSENSE ピンが原因で ON_REQ がトリガされた場合に設定されます 0h = ピンは検出されていません 1h = 検出されたピン経由でパワーアップ
5	COLD_RESET_ISSUED	R/W1C	0h	I2C 経由で COLD_RESET を受信した場合に設定されます 0h = コールド リセットは受信していません 1h = I2C 経由でコールド リセットを受信しました
4-3	状態	R	0h	現在のデバイス状態を示します 0h = 遷移状態 1h = 初期化 2h = スタンバイ 3h = ACTIVE
2-1	RETRY_COUNT	R	0h	ステートマシンの現在のリトライ カウントを読み取ります。RETRY_COUNT = 3 で、マスクされていない場合、デバイスは起動しません。
0	POWER_UP_FROM_OFF	R/W1C	0h	オフ状態から電源が投入されたかどうかを示します（UVLO がアサートされました） 0h = このビットが前回クリアされた後に、オフ状態に移行していません 1h = このビットが前回クリアされた後に、オフ状態に移行しています

8.1.50 SPARE_2 レジスタ (オフセット = 36h) [リセット = 00h]

図 8-50 に、SPARE_2 を示し、表 8-52 に、その説明を示します。

概略表に戻ります。

図 8-50. SPARE_2 レジスタ

7	6	5	4	3	2	1	0
SPARE_2_1							
R/W-0h							

表 8-52. SPARE_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	SPARE_2_1	R/W	0h	ユーザーの非 NVM 領域の Spare ビット

Copyright © 2025 Texas Instruments Incorporated

8.1.51 SPARE_3 レジスタ (オフセット = 37h) [リセット = 01h]

図 8-51 に、SPARE_3 を示し、表 8-53 に、その説明を示します。

概略表に戻ります。

図 8-51. SPARE_3 レジスタ

7	6	5	4	3	2	1	0
SPARE_3_1							REG_LOCK_STATUS
R/W-0h							R-1h

表 8-53. SPARE_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	SPARE_3_1	R/W	0h	ユーザーの非 NVM 領域の Spare ビット
0	REG_LOCK_STATUS	R	1h	レジスタ ロックのステータス 0h = REG_LOCK レジスタに基づいて書き込みアクセスが許可されています 1h = REG_LOCK レジスタに基づいて書き込みアクセスが許可されていません

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

以下のセクションでは、PMIC の適切な使用方法について詳しく説明します。注文可能な各型番には固有のデフォルト不揮発性メモリ（NVM）設定があり、その注文可能な部品番号に関連する『技術参考書（TRM）』は、製品フォルダの「技術資料」から入手できます。特定のアプリケーション情報については、これらの TRM を参照してください。より一般的なトピックといくつかの例は、ここで概説します。

新規設計に役立つさまざまなツールや資料が、製品フォルダ内に用意されています。ここで、いくつかの例を挙げます

- 評価基板とユーザーガイド
- PMIC と通信するための GUI
- 回路図とレイアウトのチェックアウト
- PMIC を使用して指定のプロセッサと SoC に電源を供給する方法が記載されたユーザーガイド。
- 注文可能な各製品のデフォルトのレジスタ設定の説明が記載された技術参考書（TRM）。

9.2 代表的なアプリケーション

TPS65214 PMIC は、5 個のレギュレータ、3 個の降圧レギュレータ、2 個の低ドロップアウト レギュレータ（LDO）を内蔵しています。このパワー マネージメント IC は電源リソースに加えて、構成可能な 3 本のマルチファンクション ピン、1 つの GPO と I2C 通信機能も統合されているため、さまざまなプロセッサ、マイクロコントローラ、SoC に電力を供給するためにコストとサイズを最適化したデバイスとなっています。プロセッサと周辺装置に電力を供給する目的で TPS65214 を設計する際には、いくつかの事項を考慮に入れる必要があります。供給レールの数およびそれとともに使用される外部コンポーネントを決定するには、必要なレギュレータの数、必要なシーケンス、負荷電流要件、電圧特性のすべてが重要です。次のセクションでは、一般的なケースについて説明します。特定のケースについては、注文可能な型番に基づいて該当するユーザーガイドと技術参考書（TRM）を参照してください。

9.2.1 代表的なアプリケーションの例

この例では、単一の TPS65214 PMIC を使用して汎用プロセッサに電力を供給しています。この電源供給ネットワーク（PDN）は、BUCK と LDO への 3.3V 入力電源を示しています。Buck1 は最高電流特性を持つレギュレータであるため、プロセッサの CORE レールに電力を供給するように割り当てられました。Buck3 は、アプリケーション DRAM の VDDQ に電力を供給するために割り当てられます。GPIO として構成された GPIO/VSEL マルチファンクションピンは、3.3V を供給する個別の電源スイッチをシーケンス処理します。Buck2 はシステムに 1.8V の IO 電圧を供給し、WiFi デバイスなどの周辺装置の電流要件をサポートします。低ノイズ LDO1 は SoC のアナログ電源を供給し、LDO2 は周辺装置レールに 2.5V 電圧を供給します。

Copyright © 2025 Texas Instruments Incorporated

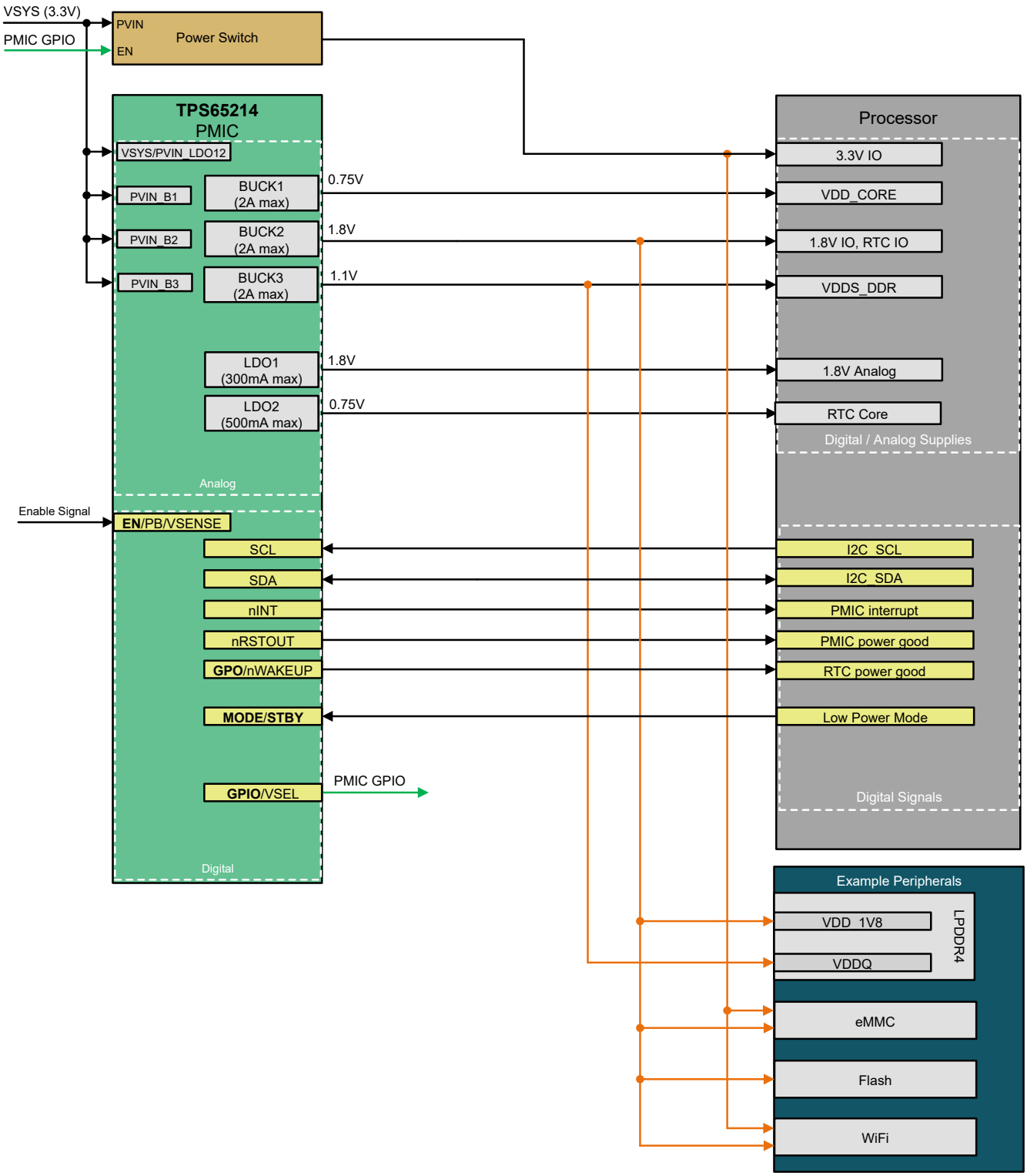


図 9-1. パワー マップの例

9.2.2 設計要件

このセクションで説明されている典型的なアプリケーションの設計要件は以下の通りです。

- VDD CORE レールには高負荷過渡応答の 0.75V レールが必要です。
- アナログ回路には低ノイズの 1.8V が必要です。
- プロセッサの IO ドメインと周辺装置には 3.3V と 1.8V が必要です。
- LPDDR4 には 1.1V のレールが必要です。

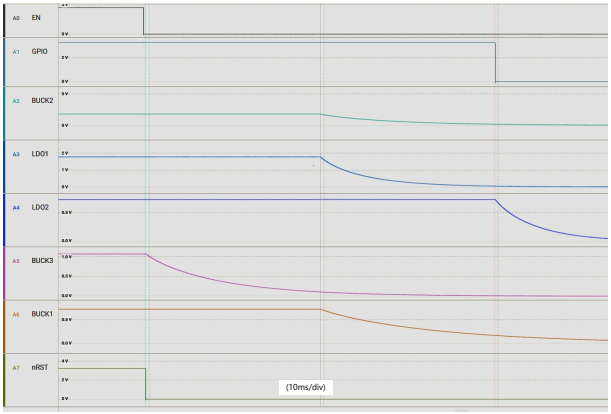
9.2.3 詳細な設計手順

このセクションでは TPS65214 PMIC に内蔵されている各パワー モジュールの設計手順について説明します。本セクションで言及されている外部コンポーネントの値の大半は、標準仕様に基づいています。最小値と最大値については、「仕様」セクションに記載された該当パラメータを参照してください。

9.2.3.1 アプリケーション曲線

スロット番号	持続期間	割り当てられたレール
0	3ms	GPIO
1	0ms	
2	3ms	BUCK2 / LDO1 / LDO2
3	0ms	
4	1.5ms	BUCK3
5	1.5ms	BUCK1
6	10ms	nRSTOUT
7	10ms	

図 9-2. 構成可能パワーアップ シーケンシング - 例



スロット番号	持続期間	割り当てられたレール
0	10ms	nRSTOUT / BUCK3
1	0ms	
2	10ms	BUCK1 / BUCK2 / LDO1
3	0ms	
4	10ms	LDO2 (GPIO)
5	0ms	
6	0ms	
7	0ms	

図 9-3. 構成可能パワーダウン シーケンシング - 例

9.2.3.2 Buck1、Buck2、Buck3 の設計手順

入力キャパシタンス - Buck1、Buck2、Buck3

各降圧コンバータには、対応する PVIN_Bx ピンに入力コンデンサが必要です。コンデンサの値は、電圧と温度のデレーティングを考慮して選定する必要があります。スイッチング コンバータの特性により、最良の入力電圧フィルタリングのためには低 ESR セラミック コンデンサが必要です。代表的な推奨容量は 4.7uF、10V のコンデンサです。PCB サイズが大きなフットプリントを許容する場合は、より高い入力キャパシタンスを使用することができます。

出力キャパシタンス - Buck1、Buck2、Buck3

すべての降圧コンバータの出力には、LC 出力フィルタの容量成分を形成するためのローカル出力コンデンサが必要です。ここでは、X7 温度係数のセラミックコンデンサを推奨します。非車載用途では、動作温度に基づいて X6 以下の温度係数を使用することができます。降圧コンバータには、出力コンデンサの選定に影響を与える 2 つの帯域幅設定がありま

Copyright © 2025 Texas Instruments Incorporated

す。帯域幅選択は、各降圧コンバータに対して独立したレジスタフィールドです。NVM 構成と対応する出力キャパシタンス要件を特定するための注文可能な指定の部品番号については、技術参考書（TRM）を参照してください。表 9-1 は、各スイッチング モードと帯域幅構成における必要最小値と最大値（ディレーティング後）の静電容量を示しています。ここでは、セラミック コンデンサの DC バイアス電圧特性、許容差、経年変化、温度効果を考慮する必要があります。ESR は 10mΩ 以下でなければいけません。

表 9-1. 降圧出力キャパシタンス

スイッチング モード	帯域幅の選択	仕様パラメータ	容量	
	レジスタ フィールド：BUCK1_BW_SEL、BUCK2_BW_SEL、BUCK3_BW_SEL		最小値	最大値（ローカル + 負荷点を含む）
擬似固定周波数（自動 PFM および強制 PWM）	低帯域幅	COUT	10uF	75uF
	高帯域	COUT_HIGH_BW	30uF	220uF

インダクタの選択 - Buck1、Buck2、Buck3

降圧コンバータの内部パラメータは、470nH のインダクタ向けに最適化されています。DCR は 50mΩ 以下でなければいけません。5.4A 以上の飽和電流をサポートする定格のインダクタを選択します。

9.2.3.3 LDO1 と LDO2 の設計手順

入力キャパシタンス - LDO1、LDO2

LDO1 および LDO2 の入力電源ピンには、入力リップル電圧を最小限に抑えるための入力デカップリング コンデンサが必要です。この 2 つの LDO は、VSYS と同じ入力電源ピンを共有しています。最小の 4.7µF 入力キャパシタンスを使用することを推奨します。LDO の入力電圧によっては、6.3V 以上の定格コンデンサを使用することができます。LDO が LDO またはロード スイッチとして構成されている場合、同じ入力キャパシタンス要件が適用されます。

出力キャパシタンス - LDO1、LDO2

LDO 出力では、負荷ステップ時または入力電圧の変化時に、出力電圧を保持するために、出力コンデンサが必要です。各 LDO 出力には、ESR が 100mΩ 以下の 2.2µF ローカル容量を使用することを推奨します。各 LDO がサポートできる総容量（ローカル + 負荷点）は、NVM 構成によって異なります。LDOx 出力キャパシタンス には、最大許容総出力容量が記載されています。レジスタ設定と適用可能な最大総容量に基づいて LDO 構成を特定するための注文可能な指定の部品番号については、技術参考書（TRM）を参照してください。

表 9-2. LDOx 出力キャパシタンス

レジスタ設定 LDOx_LSW_CONFIG	LDO による構成	最大総容量（2.2uF ローカル + 負荷点）
0	LDO	40uF
1	ロード スイッチ	50uF

9.2.3.4 VSYS、VDD1P8

VSYS ピンは、LDO1、LDO2、内部 VDD1P8 LDO、その他の内部機能に電力を供給します。このピンには、4.7uF の標準セラミック コンデンサが必要です。入力電圧フィルタリング改善のためには、入力コンデンサをいくらでも大きくすることができます。標準的な用途では、このピンは PVIN_Bx ピンに電源を供給する同じプリレギュレータに接続されます。

VDD1P8 は内部基準 LDO であり、負荷をかけてはいけません。このピンには、2.2uF のセラミック コンデンサが必要です。

9.2.3.5 デジタル信号設計手順

このセクションでは、デジタル ピンに必要な外部接続について説明します。VIO 供給電圧は、外部プルアップが必要なデジタル信号の電圧レベルとして、一般的に 3.3V または 1.8V が使用されます。ただし、最大仕様まで高い電圧を使用することもできます。PMIC のデジタル ピンの VIO 供給電圧は、接続されるプロセッサ上のデジタル信号の IO ドメインと同じでなければなりません。EN/PB/VSENSE に推奨されるプルアップ抵抗値は 100kΩ です。I2C ピンのプルアップ抵抗は、システムの要件に基づいて計算できます。その他のデジタル ピンには 10kΩ を使用できます。

GPO または GPIO が電源アップシーケンスの最初のスロットに割り当てられ、外部ディスクリートを有効にする場合、VSYS にプルアップすることができます。

EN/PB/VSENSE ピンは、PMIC を有効にするために外部から駆動することができます。ただし、アプリケーションにこのピンを駆動する専用の外部信号がない場合、VSYS にプルアップすることができます。

注

I2C（I2C_OFF_REQ）によって I2C オフ要求が送信された後に PMIC をウェークアップするには、EN/PB/VSENSE ピンを外部信号で駆動する必要があります。I2C によってオフ要求が送信され、EN/PB/VSENSE が外部信号で駆動されていない場合、PMIC を初期化状態からアクティブ状態に移行させるために、VSYS の電源サイクルを実行する必要があります。

表 9-3. デジタル信号要件

デジタル ピン	外部接続
nINT	オープン ドレイン出力。外部プルアップが必要です。
nRSTOUT	オープン ドレイン出力。外部プルアップが必要です。
EN/PB/VSENSE	EN として構成した場合、この信号は外部ロジックによって駆動され、PMIC が有効になります。 PB として構成した場合、この信号には VSYS ピンに接続されたプルアップ抵抗が必要です。プッシュボタンはオプションです。 VSENSE として構成した場合、この信号にはプリレギュレータを監視するための外部抵抗分圧器が必要です。
SDA	I2C クロック信号外部プルアップが必要です。
SCL	I2C データ信号外部プルアップが必要です。
GPIO/VSEL	GPIO として構成した場合、このピンには外部プルアップが必要です。 VSEL として構成した場合、割り当てられた PMIC レールが立ち上がる前に初期状態（プルアップまたはプルダウン）を設定する必要があります。例えば、このピンを BUCK3 の電圧設定に使用する場合は、BUCK3 の電源をオンにする前に状態を設定する必要があります。
GPO/nWAKEUP	ホスト用のオープンド レイン汎用出力または電源投入イベント信号。外部プルアップが必要です。
モード/スタンバイ	入力デジタル ピン初期状態（プルアップまたはプルダウン）は、電源オンシーケンスが完了する前に設定する必要があります。

9.3 電源に関する推奨事項

デバイスは、2.5V～5.5V の入力電源電圧範囲で動作するように設計されています。入力電源には、シングル セル リチウム イオン電池、2 個の一次電池、または安定化プリレギュレータで電力を供給できます。電源電圧を選択するときは、各 PMIC レギュレータに必要な電圧ヘッドルームを考慮する必要があります。降圧コンバータの場合、入力電源は出力電圧を $V_{HEADROOM_PWM}$ 以上上回ることが推奨されます。LDO の場合、入力電源は出力電圧を $V_{DROPOUTx}$ 以上上回ることが推奨されます。また、入力電源レールの抵抗は低く保ち、入力電流の変動時に UVLO 故障が発生しないようにする必要があります。入力電源がデバイスから数インチ以上離れている場合は、セラミック バイパス コンデンサに加えて追加のバルク容量が必要となることがあります。通常は、47µF の電解コンデンサを使用します。PMIC に電力を供給するためにプリレギュレータを使用する場合、制御されていないパワーダウン時に可能な限り PMIC の入力に電圧を保持するために、アクティブ放電なしのプリレギュレータを選択することを推奨します。

Copyright © 2025 Texas Instruments Incorporated

注意
シーケンシングおよび電圧要件：PVIN_Bx の電圧は VSYS を超えないようにする必要があります。デジタル信号のプルアップ電源は、どの時点においても VSYS を超えないようにする必要があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

すべてのスイッチング電源において、レイアウトは設計の重要なステップです。レイアウトを慎重に行なわないと、レギュレータに安定性に関する問題や EMI の問題が生じる場合があります。主要な電流パスおよびパワー グランドには広く短い配線を使用してください。入力コンデンサ、出力コンデンサ、インダクタは、できるだけデバイスの近くに配置します。出力コンデンサはグラウンドに対して低インピーダンスでなければいけません。コンデンサの接地用パッドでは、複数（3 個以上）の VIAS を直接使用します。ここで、いくつかレイアウトのガイドラインを示します。

- **PVIN_Bx**：入力コンデンサは、レイアウト DRC 規則で許可されている限り IC の近くに配置します。入力コンデンサと PVIN_Bx ピンの間に余計な寄生インダクタンスがあると、電圧スパイクが発生する可能性があります。トレースのインダクタンスを最小限に抑えるため、広く短いトレースまたはポリゴンを使用します。このノードは高周波スイッチング電流が流れるため、入力コンデンサやデバイスピンの近くに感度の高い信号を配線しないでください。各 DCDC の GND パッドに、1A あたり 3 ～ 4 個のビアを追加します。スペースの制約で、入力コンデンサを PMIC と同じ層に配置できない場合は、IC の近くに VIAS
- **LX_Bx**：インダクタは、PVIN の入力コンデンサを妥協しない範囲で PMIC の近くに配置し、短く広いトレースまたはポリゴンでピンと接続します。このノードの近くには、感度の高い信号は配線しないでください。SW ノードで VIAS を使用しないために、インダクタは IC と同じ層に配置します。SW ノードは、入力電圧からグランドまでの立ち上がりおよび立ち下がり時間が速いため、EMI の主要な発生源となります。EMI を低減するために、必要に応じて RC スナバ回路を SW ノードに追加できます。
- **FB_Bx**：各 FB_Bx ピンは、出力コンデンサまでトレースとして配線します。FB_Bx ピンには、出力電圧ポリゴンを直接延長して接続しないで、必ずトレースとして配線する必要があります。出力コンデンサから FB_Bx ピンまでのトレース抵抗は 1Ω 未満に抑えてください。TPS65214 はリモートセンシングをサポートしていないため、FB_Bx ピンを PMIC のローカル コンデンサに接続する必要があります。カップリングを避けるため、FB_Bx は、スイッチ ノードやインダクタの下など、ノイズの多い信号の近くに配線しないでください。スペースの制約がある場合、FB_Bx ピンは内層を経由して配線できます。レイアウト例を参照してください。
- **Bucks Cout**：電磁放射を最小限に抑えるため、ローカル出力コンデンサはインダクタの近くに配置する必要があります。
- **VSYS/PVIN_LDO12**：入力コンデンサは、できる限り VSYS/PVIN_LDO12 ピンの近くに配置します。ノイズ結合を最小限に抑えるため、この入力パターンは PVIN_Bx から離して配線します。スペースの制約で、入力コンデンサを PMIC と同じ層に配置できない場合は、IC の近くに VIAS を介して反対側の層に配置します。
- **VLDOx**：出力コンデンサは VLDOx ピンの近くに配置します。LDO レギュレータのフィードバック接続は内部で行われます。そのため、LDO の出力と負荷の間の PCB 抵抗は、LDO が許容する IR ドロップの範囲内に抑える必要があります。
- **VDD1P8**：2.2µF コンデンサは、VDD1P8 ピンのできるだけ近くに配置してください。このコンデンサは、IC と同じ層に配置する必要があります。2 ～ 3 個の VIAS を使って、コンデンサの GND 側を PCB の GND プレーンに接続できます。
- **電力パッド**：サーマル パッドは、最低 2 つの VIAS を使用して PCB のグランド プレーンに接続する必要があります。
- **AGND**：AGND は電力パッド（またはサーマル パッド）に接続しないでください。AGND ピンは、VIA 経由で PCB のグランド プレーンに接続する必要があります。AGND ピンから VIA までのパターンは短絡させておきます。

9.4.2 レイアウト例

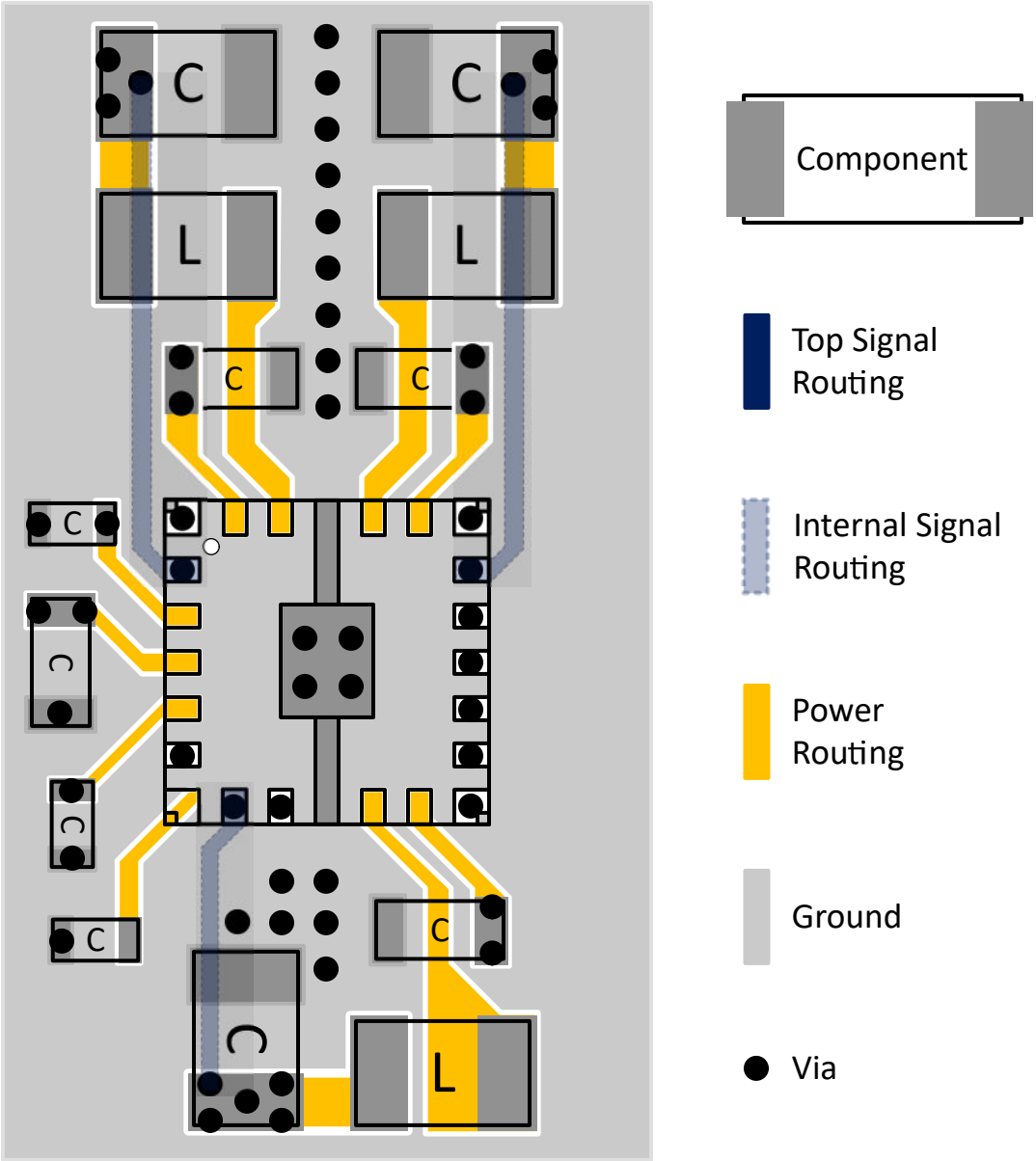


図 9-4. PMIC レイアウト例

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (March 2025) to Revision A (November 2025)	Page
• デバイスのステータスを「事前情報」から「量産データ」に変更	1
• 機能、デバイスの比較、電気的特性表、代表的特性の画像、機能の説明、レジスタ、アプリケーション情報、設計要件、レイアウトに関する推奨事項を、量産開始前のデータリリース向けに更新しました。	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS6521401VAFR	Active	Preproduction	WQFN-HR (VAF) | 24	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 105	
PTPS6521401VAFR.A	Active	Preproduction	WQFN-HR (VAF) | 24	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 105	
TPS6521401VAFR	Active	Production	WQFN-HR (VAF) | 24	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 105	O21401
TPS6521402VAFR	Active	Production	WQFN-HR (VAF) | 24	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 105	O21402

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

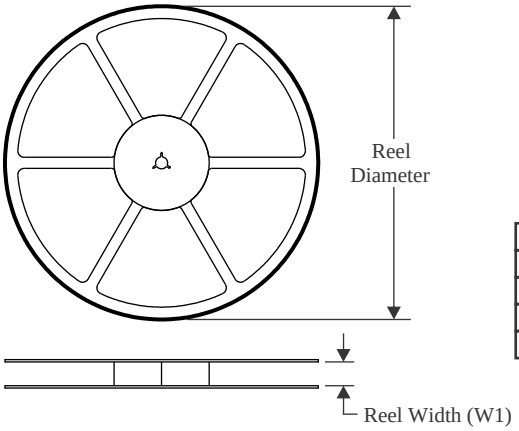
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

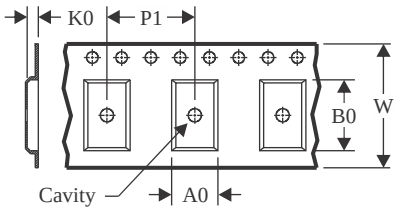
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

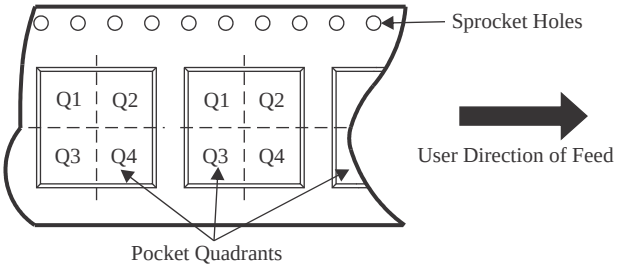


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

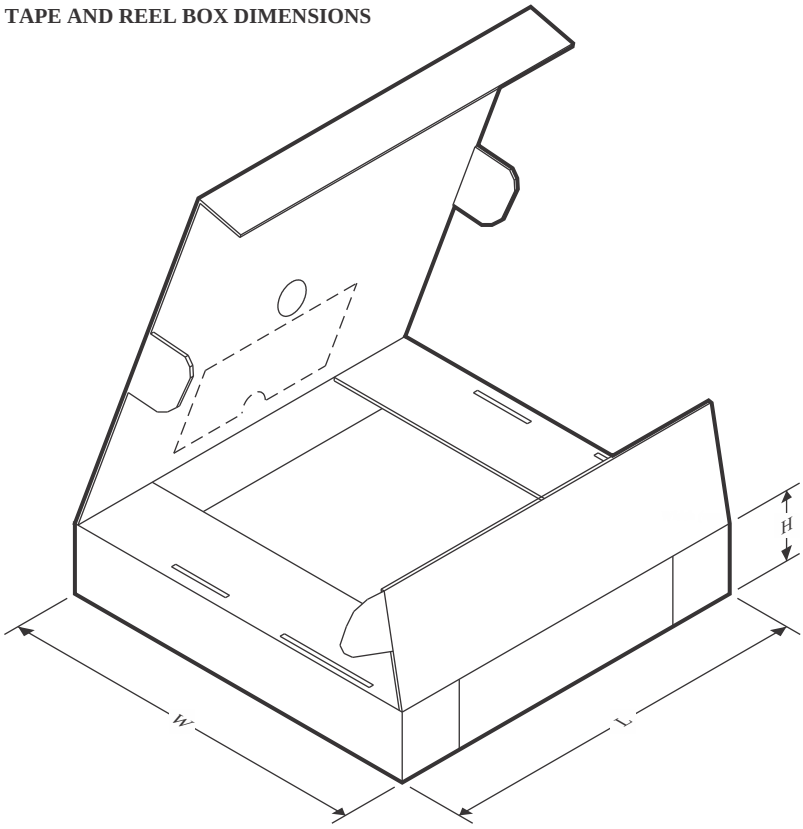
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS6521401VAFR	WQFN-HR	VAF	24	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2
TPS6521402VAFR	WQFN-HR	VAF	24	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

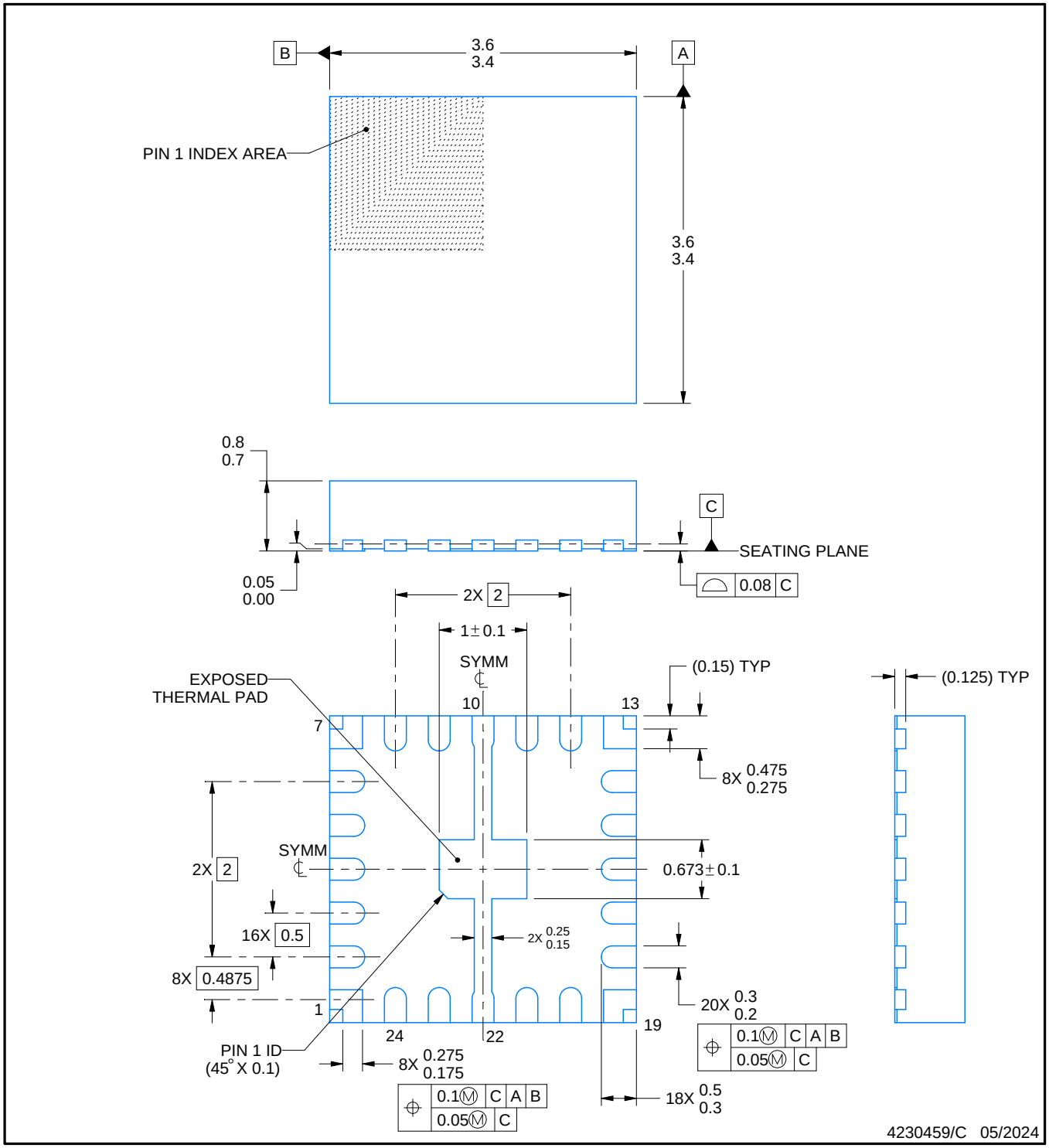
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS6521401VAFR	WQFN-HR	VAF	24	3000	360.0	360.0	36.0
TPS6521402VAFR	WQFN-HR	VAF	24	3000	360.0	360.0	36.0

PACKAGE OUTLINE

VAF0024A

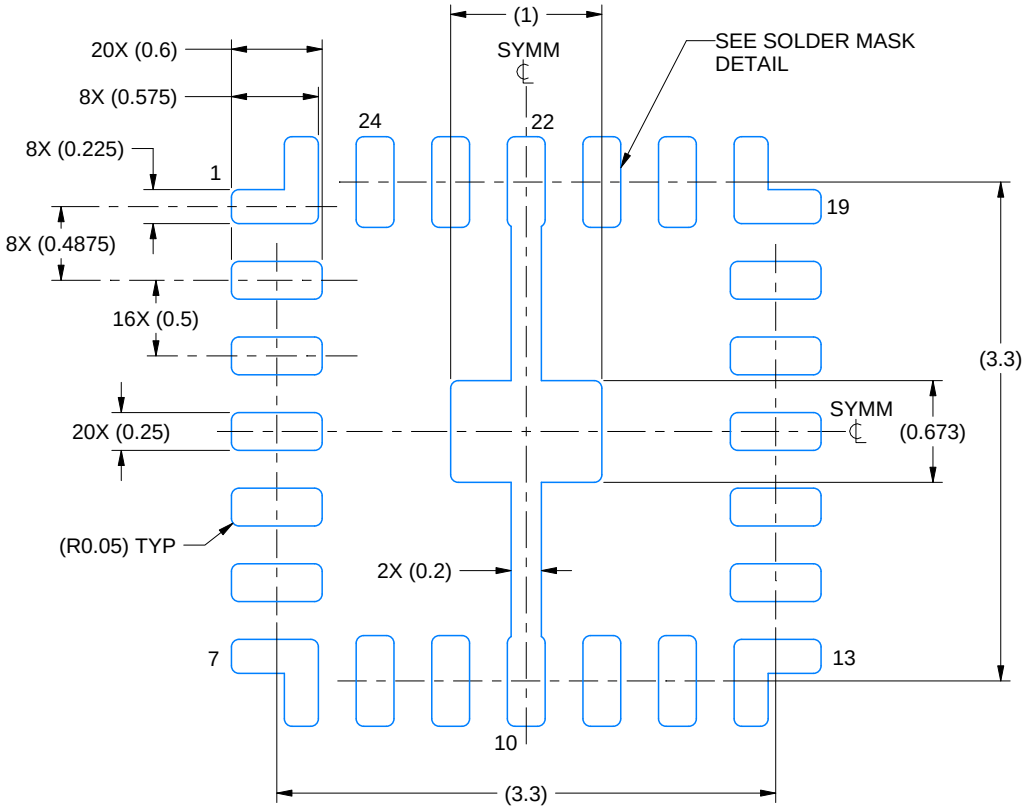
WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

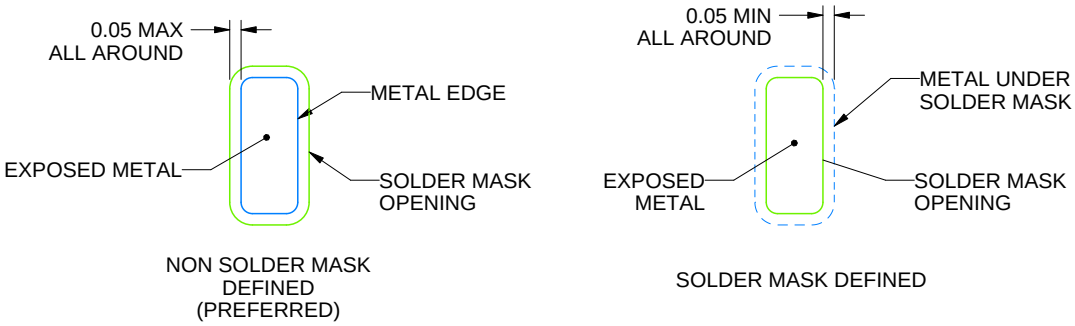


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

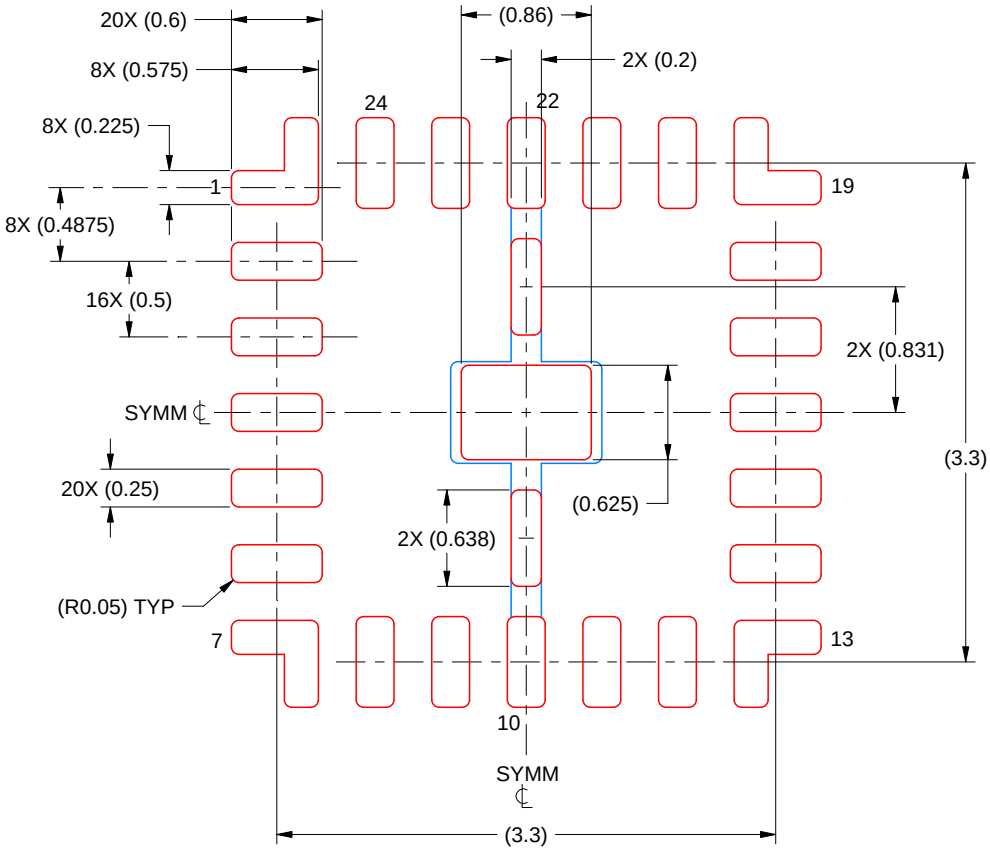


SOLDER MASK DETAILS

4230459/C 05/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 20X

EXPOSED PAD CONNECTED TO PINS 10 & 22
80% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4230459/C 05/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月