

# TPS65216 パワー マネージメント IC (PMIC)、4 つの DC/DC コンバータ、1 つの LDO、統合型電源シーケンス搭載

## 1 特長

- スイッチング FET 内蔵の 3 つの可変降圧コンバータ (DCDC1, DCDC2, DCDC3):
  - DCDC1: デフォルト 1.1V、最大 1.8A
  - DCDC2: デフォルト 1.1V、最大 1.8A
  - DCDC3: デフォルト 1.1V、最大 1.8A
  - VIN 範囲: 3.6V ~ 5.5V
  - 可変出力電圧範囲: 0.85V ~ 1.675V (DCDC1 および DCDC2)
  - 可変出力電圧範囲: 0.9V ~ 3.4V (DCDC3)
  - 軽負荷電流時のパワー セーブ モード
  - 100% デューティ サイクル動作による最小のドロップアウト電圧
  - ディスエーブル時のアクティブ出力放電
- スイッチング FET 内蔵の 1 つの可変昇降圧コンバータ (DCDC4):
  - DCDC4: デフォルト 3.3V、最大 1.6A
  - VIN 範囲: 3.6V ~ 5.5V
  - 可変出力電圧範囲: 1.175V ~ 3.4V
  - ディスエーブル時のアクティブ出力放電
- 可変汎用 LDO (LDO1)
  - LDO1: デフォルトで、最大 400mA
  - VIN 範囲: 1.8V ~ 5.5V
  - 可変出力電圧範囲: 0.9V ~ 3.4V
  - ディスエーブル時のアクティブ出力放電
- 100mA または 500mA の選択可能な電流制限付き高電圧負荷スイッチ (LS)
  - VIN 範囲: 1.8V ~ 10V
  - 500mΩ (最大) のスイッチインピーダンス
- スーパーバイザ機能モニタ内蔵のスーパーバイザ
  - DCDC1, DCDC2, ±4% の許容差
  - DCDC3, DCDC4, ±5% の許容差
  - LDO1, ±5% の許容差
- 保護、診断、制御:
  - 低電圧誤動作防止 (UVLO)
  - 常時オンのプッシュボタン モニタ
  - 過熱警告およびシャットダウン
  - I<sup>2</sup>C インターフェイス (アドレスは 0x24) (400kHz 時の I<sup>2</sup>C の動作については、「[タイミング要件](#)」を参照)

## 2 アプリケーション

- グリッド インフラストラクチャ
- ヒューマン マシン インターフェイス (HMI)
- 産業用オートメーション
- 電子 POS (ePOS)
- 試験 / 測定機器
- 産業用通信
- バックプレーン I/O
- ネットワーク接続型の産業用ドライブ

## 3 説明

TPS65216 は、ライン電源 (5V) アプリケーションの AMIC110、AMIC120、AM335x、AM437x プロセッサ ファミリをサポートするように設計されたシングル チップのパワー マネージメント IC (PMIC) です。このデバイスは、-40°C ~ +105°C の温度範囲で動作することが特長で、各種の産業用アプリケーションに適しています。

TPS65216 は、AMIC110、AMIC120、AM335x、AM437x のすべての機能についてパワー マネージメントを行うよう、特化して設計されています。DCDC1 から DCDC4 までの各 DC/DC コンバータは、それぞれコア、MPU、DDR メモリ、3.3V アナログおよび I/O の給電用です。LDO1 は、プロセッサに 1.8V のアナログと I/O を供給します。GPIO2 は、DCDC1 および DCDC2 コンバータのウォーム リセットを行います。ユーザーは、I<sup>2</sup>C インターフェイスによりすべての電圧レギュレータ、負荷スイッチ、GPIO をイネーブル / ディセーブルできます。さらに、UVLO およびスーパーバイザ電圧スレッショルド、電源オン シーケンス、電源オフ シーケンスも I<sup>2</sup>C でプログラムできます。過熱、過電流、低電圧に対する割り込みも監視できます。スーパーバイザが DCDC1 ~ DCDC4、LDO1 を監視します。スーパーバイザには 2 つの設定があり、1 つは標準的な低電圧許容範囲 (STRICT = 0b)、もう 1 つは厳格な低電圧および過電圧の許容範囲 (STRICT = 1b) です。パワー グッド信号により、5V レギュレータが正しくリギュレートしていることが示されます。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

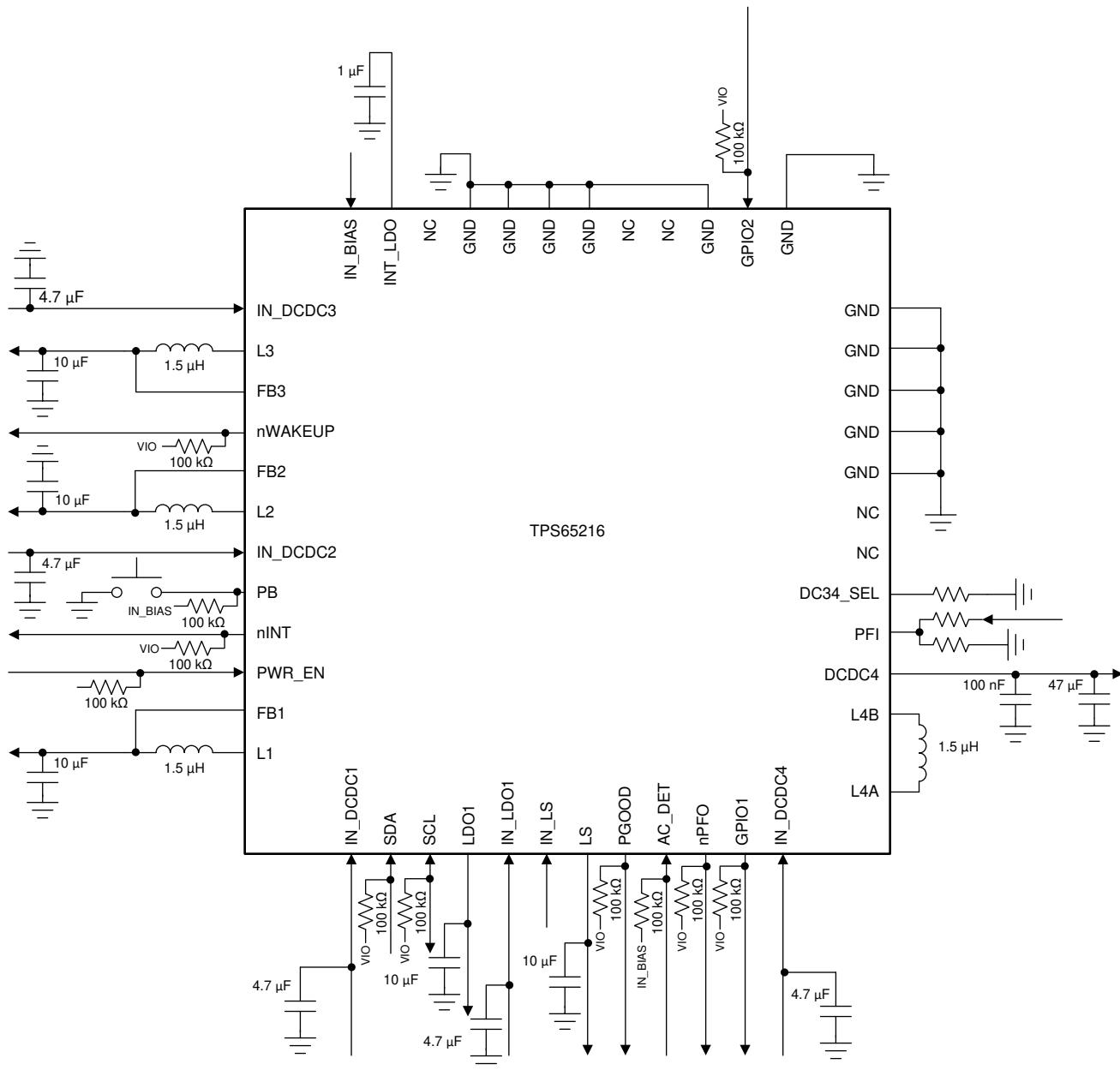
3つのヒステリシス降圧型コンバータは、プロセッサのコア、MPU、DDR<sub>x</sub> メモリへの給電用です。各コンバータのデフォルトの出力電圧は、I<sup>2</sup>C インターフェイスを介して調整可能です。DCDC1 および DCDC2 は動的電圧スケーリングにより、プロセッサのあらゆる動作点で電力を供給できます。また、DCDC1 および DCDC2 ではスルーレートをプログラミングできるため、プロセッサ コンポーネントの保護に役立ちます。DCDC3 は、プロセッサが SUSPEND モードの間も、DDR<sub>x</sub> メモリへの電力を維持するために給電され続けます。

TPS65216 デバイスは、48 ピン VQFN パッケージ (6mm × 6mm、0.4mm ピッチ) で供給されます。

### 製品情報

部品番号	パッケージ <sup>(1)</sup>	本体サイズ (公称)
TPS65216	VQFN (48)	6.00mm × 6.00mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図

## 目次

<b>1 特長</b>	1	<b>7 レジスタ マップ</b>	41
<b>2 アプリケーション</b>	1	<b>8 アプリケーションと実装</b>	79
<b>3 説明</b>	1	8.1 使用上の注意	79
<b>4 ピン構成および機能</b>	5	8.2 代表的なアプリケーション	79
<b>5 仕様</b>	8	8.3 電源に関する推奨事項	82
5.1 絶対最大定格	8	8.4 レイアウト	82
5.2 ESD 定格	8	<b>9 デバイスおよびドキュメントのサポート</b>	84
5.3 推奨動作条件	8	9.1 デバイス サポート	84
5.4 熱に関する情報	9	9.2 ドキュメントのサポート	84
5.5 電気的特性	9	9.3 ドキュメントの更新通知を受け取る方法	84
5.6 タイミング要件	17	9.4 サポート・リソース	84
5.7 代表的特性	18	9.5 商標	84
<b>6 詳細説明</b>	19	9.6 静電気放電に関する注意事項	84
6.1 概要	19	9.7 用語集	84
6.2 機能ブロック図	20	<b>10 改訂履歴</b>	85
6.3 機能説明	21	<b>11 メカニカル、パッケージ、および注文情報</b>	85
6.4 デバイスの機能モード	39	11.1 付録:パッケージ オプション	86

## 4 ピン構成および機能

図 4-1 に、リード無し 48 ピン RSL プラスチック クワッド フラットパックを示します。

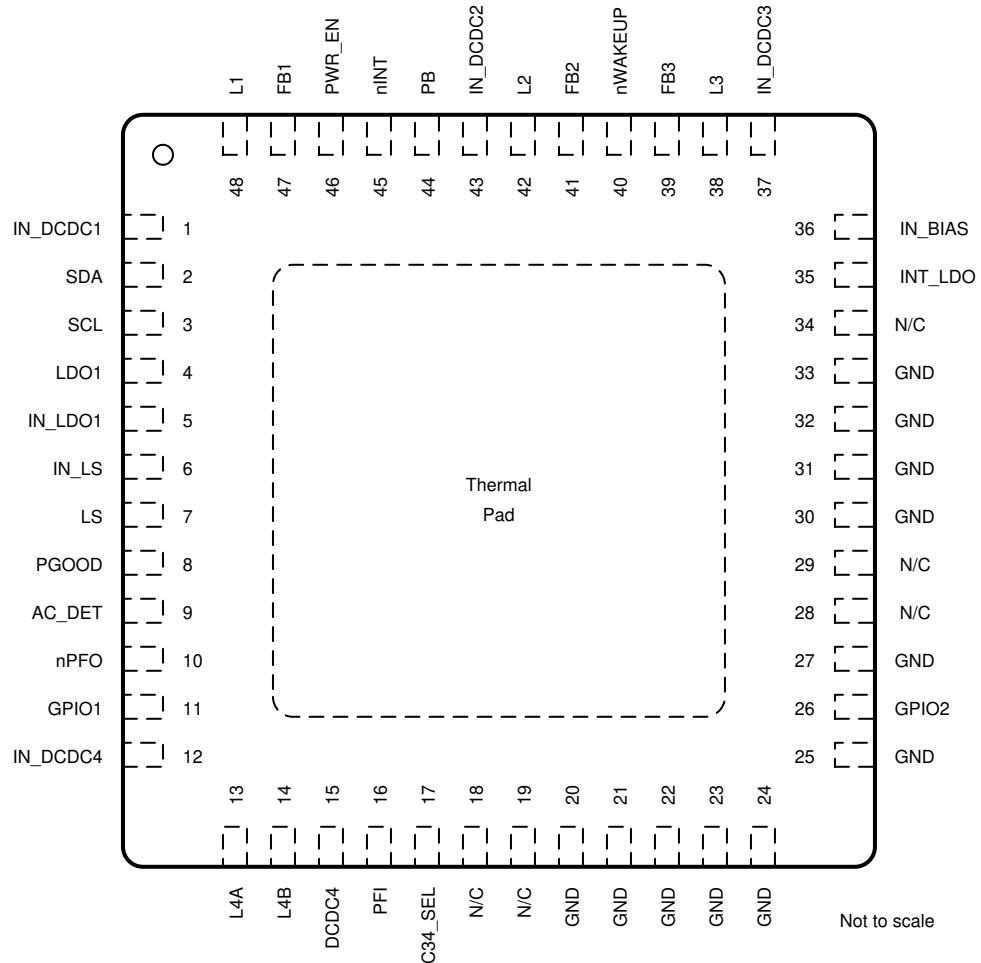


図 4-1. 48 ピン RSL VQFN (露出サーマル パッド付き) (上面図、6mm × 6mm × 1mm、0.4mm ピッチ)

表 4-1. ピンの機能

番号	ピン 名前	タイプ	説明
1	IN_DCDC1	P	DCDC1 の入力電源ピン。
2	SDA	I/O	I <sup>2</sup> C インターフェイスのデータライン。プルアップ抵抗に接続します。
3	SCL	I	I <sup>2</sup> C インターフェイス用クロック入力。プルアップ抵抗に接続します。
4	LDO1	O	LDO1 の出力電圧ピン。コンデンサに接続します。
5	IN_LDO1	P	LDO1 の入力電源ピン。
6	IN_LS	P	負荷スイッチの入力電源ピン。
7	LS	O	負荷スイッチの出力電圧ピン。コンデンサに接続します。
8	PGOOD	O	パワーグッド出力 (オープンドレインとして構成)。DCDC1 ~ 4 と LDO1 のいずれかがレギュレーション範囲外になると、Low にプルされます。負荷スイッチは、PGOOD ピンに影響を与えません。
9	AC_DET	I	AC モニタ入力および DCDC1 ~ 4、LDO1、負荷スイッチのイネーブル。詳細については、「動作モード」を参照してください。使用しない場合は、このピンを IN_BIAS に接続してください。

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
番号	名称		
10	nPFO	O	電源障害コンパレータ出力、グリッチ除去 (オープンドレイン)。PFI 入力が電源障害スレッショルドを下回ると、ピンは Low にプルされます。
11	GPIO1	I/O	汎用オープンドレイン出力として構成されるピン。詳細については、「 <a href="#">I/O 構成</a> 」を参照してください。
12	IN_DCDC4	P	DCDC4 の入力電源ピン。
13	L4A	P	DCDC4 用スイッチ ピン。インダクタに接続します。
14	L4B	P	DCDC4 用スイッチ ピン。インダクタに接続します。
15	DCDC4	P	DCDC4 の出力電圧ピン。コンデンサに接続します。
16	PFI	I	電源障害コンパレータ入力。抵抗分圧器に接続します。
17	DC34_SEL	I	DCDC3 または DCDC4 のパワーアップ時のデフォルト選択ピン。パワーアップのデフォルトは、グランドに接続された抵抗によってプログラムされます。抵抗の選択肢については、「 <a href="#">DCDC3 および DCDC4 のパワーアップ時のデフォルト選択</a> 」を参照してください。
18	N/C	—	接続なし。ピンはフローティングのままにしてください。
19	N/C	—	接続なし。ピンはフローティングのままにしてください。
20	GND	—	このピンはグランドに接続します。
21	GND		
22	GND		
23	GND		
24	GND		
25	GND	—	このピンは、DCDC1 および DCDC2 のウォームリセット (負エッジ) として、または汎用オープンドレイン出力として構成できます。詳細については、「 <a href="#">I/O の構成</a> 」をご覧ください。
26	GPIO2		
27	GND		
28	N/C		
29	N/C		
30	GND	—	接続なし。ピンはフローティングのままにしてください。
31	GND		
32	GND		
33	GND		
34	N/C	—	接続なし。ピンはフローティングのままにしてください。
35	INT_LDO	P	内部バイアス電圧。1 $\mu$ F コンデンサに接続します。TI では、このピンに外部負荷を接続することは推奨しません。
36	IN_BIAS	P	リファレンス システムの入力電源ピン。
37	IN_DCDC3	P	DCDC3 の入力電源ピン。
38	L3	P	DCDC3 用スイッチ ピン。インダクタに接続します。
39	FB3	I	DCDC3 の帰還電圧ピン。出力コンデンサに接続。
40	nWAKEUP	O	電源オン イベントを示す SOC への信号 (アクティブ Low、オープンドレイン出力)。
41	FB2	I	DCDC2 の帰還電圧ピン。出力コンデンサに接続。
42	L2	P	DCDC2 用スイッチ ピン。インダクタに接続します。
43	IN_DCDC2	P	DCDC2 の入力電源ピン。
44	PB	I	プッシュ ボタン モニタ入力。通常、モーメンタリスイッチ (アクティブ Low) に接続します。詳細については、「 <a href="#">動作モード</a> 」を参照してください。
45	nINT	O	割り込み出力 (アクティブ Low、オープンドレイン)。割り込みビットがセットされた場合、このピンは Low にプルされます。割り込みを引き起こしたビットが読み出された後、このピンは Hi-Z 状態に戻ります。割り込みはマスクできます。
46	PWR_EN	I	DCDC1-4、LDO1、負荷スイッチの電源イネーブル入力。詳細については、「 <a href="#">動作モード</a> 」を参照してください。

**表 4-1. ピンの機能 (続き)**

ピン		タイプ	説明
番号	名称		
47	FB1	I	DCDC1 の帰還電圧ピン。出力コンデンサに接続。
48	L1	P	DCDC1 用スイッチ ピン。インダクタに接続します。
—	サーマル パッ ド	P	電源グランドおよびサーマル リリーフ。グランド プレーンに接続します。

## 5 仕様

### 5.1 絶対最大定格

自由気流の温度範囲内での動作 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
電源電圧	IN_BIAS、IN_LDO1、IN_DCDC1、IN_DCDC2、IN_DCDC3、 IN_DCDC4	-0.3	7	V
	IN_LS	-0.3	11.2	
入力電圧	すべてのピン (個別に記述のない限り)	-0.3	7	V
出力電圧	すべてのピン (個別に記述のない限り)	-0.3	7	V
シンク電流	PGOOD、nWAKEUP、nINT、nPFO、SDA、GPIO1、GPIO2		6	mA
T <sub>A</sub>	動作時周囲温度	-40	105	°C
T <sub>J</sub>	接合部温度	-40	125	°C
T <sub>stg</sub>	保存温度	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

### 5.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 <sup>(2)</sup>	±500

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)。

		最小値	公称値	最大値	単位
電源電圧、IN_BIAS		3.6	5.5	5.5	V
DCDC1、DCDC2、DCDC3、DCDC4 の入力電圧		3.6	5.5	5.5	V
LDO1 の入力電圧		1.8	5.5	5.5	V
LS の入力電圧		1.8	10	10	V
DCDC1 の出力電圧		0.85	1.675	1.675	V
DCDC2 の出力電圧		0.85	1.675	1.675	V
DCDC3 の出力電圧		0.9	3.4	3.4	V
DCDC4 の出力電圧		1.175	3.4	3.4	V
LDO1 の出力電圧		0.9	3.4	3.4	V
DCDC1、DCDC2、DCDC3 の出力電流		0	1.8	1.8	A
DCDC4 の出力電流	VIN_DCDC4 = 2.8 V			1	A
	VIN_DCDC4 = 3.6 V			1.3	
	VIN_DCDC4 = 5 V			1.6	
LDO1 の出力電流		0	400	400	mA
LS の出力電流	VIN_LS > 2.3V	0	900	900	mA
	VIN_LS ≤ 2.3V	0	475	475	

## 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		TPS65216	単位
		RSL (VQFN)	
		48 ピン	
$R_{\theta JC(\text{top})}$	接合部とケースとの間 (上面)	17.2	°C/W
$R_{\theta JB}$	接合部と基板との間	5.8	°C/W
$R_{\theta JA}$	熱抵抗、接合部と周囲の間。JEDEC 4 層、High-K ボード。	30.6	°C/W
$\Psi_{JT}$	接合部とパッケージ上面との間	0.2	°C/W
$\Psi_{JB}$	接合部と基板との間	5.6	°C/W
$R_{\theta JC(\text{bot})}$	接合部とケースとの間 (下面)	1.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』アプリケーションレポートを参照してください。

## 5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>入力電圧および電流</b>					
$V_{IN\_BIAS}$	通常動作	3.6	5.5	5.5	V
	EEPROM プログラミング	4.5	5.5		
グリッチ除去時間		5		ms	
$I_{OFF}$	OFF 状態電流、IN_BIAS、 IN_DCDCx、IN_LDO1、 IN_Lsin_BU への合計電流	$V_{IN} = 3.6V$ 、すべてのレールがディセーブル。 $T_J = 0^{\circ}\text{C} \sim 85^{\circ}\text{C}$	5		μA
$I_{SUSPEND}$	SUSPEND 電流、IN_BIAS、 IN_DCDCx、IN_LDO1、IN_LS への合計電流	$V_{IN} = 3.6V$ 、DCDC3 イネーブル、低消費電力モード、 無負荷。 他のすべてのレールをディセーブル。 $T_J = 0^{\circ}\text{C} \sim 105^{\circ}\text{C}$	220		μA
<b>INT_LDO</b>					
$V_{INT\_LDO}$	出力電圧		2.5		V
	DC の精度	$I_{OUT} < 10\text{mA}$	-2%	2%	
$I_{OUT}$	出力電流範囲	最大許容外部負荷	0	10	mA
$I_{LIMIT}$	短絡電流制限	GND への出力短絡	23		mA
$t_{HOLD}$	ホールドアップ時間	$V_{INT\_LDO} = 1.8V$ で測定。 電源オフ前にすべてのレールがイネーブル。 $V_{IN\_BIAS} = 2.8V$ が $5\mu\text{s}$ 未満で $0V$ に変動。 INT_LDO に外部負荷なし。 $C_{INT\_LDO} = 1\mu\text{F}$ 。表 8-3 を参照。.	150		ms
$C_{OUT}$	出力コンデンサの公称値	セラミック、X5R または X7R、表 8-3 を参照。	0.1	1	22
	許容差	セラミック、X5R または X7R、定格電圧 $\geq 6.3V$	-20%	20%	
<b>DCDC1 (1.1V 降圧)</b>					
$V_{IN\_DCDC1}$	入力電圧範囲	$V_{IN\_BIAS} > V_{UVLO}$	3.6	5.5	V
$V_{DCDC1}$	出力電圧範囲	$I^2\text{C}$ 経由で調整可能	0.85	1.675	V
	DC の精度	$3.6V \leq V_{IN} \leq 5.5V$ 、 $0A \leq I_{OUT} \leq 1.8A$	-2%	2%	
動的精度	公称出力電圧を基準に、 $1\mu\text{s}$ 未満で $I_{OUT} = 50\text{mA} \sim 450\text{mA}$ $C_{OUT} \geq 10\mu\text{F}$ (全入力電圧範囲にわたって)。		-2.5%	2.5%	
$I_{OUT}$	連続出力電流	$V_{IN\_DCDC1} > 3.6V$		1.8	A
$I_Q$	静止時電流	$I_{IN\_DCDC1}$ ピンからの合計電流、デバイスがスイッチングしない、無負荷	25	50	μA

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_{DS(ON)}$	ハイサイド FET オン抵抗	$V_{IN\_DCDC1} = 3.6\text{ V}$		230	355	$\text{m}\Omega$
	ローサイド FET オン抵抗	$V_{IN\_DCDC1} = 3.6\text{ V}$		90	145	
$I_{LIMIT}$	下限側電流制限	$V_{IN\_DCDC1} = 3.6\text{ V}$		2.8		A
	ローサイド電流制限	$V_{IN\_DCDC1} = 3.6\text{ V}$		3.1		
$V_{PG}$	パワー グッド スレッショルド	$V_{OUT}$ 立ち下がり	STRICT = 0b	88.5%	90%	91.5%
			STRICT = 1b	96%	96.5%	97%
	ヒステリシス	$V_{OUT}$ 立ち上がり	STRICT = 0b	3.8%	4.1%	4.4%
			STRICT = 1b		0.25%	
	グリッチ除去	$V_{OUT}$ 立ち下がり	STRICT = 0b		1	ms
			STRICT = 1b		50	$\mu\text{s}$
		$V_{OUT}$ 立ち上がり	STRICT = 0b		10	$\mu\text{s}$
			STRICT = 1b		10	$\mu\text{s}$
	タイムアウト				5	ms
$V_{OV}$	過電圧検出スレッショルド	$V_{OUT}$ 立ち上がり、STRICT = 1b		103%	103.5%	104%
	ヒステリシス	$V_{OUT}$ 立ち下がり、STRICT = 1b			0.25%	
	グリッチ除去	$V_{OUT}$ 立ち上がり、STRICT = 1b			50	$\mu\text{s}$
$I_{INRUSH}$	突入電流	$V_{IN\_DCDC1} = 3.6\text{ V}$ 、 $C_{OUT} = 10\mu\text{F} \sim 100\mu\text{F}$			500	mA
$R_{DIS}$	放電抵抗		150	250	350	$\Omega$
$L$	インダクタの公称値	表 8-2 を参照してください。	1	1.5	2.2	$\mu\text{H}$
	許容差		-30%		30%	
$C_{OUT}$	出力キャパシタンス値	セラミック、X5R または X7R、表 8-3 を参照。	10	22	100 <sup>(1)</sup>	$\mu\text{F}$
<b>DCDC2 (1.1V 降圧)</b>						
$V_{IN\_DCDC2}$	入力電圧範囲	$V_{IN\_BIAS} > V_{UVLO}$	3.6	5.5		V
$V_{DCDC2}$	出力電圧範囲	$I^2\text{C}$ 経由で調整可能	0.85	1.675		V
	DC の精度	$3.6\text{V} \leq V_{IN} \leq 5.5\text{V}$ 、 $0\text{A} \leq I_{OUT} \leq 1.8\text{A}$	-2%		2%	
動的精度		公称出力電圧を基準に、 $1\mu\text{s}$ 未満で $I_{OUT} = 50\text{mA} \sim 450\text{mA}$ $C_{OUT} \geq 10\mu\text{F}$ (全入力電圧範囲にわたって)		-2.5%	2.5%	
$I_{OUT}$	連続出力電流	$V_{IN\_DCDC2} > 3.6\text{V}$			1.8	A
$I_Q$	静止時電流	$I_{IN\_DCDC2}$ ピンからの合計電流、デバイスがスイッチングしない、無負荷		25	50	$\mu\text{A}$
$R_{DS(ON)}$	ハイサイド FET オン抵抗	$V_{IN\_DCDC2} = 3.6\text{ V}$		230	355	$\text{m}\Omega$
	ローサイド FET オン抵抗	$V_{IN\_DCDC2} = 3.6\text{ V}$		90	145	
$I_{LIMIT}$	下限側電流制限	$V_{IN\_DCDC2} = 3.6\text{ V}$		2.8		A
	ローサイド電流制限	$V_{IN\_DCDC2} = 3.6\text{ V}$		3.1		

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
$V_{PG}$	パワー グッド スレッショルド	$V_{OUT}$ 立ち下がり	STRICT = 0b	88.5%	90%	91.5%	
			STRICT = 1b	96%	96.5%	97%	
	ヒステリシス	$V_{OUT}$ 立ち上がり	STRICT = 0b	3.8%	4.1%	4.4%	
			STRICT = 1b		0.25%		
	グリッチ除去	$V_{OUT}$ 立ち下がり	STRICT = 0b		1		ms
			STRICT = 1b		50		μs
		$V_{OUT}$ 立ち上がり	STRICT = 0b		10		μs
			STRICT = 1b		10		μs
	タイムアウト	DCDC2 のイネーブル時、および DCDC2 レジスタの書き込み (レジスタ 0x17) の後に発生			5		ms
$V_{OV}$	過電圧検出スレッショルド	$V_{OUT}$ 立ち上がり、STRICT = 1b		103%	103.5%	104%	
	ヒステリシス	$V_{OUT}$ 立ち下がり、STRICT = 1b			0.25%		
	グリッチ除去	$V_{OUT}$ 立ち上がり、STRICT = 1b			50		μs
$I_{INRUSH}$	突入電流	$V_{IN\_DCDC2} = 3.6V$ 、 $C_{OUT} = 10\mu F \sim 100\mu F$			500		mA
$R_{DIS}$	放電抵抗			150	250	350	Ω
$L$	インダクタの公称値	表 8-2 を参照してください。		1	1.5	2.2	μH
	許容差				-30%	30%	
$C_{OUT}$	出力キャパシタンス値	セラミック、X5R または X7R、表 8-3 を参照。		10	22	100 <sup>(1)</sup>	μF

### DCDC3 (1.2V 降圧)

$V_{IN\_DCDC3}$	入力電圧範囲	$V_{IN\_BIAS} > V_{UVLO}$		3.6	5.5	V	
$V_{DCDC3}$	出力電圧範囲	$I^2C$ 経由で調整可能		0.9	3.4	V	
	DC の精度	$3.6V \leq V_{IN} \leq 5.5V$ 、 $0A \leq I_{OUT} \leq 1.8A$ 、 $V_{IN\_DCDC3} \geq (V_{DCDC3} + 700mV)$		-2%	2%		
動的精度		公称出力電圧を基準に、 1μs 未満で $I_{OUT} = 50mA \sim 450mA$ $C_{OUT} \geq 10\mu F$ (全入力電圧範囲にわたって)		-2.5%	-2.5%		
$I_{OUT}$	連続出力電流	$V_{IN\_DCDC3} > 3.6V$			1.8	A	
$I_Q$	静止時電流	IN_DCDC3 ピンからの合計電流、 デバイスがスイッチングしない、無負荷		25	50	μA	
$R_{DS(ON)}$	ハイサイド FET オン抵抗	$V_{IN\_DCDC3} = 3.6V$		230	345	mΩ	
	ローサイド FET オン抵抗	$V_{IN\_DCDC3} = 3.6V$		100	150		
$I_{LIMIT}$	下限側電流制限	$V_{IN\_DCDC3} = 3.6V$		2.8		A	
	ローサイド電流制限	$V_{IN\_DCDC3} = 3.6V$		3			
$V_{PG}$	パワー グッド スレッショルド	$V_{OUT}$ 立ち下がり	STRICT = 0b	88.5%	90%	91.5%	
			STRICT = 1b	95%	95.5%	96%	
	ヒステリシス	$V_{OUT}$ 立ち上がり	STRICT = 0b	3.8%	4.1%	4.4%	
			STRICT = 1b		0.25%		
	グリッチ除去	$V_{OUT}$ 立ち下がり	STRICT = 0b		1		ms
			STRICT = 1b		50		μs
		$V_{OUT}$ 立ち上がり	STRICT = 0b		10		μs
			STRICT = 1b		10		μs
	タイムアウト	DCDC3 のイネーブル時、および DCDC3 レジスタの書き込み (レジスタ 0x18) の後に発生			5		ms

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
V <sub>OV</sub>	過電圧検出スレッショルド	V <sub>OUT</sub> 立ち上がり、STRICT = 1b	104%	104.5%	105%		
	ヒステリシス	V <sub>OUT</sub> 立ち下がり、STRICT = 1b		0.25%			
	グリッヂ除去	V <sub>OUT</sub> 立ち上がり、STRICT = 1b		50		μs	
I <sub>INRUSH</sub>	突入電流	V <sub>IN_DCDC3</sub> = 3.6V、C <sub>OUT</sub> = 10μF ~ 100μF		500		mA	
R <sub>DIS</sub>	放電抵抗		150	250	350	Ω	
L	インダクタの公称値	表 8-2 を参照してください。	1.0	1.5	2.2	μH	
	許容差		-30%	30%			
C <sub>OUT</sub>	出力キャパシタンス値	セラミック、X5R または X7R、表 8-3 を参照。	10	22	100	μF	
<b>DCDC4 (3.3V 昇降圧) / アナログおよび I/O</b>							
V <sub>IN_DCDC4</sub>	入力電圧動作範囲	V <sub>IN_BIAS</sub> > V <sub>UVLO</sub> 、-40°C ~ +105°C	3.6	5.5		V	
V <sub>DCDC4</sub>	出力電圧範囲	I <sup>2</sup> C 経由で調整可能	1.175	3.3		V	
V <sub>DCDC4</sub>	DC の精度	4.2V ≤ V <sub>IN</sub> ≤ 5.5V、 3V < V <sub>OUT</sub> ≤ 3.4V 0A ≤ I <sub>OUT</sub> ≤ 1.6A	-2%	2%			
		3.3V ≤ V <sub>IN</sub> ≤ 4.2V、 3V < V <sub>OUT</sub> ≤ 3.4V 0A ≤ I <sub>OUT</sub> ≤ 1.3A	-2%	2%			
		2.8V ≤ V <sub>IN</sub> ≤ 5.5V、 1.65V < V <sub>OUT</sub> ≤ 3V 0A ≤ I <sub>OUT</sub> ≤ 1A	-2%	2%			
		2.8V ≤ V <sub>IN</sub> ≤ 5.5V、 1.175V < V <sub>OUT</sub> ≤ 1.65V 0A ≤ I <sub>OUT</sub> ≤ 1A	-2.5%	2.5%			
出力電圧リップル		PFM モード有効、 4.2V ≤ V <sub>IN</sub> ≤ 5.5V、 0A ≤ I <sub>OUT</sub> ≤ V <sub>OUT</sub> = 3.3V				mV <sub>pp</sub>	
降圧モードでの最小デューティ サイクル				18%			
I <sub>OUT</sub>	連続出力電流	V <sub>IN_DCDC4</sub> = 2.8V、V <sub>OUT</sub> = 3.3V		1		A	
		V <sub>IN_DCDC4</sub> = 3.6V、V <sub>OUT</sub> = 3.3V		1.3			
		V <sub>IN_DCDC4</sub> = 5V、V <sub>OUT</sub> = 3.3V		1.6			
I <sub>Q</sub>	静止時電流	I <sub>IN_DCDC4</sub> ピンからの合計電流、デバイスがスイッチングしない、無負荷。	25	50		μA	
f <sub>SW</sub>	スイッチング周波数		2400			kHz	
R <sub>DS(ON)</sub>	ハイサイド FET オン抵抗	V <sub>IN_DCDC3</sub> = 3.6 V	IN_DCDC4~L4A	166		mΩ	
			L4B~DCDC4	149			
	ロー サイド FET オン抵抗	V <sub>IN_DCDC3</sub> = 3.6 V	L4A から GND へ	142	190		
			L4B から GND へ	144	190		
I <sub>LIMIT</sub>	平均スイッチ電流制限	V <sub>IN_DCDC4</sub> = 3.6 V		3000		mA	

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
$V_{PG}$	パワー グッド スレッショルド	$V_{OUT}$ 立ち下がり	STRICT = 0b	88.5%	90%	91.5%	
			STRICT = 1b	95%	95.5%	96%	
	ヒステリシス	$V_{OUT}$ 立ち上がり	STRICT = 0b	3.8%	4.1%	4.4%	
			STRICT = 1b		0.25%		
	グリッチ除去	$V_{OUT}$ 立ち下がり	STRICT = 0b		1		ms
			STRICT = 1b		50		μs
		$V_{OUT}$ 立ち上がり	STRICT = 0b		10		μs
			STRICT = 1b		10		μs
	タイムアウト	$DCDC4$ のイネーブル時、および $DCDC4$ レジスタの書き込み (レジスタ 0x19) の後に発生			5		ms
$V_{OV}$	過電圧検出スレッショルド	$V_{OUT}$ 立ち上がり、STRICT = 1b		104%	104.5%	105%	
	ヒステリシス	$V_{OUT}$ 立ち下がり、STRICT = 1b			0.25%		
	グリッチ除去	$V_{OUT}$ 立ち上がり、STRICT = 1b			50		μs
$I_{INRUSH}$	突入電流	$V_{IN\_DCDC4} = 3.6V \leq V_{INDCDC4} \leq 5.5V, 40\mu F \leq C_{OUT} \leq 100\mu F$				500	mA
$R_{DIS}$	放電抵抗 <sup>(2)</sup>				150	250	350
$L$	インダクタの公称値	表 8-2 を参照してください。			1.2	1.5	2.2
	許容差				-30%		30%
$C_{OUT}$	出力キャパシタンス値	セラミック、X5R または X7R、表 8-3 を参照。			40	80	100
							μF

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
<b>LDO1 (1.8V LDO)</b>							
$V_{IN\_LDO1}$	入力電圧範囲	$V_{IN\_BIAS} > V_{UVLO}$	1.8	5.5		V	
$I_Q$	静止時電流	無負荷		35		$\mu A$	
$V_{OUT}$	出力電圧範囲	$I^2C$ 経由で調整可能	0.9	3.4		V	
	DC の精度	$V_{OUT} + 0.2V \leq V_{IN} \leq 5.5V, 0A \leq I_{OUT} \leq 200mA$	-2%	2%			
$I_{OUT}$	出力電流範囲	$V_{IN\_LDO1} - V_{DO} = V_{OUT}$	0	200		mA	
		$V_{IN\_LDO1} > 2.7V, V_{OUT} = 1.8V$	0	400			
$I_{LIMIT}$	短絡電流制限	GND への出力短絡	445	550		mA	
$V_{DO}$	ドロップアウト電圧	$I_{OUT} = 100mA, V_{IN} = 3.6V$		200		mV	
$V_{PG}$	パワー グッド スレッショルド	$V_{OUT}$ 立ち下がり	STRICT = 0b	86%	90%	94%	
			STRICT = 1b	95%	95.5%	96%	
		ヒステリシス、 $V_{OUT}$ 立ち上がり	STRICT = 0b	3%	4%	5%	
			STRICT = 1b		0.25%		
	グリッヂ除去	$V_{OUT}$ 立ち下がり	STRICT = 0b		1	ms	
			STRICT = 1b		50	$\mu s$	
		$V_{OUT}$ 立ち上がり	STRICT = 0b		10	$\mu s$	
			STRICT = 1b		10	$\mu s$	
タイムアウト				5		ms	
$V_{OV}$	過電圧検出スレッショルド	$V_{OUT}$ 立ち上がり、STRICT = 1b		104%	104.5%	105%	
	ヒステリシス	$V_{OUT}$ 立ち下がり、STRICT = 1b			0.25%		
	グリッヂ除去	$V_{OUT}$ 立ち上がり、STRICT = 1b			50	$\mu s$	
		$V_{OUT}$ 立ち下がり、STRICT = 1b			1	ms	
$R_{DIS}$ 放電抵抗			150	250	380	$\Omega$	
$C_{OUT}$	出力容量値	セラミック、X5R、または X7R		22	100	$\mu F$	
<b>負荷スイッチ</b>							
$V_{IN\_LS}$	入力電圧範囲	$V_{IN\_BIAS} > V_{UVLO}$	1.8	10		V	
$R_{DS(ON)}$	静的オン抵抗	$V_{IN\_LS} = 9V, I_{OUT} = 500mA$ 、(全動作温度範囲にわたって)			440	$m\Omega$	
		$V_{IN\_LS} = 5V, I_{OUT} = 500mA$ 、(全動作温度範囲にわたって)			526		
		$V_{IN\_LS} = 2.8V, I_{OUT} = 200mA$ 、(全動作温度範囲にわたって)			656		
		$V_{IN\_LS} = 1.8V, I_{OUT} = 200mA$ 、(全動作温度範囲にわたって)			910		
$I_{LIMIT}$	短絡電流制限	$V_{IN\_LS} > 2.3V$ 、 GND への出力短絡	LSILIM[1:0] = 00b	98	126	$mA$	
			LSILIM[1:0] = 01b	194	253		
			LSILIM[1:0] = 10b	475	738		
			LSILIM[1:0] = 11b	900	1234		
		$V_{IN\_LS} \leq 2.3V$ 、 GND への出力短絡	LSILIM[1:0] = 00b	98	126		
			LSILIM[1:0] = 01b	194	253		
			LSILIM[1:0] = 10b	475	738		
$t_{BLANK}$	割り込みブランкиング時間	割り込みがトリガされるまで、GND への出力短絡。		15		ms	
$R_{DIS}$	出力の内部放電抵抗 <sup>(2)</sup>	$LSDCHRG = 1$		650	1000	1500	$\Omega$

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$T_{OTS}$	過熱シャットダウン <sup>(3)</sup>		125	132	139	°C
	ヒステリシス			10		°C
$C_{OUT}$	出力コンデンサの公称値	セラミック、X5R または X7R、表 8-3 を参照。	1	100	220	μF
<b>I/O レベルとタイミング特性</b>						
$PG_{DLY}$	PGOOD の遅延時間	PGDLY[1:0] = 00b	10			ms
		PGDLY[1:0] = 01b	20			
		PGDLY[1:0] = 10b	50			
		PGDLY[1:0] = 11b	150			
$t_{DG}$	グリッチ除去時間	PB 入力	立ち上がりエッジ	100		ms
			立ち下がりエッジ	50		ms
		AC_DET 入力	立ち上がりエッジ	100		μs
			立ち下がりエッジ	10		ms
		PWR_EN 入力	立ち上がりエッジ	10		ms
			立ち下がりエッジ	100		μs
		GPIO1	立ち上がりエッジ	1		ms
			立ち下がりエッジ	1		ms
		GPIO2	立ち上がりエッジ	5		μs
			立ち下がりエッジ	5		μs
$t_{RESET}$	リセット時間	PB 入力を Low に保持	TRST = 0b	8		s
			TRST = 1b	15		
$V_{IH}$	High レベル入力電圧	SCL、SDA、GPIO1、GPIO2		1.3		V
		AC_DET、PB		0.66 × IN_BIAS		
		PWR_EN		1.3		
$V_{IL}$	Low レベル入力電圧	SCL、SDA、PWR_EN、AC_DET、PB、GPIO1、GPIO2	0	0.4		V
$V_{OL}$	Low レベル出力電圧	nWAKEUP、nINT、SDA、PGOOD、GPIO1、GPIO2、 $I_{SINK} = 2mA$	0	0.3		V
		nPFO、 $I_{SINK} = 2mA$	0	0.35		
$V_{PFI}$	電源障害コンバレータ スレッショルド	入力立ち下がり	800			mV
	ヒステリシス	入力立ち上がり	40			mV
	精度		-4%	4%		
	グリッチ除去	入力立ち下がり	25			μs
		入力立ち上がり	10			ms
$I_{DC34\_SEL}$	DC34_SEL バイアス電流	電源オン時にのみイネーブル。	10			μA
$V_{DC34\_SEL}$	DCDC3 および DCDC4 の電源オン時のデフォルト選択スレッショルド	スレッショルド 1	100			mV
		スレッショルド 2	163			
		スレッショルド 3	275			
		スレッショルド 4	400			
		スレッショルド 5	575			
		スレッショルド 6	825			
		スレッショルド 7	1200			

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
$R_{DC34\_SEL}$	設定 0	0	0	7.7	kΩ
	設定 1			12.1	
	設定 2			20	
	設定 3	30.9	31.6	32.3	
	設定 4			45.3	
	設定 5				
	設定 6			95.3	
$I_{BIAS}$	$SCL, SDA, GPIO1^{(4)}, GPIO2^{(4)}, V_{IN} = 3.3V$	0.01	1	$\mu A$	
	$PB, AC\_DET, PFI, V_{IN} = 3.3V$			500	
$I_{LEAK}$	$nINT, nWAKEUP, nPFO, PGOOD, PWR\_EN, GPIO1^{(5)}, GPIO2^{(5)}$ $V_{OUT} = 3.3V$			500	nA
<b>発振器</b>					
$f_{OSC}$	オシレータの周波数		2400		$kHz$
	周波数精度	$T_J = -40^{\circ}C \sim +105^{\circ}C$	-12%	12%	
<b>過熱シャットダウン</b>					
$T_{OTS}$	過熱シャットダウン	接合部温度が上昇	135	145	155
	ヒステリシス	接合部温度が低下		20	$^{\circ}C$
$t_{WARN}$	高温の警告	接合部温度が上昇	90	100	110
	ヒステリシス	接合部温度が低下		15	$^{\circ}C$

- (1) DCDC1 および DCDC2 では、リモート容量の  $500\mu F$  をサポートできます。
- (2) 放電機能はデフォルトでディスエーブルです。
- (3) 入力電圧が UVLO スレッショルドを下回ると、スイッチは一時的に OFF になります。
- (4) 入力として構成。
- (5) 出力として構成。

## 5.6 タイミング要件

			最小値	公称値	最大値	単位
$f_{SCL}$	シリアル クロック周波数		100		400	kHz
$t_{HD;STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。		SCL = 100kHz	4		$\mu s$
			SCL = 400kHz	600		ns
$t_{LOW}$	SCL クロック Low 期間		SCL = 100kHz	4.7		$\mu s$
			SCL = 400kHz	1.3		
$t_{HIGH}$	SCL クロックの High の時間		SCL = 100kHz	4		$\mu s$
			SCL = 400kHz <sup>(1)</sup>	1		
$t_{SU;STA}$	繰り返し START 条件のセットアップ時間		SCL = 100kHz	4.7		$\mu s$
			SCL = 400kHz	600		ns
$t_{HD;DAT}$	データ ホールド時間		SCL = 100kHz	0	3.45	$\mu s$
			SCL = 400kHz	0	900	ns
$t_{SU;DAT}$	データ セットアップ時間		SCL = 100kHz	250		$ns$
			SCL = 400kHz	100		
$t_r$	SDA 信号と SCL 信号の両方の立ち上がり時間		SCL = 100kHz		1000	$ns$
			SCL = 400kHz		300	
$t_f$	SDA 信号と SCL 信号の両方の立ち下がり時間		SCL = 100kHz		300	$ns$
			SCL = 400kHz		300	
$t_{SU;STO}$	STOP 条件のセットアップ時間		SCL = 100kHz	4		$\mu s$
			SCL = 400kHz	600		ns
$t_{BUF}$	STOP 条件と START 条件の間のバス解放時間		SCL = 100kHz	4.7		$\mu s$
			SCL = 400kHz	1.3		
$t_{SP}$	入力フィルタにより抑制されるスパイクのパルス幅		SCL = 100kHz	— <sup>(2)</sup>	— <sup>(2)</sup>	$ns$
			SCL = 400kHz	0	50	
$C_b$	各バス ラインの容量性負荷		SCL = 100kHz		400	$pF$
			SCL = 400kHz		400	

(1) 400kHz での SCL デューティ サイクルは 40% 超である必要があります。

(2) 標準モードの I<sup>2</sup>C デバイスの入力では、スパイク抑制は必要ありません。

## 5.7 代表的特性

$T_J = 25^\circ\text{C}$  (特に記述のない限り)。

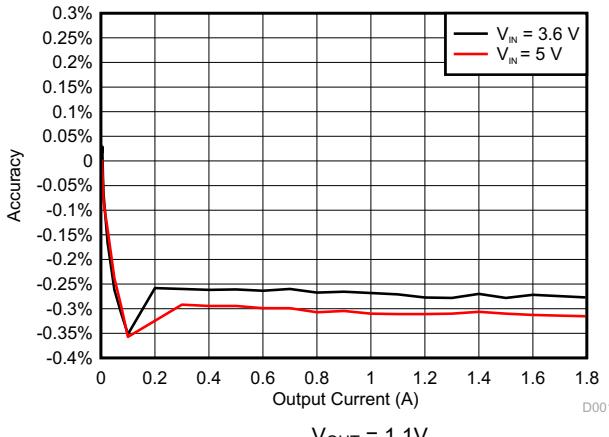


図 5-1. DCDC1 の精度

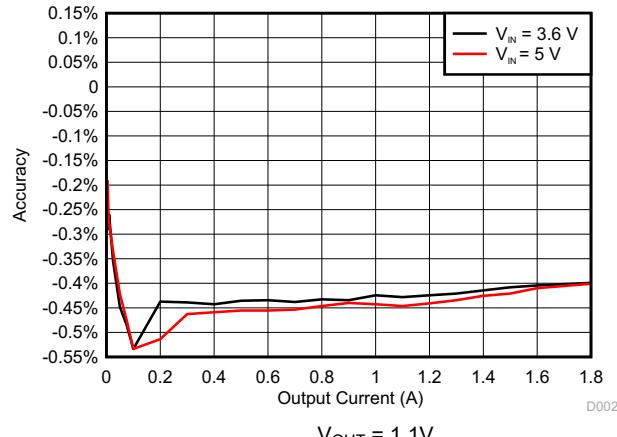


図 5-2. DCDC2 の精度

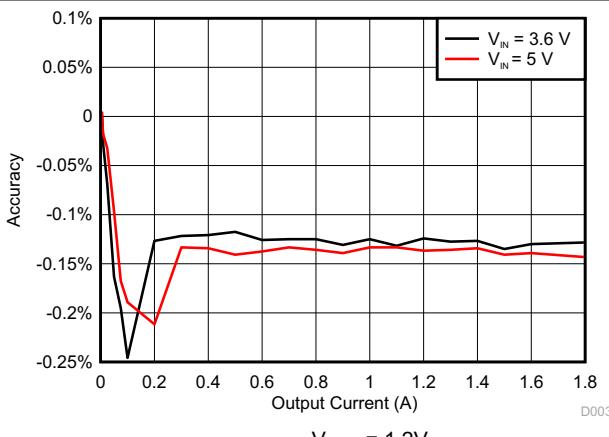


図 5-3. DCDC3 の精度

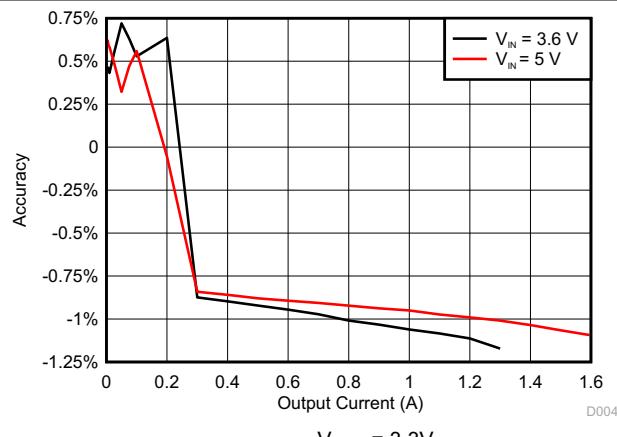


図 5-4. DCDC4 の精度

## 6 詳細説明

### 6.1 概要

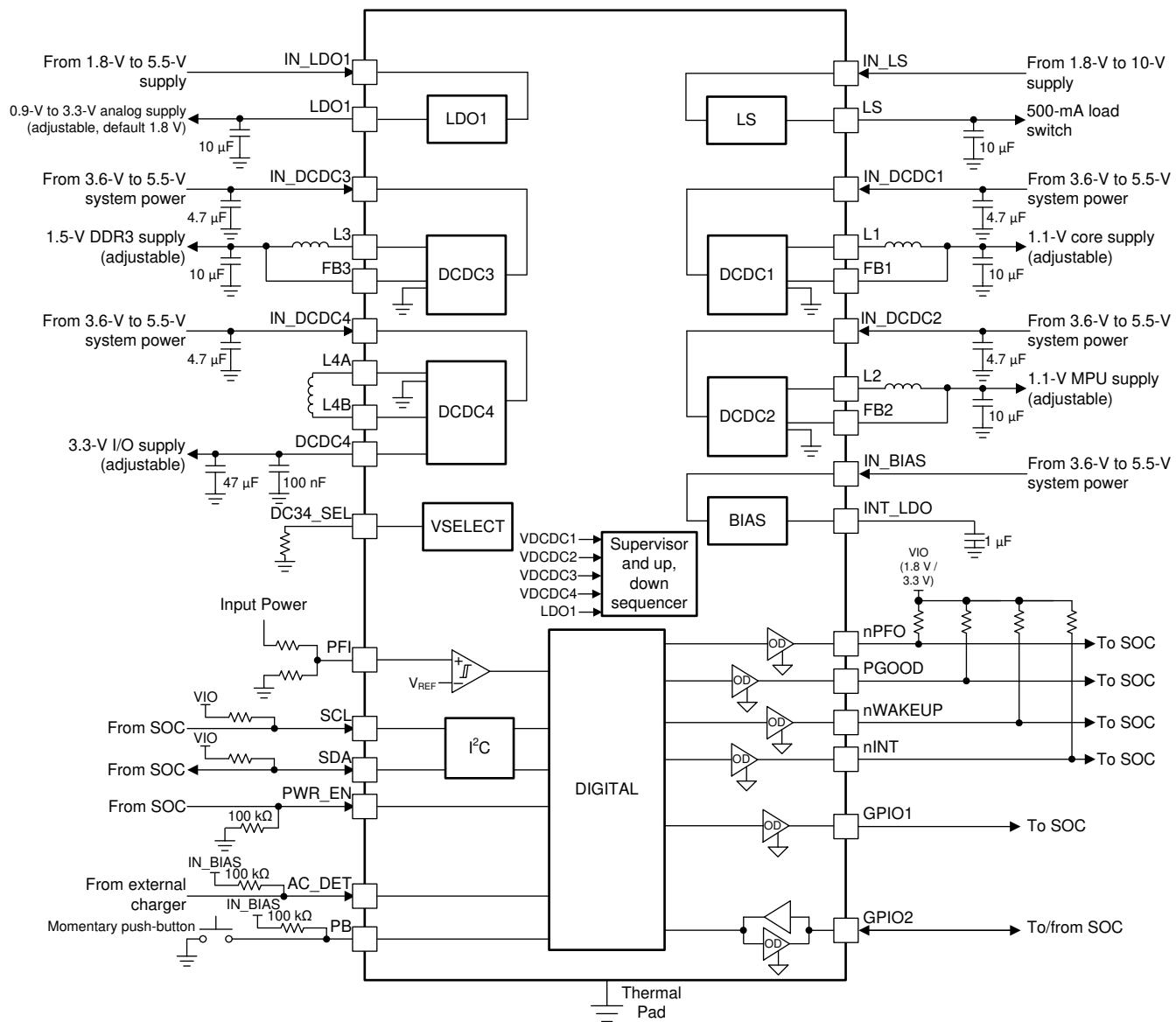
TPS65216 は、3 つの降圧コンバータ、3 つの汎用 I/O、1 つの昇降圧コンバータ、1 つの負荷スイッチ、1 つの LDO を内蔵しています。システムには、安定した 5V 電源で電力を供給できます。このデバイスは、-40°C ~ +105°C の温度範囲で動作することが特長で、各種の産業用アプリケーションに適しています。

I<sup>2</sup>C インターフェイスは、TPS65216 を使用するための包括的な機能を提供します。レール、GPIO は、いずれもイネーブルまたはディセーブルできます。UVLO とスーパーバイザの電圧スレッショルドはカスタマイズ可能です。電源投入 / 避断シーケンスも I<sup>2</sup>C を使用してプログラミングできます。過熱、過電流、低電圧の割り込みを、負荷スイッチ の監視に使用できます。

内蔵された電圧監視回路は、DCDC 1 ~ 4 および LDO1 を監視します。これには 2 種類の設定があります。標準設定では低電圧のみを監視しますが、厳格な設定では低電圧と過電圧の両方について厳しい許容誤差が実装されています。5 本のレールの安定した状態を報告するパワーグッド信号が送信されます。

3 つのヒステリシス降圧型コンバータは、それぞれ最大 1.8A の電流を供給できます。各コンバータのデフォルトの出力電圧は、I<sup>2</sup>C インターフェイスを介して調整可能です。DCDC1 および DCDC2 は、調整可能なスルーレートによる動的電圧スケーリングを備えています。この降圧コンバータは、軽負荷時は低消費電力モードで動作し、またノイズに敏感な用途向けに、強制的にパワー モード (PWM) 動作に設定することもできます。

## 6.2 機能ブロック図



## 6.3 機能説明

### 6.3.1 ウェークアップ、電源オン、電源オフのシーケンス

TPS65216 には事前定義された電源オンおよび電源オフ シーケンスがあり、標準的なアプリケーションでは変更されません。ユーザーは I<sup>2</sup>C を使用してカスタム シーケンスを定義できます。電源オン シーケンスは、一連の 10 個のストローブと 9 個の遅延時間によって定義されます。各出力レールは、レールの有効化の順序を決定するためにストローブに割り当てられます。1 つのレールが 1 つのストローブのみに割り当てられるが、複数のレールを同じストローブに割り当てるすることもできます。ストローブ間の遅延時間は 2ms ~ 5ms です。

#### 6.3.1.1 電源オン シーケンシング

電源オン シーケンスが開始されると、STROBE 1 が発生し、このストローブに割り当てられたすべてのレールがイネーブルになります。DLY1 の遅延時間の後、STROBE 2 が発生し、このストローブに割り当てられたレールが起動します。このシーケンスは、すべてのストローブで発生し、すべての DLY<sub>x</sub> 時間が実行されるまで継続されます。ストローブの割り当てと遅延時間は SEQ<sub>x</sub> レジスタで定義され、I<sup>2</sup>C の制御によって変更されます。電源オン シーケンスは、次のいずれかのイベントが発生すると実行されます。

- OFF 状態から:
  - プッシュボタン (PB) が押された場合 (PB での立ち下がりエッジ)、または
  - AC\_DET ピンが Low (立ち下がりエッジ)、または
  - PWR\_EN がアサートされている (High レベルに駆動)、または
  - メイン電源が接続され (IN\_BIAS)、AC\_DET が設置されている、および
  - デバイスが低電圧ロックアウト (UVLO) または過熱シャットダウン (OTS) ではない。
- PRE\_OFF 状態から:
  - PB が押される (PB での立ち下がりエッジ)、または
  - AC\_DET ピンが Low (立ち下がりエッジ)、または
  - PWR\_EN がアサートされている (High レベルに駆動)、および
  - デバイスが UVLO または OTS ではない。
- SUSPEND 状態から:
  - PB が押される (PB での立ち下がりエッジ)、または
  - AC\_DET ピンが Low (立ち下がりエッジ)、または
  - PWR\_EN ピンが High (レベル センシティブ)、および
  - デバイスが UVLO または OTS ではない。

パワーアップ イベントが検出されると、デバイスは WAIT\_PWR\_EN 状態に移行し、電源オン シーケンスをトリガします。PWR\_EN と PB または AC\_DET ピンが Low に保持されている限り、デバイスは WAIT\_PWR\_EN のままでです。PB と AC\_DET の両方がロジック High 状態に戻り、WAIT\_PWR\_EN 状態に移行してから 20 秒以内に PWR\_EN ピンがアサートされていない場合、電源オフ シーケンスがトリガされ、デバイスは OFF 状態に戻ります。PWR\_EN がアサートされると、デバイスは ACTIVE 状態に移行します。これは WAIT\_PWR\_EN と同等の機能です。ただし、AC\_DET ピンは無視され、電源オフは PWR\_EN ピンのみによって制御されます。

ストローブに割り当てられていないレール (SEQ = 0000b) は、電源オンおよび電源オフ シーケンスの影響を受けず、シーケンサに関係なく電流の ON または OFF 状態を維持します。ENABLE<sub>x</sub> レジスタの対応するイネーブル ビットを設定することで、レールをいつでも有効化/無効化できます。ただし、シーケンサがアクティブな間は ENABLE<sub>x</sub> レジスタにアクセスできません。イネーブル ビットは、常にレールの現在のイネーブル状態を反映します。たとえば、シーケンサは制御されているレールのイネーブル ビットを設定およびリセットします。

#### 注

電源オン シーケンスはストローブおよび遅延時間によって定義され、PB、AC\_DET (非表示、PB と同じ)、または PWR\_EN ピンによってトリガできます。

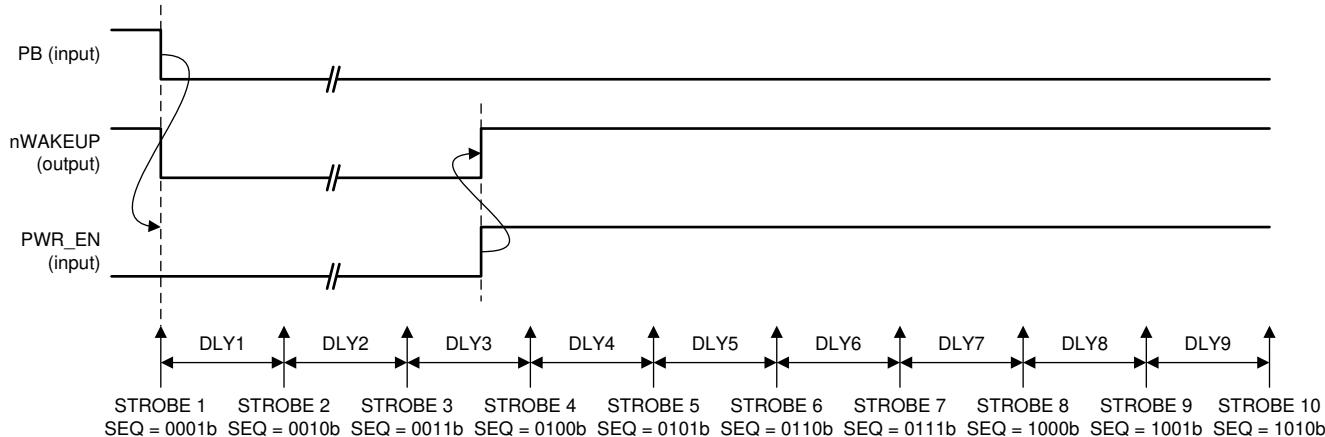


図 6-1. OFF または SUSPEND 状態からの電源オン シーケンス、PB によるパワーアップイベント

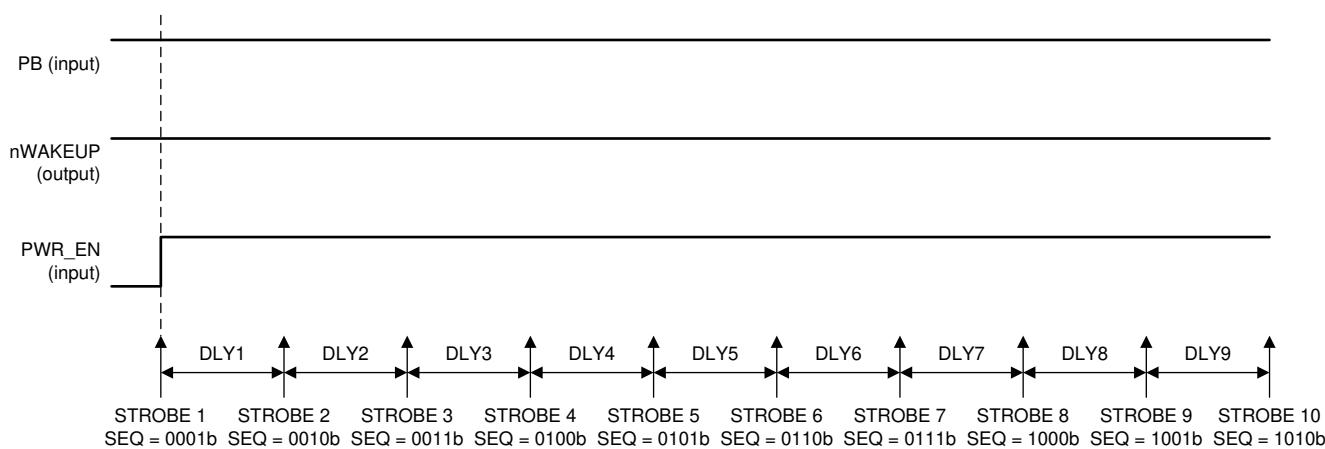


図 6-2. SUSPEND 状態からの電源オン シーケンス、PWR\_EN によるパワーアップイベント

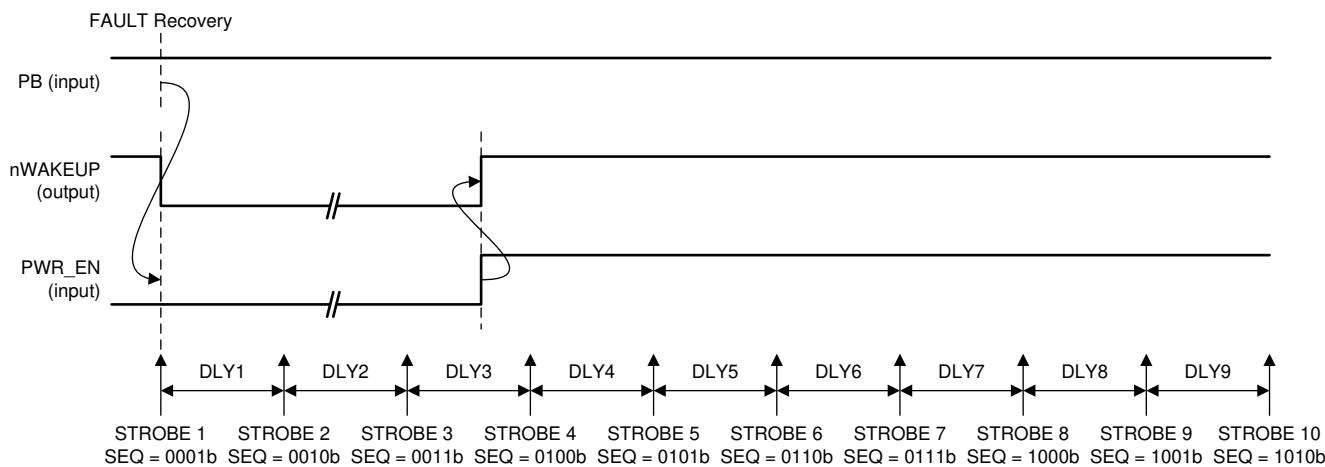


図 6-3. RECOVERY 状態からの電源オン シーケンス

### 6.3.1.2 電源オフ シーケンス

デフォルトでは、電源オフ シーケンスは電源オン シーケンスの逆順に実行されます。電源オフ シーケンスがトリガされると、STROBE 10 が発生し、STROBE 10 に割り当てられたすべてのレールがシャットダウンされ、その放電回路がイネーブルになります。DLY9 の遅延時間が経過すると、STROBE 9 が発生し、割り当てられたすべてのレールがシャットダウンされ、その放電回路がイネーブルになります。このシーケンスは、すべてのストローブで発生し、すべての DLYx 時間が実行されるまで継続されます。DLYx 時間は 10 倍に延長され、放電に十分な時間を提供することで、シャットダウン中に出力電圧が交差することを防止します。DLYFCTR ビットは、すべてのパワーダウン遅延時間に対してグローバルに適用されます。DLYx および DLYFCTR の設定に関係なく、PMIC は電源オフ シーケンス開始後 500ms で OFF、SUSPEND、または RECOVERY 状態に移行し、次の電源オン シーケンスが開始する前に放電回路が最小 150ms の間イネーブルに維持されるようにします。

電源オフ シーケンスは、次のいずれかのイベントが発生すると実行されます。

- デバイスは WAIT\_PWR\_EN 状態で、PB ピンと AC\_DET ピンは High、PWR\_EN は Low、20s タイマが満了しています。
- デバイスは ACTIVE 状態であり、PWR\_EN ピンは Low にプルされます。
- デバイスは WAIT\_PWR\_EN、ACTIVE、または SUSPEND 状態であり、プッシュボタンは 8 秒を超える間 Low に保持されます (TRST = 1b の場合は 15 秒)。
- デバイスに故障が発生する (OTS、UVLO、PGOOD の障害)。

ACTIVE 状態から SUSPEND 状態に遷移すると、電源オフ シーケンスで制御されていないレールは、ACTIVE 状態であった SUSPEND 状態の同じ ON/OFF 状態を維持します。これにより、SUSPEND 状態のときも、選択した電源レールはパワーアップ状態のままにできます。

OFF または RECOVERY 状態に遷移すると、シーケンサ制御の対象になっていないレールは次のようにシャットダウンされます。

- DCDC1、DCDC2、DCDC3、DCDC4、および LDO1 は、シーケンサ制御下でない場合 (SEQ = 0b)、電源オフ シーケンスの開始時にシャットダウンされます。
- LS は、電源オフ シーケンスがトリガされてから 500ms 後、OFF 状態または RECOVERY 状態に移行するマシンの状態としてシャットダウンします。

IN\_BIAS の電源電圧が 2.5V を下回ると、デジタル コアがリセットされ、すべての電源レールは瞬時にシャットダウンされ、内部放電回路 (DCDC1-4 および LDO1) によってグランドにプルダウンされます。放電回路がアクティブに維持される時間の長さは、INT\_LDO のホールドアップ時間の関数です (詳細については、「[内部 LDO \(INT\\_LDO\)](#)」を参照)。

### 6.3.1.3 ストローブ 1 とストローブ 2

STROBE 1 と STROBE 2 は、TPS65216 デバイスで使用しない特別なストローブですが、パワーアップ時に実行されます。電源オン シーケンスは、DLY1 および DLY2 タイマの後、STROBE 3 で開始されます。電源オフ シーケンスは STROBE 3 で終了します。

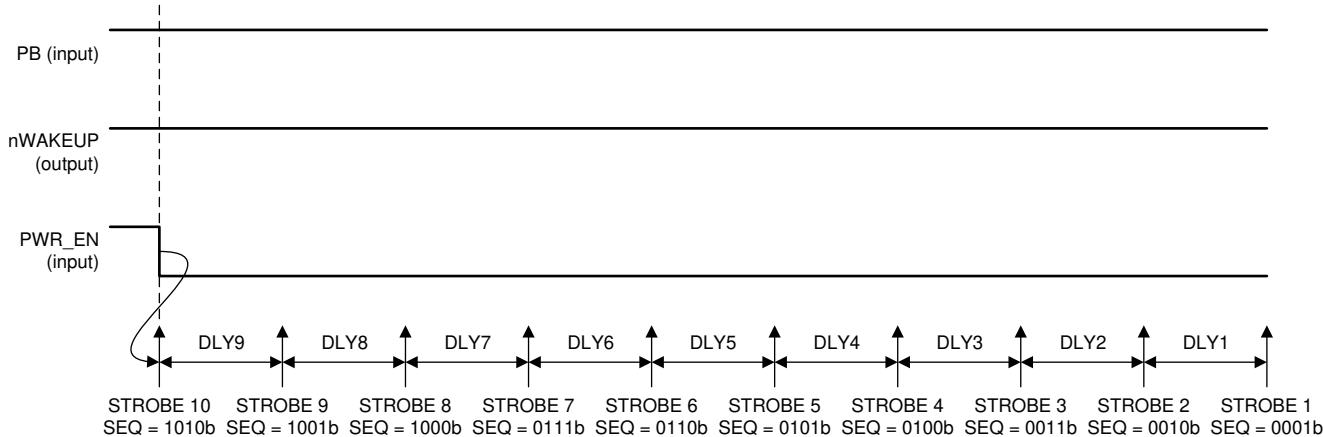
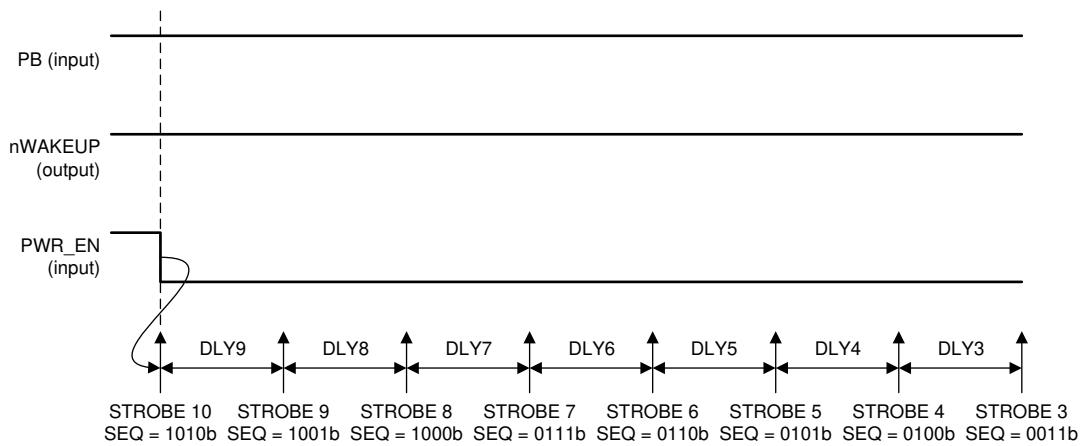
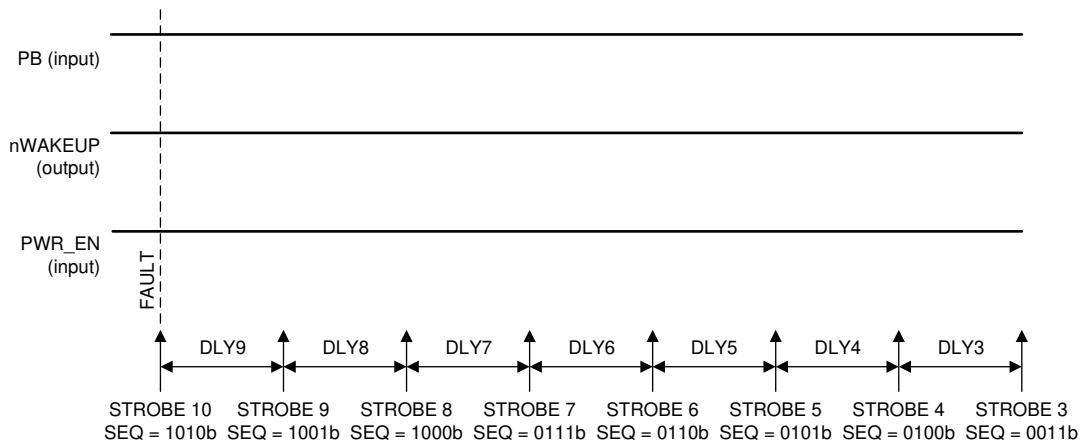


図 6-4. OFF 状態への電源オフ シーケンス、PWR\_EN によるパワーダウンイベント



STROBE 2 と STROBE 1 は、表示されていません。

図 6-5. SUSPEND 状態への電源オフ シーケンス、PWR\_EN によるパワーダウンイベント



STROBE 2 と STROBE 1 は、表示されていません。

図 6-6. RECOVERY 状態への電源オフ シーケンス、TSD または UV によるパワーダウンイベント

#### 6.3.1.4 電源電圧スーパーバイザおよびパワーグッド (PGOOD)

パワーグッド (PGOOD) は、DCDC1、DCDC2、DCDC3、DCDC4、LDO1 を監視する内蔵電圧スーパーバイザのオーブンドレイン出力です。出力は、有効なすべてのレールがレギュレーション状態の場合、Hi-Z になり、1 つまたは複数のレールに故障が発生し、出力電圧が規定の許容範囲外になると Low になります。代表的なアプリケーションでは、PGOOD が SOC のリセット信号を駆動します。

スーパーバイザには 2 つの動作モードがあり、STRICT ビットで制御されます。STRICT ビットが 0 に設定されている場合、5 つのレギュレータの有効なすべてのレールが、緩和されたスレッショルドとグリッヂ除去時間でのみ低電圧の監視対象となります。STRICT ビットが 1 に設定されている場合、5 つのレギュレータの有効なすべてのレールが、厳密な制限と短いグリッヂ除去時間で低電圧と過電圧の監視対象となります。表 6-1 に、これらの詳細をまとめます。

表 6-1. STRICT ビットによって制御されるスーパーバイザの特性

パラメータ		STRICT = 0b (標準値)	STRICT = 1b (標準値)
低電圧監視	スレッショルド (出力立ち下がり)	90%	96.5% (DCDC1 および DCDC2) 95.5% (DCDC3、DCDC4、LDO1)
	グリッヂ除去 (出力立ち下がり)	1ms	50μs
	グリッヂ除去 (出力立ち上がり)	10μs	10μs
過電圧監視	スレッショルド (出力立ち下がり)	該当なし	103.5% (DCDC1 および DCDC2) 104.5% (DCDC3、DCDC4、LDO1)
	グリッヂ除去 (出力立ち下がり)	該当なし	1ms
	グリッヂ除去 (出力立ち上がり)	該当なし	50μs

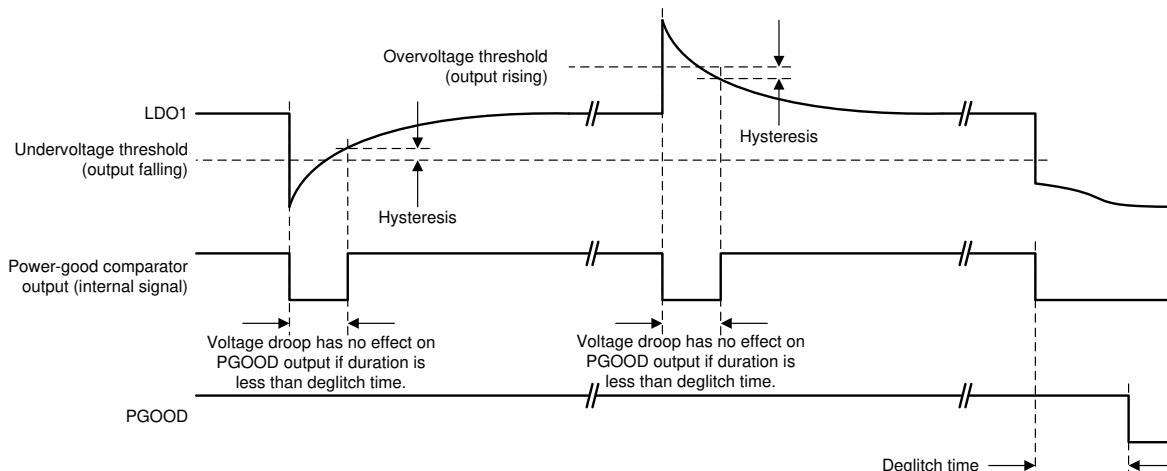


図 6-7. 低電圧、過電圧スレッショルド、ヒステリシス、グリッヂ除去時間の定義

PGOOD 出力には、次のルールが適用されます。

- PGOOD の電源オン時のデフォルト状態は Low です。すべてのレールが無効のとき、PGOOD 出力は Low になります。
- 有効なレールのみが監視されます。無効なレールは無視されます。
- 特定のレールのパワーグッド監視は、レールが有効化されてから 5ms 後に開始され、その後継続的に監視されます。これにより、レールは電源オンができます。
- シーケンサが完了して最後のレールが有効になった後、PGOOD は PGDLY 時間だけ遅延します。

- 有効なレールが、グリッチ除去時間より長く継続的に監視スレッショルドを超えた場合、PGOOD は Low にプルされ、電源オフ シーケンスの後、すべてのレールがシャットダウンされます。PGDLY は適用されません。
- DCx\_EN または LDO1\_EN ビットをリセットしてレールを手動で無効化しても、PGOOD ピンに影響はありません。すべてのレールが無効の場合、最後のレールが無効化されるため、PGOOD は Low になります。
- 電源オフ シーケンスがトリガされると、PGOOD は Low に駆動されます。
- 有効なレールの数に関係なく、SUSPEND 状態で PGOOD は Low に駆動されます。

図 6-8 に、代表的な電源オン シーケンスと PGOOD のタイミングを示します。

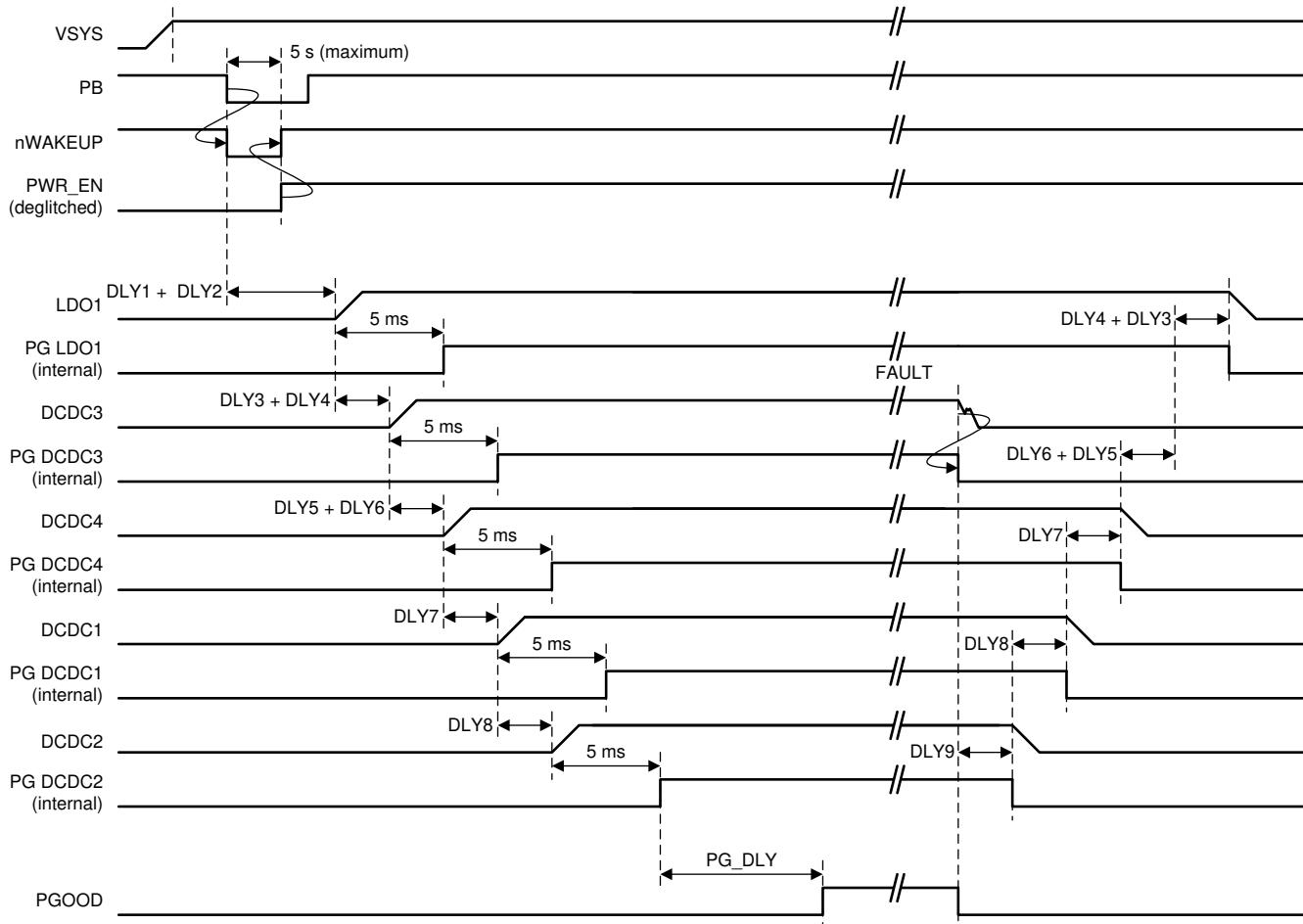


図 6-8. のメイン出力レールの標準的な電源オン シーケンス

### 6.3.1.5 内部 LDO (INT\_LDO)

内部 LDO は、内部デジタルコアおよびアナログ回路にレギュレートされた電圧を供給します。内部 LDO の公称出力電圧は 2.5V で、最大 10mA の外部負荷をサポートできます。

システム電源に障害が発生すると、UVLO コンパレータは電源オフ シーケンスをトリガします。システム電源が 下回ると、デジタルコアがリセットされ、残りのすべての電源レールは瞬時にシャットダウンされ、内部放電回路 (DCDC1 ~ 4 および LDO1) によってグランドへとプルダウンされます。

内部 LDO 逆方向をブロックして、INT\_LDO ピンの出力コンデンサ ( $C_{INT\_LDO}$ ) の放電を防止します。INT\_LDO 出力コンデンサの残充電は、電源レールの放電回路に電力を供給し、システム電源に障害が発生した場合でも出力がグランドまで確実に放電されるようにします。「電気的特性」に規定されているホールドアップ時間の長さは、出力コンデンサの値

( $C_{INT\_LDO}$ ) と、INT\_LDO ピンの外部負荷の量 (ある場合) の関数です。この設計により、DCDC1 ~ 4 および LDO1 の確実な放電に十分なホールドアップ時間が確保され、適切なプロセッサ 電源オフ シーケンスが確実に実行されます。

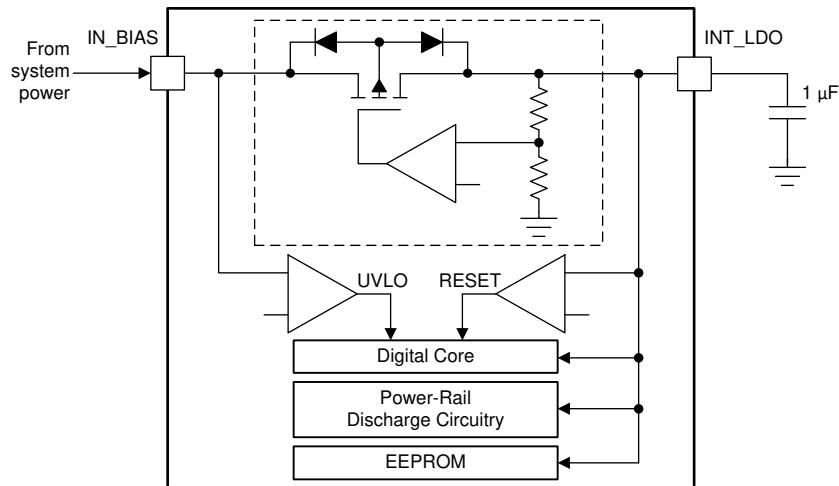


図 6-9. 内蔵 LDO および UVLO の検出

#### 6.3.1.6 電流制限付き負荷スイッチ

TPS65216 には、個別のイネーブル制御機能付きの電流制限負荷スイッチが備わっています。負荷スイッチは、以下の制御および診断機能を備えています。

- スイッチの ON/OFF 状態は、ENABLE レジスタ内の対応する LS\_EN ビットによって制御されます。
- 負荷スイッチは、I<sup>2</sup>C 通信経由でのみ制御できます。シーケンサは負荷スイッチを制御できません。
- 負荷スイッチには、アクティブ放電機能があり、デフォルトではディセーブルになり、LSDCHRG ビットによってイネーブルになります。イネーブルの場合、スイッチがディスエーブルになると常にスイッチ出力がグランドに放電されます。
- PFI 入力が電源障害のスレッショルド (電源障害コンバレータのトリップ) を下回ると、負荷スイッチは自動的にディスエーブルになります。システム負荷が軽減されます。この機能は、対応する LSnPFO ビットを介して個別に使用する必要があります。システム電圧が回復しても、スイッチは自動的にオンに戻ることはなく、手動で再度イネーブルにする必要があります。
- 出力負荷が電流制限値を超えた場合など、負荷スイッチが出力電流をアクティブに制限すると、割り込み (LS\_I) が発行されます。スイッチは ON のままになり、電流制限設定に従って負荷に対して電流を供給します。
- 負荷スイッチには、消費電力と接合部温度が安全な動作値を超えるとスイッチをディスエーブルにするローカルの過熱センサがあります。温度が OTS のスレッショルド値からヒステリシスを引いた値を下回ると、スイッチは自動的に回復します。OTS 機能によってスイッチが OFF に保持されている間に、LS\_F (故障) 割り込みビットが設定されます。

負荷スイッチ (LS) は、非逆阻止、中電圧 (10V 未満)、低インピーダンスのスイッチで、1.8V から 10V への電力で補助ポートに電力を供給するのに使用できます。LS には、LSILIM[1:0] で選択できる 4 つの電流制限値があります。

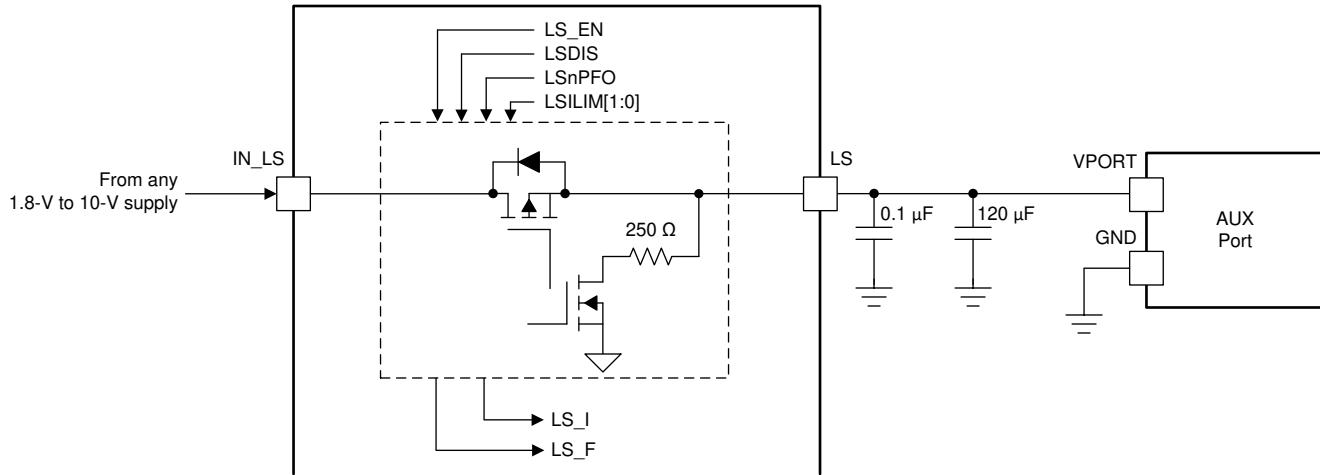


図 6-10. 負荷スイッチの代表的なアプリケーション

### 6.3.1.7 LDO1

LDO1 は、SOC のアナログ回路への電力供給のための汎用 LDO です。LDO1 の入力電圧範囲は 1.8V ~ 5.5V で、システム電源に直接、または DC/DC コンバータの出力に接続できます。出力電圧は 0.9V ~ 3.4V の範囲でプログラム可能で、デフォルトは 1.8V です。LDO1 は、最小規定ヘッドルーム電圧で 200mA まで、また、 $V_{OUT} = 1.8V$ 、 $V_{IN\_LDO1} > 2.7V$  の標準動作条件で 400mA までをサポートします。

### 6.3.1.8 UVLO

IN\_BIAS ピンへの入力電圧のスルーレートに応じて、TPS65216 の電源レールは  $V_{ULVO}$  または  $V_{ULVO} + V_{HYS}$  のいずれかでイネーブルになります。

IN\_BIAS 電圧のスルーレートが 30V/s より大きい場合、TPS65216 は  $V_{ULVO}$  で起動します。入力電圧がこのレベルを超えると、PMIC がシャットダウンする前に、入力電圧が  $V_{UVLO}$  レベルまで低下する場合があります。このシナリオでは、入力電圧が  $V_{UVLO}$  を下回り、かつ 2.55V を上回った場合、デバイスがアクティブ状態を維持するには、入力電圧が 5ms 未満で  $V_{UVLO}$  を上回る状態に回復する必要があります。

IN\_BIAS 電圧のスルーレートが 30V/s 未満の場合、TPS65216 は  $V_{ULVO} + V_{HYS}$  で起動します。入力電圧がこのレベルを超えると、PMIC がシャットダウンする前に、入力電圧が  $V_{UVLO}$  レベルまで低下する場合があります。このシナリオでは、入力電圧が  $V_{UVLO}$  を下回り、かつ 2.5V を上回った場合、デバイスがアクティブ状態を維持するには、入力電圧が 5ms 未満で  $V_{UVLO} + V_{HYS}$  を上回る状態に回復する必要があります。

どちらのスルーレートの場合も、入力電圧が 2.5V を下回ると、デジタルコアがリセットされ、残りのすべての電源レールは瞬時にシャットダウンされ、内部放電回路 (DCDC1 ~ 4 および LDO1) によってグランドへとプルダウンされます。

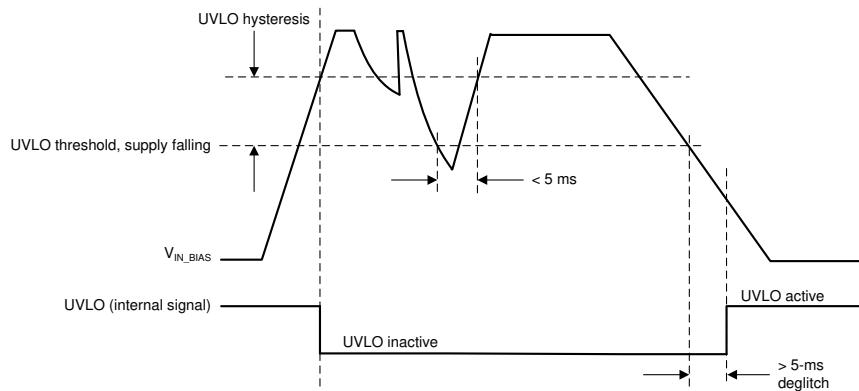


図 6-11. UVLO とヒステリシスの定義

UVLO がトリガされた後、内部 LDO は出力コンデンサから IN\_BIAS ピンに戻る電流をブロックするため、デジタル コアおよび放電回路には限られた時間だけ電力が供給され、出力レールを適切にシャットダウンし、放電することができます。ホールドアップ時間は、INT\_LDO に接続されているコンデンサの値によって決定されます。詳細については、「[内部 LDO \(INT\\_LDO\)](#)」セクションを参照してください。

### 6.3.1.9 電源障害コンパレータ

電源障害コンパレータは、システムの電源電圧が低下し、システムにシャットダウンのリスクがある場合、システム ホストに通知します。コンパレータには 800mV のスレッショルドが内蔵されており、トリップ ポイントは外付けの抵抗デバイダによって調整されます。

デフォルトでは、電源障害コンパレータは、どの電源レールにも、負荷スイッチにも影響を与えません。PFI コンパレータがトリップした際にディセーブルにし、システム負荷を低減してホールドアップ時間を延長するように、負荷スイッチを構成できます。電源障害コンパレータは、システム電圧に障害が発生したときに、すべてのまたは選択的なレールがパワーダウンするように、電源オフ シーケンスもトリガします。電源障害コンパレータを電源オフ シーケンスに接続するには、CONTROL レジスタの OFFnPFO ビットを 1 に設定する必要があります。

電源障害コンパレータは、割り込みやステータス ビットがこの機能に関連付けられていないソフトウェアでは監視できません。

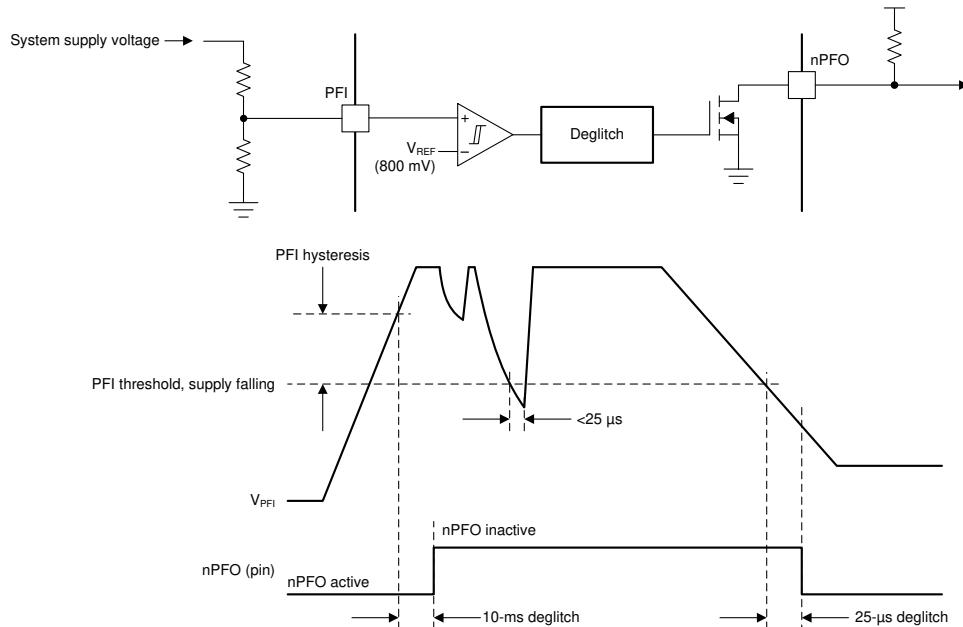


図 6-12. 電源障害コンパレータの概略回路図とタイミング図

### 6.3.1.10 DCDC3 および DCDC4 のパワーアップ時のデフォルト選択

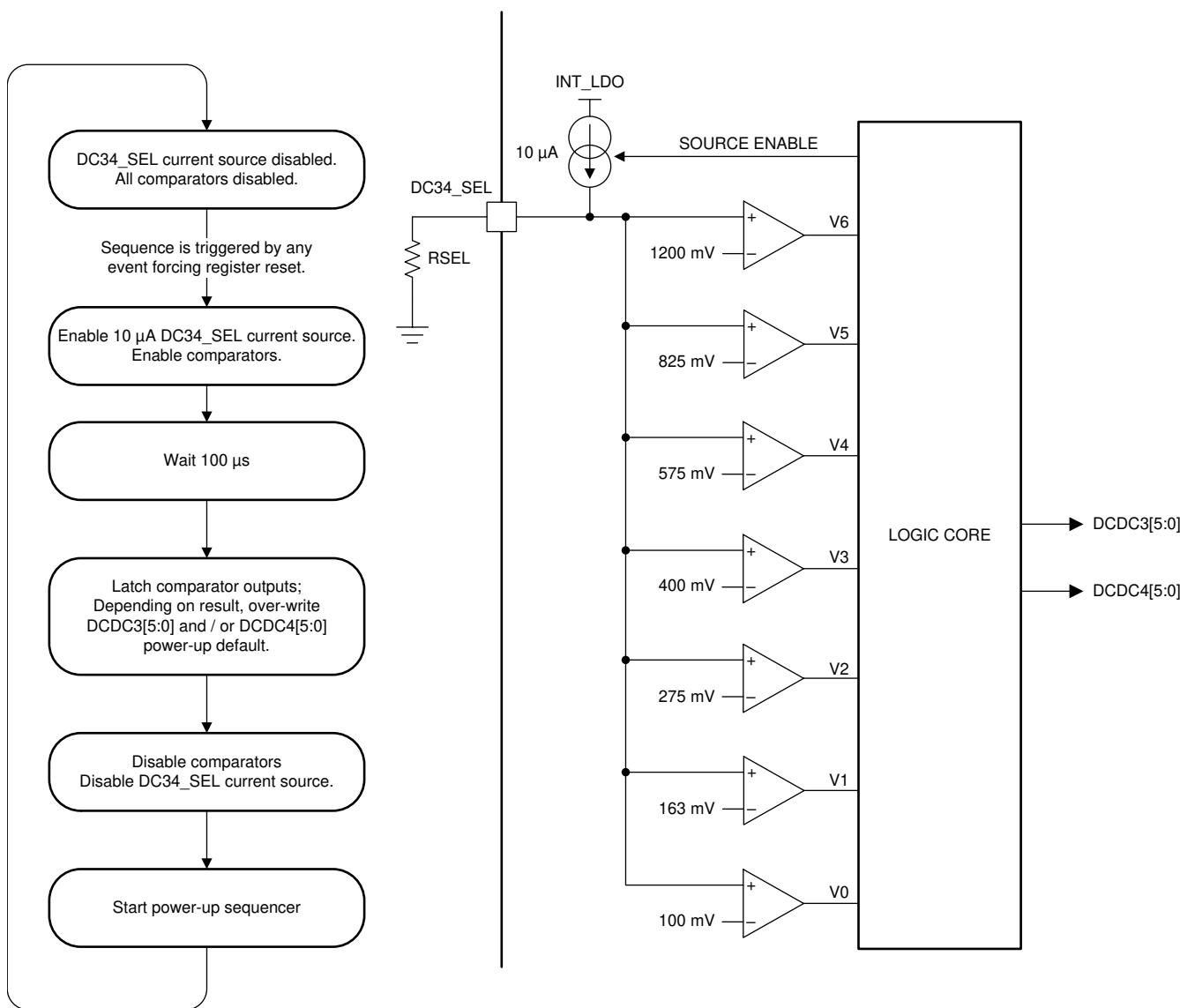


図 6-13. 左 : DC/DC パワーアップ時のデフォルト電圧を選択するフローチャート 右 : コンパレータ回路

表 6-2. DCDC3 および DCDC4 のパワーアップ時のデフォルト値

RSEL [K $\Omega$ ]			電源投入時のデフォルト値	
最小値	標準値	最大値	DCDC3[5:0]	DCDC4[5:0]
0	0	7.7	プログラムされたデフォルト (1.2V)	プログラムされたデフォルト (3.3V)
	12.1		0x12 (1.35 V)	プログラムされたデフォルト (3.3V)
	20		0x18 (1.5 V)	プログラムされたデフォルト (3.3V)
30.9	31.6	32.3	0x1F (1.8V)	プログラムされたデフォルト (3.3V)
	45.3		0x3D (3.3 V)	0x01 (1.2 V)
			プログラムされたデフォルト (1.2V)	0x07 (1.35 V)
	95.3		プログラムされたデフォルト (1.2V)	0x0D (1.5 V)
150	INT_LDO に接続		プログラムされたデフォルト (1.2V)	0x14 (1.8 V)

### 6.3.1.11 I/O 構成

デバイスには 2 つの GPIO ピンがあり、以下のように構成されます。

- GPIO1:
  - 汎用、オープンドレイン出力は、GPO1 のユーザー ビットまたはシーケンサによって制御されます。
- GPIO2:
  - 汎用、オープンドレイン出力 ID は GPO2 のユーザー ビットまたはシーケンサで制御されます。
  - DCDC1 および DCDC2 のリセット入力信号。

表 6-3. GPIO1 構成

GPIO1 (ユーザー ビット)	GPIO1 (I/O ピン)	コメント
0	0	オープンドレイン出力 (Low に駆動)
1	HiZ	オープンドレイン出力、HiZ

表 6-4. GPIO2 の構成

DC12_RST (EEPROM)	GPO2 (ユーザー ビット)	GPIO2 (I/O ピン)	コメント
0	0	0	オープンドレイン出力 (Low に駆動)
0	1	HiZ	オープンドレイン出力、HiZ
1	X	アクティブ Low	GPO2 は、PMIC への DCDC1 および DCDC2 リセット入力信号 (アクティブ Low) です。詳細については、「 <a href="#">DCDC1 および DCDC2 へのリセット信号としての GPIO2 の使用</a> 」を参照してください。

#### 6.3.1.11.1 DCDC1 および DCDC2 へのリセット信号としての GPIO2 の使用

DC12\_RST ビットが 1 に設定されている場合、GPIO2 は PMIC へのエッジ センシティブなリセット入力です。リセット信号は DCDC1 と DCDC2 のみに影響を与えるため、GPIO2 の入力が High から Low に遷移するたびに、これら 2 つのレジスタのみがパワーアップのデフォルトにリセットされ、他のすべてのレジスタの電流値は維持されます。DCDC1 と DCDC2 は SLEW 設定に従ってデフォルト値に戻り、パワー サイクルは行われません。この機能は、低消費電力モードでプロセッサをリセットイベントから回復します。

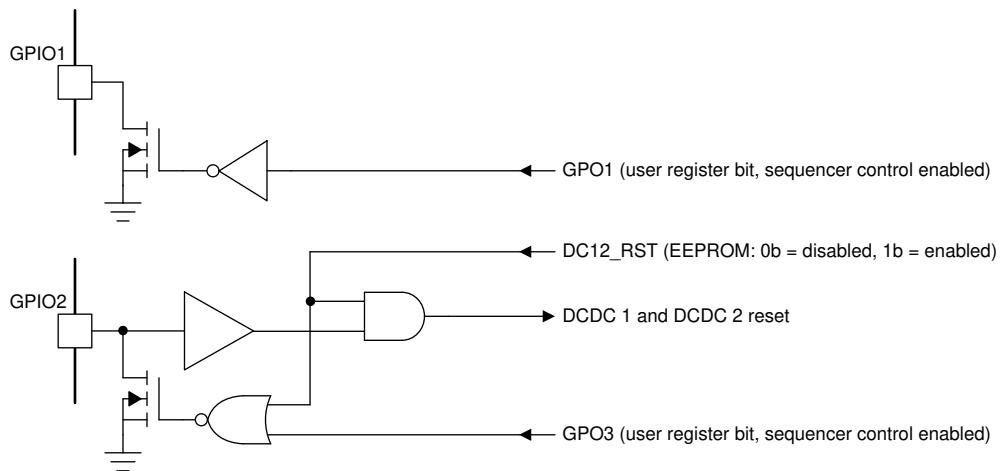


図 6-14. I/O ピン ロジック

### 6.3.1.12 プッシュ ボタン入力 (PB)

PB ピンは PMIC のパワーアップに使用する CMOS タイプ入力です。通常、PB ピンはモーメンタリ スイッチと外部プルアップ抵抗に接続されます。PB 入力が 600ms 間 Low に保持されている場合、電源オン シーケンスがトリガされます。

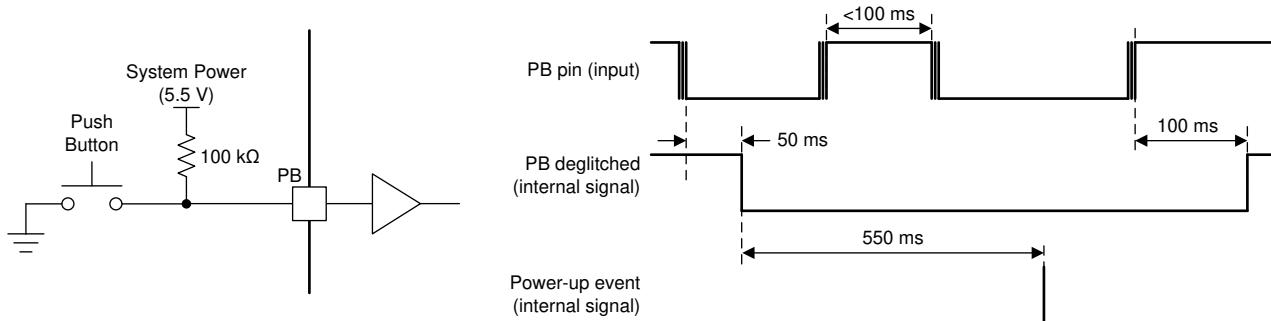


図 6-15. 左：代表的な PB 入力回路右：プッシュ ボタン入力 (PB) グリッッチ除去とパワーアップのタイミング

ACTIVE モードの場合、TPS65216 は PB 入力を監視し、ピンの状態が変化したとき (PB の入力 Low スレッショルドまたは入力 High スレッショルドを下回ったとき、あるいは上回ったときなど) に割り込みを発行します。割り込みは、INT\_MASK1 レジスタの PBM ビットでマスクされます。

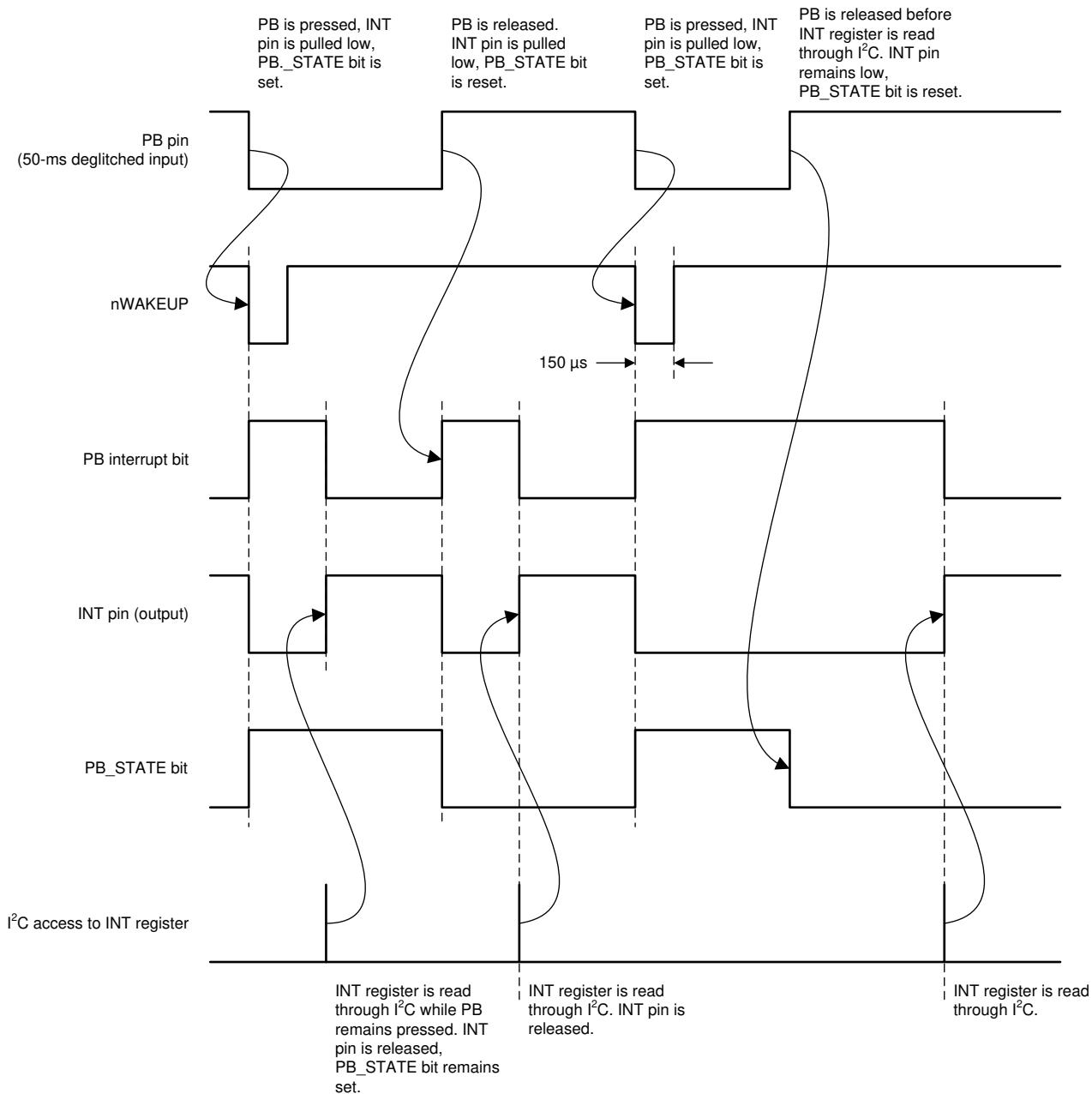


図 6-16. PB 入力 Low または入力 High スレッシュルド

## 注

PB ピンのステータスが変化すると、割り込みが発行されます。PB\_STATE ビットは、PB 入力の現在のステータスを反映します。PB の立ち下がりエッジごとに、150µs にわたって nWAKEUP が Low にプルされます。

### 6.3.1.12.1 nWAKEUP ピンでの PB Low イベントの信号

ACTIVE 状態では、PB 入力の立ち下がりエッジが検出されるたびに、nWAKEUP ピンは 5 回の 32kHz クロック サイクル(約 150 $\mu$ s)の間 Low になります。これにより、ホスト プロセッサは DEEP SLEEP 動作モードからウェークアップできます。プルアップ抵抗を介して I/O 電源に nWAKEUP ピンをプルアップすることを推奨します。SUSPEND 状態で nWAKEUP が正常に機能するには、SUSPEND に移行する前に、このピンをシーケンサから切断された電源にプルアップする必要があります。

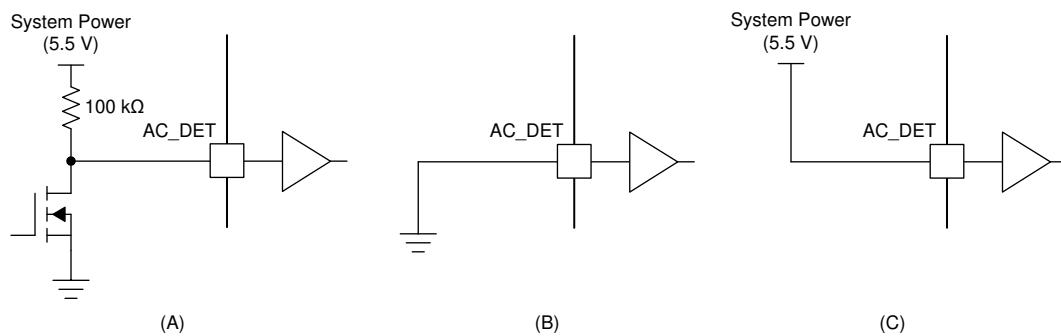
### 6.3.1.12.2 プッシュ ボタンのリセット

PB 入力が 8 秒間 (TRST = 1b の場合は 15 秒) 以上 Low にプルされると、すべてのレールが無効化され、デバイスは RECOVERY 状態に移行します。PB 入力の状態に関係なく、500ms の電源オフ シーケンスの完了後、デバイスは自動的にパワー アップします。PB ピンを 8 秒間 (TRST = 1b の場合は 15 秒) Low に保持すると、デバイスは一時的にオフになります、強制的にシステムが再起動されますが、これはパワーダウン機能ではありません。PB が連続的に Low に保持されている場合、デバイスは 8 秒および 15 秒の間隔でパワー サイクルされます。

### 6.3.1.13 AC\_DET 入力 (AC\_DET)

AC\_DET ピンは、PMIC のパワー アップを制御するために次の 3 つの方法で使用される CMOS タイプの入力です。

- バッテリ動作システムでは、有効な充電器電源がシステムに接続されている場合、AC\_DET は通常 Low にプルされたオープン ドレインのパワーグッド出力を使用した外部のバッテリ チャージャに接続されます。AC\_DET ピンの立ち下がりエッジによって、PMIC はパワー アップされます。
- 非ポータブル システムでは、AC\_DET ピンがグランドに短絡され、チップにシステム電源が印可されるたびにデバイスはパワー アップされます。
- 上記の動作がいずれも目的の動作でない場合は、AC\_DET をシステム電源 (IN\_BIAS) に接続することができます。すると、パワー アップはプッシュボタン入力または PWR\_EN 入力によって制御されます。



- A. ポータブル システム
- B. 非ポータブル システム
- C. 無効化

図 6-17. AC\_DET ピンの構成

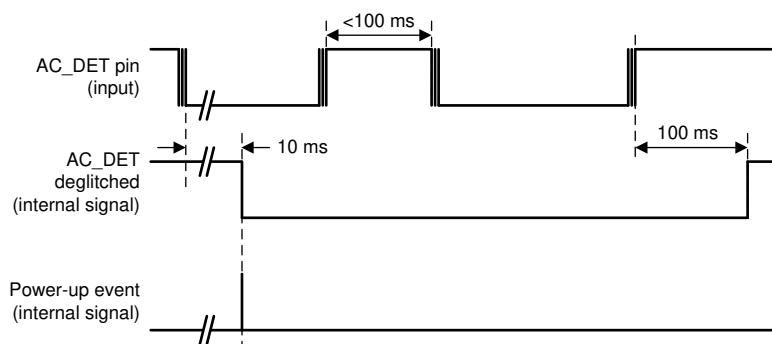


図 6-18. AC\_DET の入力グリッチ除去およびパワー アップのタイミング (ポータブル システム)

ACTIVE 状態では、TPS65216 は AC\_DET 入力を監視し、AC\_DET の入力 Low スレッショルドまたは入力 High スレッショルドを下回る、あるいは上回るなど、ピンのステータスが変化した場合に割り込みを発行します。割り込みは INT\_MASK1 レジスタの ACM ビットによってマスクされます。

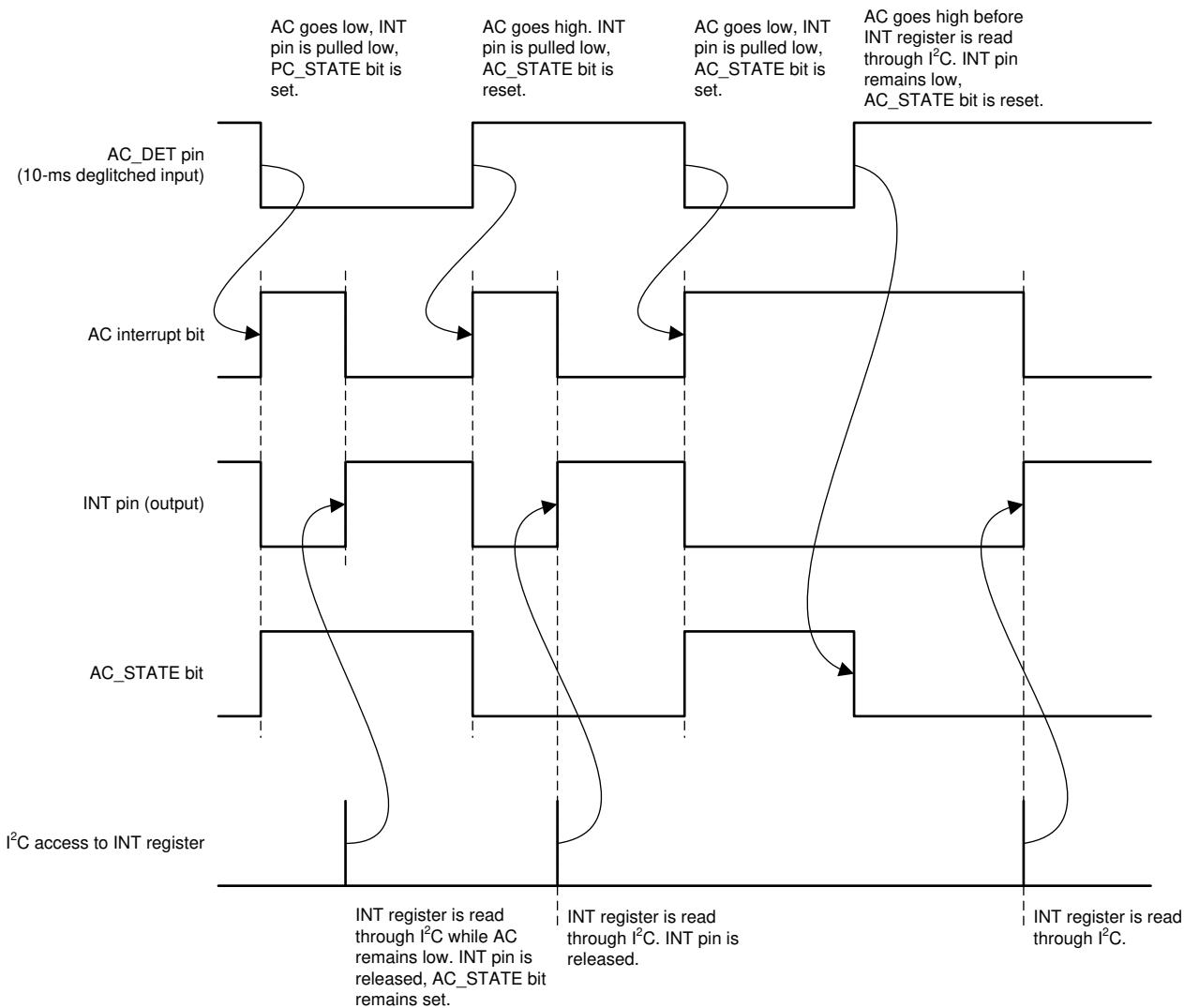


図 6-19. AC\_STATE ピン

### 注

AC\_DET ピンのステータスが変化すると、割り込みが発行されます。AC\_STATE ビットは、AC\_DET 入力の現在のステータスを反映します。

#### 6.3.1.14 割り込みピン (INT)

割り込みピンはイベントまたは故障状態をホスト プロセッサに通知します。デバイスで故障またはイベントが発生するたびに、対応する割り込みビットが INT レジスタに設定され、オープン ドレイン出力が Low にプルされます。INT ピンは解放され (Hi-Z 状態に戻り)、ホストが INT レジスタを読み出すと、故障ビットはクリアされます。障害が続く場合、対応する INT ビットは設定されたままとなり、最大 32 $\mu$ s 後に INT ピンが再び Low にプルされます。

MASK レジスタは、イベントが割り込みを生成するのをマスクします。MASK 設定は INT ピンのみに影響を及ぼし、保護および監視回路には影響しません。

### 6.3.1.15 I<sup>2</sup>C バス動作

TPS65216 は、最大 400kbps のデータレートと自動インクリメントアドレッシングをサポートするスレーブ I<sup>2</sup>C インターフェイス（アドレス 0x24）をホストします。<sup>1</sup>

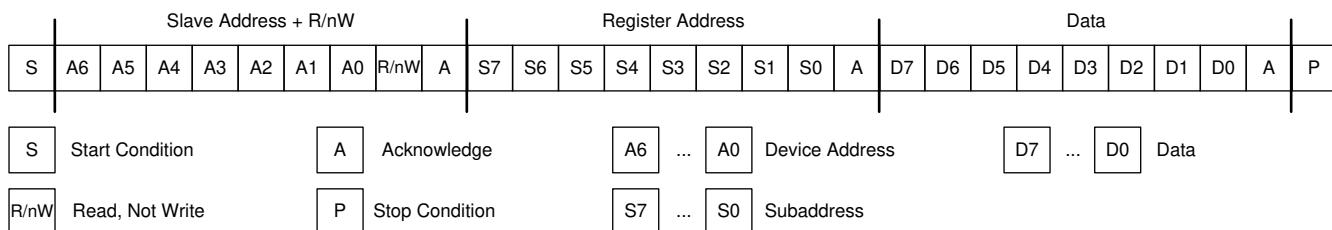
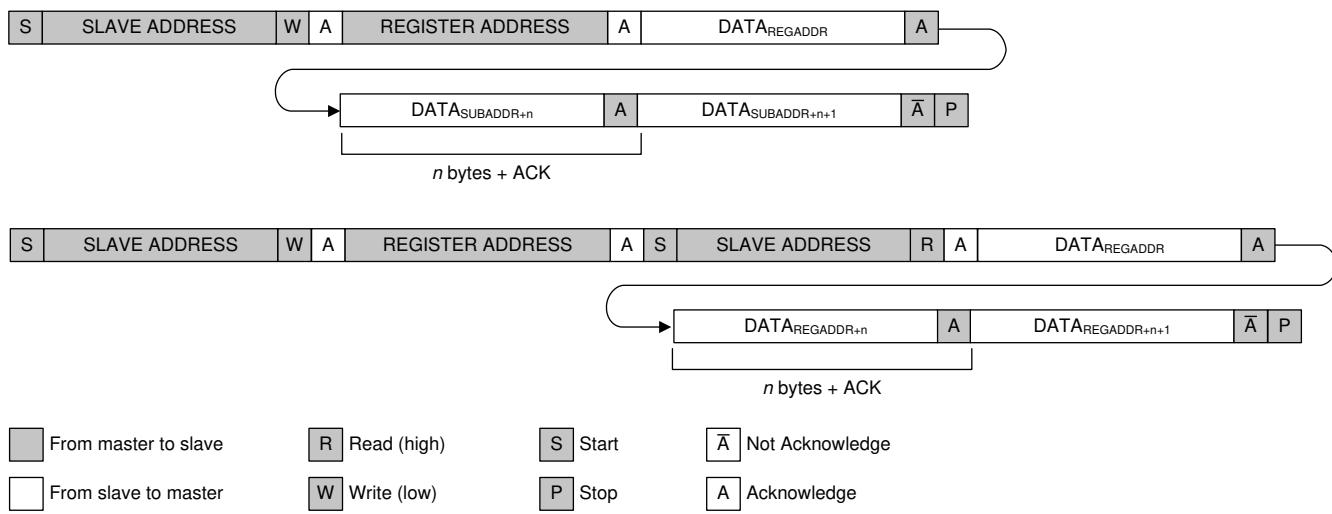


図 6-20. I<sup>2</sup>C 送信のサブアドレス

I<sup>2</sup>C バスは、コントローラと一連のスレーブ端子の間の通信リンクです。このリンクは、シリアル クロック信号 (SCL) とシリアル データ信号 (SDA) で構成される 2 線式バスを使用して確立されます。コントローラとスレーブ端子との間のデータ通信で、シリアル データラインが双方向である場合、どの場合でも、シリアル クロックにはコントローラから電源が供給されます。各デバイスは、シリアル データライン上でデータを送信するためのオープン ドレイン出力を備えています。データ送信中にドレイン出力を High にするには、シリアル データラインに外付けプルアップ抵抗を配置する必要があります。

図 6-22 に示されているように、データ送信はコントローラのスタート ビットを使用して開始します。START 条件は、SCL 信号の high 部分で SDA ラインが high から low に遷移するとき認識されます。スタート ビットを受信すると、デバイスは SDA 入力でシリアル データを受信し、有効なアドレスおよび制御情報をチェックします。適切なスレーブ アドレスがデバイスに設定されている場合、デバイスはアクノリッジ パルスを発行し、レジスタ アドレスとデータの受信を準備します。データ送信は、停止条件の受信またはデバイスに送信されるデータワードの受信によって完了します。停止条件は、SCL 信号の high の間に SDA 入力が low から high に遷移することと認識されます。SDA ラインのそれ以外のすべての遷移は、SCL 信号の low 部分の間に発生する必要があります。有効なスレーブ アドレス、レジスタアドレス、データ ワードを受信した後、アクノリッジが発行されます。I<sup>2</sup>C インターフェイスは、レジスタ アドレスを自動シーケンス処理するため、特定の I<sup>2</sup>C 転送について複数のデータ ワードを送信できます。詳細については、図 6-21 および 図 6-22 を参照してください。

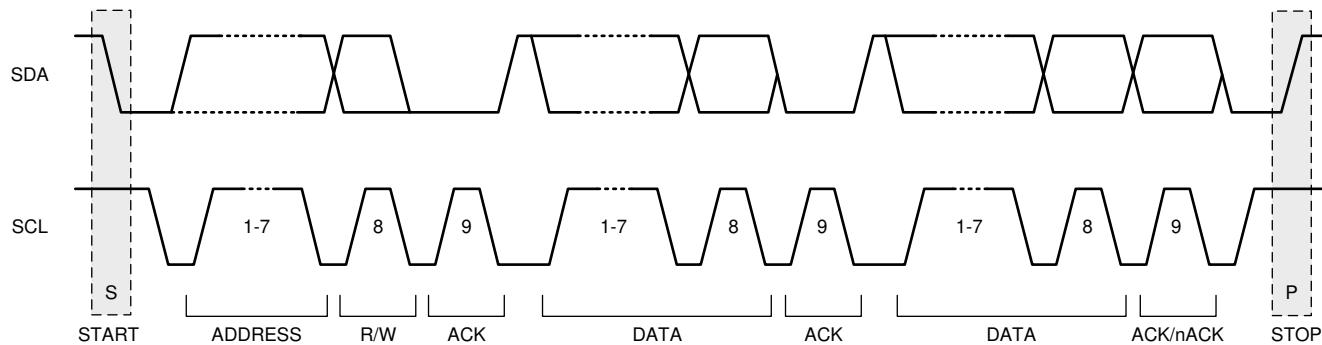
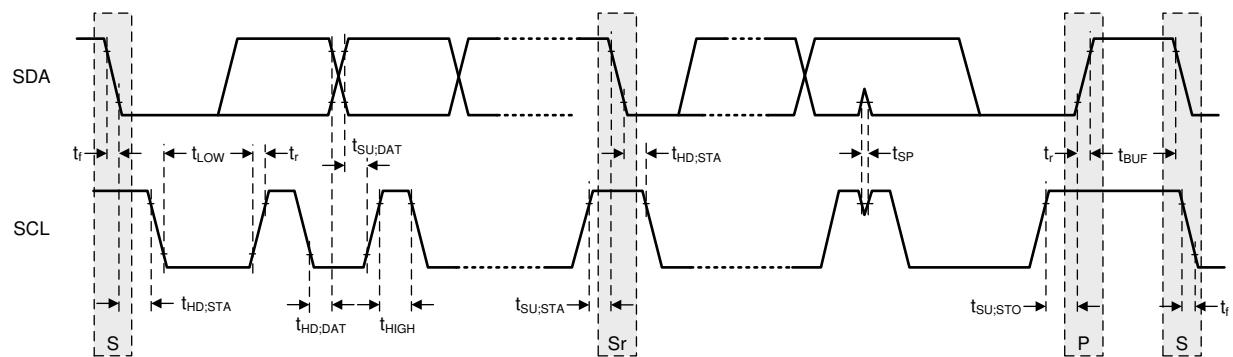


上: マスターはスレーブにデータを書き込みます

下: マスターはスレーブからデータを読み取ります

図 6-21. I<sup>2</sup>C データ プロトコル

<sup>1</sup> 注: 400kHz での SCL デューティ サイクルは 40% 超である必要があります。

図 6-22. I<sup>2</sup>C プロトコルと送信タイミング、I<sup>2</sup>C スタート、ストップ、アクノリッジ(受信確認)プロトコル図 6-23. I<sup>2</sup>C プロトコルと送信タイミング、I<sup>2</sup>C データ送信タイミング

## 6.4 デバイスの機能モード

#### 6.4.1 動作モード

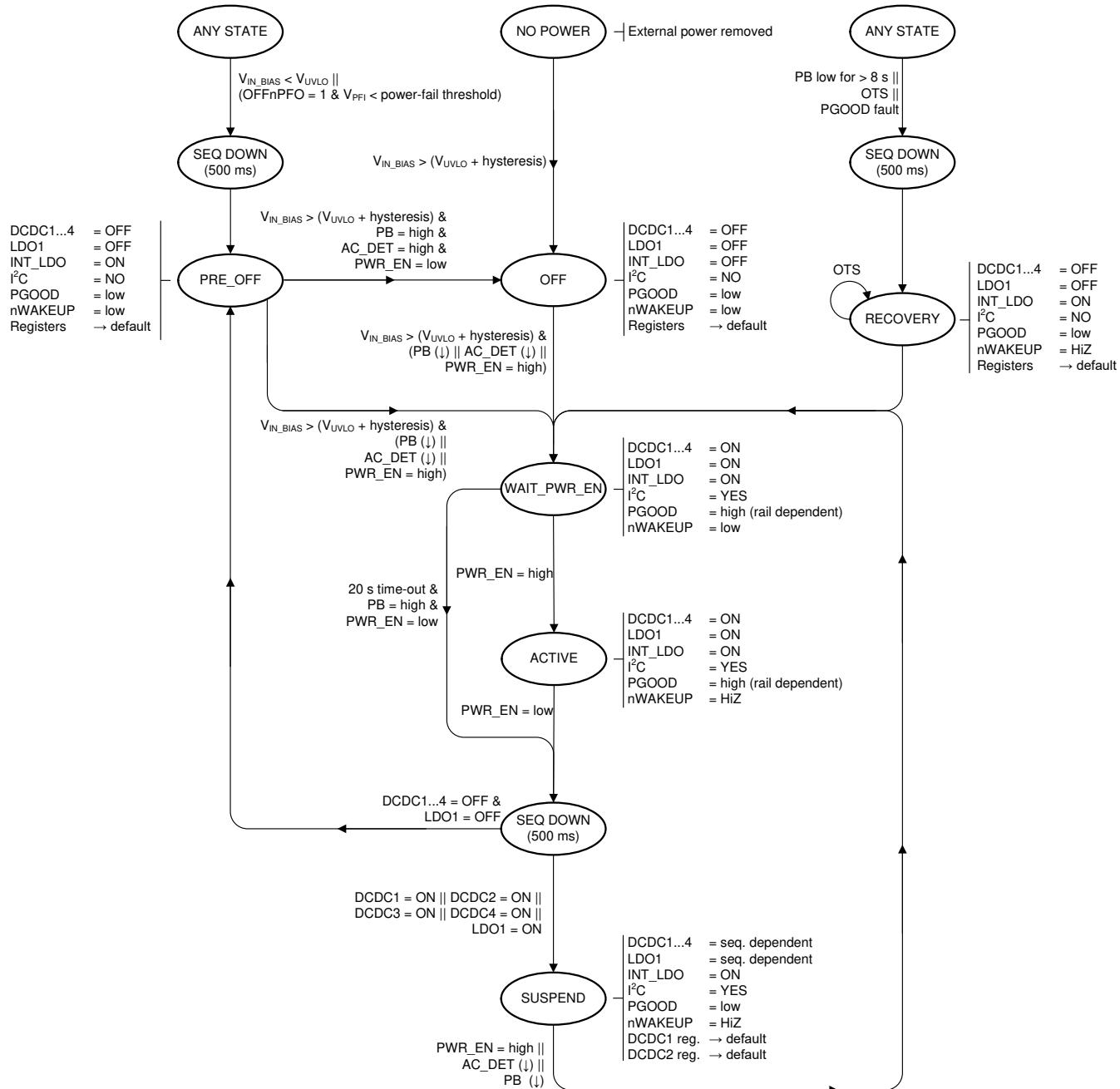


図 6-24. 動作モードの図

#### 6.4.2 OFF

OFF モードの場合、AC\_DET、PWR\_EN、PB 入力を監視するいくつかの回路を除き、PMIC は完全にシャットダウンされます。すべての電源レールがオフになります。レジスタはそれぞれのデフォルト値にリセットされます。I<sup>2</sup>C 通信インターフェイスはオフになります。これは消費電力が最小の動作モードです。OFF モードを終了するには、V<sub>IN\_BIAS</sub> が UVLO スレッショルドを超えるかのいずれかのウェークアップ イベントが発生する必要があります。

- PB 入力が Low にプルダウンされる。
- AC\_DET 入力が Low にプルダウンされる。
- PWR\_EN 入力が High にプルアップされる。

OFF 状態に移行するには、すべての電源レールがシーケンサに割り当てられていることを確認してから、PWR\_EN ピンを Low にプルします。さらに、OFFnPFO ビットが 1b に設定されており、PFI 入力が電源障害のスレッショルドを下回ると、デバイスは OFF 状態に遷移します。ACTIVE 状態の間に PGOOD または OTS 故障が発生すると、TPS65216 は RESET 状態に遷移します。

#### 6.4.3 アクティブ

これは、システムが稼働しているときの通常の動作モードです。すべての DC/DC コンバータ、LDO、負荷スイッチは、動作し、I<sup>2</sup>C インターフェイス経由で制御できます。ウェークアップ イベントの後、PMIC はシーケンサで制御されているすべてのレールを有効にし、nWAKEUP ピンを Low にプルしてイベントをホスト プロセッサに通知します。デバイスが ACTIVE 状態に移行するのは、ウェークアップ イベント後 20 秒以内にホストが PWR\_EN ピンをアサートした場合のみです。それ以外の場合は、OFF 状態に移行します。PWR\_EN ピンがアサートされると、nWAKEUP ピンは HiZ モードに戻ります。ACTIVE 状態では、PWR\_EN ピンを High にすることで、SUSPEND 状態から直接入力することもできます。詳細については、SUSPEND 状態の説明を参照してください。ACTIVE モードを終了するには、PWR\_EN ピンを Low にプルする必要があります。

#### 6.4.4 中断

SUSPEND 状態は、システムのスタンバイをサポートするための低消費電力モードです。SEQ レジスタが 0h に設定されている場合を除き、通常、すべての電源レールがオフになります。SUSPEND 状態に移行するには、PWR\_EN ピンを Low にプルします。電源オフ シーケンスで制御されているすべての電源レールがシャットダウンされ、500ms 後にデバイスは SUSPEND 状態に移行します。電源オフ シーケンスで制御されていないすべてのレールは、そのままの状態を維持します。注: デバイスが SUSPEND 状態に移行すると、すべてのレジスタ値はリセットされます。前のセクションで説明したように、デバイスはウェークアップ イベントを検出した後、ACTIVE 状態に移行します。

#### 6.4.5 リセット

TPS65216 は TRST ビットの値に応じて、PB ピンを 8 秒または 15 秒以上 Low に保持することでリセットできます。すべてのレールは、シーケンサによってシャットダウンされ、すべてのレジスタ値はそれぞれのデフォルト値にリセットされます。シーケンサで制御されていないレールもシャットダウンされます。注: RESET 機能はデバイスの電源をパワーサイクルし、出力レールを一時的にシャットダウンします。デバイスをリセットしても OFF 状態にはなりません。PB\_IN ピンが長時間 Low に維持されると、デバイスは ACTIVE 状態と RESET 状態の間をサイクルし続け、8 秒または 15 秒ごとに RESET 状態になります。

PGOOD または OTS の故障が発生すると、デバイスもリセットされます。TPS65216 は故障が解消されるまで RECOVERY 状態のままになり、その時点では ACTIVE 状態に遷移します。

## 7 レジスタ マップ

### 7.1 パスワードによる保護

レジスタ **0x11** ~ **0x26** は、8 ビットのパスワードによる偶発的な書き込みから保護されています。保護されたレジスタへの書き込みの前にはパスワードを書き込む必要があります、レジスタへのアクセスやトランザクションのタイプ（読み取りまたは書き込み）に関係なく、次の I<sup>2</sup>C トランザクションの後で自動的に **0x00** にリセットされる必要があります。パスワードは書き込みアクセスに対してのみ必要で、読み取りアクセスには必要ありません。

保護されたレジスタへ書き込むには、以下のようにします。

1. 保護パスワード (**0x7D**) を使用して、XOR 处理された送信先レジスタのアドレスを **PASSWORD** レジスタ (**0x10**) に書き込みます。
2. そのパスワードで保護されたレジスタにデータを書き込みます。
3. **PASSWORD** レジスタの内容が **0x7D** に一致するアドレスで XOR 处理された場合、データは保護されたレジスタに転送されます。それ以外の場合、トランザクションは無視されます。どちらの場合も、トランザクション後に **PASSWORD** レジスタが **0x00** にリセットされます。

Level1 の書き込み保護が適用されている他のレジスタで、このサイクルを繰り返す必要があります。

### 7.2 FLAG レジスタ

FLAG レジスタには、各電源レールのビットと GPO が含まれており、システムが中断状態である間のレールの有効化状態を追跡します。FLAG レジスタには、次の規則が適用されます。

- 任意のフラグ ビットのパワーアップ時のデフォルト値は **0** です。
- フラグ ビットは読み取り専用で、書き込むことはできません。
- SUSPEND 状態に移行すると、フラグ ビットは対応する ENABLE ビットと同じ値に設定されます。SUSPEND 状態で有効化されるレールと GPO ではフラグ ビットが **1** に設定され、他のフラグ ビットはすべて **0** に設定されます。フラグ ビットは SUSPEND 状態の間、または SUSPEND 状態の終了時には更新されません。
- FLAG レジスタは、WAIT\_PWR\_EN と ACTIVE 状態では変化しません。このレジスタは、DCDC1、DCDC2、DCDC3、DCDC4、LDO1 の有効化状態を反映します。また、直前の SUSPEND 状態中の GPO1、GPO2、GPO3 の有効化状態を反映します。

ホスト プロセッサは FLAG レジスタを読み取って、システムが OFF 状態と SUSPEND 状態のどちらからパワーアップされたのかを判断します。SUSPEND 状態では、通常、DDR メモリはセルフ リフレッシュ モードに保持されるため、DC3\_FLG ビットまたは DC4\_FLG ビットが設定されます。

### 7.3 TPS65216 レジスタ

表 7-1 に、TPS65216 のメモリ マップされたレジスタを示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みの位置であると見なすべきであり、レジスタの内容は変更しないでください。

表 7-1. TPS65216 レジスタ

サブアドレス	略称	レジスタ名	R/W	パスワードによる保護	セクション
0x00	CHIPID	CHIP ID	R	なし	表示
0x01	INT1	INTERRUPT 1	R	なし	表示
0x02	INT2	INTERRUPT 2	R	なし	表示
0x03	INT_MASK1	INTERRUPT MASK 1	R/W	なし	表示
0x04	INT_MASK2	INTERRUPT MASK 2	R/W	なし	表示
0x05	STATUS	STATUS	R	なし	表示
0x06	制御	制御	R/W	なし	表示
0x07	FLAG	FLAG	R	なし	表示
0x10	PASSWORD	PASSWORD	R/W	なし	表示
0x11	ENABLE1	ENABLE 1	R/W	あり	表示
0x12	ENABLE2	ENABLE 2	R/W	あり	表示
0x13	CONFIG1	CONFIGURATION 1	R/W	あり	表示
0x14	CONFIG2	CONFIGURATION 2	R/W	あり	表示
0x15	CONFIG3	CONFIGURATION 3	R/W	あり	表示
0x16	DCDC1	DCDC1 CONTROL	R/W	あり	表示
0x17	DCDC2	DCDC2 CONTROL	R/W	あり	表示
0x18	DCDC3	DCDC3 CONTROL	R/W	あり	表示
0x19	DCDC4	DCDC4 CONTROL	R/W	あり	表示
0x1A	SLEW	スレーレート制御	R/W	あり	表示
0x1B	LDO1	LDO1 CONTROL	R/W	あり	表示
0x20	SEQ1	SEQUENCER 1	R/W	あり	表示
0x21	SEQ2	SEQUENCER 2	R/W	あり	表示
0x22	SEQ3	SEQUENCER 3	R/W	あり	表示
0x23	SEQ4	SEQUENCER 4	R/W	あり	表示
0x24	SEQ5	SEQUENCER 5	R/W	あり	表示
0x25	SEQ6	SEQUENCER 6	R/W	あり	表示
0x26	SEQ7	SEQUENCER 7	R/W	あり	表示

表 7-2 では、このセクションで使用される一般的な略語について説明しています。

表 7-2. 一般的な略語

略語	説明
R	読み出し
W	書き込み
R/W	読み出しおよび書き込み機能
E2	EEPROM によってバックアップ
h	ビット グループの 16 進数表記
b	ビットまたはビット グループの 16 進数表記
X	リセット値と無関係

## 7.4 CHIPID レジスタ (サブアドレス = 0x00) [reset = 0x05]

図 7-1 に CHIPID を示し、表 7-3 でその説明を示します。

概略表に戻ります。

**図 7-1. CHIPID レジスタ**

7	6	5	4	3	2	1	0
CHIP						REV	
R-0h						R-5h	

**表 7-3. CHIPID レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-3	CHIP	R	0h	チップ ID: 0h = TPS65216 1h = 将来使用 ... 1Fh = 将来使用
2-0	REV	R	5h	リビジョン コード: 0h = リビジョン 1.0 1h = リビジョン 1.1 2h = リビジョン 2.0 3h = リビジョン 2.1 4h = リビジョン 3.0 5h = リビジョン 4.0 (D0) 6h = 将来使用 7h = 将来使用

## 7.5 INT1 レジスタ (サブアドレス = 0x01) [reset = 0x00]

図 7-2 に、INT1 レジスタを示し、表 7-4 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 7-2. INT1 レジスタ

7	6	5	4	3	2	1	0
予約済み	VPRG	AC	PB	熱い	予約済み	PRGC	
R-00b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	

表 7-4. INT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	
5	VPRG	R	0b	電圧割り込みのプログラミング: 0b = 重大な影響なし。 1b = 入力電圧がパワーアップ時のデフォルト値をプログラムするには低すぎます。
4	AC	R	0b	AC_DET ピンのステータス変更の割り込み。注:ステータス情報は、STATUS レジスタで利用できます。 0b = ステータスの変更なし。 1b = AC_DET ステータス変更 (AC_DET ピンを High から Low に、または Low から High に変更)。
3	PB	R	0b	プッシュボタンのステータス変更の割り込み。注:ステータス情報は、STATUS レジスタで利用できます 0b = ステータスの変更なし。 1b = プッシュボタンのステータス変更 (PB を High から Low に、または Low から High に変更)。
2	HOT	R	0b	サーマルシャットダウンの早期警告: 0b = チップの温度が HOT スレッショルドを下回っています。 1b = チップの温度が HOT スレッショルドを超えています。
1	予約済み	R	0b	
0	PRGC	R	0b	EEPROM プログラミング完了の割り込み: 0b = 重大な影響なし。 1b = パワーアップ時のデフォルト設定のプログラミングが正常に完了しました。

## 7.6 INT2 レジスタ (サブアドレス = 0x02) [reset = 0x00]

図 7-3 に、INT2 レジスタを示し、表 7-5 にこのレジスタのフィールドの説明を示します。

[概略表](#)に戻ります。

**図 7-3. INT2 レジスタ**

7	6	5	4	3	2	1	0
予約済み	LS_F	予約済み	予約済み	LS_I	予約済み	予約済み	予約済み
R-00b	R-0b						

**表 7-5. INT2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	
5	LS_F	R	0b	負荷スイッチ の故障の割り込み: 0b = 故障なし。スイッチは正常に動作しています。 1b = 負荷スイッチが動作温度制限を超えており、一時的に無効化されています。
4	予約済み	R	0b	
3	予約済み	R	0b	
2	LS_I	R	0b	負荷スイッチ の電流制限の割り込み: 0b = 負荷スイッチが無効化されているか、電流制限状態にありません。 1b = 負荷スイッチは出力電流をアクティブに制限しています (出力負荷が電流制限値を超えています)。
1	予約済み	R	0b	
0	予約済み	R	0b	

## 7.7 INT\_MASK1 レジスタ (サブアドレス = 0x03) [reset = 0x00]

図 7-4 に、INT\_MASK1 レジスタを示し、表 7-6 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

図 7-4. INT\_MASK1 レジスタ

7	6	5	4	3	2	1	0
予約済み	VPRGM	ACM	PBM	HOTM	予約済み	PRGCM	
R-00b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	

表 7-6. INT\_MASK1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	
5	VPRGM	R/W	0b	電圧割り込みマスクビットのプログラミング。注:マスクビットは監視機能には影響しません。 0b = 割り込みはマスクされていません (割り込みイベントによって nINT ピンが Low にプルされます)。 1b = 割り込みはマスクされています (割り込みは nINT ピンに影響しません)。
4	ACM	R/W	0b	AC_DET 割り込みマスキングビット: 0b = 割り込みはマスクされていません (割り込みイベントによって nINT ピンが Low にプルされます)。 1b = 割り込みはマスクされています (割り込みは nINT ピンに影響しません)。 注:マスクビットは監視機能には影響しません。
3	PBM	R/W	0b	PB 割り込みマスキングビット注:マスクビットは監視機能には影響しません。 0b = 割り込みはマスクされていません (割り込みイベントによって nINT ピンが Low にプルされます)。 1b = 割り込みはマスクされています (割り込みは nINT ピンに影響しません)。
2	HOTM	R/W	0b	HOT 割り込みマスキングビット注:マスクビットは監視機能には影響しません。 0b = 割り込みはマスクされていません (割り込みイベントによって nINT ピンが Low にプルされます)。 1b = 割り込みはマスクされています (割り込みは nINT ピンに影響しません)。
1	予約済み	R/W	0b	
0	PRGCM	R/W	0b	PRGC 割り込みマスキングビット。注:マスクビットは監視機能には影響しません。 0b = 割り込みはマスクされていません (割り込みイベントによって nINT ピンが Low にプルされます)。 1b = 割り込みはマスクされています (割り込みは nINT ピンに影響しません)。

## 7.8 INT\_MASK2 レジスタ (サブアドレス = 0x04) [reset = 0x00]

表 7-7 に、INT\_MASK2 レジスタを示し、表 7-8 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

**表 7-7. INT\_MASK2 レジスタ**

7	6	5	4	3	2	1	0
予約済み	LS_FM	予約済み	予約済み	LS_IM	予約済み	予約済み	予約済み
R-00b	R/W-0b						

**表 7-8. INT\_MASK2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	
5	LS_FM	R/W	0b	LS 故障の割り込みマスク ビット。注:マスク ビットは監視機能には影響しません。 0b = 割り込みはマスクされていません (割り込みイベントによって nINT ピンが Low にプルされます)。 1b = 割り込みはマスクされています (割り込みは nINT ピンに影響しません)。
4	予約済み	R/W	0b	
3	予約済み	R/W	0b	
2	LS_IM	R/W	0b	LS 電流制限割り込みマスク ビット。注:マスク ビットは監視機能には影響しません。 0b = 割り込みはマスクされていません (割り込みイベントによって nINT ピンが Low にプルされます)。 1b = 割り込みはマスクされています (割り込みは nINT ピンに影響しません)。
1	予約済み	R/W	0b	
0	予約済み	R/W	0b	

## 7.9 STATUS レジスタ (サブアドレス = 0x05) [reset = 00XXXXXXb]

レジスタ マスク: C0h

表 7-9 に STATUS を示し、表 7-10 にその説明を示します。

概略表に戻ります。

**表 7-9. STATUS レジスタ**

7	6	5	4	3	2	1	0
予約済み	EE	AC_STATE	PB_STATE	状態		予約済み	
R-0b	R-0b	R-X	R-X	R-X		R-X	

**表 7-10. STATUS レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	
6	EE	R	0b	EEPROM ステータス: 0b = EEPROM 値は工場出荷時のデフォルト設定から変更されていません。 1b = EEPROM の値が工場出荷時のデフォルト設定から変更されています。
5	AC_STATE	R	X	AC_DET 入力ステータス ビット: 0b = AC_DET 入力は非アクティブです (AC_DET 入力ピンは High)。 1b = AC_DET 入力はアクティブです (AC_DET 入力は Low)。
4	PB_STATE	R	X	PB 入力ステータス ビット: 0b = プッシュ ボタン入力は非アクティブです (PB 入力ピンが High)。 1b = プッシュ ボタン入力はアクティブです (PB 入力ピンが Low)。
3-2	STATE	R	X	ステート マシンの STATE の表示: 0h = PMIC は遷移状態です。 1h = PMIC は WAIT_PWR_EN 状態です。 2h = PMIC は ACTIVE 状態です。 3h = PMIC は SUSPEND 状態です。
1-0	予約済み	R	X	

### 7.10 CONTROL レジスタ (アドレス = 0x06) [reset = 0x00]

図 7-5 に CONTROL を示し、表 7-11 にその説明を示します。

概略表に戻ります。

**図 7-5. CONTROL レジスタ**

7	6	5	4	3	2	1	0
予約済み						OFFnPFO	予約済み
R-0000 00b					R/W-0b	R/W-0b	

**表 7-11. CONTROL レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-2	予約済み	R	0000 00b	
1	OFFnPFO	R/W	0b	電源障害のシャットダウンビット: 0b = nPFO は PMIC の状態に影響しません。 1b = PFI コンバレータがトリップすると、すべてのレールがシャットダウンされ、PMIC は OFF 状態に移行します (nPFO が Low)。
0	予約済み	R/W	0b	

### 7.11 FLAG レジスタ (サブアドレス = 0x07) [reset = 0x00]

図 7-6 に FLAG を示し、表 7-12 でその説明を示します。

概略表に戻ります。

**図 7-6. FLAG レジスタ**

7	6	5	4	3	2	1	0
GPO2_FLG	予約済み	GPO1_FLG	LDO1_FLG	DC4_FLG	DC3_FLG	DC2_FLG	DC1_FLG
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

**表 7-12. FLAG レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	GPO2_FLG	R	0b	GPO2 フラグ ビット: 0b = デバイスが OFF または SUSPEND 状態からパワーアップされ、GPO2 は SUSPEND 中に無効化されました。 1b = デバイスが SUSPEND 状態からパワーアップされ、GPO2 が SUSPEND 中に有効化されました。
6	予約済み	R	0b	
5	GPO1_FLG	R	0b	GPO1 フラグ ビット: 0b = デバイスが OFF または SUSPEND 状態からパワーアップされ、GPO1 が SUSPEND 中に無効化されました。 1b = デバイスが SUSPEND 状態からパワーアップされ、GPO1 が SUSPEND 中に有効化されました。
4	LDO1_FLG	R	0b	LDO1 フラグ ビット: 0b = デバイスが OFF または SUSPEND 状態からパワーアップされ、LDO1 が SUSPEND 中に無効化されました。 1b = デバイスが SUSPEND 状態からパワーアップされ、LDO1 が SUSPEND 中に有効化されました。
3	DC4_FLG	R	0b	DCDC4 フラグ ビット: 0b = デバイスが OFF または SUSPEND 状態からパワーアップされ、DCDC4 が SUSPEND 中に無効化されました。 1b = デバイスが SUSPEND 状態からパワーアップされ、DCDC4 が SUSPEND 中に有効化されました。
2	DC3_FLG	R	0b	DCDC3 フラグ ビット: 0b = デバイスが OFF または SUSPEND 状態からパワーアップされ、DCDC3 が SUSPEND 中に無効化されました。 1b = デバイスが SUSPEND 状態からパワーアップされ、DCDC3 が SUSPEND 中に有効化されました。
1	DC2_FLG	R	0b	DCDC2 フラグ ビット: 0b = デバイスが OFF または SUSPEND 状態からパワーアップされ、DCDC2 が SUSPEND 中に無効化されました。 1b = デバイスが SUSPEND 状態からパワーアップされ、DCDC2 が SUSPEND 中に有効化されました。
0	DC1_FLG	R	0b	DCDC1 フラグ ビット: 0b = デバイスが OFF または SUSPEND 状態からパワーアップされ、DCDC1 が SUSPEND 中に無効化されました。 1b = デバイスが SUSPEND 状態からパワーアップされ、GDCDC1PO3 が SUSPEND 中に有効化されました。

### 7.12 PASSWORD レジスタ (サブアドレス = 0x10) [reset = 0x00]

図 7-7 に PASSWORD を示し、表 7-13 にその説明を示します。

概略表に戻ります。

**図 7-7. PASSWORD レジスタ**

7	6	5	4	3	2	1	0
PWRD							
R/W-00h							

**表 7-13. PASSWORD レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-0	PWRD	R/W	00h	レジスタは、password 保護されたレジスタにアクセスするために使用されます (詳細については、「password による保護」を参照してください)。読み戻しは常に 0x00 になります。

### 7.13 ENABLE1 レジスタ (サブアドレス = 0x11) [reset = 0x00]

図 7-8 に ENABLE1 を示し、表 7-14 にその説明を示します。

概略表に戻ります。

パスワードによって保護されています。

図 7-8. ENABLE1 レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	DC4_EN	DC3_EN	DC2_EN	DC1_EN	
R-00b	R/W-0b						

表 7-14. ENABLE1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	
5	予約済み	R/W	0b	
4	予約済み	R/W	0b	
3	DC4_EN	R/W	0b	DCDC4 イネーブル ビット注:このビットは、パワーアップおよびパワーダウン時に、内部の電源シーケンス IC によって自動的に更新されます。 0b=ディセーブル 1b = イネーブル
2	DC3_EN	R/W	0b	DCDC3 イネーブル ビット注:このビットは、パワーアップおよびパワーダウン時に、内部の電源シーケンス IC によって自動的に更新されます。 0b=ディセーブル 1b = イネーブル
1	DC2_EN	R/W	0b	DCDC2 イネーブル ビット注:このビットは、パワーアップおよびパワーダウン時に、内部の電源シーケンス IC によって自動的に更新されます。 0b=ディセーブル 1b = イネーブル
0	DC1_EN	R/W	0b	DCDC1 イネーブル ビット注:このビットは、パワーアップおよびパワーダウン時に、内部の電源シーケンス IC によって自動的に更新されます。 0b=ディセーブル 1b = イネーブル

### 7.14 ENABLE2 レジスタ (サブアドレス = 0x12) [reset = 0x00]

図 7-9 に ENABLE2 を示し、表 7-15 にその説明を示します。

概略表に戻ります。

パスワードによって保護されています。

**図 7-9. ENABLE2 レジスタ**

7	6	5	4	3	2	1	0
予約済み	GPIO2	予約済み	GPIO1	LS_EN	予約済み	予約済み	LDO1_EN
R-0b	R/W-0b						

**表 7-15. ENABLE2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	
6	GPIO2	R/W	0b	汎用出力 2 / 極性をリセットします。注:DC12_RST ビット (レジスタ 0x14) が 1 に設定されている場合、このビットは機能しません。 0b = GPIO2 出力は Low に駆動されます。 1b = GPIO2 出力は HiZ です。
5	予約済み	R/W	0b	
4	GPIO1	R/W	0b	汎用出力 1。注:IO_SEL ビット (レジスタ 0x13) が 1 に設定されている場合、このビットは機能しません。 0b = GPIO1 出力は Low に駆動されます。 1b = GPIO1 出力は HiZ です。
3	LS_EN	R/W	0b	負荷スイッチ (LS) イネーブル ビット。 0b=ディセーブル 1b = イネーブル
2	予約済み	R/W	0b	
1	予約済み	R/W	0b	
0	LDO1_EN	R/W	0b	LDO1 イネーブル ビット 0b=ディセーブル 1b = イネーブル 注:このビットは、パワーアップおよびパワーダウン時に、内部の電源シェンス IC によって自動的に更新されます。

### 7.15 CONFIG1 レジスタ (サブアドレス = 0x13) [reset = 0x04C]

図 7-10 に、CONFIG1 レジスタを示し、表 7-16 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

パスワードによって保護されています。

図 7-10. CONFIG1 レジスタ

7	6	5	4	3	2	1	0
TRST	予約済み	予約済み		PGDLY	STRICT		UVLO
R/W-0b	R/W-1b	R/W-0b		R/W-01b	R/W-1b		R/W-00b

表 7-16. CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TRST	R/W、E2	0b	プッシュボタンのリセット時定数: 0b = 8s 1b = 15s
6	予約済み	R/W	1b	
5	予約済み	R/W	0b	
4-3	PGDLY	R/W、E2	01b	パワーグッド遅延。注:パワーグッド遅延は、立ち上がりエッジのみ(パワーアップ)に適用され、立ち下がりエッジ(パワーダウンまたは故障)には適用されません。 00b = 10ms 01b = 20ms 10b = 50ms 11b = 150ms
2	STRICT	R/W、E2	1b	電源電圧スーパーバイザの感度の選択。詳細については、「電気的特性」の表を参照してください。 0b = パワーグッド スレッショルド (VOUT 立ち下がり) の制限が緩くなっています。過電圧は監視されません。 1b = パワーグッド スレッショルド (VOUT の立ち下がり) が厳密に制限されています。過電圧は監視されます。
1-0	UVLO	R/W、E2	00b	UVLO 設定 00b = 2.75 V 01b = 2.95 V 10b = 3.25 V 11b = 3.35 V

### 7.16 CONFIG2 レジスタ (サブアドレス = 0x14)[reset = 0xC0]

図 7-11 に、CONFIG2 レジスタを示し、表 7-17 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

パスワードによって保護されています。

**図 7-11. CONFIG2 レジスタ**

7	6	5	4	3	2	1	0
DC12_RST	UVLOHYS	予約済み		LSILIM		予約済み	
R/W-1b	R/W-1b	R-00b		R/W-00b		R/W-00b	

**表 7-17. CONFIG2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	DC12_RST	R/W, E2	1b	DCDC1 および DCDC2 のリセットピンの有効化: 0b = GPIO2 は汎用出力として構成されています。 1b = GPIO2 は、DCDC1 および DCDC2 へのウォームリセット入力として構成されています。
6	UVLOHYS	R/W, E2	1b	UVLO ヒステリシス: 0b = 200mV 1b = 400 mV
5-4	予約済み	R	00b	
3-2	LSILIM	R/W	00b	負荷スイッチ (LS) の電流制限の選択: 00b = 100mA, (MIN = 98mA) 01b = 200mA, (MIN = 194mA) 10b = 500mA, (MIN = 475mA) 11b = 1000mA, (MIN = 900mA) 詳細については、LS の電流制限の仕様を「 <a href="#">電気的特性</a> 」で参照してください。
1-0	予約済み	R/W	00b	

### 7.17 CONFIG3 レジスタ (サブアドレス = 0x15) [reset = 0x0]

図 7-12 に、CONFIG3 レジスタを示し、表 7-18 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

パスワードによって保護されています。

図 7-12. CONFIG3 レジスタ

7	6	5	4	3	2	1	0
予約済み	LSnPFO	予約済み	予約済み	LSDCHRG	予約済み	予約済み	予約済み
R-00b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-18. CONFIG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	
5	LSnPFO	R/W	0b	負荷スイッチの電源障害ディスエーブル ビット: 0b = 負荷スイッチのステータスは電源障害コンバレータの影響を受けません。 1b = 電源障害コンバレータがトリップした場合 (nPFO が Low)、負荷スイッチは無効になります。
4	予約済み	R/W	0b	
3	予約済み	R/W	0b	
2	LSDCHRG	R/W	0b	負荷スイッチ放電のイネーブル ビット: 0b = アクティブ放電は無効化されています。 1b = アクティブ放電が有効 (スイッチが OFF の場合に負荷スイッチの出力はアクティブに放電されます)。
1	予約済み	R/W	0b	
0	予約済み	R/W	0b	

### 7.18 DCDC1 Register (オフセット = 0x16) [reset = 0x99]

図 7-13 に、DCDC1 レジスタを示し、表 7-19 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

注 1: このレジスタはパスワードによって保護されています。詳細については、「[パスワードによる保護](#)」を参照してください。

注 2: 過電圧および低電圧の監視の 5ms のブランкиング時間は、DCDC1 レジスタで書き込みが実行されると発生します。

注 3: DCDC1 の出力電圧を変更するには、レジスタ 0x1A の GO ビットまたは GODSBL ビットを 1b に設定する必要があります。

**図 7-13. DCDC1 レジスタ**

7	6	5	4	3	2	1	0
PFM	予約済み			DCDC1			
R/W-1b	R-0b			R/W-19h			

**表 7-19. DCDC1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	PFM	R/W	1b	パルス周波数変調 (PFM、パルススキップモードとも呼ばれます) が有効です。PFM モードにより、軽負荷時の効率が向上します。実際の PFM モード動作は、負荷条件に応じて異なります。 0b = ディスエーブル (強制された PWM) 1b = イネーブル
6	予約済み	R	0b	

表 7-19. DCDC1 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5-0	DCDC1	R/W, E2	19h	DCDC1 の出力電圧設定: 0h = 0.850 1h = 0.860 2h = 0.870 3h = 0.880 4h = 0.890 5h = 0.900 6h = 0.910 7h = 0.920 8h = 0.930 9h = 0.940 Ah = 0.950 Bh = 0.960 Ch = 0.970 Dh = 0.980 Eh = 0.990 Fh = 1.000 10h = 1.010 11h = 1.020 12h = 1.030 13h = 1.040 14h = 1.050 15h = 1.060 16h = 1.070 17h = 1.080 18h = 1.090 19h = 1.100 1Ah = 1.110 1Bh = 1.120 1Ch = 1.130 1Dh = 1.140 1Eh = 1.150 1Fh = 1.160 20h = 1.170 21h = 1.180 22h = 1.190 23h = 1.200

**表 7-19. DCDC1 レジスタのフィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
				24h = 1.210
				25h = 1.220
				26h = 1.230
				27h = 1.240
				28h = 1.250
				29h = 1.260
				2Ah = 1.270
				2Bh = 1.280
				2Ch = 1.290
				2Dh = 1.300
				2Eh = 1.310
				2Fh = 1.320
				30h = 1.330
				31h = 1.340
				32h = 1.350
				33h = 1.375
				34h = 1.400
				35h = 1.425
				36h = 1.450
				37h = 1.475
				38h = 1.500
				39h = 1.525
				3Ah = 1.550
				3Bh = 1.575
				3Ch = 1.600
				3Dh = 1.625
				3Eh = 1.650
				3Fh = 1.675

### 7.19 DCDC2 レジスタ (サブアドレス = 0x17) [reset = 0x99]

図 7-14 に、DCDC2 レジスタを示し、表 7-20 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

注 1: このレジスタはパスワードによって保護されています。詳細については、「[パスワードによる保護](#)」を参照してください。

注 2: 過電圧および低電圧の監視の 5ms のブランкиング時間は、DCDC2 レジスタで書き込みが実行されると発生します。

注 3: DCDC2 の出力電圧を変更するには、レジスタ 0x1A の GO ビットまたは GODSBL ビットを 1b に設定する必要があります。

図 7-14. DCDC2 レジスタ

7	6	5	4	3	2	1	0
PFM	予約済み			DCDC2			
R/W-1b	R-0b			R/W-19h			

表 7-20. DCDC2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PFM	R/W	1b	パルス周波数変調 (PFM、パルススキップモードとも呼ばれます) が有効です。PFM モードにより、軽負荷時の効率が向上します。実際の PFM モード動作は、負荷条件に応じて異なります。 0b = ディスエーブル (強制された PWM) 1b = イネーブル
6	予約済み	R	0b	

**表 7-20. DCDC2 レジスタのフィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
5-0	DCDC2	R/W, E2	19h	DCDC2 の出力電圧設定: 0h = 0.850 1h = 0.860 2h = 0.870 3h = 0.880 4h = 0.890 5h = 0.900 6h = 0.910 7h = 0.920 8h = 0.930 9h = 0.940 Ah = 0.950 Bh = 0.960 Ch = 0.970 Dh = 0.980 Eh = 0.990 Fh = 1.000 10h = 1.010 11h = 1.020 12h = 1.030 13h = 1.040 14h = 1.050 15h = 1.060 16h = 1.070 17h = 1.080 18h = 1.090 19h = 1.100 1Ah = 1.110 1Bh = 1.120 1Ch = 1.130 1Dh = 1.140 1Eh = 1.150 1Fh = 1.160 20h = 1.170 21h = 1.180 22h = 1.190 23h = 1.200

表 7-20. DCDC2 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
				24h = 1.210 25h = 1.220 26h = 1.230 27h = 1.240 28h = 1.250 29h = 1.260 2Ah = 1.270 2Bh = 1.280 2Ch = 1.290 2Dh = 1.300 2Eh = 1.310 2Fh = 1.320 30h = 1.330 31h = 1.340 32h = 1.350 33h = 1.375 34h = 1.400 35h = 1.425 36h = 1.450 37h = 1.475 38h = 1.500 39h = 1.525 3Ah = 1.550 3Bh = 1.575 3Ch = 1.600 3Dh = 1.625 3Eh = 1.650 3Fh = 1.675

## 7.20 DCDC3 レジスタ (サブアドレス = 0x18) [reset = 0x8C]

図 7-15 に、DCDC3 レジスタを示し、表 7-21 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

注 1: このレジスタはパスワードによって保護されています。詳細については、「[パスワードによる保護](#)」を参照してください。

注 2: 過電圧および低電圧の監視の 5ms のブランкиング時間は、DCDC3 レジスタで書き込みが実行されると発生します。

### 注

パワーアップ時のデフォルトは、RSEL の値に応じて異なる場合があります。詳細については、「[DCDC3 および DCDC4 のパワーアップのデフォルトの選択](#)」を参照してください。

**図 7-15. DCDC3 レジスタ**

7	6	5	4	3	2	1	0
PFM	予約済み				DCDC3		
R/W-1b	R-0b				R/W-Ch		

**表 7-21. DCDC3 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	PFM	R/W	1b	パルス周波数変調 (PFM、パルススキップモードとも呼ばれます) が有効です。PFM モードにより、軽負荷時の効率が向上します。実際の PFM モード動作は、負荷条件に応じて異なります。 0b = ディスエーブル (強制された PWM) 1b = イネーブル
6	予約済み	R	0b	

表 7-21. DCDC3 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5-0	DCDC3	R/W, E2	Ch	DCDC3 の出力電圧設定: 0h = 0.900 1h = 0.925 2h = 0.950 3h = 0.975 4h = 1.000 5h = 1.025 6h = 1.050 7h = 1.075 8h = 1.100 9h = 1.125 Ah = 1.150 Bh = 1.175 Ch = 1.200 Dh = 1.225 Eh = 1.250 Fh = 1.275 10h = 1.300 11h = 1.325 12h = 1.350 13h = 1.375 14h = 1.400 15h = 1.425 16h = 1.450 17h = 1.475 18h = 1.500 19h = 1.525 1Ah = 1.550 1Bh = 1.600 1Ch = 1.650 1Dh = 1.700 1Eh = 1.750 1Fh = 1.800 20h = 1.850 21h = 1.900 22h = 1.950 23h = 2.000

**表 7-21. DCDC3 レジスタのフィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
				24h = 2.050 25h = 2.100 26h = 2.150 27h = 2.200 28h = 2.250 29h = 2.300 2Ah = 2.350 2Bh = 2.400 2Ch = 2.450 2Dh = 2.500 2Eh = 2.550 2Fh = 2.600 30h = 2.650 31h = 2.700 32h = 2.750 33h = 2.800 34h = 2.850 35h = 2.900 36h = 2.950 37h = 3.000 38h = 3.050 39h = 3.100 3Ah = 3.150 3Bh = 3.200 3Ch = 3.250 3Dh = 3.300 3Eh = 3.350 3Fh = 3.400

## 7.21 DCDC4 レジスタ (サブアドレス = 0x19) [reset = 0xB2]

図 7-16 に、DCDC4 レジスタを示し、表 7-22 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

注 1: このレジスタはパスワードによって保護されています。詳細については、「[パスワードによる保護](#)」を参照してください。

注 2: 過電圧および低電圧の監視の 5ms のブランкиング時間は、DCDC4 レジスタで書き込みが実行されると発生します。

### 注

パワーアップ時のデフォルトは、RSEL の値に応じて異なる場合があります。詳細については、「[DCDC3 および DCDC4 のパワーアップのデフォルトの選択](#)」を参照してください。予約済みの設定は選択しないでください。出力電圧の設定はコンバータの動作中は変更しないでください。

図 7-16. DCDC4 レジスタ

7	6	5	4	3	2	1	0
PFM	予約済み				DCDC4		
R/W-1b	R-0b				R/W-32h		

表 7-22. DCDC4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PFM	R/W	1b	パルス周波数変調 (PFM、パルススキップモードとも呼ばれます) が有効です。PFM モードにより、軽負荷時の効率が向上します。実際の PFM モード動作は、負荷条件に応じて異なります。 0b = ディスエーブル (強制された PWM) 1b = イネーブル
6	予約済み	R	0b	

**表 7-22. DCDC4 レジスタのフィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
5-0	DCDC4	R/W, E2	32h	DCDC4 の出力電圧設定: 0h = 1.175 1h = 1.200 2h = 1.225 3h = 1.250 4h = 1.275 5h = 1.300 6h = 1.325 7h = 1.350 8h = 1.375 9h = 1.400 Ah = 1.425 Bh = 1.450 Ch = 1.475 Dh = 1.500 Eh = 1.525 Fh = 1.550 10h = 1.600 11h = 1.650 12h = 1.700 13h = 1.750 14h = 1.800 15h = 1.850 16h = 1.900 17h = 1.950 18h = 2.000 19h = 2.050 1Ah = 2.100 1Bh = 2.150 1Ch = 2.200 1Dh = 2.250 1Eh = 2.300 1Fh = 2.3500 20h = 2.400 21h = 2.450 22h = 2.500 23h = 2.550

表 7-22. DCDC4 レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
				24h = 2.600
				25h = 2.650
				26h = 2.700
				27h = 2.750
				28h = 2.800
				29h = 2.850
				2Ah = 2.900
				2Bh = 2.950
				2Ch = 3.000
				2Dh = 3.050
				2Eh = 3.100
				2Fh = 3.150
				30h = 3.200
				31h = 3.250
				32h = 3.300
				33h = 3.350
				34h = 3.400
				35h = 予約済み
				36h = 予約済み
				37h = 予約済み
				38h = 予約済み
				39h = 予約済み
				3Ah = 予約済み
				3Bh = 予約済み
				3Ch = 予約済み
				3Dh = 予約済み
				3Eh = 予約済み
				3Fh = 予約済み

## 7.22 SLEW レジスタ (サブアドレス = 0x1A) [reset = 0x06]

図 7-17 に SLEW を示し、表 7-23 でその説明を示します。

概略表に戻ります。

### 注

スルーレート制御は DCDC1 および DCDC2 にのみ適用されます。STRICT = 1 で、コンバータが無負荷状態のときに、高い電圧から低い電圧に変更する場合は、DCDC1 および DCDC2 の PFM ビットを 0 に設定する必要があります。

**図 7-17. SLEW レジスタ**

7	6	5	4	3	2	1	0
GO	GODSBL		予約済み			SLEW	
R/W-0b	R/W-0b		R-000b			R/W-6h	

**表 7-23. SLEW レジスタ フィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7	GO	R/W	0b	Go ピット。注: ビットは電圧遷移の終了時に自動的にリセットされます。 0b = 変更なし 1b = 現在の状態から DCDC1 および DCDC2 レジスタに現在保存されている出力電圧設定への遷移を開始します。SLEW の設定が適用されます。
6	GODSBL	R/W	0b	Go のディスエーブル ビット。 0b = イネーブル 1b = 無効化済み。DCDC1 および DCDC2 レジスタの設定ポイントが更新されるときに、GO ピットへの書き込みが行われず、DCDC1 および DCDC2 の出力電圧が変化します。SLEW の設定が適用されます。
5-3	予約済み	R	000b	
2-0	SLEW	R/W	6h	出力のスルーレート設定: 0h = 160μs/ステップ (10mV/ステップで 0.0625mV/μs) 1h = 80μs/ステップ (10mV/ステップで 0.125mV/μs) 2h = 40μs/ステップ (10mV/ステップで 0.250mV/μs) 3h = 20μs/ステップ (10mV/ステップで 0.500mV/μs) 4h = 10μs/ステップ (10mV/ステップで 1.0mV/μs) 5h = 5μs/ステップ (10mV/ステップで 2.0mV/μs) 6h = 2.5μs/ステップ (10mV/ステップで 4.0mV/μs) 7h = 即時。スルーレートは制御ループの応答時間によってのみ制限されます。注: 実際のスルーレートは、コードごとの電圧ステップによって異なります。詳細については、「DCDCx レジスタ」を参照してください。

### 7.23 LDO1 レジスタ (サブアドレス = 0x1B) [reset = 0x1F]

図 7-18 に、LDO1 レジスタを示し、表 7-24 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

注 1: このレジスタはパスワードによって保護されています。詳細については、「[パスワードによる保護](#)」を参照してください。

注 2: 過電圧および低電圧の監視の 5ms のブランкиング時間は、LDO1 レジスタで書き込みが実行されると発生します。

図 7-18. LDO1 レジスタ

7	6	5	4	3	2	1	0
予約済み					LDO1		
R-00b					R/W-1Fh		

表 7-24. LDO1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	
5-0	LDO1	R/W, E2	1Fh	LDO1 の出力電圧設定: 0h = 0.900 1h = 0.925 2h = 0.950 3h = 0.975 4h = 1.000 5h = 1.025 6h = 1.050 7h = 1.075 8h = 1.100 9h = 1.125 Ah = 1.150 Bh = 1.175 Ch = 1.200 Dh = 1.225 Eh = 1.250 Fh = 1.275 10h = 1.300 11h = 1.325 12h = 1.350 13h = 1.375 14h = 1.400 15h = 1.425 16h = 1.450 17h = 1.475 18h = 1.500 19h = 1.525

**表 7-24. LDO1 レジスタのフィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
				1Ah = 1.550 1Bh = 1.600 1Ch = 1.650 1Dh = 1.700 1Eh = 1.750 1Fh = 1.800 20h = 1.850 21h = 1.900 22h = 1.950 23h = 2.000 24h = 2.050 25h = 2.100 26h = 2.150 27h = 2.200 28h = 2.250 29h = 2.300 2Ah = 2.350 2Bh = 2.400 2Ch = 2.450 2Dh = 2.500 2Eh = 2.550 2Fh = 2.600 30h = 2.650 31h = 2.700 32h = 2.750 33h = 2.800 34h = 2.850 35h = 2.900 36h = 2.950 37h = 3.000 38h = 3.050 39h = 3.100 3Ah = 3.150 3Bh = 3.200 3Ch = 3.250 3Dh = 3.300 3Eh = 3.350 3Fh = 3.400

## 7.24 SEQ1 レジスタ (サブアドレス = 0x20) [reset = 0x00]

図 7-19 に、SEQ1 レジスタを示し、表 7-25 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

パスワードによって保護されています。

図 7-19. SEQ1 レジスタ

7	6	5	4	3	2	1	0
DLY8	DLY7	DLY6	DLY5	DLY4	DLY3	DLY2	DLY1
R/W-0b							

表 7-25. SEQ1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DLY8	R/W、E2	0b	Delay8 (ストローブ 8 の後、ストローブ 9 の前) 0b = 2ms 1b = 5ms
6	DLY7	R/W、E2	0b	Delay7 (ストローブ 7 の後、ストローブ 8 の前) 0b = 2ms 1b = 5ms
5	DLY6	R/W、E2	0b	Delay6 (ストローブ 6 の後、ストローブ 7 の前) 0b = 2ms 1b = 5ms
4	DLY5	R/W、E2	0b	Delay5 (ストローブ 5 の後、ストローブ 6 の前) 0b = 2ms 1b = 5ms
3	DLY4	R/W、E2	0b	Delay4 (ストローブ 4 の後、ストローブ 5 の前) 0b = 2ms 1b = 5ms
2	DLY3	R/W、E2	0b	Delay3 (ストローブ 3 の後、ストローブ 4 の前) 0b = 2ms 1b = 5ms
1	DLY2	R/W、E2	0b	Delay2 (ストローブ 2 の後、ストローブ 3 の前) 0b = 2ms 1b = 5ms
0	DLY1	R/W、E2	0b	Delay1 (ストローブ 1 の後、ストローブ 2 の前) 0b = 2ms 1b = 5ms

## 7.25 SEQ2 レジスタ (サブアドレス = 0x21) [reset = 0x00]

図 7-20 に、SEQ2 レジスタを示し、表 7-26 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

パスワードによって保護されています。

**図 7-20. SEQ2 レジスタ**

7	6	5	4	3	2	1	0
DLYFCTR				予約済み		DLY9	
R/W -0b				R-000 000b		R/W -0b	

**表 7-26. SEQ2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	DLYFCTR	R/W, E2	0b	パワーダウン遅延の要因: 0b = 1x 1b = 10x (パワーダウン時の遅延時間は 10 倍。) 注: DLYFCTR はパワーアップのタイミングには影響しません。
6-1	予約済み	R	000 000b	
0	DLY9	R/W, E2	0b	Delay9 (ストローブ 9 の後、ストローブ 10 の前) 0b = 2ms 1b = 5ms

## 7.26 SEQ3 Register (サブアドレス = 0x22)[reset = 0x98]

図 7-21 に、SEQ3 レジスタを示し、表 7-27 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

パスワードによって保護されています。

図 7-21. SEQ3 レジスタ

7	6	5	4	3	2	1	0
DC2_SEQ				DC1_SEQ			
R/W-9h				R/W-8h			

表 7-27. SEQ3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	DC2_SEQ	R/W, E2	9h	DCDC2 イネーブル STROBE: 0h = レールはシーケンサで制御されていません。 1h = レールはシーケンサで制御されていません。 2h = レールはシーケンサで制御されていません。 3h = STROBE 3 でイネーブル。 4h = STROBE 4 でイネーブル。 5h = STROBE 5 でイネーブル。 6h = STROBE 6 でイネーブル。 7h = STROBE 7 でイネーブル。 8h = STROBE 8 でイネーブル。 9h = STROBE 9 でイネーブル。 Ah = STROBE 10 でイネーブル。 Bh = レールはシーケンサで制御されていません。 Ch = レールはシーケンサで制御されていません。 Dh = レールはシーケンサで制御されていません。 Eh = レールはシーケンサで制御されていません。 Fh = レールはシーケンサで制御されていません。
3-0	DC1_SEQ	R/W, E2	8h	DCDC1 イネーブル STROBE: 0h = レールはシーケンサで制御されていません。 1h = レールはシーケンサで制御されていません。 2h = レールはシーケンサで制御されていません。 3h = STROBE 3 でイネーブル。 4h = STROBE 4 でイネーブル。 5h = STROBE 5 でイネーブル。 6h = STROBE 6 でイネーブル。 7h = STROBE 7 でイネーブル。 8h = STROBE 8 でイネーブル。 9h = STROBE 9 でイネーブル。 Ah = STROBE 10 でイネーブル。 Bh = レールはシーケンサで制御されていません。 Ch = レールはシーケンサで制御されていません。 Dh = レールはシーケンサで制御されていません。 Eh = レールはシーケンサで制御されていません。 Fh = レールはシーケンサで制御されていません。

### 7.27 SEQ4 レジスタ (サブアドレス = 0x23) [reset = 0x75]

図 7-22 に、SEQ4 レジスタを示し、表 7-28 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

パスワードによって保護されています。

**図 7-22. SEQ4 レジスタ**

7	6	5	4	3	2	1	0
DC4_SEQ				DC3_SEQ			
R/W-7h				R/W-5h			

**表 7-28. SEQ4 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-4	DC4_SEQ	R/W, E2	7h	DCDC4 イネーブル STROBE: 0h = レールはシーケンサで制御されていません。 1h = レールはシーケンサで制御されていません。 2h = レールはシーケンサで制御されていません。 3h = STROBE 3 でイネーブル。 4h = STROBE 4 でイネーブル。 5h = STROBE 5 でイネーブル。 6h = STROBE 6 でイネーブル。 7h = STROBE 7 でイネーブル。 8h = STROBE 8 でイネーブル。 9h = STROBE 9 でイネーブル。 Ah = STROBE 10 でイネーブル。 Bh = レールはシーケンサで制御されていません。 Ch = レールはシーケンサで制御されていません。 Dh = レールはシーケンサで制御されていません。 Eh = レールはシーケンサで制御されていません。 Fh = レールはシーケンサで制御されていません。
3-0	DC3_SEQ	R/W, E2	5h	DCDC3 イネーブル STROBE: 0h = レールはシーケンサで制御されていません。 1h = レールはシーケンサで制御されていません。 2h = レールはシーケンサで制御されていません。 3h = STROBE 3 でイネーブル。 4h = STROBE 4 でイネーブル。 5h = STROBE 5 でイネーブル。 6h = STROBE 6 でイネーブル。 7h = STROBE 7 でイネーブル。 8h = STROBE 8 でイネーブル。 9h = STROBE 9 でイネーブル。 Ah = STROBE 10 でイネーブル。 Bh = レールはシーケンサで制御されていません。 Ch = レールはシーケンサで制御されていません。 Dh = レールはシーケンサで制御されていません。 Eh = レールはシーケンサで制御されていません。 Fh = レールはシーケンサで制御されていません。

### 7.28 SEQ5 レジスタ (サブアドレス = 0x24) [reset = 0x12]

図 7-23 に、SEQ5 レジスタを示し、表 7-29 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

パスワードによって保護されています。

図 7-23. SEQ5 レジスタ

7	6	5	4	3	2	1	0
予約済み		予約済み		予約済み		予約済み	
R-0h		R/W-1h		R-0h		R/W-2h	

表 7-29. SEQ5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	
5-4	予約済み	R/W、E2	1h	
3-2	予約済み	R	0h	
1-0	予約済み	R/W、E2	2h	

### 7.29 SEQ6 レジスタ (サブアドレス = 0x25) [reset = 0x63]

図 7-24 に、SEQ6 レジスタを示し、表 7-30 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

パスワードによって保護されています。

**図 7-24. SEQ6 レジスタ**

7	6	5	4	3	2	1	0
予約済み						LDO1_SEQ	
R/W-6h						R/W-3h	

**表 7-30. SEQ6 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	6h	予約済み
3-0	LDO1_SEQ	R/W, E2	3h	<p>LDO1 イネーブル STROBE:</p> <p>0h = レールはシーケンサで制御されていません。</p> <p>1h = レールはシーケンサで制御されていません。</p> <p>2h = レールはシーケンサで制御されていません。</p> <p>3h = STROBE 3 でイネーブル。</p> <p>4h = STROBE 4 でイネーブル。</p> <p>5h = STROBE 5 でイネーブル。</p> <p>6h = STROBE 6 でイネーブル。</p> <p>7h = STROBE 7 でイネーブル。</p> <p>8h = STROBE 8 でイネーブル。</p> <p>9h = STROBE 9 でイネーブル。</p> <p>Ah = STROBE 10 でイネーブル。</p> <p>Bh = レールはシーケンサで制御されていません。</p> <p>Ch = レールはシーケンサで制御されていません。</p> <p>Dh = レールはシーケンサで制御されていません。</p> <p>Eh = レールはシーケンサで制御されていません。</p> <p>Fh = レールはシーケンサで制御されていません。</p>

### 7.30 SEQ7 レジスタ (サブアドレス = 0x26) [reset = 0x03]

図 7-25 に、SEQ7 レジスタを示し、表 7-31 にこのレジスタのフィールドの説明を示します。

概略表に戻ります。

パスワードによって保護されています。

図 7-25. SEQ7 レジスタ

7	6	5	4	3	2	1	0
GPO2_SEQ				GPO1_SEQ			
R/W-0h				R/W-3h			

表 7-31. SEQ7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPO2_SEQ	R/W, E2	0h	<p>GPO2 イネーブル STROBE:            0h = レールはシーケンサで制御されていません。            1h = レールはシーケンサで制御されていません。            2h = レールはシーケンサで制御されていません。            3h = STROBE 3 でイネーブル。            4h = STROBE 4 でイネーブル。            5h = STROBE 5 でイネーブル。            6h = STROBE 6 でイネーブル。            7h = STROBE 7 でイネーブル。            8h = STROBE 8 でイネーブル。            9h = STROBE 9 でイネーブル。            Ah = STROBE 10 でイネーブル。            Bh = レールはシーケンサで制御されていません。            Ch = レールはシーケンサで制御されていません。            Dh = レールはシーケンサで制御されていません。            Eh = レールはシーケンサで制御されていません。            Fh = レールはシーケンサで制御されていません。         </p>
3-0	GPO1_SEQ	R/W, E2	3h	<p>GPO1 イネーブル STROBE:            0h = レールはシーケンサで制御されていません。            1h = レールはシーケンサで制御されていません。            2h = レールはシーケンサで制御されていません。            3h = STROBE 3 でイネーブル。            4h = STROBE 4 でイネーブル。            5h = STROBE 5 でイネーブル。            6h = STROBE 6 でイネーブル。            7h = STROBE 7 でイネーブル。            8h = STROBE 8 でイネーブル。            9h = STROBE 9 でイネーブル。            Ah = STROBE 10 でイネーブル。            Bh = レールはシーケンサで制御されていません。            Ch = レールはシーケンサで制御されていません。            Dh = レールはシーケンサで制御されていません。            Eh = レールはシーケンサで制御されていません。            Fh = レールはシーケンサで制御されていません。         </p>

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 使用上の注意

TPS65216 は、各種のアプリケーションと組み合わせるように設計されています。TPS65216 と Sitara™ AMIC110、AMIC120、AM335x または AM437x プロセッサとの使用については「[Powering AMIC110, AMIC120, AM335x, and AM437x with TPS65216 \(TPS65216 を使用した AMIC110, AMIC120, AM335x, AM437x への電力供給\)](#)」を参照してください。「代表的なアプリケーション」の代表的なアプリケーションは、Sitara™ プロセッサ ファミリを基にしており、このファミリと一致する用語を使用しています。

### 8.2 代表的なアプリケーション

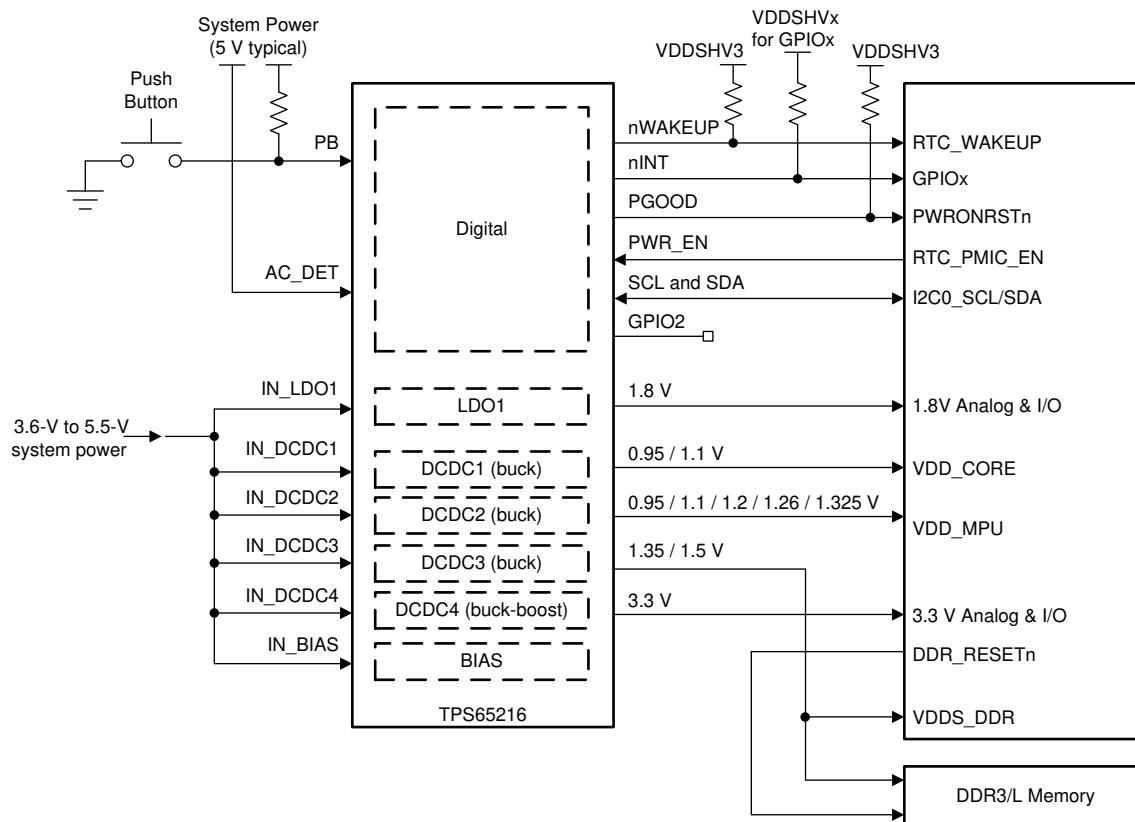


図 8-1. の代表的なアプリケーション回路図

## 8.2.1 設計要件

表 8-1 は、設計要件をまとめたものです。

表 8-1. 設計パラメータ

	電圧	シーケンス
DCDC1	1.1V	8
DCDC2	1.1V	9
DCDC3	1.2V	5
DCDC4	3.3V	7
LDO1	1.8V	3

## 8.2.2 詳細な設計手順

### 8.2.2.1 出力フィルタの設計

TPS65216 上の降圧コンバータ (DCDC1, DCDC2, DCDC3) は、 $1\mu\text{H} \sim 2.2\mu\text{H}$  の範囲の実効インダクタンス値と、 $10 \sim 100\mu\text{F}$  の範囲の実効出力容量で動作するように設計されています。内部補償は、 $L = 1.5\mu\text{H}$  および  $C_{\text{OUT}} = 10\mu\text{F}$  の出力フィルタで動作するように最適化されています。

TPS65216 上の昇降圧コンバータ (DCDC4) は、 $1.2\mu\text{H} \sim 2.2\mu\text{H}$  の範囲の実効インダクタンス値で動作するよう設計されています。内部補償は、 $L = 1.5\mu\text{H}$  および  $C_{\text{OUT}} = 47\mu\text{F}$  の出力フィルタで動作するように最適化されています。

より大きいまたは小さいインダクタンス値 / キャパシタンス値は、特定の動作条件に応じてデバイスの性能を最適化するために使用されます。

### 8.2.2.2 降圧コンバータ向けインダクタの選定

インダクタの値は、ピークツーピークリップル電流、PWM から PFM への遷移点、出力電圧リップル、および効率に影響を及ぼします。選択するインダクタは、DC 抵抗と飽和電流の定格を満たす必要があります。インダクタのリップル電流 ( $\Delta I_L$ ) は、インダクタンスが大きくなると減少し、 $V_{\text{IN}}$  または  $V_{\text{OUT}}$  が大きくなると増加します。静的負荷条件での最大インダクタ電流リップルは、式 1 を使って計算します。インダクタの飽和電流の定格は、式 2 で計算される最大インダクタ電流を上回る必要があります。これを推奨する理由は、重負荷過渡時にはインダクタ電流が計算値を上回るためです。

$$\Delta I_L = V_{\text{OUT}} \times \frac{1 - \frac{V_{\text{OUT}}}{V_{\text{IN}}}}{L \times f} \quad (1)$$

$$I_{L\text{max}} = I_{\text{OUTmax}} + \frac{\Delta I_L}{2} \quad (2)$$

ここで、

- $F$  = スイッチング周波数
- $L$  = インダクタの値
- $\Delta I_L$  = ピークツーピークのインダクタリップル電流
- $I_{L\text{max}}$  = 最大インダクタ電流

以下のインダクタは TPS65216 と組み合わせて使用しています (表 8-2 を参照)。

表 8-2. 推奨インダクター一覧

部品番号	値	サイズ (mm) (L × W × H)	製造元
<b>DCDC1, DCDC2, DCDC3, DCDC4 用のインダクタ</b>			
SPM3012T-1R5M	$1.5\mu\text{H}, 2.8\text{A}, 77\text{m}\Omega$	$3.2 \times 3.0 \times 1.2$	TDK
IHLP1212BZER1R5M11	$1.5\mu\text{H}, 4.0\text{A}, 28.5\text{m}\Omega$	$3.6 \times 3.0 \times 2.0$	Vishay

### 8.2.2.3 出力コンデンサの選択

TPS65216 スイッチングコンバータのヒステリシス PWM 制御方式により、小さいセラミックコンデンサを使用できます。出力電圧リップルが最も少ないので、ESR 値の低いセラミックコンデンサが推奨されます。出力コンデンサには、X7R または X5R の誘電体が必要です。

軽負荷電流時、コンバータはパワー セーブ モードで動作し、出力電圧リップルは出力コンデンサの値と PFM ピーク インダクタ電流に依存します。出力コンデンサの値を大きくすると、PFM モードでの電圧リップルが最小化され、PFM モードでの DC 出力精度が厳格になります。

昇降圧コンバータには、高い負荷状況においてコンバータの安定性を維持するため、追加の出力キャパシタンスが必要になります。少なくとも  $40\mu\text{F}$  の出力キャパシタンスを推奨します。また、 $100\text{nF}$  のコンデンサを追加することで、より高い周波数での出力リップルをさらにフィルタリングすることができます。

表 8-2 に、推奨コンデンサー一覧を示します。

表 8-3. 推奨コンデンサー一覧

部品番号	値	サイズ (mm) (L × W × H)	製造元
最大 5.5V の電圧に対応するコンデンサー <sup>(1)</sup>			
GRM188R60J105K	$1\mu\text{F}$	$1608 / 0603 (1.6 \times 0.8 \times 0.8)$	Murata
GRM21BR60J475K	$4.7\mu\text{F}$	$2012 / 0805 (2.0 \times 1.25 \times 1.25)$	Murata
GRM31MR60J106K	$10\mu\text{F}$	$3216 / 1206 (3.2 \times 1.6 \times 1.6)$	Murata
GRM31CR60J226K	$22\mu\text{F}$	$3216 / 1206 (3.2 \times 1.6 \times 1.6)$	Murata

(1) コンデンサを選択するときは、セラミックコンデンサの DC バイアス効果を考慮する必要があります。

### 8.2.3 アプリケーション曲線

$T_J = 25^\circ\text{C}$  (特に記述のない限り)

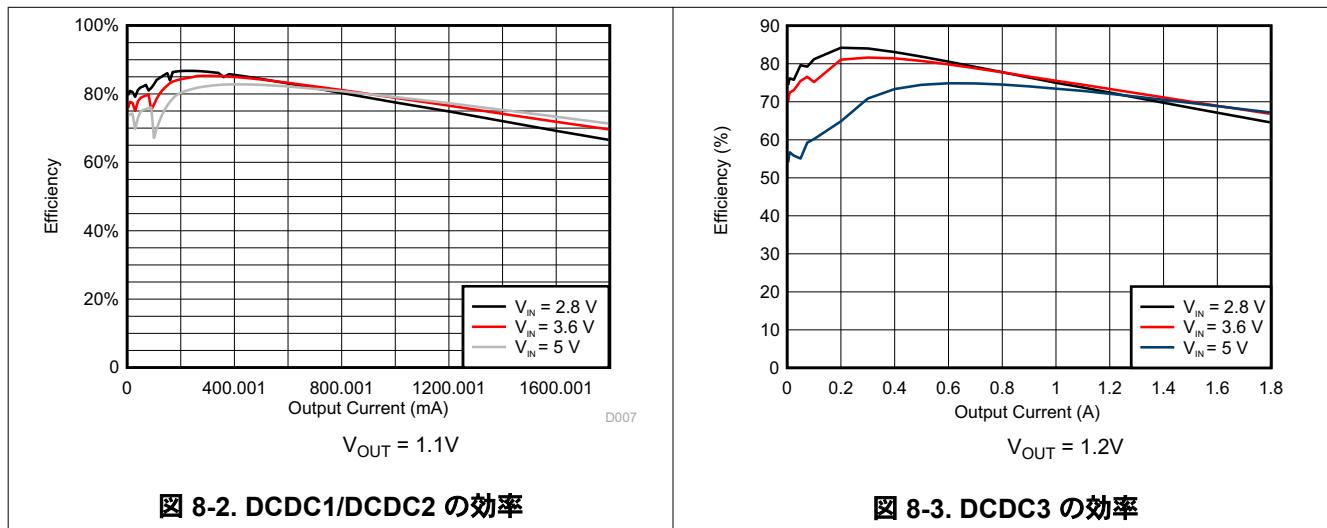


図 8-2. DCDC1/DCDC2 の効率

図 8-3. DCDC3 の効率

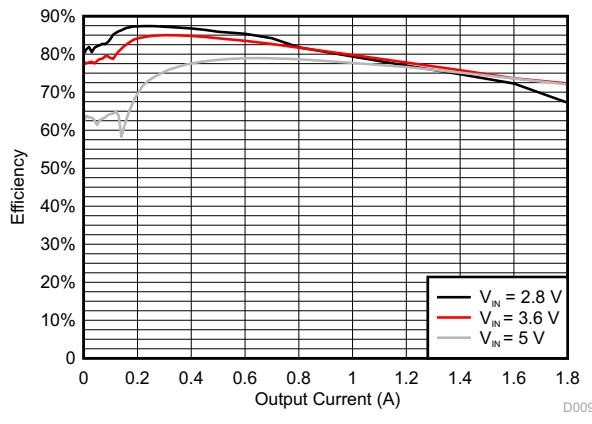


図 8-4. DCDC3 の効率

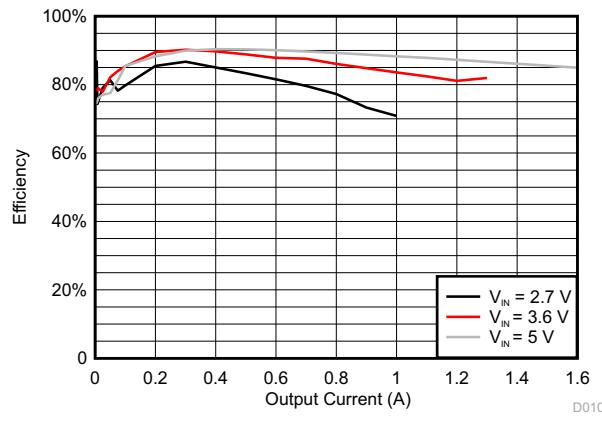


図 8-5. DCDC4 の効率

## 8.3 電源に関する推奨事項

本デバイスは、3.6V ~ 5.5V. の範囲の入力電圧電源で動作するように設計されています。この入力電源は 1 つの安定化された外部電源から供給することができます。入力電源が TPS65216 から数インチ以上離れている場合、セラミックバイパスコンデンサに加えて追加のバルク容量が必要となることがあります。通常は、47 $\mu\text{F}$  の電解コンデンサを使用します。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

以下のレイアウトガイドラインに従ってください。

- IN\_X ピンは、低 ESR のセラミックバイパスコンデンサを使用してグランドにバイパスする必要があります。推奨される代表的なバイパス容量は、X5R または X7R クラスの誘導体が使用されている 4.7 $\mu\text{F}$  です。
- デバイスの IN\_X ピンにできるだけ近づけて配置するのが最適です。バイパスコンデンサ接続、IN\_X ピン、およびデバイスのサーマルパッドによって形成されるループ領域は、最小限に抑えるよう注意してください。
- サーマルパッドは、最低 25 個のビアを使用して PCB のグランドプレーンに接続する必要があります。図 8-7 の例を参照してください。
- LX パターンは PCB の最上層に配置し、ビアがないようにする必要があります。
- FBX のパターンは、カップリングを避けるため、潜在的なノイズ源から離して配線します。
- DCDC4 出力キャパシタンスは、DCDC4 ピンに隣接する必要があります。キャパシタンスと DCDC4 ピンとの間に過度の距離があると、コンバータ性能が低下する可能性があります。

#### 8.4.2 レイアウト例

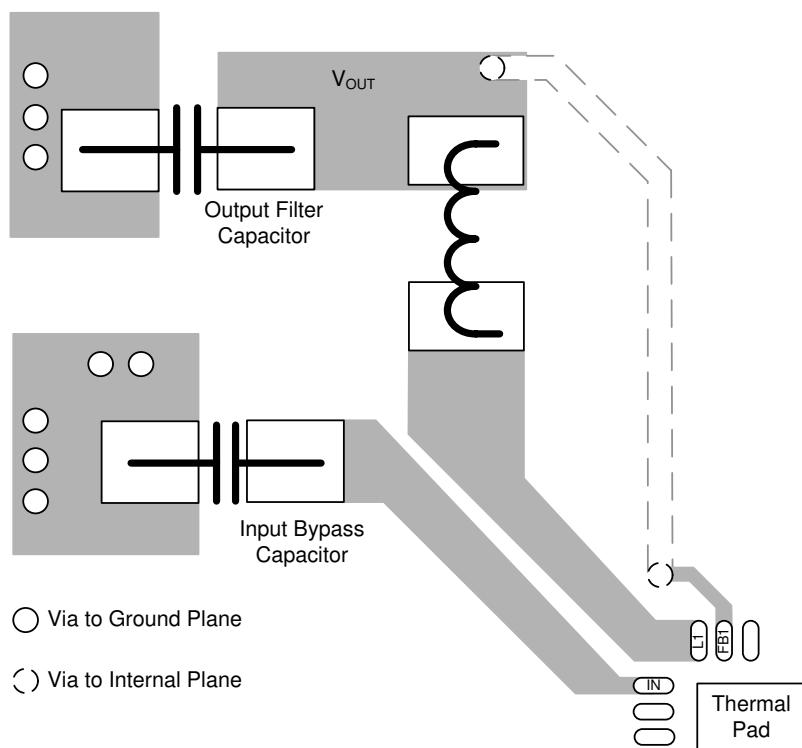


図 8-6. レイアウトに関する推奨事項

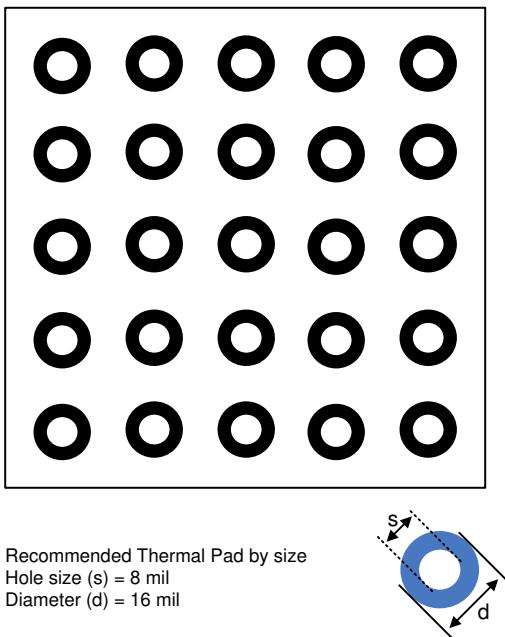


図 8-7. サーマル パッドのレイアウトに関する推奨事項

## 9 デバイスおよびドキュメントのサポート

### 9.1 デバイス サポート

#### 9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

### 9.2 ドキュメントのサポート

#### 9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『降圧コンバータの電力段の基礎的計算』アプリケーションノート
- テキサス・インスツルメンツ、『Design Calculations for Buck-Boost Converters (降圧コンバータの設計の計算)』アプリケーションレポート
- テキサス・インスツルメンツ、『プロセッサ アプリケーション向けパワー マネージメント IC (PMIC)による設計の強化』アプリケーションレポート
- テキサス・インスツルメンツ、『TPS65218EVM ユーザー ガイド』
- テキサス・インスツルメンツ、『TPS65218 産業アプリケーション向けパワー マネージメント IC (PMIC)』アプリケーションレポート

### 9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。右上のアラートを受け取るをクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 9.5 商標

Sitara™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.7 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (December 2019) to Revision B (January 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「概要」セクションで、DCDC3 の動作について、「スリープ」モードの表現を「SUSPEND」モードに更新 .....	1
• PASSWORD レジスタ フィールドの説明から壊れたリンクを削除.....	41
• ENABLE2 の GPIO2 ビットフィールドの説明を汎用の出力の 3 から 2 に更新.....	41
• 「パッケージ情報」のデバイスのマーキングを TPS65216D0 から T65216D0 に変更 .....	86

Changes from Revision * (October 2018) to Revision A (December 2019)	Page
• 「タイトル」と「概要」セクションを更新.....	1

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 11.1 付録：パッケージオプション

### 11.1.1 パッケージ情報

発注可能なデバイス	供給状況 <sup>(1)</sup>	パッケージタイプ	パッケージ図	ピン	パッケージの数量	エコ プラン <sup>(2)</sup>	リード / ボール仕上げ <sup>(3)</sup>	MSL ピーク温度 <sup>(4)</sup>	動作温度 (°C)	デバイス マーキング <sup>(5) (6)</sup>
TPS65216D0RSLR	アクティブ	VQFN	RSL	48	2500	グリーン (RoHS 準拠、Sb/Br 非含有)	CU NIPDAU	レベル 3-260C-168 HR	-40~105	T65216D0
TPS65216D0RSLT	アクティブ	VQFN	RSL	48	250	グリーン (RoHS 準拠、Sb/Br 非含有)	CU NIPDAU	レベル 3-260C-168 HR	-40~105	T65216D0

(1) マーケティング ステータスの値は次のように定義されています。

供給中:新しい設計への使用が推奨される量産デバイス。

最終受注中:テキサス・インスツルメンツによりデバイスの生産中止予定が発表され、ライフトайム購入期間が有効です。

非推奨品:新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。

量産開始前:量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。

プレビュー:デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。

生産中止品:テキサス・インスツルメンツはデバイスの生産を終了しました。

(2) エコ プラン - 環境に配慮した計画的な分類:鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

未定:鉛フリー / グリーン転換プランが策定されていません。

**鉛フリー (RoHS):**テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応したテキサス・インスツルメンツ鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。

**鉛フリー (RoHS 適用除外):**この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンプ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。

**グリーン (RoHS 準拠、Sb/Br 非含有):**テキサス・インスツルメンツにおけるグリーンは、鉛フリー (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。

(3) リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。

(4) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。

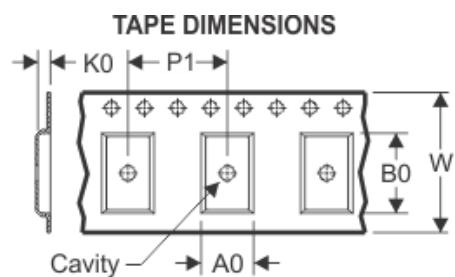
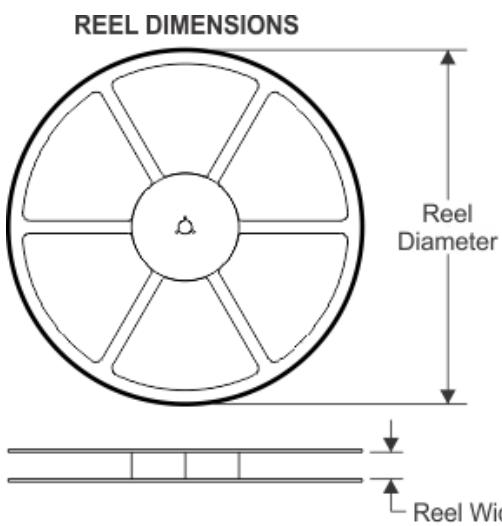
(5) ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります

(6) 複数のデバイス マーキングが、括弧書きされています。「～」で区切られた括弧書きデバイス マーキングだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。

**重要なお知らせと免責事項:**このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよびテキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

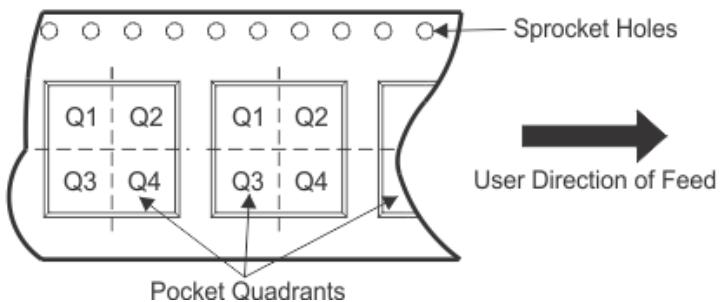
いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

### 11.1.2 テープおよびリール情報



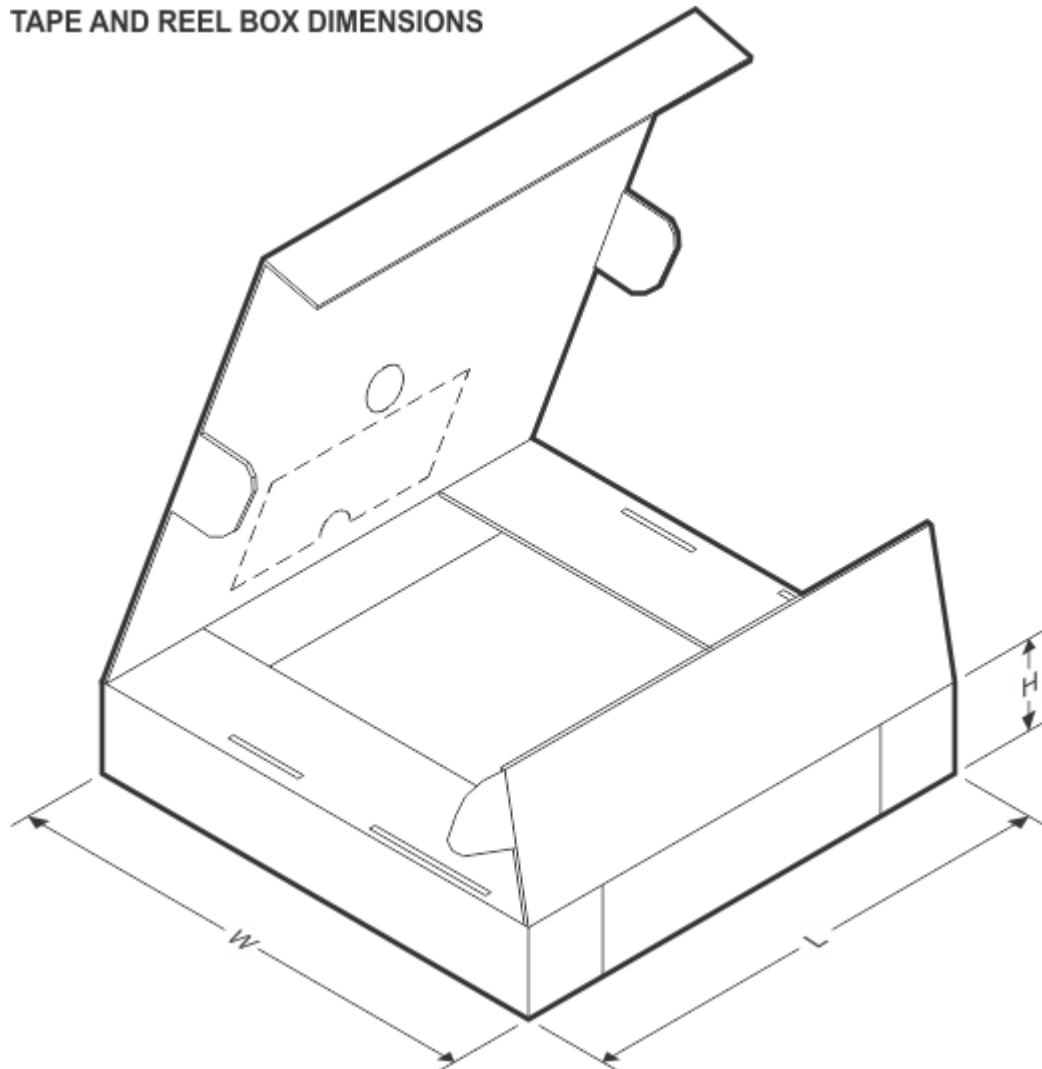
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
TPS65216D0RSLR	VQFN	RSL	48	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
TPS65216D0RSLT	VQFN	RSL	48	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

## TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
TPS65216D0RSLR	VQFN	RSL	48	2500	367.0	367.0	38.0
TPS65216D0RSLT	VQFN	RSL	48	250	210.0	185.0	35.0

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS65216D0RSLR	Active	Production	VQFN (RSL)   48	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	T65216D0
TPS65216D0RSLR.A	Active	Production	VQFN (RSL)   48	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	T65216D0
TPS65216D0RSLRG4	Active	Production	VQFN (RSL)   48	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	T65216D0
TPS65216D0RSLRG4.A	Active	Production	VQFN (RSL)   48	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	T65216D0
TPS65216D0RSLT	Active	Production	VQFN (RSL)   48	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	T65216D0
TPS65216D0RSLT.A	Active	Production	VQFN (RSL)   48	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	T65216D0

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

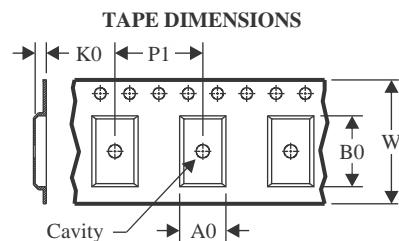
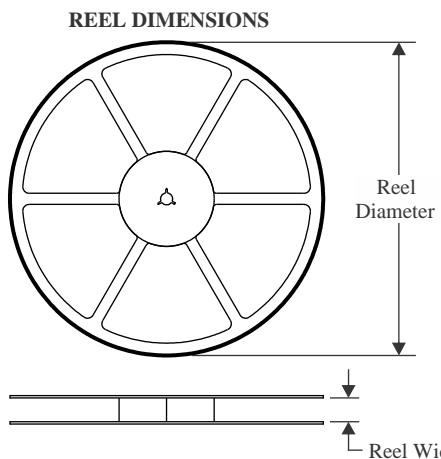
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

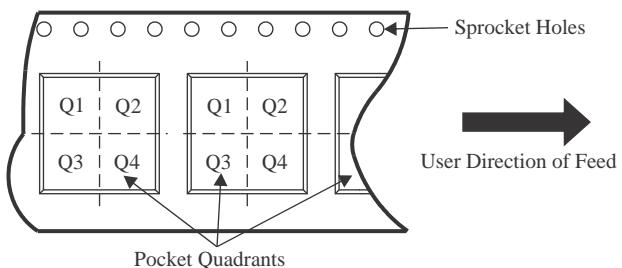
**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



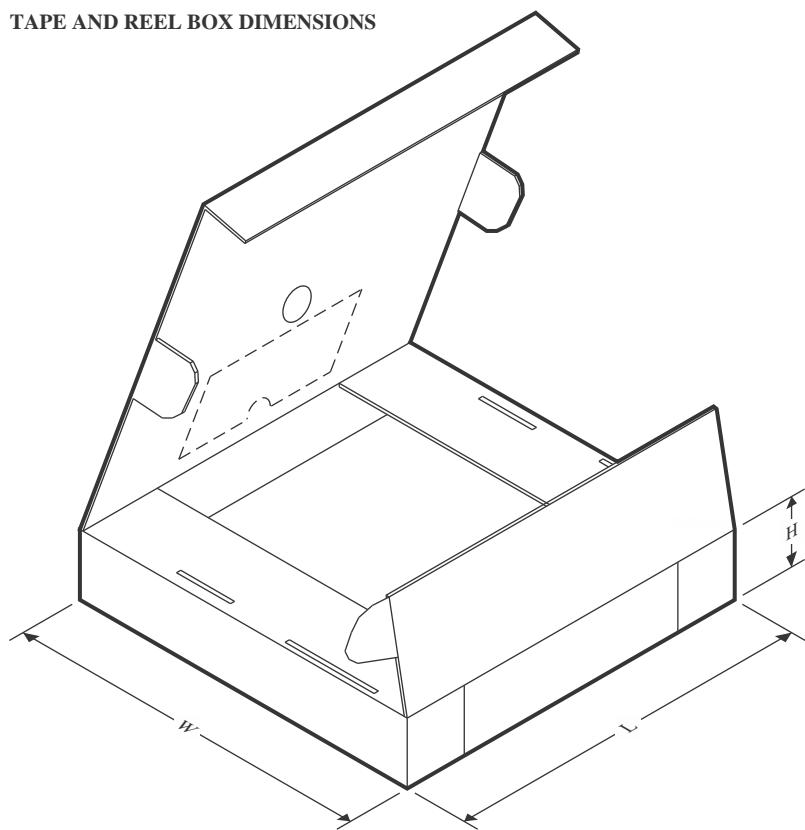
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS65216D0RSLR	VQFN	RSL	48	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
TPS65216D0RSLRG4	VQFN	RSL	48	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
TPS65216D0RSLT	VQFN	RSL	48	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS65216D0RSLR	VQFN	RSL	48	2500	367.0	367.0	38.0
TPS65216D0RSLRG4	VQFN	RSL	48	2500	367.0	367.0	38.0
TPS65216D0RSLT	VQFN	RSL	48	250	210.0	185.0	35.0

# GENERIC PACKAGE VIEW

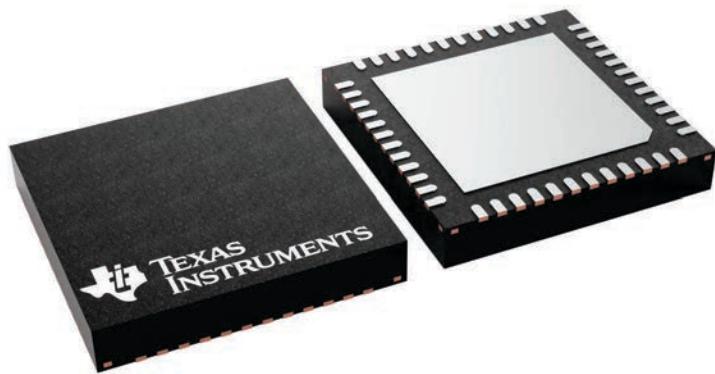
**RSL 48**

**VQFN - 1 mm max height**

**6 x 6, 0.4 mm pitch**

**QUAD FLATPACK - NO LEAD**

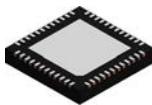
This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4225749/A

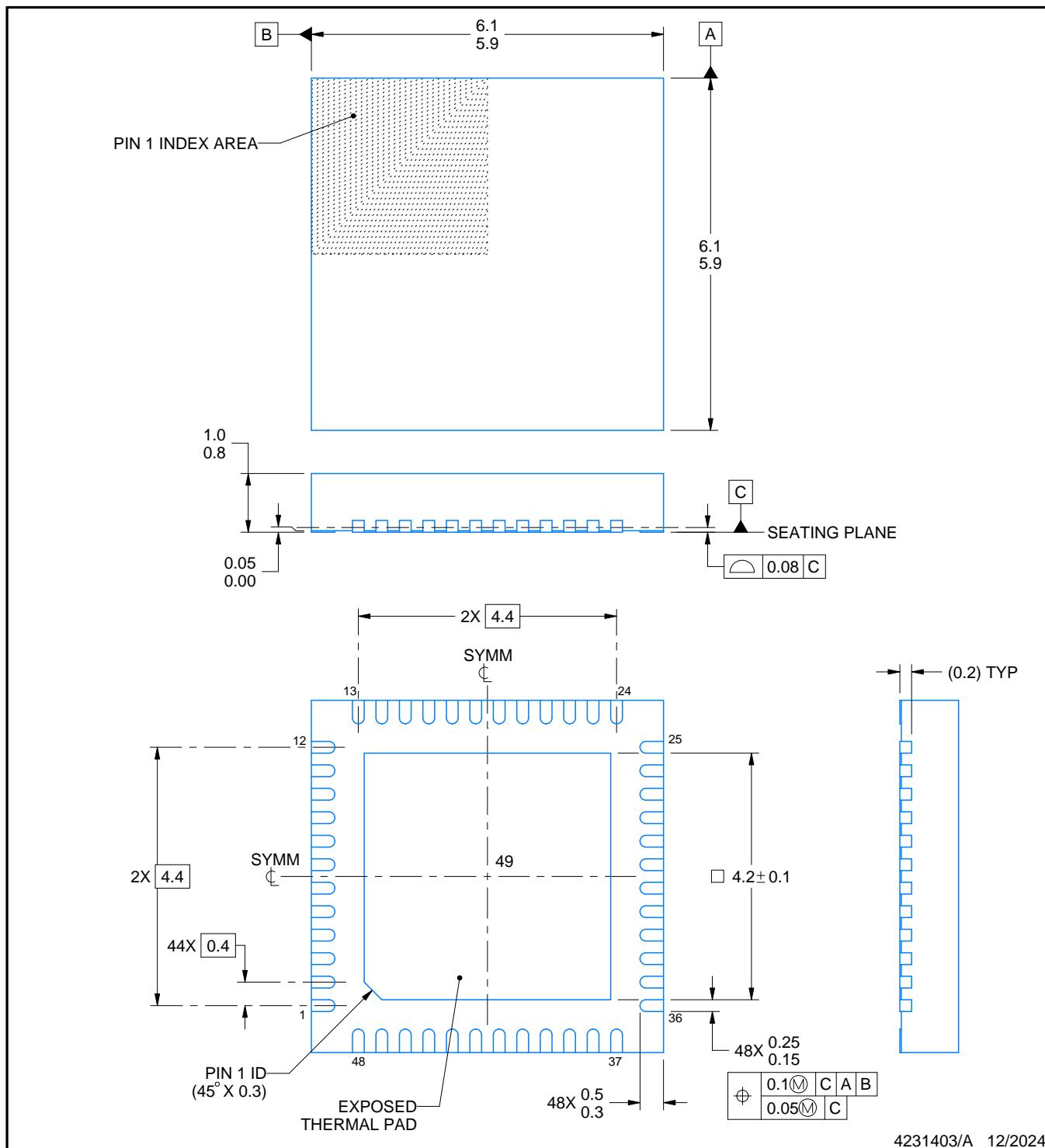
## PACKAGE OUTLINE

**RSL0048G**



## **VQFN - 1 mm max height**

#### PLASTIC QUAD FLATPACK - NO LEAD



4231403/A 12/2024

## NOTES:

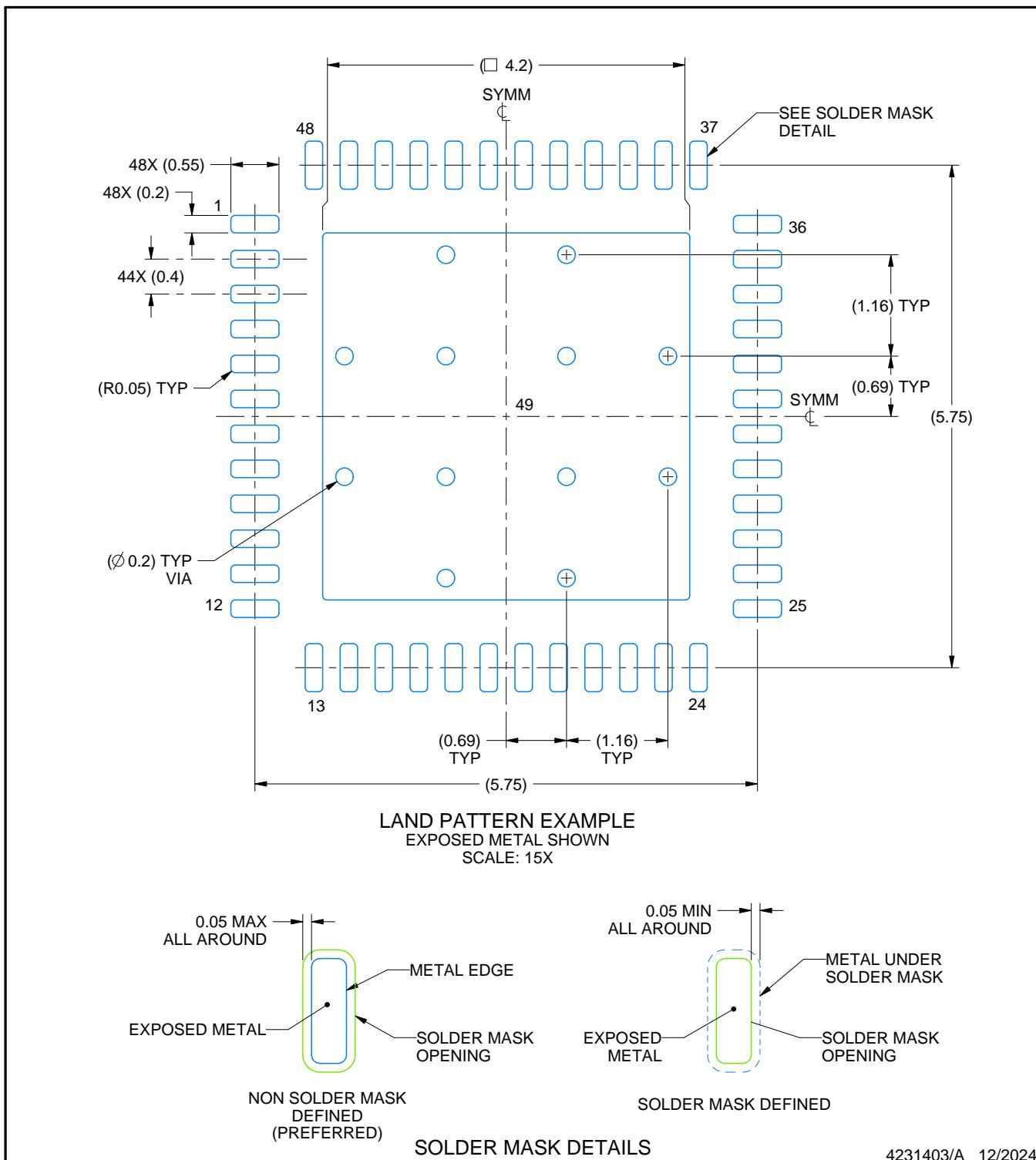
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

RSL0048G

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

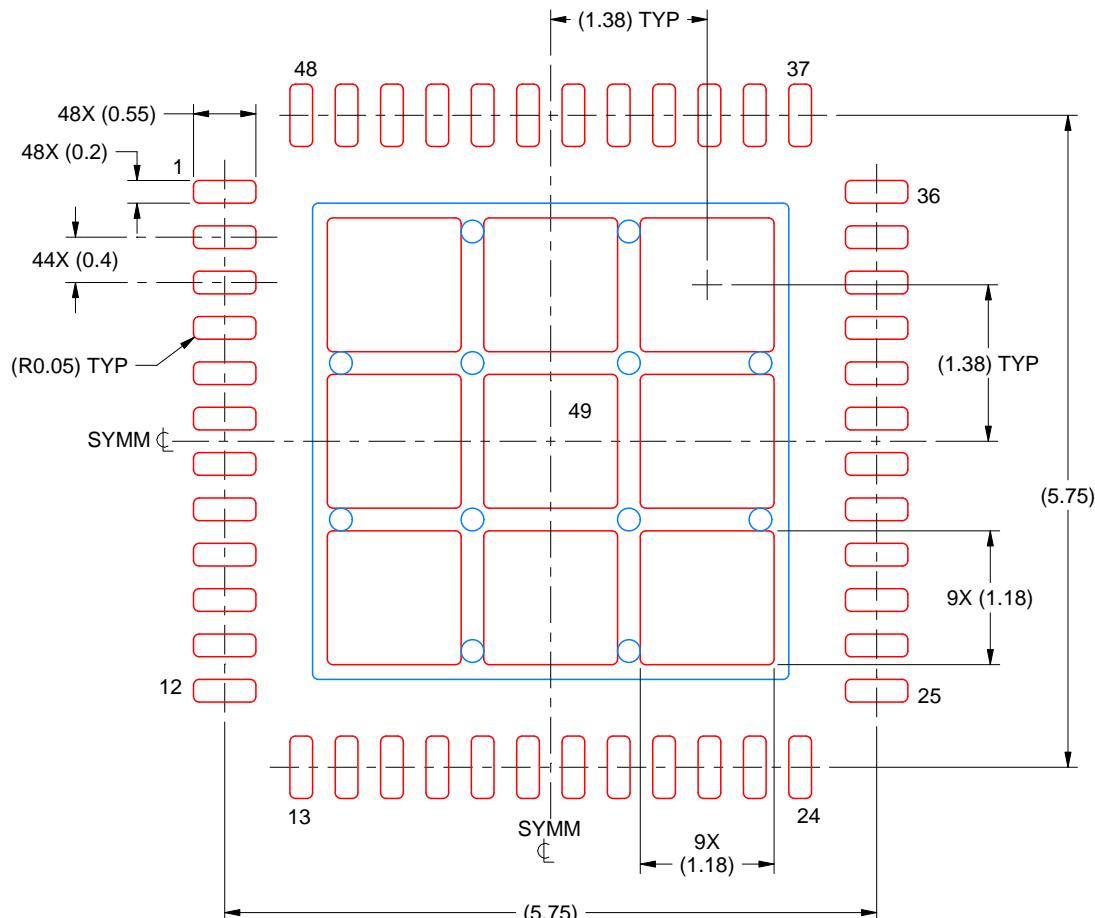
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RSL0048G

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.1 MM THICK STENCIL  
SCALE: 15X

EXPOSED PAD 49  
71% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4231403/A 12/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月