

# TPS65219 パワー マネジメント IC (PMIC)、3 つの降圧回路と 4 つの LDO、産業 アプリケーション向け

## 1 特長

- 最大 2.3MHz のスイッチング周波数で動作する、3 つの降圧コンバータ。
  - 1 つの VIN: 2.5V~5.5V,  $I_{OUT}$ : 3.5A,  $V_{OUT}$ : 0.6V ~ 3.4V
  - 2 つの VIN: 2.5V~5.5V,  $I_{OUT}$ : 2A,  $V_{OUT}$ : 0.6V ~ 3.4V
- 4 つのリニア レギュレータ:
  - 2x VIN: 1.5V~5.5V,  $I_{OUT}$ : 400mA,  $V_{OUT}$ : 0.6V ~ 3.4V (ロード スイッチ / バイパス モードとして構成可能、SD カードをサポート)
  - 2x VIN: 2.2V~5.5V,  $I_{OUT}$ : 300mA,  $V_{OUT}$ : 1.2V ~ 3.3V (ロード スイッチとして構成可能)
- 3 つの降圧コンバータすべてで、動的な電圧スケーリングを実現
- 低 IQ/PFM、PWM モード (擬似固定周波数)
- 電源シーケンスとデフォルト電圧をプログラム可能
- I<sup>2</sup>C インターフェイス。標準、ファースト モード、ファースト モード+ をサポート
- 14 本以上のレールを備えたシステム (マルチ PMIC 構成で 2 台の TPS65219 デバイス) をサポートするように設計
- 2 つの GPO、1 つの GPIO、3 つのマルチファンクション ピン
- EEPROM プログラマビリティ

## 2 アプリケーション

- 消費電力が低い産業用 MPU および MCU (AM62x、AM64x、AM243x など)
- HMI
- PLC
- 産業用 PC
- ビル セキュリティ
- HVAC
- ビデオ監視
- データコンセントレータ
- スマートメーター
- 保護リレー
- メディカル モニタと診断
- 画像処理

## 3 説明

TPS65219 は、携帯機器および据置型機器アプリケーションに搭載されている、さまざまな SoC に電源を供給するように設計されたパワー マネジメント IC (PMIC) です。このデバイスは、-40°C~+105°C の周囲温度範囲で特性が規定されているため、さまざまな産業用アプリケーションに最適な PMIC です。このデバイスは、3 つの同期整流式降圧 DC/DC コンバータと 4 つのリニア レギュレータを内蔵しています。

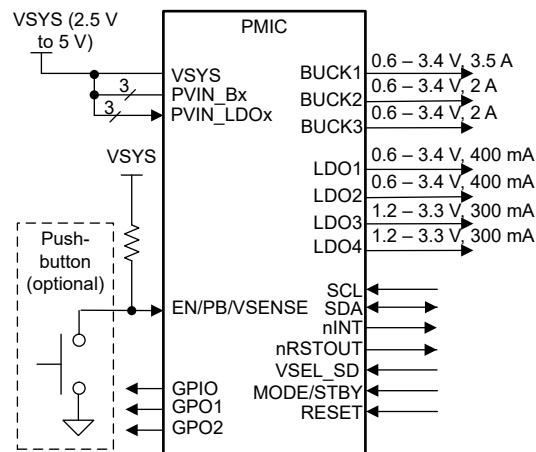
この DC/DC コンバータは、1x 3.5A と 2x 2A 電源で供給可能です。コンバータには、スイッチング モード構成に応じて、小型の 470nH インダクタ、4.7μF 入力容量、レールあたり最小 10μF の出力容量が必要です。

2 つの LDO が 0.6V ~ 3.4V の出力電圧範囲で 400mA の出力電流をサポートします。これらの LDO は、バイパス モードをサポートし、負荷スイッチとして動作し、動作中に電圧を変化させることができます。他の 2 つの LDO は、1.2V ~ 3.3V の出力電圧範囲において 300mA の出力電流をサポートします。これらの LDO は、負荷スイッチ モードもサポートしています。

I<sup>2</sup>C インターフェイス、IO、GPIO、マルチファンクション ピン (MFP) は、さまざまな SoC にシームレスに接続します。

### パッケージ情報

部品番号	パッケージ	パッケージ サイズ (公称)
TPS65219	RSM (32 ピン QFN)	4.00mm × 4.00mm
TPS65219	RHB (32 ピン QFN)	5.00mm × 5.00mm



アプリケーション概略図

 このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLVSGA0](#)

## 目次

<b>1 特長</b>	<b>1</b>	<b>7 詳細説明</b>	<b>28</b>
<b>2 アプリケーション</b>	<b>1</b>	7.1 概要	28
<b>3 説明</b>	<b>1</b>	7.2 機能ブロック図	29
<b>4 デバイスの比較</b>	<b>3</b>	7.3 機能説明	30
<b>5 ピン構成および機能</b>	<b>4</b>	7.4 デバイスの機能モード	54
<b>6 仕様</b>	<b>8</b>	7.5 マルチ PMIC 動作	60
6.1 絶対最大定格	8	7.6 ユーザー レジスタ	64
6.2 ESD 定格	8	7.7 デバイスのレジスタ	65
6.3 推奨動作条件	8	<b>8 アプリケーションと実装</b>	<b>140</b>
6.4 熱に関する情報	10	8.1 アプリケーション情報	140
6.5 システム制御スレッショルド	10	8.2 代表的なアプリケーション	140
6.6 BUCK1 コンバータ	12	8.3 電源に関する推奨事項	147
6.7 BUCK2、BUCK3 コンバータ	14	8.4 レイアウト	148
6.8 汎用 LDO (LDO1、LDO2)	17	<b>9 デバイスおよびドキュメントのサポート</b>	<b>150</b>
6.9 汎用 LDO (LDO3、LDO4)	19	9.1 ドキュメントの更新通知を受け取る方法	150
6.10 GPIO とマルチファンクションピン (EN/PB/ VSENSE、nRSTOUT、nINT、GPO1、GPO2、 GPIO、MODE/RESET、MODE/STBY、VSEL_SD/ VSEL_DDR)	21	9.2 サポート・リソース	150
6.11 電圧と温度の監視	22	9.3 商標	150
6.12 I <sup>2</sup> C インターフェイス	23	9.4 静電気放電に関する注意事項	150
6.13 代表的特性	26	9.5 用語集	150
		<b>10 改訂履歴</b>	<b>150</b>
		<b>11 メカニカル、パッケージ、および注文情報</b>	<b>152</b>

## 4 デバイスの比較

表 4-1 に、事前構成済みの注文可能な部品番号 (OPN) と推奨アプリケーション使用事例の簡単な要約を示します。この表には、新しい設計をサポートする提供中の販促用品リソースも掲載されています。アプリケーションノートでは、特定のプロセッサおよびマイコンの要件を満たすために、TPS65219 PMIC の電力およびデジタルリソースを使用する方法について説明しています。注文可能なデフォルトの不揮発性メモリ (NVM) レジスタ設定の詳細については、技術参考書 (TRM) に記載されています。

TPS6521905 は、デフォルトですべての電源レールがオフになっている、ユーザーがプログラム可能なバージョンで、各種プロセッサまたは SoC の電力要件を満たすようにプログラムできます。

**表 4-1. TI のプロセッサとマイコンのデバイス比較表**

デバイス名	プロセッサ/マイコン	アプリケーション使用事例			販促用品	
		Vin	メモリ	VDD_CORE	TRM	アプリケーションノート
TPS6521901	AM62x、AM62x SIP、AM64	5V	DDR4	0.75V	SLVUCH3	<ul style="list-style-type: none"> <li>AM62 <a href="#">SLVAFD0</a></li> <li>AM64 <a href="#">SLVAE9</a></li> <li>AM243 <a href="#">SLVAFK3</a></li> </ul>
TPS6521902	AM62x、AM62x SIP、AM64	3.3V または 5V	LPDDR4	0.75V	SLVUCLO	
TPS6521903 (1)	AM62x、AM62x SIP、AM64	3.3V または 5V	DDR4	0.75V	SLVUCJ2	
TPS6521904 (1)	AM62x、AM62x SIP、AM64、AM243	3.3V または 5V	DDR4	0.85V	SLVUCL1	
TPS6521907	AM62x、AM62x SIP、AM64、AM243	5V	DDR4	0.85V	SLVUCL9	
TPS6521908	AM62x、AM62x SIP、AM64、AM243	3.3V または 5V	LPDDR4	0.85V	SLVUCM0	
TPS6521909	AM62A、AM67	5V	LPDDR4	0.85V または 0.75V	SLVUCZ4	
TPS6521910	AM62A、AM67	5V	LPDDR4	0.85V または 0.75V	SLVUD09	
TPS652190C	NXP I.MX 8M Plus	3.3V	DDR4	0.85	SLVUCV3	<a href="#">SLVAFQ2</a>
TPS6521940	NXP I.MX93	5V	LPDDR4	0.85V	SLVUD41	<a href="#">TIDA-050087</a>
TPS6521905	ユーザー プログラマブルバージョン	任意	任意	任意	<a href="#">『TPS65219 不揮発性メモリ (NVM) プログラミングガイド』</a>	

(1) PMIC 付き AM62B スターターキットには、デフォルトで TPS6521904 が搭載されており、VDD\_CORE = 0.85V をサポートしています。このハードウェアは、TPS6521903 PMIC を使用して、VDD\_CORE = 0.75V をサポートするように変更することもできます。

## 5 ピン構成および機能

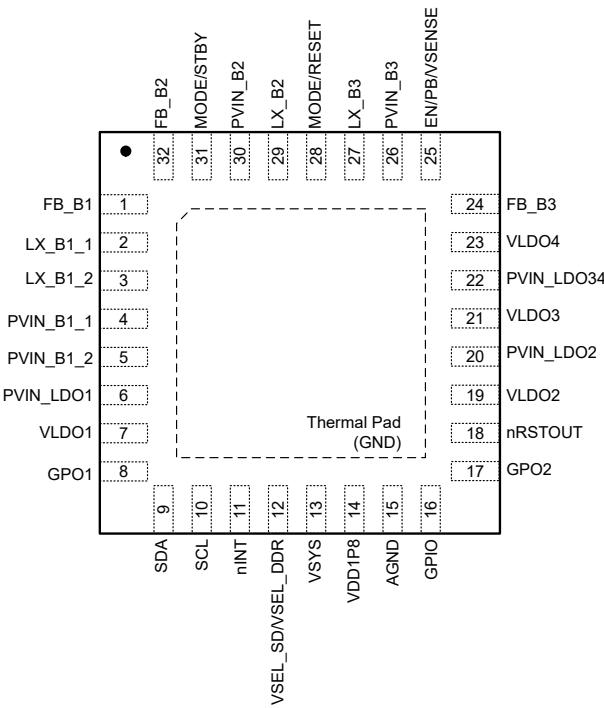


図 5-1. RHB パッケージ、32 ピン QFN (上面図)

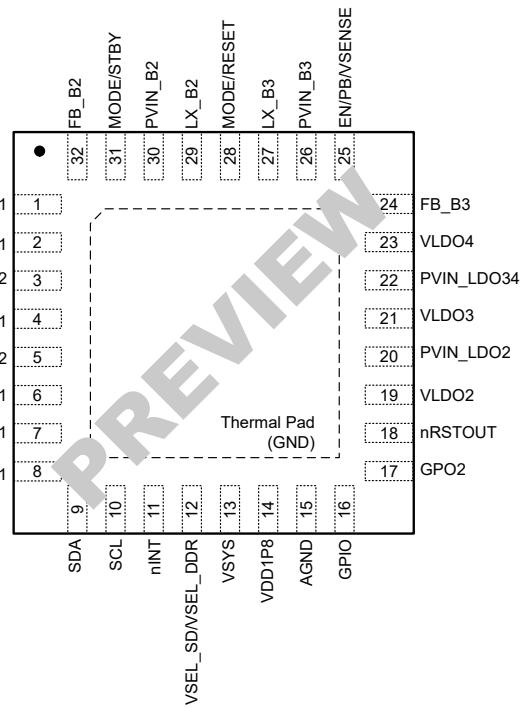


図 5-2. RSM パッケージ、32 ピン QFN (上面図)

表 5-1. ピンの機能

ピン名	ピン番号	タイプ	説明	使用しない場合は接続 (出力レールを恒久的に無効化する必要があります)
<b>FB_B1</b>	1	I	Buck1 のフィードバック入力 Buck1 出力フィルタに接続します。公称出力電圧は EEPROM によって構成されます。	GND に接続
<b>LX_B1_1</b>	2	PWR	Buck1 用スイッチピン。Buck1 コンデンサの片側を、このピンに接続します。	フローティング状態のままにします。
<b>LX_B1_2</b>	3	PWR	Buck1 用の 2 番目スイッチピン。Buck1 コンデンサの片側を、このピンに接続します。LX_B1_1 に接続します。	フローティング状態のままにします。
<b>PVIN_B1_1</b>	4	PWR	BUCK1 の電源入力。4.7 $\mu$ F 以上のセラミックコンデンサを使用して、このピンをバイパスして接地します。PVIN_B1_1 ピンの電圧は、VSYS ピンの電圧を超えないようにする必要があります。	VSYS に接続
<b>PVIN_B1_2</b>	5	PWR	BUCK1 の 2 番目の電源入力。このピンはピン 4 のバイパスコンデンサを共有しています。PVIN_B1_2 ピンの電圧は、VSYS ピンの電圧を超えないようにする必要があります。	VSYS に接続
<b>PVIN_LDO1</b>	6	PWR	LDO1 の電源入力。PVIN_LDO1 ピンの電圧は、VSYS ピンの電圧を超えないようにする必要があります。	VSYS に接続
<b>VLDO1</b>	7	PWR	LDO1 の出力電圧公称出力電圧は EEPROM によって構成されます。2.2 $\mu$ F 以上のセラミックコンデンサを使用して、このピンをバイパスして接地します。	フローティング状態のままにします。

**表 5-1. ピンの機能 (続き)**

ピン名	ピン番号	タイプ	説明	使用しない場合は接続 (出力レールを恒久的に無効化する必要があります)
<b>GPO1</b>	8	O	汎用オープンドレイン出力。パワーアップおよびパワーダウンシーケンスで、外部レールを有効にするように構成できます。	フローティング状態のままにします。
<b>SDA</b>	9	I/O	I <sup>2</sup> Cシリアルポート用のデータピン。I <sup>2</sup> Cのロジックレベルは、外部プルアップ電圧に依存します。	VIOに接続
<b>SCL</b>	10	I	I <sup>2</sup> Cシリアルポート用のクロックピン。I <sup>2</sup> Cのロジックレベルは、外部プルアップ電圧に依存します。	VIOに接続
<b>nINT</b>	11	O	割り込み要求出力。オープンドレインドライバは故障状態時に Lowになります。ビットがクリアされると解除されます	フローティング状態のままにします。
<b>VSEL_SD/ VSEL_DDR</b>	12	I	マルチファンクションピン: VSEL_SDとして構成:SDカードIO電圧の選択。 SoCに接続されます。1.8Vと、LDO1またはLDO2上のレジスタベースの VOUTとの間の電圧変化をトリガします。極性を設定可能です。 VSEL_DDRとして構成:DDR電圧の選択。ハードウェアド プルアップ(1.35V)、プルダウン(レジスタベースの VOUT)またはフローティング(1.2V)	該当なし(GNDに接続)
<b>VSYS</b>	13	PWR	リファレンスシステムの入力電源ピン。このピンは2.2μF以上のセラミックコンデンサを使用してグランドにバイパスします(PVINコンデンサと共有可能)。	該当なし
<b>VDD1P8</b>	14	PWR	内部基準電圧社内使用限定。2.2μF以上のセラミックコンデンサを使用して、このピンをバイパスして接地します。	該当なし
<b>AGND</b>	15	GND	アナログGND用グランド端子	該当なし
<b>GPIO</b>	16	I/O	GPO構成:汎用オープンドレイン出力。パワーアップおよびパワーダウンシーケンスで、外部レールを有効にするように構成できます。 GPIO構成: I/Oの同期。2つ以上のTPS65219の同期に使用します。ピンはレベルセンシティブです。	フローティング状態のままにします。
<b>GPO2</b>	17	O	汎用オープンドレイン出力。パワーアップおよびパワーダウンシーケンスで、外部レールを有効にするように構成できます。	フローティング状態のままにします。
<b>nRSTOUT</b>	18	O	SoCへのリセット出力。シーケンサで制御。アクティブおよびスタンバイ状態で High。	フローティング状態のままにします。
<b>VLDO2</b>	19	PWR	LDO2の出力電圧公称出力電圧は EEPROMによって構成されます。2.2μF以上のセラミックコンデンサを使用して、このピンをバイパスして接地します。	フローティング状態のままにします。
<b>PVIN_LDO2</b>	20	PWR	LDO2の電源入力。2.2μF以上のセラミックコンデンサを使用して、このピンをバイパスして接地します。 PVIN_LDO2ピンの電圧は、VSYSピンの電圧を超えないようにする必要があります。	VSYSに接続
<b>VLDO3</b>	21	PWR	LDO3の出力電圧公称出力電圧は EEPROMによって構成されます。2.2μF以上のセラミックコンデンサを使用して、このピンをバイパスして接地します。	フローティング状態のままにします。
<b>PVIN_LDO34</b>	22	PWR	LDO3およびLDO4の電源入力。4.7μF以上のセラミックコンデンサを使用して、このピンをバイパスして接地します。 PVIN_LDO34ピンの電圧は、VSYSピンの電圧を超えないようにする必要があります。	VSYSに接続

表 5-1. ピンの機能 (続き)

ピン名	ピン番号	タイプ	説明	使用しない場合は接続 (出力レールを恒久的に無効化する必要があります)
<b>VLDO4</b>	23	PWR	LDO4 の出力電圧公称出力電圧は EEPROM で設定されます。2.2 $\mu$ F 以上のセラミックコンデンサを使用してこのピンをグラウンドにバイパスします。	フローティング状態のままにします。
<b>FB_B3</b>	24	I	Buck3 のフィードバック入力 Buck3 出力フィルタに接続します。公称出力電圧は EEPROM によって構成されます。	GND に接続
<b>EN/PB/ VSENSE</b>	25	I	オンリクエスト入力。 EN として設定: デバイスイネーブルピン、High レベルはオン要求、Low レベルはオフ要求です。 PB として設定: プッシュボタンモニタ入力。600ms の Low レベルはオン要求、8s の Low レベルはオフ要求です。 VSENSE として設定: 電源障害コンバータ入力。入力からブリッジレギュレータに接続された抵抗分圧器を使用して検出電圧を設定し、このピンを接地します。ブリッジレギュレータの立ち上がり/立ち下がり電圧を検出し、オン/オフ要求をトリガします。 このピンは、PB 構成では待機時間、EN および VSENSE 構成ではデグリッチ時間でエッジセンシティブです。	N/A (EN として構成して VSYS に接続)
<b>PVIN_B3</b>	26	PWR	BUCK3 の電源入力。4.7 $\mu$ F 以上のセラミックコンデンサを使用して、このピンをバイパスして接地します。 PVIN_B3 ピンの電圧は、VSYS ピンの電圧を超えないようにする必要があります。	VSYS に接続
<b>LX_B3</b>	27	PWR	Buck3 用スイッチピン。Buck3 コンデンサの片側を、このピンに接続します。	フローティング状態のままにします。
<b>モード / リセット</b>	28	I	マルチファンクションピン: モードとして構成: SoC またはハードワイヤードのプルアップ/ダウンに接続されます。降圧コンバータを強制的に PWM に設定するか、PFM モードでの自動移行を許可します。 RESET として設定: SoC に接続されます。ウォームリセットまたはコールドリセットを強制します (構成可能)。ウォームリセットは出力電圧のデフォルトにリセットし、コールドリセットは無効化されているすべてのレールをシーケンスして再度パワーアップします。 極性を設定可能です。 このピンはモード構成ではレベルセンシティブで、リセット構成ではエッジセンシティブです。	該当なし (構成に応じて High または Low に接続、「PFM とリセット (MODE/RESET)」を参照)
<b>LX_B2</b>	29	PWR	Buck2 用スイッチピン。Buck2 コンデンサの片側を、このピンに接続します。	フローティング状態のままにします。
<b>PVIN_B2</b>	30	PWR	BUCK2 の電源入力。4.7 $\mu$ F 以上のセラミックコンデンサを使用して、このピンをバイパスして接地します。 PVIN_B2 ピンの電圧は、VSYS ピンの電圧を超えないようにする必要があります。	VSYS に接続

**表 5-1. ピンの機能 (続き)**

ピン名	ピン番号	タイプ	説明	使用しない場合は接続 (出力レールを恒久的に無効化する必要があります)
モード/スタンバイ	31	I	<p>マルチファンクション ピン: モードとして構成: SoC またはハードワイヤードのプルアップ/ダウンに接続されます。降圧コンバータを強制的に PWM に設定するか、PFM モードでの自動移行を許可します。 STBY として設定: 低消費電力モード コマンドで、選択されたレールを無効化します。 モードとスタンバイの両方の機能を組み合わせることができます。 ピンはレベル センシティブです。</p>	該当なし (構成に応じて High または Low に接続、「PWM/PFM および低消費電力モード (MODE/STBY)」を参照)
<b>FB_B2</b>	32	I	Buck2 のフィードバック入力 Buck2 出力フィルタに接続します。公称出力電圧は EEPROM によって構成されます。	GND に接続
<b>PGND</b>	PowerPad	GND	電源グランド。電気および熱伝導を最大化するために、露出したパッドを TPS65219 直下の複数のインターフェクトビアによってプリント基板の連続接地面に接続します。	該当なし

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

POS			最小値	最大値	単位
1.1.1	入力電圧	VSYS	-0.3	6	V
1.1.2	入力電圧	PVIN_B1, PVIN_B2, PVIN_B3, PVIN_LDO1, PVIN_LDO2, PVIN_LDO34	-0.3	6	V
1.1.3	入力電圧対降圧用 VSYS	VSYS を超える PVIN_B1, PVIN_B2, PVIN_B3 最大電圧		200	mV
1.1.4	入力電圧対 LDO 用 VSYS	VSYS を超える PVIN_LDO1, PVIN_LDO2, PVIN_LDO34 最大電圧		20	mV
1.1.5	入力電圧	FB_B1, FB_B2, FB_B3	-0.3	6	V
1.1.6	入力電圧	EN/PB/VSENSE, MODE/STBY, MODE/RESET, VSEL_SD/VSEL_DDR	-0.3	6	V
1.2.1	出力電圧	LX_B1, LX_B2, LX_B3	-0.3	0.3V, 最大 6V	V
1.2.2	出力電圧	最大 10ns の LX_B1, LX_B2, LX_B3 スパイク	-2	10	V
1.2.3	出力電圧	GPO1, GPO2, GPIO	-0.3	6	V
1.2.4	出力電圧	VLDO1, VLDO2, VLDO3, VLDO4	-0.3	+ 0.3V, 最大 6V	V
1.2.5	出力電圧	VDD1P8	-0.3	2	V
1.2.6	出力電圧	SDA, SCL	-0.3	6	V
1.2.7	出力電圧	nINT, nRSTOUT	-0.3	6	V
1.4.1	動作時の接合部温度、 $T_J$		-40	125	°C
1.4.2	保管温度、 $T_{stg}$		-40	150	°C

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗示するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

### 6.2 ESD 定格

POS				値	単位
2.1	$V_{(ESD)}$	静電放電、人体モデル	人体モデル (HBM), ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±2000	V
2.2	$V_{(ESD)}$	静電放電、デバイス帶電モデル	デバイス帶電モデル (CDM), ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン <sup>(2)</sup>	±500	V

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。  
 (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

POS			最小値	公称値	最大値	単位
3.1.1	$V_{VSYS}$	入力電圧	2.5 <sup>(1)</sup>		5.5	V

## 6.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

POS			最小値	公称値	最大値	単位
3.1.2	$V_{PVIN\_B1}$ 、 $V_{PVIN\_B2}$ 、 $V_{PVIN\_B3}$ $V_{LX\_B1}$ 、 $V_{LX\_B2}$ 、 $V_{LX\_B3}$	BUCKx ピン		2.5	5.5 (2)	V
3.1.3	$\Delta V_{VSYS\_PVIN\_Bx}$	$V_{PVIN\_Bx}$ が $V_{VSYS}$ を超える可能性がある電圧			0	mV
3.1.4	$\Delta V_{VSYS\_PVIN\_LDO1,LDO2}$	$V_{PVIN\_LDO1}$ または $V_{PVIN\_LDO2}$ が $V_{VSYS}$ を超える可能性がある電圧			0	mV
3.1.5	$\Delta V_{VSYS\_VLDO34}$	$V_{VSYS}$ が LDO 出力電圧 (VLDO3、VLDO4) を超える可能性がある電圧、 $V_{VSYS} = 2.5V \sim 3.45V$ 、 LDO モード		150		mV
3.1.6	$\Delta V_{VSYS\_VLDO34}$	$V_{VSYS}$ が LDO 出力電圧 (VLDO3、VLDO4) を超える可能性がある電圧、 $V_{VSYS} = \text{LDO モードで } 3.45V \sim 5.5V$ または $V_{VSYS} = \text{LSW モードで } 2.5V \sim 5.5V$		該当なし		mV
3.1.7	$C_{PVIN\_B1}$ 、 $C_{PVIN\_B2}$ 、 $C_{PVIN\_B3}$	BUCKx 入力キャパシタンス	3.9	4.7		$\mu F$
3.1.8	$L_{B1}$ 、 $L_{B2}$ 、 $L_{B3}$	BUCKx 出力インダクタンス	330	470	611	nH
3.1.9a	$C_{OUT\_B1}$ 、 $C_{OUT\_B2}$ 、 $C_{OUT\_B3}$	BUCKx 出力容量、強制 PWM または自動 PFM、 低帯域幅ケース		10	75	$\mu F$
3.1.10a	$C_{OUT\_B1}$ 、 $C_{OUT\_B2}$ 、 $C_{OUT\_B3}$	BUCKx 出力容量、強制 PWM または自動 PFM、 高帯域幅ケース		30	220	$\mu F$
3.1.11	$V_{FB\_B1}$ 、 $V_{FB\_B2}$ 、 $V_{FB\_B3}$	BUCKx FB ピン	0		5.5 (2)	V
3.1.12	$V_{PVIN\_LDO1}$ 、 $V_{PVIN\_LDO2}$	LDO 入力電圧	1.5		5.5 (2)	V
3.1.13	$V_{PVIN\_LDO1}$ 、 $V_{PVIN\_LDO2}$	バイパス モードでの LDO 入力電圧	1.5		3.6	V
3.1.14	$V_{PVIN\_LDO1}$ 、 $V_{PVIN\_LDO2}$	$V_{PVIN\_LDOx}$ とバイパス モードで構成された $V_{VLDOx}$ との間の許容デルタ		-200	200	mV
3.1.15	$V_{VLDO1}$ 、 $V_{VLDO2}$	LDO 出力電圧範囲		0.6	3.4	V
3.1.16	$C_{PVIN\_LDO1}$ 、 $C_{PVIN\_LDO2}$	LDO 入力容量	1.6	2.2		$\mu F$
3.1.17	$C_{VLDO1}$ 、 $C_{VLDO2}$	LDO 出力キャパシタンス	1.6	2.2	20	$\mu F$
3.1.18	$V_{PVIN\_LDO3}$ 、 $V_{PVIN\_LDO4}$	LDO 入力電圧	2.2		5.5 (2)	V
3.1.19	$V_{VLDO3}$ 、 $V_{VLDO4}$	LDO 出力電圧範囲	1.2		3.3	V
3.1.20	$C_{PVIN\_LDO34}$	LDO 入力容量	2.2	4.7		$\mu F$
3.1.21	$C_{VLDO3}$ 、 $C_{VLDO4}$	LDO 出力キャパシタンス	1.6	2.2	30 (3)	$\mu F$
3.1.22	$V_{VDD1P8}$	VDD1P8 ピン	0		1.8	V
3.1.23	$C_{VDD1P8}$	内部レギュレータのデカッピング容量	1	2.2	4	$\mu F$
3.1.24	$C_{VSYS}$	$V_{VSYS}$ 入力デカッピング容量	1	2.2		$\mu F$
3.1.25	$V_{nINT}$ 、 $V_{nRSTOUT}$	デジタル出力	0		3.4	V
3.1.26	$V_{GPO1}$ 、 $V_{GPO2}$ 、 $V_{GPIO}$	デジタル出力	0		5.5 (2)	V
3.1.27	$V_{SCL}$ 、 $V_{SDA}$	I <sup>2</sup> C インターフェイス	0		3.4	V
3.1.28	$V_{EN/PB/SENSE}$ 、 $V_{MODE/STBY}$ 、 $V_{MODE/RESET}$ 、 $V_{VSEL\_SD/VSEL/DDR}$	デジタル入力	0		5.5 (2)	V
3.2.1	$t_{VSYS\_RAMP\_RISE}$	入力電圧立ち上がりランプ時間、入力電圧はブリレギュレータで制御されます。 $V_{VSYS} = V_{PVIN\_Bx} = V_{PVIN\_LDOx} = 0V \sim 5V$	0.1	600000		ms

## 6.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

POS			最小値	公称値	最大値	単位
3.2.2	$t_{VSYS\_RAMP\_FALL}$	入力電圧立ち下がりランプ時間、 $V_{VSYS} = V_{PVIN\_Bx} = V_{PVIN\_LDOx} = 5V \sim 2.5V$	0.4	600000	ms	
3.3.1	$T_A$	自由空気での動作温度	-40	105	°C	
3.3.2	$T_J$	動作時接合部温度	-40	125	°C	

- (1) EEPROM プログラミング用、 $VSYS$  (最小) = 3.3V
- (2)  $VSYS$  を超えないようにしてください
- (3) 低速ランプ モード。高速ランプは最大 15 $\mu$ F をサポート

## 6.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		TPS65219	TPS65219	単位
		RHB (QFN)	RSM (QFN)	
		32 ピン、5x5mm <sup>2</sup>	32 ピン、4x4mm <sup>2</sup>	
$R_{\Theta JA}$	接合部から周囲への熱抵抗	31.3	31.9	°C/W
$R_{\Theta JC(top)}$	接合部からケース (上面) への熱抵抗	20.4	25.6	°C/W
$R_{\Theta JB}$	接合部から基板への熱抵抗	10.9	10.5	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	0.3	0.3	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	10.8	10.5	°C/W
$R_{\Theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.8	2.9	°C/W

- (1) 従来および新しい熱評価基準値の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準値』、SPRA953 を参照してください。

## 6.5 システム制御スレッショルド

自由気流での動作温度範囲内 (特に記述のない限り)。電圧レベルはデバイスの AGND グランドを基準としています。

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位	
<b>電気的特性</b>							
4.1.1	$VSYS$	動作入力電圧	2.5	5.5	5.5	V	
4.1.2	$VSYS_{POR\_Rising}$	$VSYS$ POR 立ち上がりスレッショルド	$VSYS$ ピンで測定、トリムされない	2.2	2.5	V	
4.1.3	$VSYS_{UVLO\_Falling}$	$VSYS$ UVLO 立ち下がりスレッショルド	$VSYS$ ピンで測定、トリム済み	2.175	2.25	V	
4.1.4	$VSYS_{POR\_Hyst}$	$VSYS$ UVLO/POR ヒステリシス	$VSYS_{POR\_Rising\_untrimmed}$ $VSYS_{UVLO\_Falling\_trimmed}$	130		mV	
4.1.5	$V_{VSYS\_OVP\_Rise}$	$VSYS$ OVP 上昇スレッショルド、トリム済み	$VSYS$ ピンで測定、トリム済み	5.9	6.1	V	
4.1.6	$V_{VSYS\_OVP\_Fall}$	$VSYS$ OVP 下降スレッショルド、トリム済み	$VSYS$ ピンで測定、トリム済み	5.7	5.95	V	
4.1.7	$V_{VSYS\_OVP\_Hyst}$	$VSYS$ OVP ヒステリシス	$VSYS_{OVP\_Rising\_trimmed}$ $VSYS_{OVP\_falling\_trimmed}$	100	140	180	mV
4.1.8	$V_{VDD1P8}$	VDD1P8 電圧		1.7	1.8	1.9	V
4.2.1a	$I_{INITIALIZE}$	初期化状態での消費電流、 $25^{\circ}\text{C}$ の時	$VSYS$ ピンと $PVIN\_x$ ピンからの結合電流。 $VSYS = PVIN\_Bx = PVIN\_LDOx = 5V$ 。すべてのモニタがオフになっています。 $T_J = 25^{\circ}\text{C}$	15	22	$\mu\text{A}$	

## 6.5 システム制御スレッショルド (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。電圧レベルはデバイスの AGND グランドを基準としています。

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位
4.2.1b	$I_{\text{INITIALIZE}}$	初期化状態、 40°C~125°C の消費電流  VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 5V。すべてのモニタがオフ。 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$		15	35	μA
4.2.2a	$I_{\text{ACTIVE}}$	アクティブ状態での消費電流、すべてのレールがオン、25°C 時  VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 5V。すべての出力はオン、すべての LDO は LDO モード、降圧コンバータは PFM モードです。無負荷 $T_J = 25^{\circ}\text{C}$		250	290	μA
4.2.2b	$I_{\text{ACTIVE}}$	アクティブ状態での消費電流、すべてのレールがオン、 -40°C~125°C  VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 5V。すべての出力はオン、すべての LDO は LDO モード、降圧コンバータは PFM モードです。無負荷 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$		250	430	μA
4.2.3a	$I_{\text{STBY}}$	スタンバイ状態での消費電流、LDO1 のみオン、25°C 時  VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 5V。LDO モードで LDO1 のみオン。無負荷 $T_J = 25^{\circ}\text{C}$		105	125	μA
4.2.3b	$I_{\text{STBY}}$	スタンバイ状態での消費電流、LDO1 のみオン、-40°C~125°C  VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 5V。LDO モードで LDO1 のみオン。無負荷 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$		105	150	μA
4.2.4a	$I_{\text{STBY}}$	スタンバイ状態での消費電流、すべてのレールがオン、25°C で VMON がオン  VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 5V。すべての出力はオン、すべての LDO は LDO モード、降圧コンバータは PFM モードです。無負荷出力電圧モニタがオン、VSYS モニタ (UV/OVP) がオン。 $T_J = 25^{\circ}\text{C}$		250	290	μA
4.2.4b	$I_{\text{STBY}}$	アクティブ状態での消費電流、すべてのレールがオン、VMON がオン、 -40°C~125°C  VSYS ピンと PVIN_x ピンからの結合電流。VSYS = PVIN_Bx = PVIN_LDOx = 5V。すべての出力はオン、すべての LDO は LDO モード、降圧コンバータは PFM モードです。無負荷出力電圧モニタがオン、VSYS モニタ (UV/OVP) がオン。 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$		250	430	μA
<b>タイミング要件</b>						
4.3.1	$t_{\text{OFF\_TO\_INIT}}$	VSYS が VSYS_POR を超えてから初期化状態に入るまでの時間で、EEPROM の読み取りを含み、オン要求の準備が完了するまでの時間	VSYS が VSYS_POR を超えてから初期化状態に入るまでの時間。HOT と RV によって制御されるオン要求の実行		3.2	ms

## 6.5 システム制御スレッショルド (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。電圧レベルはデバイスの AGND グランドを基準としています。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
4.3.2a	$t_{TIMEOUT\_UV}$	ランプアップ時にレールが UV スレッショルドに達しない場合の UV 検出			$t_{RAMP + sample}$ および グリッヂ 除去時 間の終 了		
4.3.2b	$t_{TIMEOUT\_UV\_SLOT}$	ランプアップ時にレールが UV スレッショルドに達しない場合のタイムアウトは、マルチ PMIC 構成にのみ適用されます			スロット 延長時 間の終 了 (3ms、 4ms、ま たは 13ms)		
4.3.3	$t_{TIMEOUT\_Discharge}$	スタンバイからアクティブ状態に遷移するときにレールを放電できない場合のタイムアウト		72	80	88	ms

## 6.6 BUCK1 コンバータ

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>電気的特性</b>							
5.1.1a	$V_{IN\_BUCK1}$	入力電圧 <sup>(1)</sup>	降圧電源電圧、最大 VSYS	2.5	5.5		V
5.1.1b	$V_{OUT\_BUCK1}$	降圧出力電圧の設定可能範囲	出力電圧は $0.6V \leq V_{OUT} \leq 1.4V$ の場合は 25mV 単位、 $1.4V < V_{OUT} \leq 3.4V$ の場合は 100mV 単位で構成可能	0.6	3.4		V
5.1.2a	$I_{Q\_BUCK1}$	25°C、PFM、低 BW ケースでの静止電流	PFM、BUCK1 有効、無負荷、 $V_{IN} = 5.0V$ 、 $V_{OUT} = 1.2V$ 、 $T_J = 25^{\circ}C$	10	13		$\mu A$
5.1.2b	$I_{Q\_BUCK1}$	静止電流 -40°C~125°C、PFM、低 BW ケース	PFM、BUCK1 有効、無負荷、 $V_{IN} = 5.0V$ 、 $V_{OUT} = 1.2V$ 、 $T_J = -40^{\circ}C~125^{\circ}C$	15	44		$\mu A$
5.1.2c	$I_{Q\_BUCK1}$	静止電流 -40°C~150°C、PFM、低 BW ケース	PFM、BUCK1 有効、無負荷、 $V_{IN} = 5.0V$ 、 $V_{OUT} = 1.2V$ 、 $T_J = -40^{\circ}C~150^{\circ}C$	20	63		$\mu A$
5.1.3a	$V_{HEADROOM\_PWM}$	入力から出力への電圧レベル <sup>(2)</sup>	最大負荷時のコーナー ケース $I_{OUT} = 2.5A$	500			mV
5.1.3b	$V_{HEADROOM\_PWM}$	$I_{OUT} = I_{OUT\_MAX}$ <sup>(2)</sup> での入力から出力への電圧ヘッドルーム	$I_{OUT} = I_{OUT\_MAX}$ でのコーナー ケース	700			mV
5.1.4	$V_{OUT\_STEP\_LOW}$	出力電圧ステップ	$0.6V \leq V_{OUT} \leq 1.4V$	25			mV
5.1.5	$V_{OUT\_STEP\_HIGH}$	出力電圧ステップ	$1.5V \leq V_{OUT} \leq 3.4V$	100			mV
5.1.6a	$V_{OUT\_ACC\_DC\_PWM}$	強制 PWM モード、低および高 BW ケースでの DC 出力電圧精度	$I_{OUT} = I_{OUT\_MAX}$ 、 $V_{OUT} \geq 0.7V~3.4V$ 、 $V_{IN} \sim V_{OUT} > 700$ mV 強制 PWM、低 BW ケース	-1.5%	1.5%		
5.1.6b	$V_{OUT\_ACC\_DC\_PWM}$	強制 PWM モード、低および高 BW ケースでの DC 出力電圧精度	$I_{OUT} = I_{OUT\_MAX}$ 、 $V_{OUT} = 0.6V~0.7V$ 、 $V_{IN} \sim V_{OUT} > 700$ mV 強制 PWM、低 BW ケース	-10	10		mV

## 6.6 BUCK1 コンバータ (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位	
5.1.6c	$V_{OUT\_ACC\_DC\_PFM}$	$I_{OUT} = 1mA$ 、 $V_{OUT} = 0.6V \sim 3.4V$ 、 $V_{IN} \sim V_{OUT} > 500 mV$ 自動 PFM、低 BW ケース	-3.0%	3.5%			
5.1.7	$R_{FB\_INPUT}$	フィードバック入力インピーダンス	コンバータ有効	2.3	3.75	5.0	$M\Omega$
5.2.1a	$V_{LOAD\_REG\_PWM}$	DC 負荷レギュレーション、強制 PWM、低 BW ケース	$V_{IN} = 5.0V$ 、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 0 \sim I_{OUT\_MAX}$ 、 強制 PWM、低 BW ケース、 $C_{OUT} = 40\mu F$	0.1	0.16		%/A
5.2.2a	$V_{LINE\_REG}$	DC ライン レギュレーション、強制 PWM、低 BW ケース	$V_{IN} = 3.3V \sim 5.5V$ 、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 1mA$ および $I_{OUT\_MAX}$ 強制 PWM、低 BW ケース、 $C_{OUT} = 40\mu F$	0.1	0.16		%/V
5.2.3a	$V_{LOAD\_TRANSIENT}$	負荷過渡、 $V_{OUT} = 0.75V$ 、自動 PFM、高 BW ケース	$V_{IN} = 5.0V$ 、 $V_{OUT} = 0.75V$ 、 $I_{OUT} = 100mA \sim 1100mA \sim 100mA$ 、 $t_R = t_F = 500ns$ 、 自動 PFM、高 BW ケース、 $C_{OUT} = 80\mu F$	-27.5	27.5		$mV$
5.2.3b	$V_{LOAD\_TRANSIENT}$	負荷過渡、 $V_{OUT} = 0.75V$ 、強制 PWM、高 BW ケース	$V_{IN} = 5.0V$ 、 $V_{OUT} = 0.75V$ 、 $I_{OUT} = 100mA \sim 1100mA \sim 100mA$ 、 $t_R = t_F = 500ns$ 、 強制 PWM、高 BW ケース、 $C_{OUT} = 80\mu F$	-27.5	27.5		$mV$
5.2.4a	$V_{LOAD\_TRANSIENT}$	負荷過渡、 $V_{OUT} = 1.8V$ 、自動 PFM、低 BW ケース	$V_{IN} = 5.0V$ 、 $V_{OUT} = 1.8V$ 、 $I_{OUT} = 1mA \sim 1A \sim 1mA$ 、 $t_R = t_F = 1\mu s$ 、 自動 PFM、 $C_{OUT} = 40\mu F$	-90	90		$mV$
5.2.4b	$V_{LOAD\_TRANSIENT}$	負荷過渡、 $V_{OUT} = 1.8V$ 、強制 PWM、低 BW ケース	$V_{IN} = 5.0V$ 、 $V_{OUT} = 1.8V$ 、 $I_{OUT} = 1mA \sim 1A \sim 1mA$ 、 $t_R = t_F = 1\mu s$ 、 強制 PWM、 $C_{OUT} = 40\mu F$	-60	60		$mV$
5.2.5a	$V_{LINE\_TRANSIENT}$	ライントランジエント、 $V_{OUT} = 1.2V$ 、強制 PWM、低 BW ケース	$50\mu s$ で $V_{IN} = 3.3V$ から $5.5V$ 、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 1mA$ および $I_{OUT\_MAX}$ 、 強制 PWM、低 BW ケース、 $C_{OUT} = 40\mu F$	-50	50		$mV$
5.2.6a	$V_{RIPPLE\_PP\_PWM}$	強制 PWM モード、低 BW ケース	$V_{IN} = 5.0V$ 、 $V_{OUT} = 2.5V$ 、 強制 PWM、低 BW ケース、 $C_{OUT} = 40\mu F$ 、 $X5R$ 、 $ESR = 10m\Omega$ 、 $L = 470nH$ 、 $DCR = 50m\Omega$ $I_{OUT} = 1A$	10	20		$mV_{PP}$
5.2.6b	$V_{RIPPLE\_PP\_PFM}$	自動 PFM モード、低 BW ケース	$V_{IN} = 5.0V$ 、 $V_{OUT} = 2.5V$ 、 自動 PFM、低 BW ケース、 $C_{OUT} = 40\mu F$ 、 $X5R$ 、 $ESR = 10m\Omega$ 、 $L = 470nH$ 、 $DCR = 50m\Omega$ $I_{OUT} = 20mA$	20	40		$mV_{PP}$
5.3.1	$I_{OUT\_MAX}$	最大動作電流			3.5		A
5.3.2	$I_{CURRENT\_LIMIT}$	ピーク電流制限	シミュレーションでは $V_{IN} = 2.5V \sim 5.5V$	4.6	5.7	6.9	A
5.3.3	$I_{REV\_CUR\_LIMIT}$	逆方向ピーク電流制限	シミュレーションでは $V_{IN} = 2.5V \sim 5.5V$	-2.0	-1.5	-1.0	A

## 6.6 BUCK1 コンバータ (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
5.3.4a	$R_{DS0N\_HS}$	ハイサイド MOSFET オン抵抗、5V 電源	ピン間で測定された、 $V_{IN} = 5V$		70		$m\Omega$
5.3.4b	$R_{DS0N\_HS}$	ハイサイド MOSFET オン抵抗、3.3V 電源	ピン間で測定された、 $V_{IN} = 3.3V$		80		$m\Omega$
5.3.5a	$R_{DS0N\_LS}$	ローサイド MOSFET オン抵抗、5V 電源	ピン間で測定された、 $V_{IN} = 5V$		40		$m\Omega$
5.3.5b	$R_{DS0N\_LS}$	ローサイド MOSFET オン抵抗、3.3V 電源	ピン間で測定された、 $V_{IN} = 3.3V$		50		$m\Omega$
5.3.6	$R_{DISCHARGE}$	出力放電抵抗	コンバータが無効な場合のみアクティブ	60	125	200	$\Omega$
5.4.1	$L_{SW}$	出力インダクタンス	$DCR = \text{最大 } 50m\Omega$	330	470	611	$nH$
5.4.2a	$C_{OUT}$	低 BW ケース用自動 PFM または強制 PWM の出力容量	$ESR = \text{最大 } 10m\Omega$	10		75	$\mu F$
5.4.3a	$C_{OUT\_HIGH\_BW}$	高 BW ケース用自動 PFM または強制 PWM の出力容量	$ESR = \text{最大 } 10m\Omega$	30		220	$\mu F$

### タイミング要件

5.5.1	$t_{RAMP}$	強制 PWM、低 BW ケースでのランプ時間	残留電圧なしと仮定した場合、有効化から目標値の 98% までの時間	0.3	1.65	ms	
5.5.2a	$DVFS\_RISE\_QFF$	強制 PWM の DVFS タイミング要件、立ち上がりスロープ	0.6V~1.4V の DVFS 電圧調整中のステップ持続時間	2.9	3.2	3.5	$mV/\mu s$
5.5.2c	$DVFS\_FALL$	強制 PWM の DVFS タイミング要件、立ち下がりスロープ	1.4V~0.6V の DVFS 電圧調整中のステップ持続時間	0.45	0.53	0.61	$mV/\mu s$

### スイッチング特性

5.6.1a	$f_{sw}$	スイッチング周波数、強制 PWM、高または低 BW ケース	強制 PWM、 $V_{IN} = 3.3V \sim 5V$ 、 $V_{OUT} = 0.8V \sim 1.8V$ 、 $I_{OUT} = 1A \sim 3A$	2.3		MHz
--------	----------	-------------------------------	---	-----	--	-----

- (1)  $P_{VIN\_Bx}$  は VSYS を超えてはなりません
- (2) DC レギュレーションのみを指します。過渡応答には、より大きなヘッドルームが必要になる場合があります。ヘッドルームが小さい場合、擬似固定周波数において周波数変動が増加します。

## 6.7 BUCK2、BUCK3 コンバータ

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>電気的特性</b>							
6.1.1a	$V_{IN\_BUCK23}$	入力電圧 <sup>(1)</sup>	降圧電源電圧、最大 VSYS	2.5	5.5		$V$
6.1.1b	$V_{OUT\_BUCK23}$	降圧出力電圧の設定可能範囲	出力電圧は $0.6V \leq V_{OUT} \leq 1.4V$ の場合は 25mV 単位、 $1.4V < V_{OUT} \leq 3.4V$ の場合は 100mV 単位で構成可能	0.6	3.4		$V$
6.1.2a	$I_{Q\_BUCK23}$	25°C での静止電流、PFM	PFM、BUCKx 有効、無負荷、 $V_{IN} = 5.0V$ 、 $V_{OUT} = 1.2V$ 、 $T_J = 25^\circ C$	10	13		$\mu A$
6.1.2b	$I_{Q\_BUCK23}$	静止電流 -40°C~125°C、PFM、低 BW ケース	PFM、BUCKx 有効、無負荷、 $V_{IN} = 5.0V$ 、 $V_{OUT} = 1.2V$ 、 $T_J = -40^\circ C \sim 125^\circ C$	15	43		$\mu A$
6.1.2c	$I_{Q\_BUCK23}$	静止電流 -40°C~150°C、PFM、低 BW ケース	PFM、BUCKx 有効、無負荷、 $V_{IN} = 5.0V$ 、 $V_{OUT} = 1.2V$ 、 $T_J = -40^\circ C \sim 150^\circ C$	20	63		$\mu A$

## 6.7 BUCK2、BUCK3 コンバータ (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位	
6.1.3a	$V_{HEADROOM\_PWM}$	入力から出力への電圧レベル <sup>(2)</sup>	最大負荷時のコーナー ケース $I_{OUT} = I_{OUT\_MAX}$ の 85%	500		mV	
6.1.3b	$V_{HEADROOM\_PWM}$	$I_{OUT} = I_{OUT\_MAX}$ <sup>(2)</sup> での入力から出力への電圧ヘッドルーム	$I_{OUT} = I_{OUT\_MAX}$ でのコーナーケース	700		mV	
6.1.4	$V_{OUT\_STEP\_LOW}$	出力電圧ステップ Buck2 と Buck3	$0.6V \leq V_{OUT} \leq 1.4V$	25		mV	
6.1.5	$V_{OUT\_STEP\_HIGH}$	出力電圧ステップ Buck2、Buck3	$1.5V \leq V_{OUT} \leq 3.4V$	100		mV	
6.1.6a	$V_{OUT\_ACC\_DC\_PWM}$	強制 PWM モード、低および高 BW ケースでの DC 出力電圧精度	$I_{OUT} = I_{OUT\_MAX}$ 、 $V_{OUT} \geq 0.7V \sim 3.4V$ 、 $V_{IN} \sim V_{OUT} > 700mV$ 強制 PWM、低 BW ケース	-1.5%	1.5%		
6.1.6b	$V_{OUT\_ACC\_DC\_PWM}$	強制 PWM モード、低および高 BW ケースでの DC 出力電圧精度	$I_{OUT} = I_{OUT\_MAX}$ 、 $V_{OUT} = 0.6V \sim 0.7V$ 、 $V_{IN} \sim V_{OUT} > 700mV$ 強制 PWM、低 BW ケース	-10	10	mV	
6.1.6c	$V_{OUT\_ACC\_DC\_PFM}$	自動 PFM モード、低および高 BW ケースでの DC 出力電圧精度	$I_{OUT} = 1mA$ 、 $V_{OUT} = 0.6V \sim 3.4V$ 、 $V_{IN} \sim V_{OUT} > 500 mV$ 自動 PFM、低 BW ケース	-3.0%	3.5%		
6.1.9	$R_{FB\_INPUT}$	フィードバック入力インピーダンス	コンバータ有効	2.3	3.75	5.0	MΩ
6.2.1a	$V_{LOAD\_REG\_PWM}$	DC 負荷レギュレーション、強制 PWM、低 BW ケース	$V_{IN} = 5.0V$ 、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 0 \sim I_{OUT\_MAX}$ 、 強制 PWM、低 BW ケース	0.1	0.16	%/A	
6.2.2a	$V_{LINE\_REG}$	DC ライン レギュレーション、強制 PWM、低 BW ケース	$V_{IN} = 3.3V \sim 5.5V$ 、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 1mA$ および $I_{OUT\_MAX}$ 強制 PWM、低 BW ケース、 $C_{OUT} = 40\mu F$	0.1	0.16	%/V	
6.2.3a	$V_{LOAD\_TRANSIENT}$	負荷過渡、 $V_{OUT} = 0.75V$ 、自動 PFM、高 BW ケース	$V_{IN} = 5.0V$ 、 $V_{OUT} = 0.75V$ 、 $I_{OUT} = 100mA \sim 1100mA \sim 100mA$ 、 $t_R = t_F = 500ns$ 、 自動 PFM、高 BW ケース、 $C_{OUT} = 80\mu F$	-27.5	27.5	mV	
6.2.3b	$V_{LOAD\_TRANSIENT}$	負荷過渡、 $V_{OUT} = 0.75V$ 、強制 PWM、高 BW ケース	$V_{IN} = 5.0V$ 、 $V_{OUT} = 0.75V$ 、 $I_{OUT} = 100mA \sim 1100mA \sim 100mA$ 、 $t_R = t_F = 500ns$ 、 強制 PWM、高 BW ケース、 $C_{OUT} = 80\mu F$	-27.5	27.5	mV	
6.2.4a	$V_{LOAD\_TRANSIENT}$	負荷過渡、 $V_{OUT} = 1.8V$ 、自動 PFM、低 BW ケース	$V_{IN} = 5.0V$ 、 $V_{OUT} = 1.8V$ 、 $I_{OUT} = 1mA \sim 1A \sim 1mA$ 、 $t_R = t_F = 1\mu s$ 、 自動 PFM、 $C_{OUT} = 40\mu F$	-90	90	mV	
6.2.4b	$V_{LOAD\_TRANSIENT}$	負荷過渡、 $V_{OUT} = 1.8V$ 、強制 PWM、低 BW ケース	$V_{IN} = 5.0V$ 、 $V_{OUT} = 1.8V$ 、 $I_{OUT} = 1mA \sim 1A \sim 1mA$ 、 $t_R = t_F = 1\mu s$ 、 強制 PWM、 $C_{OUT} = 40\mu F$	-60	60	mV	
6.2.5a	$V_{LINE\_TRANSIENT}$	ライントランジエント、 $V_{OUT} = 1.2V$ 、強制 PWM、低 BW ケース	$50\mu s$ で $V_{IN} = 3.3V$ から $5.5V$ 、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 1mA$ および $I_{OUT\_MAX}$ 、 強制 PWM、低 BW ケース、 $C_{OUT} = 40\mu F$	-50	50	mV	

## 6.7 BUCK2、BUCK3 コンバータ (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位	
6.2.6a	$V_{\text{RIPPLE\_PP\_PWM}}$	$V_{\text{IN}} = 5.0\text{V}$ 、 $V_{\text{OUT}} = 2.5\text{V}$ 、強制 PWM、低 BW ケース、 $C_{\text{OUT}} = 40\mu\text{F}$ 、X5R、ESR = 10mΩ、 $L = 470\text{nH}$ 、DCR = 50mΩ、 $I_{\text{OUT}} = 1\text{A}$		10	20	mV <sub>PP</sub>	
6.2.6b	$V_{\text{RIPPLE\_PP\_PFM}}$	$V_{\text{IN}} = 5.0\text{V}$ 、 $V_{\text{OUT}} = 2.5\text{V}$ 、自動 PFM、低 BW ケース、 $C_{\text{OUT}} = 40\mu\text{F}$ 、X5R、ESR = 10mΩ、 $L = 470\text{nH}$ 、DCR = 50mΩ、 $I_{\text{OUT}} = 20\text{mA}$		20	40	mV <sub>PP</sub>	
6.3.1	$I_{\text{OUT\_MAX}}$	最大動作電流			2.0	A	
6.3.2	$I_{\text{CURRENT\_LIMIT}}$	ピーク電流制限	シミュレーションでは $V_{\text{IN}} = 2.5\text{V} \sim 5.5\text{V}$	3.1	3.9	4.7	A
6.3.3	$I_{\text{REV\_CUR\_LIMIT}}$	逆方向ピーク電流制限	シミュレーションでは $V_{\text{IN}} = 2.5\text{V} \sim 5.5\text{V}$	-2.0	-1.5	-1.0	A
6.3.4a	$R_{\text{DSON\_HS}}$	ハイサイド MOSFET オン抵抗、5V 電源	ピン間で測定された、 $V_{\text{IN}} = 5\text{V}$		110	mΩ	
6.3.4b	$R_{\text{DSON\_HS}}$	ハイサイド MOSFET オン抵抗、3.3V 電源	ピン間で測定された、 $V_{\text{IN}} = 3.3\text{V}$		135	mΩ	
6.3.5a	$R_{\text{DSON\_LS}}$	ローサイド MOSFET オン抵抗、5V 電源	ピン間で測定された、 $V_{\text{IN}} = 5\text{V}$		110	mΩ	
6.3.5b	$R_{\text{DSON\_LS}}$	ローサイド MOSFET オン抵抗、3.3V 電源	ピン間で測定された、 $V_{\text{IN}} = 3.3\text{V}$		130	mΩ	
6.3.6	$R_{\text{DISCHARGE}}$	出力放電抵抗	コンバータが無効な場合のみアクティブ	60	125	200	Ω
6.4.1	$L_{\text{SW}}$	出力インダクタンス	DCR = 最大 50mΩ	330	470	611	nH
6.4.2a	$C_{\text{OUT}}$	低 BW ケース用自動 PFM または強制 PWM の出力容量	ESR = 最大 10mΩ		10	75	μF
6.4.3a	$C_{\text{OUT\_HIGH\_BW}}$	高 BW ケース用自動 PFM または強制 PWM の出力容量	ESR = 最大 10mΩ		30	220	μF

### タイミング要件

6.5.1	$t_{\text{RAMP}}$	疑似固定周波数モードでのランプ時間	残留電圧なしと仮定した場合、有効化から目標値の 98%までの時間	0.3	1.65	ms	
6.5.2a	$DVFS\_SLOPE\_QFF$	強制 PWM、低 BW ケースでの DVFS タイミング要件	0.6V～1.4V の DVFS 電圧調整中のステップ持続時間	2.9	3.2	3.5	mV/μs

### スイッチング特性

6.5.2c	$DVFS\_FALL$	強制 PWM の DVFS タイミング要件、立ち下がりスロープ	1.4V～0.6V の DVFS 電圧調整中のステップ持続時間	0.45	0.53	0.61	mV/μs
6.6.1a	$f_{\text{sw}}$	スイッチング周波数、強制 PWM、高または低 BW ケース	強制 PWM、 $V_{\text{IN}} = 3.3\text{V} \sim 5\text{V}$ 、 $V_{\text{OUT}} = 0.8\text{V} \sim 1.8\text{V}$ 、 $I_{\text{OUT}} = 1\text{A} \sim 1.8\text{A}$		2.3		MHz

- (1)  $P_{\text{VIN\_Bx}}$  は  $V_{\text{SYS}}$  を超えてはなりません
- (2) DC レギュレーションのみを指します。過渡応答には、より大きなヘッドルームが必要になる場合があります。ヘッドルームが小さい場合、擬似固定周波数において周波数変動が増加します。

## 6.8 汎用 LDO (LDO1、LDO2)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位	
<b>電気的特性</b>							
7.1.1	$V_{IN\_LDO}$	入力電圧 (LDO モード) <sup>(1)</sup>	LDO モード、最大 VSYS	1.5	5.5	V	
7.1.2	$V_{IN\_LDO\_BYP}$	入力電圧 (バイパス モード) <sup>(1) (5)</sup>	バイパス モード、最大 VSYS	1.5	3.4	V	
7.1.3	$V_{IN\_LDO\_LSW}$	入力電圧 (LSW モード) <sup>(1)</sup>	LSW モード、最大 VSYS	1.5	5.5	V	
7.1.4	$V_{OUT\_LDO}$	LDO 出力電圧の設定可能範囲	LDO モード、50mV 刻み、 $V_{IN} - V_{OUT} > 300\text{mV}$	0.6	3.4	V	
7.1.5	$V_{OUT\_LDO\_BYP}$	バイパス モードでの LDO 出力電圧の構成可能範囲	バイパス モード、構成可能な $V_{OUT}$ 範囲 (50mV ステップ)	1.5	3.4	V	
7.1.6	$V_{OUT\_STEP}$	出力電圧ステップ	LDO モード、 $0.6V \leq V_{OUT} \leq 3.4V$	50		mV	
7.1.7	$V_{DROPOUT}$	ドロップアウト電圧	$V_{IN_{min}} \leq V_{IN} \leq V_{IN_{max}}, I_{OUT} = 400\text{mA}$	150	300	mV	
7.1.8	$V_{OUT\_ACCURACY\_H}$	電圧リファレンス、DC 負荷、ラインレギュレーション、プロセス、温度の変動を含む、総合 DC 出力電圧精度	LDO モード、 $V_{IN} - V_{OUT} > 300\text{mV}, V_{OUT} \geq 1V$	-1%	1%		
7.1.9	$V_{OUT\_ACCURACY\_L}$	電圧リファレンス、DC 負荷、ラインレギュレーション、プロセス、温度の変動を含む、総合 DC 出力電圧精度	LDO モード、 $V_{IN} - V_{OUT} > 300\text{mV}, V_{OUT} < 1V$	-10	10	mV	
7.1.10	$R_{BYPASS\_H}$	バイパス抵抗、高出力電圧	$2.5V \leq V_{IN} \leq 3.6V, V_{IN} \leq VSYS, I_{OUT} = 400\text{mA}$ 、バイパス モード	200		$\text{m}\Omega$	
7.1.11	$R_{BYPASS\_L}$	バイパス抵抗、低出力電圧	$1.5V \leq V_{IN} \leq 2.5V, V_{IN} \leq VSYS, I_{OUT} = 400\text{mA}$ 、バイパス モード	250		$\text{m}\Omega$	
7.1.12	$R_{LSW\_H}$	LSW 抵抗、高出力電圧	$2.5V \leq V_{IN} \leq 5.5V, V_{IN} \leq VSYS, I_{OUT} = 400\text{mA}$ 、LSW モード	200		$\text{m}\Omega$	
7.1.13	$R_{LSW\_L}$	LSW 抵抗、低出力電圧	$1.5V \leq V_{IN} \leq 2.5V, V_{IN} \leq VSYS, I_{OUT} = 400\text{mA}$ 、LSW モード	250		$\text{m}\Omega$	
7.2.1	$V_{LOAD\_TRANSIENT}$	過渡負荷レギュレーション、 $\Delta V_{OUT}$	$I_{OUT} = I_{OUT\_MAX}$ の 20%~80%~20%、 $t_r = t_f = 1\mu\text{s}$	-35	35	mV	
7.2.2	$V_{LINE\_TRANSIENT}$	過渡ライン レギュレーション	$V_{IN}$ ステップ = 600 mV <sub>PP</sub> 、 $t_R = t_F = 10\mu\text{s}$ 、LDO はドロップアウト状態ではない、LDO モード	-25	25	mV	
7.2.3	$NOISE_{RMS}$	RMS ノイズ	$100\text{Hz} < f \leq 100\text{kHz}, V_{IN} = 3.3V, V_{OUT} = 1.8V, I_{OUT} = 300\text{mA}$	600		$\mu\text{V}_{RMS}$	
7.2.4	$V_{RIPPLE}$	電圧リップル		5		$\text{mV}_{PP}$	
7.3.1	$I_{OUT\_MAX}$	出力電流	$V_{PVIN\_LDO_{min}} \leq V_{IN} \leq V_{PVIN\_LDO_{max}}$ 、LDO-、bypass-、LSW-モードに適用	400		mA	
7.3.2	$I_{CURRENT\_LIMIT}$	短絡電流制限	$V_{IN} = 3.6V, V_{OUT} = 0V$	600	980	1600	mA
7.3.3	$I_{IN\_RUSH\_LDO}$	LDO 突入電流	LDO-モード、最大 20 $\mu\text{F}$ の負荷を VLDOx に接続、 $I_{OUT} = 0\text{mA}$ または 400mA		1500		mA
7.3.4	$I_{IN\_RUSH\_LDO\_BYP}$	バイパス モードでの LDO 突入電流	バイパス モード、最大 50- $\mu\text{F}$ の負荷を VLDOx に接続		1500		mA
7.3.5	$I_{IN\_RUSH\_LDO\_LSW}$	LSW モードでの LDO 突入電流	LSW モード、最大 50- $\mu\text{F}$ の負荷を VLDOx に接続		1500		mA
7.3.6	$R_{DISCHARGE}$	LDO 出力でのプルダウン放電抵抗	コンバータが無効な場合のみアクティブ。LDO、バイパス、LSW モードに適用	100	200	300	$\Omega$

## 6.8 汎用 LDO (LDO1、LDO2) (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位
7.3.7a	$I_{Q\_ACTIVE\_LDO}$	25°C、 LDO モード時のアクティブ状態での静止電流	LDO モード、 $I_{OUT} = 0\text{mA}$ 、 $T_J = 25^\circ\text{C}$	50	62	$\mu\text{A}$
7.3.7b	$I_{Q\_ACTIVE\_LDO}$	-40°C~125°C、 LDO モード時のアクティブ状態での静止電流	LDO モード、 $I_{OUT} = 0\text{mA}$ 、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$	50	65	$\mu\text{A}$
7.3.7b	$I_{Q\_ACTIVE\_LDO}$	-40°C~150°C、 LDO モード時のアクティブ状態での静止電流	LDO モード、 $I_{OUT} = 0\text{mA}$ 、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$	50	66	$\mu\text{A}$
7.3.8a	$I_{Q\_ACTIVE\_LDO\_BY_P}$	25°C、 バイパス モード時のアクティブ状態での静止電流	バイパス モード、 $I_{OUT} = 0\text{mA}$ 、 $T_J = 25^\circ\text{C}$	43	48	$\mu\text{A}$
7.3.8b	$I_{Q\_ACTIVE\_LDO\_BY_P}$	-40°C~125°C、 バイパス モード時のアクティブ状態での静止電流	バイパス モード、 $I_{OUT} = 0\text{mA}$ 、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$	43	50	$\mu\text{A}$
7.3.8b	$I_{Q\_ACTIVE\_LDO\_BY_P}$	-40°C~150°C、 バイパス モード時のアクティブ状態での静止電流	バイパス モード、 $I_{OUT} = 0\text{mA}$ 、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$	43	50	$\mu\text{A}$
7.3.9a	$I_{Q\_ACTIVE\_LDO\_LSW}$	25°C、 LSW モード時のアクティブ状態での静止電流	LSW モード、 $I_{OUT} = 0\text{mA}$ 、 $T_J = 25^\circ\text{C}$	46	53	$\mu\text{A}$
7.3.9b	$I_{Q\_ACTIVE\_LDO\_LSW}$	-40°C~125°C、 LSW モード時のアクティブ状態での静止電流	LSW モード、 $I_{OUT} = 0\text{mA}$ 、 $T_J = -40^\circ\text{C} \sim 125^\circ\text{C}$	46	53	$\mu\text{A}$
7.3.9b	$I_{Q\_ACTIVE\_LDO\_LSW}$	-40°C~150°C、 LSW モード時のアクティブ状態での静止電流	LSW モード、 $I_{OUT} = 0\text{mA}$ 、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$	46	54	$\mu\text{A}$
7.4.1	$C_{IN}$	入力フィルタリング容量 <sup>(2)</sup>	PVIN_LDOx から GND に接続 LDO、バイパス、LSW モードに適用	1.6	2.2	$\mu\text{F}$
7.4.2	$C_{OUT}$	出力フィルタリング容量 <sup>(3)</sup>	VLDIx から GND に接続、LDO モード	1.6	2.2	4 $\mu\text{F}$
7.4.3	$C_{OUT\_TOTAL}$	出力時の合計容量 (ローカル + POL)、LDO モード <sup>(4)</sup>	1MHz < f < 10MHz		20	$\mu\text{F}$
7.4.4	$C_{OUT\_TOTAL\_BYP}$	出力時の合計容量 (ローカル + POL)、バイパス モード <sup>(4)</sup>	1MHz < f < 10MHz		50	$\mu\text{F}$
7.4.5	$C_{OUT\_TOTAL\_LSW}$	出力時の合計容量 (ローカル + POL)、LSW モード <sup>(4)</sup>	1MHz < f < 10MHz		50	$\mu\text{F}$
7.4.6	$C_{ESR}$	フィルタリング コンデンサ ESR max	1MHz < f < 10MHz	10	20	$\text{m}\Omega$
タイミング要件						
7.5.1	$t_{RAMP}$	LDO モードおよびバイパス モードでのランプ時間 LDO	イネーブルから目標値の 98% まで測定、LDO モードまたはバイパス モード、個別にイネーブルになったときに測定、残留電圧がないと仮定		950	$\mu\text{s}$
7.5.2	$t_{RAMP\_SLEW}$	LDO モードおよびバイパス モードでのスルーレートのランプ アップ	$V_{OUT}$ 、0.3V から $V_{OUT}$ の 90% まで		12	$\text{mV}/\mu\text{s}$
7.5.3	$t_{RAMP\_LSW}$	ランプ時間 LSW モード	イネーブルから目標値までを測定、 LSW モード、残留電圧がないと仮定		1250	$\mu\text{s}$

## 6.8 汎用 LDO (LDO1、LDO2) (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位
7.5.4	$t_{RAMP\_SLEW}$	LSW モードでのスルーレートのランプアップ	$V_{OUT}$ 、0.3V から $V_{OUT}$ の 90% まで		12	$mV/\mu s$
7.5.5	$t_{TRANS\_1P8\_3P3}$	遷移時間 1.8V～3.3V	$V_{IN} = 4.0V$ 、 $I_{OUT} = 300mA$	2		ms
7.5.6	$t_{TRANS\_3P3\_1P8}$	遷移時間 3.3V～1.8V	$V_{IN} = 4.0V$ 、 $I_{OUT} = 300mA$	2		ms

- (1)  $P_{VIN\_LDOx}$  は  $V_{SYS}$  を超えてはなりません
- (2) 入力コンデンサを、デバイスのピンにできるだけ近い場所に配置する必要があります。
- (3) セラミックコンデンサに DC 電圧を印加すると、DC バイアス効果により実効容量が小さくなります。したがって、上記の表に最小値を静電容量として示します。最小容量の要件を満たすには、レギュレータの出力における所定の DC 電圧の容量低下を考慮して、コンデンサの公称値をそれに応じてスケーリングする必要があります。
- (4) ローカルや POL を含む追加の容量が指定された値を超えると、LDO が不安定になる可能性があります
- (5)  $P_{VIN\_LDOx}$  電圧は (構成済み  $V_{OUT}$ ) および (構成済み  $V_{OUT} + 200mV$ )、最大 3.6V の範囲内である必要があります。

## 6.9 汎用 LDO (LDO3、LDO4)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>電気的特性</b>						
8.1.1	$V_{IN}$	入力電圧 (LDO モード) <sup>(1)</sup>	LDO モード、最大 $V_{SYS}$	2.2	5.5	V
8.1.2	$V_{IN}$	入力電圧 (LSW モード) <sup>(1)</sup>	LSW モード、最大 $V_{SYS}$	2.2	5.5	V
8.1.3	$V_{OUT}$	LDO 出力電圧の設定可能範囲	$V_{IN} = 2.2V \sim 5.5V$ 、最大 $V_{SYS}$	1.2	3.3	V
8.1.4	$V_{OUT\_STEP}$	出力電圧ステップ	$1.2V \leq V_{OUT} \leq 3.3V$	50		$mV$
8.1.5	$V_{DROPOUT}$	ドロップアウト電圧	$V_{IN_{min}} \leq V_{IN} \leq V_{IN_{max}}$ 、 $I_{OUT} = I_{OUT\_MAX}$	150	300	$mV$
8.1.6	$V_{OUT\_DC\_ACCURACY}$	すべての有効な出力電圧における DC 負荷およびラインレギュレーションを含む総合 DC 精度	LDO モード、 $V_{IN} - V_{OUT} > 300mV$	-1%	1%	
8.1.7	$R_{BYPASS}$	LSW モードでのバイパス抵抗	$V_{IN} = 3.3V$ 、 $I_{OUT} = 100mA$ 、ロードスイッチ モード有効		1	$\Omega$
8.2.1	$V_{LOAD\_TRANSIENT}$	過渡負荷レギュレーション、 $\Delta V_{OUT}$	$V_{IN} = 3.3V$ 、 $V_{OUT} = 1.80V$ 、 $I_{OUT} = I_{OUT\_MAX}$ の 20%～ $I_{OUT\_MAX}$ の 80% ( $1\mu s$ )、 $C_{OUT} = 2.2\mu F$	-25	25	$mV$
8.2.2	$V_{LINE\_TRANSIENT}$	過渡ラインレギュレーション、 $\Delta V_{OUT}/V_{OUT}$	モードで、ドロップアウト状態ではない、 $V_{IN}$ ステップ = $600mV_{PP}$ 、 $t_r = t_f = 10\mu s$	-25	25	$mV$
8.2.3	$NOISE_{RMS}$	RMS ノイズ	LDO モード、 $f = 100Hz \sim 100KHz$ 、 $V_{IN} = 3.3V$ 、 $V_{OUT} = 1.8V$ 、 $I_{OUT} = 300mA$	15		$\mu V_{RMS}$
8.2.4	$PSRR_{1KHZ}$	電源リップル除去	LDO モード、 $V_{IN} = 3.3V$ 、 $V_{OUT} = 1.8V$ 、 $I_{OUT} = 300mA$	71		db
8.2.5	$PSRR_{10KHZ}$	電源リップル除去	LDO モード、 $V_{IN} = 3.3V$ 、 $V_{OUT} = 1.8V$ 、 $I_{OUT} = 300mA$	64		db
8.2.6	$PSRR_{100KHZ}$	電源リップル除去	LDO モード、 $V_{IN} = 3.3V$ 、 $V_{OUT} = 1.8V$ 、 $I_{OUT} = 300mA$	61		db
8.2.7	$PSRR_{1MHz}$	電源リップル除去	LDO モード、 $V_{IN} = 3.3V$ 、 $V_{OUT} = 1.8V$ 、 $I_{OUT} = 300mA$	26		db
8.3.1	$I_{OUT\_MAX}$	出力電流			300	$mA$
8.3.2	$I_{CURRENT\_LIMIT}$	短絡電流制限	$V_{IN} = 3.6V$ 、 $V_{OUT} = 0V$ 、パルス負荷状態でテスト	400	900	$mA$

## 6.9 汎用 LDO (LDO3、LDO4) (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
8.3.3	$I_{IN\_RUSH}$	LDO 突入電流	$LDO$ モードまたは $LSW$ モード、 $V_{IN} = 3.3V$ であり $LDO$ が有効、 $C_{OUT} = 4\mu F$ 、 $I_{OUT} = 0mA$ または $300mA$			650	mA
8.3.4	$R_{DISCHARGE}$		コンバータが無効な場合のみアクティブ	120	250	400	$\Omega$
8.3.5a	$I_{Q\_ACTIVE}$	$25^{\circ}C$ のアクティブ状態での静止電流	$V_{VSYS} = V_{IN} = 3.3V$ 、 $I_{OUT} = 0mA$ $LDO$ モードに適用、 $T_J = 25^{\circ}C$		25	30	$\mu A$
8.3.5b	$I_{Q\_ACTIVE}$	アクティブ状態 $-40^{\circ}C \sim 125^{\circ}C$ の静止電流	$V_{VSYS} = V_{IN} = 3.3V$ 、 $I_{OUT} = 0mA$ $LDO$ モードに適用、 $T_J = -40^{\circ}C \sim 125^{\circ}C$		25	40	$\mu A$
8.3.5b	$I_{Q\_ACTIVE}$	アクティブ状態 $-40^{\circ}C \sim 150^{\circ}C$ の静止電流	$V_{VSYS} = V_{IN} = 3.3V$ 、 $I_{OUT} = 0mA$ $LDO$ モードに適用、 $T_J = -40^{\circ}C \sim 150^{\circ}C$		25	40	$\mu A$
8.3.5c	$I_{Q\_ACTIVE}$	$25^{\circ}C$ のアクティブ状態での静止電流	$V_{VSYS} = V_{IN} = 3.3V$ 、 $I_{OUT} = 0mA$ $LSW$ モードに適用、 $T_J = 25^{\circ}C$		60	112	$\mu A$
8.3.5d	$I_{Q\_ACTIVE}$	アクティブ状態 $-40^{\circ}C \sim 125^{\circ}C$ の静止電流	$V_{VSYS} = V_{IN} = 3.3V$ 、 $I_{OUT} = 0mA$ $LSW$ モードに適用、 $T_J = -40^{\circ}C \sim 125^{\circ}C$		70	145	$\mu A$
8.3.5d	$I_{Q\_ACTIVE}$	アクティブ状態 $-40^{\circ}C \sim 150^{\circ}C$ の静止電流	$V_{VSYS} = V_{IN} = 3.3V$ 、 $I_{OUT} = 0mA$ $LSW$ モードに適用、 $T_J = -40^{\circ}C \sim 150^{\circ}C$		70	145	$\mu A$
8.4.1	$C_{IN}$	入力フィルタリング容量 (2)		2.2	4.7		$\mu F$
8.4.2	$C_{OUT}$	出力フィルタリング容量 (2)	$V_{LDOx}$ から $GND$ に接続、 $LDO$ モード	1.6	2.2	4	$\mu F$
8.4.3a	$C_{OUT\_TOTAL\_FAST}$	出力時の合計容量 (ローカル + $POL$ )、高速ランプ時間 (3)	$1MHz < f < 10MHz$ 、出力と負荷点間のインピーダンス最大 $6nH$			15	$\mu F$
8.4.3b	$C_{OUT\_TOTAL\_SLOW}$	出力時の合計容量 (ローカル + $POL$ )、低速ランプ時間 (3)	$1MHz < f < 10MHz$ 、出力と負荷点間のインピーダンス最大 $6nH$			30	$\mu F$
8.4.4	$C_{ESR}$	フィルタリング コンデンサ ESR max	ARM: 1 MHz ~ 10 MHz		10	20	$m\Omega$
タイミング要件							
8.5.1a	$t_{RAMP\_FAST}$	ランプ時間高速	イネーブルから目標値の 98% まで測定、 $LDO$ モード、個別にイネーブルになったときに測定、残留電圧がないと仮定			660	$\mu s$
8.5.1b	$t_{RAMP\_SLOW}$	ランプ時間低速	イネーブルから目標値の 98% まで測定、 $LDO$ モード、個別にイネーブルになったときに測定、残留電圧がないと仮定			2.3	ms
8.5.2a	$t_{RAMP\_SLEW\_FAST}$	ランプ アップ スルーレート高速	$LDO$ モードまたは $LSW$ モード、0.5V から目標値まで測定			25	$mV/\mu s$
8.5.2b	$t_{RAMP\_SLEW\_SLOW}$	ランプ アップ スルーレート低速	$LDO$ モードまたは $LSW$ モード、0.5V から目標値まで測定			9	$mV/\mu s$

- (1)  $P_{VIN\_LDOx}$  は  $VSYS$  を超えてはなりません
- (2) セラミック コンデンサに DC 電圧を印加すると、DC バイアス効果により実効容量が小さくなります。したがって、上記の表に最小値を静電容量として示します。最小容量の要件を満たすには、レギュレータの出力における所定の DC 電圧の容量低下を考慮して、コンデンサの公称値をそれに応じてスケーリングする必要があります。
- (3) ローカルや  $POL$  を含む追加の容量が指定された値を超えると、 $LDO$  が不安定になる可能性があります

## 6.10 GPIO とマルチファンクションピン (EN/PB/VSENSE、nRSTOUT、nINT、GPO1、GPO2、GPIO、MODE/RESET、MODE/STBY、VSEL\_SD/VSEL\_DDR)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位	
<b>電気的特性</b>							
9.1.1	$V_{OL}$	Low レベル出力電圧(オープンドライン)	$V_{IO} = 3.6V$ , $I_{OL} = 2mA$ , GPO1, GPO2, GPIO, nRSTOUT, nINT		0.40	V	
9.1.2	$V_{IL}$	Low レベル入力電圧	EN/PB, MODE/STBY, MODE/RESET および VSEL_SD/VSEL_DDR, GPIO		0.4	V	
9.1.3	$V_{IH}$	High レベル入力電圧	EN/PB, MODE/STBY, MODE/RESET および VSEL_SD/VSEL_DDR, GPIO	1.26		V	
9.1.4	$V_{VSENSE}$	VSENSE コンバレータ スレッショルド (EN/PB/VSENSE)		1.08	1.20	1.32	V
9.1.5	$V_{VSENSE\_HYS}$	VSENSE コンバレータ ヒステリシス (EN/PB/VSENSE)		8	30	55	mV
9.1.6	$I_{LKG}$	入力リーク電流 (GPIO, EN/PB/VSENSE, MODE/STBY, MODE/RESET, VSEL_SD/VSEL_DDR)	$V_{IN} = 3.3V$		1.0	$\mu A$	
9.1.7	$C_{IN}$	内部入力ピン容量 (GPIO, EN/PB/VSENSE, MODE/STBY, MODE/RESET, VSEL_SD/VSEL_DDR)			10	pF	
9.1.8	$I_{PD}$	プルダウン電流、VSYS が印加されてから 100 $\mu s$ 後に利用可能	GPO1, GPO2, GPIO, MODE/STBY, MODE/RESET, VSEL_SD/VSEL_DDR, nINT, nRSTOUT のピンで	18	25	35	nA
9.1.9	$I_{LKG\_VSYS\_ONLY}$	VSYS が存在するが、デジタル電源 VDD1P8 が存在しない場合のピンリーケージ	SDA のみ		1	$\mu A$	
9.1.10	$V_{PIN\_VSYS\_ONLY}$	VSYS が存在するが、デジタル電源 VDD1P8 が存在しない場合のピン電圧	GPO1, GPO2, GPIO, nRSTOUT, nINT, $I_{OL} = 2mA$		0.4	V	
<b>タイミング要件</b>							
9.2.1a	$t_{FALL}$	出力バッファ立ち下がり時間 (90% ~ 10%)	GPO1, GPO2, GPIO, nRSTOUT, nINT, $C_{OUT} = 10pF$		50	ns	
9.2.1b	$t_{RISE}$	GPIO 出力バッファ立ち上がり時間 (10% ~ 90%)	GPIO、マルチ PMIC 構成で適用可能		5	$\mu s$	
9.2.1.1	$t_{DLY\_FALL}$	出力バッファ立ち下がり時間遅延 (入力が 50% を超えてから出力が 50% を超えるまで)	$C_{OUT} = 10pF$		50	ns	
9.2.2.1	$t_{DLY\_RISE}$	オープンドライン出力バッファ立ち上がり時間遅延 (デジタル入力から出力が 50% を超えるまで)	$C_{OUT} = 10pF$ , $R_{PU} = 1k$ (外部プルアップ)、 $V_{IO} = 1.8V$		300	ns	
9.2.2.3	$FLT\_HIGH_{Duration}$	ピンを内部で high にできるかどうかを確認するために、デジタルがテストに割り当てた時間	$C_{OUT} = 10pF$		15	$\mu s$	
9.2.2.4	$FLT\_LOW_{Duration}$	ピンを内部で low にできるかどうかを確認するために、デジタルがテストに割り当てた時間	$C_{OUT} = 10pF$		15	$\mu s$	
9.2.2a	$t_{PB\_ON\_SLOW}$	EN/PB/VSENSE、待機時間 PB、オン要求、低速	PB、立ち下がりエッジ	540	600	660	ms

## 6.10 GPIO とマルチファンクションピン (EN/PB/VSENSE、nRSTOUT、nINT、GPO1、GPO2、GPIO、MODE/RESET、MODE/STBY、VSEL\_SD/VSEL\_DDR) (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位	
9.2.2b	$t_{PB\_ON\_FAST}$	EN/PB/VSENSE、待機時間 PB、オン要求、高速	PB、立ち下がりエッジ	180	200	220	ms
9.2.3	$t_{PB\_OFF}$	EN/PB/VSENSE、待機時間 PB、オフ要求	PB、立ち下がりエッジ	7.2	8.0	8.8	s
9.2.4	$t_{PB\_RISE\_DEGL}$	EN/PB/VSENSE、グリッチ除去時間 PB、立ち上がりエッジ	PB、立ち上がりエッジ、長押しオフ要求が成功した後に適用可能	115	200	275	ms
9.2.5	$t_{PB\_INT\_DEGL}$	EN/PB/VSENSE、グリッチ除去時間 PB、立ち上がりまたは立ち下がりエッジ	PB、立ち上がりまたは立ち下がりエッジ	59	100	137	ms
9.2.6	$t_{DEGL\_EN\_Rise\_Slow}$	EN/PB/VSENSE、グリッチ除去時間 EN 低速、立ち上がり	EN、立ち上がりエッジ	45	50	55	ms
9.2.7	$t_{DEGL\_EN\_Rise\_Fast}$	EN/PB/VSENSE、グリッチ除去時間 EN 高速、立ち上がり	EN、立ち上がりエッジ	60	120	150	μs
9.2.8	$t_{DEGL\_EN\_Fall}$	EN/PB/VSENSE、グリッチ除去時間 EN、立ち下がり	EN、立ち下がりエッジ	50	70	93	μs
9.2.9	$t_{DEGL\_VSENSE\_Rise}$	VSENSE 立ち上がり: VSYS_POR_Rising および VSENSE 電圧によってのみゲート	VSENSE、立ち上がりエッジ	該当なし			
9.2.10	$t_{DEGL\_VSENSE\_Fall}$	EN/PB/VSENSE、グリッチ除去時間 VSENSE、立ち下がり、高速/低速設定に非依存	VSENSE、立ち下がりエッジ	50	70	93	μs
9.2.11	$t_{DEGL\_EN/VSENSE\_I2C}$	I2C によるシャットダウン後の EN/VSENSE 立ち下がりエッジのグリッチ除去時間	I2C による前のシャットダウン要求の後の EN/VSENSE 立ち下がりエッジ (9.2.8 未満)	12.5	25	37.5	μs
9.2.12	$t_{DEGL\_RESET}$	MODE/RESET、グリッチ除去時間 RESET	RESET、立ち上がりエッジと立ち下がりエッジ	90	120	150	μs
9.2.13	$t_{DEGL\_MFP}$	グリッチ除去時間 MODE/STBY、MODE (not/RESET)、VSEL_SD/VSEL_DDR	立ち上がりエッジと立ち下がりエッジ	90	120	150	μs
9.2.14	$t_{DEGL\_GPIO}$	グリッチ除去時間 GPIO	立ち上がりエッジと立ち下がりエッジ	6.6	15.6	18	μs
9.2.15	$t_{REACTION\_ON}$	オン要求伝搬遅延(デグリッチ後)	発振器の起動、サンプリング遅延、および応答(デジタル グリッチ除去を除く)が含まれます	75	103		μs
9.2.16	$t_{REACTION\_OFF}$	オフ要求伝搬遅延(デグリッチ後)	サンプリング遅延、応答(グリッチ除去を除く)が含まれます	39	56	73.5	μs

## 6.11 電圧と温度の監視

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位	
<b>電気的特性</b>							
10.1.1	$V_{BUCKx\_UV\_TH\_5}$ 、 $V_{LDOx\_UV\_TH\_5}$	降圧コンバータ出力の低電圧監視、プログラマブルな低方向スレッショルド精度	$UV\_THR = 0x0$	-5%			
10.1.2	$V_{BUCKx\_UV\_TH\_10}$ 、 $V_{LDOx\_UV\_TH\_10}$	降圧出力および LDO 出力の低電圧監視、プログラマブルな低方向スレッショルド精度	$UV\_THR = 0x1$	-10%			

## 6.11 電圧と温度の監視 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位
10.1.3	$V_{BUCKx\_UV\_H\_ACC}$ 、 $V_{LDOx\_UV\_H\_ACC}$	低電圧スレッショルドの精度、 $V_{OUT} \geq 1V$	$V_{OUT} \geq 1V$	-1.5%	+1.5%	
10.1.4	$V_{BUCKx\_UV\_L\_ACC}$ 、 $V_{LDOx\_UV\_L\_ACC}$	低電圧スレッショルドの精度、 $V_{OUT} < 1V$	$V_{OUT} < 1V$	-10	+10	mV
10.1.5	$V_{BUCKx\_UV\_HYS}$ 、 $V_{LDOx\_UV\_HYS}$	低電圧ヒステリシス		0.25%	1%	1.75%
10.1.6	$V_{BUCKx\_SCG\_TH}$ 、 $V_{LDOx\_SCG\_TH}$	短絡(SCG)および残留電圧(RV)検出の低方向スレッショルド		220	260	300
10.1.7	$V_{BUCKx\_SCG\_HYS}$ 、 $V_{LDOx\_SCG\_HYS}$	短絡(SCG)および残留電圧(RV)検出スレッショルドのヒステリシス		75		mV
10.2.1a	$T_{WARM\_Rising}$	温度上昇警告スレッショルド(WARM)	4台の各センサ用	110	120	130
10.2.1b	$T_{WARM\_Falling}$	温度下降警告スレッショルド(WARM)	4台の各センサ用	105	115	125
10.2.2a	$T_{HOT\_Rising}$	温度上昇時シャットダウンのスレッショルド(TSD, HOT)	4台の各センサ用	130	140	150
10.2.2b	$T_{HOT\_Falling}$	温度下降時シャットダウンのスレッショルド(TSD, HOT)	4台の各センサ用	125	135	145
10.2.3	$T_{HYS}$	WARMの温度ヒステリシス	4台の各センサ用	-5		°C

### タイミング要件

10.3.1a	$t_{DEGLITCH}$	低電圧(UV)とGND短絡(SCG)に対する故障検出グリッチ除去時間	UV/SCGイベントから測定	13	20	27	μs
10.3.1b	$t_{DEGLITCH\_OC\_short}$	過電流(OC)、立ち上がりエッジに対する短絡の故障検出グリッチ除去時間、短時間	OCイベント、立ち上がりエッジから測定	26	35	45	μs
10.3.1c	$t_{DEGLITCH\_OC\_long}$	過電流(OC)、立ち上がりエッジに対する故障検出グリッチ除去時間、長時間	OCイベント、立ち上がりエッジから測定	1.6	2	2.2	ms
10.3.2a	$t_{REACTION}$	低電圧(UV)とGND短絡(SCG)の故障応答時間(グリッチ除去時間を含む)	UV/SCGイベントからnINTがLowにプルされるまで測定	26	40	54	μs
10.3.2b	$t_{REACTION\_OC\_short}$	過電流(OC)に対する故障応答時間(グリッチ除去時間を含む)	UV/OC/SCGイベントからnINTがLowにプルされるまで測定	45	65	81	μs
10.3.2c	$t_{REACTION\_OC\_long}$	過電流(OC)、立ち上がりエッジに対する故障検出グリッチ除去時間、長時間	OCイベント、立ち上がりエッジから測定	1.6	2	2.2	ms
10.3.2d	$t_{REACTION\_WARM}$	温度警告(WARM)、サーマルシャットダウン(TSD/HOT)に対する故障応答時間	WARM/HOTイベントからnINTがLowにプルされるまで測定			525	μs

## 6.12 I<sup>2</sup>C インターフェイス

自由気流での動作温度範囲内 (特に記述のない限り)。VIOが3.3Vまたは1.8Vの場合、デバイスはスタンダードモード(100kHz)、ファストモード(400kHz)、ファストモード+(1MHz)をサポートします。

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>電気的特性</b>						
11.1.1	$V_{OL}$	Lowレベル出力電圧	標準モードおよび高速モードで $V_{IO} = 3.6V$ 、 $I_{OL} = 3mA$ 、高速モード+で $I_{OL} = 20mA$ 、SDA	0.40		V
11.1.2	$V_{IL}$	Lowレベル入力電圧	SDA, SCL	0.40		V

## 6.12 I<sup>2</sup>C インターフェイス (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。VIO が 3.3V または 1.8V の場合、デバイスはスタンダード モード(100kHz)、ファスト モード(400kHz)、ファスト モード+(1MHz)をサポートします。

POS	パラメータ		テスト条件	最小値	標準値	最大値	単位
11.1.3	$V_{IH}$	High レベル入力電圧	SDA, SCL	1.26			V
11.1.4	$V_{HYST}$	入力バッファのヒステリシス	EN_BP/VSENSE, MODE_RESET, MODE_STBY, SDA, SCL, GPIO	100	500		mV
11.1.5	$C_B$	SDA および SCL の容量性負荷			400		pF

### タイミング要件

11.2.1	$f_{SCL}$	シリアル クロック周波数	スタンダード モード	100	kHz		
11.2.2			ファスト モード	400			
11.2.3			ファスト モード+	1			
11.3.1	$t_{LOW}$	SCL Low 時間	スタンダード モード	4.7	μs		
11.3.2			ファスト モード	1.3			
11.3.3			ファスト モード+	0.50			
11.4.1	$t_{HIGH}$	SCL High 時間	スタンダード モード	4.0	μs		
11.4.2			ファスト モード	0.60			
11.4.3			ファスト モード+	0.26			
11.5.1	$t_{SU;DAT}$	データ セットアップ時間	スタンダード モード	250	ns		
11.5.2			ファスト モード	100			
11.5.3			ファスト モード+	50			
11.6.1	$t_{HD;DAT}$	データ ホールド時間	スタンダード モード	10	3450	ns	
11.6.2			ファスト モード	10	900		
11.6.6			ファスト モード+	10			
11.7.1	$t_{SU;STA}$	START または REPEAT-START 条件のセットアップ時間	スタンダード モード	4.7	μs		
11.7.2			ファスト モード	0.60			
11.7.3			ファスト モード+	0.26			
11.8.1	$t_{HD;STA}$	START または REPEAT-START 条件のホールド時間	スタンダード モード	4.7	μs		
11.8.2			ファスト モード	0.60			
11.8.3			ファスト モード+	0.26			
11.9.1	$t_{BUF}$	STOP 条件と START 条件の間のバスフリー時間	スタンダード モード	4.7	μs		
11.9.2			ファスト モード	1.3			
11.9.3			ファスト モード+	0.50			
11.10.1	$t_{SU;STO}$	停止条件のセットアップ時間	スタンダード モード	0.60	μs		
11.10.2			ファスト モード	0.60			
11.10.3			ファスト モード+	0.26			
11.10.1	$t_{rDA}$	SDA 信号の立ち上がり時間	スタンダード モード、VIO = 1.8V, $R_{PU} = 10k\Omega$ および $C_B = 400pF$ で計算されたワーストケースを使用します		1000	ns	
11.10.2			ファスト モード、VIO = 1.8V, $R_{PU} = 1k\Omega$ および $C_B = 400pF$ で計算されたワーストケースを使用します		20	300	
11.10.3			ファスト モード、VIO = 1.8V, $R_{PU} = 330\Omega$ および $C_B = 400pF$ で計算されたワーストケースを使用します			120	

## 6.12 I<sup>2</sup>C インターフェイス (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。VIO が 3.3V または 1.8V の場合、デバイスはスタンダード モード(100kHz)、ファスト モード(400kHz)、ファスト モード+(1MHz)をサポートします。

POS	パラメータ	テスト条件	最小値	標準値	最大値	単位
11.12.1	t <sub>fDA</sub>	スタンダード モード、VIO = 1.8V、R <sub>PU</sub> = 10kΩ および C <sub>B</sub> = 400pF で計算されたワーストケースを使用します			300	ns
11.12.2		ファスト モード、VIO = 1.8V、R <sub>PU</sub> = 1kΩ および C <sub>B</sub> = 400pF で計算されたワーストケースを使用します	6.5	300		
11.12.3		ファスト モード、VIO = 1.8V、R <sub>PU</sub> = 330Ω および C <sub>B</sub> = 400pF で計算されたワーストケースを使用します	6.5	120		
11.13.1	t <sub>rCL</sub>	スタンダード モード、VIO = 1.8V、R <sub>PU</sub> = 10kΩ および C <sub>B</sub> = 400pF で計算されたワーストケースを使用します			1000	ns
11.13.2		ファスト モード、VIO = 1.8V、R <sub>PU</sub> = 1kΩ および C <sub>B</sub> = 400pF で計算されたワーストケースを使用します	20	300		
11.13.3		ファスト モード、VIO = 1.8V、R <sub>PU</sub> = 330Ω および C <sub>B</sub> = 400pF で計算されたワーストケースを使用します			120	
11.14.1	t <sub>fCL</sub>	スタンダード モード、VIO = 1.8V、R <sub>PU</sub> = 10kΩ および C <sub>B</sub> = 400pF で計算されたワーストケースを使用します			300	ns
11.14.2		ファスト モード、VIO = 1.8V、R <sub>PU</sub> = 1kΩ および C <sub>B</sub> = 400pF で計算されたワーストケースを使用します	6.5	300		
11.14.3		ファスト モード、VIO = 1.8V、R <sub>PU</sub> = 330Ω および C <sub>B</sub> = 400pF で計算されたワーストケースを使用します	6.5	120		
11.15.1	t <sub>SP</sub>	抑制されたスパイクのパルス幅(指定された幅より小さい SCL および SDA スパイクは抑制されます)	ファスト モードとファスト モード+		50	ns

## 6.13 代表的特性

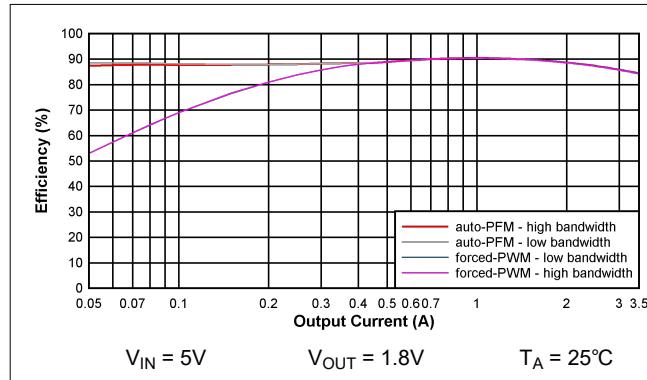


図 6-1. 効率 BUCK1

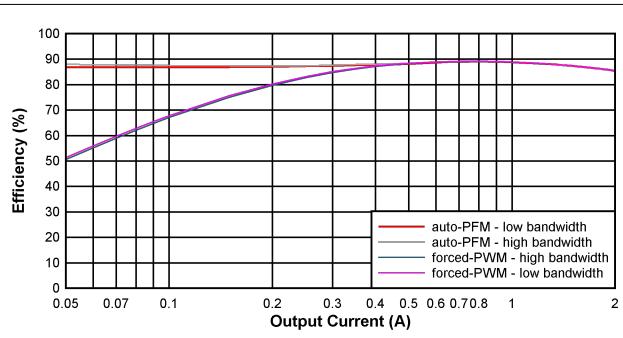


図 6-2. 効率 BUCK23

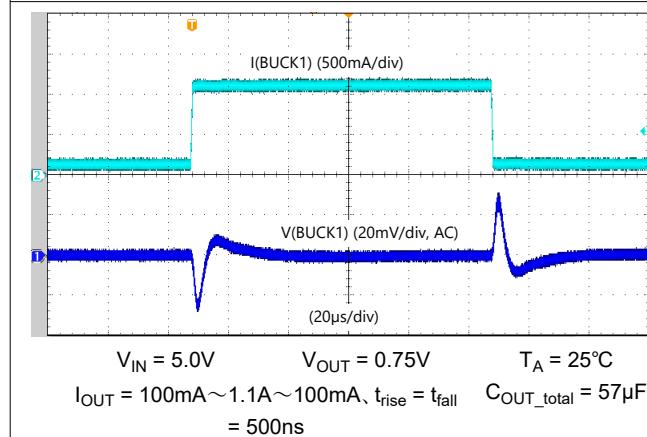


図 6-3. BUCK1 負荷ステップ応答 - 高帯域幅、強制 PWM

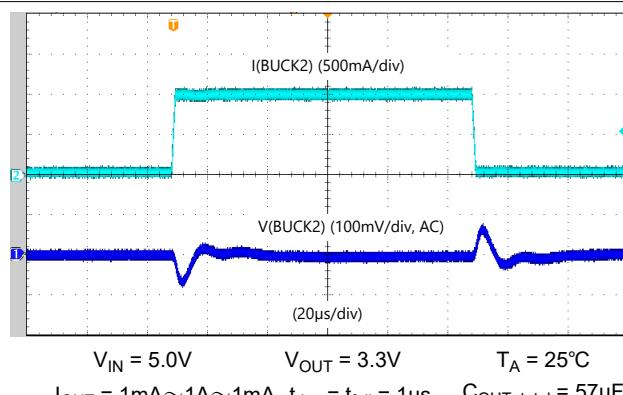


図 6-4. BUCK2 負荷ステップ応答 - 低帯域幅、強制 PWM

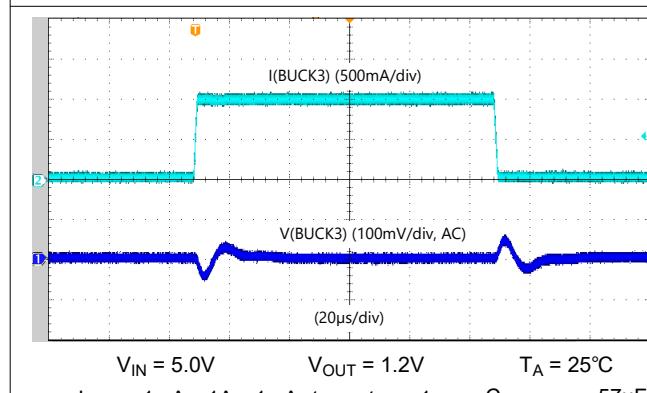


図 6-5. BUCK3 負荷ステップ応答 - 低帯域幅、強制 PWM

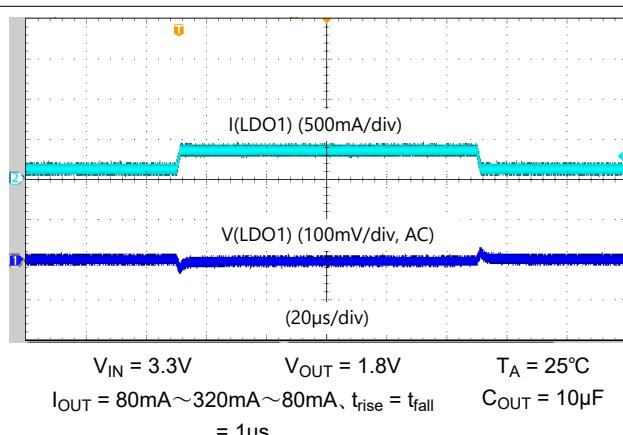
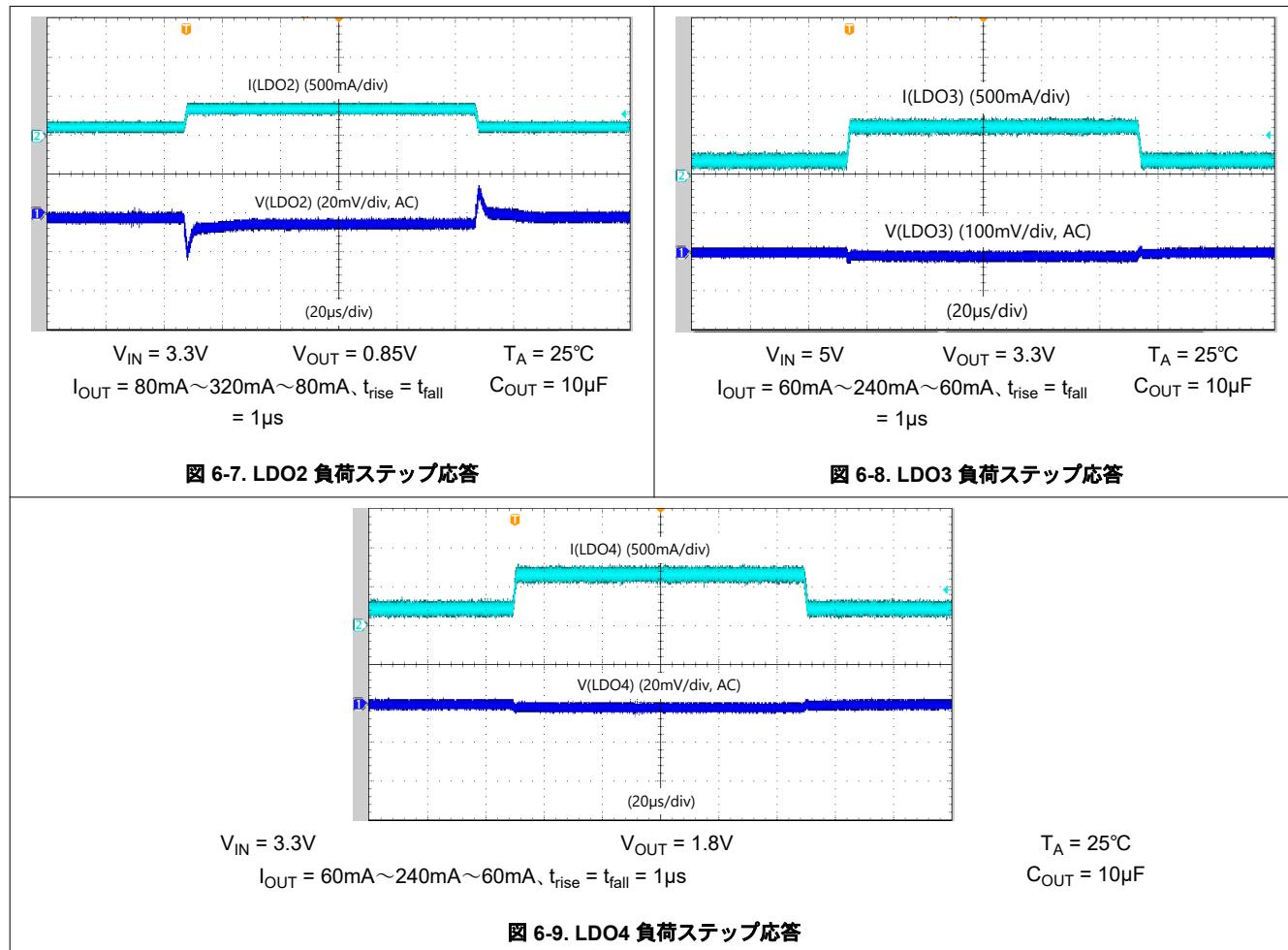


図 6-6. LDO1 負荷ステップ応答

## 6.13 代表的特性 (続き)



## 7 詳細説明

### 7.1 概要

TPS65219 には、3 基の降圧型コンバータ、4 台の LDO、3 つの汎用 I/O、3 本のマルチファンクション ピンがあります。システムには、シングル セルリチウムイオン電池、2 個の個の一次電池、または安定化電源で電力を供給できます。このデバイスは  $-40^{\circ}\text{C}$ ~ $+105^{\circ}\text{C}$  の温度範囲で特性化されているため、多様な産業用途に最適な PMIC です。

I<sub>2</sub>C インターフェイスは、TPS65219 を使用するための包括的な機能を提供します。レール、GPO、GPIO は、いずれもイネーブルまたはディセーブルできます。低電圧を監視するための電圧スレッショルドはカスタマイズ可能です。

内蔵の電圧スーパーバイザは Buck1-3 と LDO1-4 の低電圧を監視します。モニタには 2 つの感度設定があります。電源レールと GPIO のランプアップが正常に完了したことを報告するパワーグッド信号が送信されます。デバイスがアクティブ状態に移行するまで、nRSTOUT ピンは Low になります。アクティブまたはスタンバイ状態からパワーダウンする場合、nRSTOUT は再び Low になります。nRSTOUT ピンはオープンドレイン出力です。FAULT ピン、nINT は、SoC に故障を通知します。

Buck1 降圧コンバータは最大 3.5A の電流を供給でき、Buck2 と Buck3 はそれぞれ最大 2A 供給できます。各コンバータのデフォルトの出力電圧は、I<sub>2</sub>C インターフェイスを介して調整可能です。3 基の降圧コンバータにはすべて、ダイナミック電圧スケーリング機能が搭載されています。この降圧コンバータは、軽負荷時は低消費電力モードで動作し、またノイズに敏感な用途向けに、強制的に PWM 動作に設定することもできます。

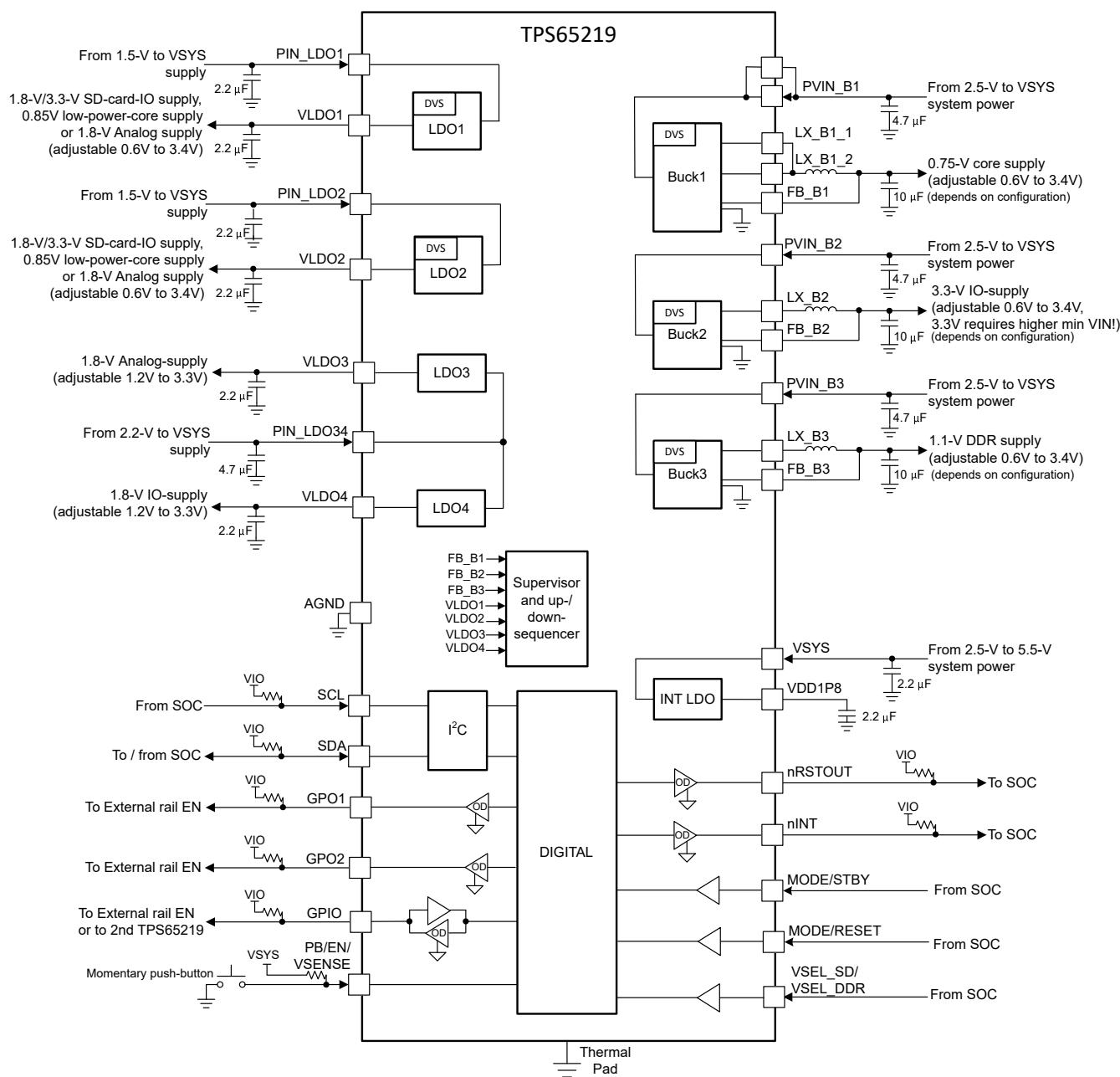
LDO1 と LDO2 は、0.6V~3.4V の出力電圧範囲において 400mA の出力電流をサポートします。これらの LDO はバイパス モードをサポートしており、ロードスイッチとして機能し、SD カード電源などのアプリケーションで動作中の電圧を変更して、初期化後に SD カードの IO 電源を 3.3V~1.8V に調整できます。

LDO3 と LDO4 は、1.2V~3.3V の出力電圧範囲において 300mA の出力電流をサポートします。これらの LDO はロードスイッチをサポートしていますが、バイパス モードはサポートしていません。

I<sub>2</sub>C インターフェイス、IO、GPIO、マルチファンクション ピン (MFP) は、さまざまな SoC にシームレスに接続します。

出力電圧、シーケンシングなど、レールのすべての構成は EEPROM によってバックアップされます。選択した構成の技術参考書 (TRM) を参照してください。

## 7.2 機能ブロック図



Copyright © 2022, Texas Instruments Incorporated

図 7-1.

注

VIO は外部プルアップ電源で、推奨動作電圧範囲内で選択する必要があります。

## 7.3 機能説明

### 7.3.1 パワーアップシーケンシング

TPS65219 は、レールのシーケンスをフレキシブルに設定できます。外部レールの GPO1、GPO2、GPIO、nRSTOUT ピンを含め、レールの順序は NVM によって定義されます。パワーアップシーケンシングを開始する前に、デバイスはすべてのレールの電圧が SCG スレッショルドを下回っているかを確認し、事前にバイアスがかかった状態で起動するのを防ぎます。シーケンスはタイミングに基づいて行われます。さらに、前のレールが UV スレッショルドを超えた場合にのみ、次のレールが有効になります。UV がマスクされている場合、UV スレッショルドに達していない場合、シーケンスは進行します。GPO1、GPO2、GPIO、バイパスモードまたは LSW モードに構成された LDO は低電圧では監視されないため、これらの出力は後続のレールを制御することはありません。

レール上のマスクされていない故障が原因でシーケンスが中断された場合、デバイスはパワーダウンします。TPS65219 は、さらに 2 回電源をオンにしようとします。両方ともアクティブ状態に移行できなかった場合、VSYS の電源サイクルを実行するまで、デバイスは初期化状態のままとなります。このリトライカウンタはアクティブのままにすることが推奨されますが、INT\_MASK\_UV レジスタの MASK\_RETRY\_COUNT ビットをセットすることで無効化できます。

リトライカウンタを無効化するには、INT\_MASK\_UV レジスタの MASK\_RETRY\_COUNT ビットを設定します。このビットを設定すると、デバイスは無限に再試行を続けます。

TPS65219 では、パワーダウンシーケンスをパワーアップシーケンスとは独立して構成できます。シーケンスは、不揮発性メモリに構成されます。

最初のパワーアップ時に、デバイスは VSYS 電源電圧を監視し、VSYS が VSYS<sub>POR\_Rising</sub> スレッショルドを超えた場合にのみ、パワーアップを許可し、初期化状態に遷移します。

パワーアップシーケンスは、以下のように構成されます。

- 各レール、GPO1、GPO2、GPIO、および nRSTOUT のスロット（シーケンス内の位置）は、対応する \*\_SEQUENCE\_SLOT レジスタ、パワーアップシーケンスの 4 つの MSB、パワーダウンシーケンスの 4 つの LSB を使用して定義されます。
- 各スロットの持続時間は、POWER\_UP\_SLOT\_DURATION\_x レジスタで 0ms、1.5ms、3ms、10ms のいずれかに設定できます。合計で 16 個のスロットを構成でき、より多くのレールをサポートする必要がある場合に、シーケンスを複数の TPS65219 デバイスにまたがって使用できます。
- 上記で定義したタイミングに加えて、パワーアップシーケンスも UV モニタによって制御されます。後続のレールは、（UV がマスクされている場合を除き）前のレールが低電圧スレッショルドを超えた後でのみ有効になります。レールが t<sub>RAMP</sub>（それぞれ t<sub>RAMP\_LSW</sub>、t<sub>RAMP\_SLOW</sub>、t<sub>RAMP\_FAST</sub>）の終了時点までに UV スレッショルドに達していない場合、シーケンスは中止され、デバイスはスロット持続時間の終了時にシーケンスダウンします。それぞれのレールについて、デバイスは INT\_BUCK\_x\_y\_IS\_SET をそれぞれ INT\_SOURCE レジスタに INT\_LDO\_x\_y\_IS\_SET ビットを設定し、BUCKx\_UV をそれぞれ INT\_BUCK\_x\_y に LDOx\_UV ビットをそれぞれ INT\_LDO\_x\_y レジスタに設定し、INT\_TIMEOUT\_RV\_SD レジスタに TIMEOUT ビットを設定します。
- シーケンスの開始は、シーケンス中に有効になっているかどうかにかかわらず、すべてのレールの放電が正常に完了することによって制御されます。デバイスがすべてのレールを SCG スレッショルド以下に放電できない場合、デバイスは INT\_SOURCE レジスタ内の INT\_BUCK\_x\_y\_IS\_SET ビットおよび BUCKx\_RV ビット、ならびに INT\_LDO\_x\_y\_IS\_SET ビットおよび LDOx\_RV ビットを設定します。残留電圧が 4ms から 5ms 後も存在する場合、デバイスは初期化状態のままになります。
- シーケンスの開始はダイ温度によって制御されます。何らかのウォーム検出がマスクされていない場合、過熱イベントにより初期化状態に入った場合、すべてのセンサの温度が T<sub>WARM\_falling</sub> スレッショルドを下回るまで、オフ状態から初期化状態に移行した場合は、すべてのセンサの温度が T<sub>WARM\_rising</sub> スレッショルドを下回るまで、デバイスは起動しません。すべての温度センサがマスクされている場合（ウォーム検出でパワーダウンが発生しない場合）、すべてのセンサの温度が T<sub>HOT\_falling</sub> スレッショルドを下回るまで、デバイスはパワーアップしません

#### 注

すべてのレールは（放電機能が無効になっているかにかかわらず）有効になる前に放電されます。

オン要求は、ノイズをトリガしないようにデグリッチされています。グリッチ除去時間が経過した後、デバイスはシーケンスの最初のスロットが開始するまで約  $300\mu\text{s}$  待機します。その時間までにプリバイアスされたレールの放電が完了しない場合は、すべてのレールが SCG 電圧レベルを下回るまで、シーケンスの開始がさらに制御されます。

図 7-2 は、パワーアップ シーケンシングの例を示します。パワーアップ シーケンシングは、有効なオンリクエストによってトリガされます。

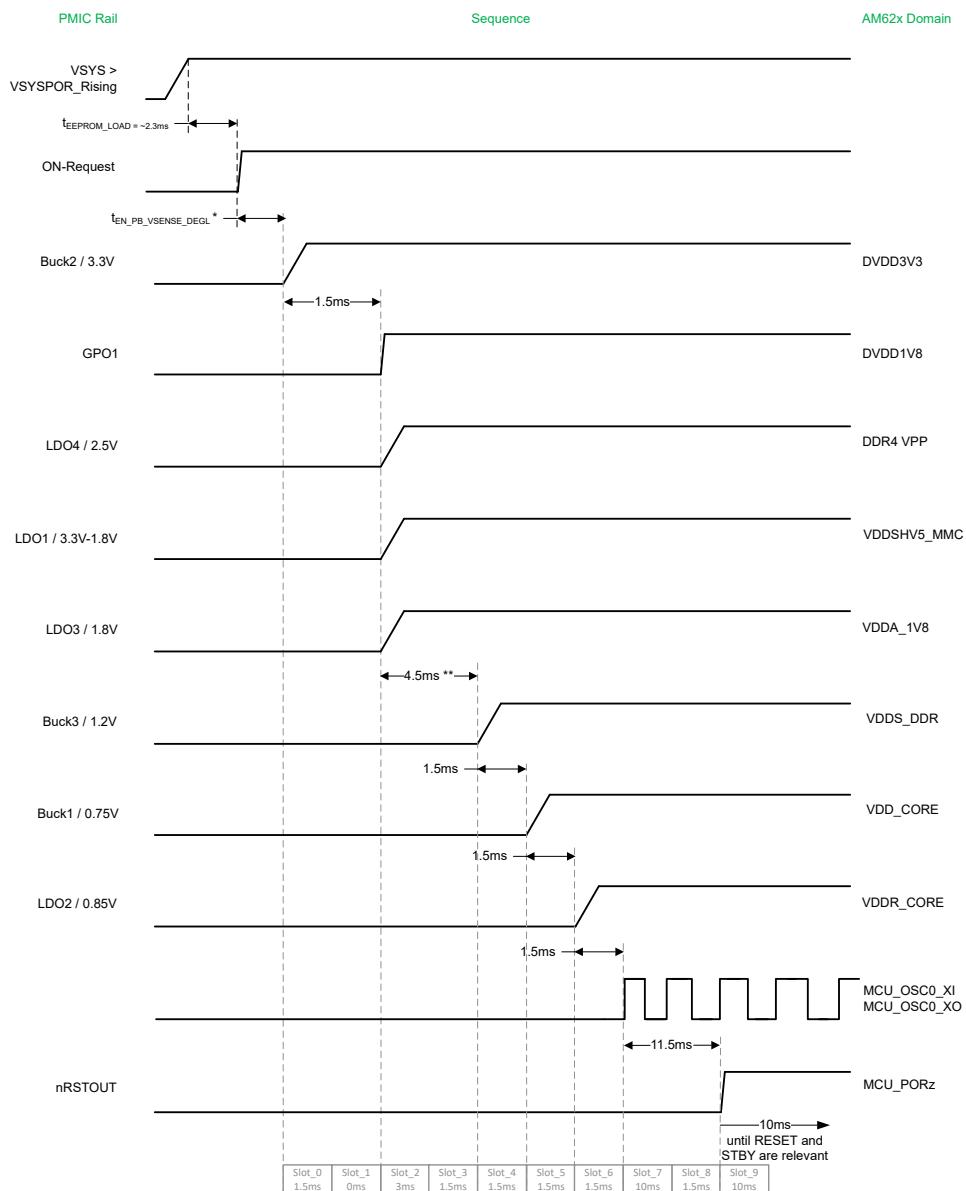


図 7-2. パワーアップ シーケンシング (例)

オン要求の詳細については、「プッシュボタンと入力の有効化」(PB/EN/VSENSE) を参照してください。

**注意**

I<sup>2</sup>C コマンドは、必ず EEPROM のロードが完了した後に発行する必要があります。

### 7.3.2 パワーダウン シーケンス

オフ要求またはシャットダウン故障によって、パワーダウン シーケンスがトリガされます。オフ要求は、EN または VSENSE にそれぞれ構成されている場合は EN/PB/VSENSE の立ち下がりエッジ、PB に構成されている場合はプッシュボタンの長押し、または MFP\_CTRL レジスタの I2C\_OFF\_REQ に対する I2C コマンドによってトリガできます。このビットはセルフクリアされます。

I2C によってトリガされるシャットダウンでは、EN/PB/VSENSE ピンでオン要求を更新する必要があります。EN または VSENSE 構成の場合、EN/PB/VSENSE ピンには低方向エッジの後に高方向エッジが必要です。En または VSENSE 設定における立ち下がりエッジのグリッチ除去時間  $t_{DEGL\_EN/VSENSE\_I2C}$  は、ピンによるオフ要求のデグリッチ時間 ( $t_{DEGL\_EN\_Fall}$  と  $t_{DEGL\_VSENSE\_Fall}$ ) よりも短くなります。PB 設定のグリッチ除去時間は維持されます。

多くの場合、パワーダウン シーケンスは逆のパワーアップ シーケンシングの後に実行されます。一部のアプリケーションでは、レール間の遅延なしにすべてのレールを同時にシャットダウンする必要がある場合や、レール放電のための待機時間が必要な場合があります。

パワーダウン シーケンスは、以下のように構成されます。

- 各レール、GPO1、GPO2、GPIO、および nRSTOUT のスロット (シーケンス内の位置) は、対応する \*\_SEQUENCE\_SLOT レジスタ、オンシーケンスの 4 つの MSB、ダウンシーケンスの 4 つの LSB を使用して定義されます。
- 各スロットの持続時間は POWER\_DOWN\_SLOT\_DURATION\_x レジスタで定義され、0ms、1.5ms、3ms、10ms のいずれかに設定できます。合計で 16 個のスロットを構成でき、より多くのレールをサポートする必要がある場合に、シーケンスを複数の TPS65219 デバイスにまたがって使用できます。
- 前のレールでアクティブ放電が無効になっている場合を除き、スロット持続時間に加えて、パワーダウン シーケンスも前のレールが SCG スレッショルドを下回るまで放電されることによって制御されます。それが発生しない場合、後続のレールのパワーダウンは一時停止されます。バイアスがかかるている場合やレールが短絡している場合でもパワーダウンを可能にするために、前のレールの放電が完了しなくとも、スロット持続時間の 8 倍 (またはスロット持続時間が 0ms の場合は 12ms) が経過するとシーケンスが継続されます。
- 放電チェックをバイパスするには、GENERAL\_CONFIG レジスタの BYPASS\_RAILS\_DISCHARGED\_CHECK ビットを「1」に設定します。

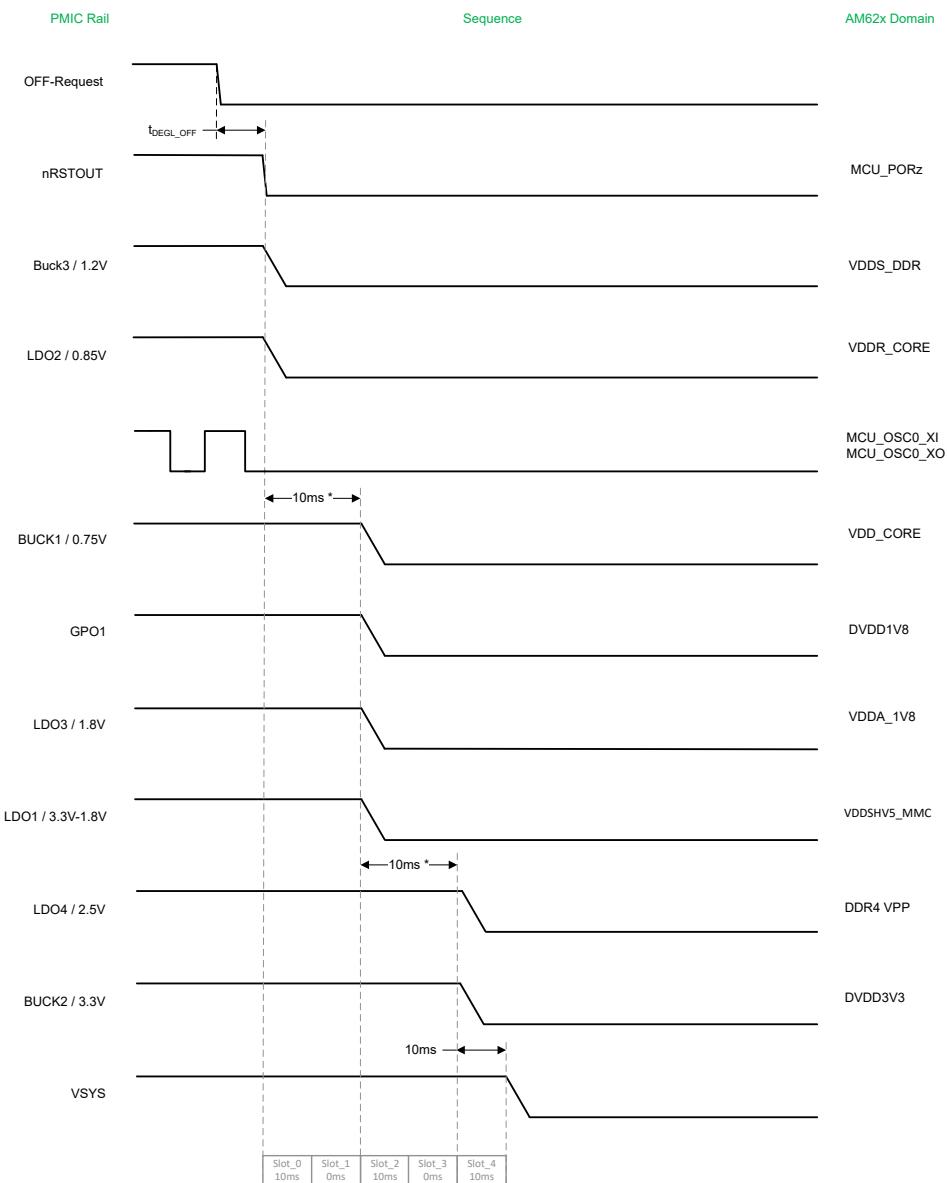
#### 注

レールのアクティブ放電が無効化される場合、スロット持続時間内にレールの放電が失敗しても、次のレールを無効化しませんが、シーケンスは純粋にタイミングに基づいて行われます。残留電圧がある場合、RV ビットは関係なく設定されます。

アクティブ放電はデフォルトで有効になっていて、NVM に基づくものではありません。そのため、各 VSYS のパワー サイクルの後で、必要に応じて放電を無効にする必要があります。リセットまたはオフ要求の際、VSYS が存在する限り、放電構成はリセットされません。ただし、初期化状態では、パワーアップ シーケンス前に、設定に関係なく、すべてのレールが放電されます。

パワーダウン シーケンス中、マスクされていない割り込みビットと \*\_DISCHARGE\_EN ビットを除き、EEPROM バックアップされていないビットはリセットされます。

以下の図に、NVM-ID 0x01、リビジョン 0x2 のパワーダウン シーケンスを例として示します。



\* discharge-duration depends on Vout, Cout and load. Slot-duration needs to adopt.  
Slot-duration extends up to 8x its configured value.

図 7-3. パワーダウン シーケンス (例)

注意

進行中のシーケンスに関するレジスタを I2C コマンドで変更しないでください！

初期化状態への遷移を開始した後、NVM 以外のビットには約 80μs の間アクセスできません。

### 7.3.3 プッシュ ボタンおよびイネーブル入力 (EN/PB/VSENSE)

EN/PB/VSENSE ピンは、PMIC を有効にするために使用します。ピンは、次の 3 つの方法で構成できます。

- デバイスイネーブル (EN):
  - 本デバイスを有効にするには、このピンを High にプルアップする必要があります。このピンを Low にすると、デバイスはディスエーブルになります。
  - EN ピンのグリッチ除去時間は、MFP\_2\_CONFIG レジスタの EN\_PB\_VSENSE\_DEGL によって構成されます。

- EN 入力が  $V_{IL}$  スレッショルド Low を設定された  $t_{DEGL\_EN\_Rise}$  の時間上回ると、パワーアップ シーケンシングが開始されます。
- EN/PB/VSENSE ピン イベントに基づく電源投入を示すために、デバイスは POWER\_UP\_STATUS\_REG レジスタの POWER\_UP\_FROM\_EN\_PB\_VSENSE ビットを設定します。このビットは、nINT ピンをアサートしません。W1C を書き込むと、このビットがクリアされます。
- EN 入力が  $t_{DEGL\_EN\_Fall}$  の間  $V_{IH}$  スレッショルドを下回ると、パワーダウン シーケンスが開始されます。
- シャットダウン故障が発生した場合、新たにオン要求を行う必要はありません。EN 入力がまだ  $V_{IH}$  スレッショルドを上回っている場合、デバイスは自動的にパワーアップ シーケンスを実行します。(EN はレベル センシティブと見なされます)
- コールドリセットの場合(リセットピンと I2C 要求のどちらでも)、新たなオン要求は必要ありません。EN 入力がまだ  $V_{IH}$  スレッショルドを上回っている場合、デバイスは自動的にパワーアップ シーケンスを実行します。(EN はレベル センシティブと見なされます)
- プッシュボタン (PB):
  - PB ピンは PMIC のパワーアップに使用する CMOS タイプ入力です。通常、PB ピンはモーメンタリスイッチと外部プルアップ抵抗に接続されます。
  - プッシュボタンのホールド時間は、MFP\_2\_CONFIG レジスタの EN\_PB\_VSENSE\_DEGL によって構成されます。
  - PB 入力が  $V_{IL}$  スレッショルド Low を設定された  $t_{PB\_ON}$  の時間下回ると、パワーアップ シーケンシングが開始されます。
  - EN/PB/VSENSE ピン イベントに基づく電源投入を示すために、デバイスは POWER\_UP\_STATUS\_REG レジスタの POWER\_UP\_FROM\_EN\_PB\_VSENSE ビットを設定します。このビットは、nINT ピンをアサートしません。W1C を書き込むと、このビットがクリアされます。
  - スイッチのバウンスをフィルタリングするため、PB ピンには立ち上がりエッジのグリッチ除去  $t_{PB\_RISE\_DEGL}$  があります
  - PB 入力が  $t_{PB\_OFF}$  時間にわたって Low に保持されている場合(構成不可)、パワーダウン シーケンスが開始されます。
  - シャットダウン故障が発生した場合、新たにオン要求を行う必要はありません。PB を押さなくても、デバイスはパワーアップ シーケンスを自動的に実行します。
  - コールドリセットの場合(リセットピンと I2C 要求のどちらでも)、新たなオン要求は必要ありません。PB を押さなくても、デバイスはパワーアップ シーケンスを自動的に実行します。
  - プッシュボタンの押下は、VSYS が VSYS\_POR スレッショルドを上回った後、または VSYS が VSYS\_POR スレッショルドを上回った後で、PB を十分な時間押した後にのみ認識されます。
  - 次のビットは、PB プレスイベントを示します。
    - PB\_FALLING\_EDGE\_DETECTED: 前回のこのビットがクリアされてから、 $t_{PB\_INT\_DEGL}$  よりも長い時間 PB が押されました。このビットを設定すると、nINT ピンがアサートされます(構成ビット MASK\_INT\_FOR\_PB = '0' の場合)。W1C を書き込むことでクリア
    - PB\_RISING\_EDGE\_DETECTED: 前回のこのビットがクリアされてから、 $t_{PB\_INT\_DEGL}$  よりも長い時間 PB が放されました。このビットを設定すると、nINT ピンがアサートされます(構成ビット MASK\_INT\_FOR\_PB = '0' の場合)。W1C を書き込むことでクリア
    - PB\_REAL\_TIME\_STATUS: PB ピンのデグリッチ ( $t_{PB\_INT\_DEGL}$ ) のリアルタイムステータスです。EN/PB/VSENSE ピンが PB として構成されている場合のみ有効です。このビットは、nINT ピンをアサートしません。
- 電源障害コンパレータ入力 (VSENSE):
  - プリレギュレータの電源ラインからの抵抗デバイダに接続すると、このピンを使用してプリレギュレータへの電源電圧を検出できます。
  - VSENSE ピンのグリッチ除去時間は、MFP\_2\_CONFIG レジスタの EN\_PB\_VSENSE\_DEGL によって構成できます。
  - パワーアップは、VSYS が VSYS\_POR\_Rising スレッショルドを上回り、VSENSE 入力が  $V_{VSENSE}$  スレッショルドを上回っている(グリッチ除去されていない)場合に制御されます
  - VSENSE 入力が  $V_{VSENSE}$  を上回ると、パワーアップ シーケンシングを開始します。

- EN/PB/VSENSE ピンイベントに基づく電源投入を示すために、デバイスは POWER\_UP\_STATUS\_REG レジスタの POWER\_UP\_FROM\_EN\_PB\_VSENSE ビットを設定します。このビットは、nINT ピンをアサートしません。W1C を書き込むと、このビットがクリアされます。
- VSENSE 入力が VSENSE スレッショルドを  $t_{DEGL\_VSENSE\_Fall}$  の間下回ると、VSYS 供給電圧の損失によるシーケンス外の電源オフを回避するために、パワーダウンシーケンスを開始します。
- シャットダウン故障が発生した場合、新たにオン要求を行う必要はありません。VSENSE 入力がまだ VSENSE スレッショルドを上回っている場合、デバイスは自動的にパワーアップシーケンスを実行します。
- コールドリセットの場合(リセットピンと I2C 要求のどちらでも)、新たなオン要求は必要ありません。VSENSE 入力がまだ VSENSE スレッショルドを上回っている場合、デバイスは自動的にパワーアップシーケンスを実行します。
- I2C コマンドによるオフ要求
  - オフ要求は、MFP\_CTRL レジスタの I2C\_OFF\_REQ への I2C コマンドによってもトリガできます。
  - オフ要求の後、新しいオン要求が必要になります。
    - EN 構成の場合、EN 入力には立ち上がりエッジが必要です(EN はエッジセンシティブと見なされます)。
    - PB 構成の場合、有効なオン要求を行なうには、プッシュボタンを押す必要があります
    - VSENSE 構成の場合、VSENSE 入力には立ち上がりエッジが必要となります(VSENSE はエッジセンシティブと見なされます)。このオン要求は、プリレギュレータの電源を再投入することでトリガできます。
    - En または VSENSE 設定における立ち下がりエッジのグリッチ除去時間  $t_{DEGL\_EN/VSENSE\_I2C}$  は、ピンによるオフ要求のデグリッチ時間( $t_{DEGL\_EN\_Fall}$  と  $t_{DEGL\_VSENSE\_Fall}$ )よりも短くなります。PB 設定のグリッチ除去時間は維持されます。
- 最初の電源検出 (FSD)
  - 最初の電源検出(FSD)により、EN/PB/VSENSE ピンが OFF\_REQ ステータスであっても、電源電圧が印加された直後に電源オンが可能になります。
  - FSD は、EN、PB、または VSENSE などの任意のオノリクエスト構成と組み合わせて使用できます。
  - FSD は、MFP\_2\_CONFIG の「PU\_ON\_FSD」ビットを設定することで有効化できます。
  - 最初の電源投入時に、EN/PB/VSENSE ピンは、ピンに有効なオン要求があるかのように見なされます。
  - VSYS が VSYS<sub>POR\_Rising</sub> スレッショルドを超えると、PMIC は
    - EEPROM をロードします
    - 初期化状態に入ります
    - 放電チェックを実行します
    - EN/PB/VSENSE ピンの状態に関係なく電源投入シーケンスを開始します。
  - FSD に基づく電源投入を示すために、デバイスは POWER\_UP\_STATUS\_REG レジスタの POWER\_UP\_FROM\_FSD ビットを設定します。このビットに基づいて nINT ピンはトグルしません。W1C を書き込むと、このビットがクリアされます。
  - その後、EN/PB/VSENSE ピンは、電源投入シーケンスの最後のスロットが終了し、アクティブ状態になるまで、オン要求が有効であるかのように扱われます。
  - その後、デバイスはデグリッチ後の EN/PB/VSENSE ピンの状態に従います。つまり、アクティブ状態に入る前またはアクティブ状態でピンの状態が変化した場合、デバイスはそのピンの状態に従います。例えば、EN/PB/VSENSE ピンが EN として構成されている場合、デバイスはアクティブ状態に入った時点で EN ピンが(デグリッチ時間を超えて) Low であれば、電源をオフにします。
  - ピンの状態にかかわらず、オン要求がどの程度の時間有効とみなされるかは、nRSTOUT スロットの長さ(およびその後の空スロットの長さ)によって制御され、PMIC はシーケンスの最後のスロットが終了した後にアクティブ状態になります。

### 7.3.4 SoC へのリセット (nRSTOUT)

リセット出力(nRSTOUT)はオーブンドレイン出力で、パワーアップシーケンシングの終了時に SoC や FPGA のリセットを解除することを目的としています。nRSTOUT のタイミングはシーケンス内で構成されます。nRSTOUT は、デバイスがアクティブ状態に入るまで、またはアクティブ状態やスタンバイ状態からパワーダウンする際に Low に駆動されます。このピンは、アクティブ状態およびスタンバイ状態の間 High に駆動されます。

### 7.3.5 降圧コンバータ (Buck1, Buck2, Buck3)

TPS65219 は、3 基の降圧コンバータを統合します。Buck1 は最大 3.5A をサポートでき、Buck2/Buck3 は最大 2A の負荷電流をサポートできます。この降圧コンバータの入力電圧範囲は 2.5V~5.5V で、システム電源に直接、または他の降圧コンバータの出力に接続できます。出力電圧は 0.6V~3.4V の範囲でプログラム可能で、25mV ステップで 1.4V まで、100mV ステップで 1.4V から 3.4V の範囲で設定できます。

- アクティブ状態にある降圧コンバータの ON/OFF 状態は、ENABLE\_CTRL レジスタの対応する BUCKx\_EN ビットにより制御します。
- スタンバイ状態にある降圧コンバータの ON/OFF 状態は、STBY\_1\_CONFIG レジスタの対応する BUCKx\_STBY\_EN ビットにより制御します。
- 初期化状態では、ビットの設定に関係なく、降圧コンバータはオフになります。

#### 注意

降圧レギュレータをまったく使用しない場合、FB\_Bx ピンを GND に接続し、LX\_Bx ピンをフローティングのままにしておく必要があります。

- コンバータの動作は、シーケンサまたは I2C 通信により制御できます。

#### 降圧スイッチ モード:

- 疑似固定周波数モード

- コンバータは、負荷電流に関係なく強制 PWM モードで動作でき、低負荷電流時にパルス周波数変調(PFM)に移行することもできます。モードは、MODE/STBY ピンまたは MODE/RESET ピンのいずれかが「モード」に構成されている場合はこれらのピンで、または MFP\_1\_CONFIG レジスタの MODE\_I2C\_CTRL ビットへの I2C コマンドを使って制御されます (「PWM/PFM および低消費電力モード (MODE/STBY) および PWM/PFM およびリセット (MODE/RESET)」セクションのピン構成および I2C コマンドを参照)。
- アクティブ状態または初期化状態への遷移中、降圧コンバータはピンの状態に関係なく PWM を強制されます。PFM モードへの移行は、シーケンスの完了および最後のパワーアップスロットの終了後、デバイスがアクティブ状態に入ると許可されます。
- DVFS によって出力電圧が変化した場合、電圧変化が完了するまで TPS65219 は降圧レギュレータを一時的に PWM へと強制的に移行させます。PFM が許可される場合、PFM への移行と退出は負荷電流に依存します。PFM は、インダクタ電流が 0A に達したときに開始されます。これは、負荷電流が次の式で概算される場合です。
- $I_{LOAD} = \{[(V_{PVIN\_Bx} - V_{BUCKx})/L] \times (V_{BUCKx}/V_{PVIN\_Bx}) \times (1/f_{sw})\}/2$

#### 注意

ユーザーが BUCK\_FF\_ENABLE を変更することはできません！ビットはメーカーによって事前に構成されています。

- コンバータは、最適な過渡応答のための高帯域幅モード、または出力フィルタ容量を最小限に抑えるための低帯域幅モードに個別に構成することができます。選択は GENERAL\_CONFIG レジスタ。このレギュレータが有効になっていない場合のみ、このビットを変更する必要があります。高帯域幅の用途では、より高い出力容量が必要になることに注意してください！
- レジスタ MFP\_1\_CONFIG の VSEL\_DDR\_SD ビットによって VSEL\_SD/VSEL\_DRR が「VSEL\_DDR」として構成されている場合、VSEL\_SD/VSEL\_DDR ピンを high または low にするか、フローティングのままにすることで、Buck3 の出力電圧を制御できます。これらの設定は、EEPROM の変更なしで、DDR3LV、DDR4、DDR4LV 電源電圧をサポートします。

#### 注意

VSEL\_DDR ピンはハードワイヤードにする必要があるため、動作中に変更しないでください。

- 降圧コンバータには、アクティブ放電機能があります。放電機能は、DISCHARGE\_CONFIG レジスタのレールごとに個別に無効化できます。放電が有効になっている場合、レールが無効化されるとデバイスは出力をグランドへ放電します。
- (初期化状態またはスタンバイ状態から) アクティブ状態へのシーケンスの前に、デバイスは、プライバイスされた出力での起動を防ぐために、放電構成にかかわらず無効なレールを放電します。
- I2C コマンドでレールを有効化する場合、アクティブ放電は強制されませんが、出力電圧が SCG しきい値以下である場合のみレールが有効化されます。
- このレジスタは EEPROM に保存されず、デバイスがオフ状態になるとリセットされます。
- 初期化状態(リセット中または I2C オフ要求中)では、放電構成はリセットされません。注:放電機能が無効な場合、パワーダウン シーケンシングが中断される可能性があります。

すべての降圧コンバータは動的電圧周波数スケーリング (DVFS) をサポートしています。動作中に出力電圧を変更でき、SoC の動作ポイントに最適な動作電圧を 0.6V~1.4V のより低い出力電圧範囲内で調整できます。電圧の変更は、対応する BUCK2\_VOUT または BUCK3\_VOUT レジスタの BUCK1\_VOUT に書き込むことで制御されます。DVFS による電圧遷移中は、放電構成にかかわらず、一時的にアクティブ放電機能が有効になります。

### 出力キャパシタンス要件

降圧コンバータは、安定動作のために十分な出力キャパシタンスを必要とします。必要な最小容量およびサポートされる最大容量は、設定によって異なります。

- 疑似固定周波数で低帯域幅構成の場合、最小容量は  $10\mu\text{F}$  が必要であり、最大合計容量は  $75\mu\text{F}$  がサポートされます
- 疑似固定周波数で高帯域幅設定の場合、最小容量は  $30\mu\text{F}$  が必要であり、最大合計容量は  $220\mu\text{F}$  がサポートされます

### 降圧コンバータの故障対応

- TPS65219 は、降圧コンバータ出力の低電圧を検出します。低電圧検出に対する反応は、該当する BUCKx\_UV ビットと INT\_MASK\_BUCKS の MASK\_EFFECT ビットの構成に依存します。マスクされていない場合、デバイスは INT\_BUCK\_1\_2\_IS\_SET ビットをそれぞれ、INT\_SOURCE レジスタの INT\_BUCK\_3\_IS\_SET ビット、INT\_BUCK\_3 レジスタの INT\_BUCK\_1\_2 ビットに設定します。

電圧遷移中(例:DVFS による電圧変化によりトリガされる場合)、デバイスはフォルトで低電圧検出をブランクにし、電圧遷移が完了した時点で低電圧検出を有効化します。

デバイスが(初期化状態またはスタンバイ状態から)アクティブ状態への遷移中に低電圧を検出し、UV がマスクされていない場合、現在のスロットが終了した時点で電源オフ シーケンスが開始されます。

デバイスがアクティブ状態またはスタンバイ状態で低電圧を検出し、UV がマスクされていない場合、電源オフ シーケンスは即座に開始されます。OC 検出はマスクできません。

- TPS65219 は、降圧コンバータの出力で、電流をサイクルごとに制限します。デバイスが  $t_{DEGLITCH\_OC\_short}$ 、respectively for  $t_{DEGLITCH\_OC\_long}$  (レールごとに OC\_DEGL\_CONFIG レジスタ内の EN\_LONG\_DEGL\_FOR\_OC\_BUCKx で個別に構成設定可能で、立ち上がりエッジにのみ適用)について過電流を検出した場合、デバイスは INT\_SOURCE レジスタ内の INT\_BUCK\_1\_2\_IS\_SET または INT\_BUCK\_3\_IS\_SET ビット、および INT\_BUCK\_1\_2 または INT\_BUCK\_3 レジスタ内の BUCKx\_OC(正の過電流用)、または BUCKx\_NEG\_OC(負の過電流用)ビットをそれぞれ設定します。

電圧遷移中(例:DVFS による電圧変化)、過電流検出は無効化され、電圧遷移が完了した時点でのみ再度有効化されます。

過電流が(初期化状態またはスタンバイ状態から)アクティブ状態への遷移中に発生した場合、デバイスは影響を受けたレールを即座に無効化し、現在のスロットが終了した時点でパワーダウン シーケンシングを開始します。

過電流がアクティブ状態またはスタンバイ状態で発生した場合、デバイスは影響を受けたレールを即座に無効化し、パワーダウン シーケンシングを開始します。

OC 検出はマスクできませんが、デグリッチ時間は構成できます。 $t_{DEGLITCH\_OC\_short}$  を使用することをお勧めします。過電流が長時間継続すると、経年劣化の加速やオーバーシュートの発生の原因になります。

- TPS65219 は、バック出力の接地への短絡(SCG)故障を検出します。SCG イベントを検出した場合の反応として、INT\_SOURCE レジスタ内の INT\_BUCK\_1\_2\_IS\_SET または INT\_BUCK\_3\_IS\_SET ビット、INT\_BUCK\_1\_2 または INT\_BUCK\_3 レジスタ内の BUCKx\_SCG ビットがそれぞれ設定されます。影響を受けたレールは即座に無効化されます。デバイスはすべての出力をシーケンスダウンし、初期化状態に遷移します。

SCG 検出はマスクできません。

レールが有効化されると、デバイスは最初に SCG 検出を無効化して、レールが SCG スレッショルドを超えるのを許可します。

- TPS65219 は、バック出力の残留電圧(RV)故障を検出します。RV イベントを検出した場合の反応として、INT\_SOURCE レジスタ内の INT\_RV\_IS\_SET ビット、および INT\_RV レジスタ内の BUCKx\_RV ビットが設定されます。RV 検出はマスクできませんが、nINT 反応は INT\_MASK\_WARM レジスタの MASK\_INT\_FOR\_RV により、すべてのレールに対してグローバルに構成できます。BUCKx\_RV フラグはマスクの有無にかかわらず設定され、INT\_RV\_IS\_SET ビットは nINT がアサートされている場合にのみ設定されます。故障反応時間と潜在的な状態遷移は、残留電圧が検出された状況によって異なります。
  - デバイスが初期化状態でオン要求中に残留電圧を検出した場合、デバイスは電源投入をゲートし、初期化状態に留まります。4ms から 5ms 以上の間 RV 条件が存在する場合、デバイスは BUCKx\_RV ビットを設定します。RV 条件がそれ以上存在しない場合、デバイスはアクティブ状態に遷移します。
  - デバイスが電源投入中、アクティブからスタンバイ、またはスタンバイからアクティブへの移行中に残留電圧を検出した場合、シーケンスは中止され、デバイスはパワーダウンします。
  - デバイスがスタンバイ状態中に無効化されたレールで 80ms 以上残留電圧を検出した場合、スタンバイ状態から出る要求時にデバイスは初期化状態に遷移します。デバイスは RV 条件が 4ms から 5ms、かつ 80ms 未満の間続いた場合に BUCKx\_RV ビットを設定します。
  - デバイスが電源投入中、アクティブからスタンバイ、またはスタンバイからアクティブへの移行中に残留電圧を検出した場合、シーケンスは中止され、デバイスはパワーダウンします。
  - I2C によるレールの EN コマンド中に残留電圧が検出された場合、BUCKx\_RV フラグは直ちに設定されますが、状態遷移は発生しません。
- 降圧コンバータには、ローカル過熱センサが搭載されています。温度警告に対する応答は、MASK\_CONFIG レジスタの各 SENSOR\_X\_WARM\_MASK ビットの設定と、INT\_MASK\_BUFS レジスタの MASK\_EFFECT ビットの設定によって異なります。センサの温度が  $T_{WARM\_Rising}$  を超えていて、マスクされていない場合、デバイスは INT\_SOURCE レジスタの INT\_SYSTEM\_IS\_SET ビットと、INT\_SYSTEM レジスタの SENSOR\_x\_WARM ビットを設定します。センサが  $T_{HOT\_Rising}$  を超える温度を検出した場合、コンバータの消費電力と接合部温度は安全動作値を超えます。デバイスは、すべてのアクティブ出力を直ちにパワーダウンし、INT\_SOURCE レジスタの INT\_SYSTEM\_IS\_SET ビットと INT\_SYSTEM レジスタの SENSOR\_x\_HOT ビットを設定します。TPS65219 は、温度が  $T_{WARM\_Falling}$  スレッショルド値 ( $T_{WARM}$  がマスクされている場合は  $T_{HOT\_Falling}$  スレッショルド値) を下回ると自動的に回復します。\_HOT ビットは設定されたままとなり、「1」を書き込むことでクリアする必要があります。HOT 検出はマスクできません。

### 注意

降圧コンバータは、起動中を含む、各電流制限までの出力電流までしか供給できません。フィルタおよび負荷容量への充電電流によっては、デバイスはランプアップ中に負荷へのフル出力電流を供給できない可能性があります。目安として、合計負荷容量が 50 $\mu$ F を超える場合は、負荷電流は定格出力電流の 25% を超えないようにする必要があります。この制限は、動的出力電圧の変化にも適用されます。

### 注意

TPS65219 には、差動フィードバックピンはありません。また、リモートセンシングもサポートしていません。シングルエンドのトレースはノイズに影響されやすく、できるだけ短くする必要があり、そのため出力フィルタに直接接続する必要があります。

**表 7-1. BUCK 出力電圧設定**

BUCKx_VSET [10 進数]	BUCKx_VSET [2 進数]	BUCKx_VSET [16 進数]	VOUT(Buck1, Buck2, Buck3) [V]
0	000000	00	0.600
1	000001	01	0.625
2	000010	02	0.650
3	000011	03	0.675
4	000100	04	0.700
5	000101	05	0.725
6	000110	06	0.750
7	000111	07	0.775
8	001000	08	0.800
9	001001	09	0.825
10	001010	0A	0.850
11	001011	0B	0.875
12	001100	0C	0.900
13	001101	0D	0.925
14	001110	0E	0.950
15	001111	0F	0.975
16	010000	10	1.000
17	010001	11	1.025
18	010010	12	1.050
19	010011	13	1.075
20	010100	14	1.100
21	010101	15	1.125
22	010110	16	1.150
23	010111	17	1.175
24	011000	18	1.200
25	011001	19	1.225
26	011010	1A	1.250
27	011011	1B	1.275
28	011100	1C	1.300
29	011101	1D	1.325
30	011110	1E	1.350
31	011111	1F	1.375
32	100000	20	1.400
33	100001	21	1.500
34	100010	22	1.600
35	100011	23	1.700
36	100100	24	1.800
37	100101	25	1.900
38	100110	26	2.000
39	100111	27	2.100
40	101000	28	2.200
41	101001	29	2.300
42	101010	2A	2.400
43	101011	2B	2.500

表 7-1. BUCK 出力電圧設定 (続き)

BUCKx_VSET [10 進数]	BUCKx_VSET [2 進数]	BUCKx_VSET [16 進数]	VOUT(Buck1, Buck2, Buck3) [V]
44	101100	2C	2.600
45	101101	2D	2.700
46	101110	2E	2.800
47	101111	2F	2.900
48	110000	30	3.000
49	110001	31	3.100
50	110010	32	3.200
51	110011	33	3.300
52	110100	34	3.400
53	110101	35	3.400
54	110110	36	3.400
55	110111	37	3.400
56	111000	38	3.400
57	111001	39	3.400
58	111010	3A	3.400
59	111011	3B	3.400
60	111100	3C	3.400
61	111101	3D	3.400
62	111110	3E	3.400
63	111111	3F	3.400

### 7.3.6 リニア レギュレータ (LDO1~LDO4)

TPS65219 には合計 4 つのリニア レギュレータがあり、LDO1 と LDO2 の特性が同じで、LDO3 と LDO4 の特性が同じです。

#### LDO1 および LDO2: 400mA、0.6V~3.4V

LDO1 と LDO2 は、SOC または周辺装置のアナログ回路に電力を供給する汎用 LDO です。LDO の入力電圧範囲は 1.5V~5.5V で、システム電源に直接、または降圧コンバータの出力に接続できます。出力電圧は、0.6V ~ 3.4V の範囲で 50mV ステップでプログラム可能です。どちらの LDO も最大 400mA をサポートしています。LDO はバイパス モードに構成でき、ロード スイッチとして動作します。バイパス モードに構成する場合、目標出力電圧を LDOx\_VOUT レジスタで指定する必要があります。LDO はイネーブル時の出力電圧の変化にも対応しています。電源電圧が 3.3V を超える LDO モード、またはバイパス モードと LDO モード間の 3.3V 電源の切り替えによって、初期化後に 3.3V~1.8V まで変化させる、SD カードの IO 電源などの機能をサポートします。LDO がロード スイッチ モード (LSW\_mode) をサポートする場合、1.5V~5.5V までの出力電圧もサポートしています。目的の電圧を LDOx\_VOUT レジスタで構成する必要はありません。

- SD カード電源の場合、LDO の 1 つは VSEL\_SD として構成された VSEL\_SD/VSEL\_DDR によって制御できます。どの LDO が制御されるのかは、MFP\_1\_CONFIG レジスタの VSEL\_RAIL ビットによって選択されます。ピンの極性は MFP\_1\_CONFIG レジスタの VSEL\_SD\_POLARITY ビットを使用して構成できます。

または、MFP\_1\_CONFIG レジスタの VSEL\_SD\_I2C\_CTRL との I2C 通信により、出力電圧の変化を制御します。そのため、VSEL\_SD/VSEL\_DDR ピンが VSEL\_DDR として構成されていても、どの LDO が I2C コマンドの影響を受けるかを定義するように、VSEL\_RAIL ビットを構成する必要があります。

- LDO は、リニア レギュレータまたはバイパス モードの動作として構成、またはロード スイッチ (LSW モード) として構成できます。このモードは、LDOx\_VOUT レジスタの LDOx\_LSW\_CONFIG ビットと LSW\_BYP\_CONFIG ビットによって構成します。

**注意**

LDO をバイパスモードに構成する場合、出力電圧を構成し、構成された出力電圧と PVIN\_LDOx 電源電圧を一致させる必要があります。PVIN\_LDOx 電圧は (構成済み VOUT) および (構成済み VOUT + 200mV) の範囲内である必要があります。これに違反すると不安定になる可能性があります。

バイパス モードまたは LSW モードでは、LDO はスイッチとして機能します。ここで、VOUT は VIN から FET 抵抗 ( $R_{BYPASS}$ 、 $R_{LSW}$ ) の電圧降下を差し引いた値となります。

**出力キャパシタンス要件**

LDO レギュレータは、安定動作のために十分な出力キャパシタンスを必要とします。必要な最小容量およびサポートされる最大容量は、設定によって異なります。

- LDO モードでは、最小 1.6 $\mu$ F の静電容量が必要で、最大合計負荷容量 (出力フィルタと負荷点組み合わせた場合) 20 $\mu$ F がサポートされています
- LSW モードでは、最小 1.6 $\mu$ F の静電容量が必要で、最大合計容量 (出力フィルタと負荷点組み合わせた場合) 50 $\mu$ F がサポートされています

**LDO3 および LDO4: 300mA、1.2V~3.3V**

LDO3 と LDO4 は、SoC または周辺装置のアナログ回路に電力を供給する汎用 LDO です。LDO の入力電圧範囲は 2.2V~5.5V で、システム電源に直接、または降圧コンバータの出力に接続できます。これらの LDO には、VSYS と LDO 出力電圧の間に最小 150mV のヘッドルームが必要です。出力電圧は、1.2V~3.3V の範囲で 50mV ステップでプログラム可能です。どちらの LDO も最大 300mA をサポートしています。LDO はロードスイッチとして動作するよう構成できます。この場合、2.2V~5.5V の出力電圧がサポートされています。目的の電圧を LDOx\_VOUT レジスタで構成する必要はありません。

これらの LDO は出力容量が制限された高速ランプモードと低速ランプモードをサポートしているため、総負荷容量を大きくすることができます。

**出力キャパシタンス要件**

LDO レギュレータは、安定動作のために十分な出力キャパシタンスを必要とします。必要な最小容量およびサポートされる最大容量は、設定によって異なります。

- 低速ランプの LDO モードまたは LSW モードでは、最小 1.6 $\mu$ F の静電容量が必要で、最大合計容量 (出力フィルタと負荷点を組み合わせた場合) 30 $\mu$ F がサポートされています
- 高速ランプの LDO モードまたは LSW モードでは、最小 1.6 $\mu$ F の静電容量が必要で、最大合計容量 (出力フィルタと負荷点を組み合わせた場合) 15 $\mu$ F がサポートされています

**LDO1、LDO2、LDO3、LDO4**

- アクティブ状態での LDO のオン/オフ状態は、ENABLE\_CTRL レジスタ内の対応する LDOx\_EN ビットによって制御されます。
- スタンバイ状態での LDO のオン/オフ状態は、STBY\_1\_CONFIG レジスタの対応する LDOx\_STBY\_EN ビットによって制御されます。
- 初期化状態では、ビット設定にかかわらず、LDO はオフになります。

**注意**

リニア レギュレータをまったく使用しない場合は、VLDOx ピンをフローティング状態のままにしておく必要があります。

- 各 LDO は、リニア レギュレータまたはロードスイッチ (LSW モード) として構成できます。LDO1 と LDO2 はバイパスモードでも動作できます。このモードは、LDOx\_VOUT レジスタの LDOx\_LSW\_CONFIG ビットと LSW\_BYP\_CONFIG ビットによって、レギュレータごとに構成します。

**注意**

LDO (/BYPASS) モードと LSW モード間のモード変更は、レギュレータが無効なときにのみ実行する必要があります。

(LDO とバイパス モード間の変更 (LDO1 と LDO2 でのみサポート) は動作中に対応しています)

- LDO には、アクティブ放電機能があります。LDOx が無効な時は常に、出力はグランドに放電されます。放電機能は、DISCHARGE\_CONFIG レジスタのレールごとに個別に無効化できます。
- (初期化状態またはスタンバイ状態から) アクティブ状態へのシーケンスの前に、デバイスは、プリバイアスされた出力での起動を防ぐために、放電構成にかかわらず無効なレールを放電します。
- I2C コマンドでレールを有効化する場合、アクティブ放電は強制されませんが、出力電圧が SCG しきい値以下である場合のみレールが有効化されます。
- このレジスタは EEPROM に保存されず、デバイスがオフ状態になるとリセットされます。
- 初期化状態(リセット中または I2C オフ要求中)では、放電構成はリセットされません。注:放電機能が無効な場合、パワーダウン シーケンシングが中断される可能性があります

**LDO 故障対応**

- TPS65219 は、LDO 出力の低電圧を検出します。低電圧の検出に対する応答は、INT\_MASK\_LDOS レジスタの LDOx\_UV\_MASK ビットの設定と、INT\_MASK\_BUFS レジスタの MASK\_EFFECT によって異なります。マスクされていない場合、デバイスは INT\_LDO\_1\_2\_IS\_SET ビットをそれぞれ、INT\_SOURCE レジスタの INT\_LDO\_3\_4\_IS\_SET ビット、INT\_LDO\_1\_2 レジスタと INT\_LDO\_3\_4 レジスタの INT\_LDO\_1\_2 ビットに設定します。

電圧遷移中 (DVFS\_SD ピンまたは I2C コマンドを切り替えてパワーアップまたはトリガ)、デバイスはフォルトで低電圧検出をブランクにし、電圧遷移が完了した時点で低電圧検出を有効化します。

デバイスが(初期化状態またはスタンバイ状態から)アクティブ状態への遷移中に低電圧を検出し、UV がマスクされていない場合、現在のスロットが終了した時点で電源オフ シーケンスが開始されます。

デバイスがアクティブ状態またはスタンバイ状態で低電圧を検出し、UV がマスクされていない場合、電源オフ シーケンスは即座に開始されます。OC 検出はマスクできません。

**注意**

LDO がバイパス モードまたは LSW モードに構成されている場合、UV 検出はサポートされません。

- TPS65219 には、LDO 出力の電流制限機能が搭載されています。PMIC が  $t_{DEGLITCH\_OC\_short}$  の間、それぞれ  $t_{DEGLITCH\_OC\_long}$  の間の過電流を検出した場合 (レールごとに OC\_DEGL\_CONFIG レジスタの EN\_LONG\_DEGL\_FOR\_OC\_LDOx で個別に構成可能で立ち上がりエッジのみに適用)、デバイスは INT\_LDO\_1\_2\_IS\_SET をそれぞれ INT\_SOURCE レジスタの INT\_LDO\_3\_4\_IS\_SET ビット、および INT\_LDO\_1\_2 と INT\_LDO\_3\_4 レジスタの LDOx\_OC ビットに設定します。影響を受けたレールは即座に無効化されます。

電圧遷移中 (VSEL\_SD ピンまたは I2C コマンドを切り替えてパワーアップまたはトリガ)、過電流検出は無効化され、電圧遷移が完了した時点で有効になります。

過電流が(初期化状態またはスタンバイ状態から)アクティブ状態への遷移中に発生した場合、デバイスは影響を受けたレールを即座に無効化し、現在のスロットが終了した時点でパワーダウン シーケンシングを開始します。

過電流がアクティブ状態またはスタンバイ状態で発生した場合、デバイスは影響を受けたレールを即座に無効化し、パワーダウン シーケンシングを開始します。

OC 検出はマスクできませんが、デグリッチ時間は構成できます。 $t_{DEGLITCH\_OC\_short}$  を使用することをお勧めします。過電流が長時間継続すると、経年劣化の加速やオーバーシュートの発生の原因になります。

- TPS65219 は、LDO 出力の接地への短絡(SCG) 故障を検出します。SCG イベントを検出した場合の反応として、INT\_SOURCE レジスタ内の INT\_LDO\_1\_2\_IS\_SET または INT\_LDO\_3\_4\_IS\_SET ビット、INT\_LDO\_1\_2 また

は INT\_LDO\_3\_4 レジスタ内の LDOx\_SCG ビットがそれぞれ設定されます。影響を受けたレールは即座に無効化されます。デバイスはすべての出力をシーケンスダウンし、初期化状態に遷移します。

SCG 検出はマスクできません。

レールが有効化されると、デバイスは最初に SCG 検出を無効化して、レールが SCG スレッショルドを超えるのを許可します。

- TPS65219 は、LDO 出力の残留電圧 (RV) 故障を検出します。RV イベントを検出した場合の反応として、INT\_SOURCE レジスタ内の INT\_RV\_IS\_SET ビット、および INT\_RV レジスタ内の LDOx\_RV ビットが設定されます。RV 検出はマスクできませんが、nINT 反応は INT\_MASK\_WARM レジスタの MASK\_INT\_FOR\_RV により、すべてのレールに対してグローバルに構成できます。デバイスはマスクの有無にかかわらず LDOx\_RV フラグを設定し、nINT がアサートされている場合にのみ INT\_RV\_IS\_SET ビットを設定します。故障反応時間と潜在的な状態遷移は、故障が検出された状況によって異なります。
  - デバイスが初期化状態でオンまたはオフ要求中に残留電圧を検出した場合、PMIC は電源投入をゲートし、デバイスは初期化状態に留まります。4Ms から 5ms 以上の間 RV 条件が存在する場合、デバイスは LDOx\_RV ビットを設定しますが、RV 条件が存在する限り初期化状態のままでです。オン要求がまだ有効であれば、RV 条件がそれ以上存在しない場合、デバイスはアクティブ状態に遷移します。
  - デバイスが電源投入中、アクティブからスタンバイ、またはスタンバイからアクティブへの移行中に残留電圧を検出した場合、シーケンスは中止され、デバイスはパワーダウンします。
  - デバイスがスタンバイ状態中に無効化されたレールで 80ms 以上残留電圧を検出した場合、スタンバイ状態から出る要求時にデバイスは初期化状態に遷移します。デバイスは RV 条件が 4ms から 5ms、かつ 80ms 未満の間続いた場合に LDOx\_RV ビットを設定します。
  - デバイスが電源投入中、アクティブからスタンバイ、またはスタンバイからアクティブへの移行中に残留電圧を検出した場合、シーケンスは中止され、デバイスはパワーダウンします。
  - I2C によるレールの EN コマンド中にデバイスが残留電圧を検出した場合、LDOx\_RV フラグは直ちに設定されますが、状態遷移は発生しません。
- LDO には、ローカル過熱センサが搭載されています。温度警告に対する応答は、INT\_MASK\_BUCCS レジスタの各 SENSOR\_x\_WARM\_MASK ビットの設定と、MASK\_EFFECT ビットの設定によって異なります。センサの温度が  $T_{WARM\_Rising}$  を超えていて、マスクされていない場合、デバイスは INT\_SOURCE レジスタの INT\_SYSTEM\_IS\_SET ビットと、INT\_SYSTEM レジスタの SENSOR\_x\_WARM ビットを設定します。センサが  $T_{HOT\_Rising}$  を超える温度を検出した場合、コンバータの消費電力と接合部温度は安全動作値を超えます。デバイスは、すべてのアクティブ出力を直ちにパワーダウンし、INT\_SOURCE レジスタの INT\_SYSTEM\_IS\_SET ビットと INT\_SYSTEM レジスタの SENSOR\_x\_HOT ビットを設定します。TPS65219 は、温度が  $T_{WARM\_FAlling}$  スレッショルド値 ( $T_{WARM}$  がマスクされている場合は  $T_{HOT\_FAlling}$  スレッショルド値) を下回ると自動的に回復します。 $_HOT$  ビットは設定されたままとなり、「1」を書き込むことでクリアする必要があります。HOT 検出はマスクできません。

表 7-2. LDO 出力電圧設定

LDOx_VSET [10 進数]	LDOx_VSET [2 進数]	LDOx_VSET [16 進数]	VOUT (LDO1 および LDO2, LDO モード) [V]	VOUT (LDO1 および LDO2, バイパスモード) [V]	VOUT (LDO3 および LDO4, LDO モード) [V]
0	000000	00	0.60	予約済み	1.20
1	000001	01	0.65	予約済み	1.20
2	000010	02	0.70	予約済み	1.20
3	000011	03	0.75	予約済み	1.20
4	000100	04	0.80	予約済み	1.20
5	000101	05	0.85	予約済み	1.20
6	000110	06	0.90	予約済み	1.20
7	000111	07	0.95	予約済み	1.20
8	001000	08	1.00	予約済み	1.20
9	001001	09	1.05	予約済み	1.20

表 7-2. LDO 出力電圧設定 (続き)

LDOx_VSET [10 進数]	LDOx_VSET [2 進数]	LDOx_VSET [16 進数]	VOUT(LDO1 および LDO2, LDO モード) [V]	VOUT (LDO1 および LDO2, バイパスモード) [V]	VOUT (LDO3 および LDO4, LDO モード) [V]
10	001010	0A	1.10	予約済み	1.20
11	001011	0B	1.15	予約済み	1.20
12	001100	0C	1.20	予約済み	1.20
13	001101	0D	1.25	予約済み	1.25
14	001110	0E	1.30	予約済み	1.30
15	001111	0F	1.35	予約済み	1.35
16	010000	10	1.40	予約済み	1.40
17	010001	11	1.45	予約済み	1.45
18	010010	12	1.50	1.50	1.50
19	010011	13	1.55	1.55	1.55
20	010100	14	1.60	1.60	1.60
21	010101	15	1.65	1.65	1.65
22	010110	16	1.70	1.70	1.70
23	010111	17	1.75	1.75	1.75
24	011000	18	1.80	1.80	1.80
25	011001	19	1.85	1.85	1.85
26	011010	1A	1.90	1.90	1.90
27	011011	1B	1.95	1.95	1.95
28	011100	1C	2.00	2.00	2.00
29	011101	1D	2.05	2.05	2.05
30	011110	1E	2.10	2.10	2.10
31	011111	1F	2.15	2.15	2.15
32	100000	20	2.20	2.20	2.20
33	100001	21	2.25	2.25	2.25
34	100010	22	2.30	2.30	2.30
35	100011	23	2.35	2.35	2.35
36	100100	24	2.40	2.40	2.40
37	100101	25	2.45	2.45	2.45
38	100110	26	2.50	2.50	2.50
39	100111	27	2.55	2.55	2.55
40	101000	28	2.60	2.60	2.60
41	101001	29	2.65	2.65	2.65
42	101010	2A	2.70	2.70	2.70
43	101011	2B	2.75	2.75	2.75
44	101100	2C	2.80	2.80	2.80
45	101101	2D	2.85	2.85	2.85
46	101110	2E	2.90	2.90	2.90

表 7-2. LDO 出力電圧設定 (続き)

LDOx_VSET [10 進数]	LDOx_VSET [2 進数]	LDOx_VSET [16 進数]	VOUT(LDO1 および LDO2, LDO モード) [V]	VOUT (LDO1 および LDO2、バイパスモード) [V]	VOUT(LDO3 および LDO4, LDO モード) [V]
47	101111	2F	2.95	2.95	2.95
48	110000	30	3.00	3.00	3.00
49	110001	31	3.05	3.05	3.05
50	110010	32	3.10	3.10	3.10
51	110011	33	3.15	3.15	3.15
52	110100	34	3.20	3.20	3.20
53	110101	35	3.25	3.25	3.25
54	110110	36	3.30	3.30	3.30
55	110111	37	3.35	3.35	3.30
56	111000	38	3.40	3.40	3.30
57	111001	39	3.40	3.40	3.30
58	111010	3A	3.40	3.40	3.30
59	111011	3B	3.40	3.40	3.30
60	111100	3C	3.40	3.40	3.30
61	111101	3D	3.40	3.40	3.30
62	111110	3E	3.40	3.40	3.30
63	111111	3F	3.40	3.40	3.30

### 7.3.7 割り込みピン (nINT)

パワーアップ時、nINT ピンの出力は INT\_SOURCE フラグの設定の有無と INT\_MASK\_BUCKS レジスタ内の MASK\_EFFECT ビットの設定に依存します。1 つ以上のフラグが設定されている場合、nINT ピンは Low にプルされ、「1」を書き込んでこれらのフラグがクリアされた後にのみ High に解除されます。なお、nINT ピンはプルアップ用の VIO 電圧が利用可能な場合にのみ High へ遷移できます。

アクティブまたはスタンバイ状態では、nINT ピンはイベントまたは故障状態をホスト プロセッサに通知します。IC で故障またはイベントが発生するたびに、対応する割り込みビットが INT レジスタに設定され、オープンドレイン出力が Low に駆動されます。デバイスが初期化状態に遷移した場合、オフ要求と故障のどちらによって遷移がトリガされたかにかかわらず、nINT ピンも同様に Low になります。

故障が解消された場合、故障ビットに対して W1C(「1」を書き込むことでクリア)を実行する必要があります。また、このコマンドにより、nINT ピンを解放することもできます(Hi-Z 状態に戻る)。

故障が解消されない場合、対応するビットは設定されたままとなり、INT ピンは Low のままでです。

UV 故障は、INT\_MASK\_UV レジスタで、レールごとに個別にマスクできます。温度センサは、MASK\_CONFIG レジスタの SENSOR\_x\_WARM\_MASK で個別にマスクできます。UV と WARM のマスクの影響は、MASK\_CONFIG レジスタの MASK\_EFFECT ビットでグローバルに定義されます。

RV 故障に対する nINT の反応は、MASK\_CONFIG レジスタの MASK\_INT\_FOR\_RV ビットでグローバルに定義されます。

- 00b = 状態変更なし、nINT 応答なし、ビットセットなし
- 01b = 状態変更なし、nINT 応答なし、ビットセット
- 10b = 状態変更なし、nINT 応答、ビットセット(11b と同じ)
- 11b = 状態変更なし、nINT 応答、ビットセット(10b と同じ)

### 注意

マスキングは、デバイスやシステムにリスクをもたらします。I2C コマンドによってマスクを実行する場合、初期化状態に遷移した後、マスキング ビットは EEPROM ベースのデフォルトにリセットされます。I2C 経由で新たに SD 故障として設定された故障に対応するビットはクリアされません。

同じレールで OC 検出と UV 検出をマスクすることは推奨されていません。

### 7.3.8 PWM/PFM および低消費電力モード (MODE/STBY)

TPS65219 は、I2C 制御または MODE/STBY ピンを通じて低電力モードをサポートします。ピンの構成は、MFP\_2\_CONFIG レジスタの MODE\_STBY\_CONFIG で選択します。このピンの極性は、MFP\_1\_CONFIG レジスタの MODE\_STBY\_POLARITY に書き込むことで構成できます。パワーアップ後は、極性構成は変更しないでください。MODE/RESET または MODE/STBY のみを MODE として構成する必要があります。両方が MODE に構成されている場合、MODE/RESET が優先され、MODE/STBY は無視されます。

#### 「MODE」として構成される MODE/STBY:

- 「MODE」として構成した場合、ピンの状態によって降圧コンバータのスイッチングモードが決まります。
- このピンを  $t_{DEGLITCH\_MFP}$  よりも長く強制的にアサートすると、降圧レギュレータは(負荷電流にかかわらず) PWM モードに強制されます。このピンを Low にデアサートすると、降圧レギュレータは PFM モードに移行できます。PFM への移行と PFM からの移行は、負荷電流によって制御されます。1 つのピンのみ、MODE/STBY または MODE/RESET のみを MODE として構成する必要があります。
- 自動 PFM/強制 PWM の選択は、MFP\_1\_CONFIG レジスタの MODE\_I2C\_CTRL ビットに書き込むことでも制御できます。
- モード変更によって状態遷移は発生しません。
- 3 基の降圧コンバータのいずれかのパワーアップ時に、モード変更はこのレールで無効となり、ランプの完了した後にのみ有効になります。

#### 「STBY」として構成される MODE/STBY:

- このピンを  $t_{DEGLITCH\_MFP}$  を超えて強制すると、STBY\_1\_CONFIG および STBY\_2\_CONFIG レジスタでオフに設定されたレールがシーケンスダウンします。このピンをデアサートすると、選択したレールが再度シーケンスされます。
- スタンバイ状態中に I2C 通信がサポートされている場合、スタンバイ状態からの遷移は、MFP\_CTRL レジスタの STBY\_I2C\_CTRL ビットに書き込むことでも制御できます。
- MODE/STBY ピンを「STBY」として構成すると、定義によって状態遷移が発生します。
- ピンの設定に関係なく、デバイスは常にアクティブ状態に起動します。デバイスは、アクティブ状態に移行した後のみ、STBY ピンの状態または I2C コマンドに応答します。

#### 「MODE & STBY」として構成される MODE/STBY:

- このピンは、MODE と STBY を同時に実行するように構成できます
- このピンを  $t_{DEGLITCH\_MFP}$  よりも長く強制すると、STBY\_1\_CONFIG および STBY\_2\_CONFIG レジスタでオフに設定されたレールがシーケンスダウンし、自動 PFM エントリが可能になります (疑似固定周波数モードでのみ適用)。このピンをデアサートすると、選択した複数のレールが再度オンになり、降圧レギュレータは強制的に PWM になります。この構成では、極性設定を調和させる必要があります。
- スタンバイ状態への遷移およびスタンバイ状態からの遷移が、MFP\_CTRL レジスタの STBY\_I2C\_CTRL ビットへの書き込みによって指示された場合 (スタンバイ状態中の I2C 通信がサポートされている場合)、モードの変更には、MFP\_1\_CONFIG レジスタの MODE\_I2C\_CTRL ビットへの書き込みによる別のコマンドが必要です。
- MODE/STBY ピンを「MODE&STBY」として構成すると、定義によって状態遷移が発生します。
- デフォルトでは、STBY はデアサートされ、デバイスがパワーアップ シーケンスを完了するまで、このピンは無視されます。3 基の降圧コンバータのいずれかのパワーアップ時に、モード変更はこのレールで無効となり、ランプの完了した後にのみ有効になります。STBY ピンによって指示された状態変更は、レールがランプしているときでも反応します (初期化からアクティブへの遷移中を除く)。

ピンコマンドおよび I2C コマンドについては、以下の真理値表を参照してください。

**表 7-3. MODE/STBY 構成**

ピン名	ピン構成 (MODE_STBY_CON FIG)	ピンの極性 (MODE_STBY_POL ARITY)	ピンの状態 (回路図)	I2C 制御 (MODE_I2C_CTRL)	結果関数
モード/スタンバイ	モード	X	X	1h	強制 PWM
モード/スタンバイ	モード	0h	L	0h	自動 PFM
モード/スタンバイ	モード	0h	H	0h	強制 PWM
モード/スタンバイ	モード	1h	L	0h	強制 PWM
モード/スタンバイ	モード	1h	H	0h	自動 PFM
モード/スタンバイ	STBY	0	L	X	STBY
モード/スタンバイ	STBY	0	H	X	アクティブ
モード/スタンバイ	STBY	1	L	X	アクティブ
モード/スタンバイ	STBY	1	H	X	STBY

### 7.3.9 PWM/PFM およびリセット (MODE/RESET)

このピンは代替モードピン (MODE/STBY が STBY 機能に構成されている場合) または RESET ピンとして構成できます。ピンの構成は、MFP\_2\_CONFIG レジスタの MODE\_RESET\_CONFIG で選択します。このピンの極性は、MFP\_1\_CONFIG レジスタの MODE\_RESET\_POLARITY に書き込むことで構成できます。パワーアップ後は、極性構成は変更しないでください。MODE/RESET または MODE/STBY のみを MODE として構成する必要があります。両方が MODE に構成されている場合、MODE/RESET が優先され、MODE/STBY は無視されます。

#### 「MODE」として構成される MODE/RESET:

- 「MODE」として構成した場合、ピンの状態によって降圧コンバータのスイッチングモードが決まります。
- このピンを  $t_{DEGLITCH\_MFP}$  よりも長く強制的にアサートすると、降圧レギュレータは(負荷電流にかかわらず) PWM モードに強制されます。このピンを Low にデアサートすると、降圧レギュレータは PFM モードに移行できます。PFM への移行と PFM からの移行は、負荷電流によって制御されます。1 つのピンのみ、MODE/STBY または MODE/RESET のみを MODE として構成する必要があります。
- 自動 PFM/強制 PWM の選択は、MFP\_1\_CONFIG レジスタの MODE\_I2C\_CTRL ビットに書き込むことでも制御できます。
- モード変更によって状態遷移は発生しません。
- 3 基の降圧コンバータのいずれかのパワーアップ時に、モード変更はこのレールで無効となり、ランプの完了した後のみ有効になります。

#### 「RESET」として構成される MODE/RESET:

- リセット構成では、このピンはエッジ センシティブですが、グリッチ除去時間が適用されます。その結果、このピンをトグルし、 $t_{DEGLITCH\_RESET}$  よりも長い間ピンを保持するとリセットが発生します。
- デフォルトでは、RESET はデアサートされ、ピンまたは I2C によるリセット要求は、デバイスがアクティブ状態、スタンバイ状態、またはこれら 2 つの状態間で遷移している場合にのみ処理されます。
- TPS65219 はウォームリセットまたはコールドリセットをサポートします。この構成は、MFP\_2\_CONFIG レジスタの WARM\_COLD\_RESET\_CONFIG ビットで行います。
  - コールドリセットに構成される場合、デバイスはパワーダウン シーケンスを実行し、初期化状態に遷移します。その後、故障もオフ要求もない場合、EEPROM はリロードされ、通常のパワーアップ シーケンスでレールの電源が再び投入されます。コールドリセットの実行により、POWER\_UP\_STATUS\_REG レジスタの COLD\_RESET\_ISSUED ビットが設定されます。このビットの読み出しにより、コールドリセットが実行されたかどうか

かを追跡できます。このビットは、リセットが I2C またはピンのどちらで命令されたかにかかわらず、設定されます。このビットに基づいて nINT ピンはトグルしません。W1C を書き込むと、このビットがクリアされます。

- ウォームリセットに構成される場合、有効化されたすべてのレールはオンのままであるが、ダイナミック電圧変化をサポートするレールの出力電圧はブート電圧にリセットされます。具体的には、次の構成がブート値にリセットされます。BUCK1\_VSET、BUCK2\_VSET、BUCK3\_VSET、LDO1\_VSET、LDO2\_VSET、LDO1\_BYP\_CONFIG、LDO2\_BYP\_CONFIG、VSEL\_SD\_I2C\_CTRL。

その他のビットは、同じレジスタにある場合でも、現在の状態のままである。たとえば、ウォームリセット中、LDOx\_LSW\_CONFIG、BUCKx\_BW\_SEL、BUCKx\_UV\_THR\_SEL、MFP\_1\_CONFIG レジスタビットはリセットされません。

ウォームリセットは、VSEL\_SD ピンコマンドをオーバーライドできません。つまり、ウォームリセットが発生した場合でも、VSEL\_SD ピンが 1.8V-LDO モードを指示していると、その値は有効です。

- リセットは、MFP\_CTRL レジスタの COLD\_RESET\_I2C\_CTRL ビットをそれぞれ WARM\_RESET\_I2C\_CTRL ビットに書き込むことでもトリガできます。

#### 注

シャットダウン故障とオフ要求は、リセット要求よりも優先されます。これらのいずれかと同時にリセット要求が発生した場合、デバイスは初期化状態に入り、起動するには新たにオン要求が必要になります。

ピンまたは I2C によるリセット要求は、アクティブ状態、スタンバイ状態、またはこれら 2 つの状態間の遷移でのみ処理されます。

ピンコマンドおよび I2C コマンドについては、以下の真理値表を参照してください。

**表 7-4. MODE/RESET 構成**

ピン名	ピン構成 (MODE_RESET_CONFIG)	ピンの極性 (MODE_RESET_POLARITY)	ピンの状態 (回路図)	I2C 制御 (MODE_I2C_CTRL)	結果関数
モード / リセット	モード*	x	x	1h	強制 PWM
モード / リセット	モード*	0h	L	0h	自動 PFM
モード / リセット	モード*	0h	H	0h	強制 PWM
モード / リセット	モード*	1h	L	0h	強制 PWM
モード / リセット	モード*	1h	H	0h	自動 PFM
モード / リセット	リセット	0	L	x	リセット
モード / リセット	リセット	0	H	x	通常動作
モード / リセット	リセット	1	L	x	通常動作
モード / リセット	リセット	1	H	x	リセット

モードの \* は、MODE/RESET と MODE/STBY の両方が「モード」に設定されている場合、MODE/RESET ピンが優先され、したがって、監視されるピンが MODE/RESET になることを示します。

#### 7.3.10 電圧選択ピン(VSEL\_SD/VSEL\_DDR)

このピンの機能は、MFP\_1\_CONFIG の VSEL\_DDR\_SD によって構成されます。

VSEL\_SD として構成した場合、MFP\_1\_CONFIG レジスタの VSEL\_RAIL ビットが LDO1 または LDO2 を選択しピンによって制御されます。パワーアップ後は、構成は変更しないでください。

**VSEL\_SD/VSEL\_DDR を「VSEL\_SD」として構成: SD カード IO の選択:**

このピンの極性は、MFP\_1\_CONFIG レジスタの VSEL\_SD\_POLARITY に書き込むことで構成できます。ピンを切り替えると、選択した LDO の出力電圧が、ハードコーディングされた 1.8V と LDOx\_VOUT に構成された電圧の間で変化します。SD カード IO 電源の場合、LDOx\_VOUT を 3.3V に構成する必要があります。VSEL\_SD ステータスの変更によって状態遷移は発生しません。

**注意**

SD カード構成では、起動時に LDO が 3.3V を供給するように、ピンの極性を構成し、ピンを駆動する必要があります。

**VSEL\_SD/VSEL\_DDR を「VSEL\_DDR」として構成:**

このピンを High にすると、Buck3 の出力電圧が 1.35V (DDR3LV) に設定され、ピンをフローティングにすると、Buck3 の出力電圧が 1.2V (DDR4、LP-DDR3、一部の LP-DDR2) に設定され、このピンを Low にすると、BUCK3\_VOUT で構成された Buck3 電圧の出力電圧が設定されます。LP-DDR4 の場合、BUCK3\_VOUT を 1.1V に構成する必要があります。

**注意**

この機能はハードワイヤードにする必要があるため、動作中に変更しないでください。

**注意**

I2C コマンドを使用すると、SD カードに対して選択された LDO レールを切り替えることができるため、VSEL\_RAIL は、SD カード IO 電圧を供給する LDO 用に構成する必要があります。ピンが VSEL\_DDR として構成されている場合、VSEL\_SD\_POLARITY ビットは無効です。

以下の表に、さまざまな組み合わせを示します。

**表 7-5. VSEL\_SD/VSEL\_DDR 構成オプション**

ピン構成 (VSEL_DDR_SD)	ピンの極性 (VSEL_SD_POLARITY)	レールの選択 (VSEL_RAIL)	ピンの状態 (回路図)	I2C 制御 (VSEL_SD_I2C_CTRL)	結果関数
DDR	該当なし	0 = LDO1 1 = LDO2 (I2C の制御に必要)	L	0h: LDOx = 1.8V 1h: LDOx = LDOx_VSET	BUCK3 = Buck3_VSET
DDR	該当なし	0 = LDO1 1 = LDO2 (I2C の制御に必要)	オープン	0h: LDOx = 1.8V 1h: LDOx = LDOx_VSET	BUCK3 = 1.2 V
DDR	該当なし	0 = LDO1 1 = LDO2 (I2C の制御に必要)	H	0h: LDOx = 1.8V 1h: LDOx = LDOx_VSET	BUCK3 = 1.35
SD	0	0 = LDO1	L	x	LDO1 = 1.8 V
SD	0	0 = LDO1	H	x	LDO1 = LDO1_VSET
SD	1	0 = LDO1	L	x	LDO1 = LDO1_VSET
SD	1	0 = LDO1	H	x	LDO1 = 1.8 V
SD	0	1 = LDO2	L	x	LDO2 = 1.8 V
SD	0	1 = LDO2	H	x	LDO2 = LDO2_VSET
SD	1	1 = LDO2	L	x	LDO2 = LDO2_VSET
SD	1	1 = LDO2	H	x	LDO2 = 1.8 V

### 7.3.11 液晶入力または出力 (GPO1, GPO2, GPIO)

GPO1 および GPO2 ピンは常に出力として構成されます。

GPIO ピンは入力/出力ですが、入力機能はマルチ PMIC 構成でのみ使用されます。シングル PMIC 構成では、このピンを出力として使用できます。状態は、MFP\_CTRL レジスタの GPIO\_STATUS ビットをポーリングすることで、読み取ることができます。

GPIO ピンの I/O 構成は、MFP\_1\_CONFIG レジスタの MULTI\_DEVICE\_ENABLE ビットによって行われます。

出力として構成されている場合、このピンを使用して外部レールのシーケンスを実行できます。GP(I)O は、GENERAL\_CONFIG レジスタの GPO<sub>x</sub>\_EN と GPO\_EN ビットに書き込むことで、シーケンスに含めることも、I2C インターフェイス経由で制御することもできます。起動すると、GPO は High に解除されます。

より多くのレールを供給する必要があり、同期のために複数の TPS65219 が必要な場合、GPIO 機能を使用します。使用方法については、「アプリケーション」セクションを参照してください。詳細については、「マルチ PMIC 動作」セクションを参照してください。

これらのピンの極性は変更できません。

### 7.3.12 I<sup>2</sup>C 互換インターフェイス

TPS65219 のデフォルト I<sup>2</sup>C1 7 ビットデバイス アドレスは 0x30 (バイナリでは 0b0110000) に設定されていますが、必要に応じてマルチ PMIC 操作などに変更できます。

I<sup>2</sup>C 互換同期シリアル インターフェイスにより、デバイスの構成可能な機能およびレジスタにアクセスできます。このプロトコルは、2 線式インターフェイスにより、バスに接続されたデバイス間の双方向通信を実現します。2 つのインターフェイスラインは、シリアル データライン (SDA) とシリアル クロック ライン (SCL) です。バス上の各デバイスは、固有のアドレスを割り当てられ、シリアル クロック SCL を生成するか受信するかに応じて、コントローラまたはターゲットとして動作します。SCL および SDA ラインは、それぞれライン上にプルアップ抵抗を配置して、バスがアイドル状態でも HIGH に維持する必要があります。VIO が 3.3V または 1.8V の場合、TPS65219 はスタンダード モード (100kHz)、ファスト モード (400kHz)、ファスト モード+(1MHz) をサポートします。

#### 7.3.12.1 データの有効性

SDA ラインのデータは、クロック信号 (SCL) の HIGH 期間中は安定している必要があります。言い換えれば、データ ラインの状態は、クロック信号が LOW のときにしか変更できません。

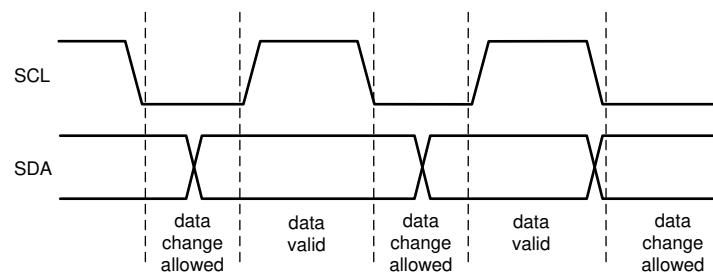


図 7-4. データ有効性を示す図

#### 7.3.12.2 START 条件と STOP 条件

このデバイスは、I<sup>2</sup>C 互換のシリアル インターフェイス経由で制御されます。START 条件と STOP 条件により、I<sup>2</sup>C セッションの開始と終了を規定します。START 条件は、SCL ラインが HIGH の間に SDA が HIGH から LOW へ移行することと定義されています。STOP 条件は、SCL ラインが HIGH の間に SDA が LOW から HIGH へ移行することと定義されています。I<sup>2</sup>C コントローラは常に START 条件と STOP 条件を生成します。

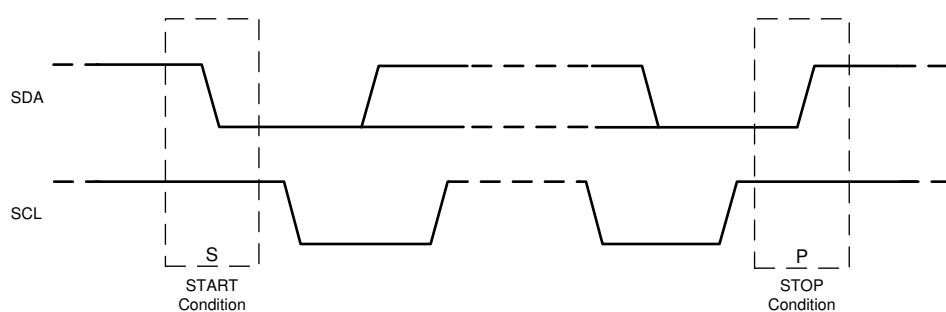


図 7-5. 開始と停止のシーケンシング

I<sup>2</sup>C バスは、START 条件の後はビジー状態とみなされ、STOP 条件の後はフリーとみなされます。I<sup>2</sup>C コントローラ デバイスは、データ転送中に REPEAT-START 条件を生成できます。START 条件と REPEAT-START 条件は、機能的には同じです。図 7-6 は、I<sup>2</sup>C 互換バスにおける SDA と SCL の信号タイミングを示しています。タイミング値については仕様のセクションを参照してください。

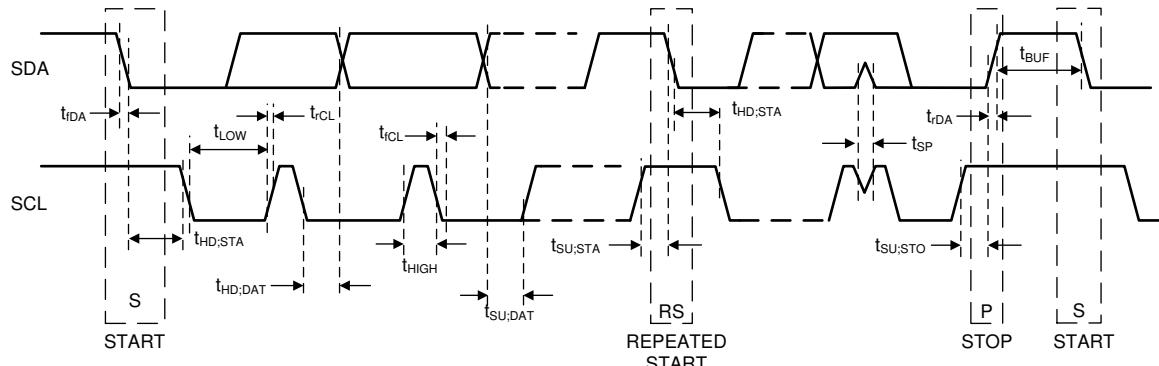


図 7-6. I<sup>2</sup>C 互換タイミング

### 7.3.12.3 データの転送

SDA ライン上の各バイトは 8 ビット長にする必要があり、最上位ビット(MSB)が最初に転送されます。データの各バイトには、アクノリッジ・ビットが続きます。アクノリッジ関連のクロック パルスはコントローラ デバイスにより生成されます。アクノリッジ クロック パルスの間に、コントローラ デバイスは SDA ライン(HIGH)を解放します。デバイスは、9 回目のクロックパルスの間に SDA ラインをプルダウンして、アクノリッジを通知します。このデバイスは、各バイトが受信された後、アクノリッジを生成します。

各バイトの後というアクノリッジの規則には、例外が 1 つあります。コントローラ デバイスがレシーバのときには、フォロワーからクロックされた最後のバイトに否定応答すること(ネガティブ アクノリッジ)により、トランシミッタにデータの終了を通知する必要があります。このネガティブ アクノリッジには、アクノリッジ クロック パルス(コントローラ デバイスが生成)も含まれますが、SDA ラインはプルダウンされません。

START 条件の後、バスコントローラ デバイスはチップ アドレスを送信します。このアドレスは 7 ビット長で、8 番目のビットがデータ方向ビット(読み取りまたは書き込み)として続きます。8 番目のビットについては、0 は書き込み動作、1 は読み取り動作を示します。2 番目のバイトで、データが書き込まれるレジスタを選択します。3 番目のバイトには、選択したレジスタに書き込むデータが含まれます。図 7-7 は、デバイス アドレス 110000-Bin = 60Hex のビットフォーマットの例を示します。

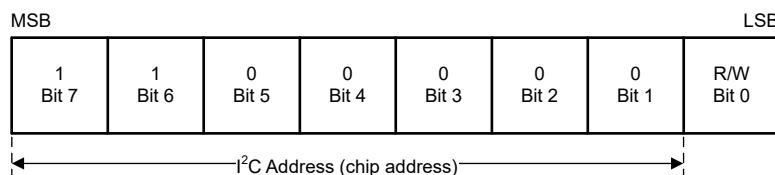


図 7-7. デバイスアドレス例

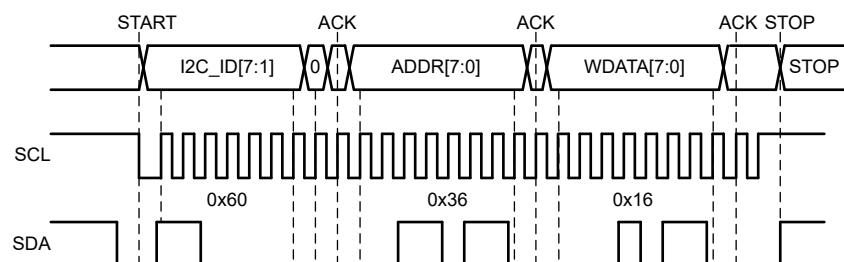
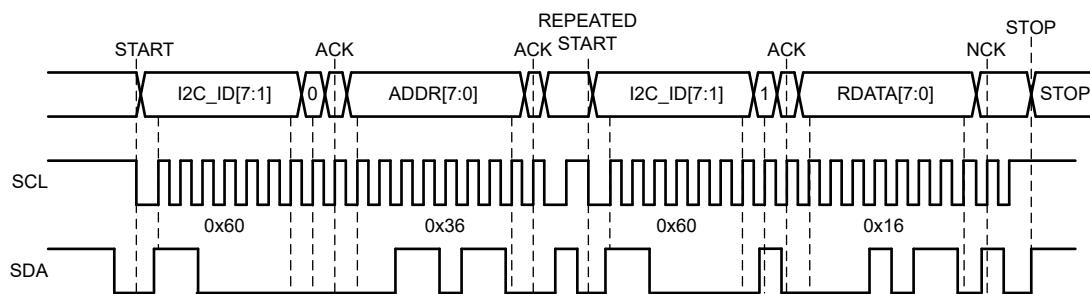


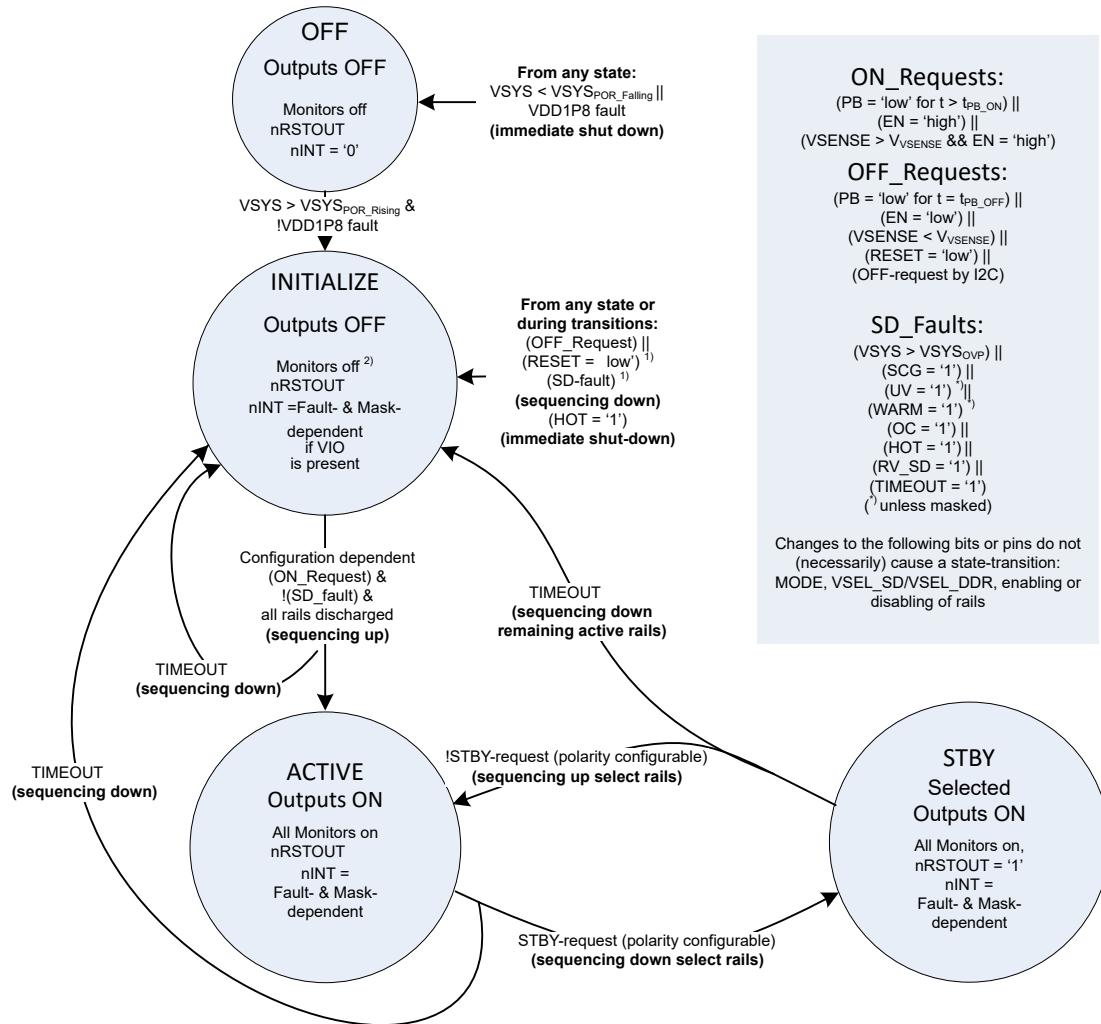
図 7-8. CRC なしの I<sup>2</sup>C 書き込みサイクル



READ 機能を実行するためには、上記のように、READ 機能に先立って WRITE 機能を実行する必要があります。

図 7-9. CRC なしの I<sup>2</sup>C 読み取りサイクル

## 7.4 デバイスの機能モード



- 1) in case of a RESET or a SD-fault, the device transitions from INITIALIZE state to the ACTIVE state without a new Push-button-ON\_Request. In EN or VSENSE configuration, the ON-request must still be valid to transition to ACTIVE state.
- 2) If INITIALIZE state was entered due to a Thermal-Shut-Down, the temperature monitors remain active until the temperature on all sensors fell below  $T_{WARM}$  threshold. Thermal-Shut-Down causes immediate shut-down, no sequencing down

図 7-10. 状態遷移図

### 7.4.1 動作モード

#### 7.4.1.1 OFF 状態

オフ状態では、PMIC に電力が十分に供給されません。内部ロジックも外部レールも使用できません。VSYS が VSYS\_POR 電圧を上回り、1.8V 内部レール (VDD1P8) がレギュレーション状態にある場合、デバイスは初期化状態に入ります。

#### 7.4.1.2 初期化状態

初期化状態では、EN/PB/VSENSE 入力を監視するいくつかの回路を除き、デバイスは完全にシャットダウンされます。初期化状態に移行するたびに、PMIC はメモリを読み出し、レジスタを EEPROM のデフォルト値にロードします。I<sup>2</sup>C 通信インターフェイスはオフになります。

温度センサのいずれかが  $T_{WARM\_Rising}$  スレッショルドを上回り、WARM 検出がマスクされていない場合、初期化状態への移行が制御されます。

EEPROM のロードには約 2.3ms かかります。パワーアップ シーケンスは EEPROM のロード後、すべてのレールが  $V_{BUCKx\_SCG\_TH}$  およびそれぞれが  $V_{LDOx\_SCG\_TH}$  スレッショルド以下に放電された場合にのみ実行できます。

オフ状態から初期化状態に移行した場合、POWER\_UP\_STATUS\_REG レジスタの POWER\_UP\_FROM\_OFF ビットが設定され、write-1-clear が発行されるまで設定されたままになります。このビットの読み出しにより、オフ状態から初期化状態に移行したのか、シャットダウン故障またはオフ要求のために移行したのかを判定できます。

初期化状態では、nINT ピンのステータスは、故障の有無とそのマスキングにより決まります。障害が発生しておらず、またはそれらの nINT に対する反応がマスクされている場合、プルアップ用の VIO 電圧が利用可能であれば、nINT ピンは High になります。

初期化状態からアクティブ状態に遷移するには、次のいずれかのオン要求が発生する必要があります。

- EN 入力が「High」になること(EN/PB/VSENSE が「EN」または「VSENSE」として構成されている場合)
- PB 入力が少なくとも  $t_{PB\_ON\_SLOW}$ 、それぞれ  $t_{PB\_ON\_FAST}$  以上の時間、「Low」になること(EN/PB/VSENSE が「PB」として構成されている場合)

#### 注

DISCHARGE\_CONFIG レジスタは、アクティブまたはスタンバイ状態から初期化状態に入る際の RESET から意図的に除外されます。オフ状態から初期化状態に移行すると、EEPROM の内容がロードされます。電源投入後に放電構成が変更された場合、初期化状態がオフ状態から移行したのか、アクティブまたはスタンバイ状態から移行したのかによって、異なる起動動作が発生する可能性があります。

#### 7.4.1.3 アクティブ状態

アクティブ状態は、システムが稼働しているときの通常の動作モードです。すべての有効な降圧コンバータと LDO は動作し、I<sup>2</sup>C インターフェイスにより制御できます。ウェークアップイベント後、PMIC は放電構成にかかわらず、出力上の潜在的な残留電圧を放電します。アクティブ状態は、STBY ピンを high にデアサートするか、または I<sup>2</sup>C コマンドによって、スタンバイ状態から直接入力することもできます。詳細については、STBY 状態の説明を参照してください。スタンバイ状態に遷移するには、STBY ピンを強制的に変更するか、MFP\_CTRL レジスタの STBY\_I2C\_STBY への I<sup>2</sup>C コマンドを発行する必要があります。

初期化状態に遷移するには、次の OFF\_Requests のいずれかが発生する必要があります。

- EN 入力は「low」(EN/PB/VSENSE が「EN」または「VSENSE」として構成されている場合)
- PB 入力は少なくとも  $t_{PB\_OFF}$  の間、「LOW」にプルされます(EN/PB/VSENSE が「PB」として構成されている場合)
- I<sup>2</sup>C のオフ要求が発行されます

アクティブ状態の間にシャットダウン故障(SD\_Fault)が発生すると、TPS65219 アクティブ出力をシーケンスダウンして、初期化状態に遷移します。デバイスは、新しいプッシュボタンオン要求なしにアクティブ状態に遷移します。EN または VSENSE の構成では、アクティブ状態に遷移するために、オン要求がまだ有効である必要があります。

#### 7.4.1.4 STBY 状態

STBY 状態は、システムのスタンバイをサポートするための低消費電力モードです。このモードは、MODE/STBY ピンが「STBY」として設定されている場合、または MFP\_CTRL レジスタの STBY\_I2C\_CTRL への I<sup>2</sup>C コマンドによって遷移できます。通常、この状態では SoC に必要なレールを除き、大半のパワー レールがオフになります。スタンバイ状態でどのレールをパワーダウンするかは、STBY\_1\_CONFIG および STBY\_2\_CONFIG レジスタで設定できます。

モニタリング機能はすべて使用できます。低電圧(UV)、GND 短絡(SCG)、過電流(OC)検出、過熱警告(WARM)とサーマル シャットダウン(TSD/HOT) はアクティブのままです。

STBY がアサート解除された場合、または I2C コマンドを受信した場合(VIO 電源がアクティブのままの場合)、デバイスはアクティブ状態に移行します。スタンバイからアクティブにシーケンスを開始する前に、無効なレールが放電されます。これが 80ms 以内に完了しない場合、もタイムアウト状態になり、初期化状態に遷移します。デバイスは、INT\_TIMEOUT\_RV\_SD レジスタの TIMEOUT ビットと、シャットダウンを引き起こしたレールのフォルト フラグを設定します。

スタンバイ状態の開始および終了シーケンスは、それぞれパワーダウンおよびパワーアップ時と同じです。スタンバイでオンのままのレールはスキップされますが、それぞれのスロットは実行されます。

#### 注意

デバイスは初期化状態からスタンバイ状態に直接遷移できず、最初にアクティブ状態に入る必要があります。

#### 注意

アクティブ状態で有効になっていたレールのみが、スタンバイ状態でも有効のまま維持されます。事前に無効化されたレールは、スタンバイ状態ではオンできません。スタンバイ状態での動作には、LDOx\_EN / BUCKx\_EN と LDOx\_STBY\_EN/BUCKx\_STBY\_EN の AND 条件の組み合わせが必要です。

#### 注意

進行中のシーケンスに関連するレジスタを I2C コマンドで変更しないでください！

初期化状態への遷移を開始した後、NVM 以外のビットには約 80μs の間アクセスできません。

### 7.4.1.5 フォルト処理

#### 検出可能な故障

TPS65219 は、さまざまな故障検出機能を備えています。デフォルトでは、すべての故障検出によりシーケンシングされたシャットダウンが実行されます。一部の故障はマスク可能であり、マスクされた故障に対する動作は構成可能です。

本デバイスは、電源電圧(VSYS) および内部電源電圧(VDD1P8) に関して、以下の故障検出機能を提供します：

- VSYS の低電圧、オフ状態に遷移するか、起動を抑制
- VSYS の過電圧保護、オフ状態に遷移します
- 内部 1.8V 電源(VDD1P8)の低電圧または過電圧、オフ状態に遷移するか、起動を抑制。

これらの故障はすべてマスク不可です。

TPS65219 は、降圧コンバータおよび LDO 出力に対して、以下の故障検出機能を提供します：

- 低電圧検出(UV)
- 正電流および(降圧コンバータの場合)負電流制限に基づく過電流検出(OC)
- GND 短絡(SCG)検出
- 温度警告(WARM)および熱シャットダウン(TSD/HOT)
- 残留電圧(RV)および残留電圧によるシャットダウン(RV\_SD)
- タイムアウト(TO)

SCG、OC、HOT、RV\_SD、TO はマスクできません。これらのいずれかが発生すると、デバイスはパワーダウンします。正電流制限と負電流制限は、レギュレータごとに同じマスクビットを共有します。

UV、RV、および WARM に対する反応は構成可能です。マスクされていない場合、故障が発生するとシーケンシングされたシャットダウンが実行されます。UV、RV、WARM は、それぞれ INT\_MASK\_BUCKS、INT\_MASK\_LDOS、

**INT\_MASK\_WARM** レジスタにおいて、レギュレータごとに個別にマスク可能です。マスクされた故障が発生した場合、状態遷移は発生しません。ビットがセットされるかどうか、および **nINT** が **Low** にプルダウンされるかどうかは、**MASK\_CONFIG** レジスタ内の **MASK\_EFFECT** ビットによってグローバルに設定できます。正電流制限と負電流制限は、レギュレータごとに同じマスクビットを共有します。

- 00b = 状態変更なし、**nINT** 応答なし、ビットセットなし
- 01b = 状態変更なし、**nINT** 応答なし、ビットセット
- 10b = 状態変更なし、**nINT** 応答、ビットセット(11b と同じ)
- 11b = 状態変更なし、**nINT** 応答、ビットセット(10b と同じ)

シャットダウン条件に対応する故障が発生した場合、故障ビットは **I2C** を介して **W1C** (write-one-clear) 操作が実行されるまでアサートされたままとなります(故障がすでに解消されていることが前提です)。シャットダウン故障が発生した場合、新たにオン要求を行う必要はありません。**EN/VSENSE** が **High** のままで、再起動にプッシュボタンの押下が必要ない限り、故障が解消されるとデバイスは自動的に電源投入シーケンスを実行します。

シャットダウン条件ではない故障(例えば故障がマスクされている場合など)については、初期化状態へ移行するとビットがクリアされます。

### 熱警告およびシャットダウン

熱スレッショルドには過熱警告(**WARM**)とサーマル シャットダウン(**TSD/HOT**) の 2 種類があります。

- **過熱警告、WARM** スレッショルド:
  - 温度が  $T_{WARM\_Rising}$  スレッショルドを超える場合、**SENSOR\_x\_WARM** ビットが設定され、**PMIC** シーケンシングが停止します(マスクされている場合を除く)。
  - 温度が  $T_{WARM\_Falling}$  スレッショルドを下回る場合、新しい **Push-button-ON\_Request** なしで、デバイスが再び起動します。**EN** または **VSENSE** の構成では、アクティブ状態に遷移するために、オン要求がまだ有効である必要があります。
  - 温度が  $T_{WARM\_Rising}$  スレッショルドを超えて、**SENSOR\_x\_WARM\_MASK** ビットが設定されている場合、**PMIC** はアクティブ状態のままで。故障報告は、**MASK\_EFFECT** ビットの設定に従って実行されます。プロセッサは、電源を順次オフにするか、実行中のアプリケーションを制限して電力消費を抑えることで、可能な限りサーマル シャットダウンの発生を回避する判断を下します。
  - サーマル シャットダウン、**HOT** スレッショルド。**WARM** スレッショルドがマスクされている場合に適用可能:
  - 温度が  $T_{HOT\_Rising}$  スレッショルドを超えると、**SENSOR\_x\_HOT** ビットが設定され、**PMIC** はすべてのレールの電源を直ちにオフにします。このパワーダウンは同時に行われ、シーケンス化されません。
  - すべてのセンサが **WARM** 検出用にマスクされている(すべての **SENSOR\_x\_WARM\_MASK** ビットが設定されている)場合、温度が  $T_{HOT\_Falling}$  スレッショルドを下回ると、有効なオン要求が存在する場合、**PMIC** は電源をバックアップします。
  - いずれかのセンサが **WARM** 検出用にマスクされていない場合、温度が  $T_{WARM\_Falling}$  スレッショルドを下回ると、新しい **Push-button-ON\_Request** なしで、**PMIC** が電源をバックアップします。**EN** または **VSENSE** の構成では、アクティブ状態に遷移するために、オン要求がまだ有効である必要があります。

### 残留電圧

残留電圧チェックは、初期化からアクティブへの遷移開始前、およびレールが有効化される前の任意の時点で、シーケンス中、**I2C** コマンドの使用、またはスタンバイからアクティブへの遷移中など、さまざまな状況で実行されます。**RV** チェックはシーケンス中にも実行され、無効と見なされるレールが別のレールによってプルアップされているかどうかを検出します。**RV** 故障の処理は、故障が発生したときの状況によって異なります:

- 初期化をアクティブに:
  - シーケンスの実行前に 4ms~5ms を超える残留電圧が検出された場合、**INT\_RV** レジスタの **INT\_RV\_IS\_SET** ビットと **LDOx\_RV** レジスタの **BUCKx\_RV** ビットが設定され、後で放電が成功してオン要求が実行された場合でも、設定されたままになります。
  - シーケンス中に残留電圧が検出された場合、これはシャットダウン故障となり、スロット持続時間の終了時に、デバイスはパワーダウン シーケンシングを開始します。デバイスは、該当の **INT\_TIMEOUT\_RV\_SD\_IS\_SET** を

INT\_SOURCE レジスタに、LDOx\_RV\_SD を BUCKx\_RV\_SD ビットに、TIMEOUT ビットを INT\_TIMEOUT\_RV\_SD レジスタに設定します。

- アクティブをスタンバイに:
  - アクティブな放電が無効化されて、パワーダウン スロット持続時間の 8 倍後に残留電圧が検出された場合、シャットダウン故障が構成されます。デバイスはスロットの終わりにシーケンスダウンします。デバイスは、INT\_TIMEOUT\_RV\_SD\_IS\_SET を INT\_SOURCE レジスタに、LDOx\_RV\_SD を BUCKx\_RV\_SD ビットに、TIMEOUT ビットを INT\_TIMEOUT\_RV\_SD レジスタに設定します。
  - シーケンス中に残留電圧が検出された場合、シャットダウン故障となります。デバイスはスロット持続時間の終了時にシーケンスダウンし、INT\_TIMEOUT\_RV\_SD\_IS\_SET ビットを INT\_SOURCE レジスタに、LDOx\_RV\_SD をそれぞれ INT\_TIMEOUT\_RV\_SD レジスタの BUCKx\_RV\_SD ビットにセットします。
- スタンバイをアクティブに:
  - シーケンスの実行前に 4ms~5ms を超える残留電圧が検出される場合、デバイスは INT\_RV\_IS\_SET ビットを INT\_Source レジスタおよび LDOx\_RV に、BUCKx\_RV ビットを INT\_RV レジスタに設定します。タイムアウトが経過する前に放電が成功し、スタンバイからアクティブへのシーケンスが実行された場合でも、このビットは設定されたままです。
  - シーケンスの実行前に 80ms を超える前に残留電圧が検出される場合、これはシャットダウン故障となります。デバイスはシーケンスダウンし、INT\_TIMEOUT\_RV\_SD\_IS\_SET ビットを INT\_SOURCE レジスタおよび LDOx\_RV\_SD に、BUCKx\_RV\_SD ビットを INT\_TIMEOUT\_RV\_SD レジスタに設定します。さらに、デバイスは TIMEOUT ビットを INT\_TIMEOUT\_RV\_SD レジスタに設定します。
  - シーケンス中に残留電圧が検出された場合、シャットダウン故障となります。デバイスはスロット持続時間の終了時にシーケンスダウンし、INT\_TIMEOUT\_RV\_SD\_IS\_SET ビットを INT\_SOURCE レジスタに、LDOx\_RV\_SD をそれぞれ INT\_TIMEOUT\_RV\_SD レジスタの BUCKx\_RV\_SD ビットにセットします。この場合、TIMEOUT ビットは設定されません。
- アクティブを初期化に、またはスタンバイを初期化に
  - 各レールのパワーダウン スロット時間の終わりに残留電圧が検出されると、次のレールをスロット持続時間の最大 8 倍の時間無効化できますが、残留電圧に関係なくパワー シーケンスは続行されます。この場合、ビットは設定されません。
- RV ビットの MASKING
  - 残留電圧を検出した場合の nINT ピン動作の応答は、MASK\_CONFIG レジスタの MASK\_INT\_FOR\_RV ビットにより、LDOx\_RV ビットと BUCKx\_RV ビットに対してマスクできます。
  - 残留電圧検出の場合のビットもシャットダウン故障の応答も、それぞれ BUCKx\_RV\_SD ビットに対してマスクできません。
- タイムアウト
  - 残留電圧が時間内に放電できない場合、タイムアウトが発生します。INT\_TIMEOUT\_RV\_SD レジスタの TIMEOUT ビットが設定されます。上記の詳細を参照してください。

#### 注

レールのアクティブ放電が無効化される場合、スロット持続時間内にレールの放電が失敗しても、次のレールの無効化は実行されません。

パワーダウン時に、デバイスは放電が無効化されたレールに RV ビットも RV\_SD ビットも設定しません。

**注意**

放電に失敗したシーケンスの前、パワーアップ シーケンシングの間、アクティブまたはスタンバイ状態のいずれであっても、検出されたシャットダウン故障は、リトライ カウンタ (POWER\_UP\_STATUS\_REG レジスタの RETRY\_COUNT) がインクリメントされます。デバイスはパワーアップを 2 回リトライします。両方が失敗した場合、リトライ カウンタをリセットするために VSYS の電源サイクルが必要です。電源投入が成功すると、リトライ カウンタもリセットされます。

故障がマスクされていてシャットダウンできない場合、リトライ カウンタはインクリメントされません。

リトライ カウンタを無効化するには、INT\_MASK\_UV レジスタの MASK\_RETRY\_COUNT ビットを設定します。このビットを設定すると、デバイスは無限に再試行を続けます。

以下の表には、マスクされていない場合のアクティブ状態とスタンバイ状態における故障の動作と、故障がマスク可能かについての概要が記載されています。

**注意**

故障のマスキングはデバイスやシステムにリスクをもたらす可能性があり、このリスクには出力が予備バイアスされて起動することが含まれますが、これに限定されません。

同じレールで OC 検出と UV 検出をマスクすることは推奨されていません。

**表 7-6. フォルト処理**

ブロック	フォルト	アクティブまたはスタンバイ状態 (故障がマスクされていない場合)	アクティブまたはスタンバイ状態 (故障がマスク されている場合)
降圧と LDO	残留電圧 - シャットダウン故障 - RV_SD <sup>*)</sup>	故障は、初期化状態までのシーケンス シャットダウンをトリガします	マスク不可能
降圧と LDO	残留電圧- RV	故障は状態変化をトリガしません	故障は状態変化をトリガしません
降圧と LDO	タイムアウト - TO <sup>*)</sup>	故障は、初期化状態までのシーケンス シャットダウンをトリガします	故障は状態変化をトリガしません
降圧と LDO	低電圧 - UV	故障は、初期化状態までのシーケンス シャットダウンをトリガします	故障は状態変化をトリガしません
降圧と LDO	過電流 - OC	故障は、初期化状態までのシーケンス シャットダウンをトリガします	マスク不可能
降圧と LDO	GND 短絡 - SCG	故障は、初期化状態までのシーケンス シャットダウンをトリガします	マスク不可能
降圧と LDO	温度警告 - WARM	故障は、初期化状態までのシーケンス シャットダウンをトリガします	あり
降圧と LDO	温度シャットダウン - HOT	故障は初期化状態への即時シャットダウンをトリガします (シーケンスなし)	マスク不可能
VSYS	低電圧 - UV	故障はオフ状態への即時シャットダウンをトリガします (シーケンスなし)	マスク不可能
VSYS	過電圧 - OV	故障はオフ状態への即時シャットダウンをトリガします (シーケンスなし)	マスク不可能

表 7-6. フォルト処理 (続き)

ブロック	フォルト	アクティブまたはスタンバイ状態 (故障がマスクされていない場合)	アクティブまたはスタンバイ状態 (故障がマスク されている場合)
VDD1P8	低電圧または過電圧 - UV または OV	故障はオフ状態への即時シャット ダウンをトリガします (シーケンスなし)	マスク不可能

\*) RV\_SD およびタイムアウト故障は、シーケンス中にのみ発生します

## 7.5 マルチ PMIC 動作

GPIO (ピン#16) は入力/出力デジタル ピンですが、入力機能はマルチ PMIC 構成でのみ使用されます。このピンは、シングル PMIC 用に構成すると GPO (汎用出力) として動作し、マルチ デバイス用に構成すると GPIO (汎用入出力) として動作します。この設定はレジスタ フィールド **MULTI\_DEVICE\_ENABLE** (アドレス 0x1F) で行うことができます。「マルチデバイス」用に構成しているとき、GPIO は、追加のレールを必要とするアプリケーション向けに、複数の TPS65219 デバイスのパワーアップおよびパワーダウンシーケンスを同期できます。GPIO ピンは各 PMIC のステータスを示すために使用されるため、これらは常に同じ状態および同じシーケンス スロットになります。各シーケンス スロットの開始時に、すべての TPS65219 PMIC は GPIO ピンを Low に駆動します。シーケンス スロット持続時間が終了し、そのスロットのすべてのレールが UV スレッショルドに達すると、デバイスは GPIO ピンを解放します。両方のデバイスが GPIO を High に解放すると、一緒に次のシーケンス スロットに進みます。両方の PMIC は常に同じパワーアップまたはパワーダウンスロット内にあるため、各 PMIC からの複数のレールを同じシーケンス スロットに割り当てることができます。図 7-11 に、マルチ PMIC 動作用の同じ入力電源 (VSYS)、EN ピン、GPIO を共有する、2 つの TPS65219 デバイスの PDN の例を示します。

### 複数の TPS65219 PMIC を同期するときの要件

- 各 PMIC の GPIO を互いに接続して、同じプルアップ抵抗を共有する必要があります。プルアップ抵抗は、最大許容立ち上がり時間  $t_{RISE\_GPIO}$  と GPIO ラインの容量を組み合わせて、同期を可能にするように選択する必要があります。
- EN/PB/VSENSE ピンは、同じ外部オン要求を共有して接続する必要があります。このピンには同じ構成 (同じピン構成、グリッチ除去、FSD) が必要です。
- TPS65219 PMIC すべてが同じ VSYS 電源を共有している必要があります。
- 各 TPS65219 PMIC が同じ I2C バスに接続されている場合、それぞれ異なる I2C アドレスを持つ必要があります。2 番目の PMIC の I2C アドレスは、レジスタフィールド **I2C\_ADDRESS** で変更できます。アドレスを変更したら、新しい値を NVM に永続的に保存する必要があります。プログラミング手順については、NVM プログラミングを参照してください。

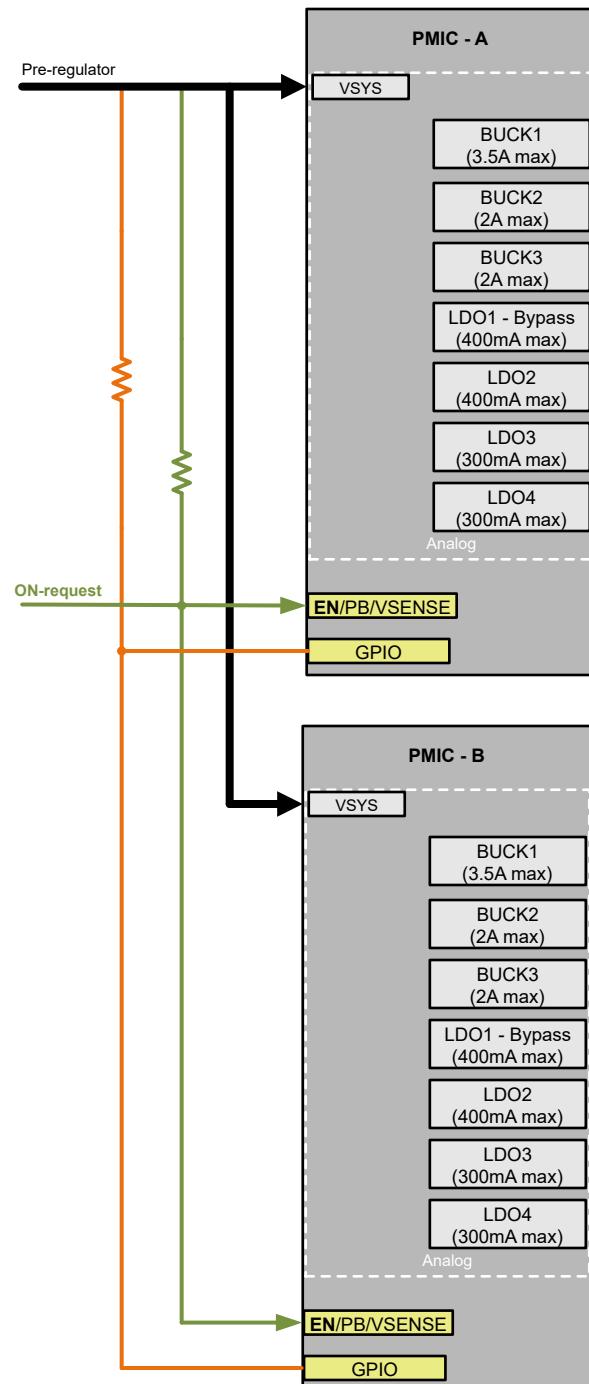


図 7-11. マルチ PMIC 構成の例

注

- PMIC 間の同期時間により、「パワーアップおよびパワーダウン」セクションで説明されているスロット持続時間タイムアウトが追加されます。パワーアップ故障が発生した場合、マルチ PMIC 構成では、タイムアウト  $t_{TIMEOUT\_UV\_SLOT}$  が 3ms~4ms 後に発生します。放電障害が原因でパワーダウン故障が発生した場合、マルチ PMIC 構成でタイムアウトが 20ms~26ms 後に発生します。
- マルチ PMIC 構成では、GPIO\_EN および GPIO\_STBY\_EN ビットは無視されます。

図 7-12 に、パワーアップ シーケンスが実行される前の、初期化状態の 2 つの PMIC 間の同期を示します。初期化状態の間、オン要求を受信する前に、デバイスは GPIO を Low に保持します。GPIO はオン要求を受信したときのみ解放されます。オン要求を駆動する外部信号は、両方のデバイスの EN/PB/VSENSE ピンに接続する必要があります。両方のデバイスが初期化状態になり、両方のデバイスがオン要求を受信すると、PMIC はパワーアップ シーケンスの実行を進めます。この手法により、内部ブートアップ時間が異なる場合でも、両方のデバイスで同時にパワーアップ シーケンスを開始することができます。

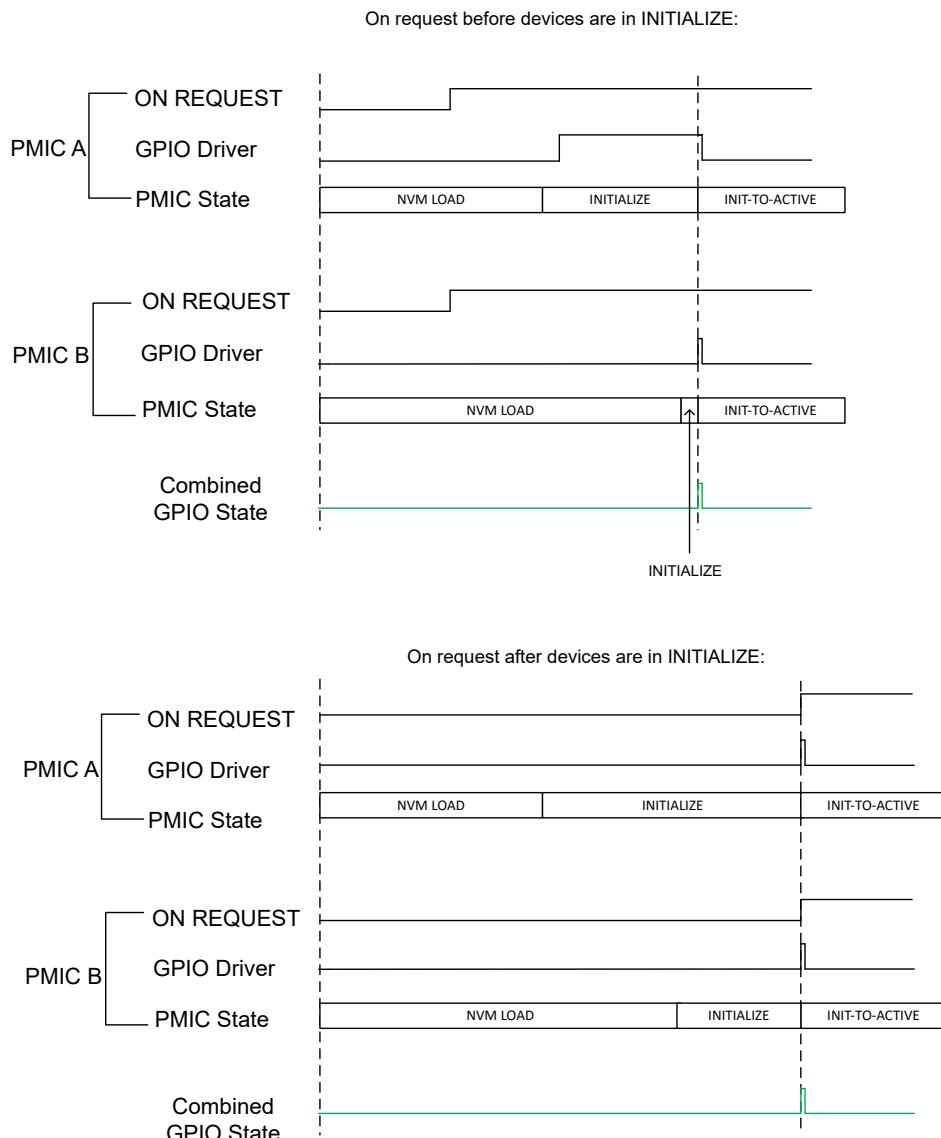


図 7-12. パワーアップ前の同期

図 7-13 に、パワーアップ シーケンス中の 2 つの PMIC 間の同期を示します。オープンドレイン GPIO は両方の PMIC 間に接続されており、デバイスのシーケンス スロットが完了したことのインジケータとして使用されます。各シーケンス スロットの開始時に、両方の PMIC がこの GPIO をプル ダウンします。デバイスのスロット タイマが満了し、そのスロットのすべてのレールが UV スレッショルドに達すると、GPIO は High に解放されます。両方の PMIC が GPIO を解放すると、結合された GPIO が High になります。両方のデバイスが GPIO を High に解放すると、両方の PMIC は次のシーケンス スロットに進みます。両方の PMIC が、常に同じシーケンス スロットに同時に存在します。

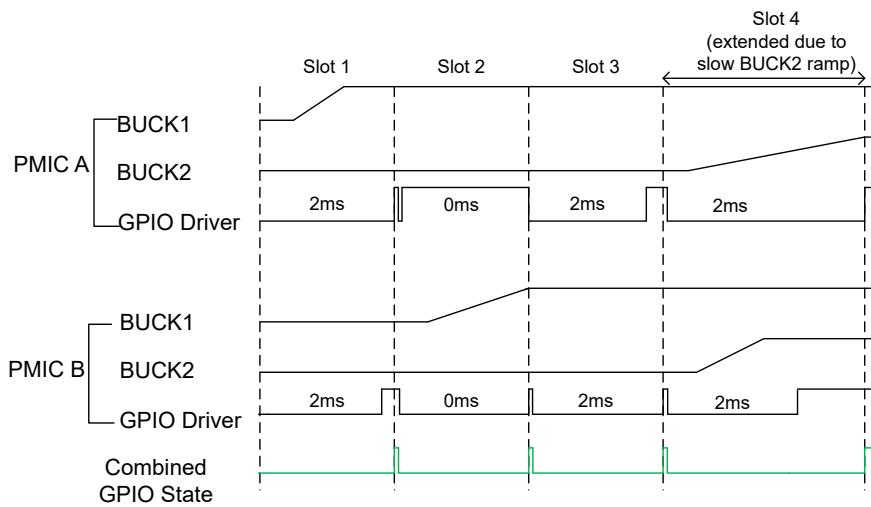


図 7-13. パワーアップ シーケンス中の同期

図 7-14 に、アクティブからスタンバイへ遷移するときの 2 つの PMIC 間の同期を示します。アクティブまたはスタンバイ時、GPIO のデフォルト状態は High です。デバイスの状態を変更する場合、GPIO が特定の Low 期間だけ Low に設定されます。Low 期間により、要求のタイプが決まります。スタンバイ/アクティブ要求の場合、GPIO は約 38~52 $\mu$ s、オフ要求の場合は約 180~243 $\mu$ s の間 Low に設定されます。デバイスが常に同じ状態遷移を表示するように時刻が選択され、クロック変動と要求の直後に発生します。GPIO が Low の間、デバイスは Low になった時間をカウントしています。GPIO の立ち上がりエッジで、デバイスは Low 期間に基づいて状態遷移を開始します。GPIO がタイムアウト時間よりも長い時間 Low のままの場合、GPIO 故障が発生してデバイスが初期化状態に遷移していることを示します。

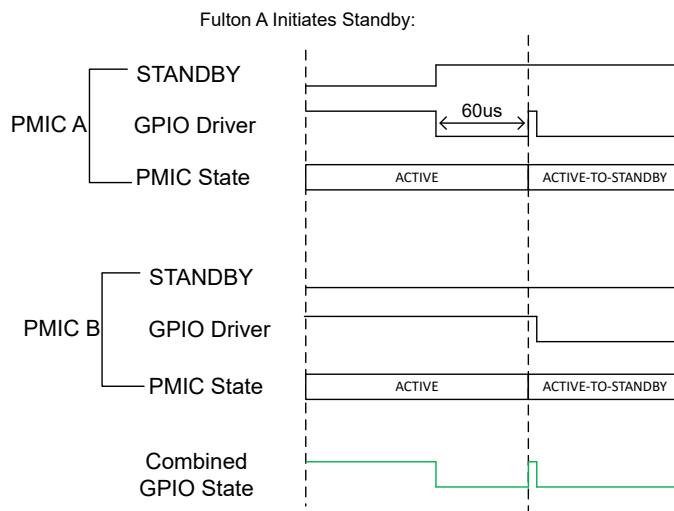


図 7-14. スタンバイ/オフ要求/コールド リセットに移行する前の同期

図 7-15 に、パワーダウンシーケンス中の 2 つの PMIC 間の同期を示します。パワーダウンシーケンスも同様に動作します。レールのアクティブ放電が有効な場合、スロット タイムアウトが発生するか、レジスタ フィールドの BYPAYSE\_RAILS\_DISCHA RGED\_CHECK が設定されていない限り、レールが SCG スレッショルドを下回るまでシーケンス スロットが延長されます。現在のスロットのすべてのレールで放電が無効な場合、実際のスロット時間は選択されたスロット持続時間のみに基づきます。スロット持続時間が満了し、放電がアクティブなレールが放電されると、デバイスは GPIO を High に解放します。すべてのデバイスが GPIO を High に解放すると、次のパワーダウン ステップに進みます。

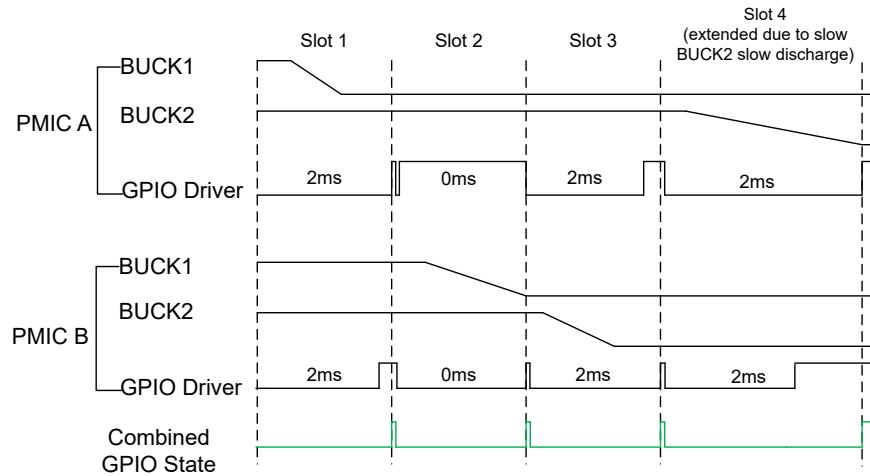


図 7-15. パワーダウン シーケンス中の同期

図 7-16 に、2 つの PMIC 間のタイムアウト同期を示します。出力レールで故障が発生した場合、GPIO は解放されません。タイムアウトの後、デバイスは「タイムアウト同期」状態になり、3ms 待機してから GPIO を High にセットします。組み合わせた GPIO が High になると、両方のデバイスがパワーダウン シーケンスを開始します。次に例を示します。PMIC A からの BUCK1 が GND に短絡される場合、スロット期間が経過した後、レギュレータは UV に達することはなく、GPIO は解放されません。Slot#1 の持続時間が 10ms で PMIC A が 10% 高速の場合、タイムアウトに必要なのはわずか 9ms です。タイムアウトの後、デバイスはタイムアウト同期状態になり、この時点で GPIO は 3ms 後に High に設定されます。PMIC B レールは適切にランプアップしますが、BUCK1 のフォルトにより、PMIC A からの GPIO の High 状態が最初は検出されません。また、PMIC B もタイムアウト同期状態に移行し、3ms 後に GPIO を High に設定します。PMIC B のタイムアウト同期の後で、組み合わされた GPIO が High になり、両方の PMIC がパワーダウンを開始します。

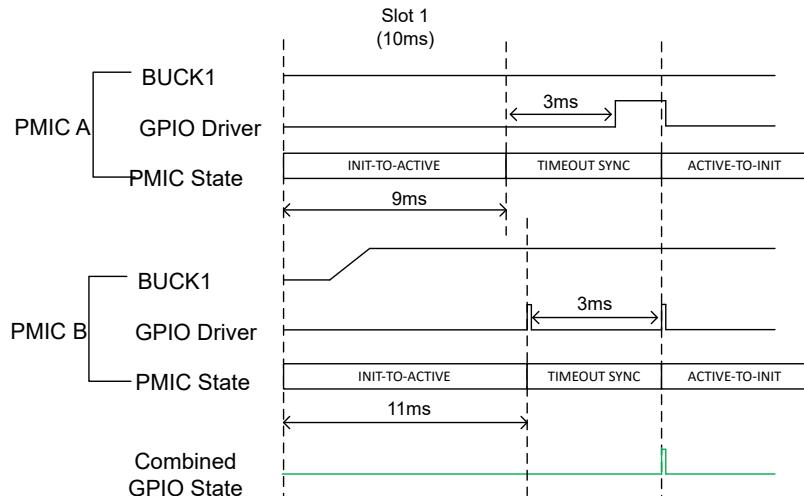


図 7-16. タイムアウト同期

## 7.6 ユーザー レジスタ

27 番目のレジスタ USER\_GENERAL\_NVM\_STORAGE\_REG までのレジスタは EEPROM によってバックアップされています。リセット値は、注文可能な部品番号の構成に対応し、ここでは「X」で示されます。の注文可能な各部品番号についてでは、技術参考書(TRM)を参照してください。

28 番目から 37 番目までのレジスタは EEPROM によってバックアップされておらず、レジスタ マップに記載されている値にリセットされます。

レジスタ 00h、TI\_DEV\_ID、01h、NVM\_ID、28 番目の MANUFACTURING\_VER、41 番目の FACTORY\_CONFIG\_2 はハードウェア接続されており、ユーザーは変更できません。

## 7.7 デバイスのレジスタ

表 7-7 に、デバイスのレジスタ用のメモリマップトレジスタを示します。表 7-7 にないレジスタオフセットアドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

**表 7-7. DEVICE レジスタ**

オフセット	略称	レジスタ名	セクション
0h	TI_DEV_ID	デバイス ID	表示
1h	NVM_ID	NVM 構成 ID	表示
2h	ENABLE_CTRL	イネーブル/プッシュボタン/VSENSE 制御	表示
3h	BUCKS_CONFIG	汎用降圧構成	表示
4h	LDO4_VOUT	LDO4 構成	表示
5h	LDO3_VOUT	LDO3 構成	表示
6h	LDO2_VOUT	LDO2 構成	表示
7h	LDO1_VOUT	LDO1 構成	表示
8h	BUCK3_VOUT	Buck3 構成	表示
9h	BUCK2_VOUT	Buck2 構成	表示
Ah	BUCK1_VOUT	Buck1 構成	表示
Bh	LDO4_SEQUENCE_SLOT	LDO4 の電源オン/オフ スロット	表示
Ch	LDO3_SEQUENCE_SLOT	LDO3 の電源オン/オフ スロット	表示
Dh	LDO2_SEQUENCE_SLOT	LDO2 の電源オン/オフ スロット	表示
Eh	LDO1_SEQUENCE_SLOT	LDO10 の電源オン/オフ スロット	表示
Fh	BUCK3_SEQUENCE_SLOT	Buck3 の電源オン/オフ スロット	表示
10h	BUCK2_SEQUENCE_SLOT	Buck2 の電源オン/オフ スロット	表示
11h	BUCK1_SEQUENCE_SLOT	Buck1 の電源オン/オフ スロット	表示
12h	nRST_SEQUENCE_SLOT	nRSTOUT の電源オン/オフ スロット	表示
13h	GPIO_SEQUENCE_SLOT	GPIO の電源オン/オフスロット	表示
14h	GPO2_SEQUENCE_SLOT	GPO2 の電源オン/オフスロット	表示
15h	GPO1_SEQUENCE_SLOT	GPO1 の電源オン/オフスロット	表示
16h	POWER_UP_SLOT_DURATION_1	スロット 0~3 のパワーアップ時のスロット持続時間	表示
17h	POWER_UP_SLOT_DURATION_2	スロット 4~7 のパワーアップ時のスロット持続時間	表示
18h	POWER_UP_SLOT_DURATION_3	スロット 8~11 のパワーアップ時のスロット持続時間	表示
19h	POWER_UP_SLOT_DURATION_4	スロット 12~15 のパワーアップ時のスロット持続時間	表示
1Ah	POWER_DOWN_SLOT_DURATION_1	スロット 0~3 のパワーダウン時のスロット持続時間	表示
1Bh	POWER_DOWN_SLOT_DURATION_2	スロット 4~7 のパワーダウン時のスロット持続時間	表示
1Ch	POWER_DOWN_SLOT_DURATION_3	スロット 8~11 のパワーダウン時のスロット持続時間	表示
1Dh	POWER_DOWN_SLOT_DURATION_4	スロット 12~15 のパワーダウン時のスロット持続時間	表示
1Eh	GENERAL_CONFIG	LDO 低電圧で GPO 有効	表示

表 7-7. DEVICE レジスタ (続き)

オフセット	略称	レジスタ名	セクション
1Fh	MFP_1_CONFIG	マルチファンクションピン構成 1	表示
20h	MFP_2_CONFIG	マルチファンクションピン構成 2	表示
21h	STBY_1_CONFIG	スタンバイ構成 LDO および降圧	表示
22h	STBY_2_CONFIG	スタンバイ構成 GPIO および GPO	表示
23h	OC_DEGL_CONFIG	レールごとの過電流デグリッチ時間	表示
24h	INT_MASK_UV	低電圧フォールト マスキング	表示
25h	MASK_CONFIG	WARM マスキングとマスキング効果	表示
26h	I2C_ADDRESS_REG	I2C アドレス	表示
27h	USER_GENERAL_NVM_STORA GE_REG	ユーザーが構成可能なレジスタ (NVM バックアップ)	表示
28h	MANUFACTURING_VER	シリコン リビジョン (読み取り専用)	表示
29h	MFP_CTRL	リセット、スタンバイ、オフの I2C 制御	表示
2Ah	discharge_config	レールごとの放電構成	表示
2Bh	INT_SOURCE	割り込みソース	表示
2Ch	INT_LDO_3_4	LDO3 および LDO4 用 OC、UV、SCG	表示
2Dh	INT_LDO_1_2	LDO1 および LDO2 用 OC、UV、SCG	表示
2Eh	INT_BUCK_3	Buck3 用 OC、UV、SCG	表示
2Fh	INT_BUCK_1_2	Buck1 および Buck2 用 OC、UV、SCG	表示
30h	INT_SYSTEM	WARM および HOT フォルト フラグ	表示
31h	INT_RV	レールあたりの RV (残留電圧)	表示
32h	INT_TIMEOUT_RV_SD	シャットダウンを引き起こすレールあたりの RV (残留電圧)	表示
33h	INT_PB	プッシュボタンのステータスとエッジ検出	表示
34h	USER_NVM_CMD_REG	DIY -ユーザー プログラマブル コマンド	表示
35h	POWER_UP_STATUS_REG	パワーアップのステータスと状態	表示
36h	SPARE_2	補助レジスタ (非 NVM バックアップ)	表示
37h	SPARE_3	補助レジスタ (非 NVM バックアップ)	表示
41h	FACTORY_CONFIG_2	NVM 構成のリビジョン (読み取り専用)	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-8 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-8. デバイスのアクセス タイプ コード

アクセス タイプ	表記	説明
<b>読み取りタイプ</b>		
R	R	読み出し
<b>書き込みタイプ</b>		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
WSelfClrF	W	書き込み
<b>リセットまたはデフォルト値</b>		
-n		リセット後の値またはデフォルト値

### 7.7.1 TI\_DEV\_ID レジスタ (オフセット = 0h) [リセット = X]

TI\_DEV\_ID は 図 7-17 に表示され、表 7-9 で説明されています。

[概略表](#)に戻ります。

**図 7-17. TI\_DEV\_ID レジスタ**

7	6	5	4	3	2	1	0
TI_DEVICE_ID							
R-X							

**表 7-9. TI\_DEV\_ID レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-0	TI_DEVICE_ID	R	X	<p>TI_DEVICE_ID[7:6]:  0h = TA: -40°C~105°C, TJ: -40°C~125°C  2h = TA: -40°C~125°C, TJ: -40°C~150°C  3h = TA: -55°C~125°C, TJ: -55°C~150°C</p> <p>TI_DEVICE_ID[5:0]:  デバイス GPN</p> <p>注:このレジスタは、メーカーのみが書き込みできます! 特定の番号と関連構成については、『技術参考書』または『ユーザー・ガイド』を参照してください。(NVM メモリからのデフォルト)</p>

### 7.7.2 NVM\_ID レジスタ (オフセット = 1h) [リセット = X]

図 7-18 に NVM\_ID を示し、表 7-10 に、その説明を示します。

概略表に戻ります。

図 7-18. NVM\_ID レジスタ

7	6	5	4	3	2	1	0
TI_NVM_ID							
R-X							

表 7-10. NVM\_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	TI_NVM_ID	R	X	IC の NVM ID 注:このレジスタは、メーカーのみが書き込みできます! 特定の番号と関連構成については、『技術参考書』または『ユーザー・ガイド』を参照してください。(NVM メモリからのデフォルト)

### 7.7.3 ENABLE\_CTRL レジスタ (オフセット = 2h) [リセット = X]

ENABLE\_CTRL は 図 7-19 に表示され、表 7-11 で説明されています。

概略表に戻ります。

**図 7-19. ENABLE\_CTRL レジスタ**

7	6	5	4	3	2	1	0
予約済み	LDO4_EN	LDO3_EN	LDO2_EN	LDO1_EN	BUCK3_EN	BUCK2_EN	BUCK1_EN
R-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X

**表 7-11. ENABLE\_CTRL レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	予約済み
6	LDO4_EN	R/W	X	LDO4 レギュレータ有効 (NVM メモリからのデフォルト) 0h = 無効 1h = 無効
5	LDO3_EN	R/W	X	LDO3 レギュレータ有効 (NVM メモリからのデフォルト) 0h = 無効 1h = 無効
4	LDO2_EN	R/W	X	LDO2 レギュレータ有効 (NVM メモリからのデフォルト) 0h = 無効 1h = 無効
3	LDO1_EN	R/W	X	LDO1 レギュレータ有効 (NVM メモリからのデフォルト) 0h = 無効 1h = 無効
2	BUCK3_EN	R/W	X	BUCK3 レギュレータ有効 (NVM メモリからのデフォルト) 0h = 無効 1h = 無効
1	BUCK2_EN	R/W	X	BUCK2 レギュレータ有効 (NVM メモリからのデフォルト) 0h = 無効 1h = 無効
0	BUCK1_EN	R/W	X	BUCK1 レギュレータ有効 (NVM メモリからのデフォルト) 0h = 無効 1h = 無効

### 7.7.4 BUCKS\_CONFIG レジスタ (オフセット = 3h) [リセット = X]

図 7-20 に BUCKS\_CONFIG を示し、表 7-12 にその説明を示します。

概略表に戻ります。

図 7-20. BUCKS\_CONFIG レジスタ

7	6	5	4	3	2	1	0
USER_NVM_S PARE_2	USER_NVM_S PARE_1	BUCK_SS_EN ABLE	BUCK_FF_ENA BLE	BUCK3_PHASE_CONFIG	BUCK2_PHASE_CONFIG		
R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X		

表 7-12. BUCKS\_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	USER_NVM_SPARE_2	R/W	X	ユーザー NVM 空間のスペア ビット (NVM メモリからのデフォルト)
6	USER_NVM_SPARE_1	R/W	X	ユーザー NVM 空間のスペア ビット (NVM メモリからのデフォルト)
5	BUCK_SS_ENABLE	R/W	X	降圧でスペクトラム拡散有効 (FF モードでのみ適用可能) (NVM メモリからのデフォルト) 0h = スペクトラム拡散無効 1h = スペクトラム拡散有効
4	BUCK_FF_ENABLE	R	X	すべての降圧を固定周波数モードに設定 注: どんな場合も変更してはいけません! (NVM メモリからのデフォルト) 0h = 疑似固定周波数モード 1h = 固定周波数モード
3-2	BUCK3_PHASE_CONFIG	R/W	X	BUCK3 クロックの位相。降圧が固定周波数に構成されている場合に適用できます。注: レールが無効な場合のみ変更! (NVM メモリからのデフォルト) 0h = 0 度 1h = 90 度 2h = 180 度 3h = 270 度
1-0	BUCK2_PHASE_CONFIG	R/W	X	BUCK2 クロックの位相。降圧が固定周波数に構成されている場合に適用できます。注: レールが無効な場合のみ変更! (NVM メモリからのデフォルト) 0h = 0 度 1h = 90 度 2h = 180 度 3h = 270 度

### 7.7.5 LDO4\_VOUT レジスタ (オフセット = 4h) [リセット = X]

図 7-21 に、LDO4\_VOUT を示し、表 7-13 に、その説明を示します。

概略表に戻ります。

**図 7-21. LDO4\_VOUT レジスタ**

7	6	5	4	3	2	1	0
LDO4_SLOW_ PU_RAMP	LDO4_LSW_C ONFIG				LDO4_VSET		
R/W-X	R/W-X				R/W-X		

**表 7-13. LDO4\_VOUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	LDO4_SLOW_PU_RAMP	R/W	X	LDO4 電源投入のランプを高に設定すると、電源投入のランプが最大 3ms 遅くなります。低に設定すると Cout は最大 30 $\mu$ F、ランプ時間は最大 660 $\mu$ s になります。Cout 最大 15 $\mu$ F (NVM メモリからのデフォルト) 0h = 電源投入時の高速ランプ (最大 660 $\mu$ s) 1h = 電源投入時の低速ランプ (最大 3ms)
6	LDO4_LSW_CONFIG	R/W	X	LDO4 LDO または LSW モード注:レールが無効な場合のみ変更! (NVM メモリからのデフォルト) 0h = LDO モード 1h = LSW モード

表 7-13. LDO4\_VOUT レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5-0	LDO4_VSET	R/W	X	LDO4 の電圧選択出力電圧範囲は、1.2V~3.3V です。(NVM メモリからのデフォルト) 0h = 1.200V 1h = 1.200V 2h = 1.200V 3h = 1.200V 4h = 1.200V 5h = 1.200V 6h = 1.200V 7h = 1.200V 8h = 1.200V 9h = 1.200V Ah = 1.200V Bh = 1.200V Ch = 1.200V Dh = 1.250V Eh = 1.300V Fh = 1.350V 10h = 1.400V 11h = 1.450V 12h = 1.500V 13h = 1.550V 14h = 1.600V 15h = 1.650V 16h = 1.700V 17h = 1.750V 18h = 1.800V 19h = 1.850V 1Ah = 1.900V 1Bh = 1.950V 1Ch = 2.000V 1Dh = 2.050V 1Eh = 2.100V 1Fh = 2.150V 20h = 2.200V 21h = 2.250V 22h = 2.300V 23h = 2.350V 24h = 2.400V 25h = 2.450V 26h = 2.500V 27h = 2.550V 28h = 2.600V 29h = 2.650V 2Ah = 2.700V 2Bh = 2.750V 2Ch = 2.800V 2Dh = 2.850V 2Eh = 2.900V 2Fh = 2.950V 30h = 3.000V 31h = 3.050V 32h = 3.100V 33h = 3.150V 34h = 3.200V 35h = 3.250V 36h = 3.300V 37h = 3.300V 38h = 3.300V 39h = 3.300V 3Ah = 3.300V 3Bh = 3.300V 3Ch = 3.300V 3Dh = 3.300V 3Eh = 3.300V

表 7-13. LDO4\_VOUT レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
				3Fh = 3.300V

### 7.7.6 LDO3\_VOUT レジスタ (オフセット = 5h) [リセット = X]

図 7-22 に、LDO3\_VOUT を示し、表 7-14 に、その説明を示します。

概略表に戻ります。

図 7-22. LDO3\_VOUT レジスタ

7	6	5	4	3	2	1	0
LDO3_SLOW_ PU_RAMP	LDO3_LSW_C ONFIG				LDO3_VSET		
R/W-X	R/W-X				R/W-X		

表 7-14. LDO3\_VOUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	LDO3_SLOW_PU_RAMP	R/W	X	LDO3 電源投入のランプを高に設定すると、電源投入のランプが最大 3ms 遅くなります。低に設定すると Cout は最大 30μF、ランプ時間は最大 660μs になります。Cout 最大 15μF (NVM メモリからのデフォルト) 0h = 電源投入時の高速ランプ (最大 660μs) 1h = 電源投入時の低速ランプ (最大 3ms)
6	LDO3_LSW_CONFIG	R/W	X	LDO3 LDO または LSW モード注:レールが無効な場合のみ変更! (NVM メモリからのデフォルト) 0h = LDO モード 1h = LSW モード

**表 7-14. LDO3\_VOUT レジスタのフィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
5-0	LDO3_VSET	R/W	X	LDO3 の電圧選択出力電圧範囲は、1.2V～3.3V です。(NVM メモリからのデフォルト) 0h = 1.200V 1h = 1.200V 2h = 1.200V 3h = 1.200V 4h = 1.200V 5h = 1.200V 6h = 1.200V 7h = 1.200V 8h = 1.200V 9h = 1.200V Ah = 1.200V Bh = 1.200V Ch = 1.200V Dh = 1.250V Eh = 1.300V Fh = 1.350V 10h = 1.400V 11h = 1.450V 12h = 1.500V 13h = 1.550V 14h = 1.600V 15h = 1.650V 16h = 1.700V 17h = 1.750V 18h = 1.800V 19h = 1.850V 1Ah = 1.900V 1Bh = 1.950V 1Ch = 2.000V 1Dh = 2.050V 1Eh = 2.100V 1Fh = 2.150V 20h = 2.200V 21h = 2.250V 22h = 2.300V 23h = 2.350V 24h = 2.400V 25h = 2.450V 26h = 2.500V 27h = 2.550V 28h = 2.600V 29h = 2.650V 2Ah = 2.700V 2Bh = 2.750V 2Ch = 2.800V 2Dh = 2.850V 2Eh = 2.900V 2Fh = 2.950V 30h = 3.000V 31h = 3.050V 32h = 3.100V 33h = 3.150V 34h = 3.200V 35h = 3.250V 36h = 3.300V 37h = 3.300V 38h = 3.300V 39h = 3.300V 3Ah = 3.300V 3Bh = 3.300V 3Ch = 3.300V 3Dh = 3.300V 3Eh = 3.300V

表 7-14. LDO3\_VOUT レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
				3Fh = 3.300V

### 7.7.7 LDO2\_VOUT レジスタ (オフセット = 6h) [リセット = X]

図 7-23 に、LDO2\_VOUT を示し、表 7-15 に、その説明を示します。

概略表に戻ります。

**図 7-23. LDO2\_VOUT レジスタ**

7	6	5	4	3	2	1	0
LDO2_LSW_C ONFIG	LDO2_BYP_CO NFIG				LDO2_VSET		
R/W-X	R/W-X				R/W-X		

**表 7-15. LDO2\_VOUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	LDO2_LSW_CONFIG	R/W	X	LDO2 LDO/バイパスまたは LSW モード。注:レールが無効な場合のみ変更!(NVM メモリからのデフォルト) 0h = 非適用 (LDO2 はロードスイッチとして未構成) 1h = LDO1 はロードスイッチとして構成
6	LDO2_BYP_CONFIG	R/W	X	LDO2 LDO またはバイパスモード。(NVM メモリからのデフォルト) 0h = LDO2 を LDO として構成 (LDO2_LSW_CONFIG 0x0 の場合にのみ適用) 1h = LDO2 をバイパスとして構成 (LDO2_LSW_CONFIG 0x0 の場合にのみ適用)

表 7-15. LDO2\_VOUT レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5-0	LDO2_VSET	R/W	X	LDO2 の電圧選択出力電圧の範囲は、LDO モードで 0.6V~3.4V、バイパス モードで 1.5V~3.4V です。(NVM メモリからのデフォルト) 0h = 0.600V 1h = 0.650V 2h = 0.700V 3h = 0.750V 4h = 0.800V 5h = 0.850V 6h = 0.900V 7h = 0.950V 8h = 1.000V 9h = 1.050V Ah = 1.100V Bh = 1.150V Ch = 1.200V Dh = 1.250V Eh = 1.300V Fh = 1.350V 10h = 1.400V 11h = 1.450V 12h = 1.500V 13h = 1.550V 14h = 1.600V 15h = 1.650V 16h = 1.700V 17h = 1.750V 18h = 1.800V 19h = 1.850V 1Ah = 1.900V 1Bh = 1.950V 1Ch = 2.000V 1Dh = 2.050V 1Eh = 2.100V 1Fh = 2.150V 20h = 2.200V 21h = 2.250V 22h = 2.300V 23h = 2.350V 24h = 2.400V 25h = 2.450V 26h = 2.500V 27h = 2.550V 28h = 2.600V 29h = 2.650V 2Ah = 2.700V 2Bh = 2.750V 2Ch = 2.800V 2Dh = 2.850V 2Eh = 2.900V 2Fh = 2.950V 30h = 3.000V 31h = 3.050V 32h = 3.100V 33h = 3.150V 34h = 3.200V 35h = 3.250V 36h = 3.300V 37h = 3.350V 38h = 3.400V 39h = 3.400V 3Ah = 3.400V 3Bh = 3.400V 3Ch = 3.400V 3Dh = 3.400V 3Eh = 3.400V

表 7-15. LDO2\_VOUT レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
				3Fh = 3.400V

### 7.7.8 LDO1\_VOUT レジスタ (オフセット = 7h) [リセット = X]

図 7-24 に、LDO1\_VOUT を示し、表 7-16 に、その説明を示します。

概略表に戻ります。

図 7-24. LDO1\_VOUT レジスタ

7	6	5	4	3	2	1	0
LDO1_LSW_C ONFIG	LDO1_BYP_CO NFIG				LDO1_VSET		
R/W-X	R/W-X				R/W-X		

表 7-16. LDO1\_VOUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	LDO1_LSW_CONFIG	R/W	X	LDO1 LDO/バイパスまたは LSW モード。注: レールが無効な場合のみ変更! (NVM メモリからのデフォルト) 0h = 非適用 (LDO1 はロードスイッチとして未構成) 1h = LDO1 はロードスイッチとして構成
6	LDO1_BYP_CONFIG	R/W	X	LDO1 LDO またはバイパス モード。(NVM メモリからのデフォルト) 0h = LDO1 を LDO として構成 (LDO1_LSW_CONFIG 0x0 の場合にのみ適用) 1h = LDO1 をバイパスとして構成 (LDO1_LSW_CONFIG 0x0 の場合にのみ適用)

**表 7-16. LDO1\_VOUT レジスタのフィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
5-0	LDO1_VSET	R/W	X	<p>LDO1 の電圧選択出力電圧の範囲は、LDO モードで 0.6V~3.4V、バイパス モードで 1.5V~3.4V です。(NVM メモリからのデフォルト)</p> <p>0h = 0.600V  1h = 0.650V  2h = 0.700V  3h = 0.750V  4h = 0.800V  5h = 0.850V  6h = 0.900V  7h = 0.950V  8h = 1.000V  9h = 1.050V  Ah = 1.100V  Bh = 1.150V  Ch = 1.200V  Dh = 1.250V  Eh = 1.300V  Fh = 1.350V  10h = 1.400V  11h = 1.450V  12h = 1.500V  13h = 1.550V  14h = 1.600V  15h = 1.650V  16h = 1.700V  17h = 1.750V  18h = 1.800V  19h = 1.850V  1Ah = 1.900V  1Bh = 1.950V  1Ch = 2.000V  1Dh = 2.050V  1Eh = 2.100V  1Fh = 2.150V  20h = 2.200V  21h = 2.250V  22h = 2.300V  23h = 2.350V  24h = 2.400V  25h = 2.450V  26h = 2.500V  27h = 2.550V  28h = 2.600V  29h = 2.650V  2Ah = 2.700V  2Bh = 2.750V  2Ch = 2.800V  2Dh = 2.850V  2Eh = 2.900V  2Fh = 2.950V  30h = 3.000V  31h = 3.050V  32h = 3.100V  33h = 3.150V  34h = 3.200V  35h = 3.250V  36h = 3.300V  37h = 3.350V  38h = 3.400V  39h = 3.400V  3Ah = 3.400V  3Bh = 3.400V  3Ch = 3.400V  3Dh = 3.400V  3Eh = 3.400V</p>

表 7-16. LDO1\_VOUT レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
				3Fh = 3.400V

### 7.7.9 BUCK3\_VOUT レジスタ (オフセット = 8h) [リセット = X]

図 7-25 に、BUCK3\_VOUT を示し、表 7-17 に、その説明を示します。

概略表に戻ります。

**図 7-25. BUCK3\_VOUT レジスタ**

7	6	5	4	3	2	1	0
BUCK3_BW_S EL	BUCK3_UV_TH R_SEL				BUCK3_VSET		
R/W-X	R/W-X				R/W-X		

**表 7-17. BUCK3\_VOUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	BUCK3_BW_SEL	R/W	X	BUCK3 帯域幅の選択注: レールが無効な場合のみ変更！(NVM メモリからのデフォルト) 0h = 低帯域幅 1h = 高帯域幅
6	BUCK3_UV_THR_SEL	R/W	X	BUCK3 の UV スレッショルドの選択(NVM メモリからのデフォルト) 0h = -5% UV 検出 1h = -10% UV 検出

表 7-17. BUCK3\_VOUT レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5-0	BUCK3_VSET	R/W	X	BUCK3 の電圧選択出力電圧範囲は、0.6V~3.4V です。(NVM メモリからデフォルト) 0h = 0.600V 1h = 0.625V 2h = 0.650V 3h = 0.675V 4h = 0.700V 5h = 0.725V 6h = 0.750V 7h = 0.775V 8h = 0.800V 9h = 0.825V Ah = 0.850V Bh = 0.875V Ch = 0.900V Dh = 0.925V Eh = 0.950V Fh = 0.975V 10h = 1.000V 11h = 1.025V 12h = 1.050V 13h = 1.075V 14h = 1.100V 15h = 1.125V 16h = 1.150V 17h = 1.175V 18h = 1.200V 19h = 1.225V 1Ah = 1.250V 1Bh = 1.275V 1Ch = 1.300V 1Dh = 1.325V 1Eh = 1.350V 1Fh = 1.375V 20h = 1.400V 21h = 1.500V 22h = 1.600V 23h = 1.700V 24h = 1.800V 25h = 1.900V 26h = 2.000V 27h = 2.100V 28h = 2.200V 29h = 2.300V 2Ah = 2.400V 2Bh = 2.500V 2Ch = 2.600V 2Dh = 2.700V 2Eh = 2.800V 2Fh = 2.900V 30h = 3.000V 31h = 3.100V 32h = 3.200V 33h = 3.300V 34h = 3.400V 35h = 3.400V 36h = 3.400V 37h = 3.400V 38h = 3.400V 39h = 3.400V 3Ah = 3.400V 3Bh = 3.400V 3Ch = 3.400V 3Dh = 3.400V 3Eh = 3.400V

表 7-17. BUCK3\_VOUT レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
				3Fh = 3.400V

### 7.7.10 BUCK2\_VOUT レジスタ (オフセット = 9h) [リセット = X]

図 7-26 に、BUCK2\_VOUT を示し、表 7-18 に、その説明を示します。

概略表に戻ります。

図 7-26. BUCK2\_VOUT レジスタ

7	6	5	4	3	2	1	0
BUCK2_BW_S EL	BUCK2_UV_TH R_SEL				BUCK2_VSET		
R/W-X	R/W-X				R/W-X		

表 7-18. BUCK2\_VOUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BUCK2_BW_SEL	R/W	X	BUCK2 帯域幅の選択注: レールが無効な場合のみ変更! (NVM メモリからのデフォルト) 0h = 低帯域幅 1h = 高帯域幅
6	BUCK2_UV_THR_SEL	R/W	X	BUCK2 の UV スレッショルドの選択(NVM メモリからのデフォルト) 0h = -5% UV 検出 1h = -10% UV 検出

**表 7-18. BUCK2\_VOUT レジスタのフィールドの説明 (続き)**

ピット	フィールド	タイプ	リセット	説明
5-0	BUCK2_VSET	R/W	X	BUCK2 の電圧選択出力電圧範囲は、0.6V～3.4V です。(NVM メモリからデフォルト) 0h = 0.600V 1h = 0.625V 2h = 0.650V 3h = 0.675V 4h = 0.700V 5h = 0.725V 6h = 0.750V 7h = 0.775V 8h = 0.800V 9h = 0.825V Ah = 0.850V Bh = 0.875V Ch = 0.900V Dh = 0.925V Eh = 0.950V Fh = 0.975V 10h = 1.000V 11h = 1.025V 12h = 1.050V 13h = 1.075V 14h = 1.100V 15h = 1.125V 16h = 1.150V 17h = 1.175V 18h = 1.200V 19h = 1.225V 1Ah = 1.250V 1Bh = 1.275V 1Ch = 1.300V 1Dh = 1.325V 1Eh = 1.350V 1Fh = 1.375V 20h = 1.400V 21h = 1.500V 22h = 1.600V 23h = 1.700V 24h = 1.800V 25h = 1.900V 26h = 2.000V 27h = 2.100V 28h = 2.200V 29h = 2.300V 2Ah = 2.400V 2Bh = 2.500V 2Ch = 2.600V 2Dh = 2.700V 2Eh = 2.800V 2Fh = 2.900V 30h = 3.000V 31h = 3.100V 32h = 3.200V 33h = 3.300V 34h = 3.400V 35h = 3.400V 36h = 3.400V 37h = 3.400V 38h = 3.400V 39h = 3.400V 3Ah = 3.400V 3Bh = 3.400V 3Ch = 3.400V 3Dh = 3.400V 3Eh = 3.400V

表 7-18. BUCK2\_VOUT レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
				3Fh = 3.400V

### 7.7.11 BUCK1\_VOUT レジスタ (オフセット = Ah) [リセット = X]

図 7-27 に、BUCK1\_VOUT を示し、表 7-19 に、その説明を示します。

概略表に戻ります。

**図 7-27. BUCK1\_VOUT レジスタ**

7	6	5	4	3	2	1	0
BUCK1_BW_S EL	BUCK1_UV_TH R_SEL				BUCK1_VSET		
R/W-X	R/W-X				R/W-X		

**表 7-19. BUCK1\_VOUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	BUCK1_BW_SEL	R/W	X	BUCK1 帯域幅の選択注:レールが無効な場合のみ変更！(NVM メモリからのデフォルト) 0h = 低帯域幅 1h = 高帯域幅
6	BUCK1_UV_THR_SEL	R/W	X	BUCK1 の UV スレッショルドの選択(NVM メモリからのデフォルト) 0h = -5% UV 検出 1h = -10% UV 検出

表 7-19. BUCK1\_VOUT レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
5-0	BUCK1_VSET	R/W	X	BUCK1 の電圧選択出力電圧範囲は、0.6V~3.4V です。(NVM メモリからデフォルト) 0h = 0.600V 1h = 0.625V 2h = 0.650V 3h = 0.675V 4h = 0.700V 5h = 0.725V 6h = 0.750V 7h = 0.775V 8h = 0.800V 9h = 0.825V Ah = 0.850V Bh = 0.875V Ch = 0.900V Dh = 0.925V Eh = 0.950V Fh = 0.975V 10h = 1.000V 11h = 1.025V 12h = 1.050V 13h = 1.075V 14h = 1.100V 15h = 1.125V 16h = 1.150V 17h = 1.175V 18h = 1.200V 19h = 1.225V 1Ah = 1.250V 1Bh = 1.275V 1Ch = 1.300V 1Dh = 1.325V 1Eh = 1.350V 1Fh = 1.375V 20h = 1.400V 21h = 1.500V 22h = 1.600V 23h = 1.700V 24h = 1.800V 25h = 1.900V 26h = 2.000V 27h = 2.100V 28h = 2.200V 29h = 2.300V 2Ah = 2.400V 2Bh = 2.500V 2Ch = 2.600V 2Dh = 2.700V 2Eh = 2.800V 2Fh = 2.900V 30h = 3.000V 31h = 3.100V 32h = 3.200V 33h = 3.300V 34h = 3.400V 35h = 3.400V 36h = 3.400V 37h = 3.400V 38h = 3.400V 39h = 3.400V 3Ah = 3.400V 3Bh = 3.400V 3Ch = 3.400V 3Dh = 3.400V 3Eh = 3.400V

表 7-19. BUCK1\_VOUT レジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
				3Fh = 3.400V

### 7.7.12 LDO4\_SEQUENCE\_SLOT レジスタ (オフセット = B<sub>h</sub>) [リセット = X]

図 7-28 に、LDO4\_SEQUENCE\_SLOT を示し、表 7-20 に、その説明を示します。

概略表に戻ります。

図 7-28. LDO4\_SEQUENCE\_SLOT レジスタ

7	6	5	4	3	2	1	0
LDO4_SEQUENCE_ON_SLOT				LDO4_SEQUENCE_OFF_SLOT			
R/W-X				R/W-X			

表 7-20. LDO4\_SEQUENCE\_SLOT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	LDO4_SEQUENCE_ON_SLOT	R/W	X	電源投入時の LDO4 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15
3-0	LDO4_SEQUENCE_OFF_SLOT	R/W	X	電源切断時の LDO4 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15

### 7.7.13 LDO3\_SEQUENCE\_SLOT レジスタ (オフセット = Ch) [リセット = X]

図 7-29 に、LDO3\_SEQUENCE\_SLOT を示し、表 7-21 に、その説明を示します。

概略表に戻ります。

**図 7-29. LDO3\_SEQUENCE\_SLOT レジスタ**

7	6	5	4	3	2	1	0
LDO3_SEQUENCE_ON_SLOT				LDO3_SEQUENCE_OFF_SLOT			
R/W-X				R/W-X			

**表 7-21. LDO3\_SEQUENCE\_SLOT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-4	LDO3_SEQUENCE_ON_SLOT	R/W	X	電源投入時の LDO3 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15
3-0	LDO3_SEQUENCE_OFF_SLOT	R/W	X	電源切断時の LDO3 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15

### 7.7.14 LDO2\_SEQUENCE\_SLOT レジスタ (オフセット = Dh) [リセット = X]

図 7-30 に、LDO2\_SEQUENCE\_SLOT を示し、表 7-22 に、その説明を示します。

概略表に戻ります。

図 7-30. LDO2\_SEQUENCE\_SLOT レジスタ

7	6	5	4	3	2	1	0
LDO2_SEQUENCE_ON_SLOT				LDO2_SEQUENCE_OFF_SLOT			
R/W-X				R/W-X			

表 7-22. LDO2\_SEQUENCE\_SLOT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	LDO2_SEQUENCE_ON_SLOT	R/W	X	電源投入時の LDO2 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15
3-0	LDO2_SEQUENCE_OFF_SLOT	R/W	X	電源切断時の LDO2 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15

### 7.7.15 LDO1\_SEQUENCE\_SLOT レジスタ (オフセット = Eh) [リセット = X]

図 7-31 に、LDO1\_SEQUENCE\_SLOT を示し、表 7-23 に、その説明を示します。

概略表に戻ります。

**図 7-31. LDO1\_SEQUENCE\_SLOT レジスタ**

7	6	5	4	3	2	1	0
LDO1_SEQUENCE_ON_SLOT				LDO1_SEQUENCE_OFF_SLOT			
R/W-X				R/W-X			

**表 7-23. LDO1\_SEQUENCE\_SLOT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-4	LDO1_SEQUENCE_ON_SLOT	R/W	X	電源投入時の LDO1 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15
3-0	LDO1_SEQUENCE_OFF_SLOT	R/W	X	電源切断時の LDO1 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15

### 7.7.16 BUCK3\_SEQUENCE\_SLOT レジスタ (オフセット = Fh) [リセット = X]

図 7-32 に、BUCK3\_SEQUENCE\_SLOT を示し、表 7-24 に、その説明を示します。

概略表に戻ります。

図 7-32. BUCK3\_SEQUENCE\_SLOT レジスタ

7	6	5	4	3	2	1	0
BUCK3_SEQUENCE_ON_SLOT				BUCK3_SEQUENCE_OFF_SLOT			
R/W-X				R/W-X			

表 7-24. BUCK3\_SEQUENCE\_SLOT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	BUCK3_SEQUENCE_ON_SLOT	R/W	X	電源投入時の BUCK3 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15
3-0	BUCK3_SEQUENCE_OF_F_SLOT	R/W	X	電源切断時の BUCK3 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15

### 7.7.17 BUCK2\_SEQUENCE\_SLOT レジスタ (オフセット = 10h) [リセット = X]

図 7-33 に、BUCK2\_SEQUENCE\_SLOT を示し、表 7-25 に、その説明を示します。

概略表に戻ります。

**図 7-33. BUCK2\_SEQUENCE\_SLOT レジスタ**

7	6	5	4	3	2	1	0
BUCK2_SEQUENCE_ON_SLOT				BUCK2_SEQUENCE_OFF_SLOT			
R/W-X				R/W-X			

**表 7-25. BUCK2\_SEQUENCE\_SLOT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-4	BUCK2_SEQUENCE_ON_SLOT	R/W	X	電源投入時の BUCK2 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15
3-0	BUCK2_SEQUENCE_OF_F_SLOT	R/W	X	電源切断時の BUCK2 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15

### 7.7.18 BUCK1\_SEQUENCE\_SLOT レジスタ (オフセット = 11h) [リセット = X]

図 7-34 に、BUCK1\_SEQUENCE\_SLOT を示し、表 7-26 に、その説明を示します。

概略表に戻ります。

図 7-34. BUCK1\_SEQUENCE\_SLOT レジスタ

7	6	5	4	3	2	1	0
BUCK1_SEQUENCE_ON_SLOT				BUCK1_SEQUENCE_OFF_SLOT			
R/W-X				R/W-X			

表 7-26. BUCK1\_SEQUENCE\_SLOT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	BUCK1_SEQUENCE_ON_SLOT	R/W	X	電源投入時の BUCK1 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15
3-0	BUCK1_SEQUENCE_OF_F_SLOT	R/W	X	電源切断時の BUCK1 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15

### 7.7.19 nRST\_SEQUENCE\_SLOT レジスタ (オフセット = 12h) [リセット = X]

図 7-35 に nRST\_SEQUENCE\_SLOT を示し、表 7-27 に、その説明を示します。

概略表に戻ります。

**図 7-35. nRST\_SEQUENCE\_SLOT レジスタ**

7	6	5	4	3	2	1	0
nRST_SEQUENCE_ON_SLOT				nRST_SEQUENCE_OFF_SLOT			
R/W-X				R/W-X			

**表 7-27. nRST\_SEQUENCE\_SLOT レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-4	nRST_SEQUENCE_ON_SLOT	R/W	X	電源投入時の nRST スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15
3-0	nRST_SEQUENCE_OFF_SLOT	R/W	X	電源切断時の nRST スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15

### 7.7.20 GPIO\_SEQUENCE\_SLOT レジスタ (オフセット = 13h) [リセット = X]

図 7-36 に GPIO\_SEQUENCE\_SLOT を示し、表 7-28 に、その説明を示します。

概略表に戻ります。

図 7-36. GPIO\_SEQUENCE\_SLOT レジスタ

7	6	5	4	3	2	1	0
GPIO_SEQUENCE_ON_SLOT				GPIO_SEQUENCE_OFF_SLOT			
R/W-X				R/W-X			

表 7-28. GPIO\_SEQUENCE\_SLOT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPIO_SEQUENCE_ON_SLOT	R/W	X	電源投入時の GPIO スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15
3-0	GPIO_SEQUENCE_OFF_SLOT	R/W	X	電源切断時の GPIO スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15

### 7.7.21 GPO2\_SEQUENCE\_SLOT レジスタ (オフセット = 14h) [リセット = X]

図 7-37 に、GPO2\_SEQUENCE\_SLOT を示し、表 7-29 に、その説明を示します。

概略表に戻ります。

**図 7-37. GPO2\_SEQUENCE\_SLOT レジスタ**

7	6	5	4	3	2	1	0
GPO2_SEQUENCE_ON_SLOT				GPO2_SEQUENCE_OFF_SLOT			
R/W-X				R/W-X			

**表 7-29. GPO2\_SEQUENCE\_SLOT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-4	GPO2_SEQUENCE_ON_SLOT	R/W	X	電源投入時の GPO2 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15
3-0	GPO2_SEQUENCE_OFF_SLOT	R/W	X	電源切断時の GPO2 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15

### 7.7.22 GPO1\_SEQUENCE\_SLOT レジスタ (オフセット = 15h) [リセット = X]

図 7-38 に、GPO1\_SEQUENCE\_SLOT を示し、表 7-30 に、その説明を示します。

概略表に戻ります。

図 7-38. GPO1\_SEQUENCE\_SLOT レジスタ

7	6	5	4	3	2	1	0
GPO1_SEQUENCE_ON_SLOT				GPO1_SEQUENCE_OFF_SLOT			
R/W-X				R/W-X			

表 7-30. GPO1\_SEQUENCE\_SLOT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	GPO1_SEQUENCE_ON_SLOT	R/W	X	電源投入時の GPO1 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15
3-0	GPO1_SEQUENCE_OFF_SLOT	R/W	X	電源切断時の GPO1 スロット番号 (NVM メモリからのデフォルト) 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7 8h = スロット 8 9h = スロット 9 Ah = スロット 10 Bh = スロット 11 Ch = スロット 12 Dh = スロット 13 Eh = スロット 14 Fh = スロット 15

### 7.7.23 POWER\_UP\_SLOT\_DURATION\_1 レジスタ (オフセット = 16h) [リセット = X]

図 7-39 に、POWER\_UP\_SLOT\_DURATION\_1 を示し、表 7-31 に、その説明を示します。

概略表に戻ります。

**図 7-39. POWER\_UP\_SLOT\_DURATION\_1 レジスタ**

7	6	5	4	3	2	1	0
POWER_UP_SLOT_0_DURATION N	POWER_UP_SLOT_1_DURATION N	POWER_UP_SLOT_2_DURATION N	POWER_UP_SLOT_3_DURATION N				
R/W-X	R/W-X			R/W-X		R/W-X	

**表 7-31. POWER\_UP\_SLOT\_DURATION\_1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-6	POWER_UP_SLOT_0_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット0の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
5-4	POWER_UP_SLOT_1_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット1の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
3-2	POWER_UP_SLOT_2_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット2の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
1-0	POWER_UP_SLOT_3_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット3の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms

### 7.7.24 POWER\_UP\_SLOT\_DURATION\_2 レジスタ (オフセット = 17h) [リセット = X]

図 7-40 に、POWER\_UP\_SLOT\_DURATION\_2 を示し、表 7-32 に、その説明を示します。

概略表に戻ります。

図 7-40. POWER\_UP\_SLOT\_DURATION\_2 レジスタ

7	6	5	4	3	2	1	0
POWER_UP_SLOT_4_DURATION N	POWER_UP_SLOT_5_DURATION N	POWER_UP_SLOT_6_DURATION N	POWER_UP_SLOT_7_DURATION N				
R/W-X	R/W-X	R/W-X	R/W-X				

表 7-32. POWER\_UP\_SLOT\_DURATION\_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	POWER_UP_SLOT_4_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット4 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
5-4	POWER_UP_SLOT_5_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット5 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
3-2	POWER_UP_SLOT_6_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット6 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
1-0	POWER_UP_SLOT_7_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット7 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms

### 7.7.25 POWER\_UP\_SLOT\_DURATION\_3 レジスタ (オフセット = 18h) [リセット = X]

図 7-41 に、POWER\_UP\_SLOT\_DURATION\_3 を示し、表 7-33 に、その説明を示します。

概略表に戻ります。

**図 7-41. POWER\_UP\_SLOT\_DURATION\_3 レジスタ**

7	6	5	4	3	2	1	0
POWER_UP_SLOT_8_DURATION	POWER_UP_SLOT_9_DURATION	POWER_UP_SLOT_10_DURATION	POWER_UP_SLOT_11_DURATION				
R/W-X	R/W-X	R/W-X	R/W-X				

**表 7-33. POWER\_UP\_SLOT\_DURATION\_3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-6	POWER_UP_SLOT_8_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット8 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
5-4	POWER_UP_SLOT_9_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット9 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
3-2	POWER_UP_SLOT_10_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット10 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
1-0	POWER_UP_SLOT_11_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット11 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms

### 7.7.26 POWER\_UP\_SLOT\_DURATION\_4 レジスタ (オフセット = 19h) [リセット = X]

図 7-42 に、POWER\_UP\_SLOT\_DURATION\_4 を示し、表 7-34 に、その説明を示します。

概略表に戻ります。

図 7-42. POWER\_UP\_SLOT\_DURATION\_4 レジスタ

7	6	5	4	3	2	1	0
POWER_UP_SLOT_12_DURATION	POWER_UP_SLOT_13_DURATION	POWER_UP_SLOT_14_DURATION	POWER_UP_SLOT_15_DURATION				
R/W-X	R/W-X	R/W-X	R/W-X				

表 7-34. POWER\_UP\_SLOT\_DURATION\_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	POWER_UP_SLOT_12_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット 12 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
5-4	POWER_UP_SLOT_13_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット 13 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
3-2	POWER_UP_SLOT_14_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット 14 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
1-0	POWER_UP_SLOT_15_DURATION	R/W	X	パワーアップ時およびスタンバイからアクティブへのシーケンス中のスロット 15 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms

### 7.7.27 POWER\_DOWN\_SLOT\_DURATION\_1 レジスタ (オフセット = 1Ah) [リセット = X]

図 7-43 に、POWER\_DOWN\_SLOT\_DURATION\_1 を示し、表 7-35 に、その説明を示します。

概略表に戻ります。

**図 7-43. POWER\_DOWN\_SLOT\_DURATION\_1 レジスタ**

7	6	5	4	3	2	1	0
POWER_DOWN_SLOT_0_DURATION	POWER_DOWN_SLOT_1_DURATION	POWER_DOWN_SLOT_2_DURATION	POWER_DOWN_SLOT_3_DURATION				
R/W-X	R/W-X			R/W-X			R/W-X

**表 7-35. POWER\_DOWN\_SLOT\_DURATION\_1 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-6	POWER_DOWN_SLOT_0_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット0の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
5-4	POWER_DOWN_SLOT_1_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット1の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
3-2	POWER_DOWN_SLOT_2_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット2の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
1-0	POWER_DOWN_SLOT_3_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット3の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms

### 7.7.28 POWER\_DOWN\_SLOT\_DURATION\_2 レジスタ (オフセット = 1Bh) [リセット = X]

図 7-44 に、POWER\_DOWN\_SLOT\_DURATION\_2 を示し、表 7-36 に、その説明を示します。

概略表に戻ります。

図 7-44. POWER\_DOWN\_SLOT\_DURATION\_2 レジスタ

7	6	5	4	3	2	1	0
POWER_DOWN_SLOT_4_DURATION	POWER_DOWN_SLOT_5_DURATION	POWER_DOWN_SLOT_6_DURATION	POWER_DOWN_SLOT_7_DURATION				
R/W-X	R/W-X			R/W-X			R/W-X

表 7-36. POWER\_DOWN\_SLOT\_DURATION\_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	POWER_DOWN_SLOT_4_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット4 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
5-4	POWER_DOWN_SLOT_5_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット5 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
3-2	POWER_DOWN_SLOT_6_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット6 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
1-0	POWER_DOWN_SLOT_7_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット7 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms

### 7.7.29 POWER\_DOWN\_SLOT\_DURATION\_3 レジスタ (オフセット = 1Ch) [リセット = X]

図 7-45 に、POWER\_DOWN\_SLOT\_DURATION\_3 を示し、表 7-37 に、その説明を示します。

概略表に戻ります。

**図 7-45. POWER\_DOWN\_SLOT\_DURATION\_3 レジスタ**

7	6	5	4	3	2	1	0
POWER_DOWN_SLOT_8_DURATION	POWER_DOWN_SLOT_9_DURATION	POWER_DOWN_SLOT_10_DURATION	POWER_DOWN_SLOT_11_DURATION				
R/W-X	R/W-X		R/W-X			R/W-X	

**表 7-37. POWER\_DOWN\_SLOT\_DURATION\_3 レジスタのフィールドの説明**

ピット	フィールド	タイプ	リセット	説明
7-6	POWER_DOWN_SLOT_8_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 8 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
5-4	POWER_DOWN_SLOT_9_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 9 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
3-2	POWER_DOWN_SLOT_10_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 10 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
1-0	POWER_DOWN_SLOT_11_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 11 の持続時間。 (NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms

### 7.7.30 POWER\_DOWN\_SLOT\_DURATION\_4 レジスタ (オフセット = 1Dh) [リセット = X]

図 7-46 に、POWER\_DOWN\_SLOT\_DURATION\_4 を示し、表 7-38 に、その説明を示します。

概略表に戻ります。

図 7-46. POWER\_DOWN\_SLOT\_DURATION\_4 レジスタ

7	6	5	4	3	2	1	0
POWER_DOWN_SLOT_12_DURATION	POWER_DOWN_SLOT_13_DURATION	POWER_DOWN_SLOT_14_DURATION	POWER_DOWN_SLOT_15_DURATION				
R/W-X	R/W-X			R/W-X		R/W-X	

表 7-38. POWER\_DOWN\_SLOT\_DURATION\_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	POWER_DOWN_SLOT_12_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 12 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
5-4	POWER_DOWN_SLOT_13_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 13 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
3-2	POWER_DOWN_SLOT_14_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 14 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms
1-0	POWER_DOWN_SLOT_15_DURATION	R/W	X	パワーダウン時およびアクティブからスタンバイへのシーケンス中のスロット 15 の持続時間。(NVM メモリからのデフォルト) 0h = 0ms 1h = 1.5ms 2h = 3ms 3h = 10ms

### 7.7.31 GENERAL\_CONFIG レジスタ (オフセット = 1Eh) [リセット = X]

図 7-47 に GENERAL\_CONFIG を示し、表 7-39 に、その説明を示します。

概略表に戻ります。

**図 7-47. GENERAL\_CONFIG レジスタ**

7	6	5	4	3	2	1	0
BYPASS_RAIL S_DISCHARGE D_CHECK	LDO4_UV_THR	LDO3_UV_THR	LDO2_UV_THR	LDO1_UV_THR	GPIO_EN	GPO2_EN	GPO1_EN
R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X

**表 7-39. GENERAL\_CONFIG レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	BYPASS_RAILS_DISCHARGE_CHECK	R/W	X	全レール放電チェックをバイパスしてアクティブ状態への遷移を開始します。レールインスロット放電チェックは初期化状態への電源切断中に各スロットで実行します。レギュレータを有効にする前に、RV (プライバイス) 状態のチェックをバイパスしないでください。(NVM メモリからのデフォルト) 0h = 放電チェックを強制 1h = 放電チェックをバイパス
6	LDO4_UV_THR	R/W	X	LDO4 の UV スレッショルドの選択ビット LDO として構成されている場合にのみ適用されます。(NVM メモリからのデフォルト) 0h = -5% UV 検出 1h = -10% UV 検出
5	LDO3_UV_THR	R/W	X	LDO3 の UV スレッショルドの選択ビット LDO として構成されている場合にのみ適用されます。(NVM メモリからのデフォルト) 0h = -5% UV 検出 1h = -10% UV 検出
4	LDO2_UV_THR	R/W	X	LDO2 の UV スレッショルドの選択ビット LDO として構成されている場合にのみ適用されます。(NVM メモリからのデフォルト) 0h = -5% UV 検出 1h = -10% UV 検出
3	LDO1_UV_THR	R/W	X	LDO1 の UV スレッショルドの選択ビット LDO として構成されている場合にのみ適用されます。(NVM メモリからのデフォルト) 0h = -5% UV 検出 1h = -10% UV 検出
2	GPIO_EN	R/W	X	GPIO のイネーブル制御と状態制御の両方。このビットは、GPIO 機能を有効化し、GPIO ピンの状態も制御します。(NVM メモリからのデフォルト) 0h = GPIO 機能は無効です。出力状態は「低」です。 1h = GPIO 機能は有効です。出力状態は「高」です。
1	GPO2_EN	R/W	X	GPO2 のイネーブル制御と状態制御の両方。このビットは、GPO2 機能を有効化し、GPO2 ピンの状態も制御します。(NVM メモリからのデフォルト) 0h = GPO2 は無効です。出力状態は低です。 1h = GPO2 は有効です。出力状態は高 Z です。
0	GPO1_EN	R/W	X	GPO1 のイネーブル制御と状態制御の両方。このビットは、GPO1 機能を有効化し、GPO1 ピンの状態も制御します。(NVM メモリからのデフォルト) 0h = GPO1 は無効です。出力状態は低です。 1h = GPO1 は有効です。出力状態は高 Z です。

### 7.7.32 MFP\_1\_CONFIG レジスタ (オフセット = 1Fh) [リセット = X]

図 7-48 に、MFP\_1\_CONFIG を示し、表 7-40 に、その説明を示します。

概略表に戻ります。

図 7-48. MFP\_1\_CONFIG レジスタ

7	6	5	4	3	2	1	0
MODE_I2C_CTRL	VSEL_SD_I2C_CTRL	MODE_RESET_POLARITY	MODE_STBY_POLARITY	MULTI_DEVICE_ENABLE	VSEL_RAIL	VSEL_SD_POLARITY	VSEL_DDR_SD
R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X

表 7-40. MFP\_1\_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MODE_I2C_CTRL	R/W	X	I2C を使用するモード制御。MODE/RESET や MODE/STBY ピンによる MODE 制御で統合。データシートの表を参照してください。(NVM メモリからのデフォルト) 0h = 自動 PFM 1h = 強制 PWM
6	VSEL_SD_I2C_CTRL	R/W	X	I2C を使用した VSEL_SD 制御。VSEL_SD/VSEL_DDR ピンが「VSEL_DDR」として構成されている場合のみ適用されます。(NVM メモリからのデフォルト) 0h = 1.8V 1h = LDOx_VOUT レジスタ設定
5	MODE_RESET_POLARITY	R/W	X	MODE_RESET ピンの極性設定。注:操作中に変更しても問題ありませんが、すぐに対応してください。MODE-変更または RESET-エントリ! (NVM メモリからのデフォルト) 0h = [MODE として構成されている場合] LOW - 自動 PFM/HIGH - 強制 PWM。[RESET として構成されている場合] LOW - リセット/HIGH - 通常動作。 1h = [MODE として構成されている場合] HIGH - 自動 PFM/LOW - 強制 PWM。[RESET として構成されている場合] HIGH - リセット/LOW - 通常動作。
4	MODE_STBY_POLARITY	R/W	X	MODE_STBY ピンの極性設定。注:操作中に変更しても問題ありませんが、すぐに対応してください。モード変更または状態変更! (NVM メモリからのデフォルト) 0h = [MODE として構成されている場合] LOW - 自動 PFM/HIGH - 強制 PWM。[STBY として構成されている場合] LOW - スタンバイ状態 / HIGH - アクティブ状態。 1h = [MODE として構成されている場合] HIGH - 自動 PFM/LOW - 強制 PWM。[STBY として構成されている場合] HIGH - スタンバイ状態 / LOW - アクティブ状態。
3	MULTI_DEVICE_ENABLE	R/W	X	GPO が GPO 機能として使用される单一デバイスとして、または GPO を使用して他のデバイスと同期するために使用するマルチ デバイス構成として、デバイスを構成します。注:初期化状態でのみ変更します! (NVM メモリからのデフォルト) 0h = 単一デバイス構成、GPIO ピンを GPO として構成 1h = マルチ デバイス構成、GPIO ピンを GPIO として構成
2	VSEL_RAIL	R/W	X	LDO は VSEL_SD/VSEL_DDR によって制御されます。注:初期化状態でのみ変更します! (NVM メモリからのデフォルト) 0h = LDO1 1h = LDO2
1	VSEL_SD_POLARITY	R/W	X	SD カード電圧選択 注:操作中に変更しても問題ありませんが、すぐに対応してください。SD カードの電源電圧の変更です! (NVM メモリからのデフォルト) 0h = LOW - 1.8V / HIGH - LDOx_VOUT レジスタ設定 1h = HIGH - 1.8V / LOW - LDOx_VOUT レジスタ設定

**表 7-40. MFP\_1\_CONFIG レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
0	VSEL_DDR_SD	R/W	X	VSEL_SD/VSEL_DDR の構成 注: 初期化状態でのみ変更します! (NVM メモリからのデフォルト) 0h = VSEL ピンを DDR として構成して Buck3 の電圧を設定 1h = VSEL ピンを SD として構成して VSEL_RAIL の電圧を設定

### 7.7.33 MFP\_2\_CONFIG レジスタ (オフセット = 20h) [リセット = X]

図 7-49 に、MFP\_2\_CONFIG を示し、表 7-41 に、その説明を示します。

概略表に戻ります。

図 7-49. MFP\_2\_CONFIG レジスタ

7	6	5	4	3	2	1	0
PU_ON_FSD	WARM_COLD_RESET_CONFIG	EN_PB_VSENSE_CONFIG	EN_PB_VSENSE_DEGL	MODE_RESET_CONFIG	MODE_STBY_CONFIG		
R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X		

表 7-41. MFP\_2\_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PU_ON_FSD	R/W	X	最初の電源検出(FSD)時点で電源を投入します。そのため、VSYS が印加されると、EN/PB/VSENSE ピンが OFF_REQ ステータスであっても、デバイスはアクティブ状態に起動します。(NVM メモリからのデフォルト) 0h = 最初の電源検出(FSD)は無効です。 1h = 最初の電源検出(FSD)は有効です。
6	WARM_COLD_RESET_CONFIG	R/W	X	MODE/RESET ピンを介して RESET イベントがトリガされるとき、WARM または COLD リセットを選択 (I2C を介した RESET には非適用) (NVM メモリからのデフォルト) 0h = COLD RESET 1h = WARM RESET
5-4	EN_PB_VSENSE_CONFIG	R/W	X	イネーブル/プッシュボタン/VSENSE 構成。NVM のロード後に I2C を介して変更しないでください (NVM をプログラムする前のブレーカーソル以外) (NVM メモリからのデフォルト) 0h = デバイス有効化構成 1h = プッシュボタン構成 2h = VSENSE 構成 3h = デバイス有効化構成
3	EN_PB_VSENSE_DEGL	R/W	X	イネーブル/プッシュボタン/VSENSE グリッチ除去 注: 初期化状態でのみ変更します! EN/VSENSE から PB、または PB から EN/VSENSE に変更したときは、すぐに対応してください: 電源投入! (NVM メモリからのデフォルト) 0h = 短 (typ: EN/VSENSE では 120μs、PB では 200ms) 1h = 長 (typ: EN/VSENSE で 50ms、PB で 600ms)
2	MODE_RESET_CONFIG	R/W	X	MODE/RESET 構成 (NVM メモリからのデフォルト) 0h = MODE 1h = RESET
1-0	MODE_STBY_CONFIG	R/W	X	MODE_STBY 構成 (NVM メモリからのデフォルト) 0h = MODE 1h = STBY 2h = MODE および STBY 3h = MODE

### 7.7.34 STBY\_1\_CONFIG レジスタ (オフセット = 21h) [リセット = X]

図 7-50 に、STBY\_1\_CONFIG を示し、表 7-42 に、その説明を示します。

概略表に戻ります。

**図 7-50. STBY\_1\_CONFIG レジスタ**

7	6	5	4	3	2	1	0
予約済み	LDO4_STBY_E N	LDO3_STBY_E N	LDO2_STBY_E N	LDO1_STBY_E N	BUCK3_STBY_ EN	BUCK2_STBY_ EN	BUCK1_STBY_ EN
R-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X

**表 7-42. STBY\_1\_CONFIG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	予約済み
6	LDO4_STBY_EN	R/W	X	スタンバイ状態で LDO4 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで無効 1h = STBY モードで有効
5	LDO3_STBY_EN	R/W	X	スタンバイ状態で LDO3 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで無効 1h = STBY モードで有効
4	LDO2_STBY_EN	R/W	X	スタンバイ状態で LDO2 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで無効 1h = STBY モードで有効
3	LDO1_STBY_EN	R/W	X	スタンバイ状態で LDO1 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで無効 1h = STBY モードで有効
2	BUCK3_STBY_EN	R/W	X	スタンバイ状態で BUCK3 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで無効 1h = STBY モードで有効
1	BUCK2_STBY_EN	R/W	X	スタンバイ状態で BUCK2 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで無効 1h = STBY モードで有効
0	BUCK1_STBY_EN	R/W	X	スタンバイ状態で BUCK1 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで無効 1h = STBY モードで有効

### 7.7.35 STBY\_2\_CONFIG レジスタ (オフセット = 22h) [リセット = X]

図 7-51 に、STBY\_2\_CONFIG を示し、表 7-43 に、その説明を示します。

概略表に戻ります。

図 7-51. STBY\_2\_CONFIG レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	予約済み	予約済み	GPIO_STBY_EN	GPO2_STBY_EN	GPO1_STBY_EN
R-X	R-X	R-X	R-X	R-X	R/W-X	R/W-X	R/W-X

表 7-43. STBY\_2\_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	予約済み
6	予約済み	R	X	予約済み
5	予約済み	R	X	予約済み
4	予約済み	R	X	予約済み
3	予約済み	R	X	予約済み
2	GPIO_STBY_EN	R/W	X	スタンバイ状態で GPIO を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで無効 1h = STBY モードで有効
1	GPO2_STBY_EN	R/W	X	スタンバイ状態で GPO2 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで無効 1h = STBY モードで有効
0	GPO1_STBY_EN	R/W	X	スタンバイ状態で GPO1 を有効にします。(NVM メモリからのデフォルト) 0h = STBY モードで無効 1h = STBY モードで有効

### 7.7.36 OC\_DEGL\_CONFIG レジスタ (オフセット = 23h) [リセット = X]

図 7-52 に OC\_DEGL\_CONFIG を示し、表 7-44 に、その説明を示します。

概略表に戻ります。

**図 7-52. OC\_DEGL\_CONFIG レジスタ**

7	6	5	4	3	2	1	0
予約済み	EN_LONG_DEGL_FOR_OC_LDO4	EN_LONG_DEGL_FOR_OC_LDO3	EN_LONG_DEGL_FOR_OC_LDO2	EN_LONG_DEGL_FOR_OC_LDO1	EN_LONG_DEGL_FOR_OC_BUCK3	EN_LONG_DEGL_FOR_OC_BUCK2	EN_LONG_DEGL_FOR_OC_BUCK1
R-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X

**表 7-44. OC\_DEGL\_CONFIG レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	予約済み
6	EN_LONG_DEGL_FOR_OC_LDO4	R/W	X	設定すると、LDO4 の過電流信号用の長いグリッチ除去オプションが有効になります。クリアすると、LDO4 の過電流信号用の短いグリッチ除去オプションが有効になります。(NVM メモリからのデフォルト) 0h = LDO4 の過電流信号用のグリッチ除去期間は最大 20μs 1h = LDO4 の過電流信号用のグリッチ除去期間は最大 2ms
5	EN_LONG_DEGL_FOR_OC_LDO3	R/W	X	設定すると、LDO3 の過電流信号用の長いグリッチ除去オプションが有効になります。クリアすると、LDO3 の過電流信号用の短いグリッチ除去オプションが有効になります。(NVM メモリからのデフォルト) 0h = LDO3 の過電流信号用のグリッチ除去期間は最大 20μs 1h = LDO3 の過電流信号用のグリッチ除去期間は最大 2ms
4	EN_LONG_DEGL_FOR_OC_LDO2	R/W	X	設定すると、LDO2 の過電流信号用の長いグリッチ除去オプションが有効になります。クリアすると、LDO2 の過電流信号用の短いグリッチ除去オプションが有効になります。(NVM メモリからのデフォルト) 0h = LDO2 の過電流信号用のグリッチ除去期間は最大 20μs 1h = LDO2 の過電流信号用のグリッチ除去期間は最大 2ms
3	EN_LONG_DEGL_FOR_OC_LDO1	R/W	X	設定すると、LDO1 の過電流信号用の長いグリッチ除去オプションが有効になります。クリアすると、LDO1 の過電流信号用の短いグリッチ除去オプションが有効になります。(NVM メモリからのデフォルト) 0h = LDO1 の過電流信号用のグリッチ除去期間は最大 20μs 1h = LDO1 の過電流信号用のグリッチ除去期間は最大 2ms
2	EN_LONG_DEGL_FOR_OC_BUCK3	R/W	X	設定すると、BUCK3 の過電流信号用の長いグリッチ除去オプションが有効になります。クリアすると、BUCK3 の過電流信号用の短いグリッチ除去オプションが有効になります。(NVM メモリからのデフォルト) 0h = BUCK3 の過電流信号用グリッチ除去期間 (ハイサイド過電流、ローサイド過電流、ローサイド逆/負過電流) は最大 20μs 1h = BUCK3 の過電流信号用グリッチ除去期間 (ハイサイド過電流、ローサイド過電流、ローサイド逆/負過電流) は最大 2ms
1	EN_LONG_DEGL_FOR_OC_BUCK2	R/W	X	設定すると、BUCK2 の過電流信号用の長いグリッチ除去オプションが有効になります。クリアすると、BUCK2 の過電流信号用の短いグリッチ除去オプションが有効になります。(NVM メモリからのデフォルト) 0h = BUCK2 の過電流信号用グリッチ除去期間 (ハイサイド過電流、ローサイド過電流、ローサイド逆/負過電流) は最大 20μs 1h = BUCK2 の過電流信号用グリッチ除去期間 (ハイサイド過電流、ローサイド過電流、ローサイド逆/負過電流) は最大 2ms
0	EN_LONG_DEGL_FOR_OC_BUCK1	R/W	X	設定すると、BUCK1 の過電流信号用の長いグリッチ除去オプションが有効になります。クリアすると、BUCK1 の過電流信号用の短いグリッチ除去オプションが有効になります。(NVM メモリからのデフォルト) 0h = BUCK1 の過電流信号用グリッチ除去期間 (ハイサイド過電流、ローサイド過電流、ローサイド逆/負過電流) は最大 20μs 1h = BUCK1 の過電流信号用グリッチ除去期間 (ハイサイド過電流、ローサイド過電流、ローサイド逆/負過電流) は最大 2ms

### 7.7.37 INT\_MASK\_UV レジスタ (オフセット = 24h) [リセット = X]

図 7-53 に INT\_MASK\_UV を示し、表 7-45 に、その説明を示します。

概略表に戻ります。

図 7-53. INT\_MASK\_UV レジスタ

7	6	5	4	3	2	1	0
MASK_RETRY_COUNT	BUCK3_UV_MASK	BUCK2_UV_MASK	BUCK1_UV_MASK	LDO4_UV_MASK	LDO3_UV_MASK	LDO2_UV_MASK	LDO1_UV_MASK
R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X

表 7-45. INT\_MASK\_UV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MASK_RETRY_COUNT	R/W	X	設定すると、デバイスは 2 回再試行しても起動できます。(NVM メモリからのデフォルト) 0h = デバイスは 2 回を超えると再試行せず、オフのまま 1h = デバイスは永遠に再試行
6	BUCK3_UV_MASK	R/W	X	BUCK3 低電圧マスク。(NVM メモリからのデフォルト) 0h = マスクなし (故障をレポート) 1h = マスクあり (故障レポートなし)
5	BUCK2_UV_MASK	R/W	X	BUCK2 低電圧マスク。(NVM メモリからのデフォルト) 0h = マスクなし (故障をレポート) 1h = マスクあり (故障レポートなし)
4	BUCK1_UV_MASK	R/W	X	BUCK1 低電圧マスク。(NVM メモリからのデフォルト) 0h = マスクなし (故障をレポート) 1h = マスクあり (故障レポートなし)
3	LDO4_UV_MASK	R/W	X	LDO4 低電圧マスク- BYP または LSW モードで常にマスクされます。(NVM メモリからのデフォルト) 0h = マスクなし (故障をレポート) 1h = マスクあり (故障レポートなし)
2	LDO3_UV_MASK	R/W	X	LDO3 低電圧マスク- BYP または LSW モードで常にマスクされます。(NVM メモリからのデフォルト) 0h = マスクなし (故障をレポート) 1h = マスクあり (故障レポートなし)
1	LDO2_UV_MASK	R/W	X	LDO2 低電圧マスク- BYP または LSW モードで常にマスクされます。(NVM メモリからのデフォルト) 0h = マスクなし (故障をレポート) 1h = マスクあり (故障レポートなし)
0	LDO1_UV_MASK	R/W	X	LDO1 低電圧マスク- BYP または LSW モードで常にマスクされます。(NVM メモリからのデフォルト) 0h = マスクなし (故障をレポート) 1h = マスクあり (故障レポートなし)

### 7.7.38 MASK\_CONFIG レジスタ (オフセット = 25h) [リセット = X]

図 7-54 に MASK\_CONFIG を示し、表 7-46 に、その説明を示します。

概略表に戻ります。

**図 7-54. MASK\_CONFIG レジスタ**

7	6	5	4	3	2	1	0
MASK_INT_FO R_PB	MASK_EFFECT	MASK_INT_FO R_RV	SENSOR_0_W ARM_MASK	SENSOR_1_W ARM_MASK	SENSOR_2_W ARM_MASK	SENSOR_3_W ARM_MASK	
R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X	R/W-X

**表 7-46. MASK\_CONFIG レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	MASK_INT_FOR_PB	R/W	X	nINT ピンが PushButton (PB) の押下/解放イベントに敏感かどうかを制御するマスキングビット。(NVM メモリからのデフォルト) 0h = マスクなし (すべての PB イベントで nINT が低にプル) 1h = マスクあり (すべての PB イベントで nINT は敏感でない)
6-5	MASK_EFFECT	R/W	X	マスクの効果 (グローバル) (NVM メモリからのデフォルト) 0h = 状態変化なし、nINT 応答なし、フォルトのビット設定なし 1h = 状態変化なし、nINT 応答なし、フォルトのビット設定 2h = 状態変化なし、nINT 応答、フォルトのビット設定 (11b と同じ) 3h = 状態変化なし、nINT 応答、フォルトのビット設定 (10b と同じ)
4	MASK_INT_FOR_RV	R/W	X	nINT ピンが RV(残留電圧) イベントに敏感かどうかを制御するマスキングビット。(NVM メモリからのデフォルト) 0h = マスクなし (アクティブ状態への移行中またはレールの有効化中のすべての RV イベントで nINT が低にプル) 1h = マスクあり (すべての RV イベントで nINT は敏感でない)
3	SENSOR_0_WARM_MAS K	R/W	X	ダイ温度ウォーム フォルト マスク、センサ 0。(NVM メモリからのデフォルト) 0h = マスクなし (故障をレポート) 1h = マスクあり (故障レポートなし)
2	SENSOR_1_WARM_MAS K	R/W	X	ダイ温度ウォーム フォルト マスク、センサ 1。(NVM メモリからのデフォルト) 0h = マスクなし (故障をレポート) 1h = マスクあり (故障レポートなし)
1	SENSOR_2_WARM_MAS K	R/W	X	ダイ温度ウォーム フォルト マスク、センサ 2。(NVM メモリからのデフォルト) 0h = マスクなし (故障をレポート) 1h = マスクあり (故障レポートなし)
0	SENSOR_3_WARM_MAS K	R/W	X	ダイ温度ウォーム フォルト マスク、センサ 3。(NVM メモリからのデフォルト) 0h = マスクなし (故障をレポート) 1h = マスクあり (故障レポートなし)

### 7.7.39 I2C\_ADDRESS\_REG レジスタ (オフセット = 26h) [リセット = X]

図 7-55 に、I2C\_ADDRESS\_REG を示し、表 7-47 に、その説明を示します。

概略表に戻ります。

図 7-55. I2C\_ADDRESS\_REG レジスタ

7	6	5	4	3	2	1	0
DIY_NVM_PRO GRAM_CMD_I SSUED							I2C_ADDRESS
R/W-X							R/W-X

表 7-47. I2C\_ADDRESS\_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DIY_NVM_PROGRAM_C MD_ISSUED	R/W	X	DIY プログラムコマンドが試行されたかどうかを示すビット。一度設定すると、常に設定されたままになります。(NVM メモリからのデフォルト) 0h = NVM データの変更なし 1h = DIY プログラムコマンドを介して NVM データ変更を試行
6-0	I2C_ADDRESS	R/W	X	I2C セカンダリ アドレス。注:操作中に変更しても問題ありませんが、すぐに対応してください。読み取り/書き込み用の新しいアドレスです！(NVM メモリからのデフォルト)

### 7.7.40 USER\_GENERAL\_NVM\_STORAGE\_REG レジスタ (オフセット = 27h) [リセット = X]

図 7-56 に USER\_GENERAL\_NVM\_STORAGE\_REG を示し、表 7-48 に、その説明を示します。

概略表に戻ります。

**図 7-56. USER\_GENERAL\_NVM\_STORAGE\_REG レジスタ**

7	6	5	4	3	2	1	0
USER_GENERAL_NVM_STORAGE							
R/W-X							

**表 7-48. USER\_GENERAL\_NVM\_STORAGE\_REG レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-0	USER_GENERAL_NVM_STORAGE	R/W	X	顧客が変更した NVM バージョンの NVM-ID など、ユーザーデータを格納するためにユーザーが使用できる 8 ビットの NVM ベースのレジスタ。 (NVM メモリからのデフォルト)

### 7.7.41 MANUFACTURING\_VER レジスタ (オフセット = 28h) [リセット = 00h]

図 7-57 に MANUFACTURING\_VER を示し、表 7-49 に、その説明を示します。

概略表に戻ります。

図 7-57. MANUFACTURING\_VER レジスタ

7	6	5	4	3	2	1	0
SILICON_REV							
R-0h							

表 7-49. MANUFACTURING\_VER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	SILICON_REV	R	0h	SILICON_REV[7:6] - 予約済み SILICON_REV[5:3] - ALR SILICON_REV[2:0] - 金属シリコン リビジョン ハードウェアード(NVM では制御されていません)

### 7.7.42 MFP\_CTRL レジスタ (オフセット = 29h) [リセット = X]

図 7-58 に MFP\_CTRL を示し、表 7-50 に、その説明を示します。

概略表に戻ります。

**図 7-58. MFP\_CTRL レジスタ**

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	GPIO_STATUS	WARM_RESET_I2C_CTRL	COLD_RESET_I2C_CTRL	STBY_I2C_CTRL	I2C_OFF_REQ
R-X	R-X	R-X	R-0h	R/W SelfClrF-0h	R/W-0h	R/W-0h	R/W SelfClrF-0h

**表 7-50. MFP\_CTRL レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	予約済み
6	予約済み	R	X	予約済み
5	予約済み	R	X	予約済み
4	GPIO_STATUS	R	0h	GPIO ピンのリアルタイム値を示す 0h = GPIO ピンは現在「0」 1h = GPIO ピンは現在「1」
3	WARM_RESET_I2C_CTRL	R/W SelfClrF	0h	「1」と書き込まれると、ウォームリセットがトリガされます。注: このビットは自動的にクリアされるため、書き込み後に「1」として読み出すことはできません。 0h = 通常動作 1h = WARM_RESET
2	COLD_RESET_I2C_CTRL	R/W	0h	High に設定すると、コールドリセットがトリガされます。初期化に入るとクリアされます。 0h = 通常動作 1h = COLD_RESET
1	STBY_I2C_CTRL	R/W	0h	I2C を使用した STBY 制御。STBY/STBY ピンによるモード制御で統合。 仕様の表を参照。 0h = 通常動作 1h = STBY モード
0	I2C_OFF_REQ	R/W SelfClrF	0h	このビットに「1」が書き込まれた場合: オフ要求をトリガします。「0」の場合: 影響なし。セルフクリアを行います。 0h = 影響なし 1h = オフ要求をトリガ

### 7.7.43 DISCHARGE\_CONFIG レジスタ (オフセット = 2Ah) [リセット = X]

図 7-59 に DISCHARGE\_CONFIG を示し、表 7-51 に、その説明を示します。

概略表に戻ります。

図 7-59. DISCHARGE\_CONFIG レジスタ

7	6	5	4	3	2	1	0
予約済み	LDO4_DISCHARGE_EN	LDO3_DISCHARGE_EN	LDO2_DISCHARGE_EN	LDO1_DISCHARGE_EN	BUCK3_DISCHARGE_EN	BUCK2_DISCHARGE_EN	BUCK1_DISCHARGE_EN
R-X	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 7-51. DISCHARGE\_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	予約済み
6	LDO4_DISCHARGE_EN	R/W	1h	LDO4 の放電設定 0h = 放電なし 1h = 250Ω
5	LDO3_DISCHARGE_EN	R/W	1h	LDO3 の放電設定 0h = 放電なし 1h = 250Ω
4	LDO2_DISCHARGE_EN	R/W	1h	LDO2 の放電設定 0h = 放電なし 1h = 200Ω
3	LDO1_DISCHARGE_EN	R/W	1h	LDO1 の放電設定 0h = 放電なし 1h = 200Ω
2	BUCK3_DISCHARGE_EN	R/W	1h	BUCK3 の放電設定 0h = 放電なし 1h = 125Ω
1	BUCK2_DISCHARGE_EN	R/W	1h	BUCK2 の放電設定 0h = 放電なし 1h = 125Ω
0	BUCK1_DISCHARGE_EN	R/W	1h	BUCK1 の放電設定 0h = 放電なし 1h = 125Ω

### 7.7.44 INT\_SOURCE レジスタ (オフセット = 2Bh) [リセット = 00h]

図 7-60 に INT\_SOURCE を示し、表 7-52 に、その説明を示します。

概略表に戻ります。

**図 7-60. INT\_SOURCE レジスタ**

7	6	5	4	3	2	1	0
INT_PB_IS_SE T	INT_LDO_3_4_IS_SET	INT_LDO_1_2_IS_SET	INT_BUCK_3_I S_SET	INT_BUCK_1_2_IS_SET	INT_SYSTEM_I S_SET	INT_RV_IS_SE T	INT_TIMEOUT_RV_SD_IS_SE T
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

**表 7-52. INT\_SOURCE レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	INT_PB_IS_SET	R	0h	レジスタ INT_PB に INT の 1 つ以上のソースが存在 0h = INT_PB のビット設定なし 1h = INT_PB に 1 つ以上のビット設定
6	INT_LDO_3_4_IS_SET	R	0h	レジスタ INT_LDO_3_4 に INT の 1 つ以上のソースが存在 0h = INT_LDO_3_4 のビット設定なし 1h = INT_LDO_3_4 に 1 つ以上のビット設定
5	INT_LDO_1_2_IS_SET	R	0h	レジスタ INT_LDO_1_2 に INT の 1 つ以上のソースが存在 0h = INT_LDO_1_2 のビット設定なし 1h = INT_LDO_1_2 に 1 つ以上のビット設定
4	INT_BUCK_3_IS_SET	R	0h	レジスタ INT_BUCK_3 に INT の 1 つ以上のソースが存在 0h = INT_BUCK_3 のビット設定なし 1h = INT_BUCK_3 に 1 つ以上のビット設定
3	INT_BUCK_1_2_IS_SET	R	0h	レジスタ INT_BUCK_1_2 に INT の 1 つ以上のソースが存在 0h = INT_BUCK_1_2 のビット設定なし 1h = INT_BUCK_1_2 に 1 つ以上のビット設定
2	INT_SYSTEM_IS_SET	R	0h	レジスタ INT_SYSTEM に INT の 1 つ以上のソースが存在 0h = INT_SYSTEM のビット設定なし 1h = INT_SYSTEM に 1 つ以上のビット設定
1	INT_RV_IS_SET	R	0h	レジスタ INT_RV に INT の 1 つ以上のソースが存在 0h = INT_RV のビット設定なし 1h = INT_RV に 1 つ以上のビット設定
0	INT_TIMEOUT_RV_SD_IS_SET	R	0h	レジスタ INT_TIMEOUT_RV_SD に INT の 1 つ以上のソースが存在 0h = INT_TIMEOUT_RV_SD のビット設定なし 1h = INT_TIMEOUT_RV_SD に 1 つ以上のビット設定

### 7.7.45 INT\_LDO\_3\_4 レジスタ (オフセット = 2Ch) [リセット = X]

図 7-61 に、INT\_LDO\_3\_4 を示し、表 7-53 に、その説明を示します。

概略表に戻ります。

図 7-61. INT\_LDO\_3\_4 レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	LDO4_UV	LDO4_OC	LDO4_SCG	LDO3_UV	LDO3_OC	LDO3_SCG
R-X	R-X	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 7-53. INT\_LDO\_3\_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	予約済み
6	予約済み	R	X	予約済み
5	LDO4_UV	R/W1C	0h	LDO4 低電圧フォルト INT_MASK_UV レジスタの対応する *_UV_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます 0h = フォルト検出なし 1h = フォルト検出
4	LDO4_OC	R/W1C	0h	LDO4 過電流フォルト。 0h = フォルト検出なし 1h = フォルト検出
3	LDO4_SCG	R/W1C	0h	LDO4 のグランドへの短絡フォルト 0h = フォルト検出なし 1h = フォルト検出
2	LDO3_UV	R/W1C	0h	LDO3 低電圧フォルト INT_MASK_UV レジスタの対応する *_UV_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます 0h = フォルト検出なし 1h = フォルト検出
1	LDO3_OC	R/W1C	0h	LDO3 過電流フォルト 0h = フォルト検出なし 1h = フォルト検出
0	LDO3_SCG	R/W1C	0h	LDO3 のグランドへの短絡フォルト 0h = フォルト検出なし 1h = フォルト検出

### 7.7.46 INT\_LDO\_1\_2 レジスタ (オフセット = 2Dh) [リセット = X]

図 7-62 に、INT\_LDO\_1\_2 を示し、表 7-54 に、その説明を示します。

概略表に戻ります。

**図 7-62. INT\_LDO\_1\_2 レジスタ**

7	6	5	4	3	2	1	0
予約済み	予約済み	LDO2_UV	LDO2_OC	LDO2_SCG	LDO1_UV	LDO1_OC	LDO1_SCG
R-X	R-X	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

**表 7-54. INT\_LDO\_1\_2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	予約済み
6	予約済み	R	X	予約済み
5	LDO2_UV	R/W1C	0h	LDO2 低電圧フォルト INT_MASK_UV レジスタの対応する *_UV_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます 0h = フォルト検出なし 1h = フォルト検出
4	LDO2_OC	R/W1C	0h	LDO2 過電流フォルト 0h = フォルト検出なし 1h = フォルト検出
3	LDO2_SCG	R/W1C	0h	LDO2 のグランドへの短絡フォルト 0h = フォルト検出なし 1h = フォルト検出
2	LDO1_UV	R/W1C	0h	LDO1 低電圧フォルト INT_MASK_UV レジスタの対応する *_UV_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます 0h = フォルト検出なし 1h = フォルト検出
1	LDO1_OC	R/W1C	0h	LDO1 過電流フォルト 0h = フォルト検出なし 1h = フォルト検出
0	LDO1_SCG	R/W1C	0h	LDO1 のグランドへの短絡フォルト 0h = フォルト検出なし 1h = フォルト検出

### 7.7.47 INT\_BUCK\_3 レジスタ (オフセット = 2Eh) [リセット = X]

図 7-63 に、INT\_BUCK\_3 を示し、表 7-55 に、その説明を示します。

概略表に戻ります。

図 7-63. INT\_BUCK\_3 レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	予約済み	BUCK3_UV	BUCK3_NEG_OC	BUCK3_OC	BUCK3_SCG
R-X	R-X	R-X	R-X	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 7-55. INT\_BUCK\_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	予約済み
6	予約済み	R	X	予約済み
5	予約済み	R	X	予約済み
4	予約済み	R	X	予約済み
3	BUCK3_UV	R/W1C	0h	BUCK3 低電圧フォルト INT_MASK_UV レジスタの対応する <sup>*_UV_MASK</sup> ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます 0h = フォルト検出なし 1h = フォルト検出
2	BUCK3_NEG_OC	R/W1C	0h	BUCK3 の負の過電流フォルト 0h = フォルト検出なし 1h = フォルト検出
1	BUCK3_OC	R/W1C	0h	BUCK3 の正の過電流フォルト 0h = フォルト検出なし 1h = フォルト検出
0	BUCK3_SCG	R/W1C	0h	BUCK3 のグランドへの短絡フォルト 0h = フォルト検出なし 1h = フォルト検出

### 7.7.48 INT\_BUCK\_1\_2 レジスタ (オフセット = 2Fh) [リセット = 00h]

図 7-64 に、INT\_BUCK\_1\_2 を示し、表 7-56 に、その説明を示します。

概略表に戻ります。

**図 7-64. INT\_BUCK\_1\_2 レジスタ**

7	6	5	4	3	2	1	0
BUCK2_UV	BUCK2_NEG_OC	BUCK2_OC	BUCK2_SCG	BUCK1_UV	BUCK1_NEG_OC	BUCK1_OC	BUCK1_SCG
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

**表 7-56. INT\_BUCK\_1\_2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	BUCK2_UV	R/W1C	0h	BUCK2 低電圧フォルト INT_MASK_UV レジスタの対応する *_UV_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます 0h = フォルト検出なし 1h = フォルト検出
6	BUCK2_NEG_OC	R/W1C	0h	BUCK2 の負の過電流フォルト 0h = フォルト検出なし 1h = フォルト検出
5	BUCK2_OC	R/W1C	0h	BUCK2 の正の過電流フォルト 0h = フォルト検出なし 1h = フォルト検出
4	BUCK2_SCG	R/W1C	0h	BUCK2 のグランドへの短絡フォルト 0h = フォルト検出なし 1h = フォルト検出
3	BUCK1_UV	R/W1C	0h	BUCK1 低電圧フォルト INT_MASK_UV レジスタの対応する *_UV_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます 0h = フォルト検出なし 1h = フォルト検出
2	BUCK1_NEG_OC	R/W1C	0h	BUCK1 の負の過電流フォルト 0h = フォルト検出なし 1h = フォルト検出
1	BUCK1_OC	R/W1C	0h	BUCK1 の正の過電流フォルト 0h = フォルト検出なし 1h = フォルト検出
0	BUCK1_SCG	R/W1C	0h	BUCK1 のグランドへの短絡フォルト 0h = フォルト検出なし 1h = フォルト検出

### 7.7.49 INT\_SYSTEM レジスタ (オフセット = 30h) [リセット = 00h]

図 7-65 に INT\_SYSTEM を示し、表 7-57 に、その説明を示します。

概略表に戻ります。

図 7-65. INT\_SYSTEM レジスタ

7	6	5	4	3	2	1	0
SENSOR_0_H OT	SENSOR_1_H OT	SENSOR_2_H OT	SENSOR_3_H OT	SENSOR_0_W ARM	SENSOR_1_W ARM	SENSOR_2_W ARM	SENSOR_3_W ARM
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 7-57. INT\_SYSTEM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SENSOR_0_HOT	R/W1C	0h	センサ 0 の TSD ホット検出 0h = フォルト検出なし 1h = フォルト検出
6	SENSOR_1_HOT	R/W1C	0h	センサ 1 の TSD ホット検出 0h = フォルト検出なし 1h = フォルト検出
5	SENSOR_2_HOT	R/W1C	0h	センサ 2 の TSD ホット検出 0h = フォルト検出なし 1h = フォルト検出
4	SENSOR_3_HOT	R/W1C	0h	センサ 3 の TSD ホット検出 0h = フォルト検出なし 1h = フォルト検出
3	SENSOR_0_WARM	R/W1C	0h	センサ 0 の TSD ウォーム検出 MASK_CONFIG レジスタの対応する *_WARM_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます 0h = フォルト検出なし 1h = フォルト検出
2	SENSOR_1_WARM	R/W1C	0h	センサ 1 の TSD ウォーム検出 MASK_CONFIG レジスタの対応する *_WARM_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます 0h = フォルト検出なし 1h = フォルト検出
1	SENSOR_2_WARM	R/W1C	0h	センサ 2 の TSD ウォーム検出 MASK_CONFIG レジスタの対応する *_WARM_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます 0h = フォルト検出なし 1h = フォルト検出
0	SENSOR_3_WARM	R/W1C	0h	センサ 3 の TSD ウォーム検出 MASK_CONFIG レジスタの対応する *_WARM_MASK ビットが「1」の場合、初期化状態への遷移時に自動的にクリアされます 0h = フォルト検出なし 1h = フォルト検出

### 7.7.50 INT\_RV レジスタ (オフセット = 31h) [リセット = X]

図 7-66 に INT\_RV を示し、表 7-58 に、その説明を示します。

概略表に戻ります。

**図 7-66. INT\_RV レジスタ**

7	6	5	4	3	2	1	0
予約済み	LDO4_RV	LDO3_RV	LDO2_RV	LDO1_RV	BUCK3_RV	BUCK2_RV	BUCK1_RV
R-X	R/W1C-0h						

**表 7-58. INT\_RV レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	予約済み
6	LDO4_RV	R/W1C	0h	レール電源オン中に LDO4 レール上で、または電源シーケンスをアクティブ状態にする前の放電点検中に 4~5ms 後に検出された RV イベント 0h = RV 検出なし 1h = RV 検出
5	LDO3_RV	R/W1C	0h	レール電源オン中に LDO3 レール上で、または電源シーケンスをアクティブ状態にする前の放電点検中に 4~5ms 後に検出された RV イベント 0h = RV 検出なし 1h = RV 検出
4	LDO2_RV	R/W1C	0h	レール電源オン中に LDO2 レール上で、または電源シーケンスをアクティブ状態にする前の放電点検中に 4~5ms 後に検出された RV イベント 0h = RV 検出なし 1h = RV 検出
3	LDO1_RV	R/W1C	0h	レール電源オン中に LDO1 レール上で、または電源シーケンスをアクティブ状態にする前の放電点検中に 4~5ms 後に検出された RV イベント 0h = RV 検出なし 1h = RV 検出
2	BUCK3_RV	R/W1C	0h	レール電源オン中に BUCK3 レール上で、または電源シーケンスをアクティブ状態にする前の放電点検中に 4~5ms 後に検出された RV イベント 0h = RV 検出なし 1h = RV 検出
1	BUCK2_RV	R/W1C	0h	レール電源オン中に BUCK2 レール上で、または電源シーケンスをアクティブ状態にする前の放電点検中に 4~5ms 後に検出された RV イベント 0h = RV 検出なし 1h = RV 検出
0	BUCK1_RV	R/W1C	0h	レール電源オン中に BUCK1 レール上で、または電源シーケンスをアクティブ状態にする前の放電点検中に 4~5ms 後に検出された RV イベント 0h = RV 検出なし 1h = RV 検出

### 7.7.51 INT\_TIMEOUT\_RV\_SD レジスタ (オフセット = 32h) [リセット = 00h]

図 7-67 に INT\_TIMEOUT\_RV\_SD を示し、表 7-59 に、その説明を示します。

概略表に戻ります。

図 7-67. INT\_TIMEOUT\_RV\_SD レジスタ

7	6	5	4	3	2	1	0
TIMEOUT	LDO4_RV_SD	LDO3_RV_SD	LDO2_RV_SD	LDO1_RV_SD	BUCK3_RV_SD	BUCK2_RV_SD	BUCK1_RV_SD
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 7-59. INT\_TIMEOUT\_RV\_SD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TIMEOUT	R/W1C	0h	以下の間に、タイムアウトが原因でシャットダウンが発生した場合に設定されます。1.アクティブ状態に遷移して、割り当てられたスロットの終了時に、ひとつまたは複数のレールが UV レベルを超えていた場合(および、このレールの UV が SD フォルトとして構成されている場合)。INT_*レジスタの*_UV ビットにより、どのレールが表示されるかが示されます。2.スタンバイ状態に遷移すると、割り当てられたスロットが終了しても、ひとつまたは複数のレールが SCG レベルを下回らず、そのレールに対して放電が有効になります(このレジスタの対応する RV_SD ビットにより、どのレールかが示されます)。 0h = タイムアウトによる SD なし 1h = タイムアウトによる SD 発生
6	LDO4_RV_SD	R/W1C	0h	以下の間に、LDO4 レールの RV が原因でシャットダウンが発生しました。 1.スタンバイ状態への遷移で、割り当てられたスロットの終了時にこのレールは放電せず、このレールに対する放電が有効になります 2.スタンバイ状態への遷移で、このレールが無効化され、放電が有効になった後、に RV がこのレール上で観察されました 3.アクティブ状態への遷移で、このレールがオフの状態で RV が観測されました(レールはアクティブ状態への遷移を開始する前に放電されると予想されます) 4.このレールは放電されず、スタンバイからアクティブへの遷移開始時のすべてのレールの放電試行中にタイムアウト SD が発生しました(この場合は TIMEOUT ビットも設定) 0h = LDO4 で RV/DISCHARGE_TIMEOUT 発生による SD なし 1h = LDO4 で RV/DISCHARGE_TIMEOUT 発生による SD
5	LDO3_RV_SD	R/W1C	0h	以下の間に、LDO4 レールの RV が原因でシャットダウンが発生しました。 1.スタンバイ状態への遷移で、割り当てられたスロットの終了時にこのレールは放電せず、このレールに対する放電が有効になります 2.スタンバイ状態への遷移で、このレールが無効化され、放電が有効になった後、に RV がこのレール上で観察されました 3.アクティブ状態への遷移で、このレールがオフの状態で RV が観測されました(レールはアクティブ状態への遷移を開始する前に放電されると予想されます) 4.このレールは放電されず、スタンバイからアクティブへの遷移開始時のすべてのレールの放電試行中にタイムアウト SD が発生しました(この場合は TIMEOUT ビットも設定) 0h = LDO3 で RV/DISCHARGE_TIMEOUT 発生による SD なし 1h = LDO3 で RV/DISCHARGE_TIMEOUT 発生による SD
4	LDO2_RV_SD	R/W1C	0h	以下の間に、LDO4 レールの RV が原因でシャットダウンが発生しました。 1.スタンバイ状態への遷移で、割り当てられたスロットの終了時にこのレールは放電せず、このレールに対する放電が有効になります 2.スタンバイ状態への遷移で、このレールが無効化され、放電が有効になった後、に RV がこのレール上で観察されました 3.アクティブ状態への遷移で、このレールがオフの状態で RV が観測されました(レールはアクティブ状態への遷移を開始する前に放電されると予想されます) 4.このレールは放電されず、スタンバイからアクティブへの遷移開始時のすべてのレールの放電試行中にタイムアウト SD が発生しました(この場合は TIMEOUT ビットも設定) 0h = LDO2 で RV/DISCHARGE_TIMEOUT 発生による SD なし 1h = LDO2 で RV/DISCHARGE_TIMEOUT 発生による SD

表 7-59. INT\_TIMEOUT\_RV\_SD レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	LDO1_RV_SD	R/W1C	0h	以下の間に、LDO4 レールの RV が原因でシャットダウンが発生しました。 1.スタンバイ状態への遷移で、割り当てられたスロットの終了時にこのレールは放電せず、このレールに対する放電が有効になります 2.スタンバイ状態への遷移で、このレールが無効化され、放電が有効になった後、に RV がこのレール上で観察されました 3.アクティブ状態への遷移で、このレールがオフの状態で RV が観測されました (レールはアクティブ状態への遷移を開始する前に放電されると予想されます) 4.このレールは放電されず、スタンバイからアクティブへの遷移開始時のすべてのレールの放電試行中にタイムアウト SD が発生しました (この場合は TIMEOUT ビットも設定) 0h = LDO1 で RV/DISCHARGE_TIMEOUT 発生による SD なし 1h = LDO1 で RV/DISCHARGE_TIMEOUT 発生による SD
2	BUCK3_RV_SD	R/W1C	0h	以下の間に、LDO4 レールの RV が原因でシャットダウンが発生しました。 1.スタンバイ状態への遷移で、割り当てられたスロットの終了時にこのレールは放電せず、このレールに対する放電が有効になります 2.スタンバイ状態への遷移で、このレールが無効化され、放電が有効になった後、に RV がこのレール上で観察されました 3.アクティブ状態への遷移で、このレールがオフの状態で RV が観測されました (レールはアクティブ状態への遷移を開始する前に放電されると予想されます) 4.このレールは放電されず、スタンバイからアクティブへの遷移開始時のすべてのレールの放電試行中にタイムアウト SD が発生しました (この場合は TIMEOUT ビットも設定) 0h = BUCK3 で RV/DISCHARGE_TIMEOUT 発生による SD なし 1h = BUCK3 で RV/DISCHARGE_TIMEOUT 発生による SD
1	BUCK2_RV_SD	R/W1C	0h	以下の間に、LDO4 レールの RV が原因でシャットダウンが発生しました。 1.スタンバイ状態への遷移で、割り当てられたスロットの終了時にこのレールは放電せず、このレールに対する放電が有効になります 2.スタンバイ状態への遷移で、このレールが無効化され、放電が有効になった後、に RV がこのレール上で観察されました 3.アクティブ状態への遷移で、このレールがオフの状態で RV が観測されました (レールはアクティブ状態への遷移を開始する前に放電されると予想されます) 4.このレールは放電されず、スタンバイからアクティブへの遷移開始時のすべてのレールの放電試行中にタイムアウト SD が発生しました (この場合は TIMEOUT ビットも設定) 0h = BUCK2 で RV/DISCHARGE_TIMEOUT 発生による SD なし 1h = BUCK2 で RV/DISCHARGE_TIMEOUT 発生による SD
0	BUCK1_RV_SD	R/W1C	0h	以下の間に、LDO4 レールの RV が原因でシャットダウンが発生しました。 1.スタンバイ状態への遷移で、割り当てられたスロットの終了時にこのレールは放電せず、このレールに対する放電が有効になります 2.スタンバイ状態への遷移で、このレールが無効化され、放電が有効になった後、に RV がこのレール上で観察されました 3.アクティブ状態への遷移で、このレールがオフの状態で RV が観測されました (レールはアクティブ状態への遷移を開始する前に放電されると予想されます) 4.このレールは放電されず、スタンバイからアクティブへの遷移開始時のすべてのレールの放電試行中にタイムアウト SD が発生しました (この場合は TIMEOUT ビットも設定) 0h = BUCK1 で RV/DISCHARGE_TIMEOUT 発生による SD なし 1h = BUCK1 で RV/DISCHARGE_TIMEOUT 発生による SD

### 7.7.52 INT\_PB レジスタ (オフセット = 33h) [リセット = X]

図 7-68 に INT\_PB を示し、表 7-60 に、その説明を示します。

概略表に戻ります。

図 7-68. INT\_PB レジスタ

7	6	5	4	3	2	1	0
予約済み	予約済み	予約済み	予約済み	予約済み	PB_REAL_TIME_STATUS	PB_RISING_EDGE_DETECT_ED	PB_FALLING_EDGE_DETECT_ED
R-X	R-X	R-X	R-X	R-X	R-1h	R/W1C-0h	R/W1C-0h

表 7-60. INT\_PB レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	X	予約済み
6	予約済み	R	X	予約済み
5	予約済み	R	X	予約済み
4	予約済み	R	X	予約済み
3	予約済み	R	X	予約済み
2	PB_REAL_TIME_STATUS	R	1h	PB ピンのグリッヂ除去(64 ~ 128ms)のリアルタイム ステータス。 EN/PB/VSENSE ピンが PB として構成されている場合のみ有効です。 0h = PB の電流グリッヂ除去ステータス: PRESSED 1h = PB の電流グリッヂ除去ステータス: RELEASED
1	PB_RISING_EDGE_DETECT_ED	R/W1C	0h	PB は前回このビットがクリアされてから、グリッヂ除去期間>(64 ~ 128ms)の間、リリースされました。このビットを設定すると、nINT ピンがアサートされます(構成ビット MASK_INT_FOR_PB = '0'の場合)。 0h = PB 解放が未検出 1h = PB 解放が検出
0	PB_FALLING_EDGE_DETECT_ED	R/W1C	0h	PB は前回このビットがクリアされてから、グリッヂ除去期間>(64 ~ 128ms)の間、プレスされました。このビットを設定すると、nINT ピンがアサートされます(構成ビット MASK_INT_FOR_PB = '0'の場合)。 0h = PB プレスが未検出 1h = PB プレスが検出

### 7.7.53 USER\_NVM\_CMD\_REG レジスタ (オフセット = 34h) [リセット = 00h]

図 7-69 に USER\_NVM\_CMD\_REG を示し、表 7-61 に、その説明を示します。

概略表に戻ります。

**図 7-69. USER\_NVM\_CMD\_REG レジスタ**

7	6	5	4	3	2	1	0
NVM_VERIFY_RESULT	CUST_NVM_VERIFY_DONE	CUST_PROG_DONE	I2C_OSC_ON				USER_NVM_CMD
R-0h	R/W1C-0h	R/W1C-0h	R-0h				R-0h

**表 7-61. USER\_NVM\_CMD\_REG レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	NVM_VERIFY_RESULT	R	0h	CUST_NVM_Verify_CMD が実行された後、このビットは動作の結果を示します。(1 = フェイル、0 = パス)。「1」の場合、次の CUST_NVM_Verify_CMD がパスした場合のみクリアできます。 0h = パス 1h = フェイル
6	CUST_NVM_VERIFY_DONE	R/W1C	0h	CUST_NVM_VERIFY_CMD の実行後、「1」に設定されます。ユーザーが W1C を実行するまで「1」のままになります。 0h = 未完了/進行なし 1h = 完了
5	CUST_PROG_DONE	R/W1C	0h	CUST_PROG_CMD の実行後、「1」に設定されます。ユーザーが W1C を実行するまで「1」のままになります。 0h = 未完了/進行なし 1h = 完了
4	I2C_OSC_ON	R	0h	EN_OSC_DIY を受信すると、このレジスタ フィールドは「1」に設定されます。 0h = OSC は I2C で制御されていない 1h = I2C コマンド EN_OSC_DIY により無条件で OSC がオン
3-0	USER_NVM_CMD	R	0h	DIY プログラミングモードに移行し、ユーザー NVM 空間をプログラムするためのコマンド。常に 0 として読み出します 6h = DIS_OSC_DIY 7h = CUST_NVM_VERIFY_CMD 9h = EN_OSC_DIY Ah = CUST_PROG_CMD

### 7.7.54 POWER\_UP\_STATUS\_REG レジスタ (オフセット = 35h) [リセット = 00h]

図 7-70 に POWER\_UP\_STATUS\_REG を示し、表 7-62 に、その説明を示します。

概略表に戻ります。

図 7-70. POWER\_UP\_STATUS\_REG レジスタ

7	6	5	4	3	2	1	0
POWER_UP_F ROM_FSD	POWER_UP_F ROM_EN_PB_VSENSE	COLD_RESET_ISSUED	状態		RETRY_COUNT	POWER_UP_F ROM_OFF	
R/W1C-0h	R/W1C-0h	R/W1C-0h	R-0h		R-0h	R/W1C-0h	

表 7-62. POWER\_UP\_STATUS\_REG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	POWER_UP_FROM_FSD	R/W1C	0h	FSD のために ON_REQ がトリガされた場合にセット 0h = FSD を介した電源投入の検出なし 1h = FSD を介した電源投入を検出
6	POWER_UP_FROM_EN_PB_VSENSE	R/W1C	0h	EN/PB/VSENSE ピンにより ON_REQ がトリガされた場合にセット 0h = ピンを介した電源投入の検出なし 1h = ピンを介した電源投入を検出
5	COLD_RESET_ISSUED	R/W1C	0h	ピンまたは I2C 経由で COLD_RESET を受信した場合に設定 0h = COLD RESET の受信なし 1h = ピンまたは I2C 経由で COLD RESET を受信
4-3	状態	R	0h	現在のデバイス状態を示す 0h = 遷移状態 1h = 初期化 2h = スタンバイ 3h = アクティブ
2-1	RETRY_COUNT	R	0h	ステートマシンの現在のリトライ カウントを読み取ります。RETRY_COUNT = 3 で、マスクされていない場合、デバイスは起動しません。
0	POWER_UP_FROM_OFF	R/W1C	0h	オフ状態から電源投入した場合かどうかを示す (POR がアサート) 0h = このビットの最後のクリア以降のオフ状態の入力なし 1h = このビットの最後のクリア以降にオフ状態を入力

### 7.7.55 SPARE\_2 レジスタ (オフセット = 36h) [リセット = 00h]

図 7-71 に、SPARE\_2 を示し、表 7-63 に、その説明を示します。

概略表に戻ります。

**図 7-71. SPARE\_2 レジスタ**

7	6	5	4	3	2	1	0
SPARE_2_1	SPARE_2_2	SPARE_2_3	SPARE_2_4	SPARE_2_5	SPARE_2_6	SPARE_2_7	SPARE_2_8
R/W-0h							

**表 7-63. SPARE\_2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	SPARE_2_1	R/W	0h	ユーザーの非 NVM 領域の Spare ビット
6	SPARE_2_2	R/W	0h	ユーザーの非 NVM 領域の Spare ビット
5	SPARE_2_3	R/W	0h	ユーザーの非 NVM 領域の Spare ビット
4	SPARE_2_4	R/W	0h	ユーザーの非 NVM 領域の Spare ビット
3	SPARE_2_5	R/W	0h	ユーザーの非 NVM 領域の Spare ビット
2	SPARE_2_6	R/W	0h	ユーザーの非 NVM 領域の Spare ビット
1	SPARE_2_7	R/W	0h	ユーザーの非 NVM 領域の Spare ビット
0	SPARE_2_8	R/W	0h	ユーザーの非 NVM 領域の Spare ビット

### 7.7.56 SPARE\_3 レジスタ (オフセット = 37h) [リセット = 00h]

図 7-72 に、SPARE\_3 を示し、表 7-64 に、その説明を示します。

概略表に戻ります。

図 7-72. SPARE\_3 レジスタ

7	6	5	4	3	2	1	0
SPARE_3_1							
R/W-0h							

表 7-64. SPARE\_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	SPARE_3_1	R/W	0h	ユーザーの非 NVM 領域の Spare ビット

### 7.7.57 FACTORY\_CONFIG\_2 レジスタ (オフセット = 41h) [リセット = X]

図 7-73 に、FACTORY\_CONFIG\_2 を示し、表 7-65 に、その説明を示します。

概略表に戻ります。

**図 7-73. FACTORY\_CONFIG\_2 レジスタ**

7	6	5	4	3	2	1	0
		NVM_REVISION		予約済み	予約済み	予約済み	予約済み
		R-X		R-X	R-X	R-X	R-X

**表 7-65. FACTORY\_CONFIG\_2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7-5	NVM_REVISION	R	X	NVM 構成のバージョンを指定します 注:このレジスタは、マイコンのみが書き込みできます。 0h = V0 1h = V1 ...
4	予約済み	R	X	予約済み
3	予約済み	R	X	予約済み
2	予約済み	R	X	予約済み
1	予約済み	R	X	予約済み
0	予約済み	R	X	予約済み

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

以下のセクションでは、PMIC の適切な使用方法についてさらに詳しく説明します。注文可能な各型番には固有のデフォルト不揮発性メモリ(NVM)設定があり、その注文可能な部品番号に関する『技術参考書(TRM)』は、製品フォルダの「技術資料」から入手できます。特定のアプリケーション情報については、これらの TRM を参照してください。より一般的なトピックといつかの例は、ここで概説します。

新規設計に役立つさまざまなツールや資料が、製品フォルダ内に用意されています。ここで、いくつかの例を挙げます

- 評価基板とユーザーガイド
- PMIC と通信するための GUI
- 回路図とレイアウトのチェックアウト
- PMIC を使用して指定のプロセッサと SoC に電源を供給する方法が記載されたユーザーガイド。
- 注文可能な各製品のデフォルトのレジスタ設定の説明が記載された技術参考書(TRM)。

### 8.2 代表的なアプリケーション

TPS65219 PMIC は、7 個のレギュレータ、3 個の降圧コンバータ、4 個の低ドロップアウトレギュレータ(LDO)を内蔵しています。このパワー マネージメント IC は電源リソースに加えて、構成可能な 3 本のマルチファンクションピン、1 つの GPIO、2 つの GPO と I2C 通信機能も統合されているため、複数のプロセッサや SoC にを供給するための理想的なコストとサイズの最適なソリューションとなっています。プロセッサと周辺装置に電力を供給する目的で TPS65219 を設計する際には、いくつかの事項を考慮に入れる必要があります。供給レールの数およびそれとともに使用される外部コンポーネントを決定するには、必要なレギュレータの数、必要なシーケンス、負荷電流要件、電圧特性のすべてが重要です。次のセクションでは、一般的なケースについて説明します。特定のケースについては、注文可能な型番に基づいて該当するユーザーガイドと技術参考書(TRM)を参照してください。

#### 8.2.1 代表的なアプリケーションの例

この例では、単一の TPS65219 PMIC を使用して汎用プロセッサに電力を供給しています。この電源供給回路(PDN)は 3.3V の入力電源を示していますが、5V を使用して、降圧および LDO (バイパスとして構成されていない場合)に電力を供給できます。消費電力を削減するため、PMIC 降圧レギュレータのいずれかの出力を使用して、必要なヘッドルームとシーケンスの要件を満たす場合に LDO に電力を供給できます。たとえば、Buck2 (1.8V) を使用して、LDO2 (0.85V) に電力を供給します。LDO1 はバイパスとして構成され、SD カード インターフェイスに電力を供給するように割り当てられます。バイパスモードでは、VSET\_LDO1 と 1.8V の間の電圧変更が UHS 速度の SD 仕様を満たすために許容されます。この仕様では、立ち上がり/立ち下がり時間の短縮と、電磁干渉(EMI)の低減を実現するために、電圧を 1.8V に下げる前に、カードを初期化する 3.3V が必要です。VSEL\_SD マルチファンクションピンは、動作中に電圧の変化をトリガするように設定できます。Buck1 は最高電流特性を持つレギュレータであるため、プロセッサの CORE レールに電力を供給するように割り当てられました。各降圧レギュレータには、高負荷過渡とより高総容量(ローカル + 作用点)に対応するため、高帯域幅向けに構成するオプションがあります。PMIC は 3.3V レールから電力を供給されるため、外部ロードスイッチを使用してプロセッサの 3.3V IO ドメインに電力を供給します。PMIC GPO (GPO2) の 1 つは電源オン/電源オフ・シーケンスの一部として構成され、外部電源スイッチが可能になります。

### 注

外部ディスクリートを使用して 3.3V IO に電力を供給する場合は、PMIC GPO2 がその IO を無効にした後に電圧を放電できるように、アクティブ放電でその IO を選択する必要があります。

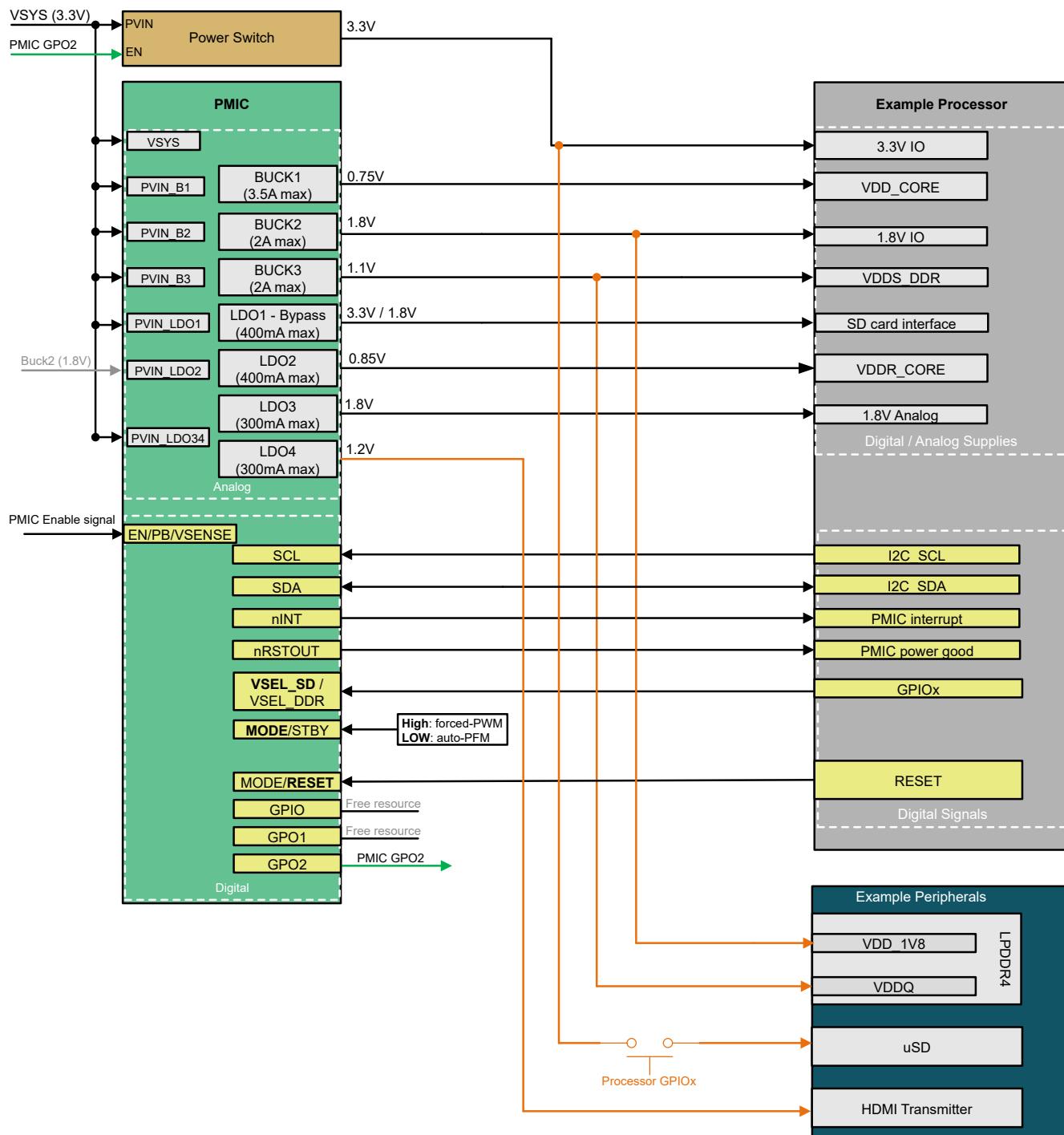


図 8-1. パワー マップの例

### 8.2.2 設計要件

このセクションで説明されている典型的なアプリケーションの設計要件は以下の通りです。

- VDD CORE レールには高負荷過渡応答の 0.75V レールが必要です。
- VDDR CORE レールには 0.85V が必要です。
- アナログ回路には低ノイズの 1.8V が必要です。

- プロセッサの IO ドメインと周辺装置には 3.3V と 1.8V が必要です。
- µSD カード インターフェイスには、3.3V から 1.8V に切り替えて超高速 (UHS) をサポートする、ダイナミック ボルテージ機能を備えた、起動時 3.3V のレールが必要です
- LPDDR4 には 1.1V のレールが必要です。
- HDMI トランスマッタには 1.2V レールが必要です。

### 8.2.3 詳細な設計手順

このセクションでは TPS65219 PMIC に内蔵されている各パワー モジュールの設計手順について説明します。本セクションで言及されている外部コンポーネントの値の大半は、標準仕様に基づいています。最小値と最大値については、「仕様」セクションに記載された該当パラメータを参照してください。

#### 8.2.3.1 Buck1、Buck2、Buck3 の設計手順

##### 入力キャパシタンス - Buck1、Buck2、Buck3

各降圧コンバータには、対応する PVIN\_Bx ピンに入力コンデンサが必要です。コンデンサの値は、電圧と温度のデレーティングを考慮して選定する必要があります。スイッチング コンバータの特性により、最良の入力電圧フィルタリングのためには低 ESR セラミック コンデンサが必要です。代表的な推奨容量は 4.7uF、10V のコンデンサです。PCB サイズが大きなフットプリントを許容する場合は、より高い入力キャパシタンスを使用することができます。

##### 出力キャパシタンス - Buck1、Buck2、Buck3

すべての降圧コンバータの出力には、LC 出力フィルタの容量成分を形成するためのローカル出力コンデンサが必要です。ここでは、X7 温度係数のセラミックコンデンサを推奨します。非車載用途では、動作温度に基づいて X6 以下の温度係数を使用することができます。降圧コンバータには複数のスイッチング モードと帯域幅設定があり、これが出力コンデンサの選定に影響を与えます。スイッチングモード設定 (BUCK\_FF\_ENABLE) は、3 つの降圧コンバータに適用されるグローバル レジスタ フィールドであり、変更はできません。帯域幅選択は、各降圧コンバータに対して独立したレジスタ フィールドです。NVM 構成と対応する出力キャパシタンス要件を特定するための注文可能な指定の部品番号については、技術参考書 (TRM) を参照してください。表 8-1 は、各スイッチング モードと帯域幅構成における必要最小値と最大値 (デレーティング後) の静電容量を示しています。ここでは、セラミック コンデンサの DC バイアス電圧特性、許容差、経年変化、温度効果を考慮する必要があります。ESR は 10mΩ 以下でなければいけません。

表 8-1. 降圧出力キャパシタンス

スイッチング モードの選択	帯域幅の選択	仕様パラメータ	容量	
			最小値	最大値 (ローカル + 負荷点を含む)
レジスタ フィールド: <b>BUCK_FF_ENABLE</b>	レジスタ フィールド: <b>BUCK1_BW_SEL</b> 、 <b>BUCK2_BW_SEL</b> 、 <b>BUCK3_BW_SEL</b>			
擬似固定周波数 (自動 PFM および強制 PWM)	低帯域幅	COUT	10uF	75uF
	高帯域	COUT_HIGH_BW	30uF	220uF

##### インダクタの選択 - Buck1、Buck2、Buck3

降圧コンバータの内部パラメータは、0.47uH のインダクタ向けに最適化されています。DCR は 50mΩ 以下でなければいけません。選択したインダクタの定格が、Buck1 では 7.4A 以上、Buck2/Buck3 では 5.4A 以上の飽和電流をサポートすることを確認してください。

### 8.2.3.2 LDO1 と LDO2 の設計手順

#### 入力容量 - LDO1、LDO2

LDO 入力には、入力リップル電圧を最小限に抑えるため、入力デカップリング コンデンサが必要です。各 LDO に対して標準的な  $2.2\mu\text{F}$  容量を使用することを推奨します。LDO の入力電圧によっては、6.3V 以上の定格コンデンサを使用することができます。LDO が LDO、バイパス、またはロード スイッチとして構成されている場合、同じ入力キャパシタンス要件が適用されます。

#### 出力容量 - LDO1、LDO2

LDO 出力では、負荷ステップ時または入力電圧の変化時に、出力電圧を保持するために、出力コンデンサが必要です。各 LDO 出力には、ESR が  $10\text{m}\Omega$  以下の  $2.2\mu\text{F}$  ローカル容量を使用することを推奨します。ローカル容量 (ディレーティング後) は、 $4\mu\text{F}$  を超えないようにしてください。この要件には、負荷側に観測される容量は含まれず、デバイスの近くに見られる容量のみが対象となります。各 LDO がサポートできる総容量(ローカル + 負荷点)は、NVM 構成によって異なります。[表 8-2](#) に、レール構成に基づいて許容される最大合計出力容量を示します。レジスタ設定と適用可能な最大総容量に基づいて LDO 構成を特定するための注文可能な指定の部品番号については、技術参考書 (TRM) を参照してください。

**表 8-2. LDO1、LDO2 出力容量**

レジスタ設定		LDO 構成	最大総容量( $2.2\mu\text{F}$ ローカル + 負荷点)
LDOx_LSW_CONFIG	LDOx_BYP_CONFIG		
0	0	LDO	$20\mu\text{F}$
0	1	バイパス	$50\mu\text{F}$
1	X	ロード スイッチ	$50\mu\text{F}$

### 8.2.3.3 LDO3、LDO4 の設計手順

#### 入力キャパシタンス - LDO3、LDO4

LDO3 および LDO4 の入力電源ピンには、入力リップル電圧を最小限に抑えるための入力デカップリング コンデンサが必要です。この 2 つの LDO は、同じ入力電源ピンを共有しています。最小の  $4.7\mu\text{F}$  入力キャパシタンスを使用することを推奨します。LDO の入力電圧によっては、6.3V 以上の定格コンデンサを使用することができます。LDO が LDO またはロード スイッチとして構成されている場合、同じ入力キャパシタンス要件が適用されます。

#### 出力キャパシタンス - LDO3、LDO4

LDO 出力では、負荷ステップ時または入力電圧の変化時に、出力電圧を保持するために、出力コンデンサが必要です。各 LDO 出力には、ESR が  $10\text{m}\Omega$  以下の  $2.2\mu\text{F}$  ローカル容量を使用することを推奨します。ローカル容量 (ディレーティング後) は、 $4\mu\text{F}$  を超えないようにしてください。この要件には、負荷側に観測される容量は含まれず、デバイスの近くに見られる容量のみが対象となります。各 LDO がサポートできる総容量(ローカル + 負荷点)は、NVM 構成によって異なります。[表 8-3](#) には、最大許容総出力容量が記載されています。レジスタ設定と適用可能な最大総容量に基づいて LDO 構成を特定するための注文可能な指定の部品番号については、技術参考書 (TRM) を参照してください。

**表 8-3. LDO3、LDO4 出力キャパシタンス**

レジスタ設定	LDO ランプ構成	最大総容量 ( $2.2\mu\text{F}$ ローカル + 負荷点)
LDOx_SLOW_PU_RAMP		
0	高速ランプ	$15\mu\text{F}$
1	低速ランプ	$30\mu\text{F}$

### 8.2.3.4 VSYS、VDD1P8

VSYS ピンは、内部 VDD1P8 LDO、その他の内部機能に電力を供給します。このピンには、2.2uF の標準セラミック コンデンサが必要です。入力電圧フィルタリング改善のためには、入力コンデンサをいくらでも大きくすることができます。標準的な用途では、このピンは PVIN\_Bx ピンに電源を供給する同じプリレギュレータに接続されます。

VDD1P8 は内部基準 LDO であり、負荷をかけてはいけません。このピンには、2.2uF のセラミック コンデンサが必要です。

### 8.2.3.5 デジタル信号設計手順

このセクションでは、デジタル ピンに必要な外部接続について説明します。VIO 供給電圧は、外部プルアップが必要なデジタル信号の電圧レベルとして、一般的に 3.3V または 1.8V 電源が使用されます。ただし、最大仕様まで高い電圧を使用することもできます。PMIC のデジタルピンの VIO 供給電圧は、接続されるプロセッサ上のデジタル信号の IO ドメインと同じでなければなりません。EN/PB/VSENSE に推奨されるプルアップ抵抗値は 100kΩ です。I2C ピンのプルアップ抵抗は、システムの要件に基づいて計算できます。その他のデジタルピンには 10kΩ を使用できます。

GPIO、GPO1、または GPO2 がパワーアップ シーケンシングの最初のスロットに割り当てられ、外部ディスクリートを有効にする場合、VSYS にプルアップすることができます。

EN/PB/VSENSE ピンは、PMIC を有効または無効にするために外部から駆動することができます。ただし、アプリケーションにこのピンを駆動する専用の外部信号がない場合、VSYS にプルアップすることができます。

#### 注

I2C (I2C\_OFF\_REQ) によって I2C オフ要求が送信された後に PMIC をウェークアップするには、EN/PB/VSENSE ピンを外部信号で駆動する必要があります。I2C によってオフ要求が送信され、EN/PB/VSENSE が外部信号で駆動されていない場合、PMIC を初期化状態からアクティブ状態に移行させるために、VSYS の電源サイクルを実行する必要があります。

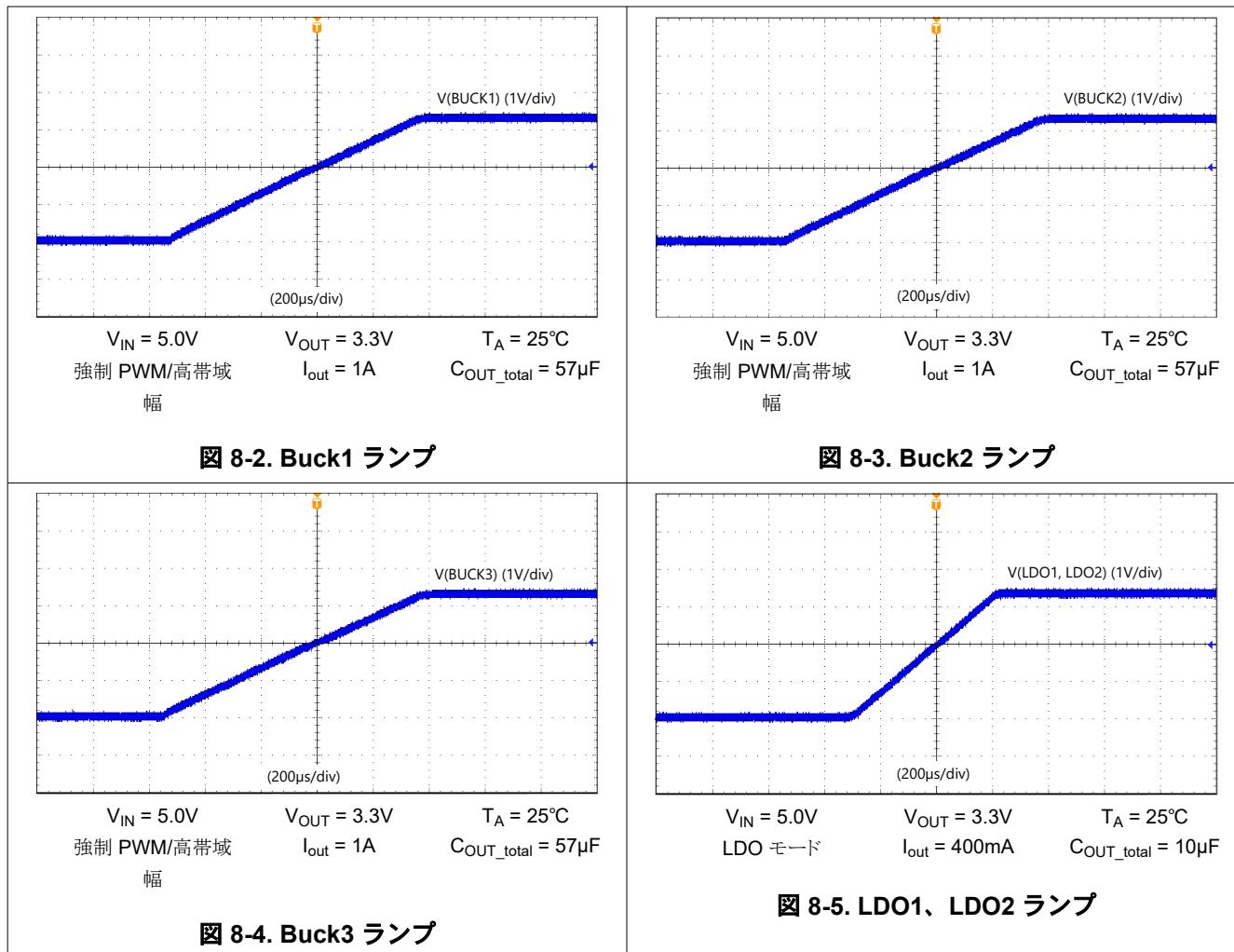
**表 8-4. デジタル信号要件**

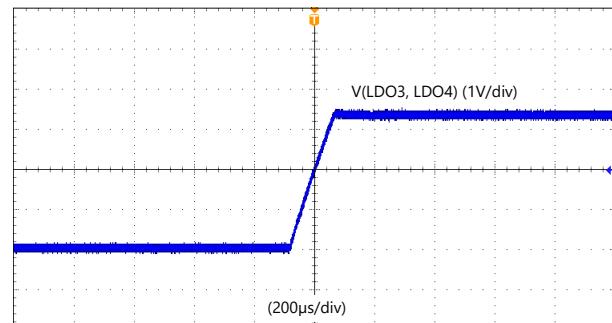
デジタルピン	外部接続
nINT	オープンドレイン出力。外部プルアップが必要です。
nRSTOUT	オープンドレイン出力。外部プルアップが必要です。
EN/PB/VSENSE	EN として構成した場合、この信号は外部ロジックによって駆動され、PMIC が有効または無効になります。 PB として構成した場合、この信号には VSYS ピンに接続されたプルアップ抵抗が必要です。プッシュボタンはオプションです。 VSENSE として構成した場合、この信号にはプリレギュレータを監視するための外部抵抗分圧器が必要です。
SDA	I2C クロック信号外部プルアップが必要です。
SCL	I2C データ信号外部プルアップが必要です。
GPIO	GPIO (マルチ PMIC 用) として構成した場合、このピンは 2 番目の TPS65219 PMIC と外付けプルアップ抵抗を共有します。 GPO (单一 PMIC 用) として構成した場合、外部プルアップが必要です。
GPO1	オープンドレインの汎用出力。外部プルアップが必要です。
GPO2	オープンドレインの汎用出力。外部プルアップが必要です。
VSEL_SD/VSEL_DDR	入力デジタルピン割り当てられた PMIC レールが立ち上がる前に初期状態 (プルアップまたはプルダウン) を設定する必要があります。例えば、このピンを LDO1 の電圧設定に使用する場合は、LDO1 の電源をオンにする前に状態を設定する必要があります。
モード/スタンバイ	入力デジタルピン初期状態 (プルアップまたはプルダウン) は、電源オンシーケンスが完了する前に設定する必要があります。

表 8-4. デジタル信号要件 (続き)

デジタルピン	外部接続
モード / リセット	入力デジタルピン初期状態(プルアップまたはプルダウン)は、電源オンシーケンスが完了する前に設定する必要があります。

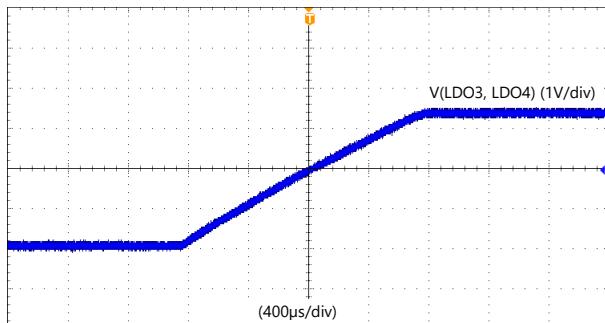
#### 8.2.4 アプリケーション曲線





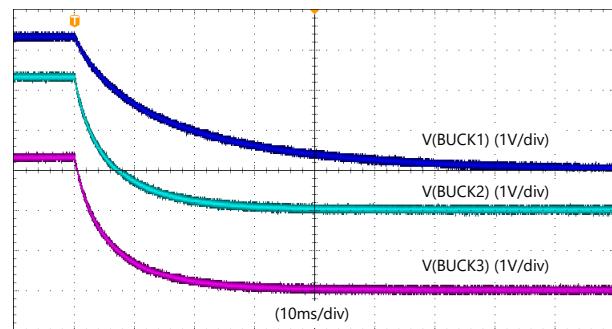
$V_{IN} = 5.0V$        $V_{OUT} = 3.3V$        $T_A = 25^{\circ}C$   
 LDO モード/高速ランプ       $I_{out} = 300mA$        $C_{OUT\_total} = 10\mu F$

図 8-6. LDO3、LDO4 高速ランプ



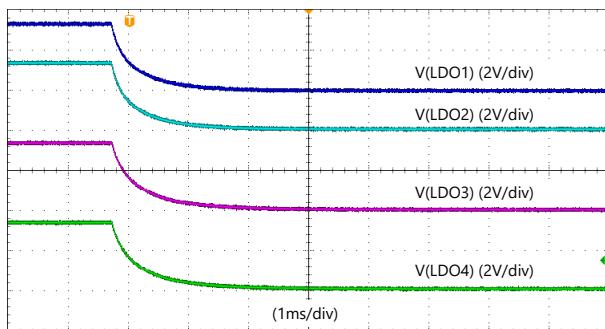
$V_{IN} = 5.0V$        $V_{OUT} = 3.3V$        $T_A = 25^{\circ}C$   
 LDO モード/低速ランプ       $I_{out} = 300mA$        $C_{OUT\_total} = 10\mu F$

図 8-7. LDO3、LDO4 低速ランプ



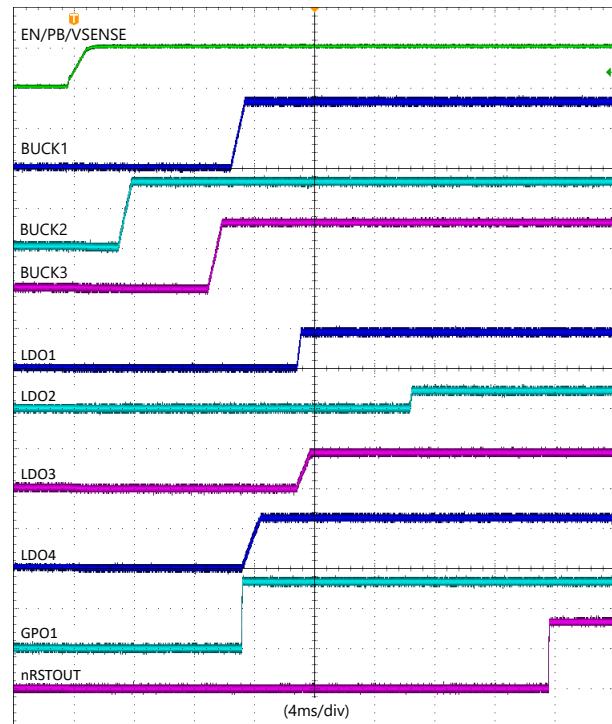
$V_{IN} = 5.0V$        $V_{OUT} = 3.3V$        $T_A = 25^{\circ}C$   
 強制 PWM/高帯域幅      無負荷       $C_{OUT\_total} = 57\mu F$

図 8-8. 降圧放電



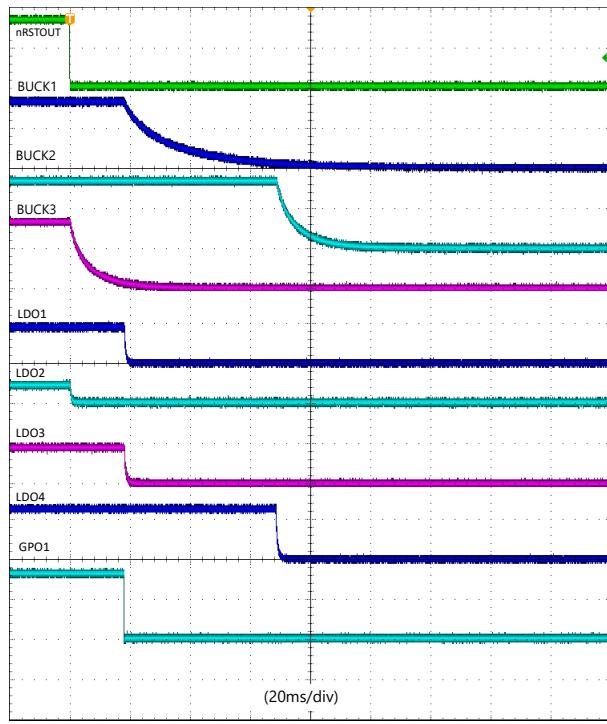
$V_{IN} = 5.0V$        $V_{OUT} = 3.3V$        $T_A = 25^{\circ}C$   
 LDO モード      無負荷       $C_{OUT\_total} = 2.2\mu F$

図 8-9. LDO 放電



スロット番号	持続期間	割り当てられたレール
0	1.5ms	BUCK2
1	0ms	
2	3ms	LDO1/LDO3/LDO4/GPO1
3	1.5ms	
4	1.5ms	BUCK3
5	1.5ms	BUCK1
6	1.5ms	LDO2
7	10ms	
8	1.5ms	
9	10ms	nRSTOUT
10-15	0ms	

図 8-10. 構成可能パワーアップ シーケンシング - 例



スロット番号	持続期間	割り当てられたレール
0	10ms	nRSTOUT/BUCK3/LDO2
1	0ms	
2	10ms	BUCK1/LDO1/LDO3/GPO1
3	0ms	
4	10ms	BUCK2/LDO4
5-15	0ms	

図 8-11. 構成可能パワーダウン シーケンシング - 例

### 8.3 電源に関する推奨事項

デバイスは、2.5V～5.5V の入力電源電圧範囲で動作するように設計されています。入力電源には、シングル セル リチウム イオン電池、2 個の一次電池、または安定化プリレギュレータで電力を供給できます。電源電圧を選択するときは、各 PMIC レギュレータに必要な電圧ヘッドルームを考慮する必要があります。たとえば、降圧コンバータが 700mV のヘッドルームを必要とし、出力電圧が 3.3V に構成されている場合、十分なヘッドルームを確保するために、入力電源は 4V 以上にする必要があります。入力電源レールの抵抗は、入力過渡電流によってデバイスの電源電圧が大きく低下し、UVLO の誤作動が生じることのないように、十分小さくする必要があります。入力電源がデバイスから数インチ以上離れている場合、セラミック バイパス コンデンサに加えてバルク容量の追加が必要になることがあります。通常は、47 $\mu$ F の電解コンデンサを使用します。PMIC に電力を供給するためにプリレギュレータを使用する場合、制御されていないパワーダウン時に可能な限り PMIC の入力に電圧を保持するために、アクティブ放電なしのプリレギュレータを選択することを推奨します。

**注意**

シーケンシングおよび電圧要件: PVIN\_Bx、および PVIN\_LDOx の電圧は VSYS を超えないようにする必要があります。デジタル信号のプルアップ電源は、どの時点においても VSYS を超えないようにする必要があります。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

すべてのスイッチング電源において、レイアウトは設計の重要なステップです。レイアウトを慎重に行なわないと、レギュレータに安定性に関する問題や EMI の問題が生じる場合があります。主要な電流パスおよびパワー グランドには広く短い配線を使用してください。入力コンデンサ、出力コンデンサ、インダクタは、できるだけデバイスの近くに配置します。出力コンデンサはグラウンドに対して低インピーダンスでなければいけません。コンデンサの接地用パッドでは、複数(3 個以上)の VIAS を直接使用します。ここで、いくつかレイアウトのガイドラインを示します。

- **PVIN\_Bx:** 入力コンデンサは、レイアウト DRC 規則で許可されている限り IC の近くに配置します。入力コンデンサと PVIN\_Bx ピンの間に余計な寄生インダクタンスがあると、電圧スパイクが発生する可能性があります。パターンのインダクタンスを最小限に抑えるため、幅の広いショートパターンまたはポリゴンを使用することを推奨します。このノードは高周波スイッチング電流が流れるため、入力コンデンサやデバイスピンの近くに感度の高い信号を配線しないでください。各 DCDC の GND パッドに、1Aあたり 3 ~ 4 個のビアを追加します。スペースの制約で、入力コンデンサを PMIC と同じ層に配置できない場合は、IC の近くに VIAS を介して反対側の層に配置し、PMIC と同じ層には小型の入力コンデンサ (0.1 $\mu$ F) を追加します。この小型コンデンサは、PVIN\_Bx ピンにできるだけ近い場所に配置する必要があります。
- **LX\_Bx:** インダクタは、PVIN の入力コンデンサを妥協しない範囲で PMIC の近くに配置し、短く広いトレースまたはポリゴンでピンと接続します。このノードの近くには、感度の高い信号は配線しないでください。SW ノードで VIAS を使用しないために、インダクタは IC と同じ層に配置します。SW ノード電圧は、非常に高速な立ち上がり時間と立ち下がり時間で入力電圧からグランドまで変動するため、EMI の主な発生器になります。EMI を低減するために、必要に応じて RC スナバ回路を SW ノードに追加できます。
- **FB\_Bx:** 各 FB\_Bx ピンは、出力コンデンサまでトレースとして配線します。FB\_Bx ピンには、出力電圧ポリゴンを直接延長して接続しないで、必ずトレースとして配線する必要があります。出力コンデンサから FB\_Bx ピンまでのトレース抵抗は 1 $\Omega$  未満に抑えてください。TPS65219 はリモートセンシングをサポートしていないため、FB\_Bx ピンを PMIC のローカルコンデンサに接続する必要があります。カップリングを避けるため、FB\_Bx は、スイッチノードやインダクタの下など、ノイズの多い信号の近くに配線しないでください。スペースの制約がある場合、FB\_Bx ピンは内層を経由して配線できます。レイアウト例を参照してください。
- **Bucks Cout:** 電磁放射を最小限に抑えるため、ローカル出力コンデンサはインダクタの近くに配置する必要があります。
- **PVIN\_LDOx:** 入力コンデンサを PVIN\_LDOx ピンのできるだけ近くに配置します。
- **VLDOx:** 出力コンデンサは VLDOx ピンの近くに配置します。LDO レギュレータのフィードバック接続は内部で行われます。そのため、LDO の出力と負荷の間の PCB 抵抗は、LDO が許容する IR ドロップの範囲内に抑えることが重要です。
- **VSYS:** VSYS は、静かなシステム電圧ノードに直接接続します。デカップリングコンデンサを VSYS ピンのできるだけ近くに配置します。
- **VDD1P8:** 2.2 $\mu$ F コンデンサは、VDD1P8 ピンのできるだけ近くに配置してください。このコンデンサは、IC と同じ層に配置する必要があります。2 ~ 3 個の VIAS を使って、コンデンサの GND 側を PCB の GND プレーンに接続できます。
- **電力パッド:** サーマル パッドは、最低 9 つの VIAS を使用して PCB のグランド プレーンに接続する必要があります。
- **AGND:** AGND は電力パッド(またはサーマル パッド)に接続しないでください。AGND ピンは、VIA 経由で PCB のグランド プレーンに接続する必要があります。AGDN ピンから VIA までのパターンは短絡させておきます。

#### 8.4.2 レイアウト例

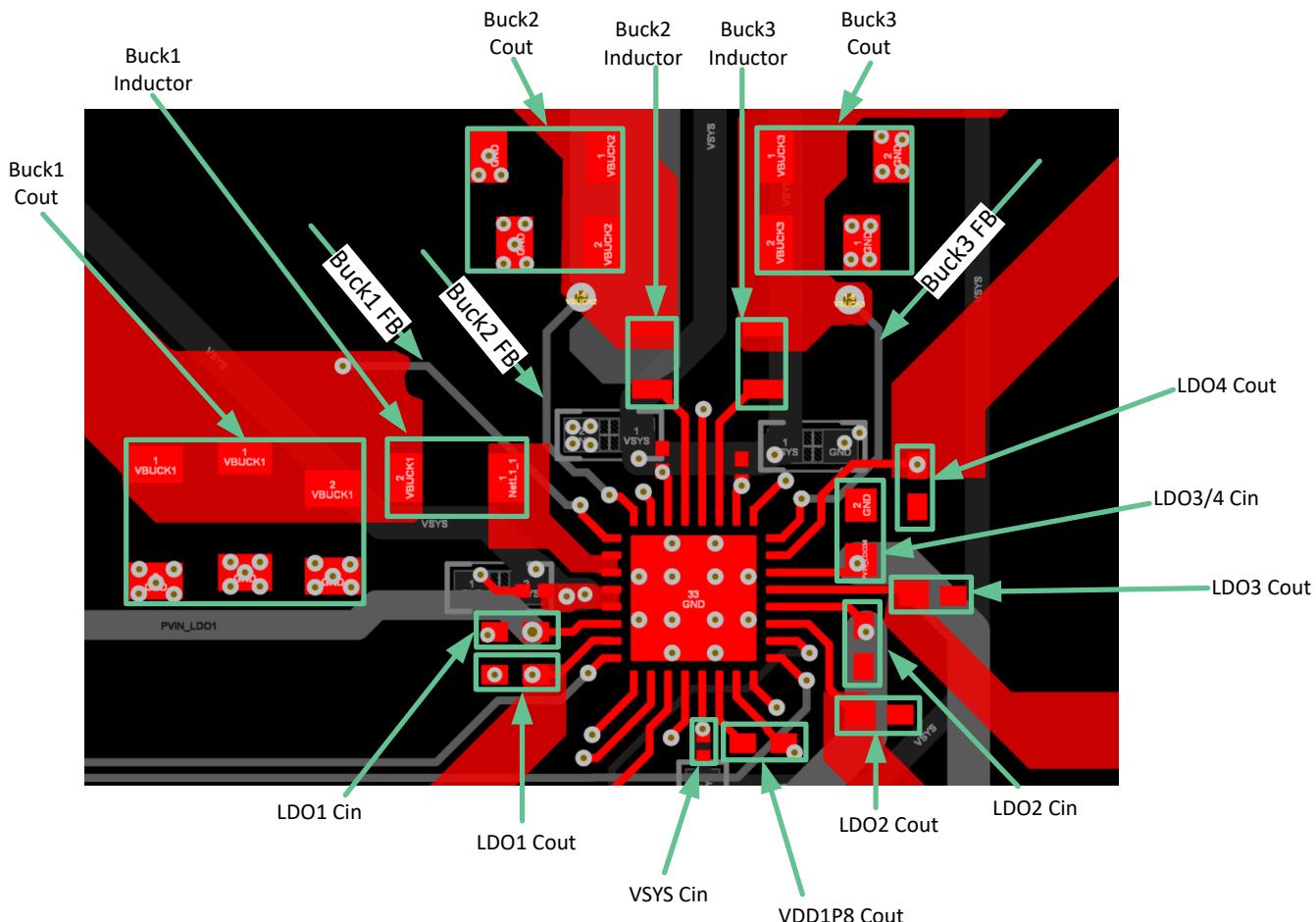


図 8-12. PMIC レイアウト例

## 9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2024) to Revision C (April 2025)	Page
• 「パッケージ情報」表を更新し、RSM および RHB OPN に関する情報を追加.....	1
• 新しくリリースされた OPN を含めるように表を更新.....	3

Changes from Revision A (March 2023) to Revision B (June 2024)	Page
• アプリケーション一覧を更新.....	1
• 「デバイス比較」を追加.....	3
• 車載バージョンでのみサポートされる固定周波数パラメータを削除.....	8
• GPIO のプッシュプル パラメータを削除。すべての GPIO はオープンドレインです。.....	8
• 正しい仕様を反映するよう CDM テスト条件を更新。.....	8
• PWM での電圧ヘッドルームのテスト条件を更新、パラメータ 6.1.3a.....	14
• VIO を定義するための注を追加.....	29
• 2 つの降圧コンバータではなく 3 つの降圧コンバータを反映するようにコンテンツを更新.....	36

- 
- マルチ PMIC 動作の新しいトピックを追加。 ..... 60
- 

<b>Changes from Revision * (May 2022) to Revision A (March 2023)</b>	<b>Page</b>
• デバイスのステータスを「事前情報」から「量産データ」に変更.....	1

---

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS6521901RHBR	Active	Production	VQFN (RHB)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 01
TPS6521901RHBR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521901RHBR	65219 NVM 01
TPS6521901RSMR	Active	Production	VQFN (RSM)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 01
TPS6521901RSMR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521901RSMR	65219 NVM 01
TPS6521902RHBR	Active	Production	VQFN (RHB)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 02
TPS6521902RHBR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521902RHBR	65219 NVM 02
TPS6521902RSMR	Active	Production	VQFN (RSM)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 02
TPS6521902RSMR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521902RSMR	65219 NVM 02
TPS6521903RHBR	Active	Production	VQFN (RHB)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 03
TPS6521903RHBR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521903RHBR	65219 NVM 03
TPS6521903RSMR	Active	Production	VQFN (RSM)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 03
TPS6521903RSMR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521903RSMR	65219 NVM 03
TPS6521904RHBR	Active	Production	VQFN (RHB)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 04
TPS6521904RHBR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521904RHBR	65219 NVM 04
TPS6521904RSMR	Active	Production	VQFN (RSM)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 04
TPS6521904RSMR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521904RSMR	65219 NVM 04

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">TPS6521906RSMR</a>	Active	Production	VQFN (RSM)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 06
TPS6521906RSMR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521906RSMR	65219 NVM 06
<a href="#">TPS6521907RHBR</a>	Active	Production	VQFN (RHB)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 07
TPS6521907RHBR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521907RHBR	65219 NVM 07
<a href="#">TPS6521908RHBR</a>	Active	Production	VQFN (RHB)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 08
TPS6521908RHBR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521908RHBR	65219 NVM 08
<a href="#">TPS6521909RSMR</a>	Active	Production	VQFN (RSM)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 09
TPS6521909RSMR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521909RSMR	65219 NVM 09
<a href="#">TPS652190CRHBR</a>	Active	Production	VQFN (RHB)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 0C
TPS652190CRHBR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS652190CRHBR	65219 NVM 0C
<a href="#">TPS6521910RSMR</a>	Active	Production	VQFN (RSM)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 10
TPS6521910RSMR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521910RSMR	65219 NVM 10
<a href="#">TPS6521940RSMR</a>	Active	Production	VQFN (RSM)   32	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	65219 NVM 40
TPS6521940RSMR.A	Active	Production	null (null)	3000   LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS6521940RSMR	65219 NVM 40

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

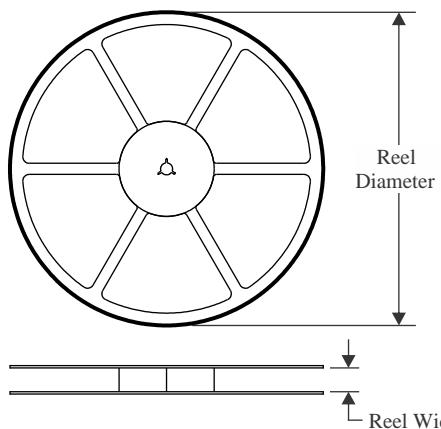
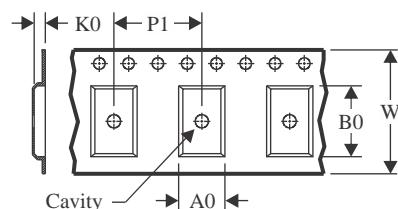
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF TPS65219 :**

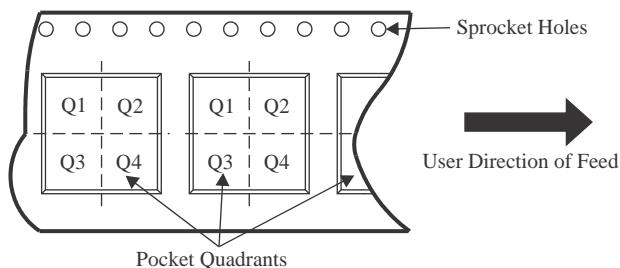
- Automotive : [TPS65219-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

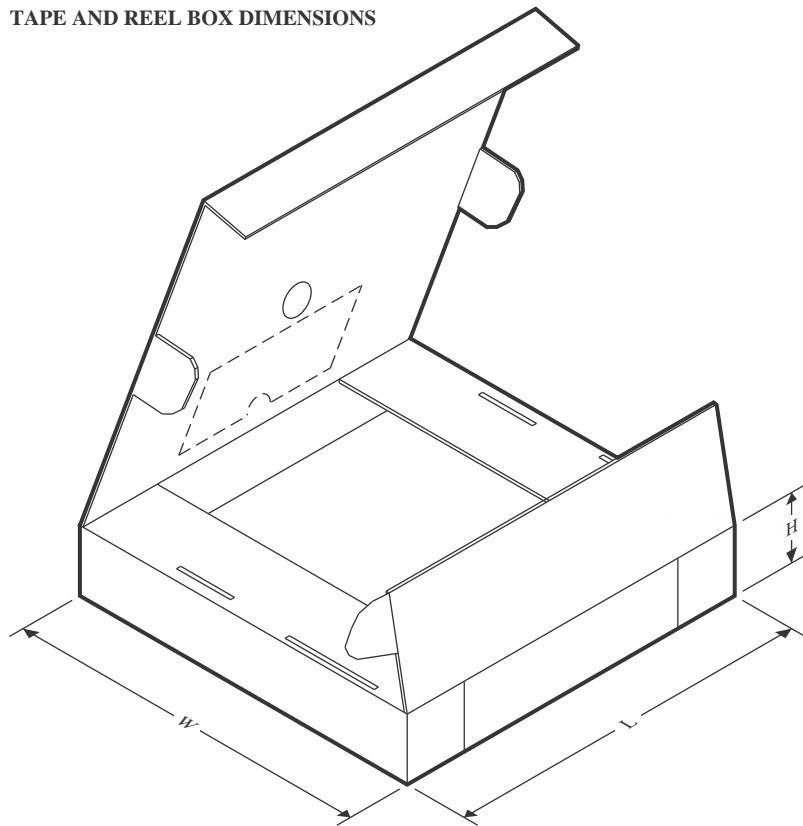
**TAPE AND REEL INFORMATION**
**REEL DIMENSIONS**

**TAPE DIMENSIONS**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS6521901RHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TPS6521901RSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS6521902RHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TPS6521902RSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS6521903RHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TPS6521903RSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS6521904RHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TPS6521904RSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS6521906RSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS6521907RHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TPS6521908RHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TPS6521909RSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS652190CRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TPS6521910RSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TPS6521940RSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS6521901RHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
TPS6521901RSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
TPS6521902RHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
TPS6521902RSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
TPS6521903RHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
TPS6521903RSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
TPS6521904RHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
TPS6521904RSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
TPS6521906RSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
TPS6521907RHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
TPS6521908RHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
TPS6521909RSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
TPS652190CRHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
TPS6521910RSMR	VQFN	RSM	32	3000	367.0	367.0	35.0
TPS6521940RSMR	VQFN	RSM	32	3000	367.0	367.0	35.0

# GENERIC PACKAGE VIEW

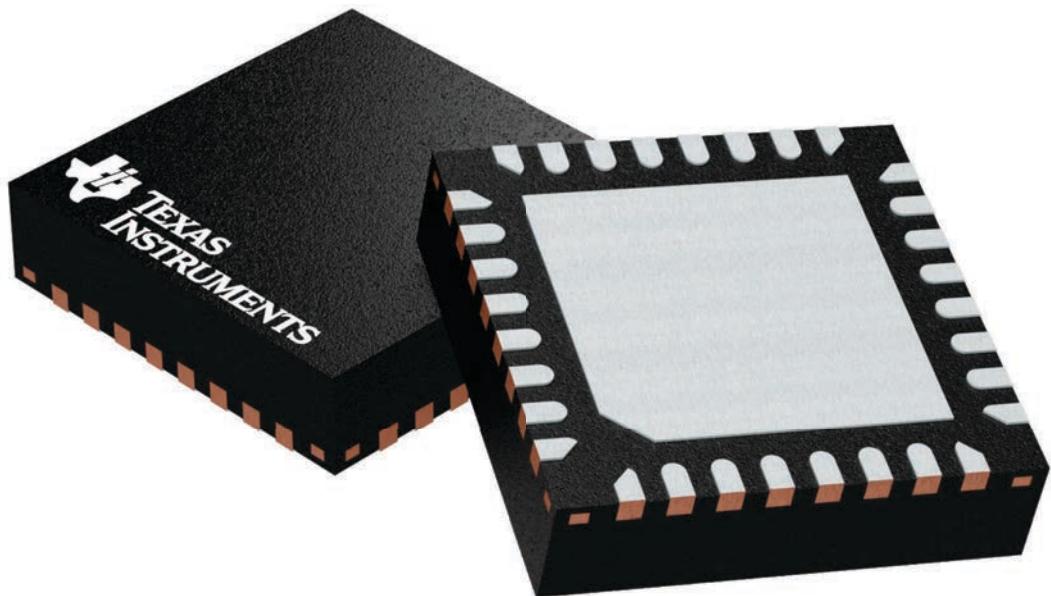
## RSM 32

## VQFN - 1 mm max height

4 x 4, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

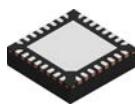
This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4224982/A

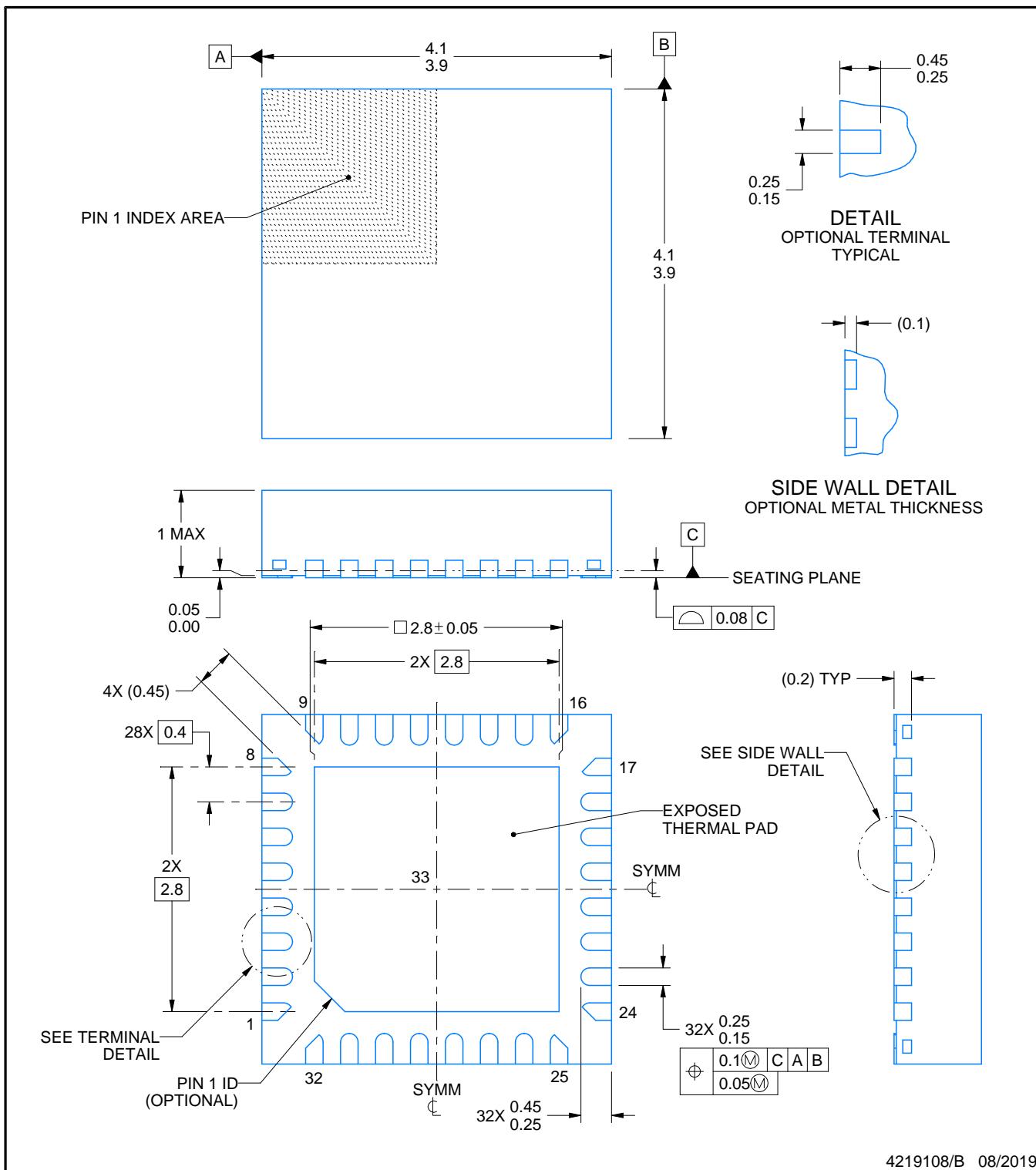
# PACKAGE OUTLINE

RSM0032B



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219108/B 08/2019

## NOTES:

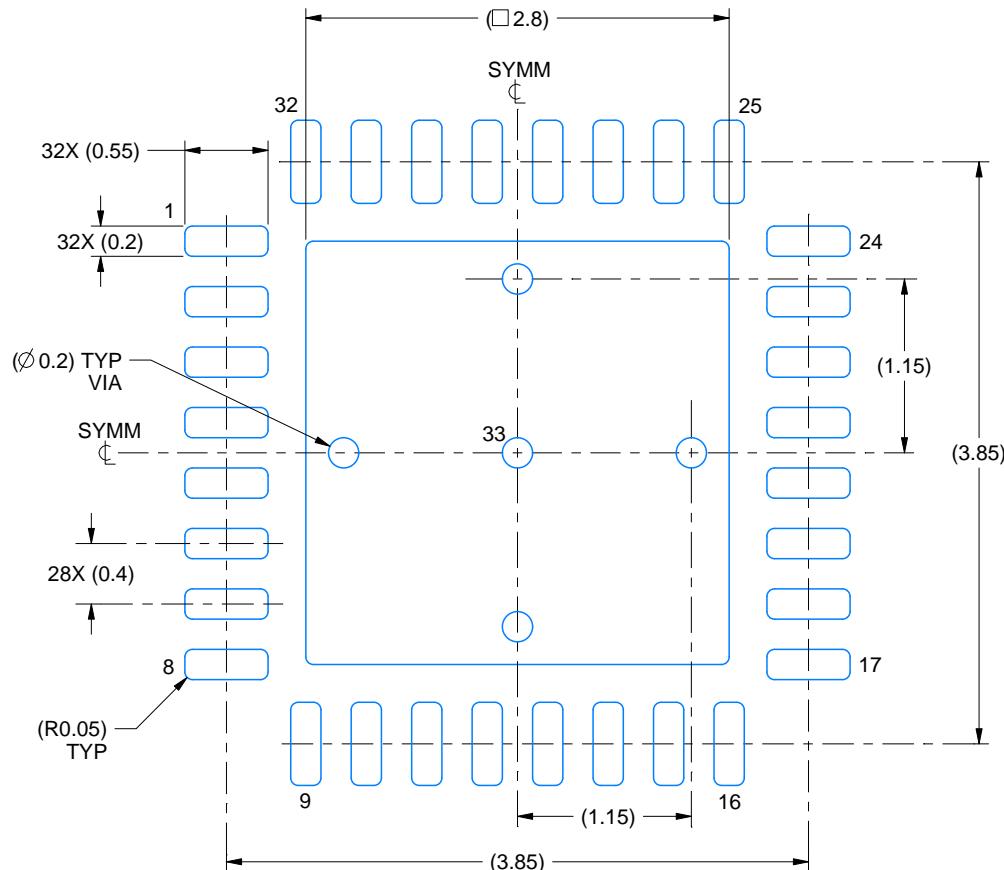
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

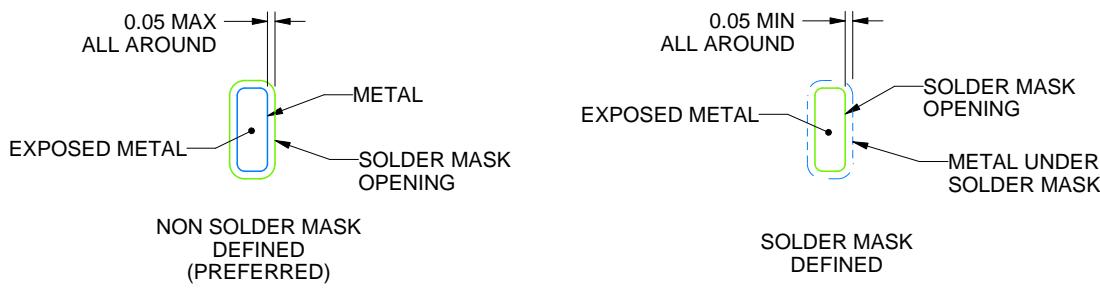
RSM0032B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:20X



SOLDER MASK DETAILS

4219108/B 08/2019

NOTES: (continued)

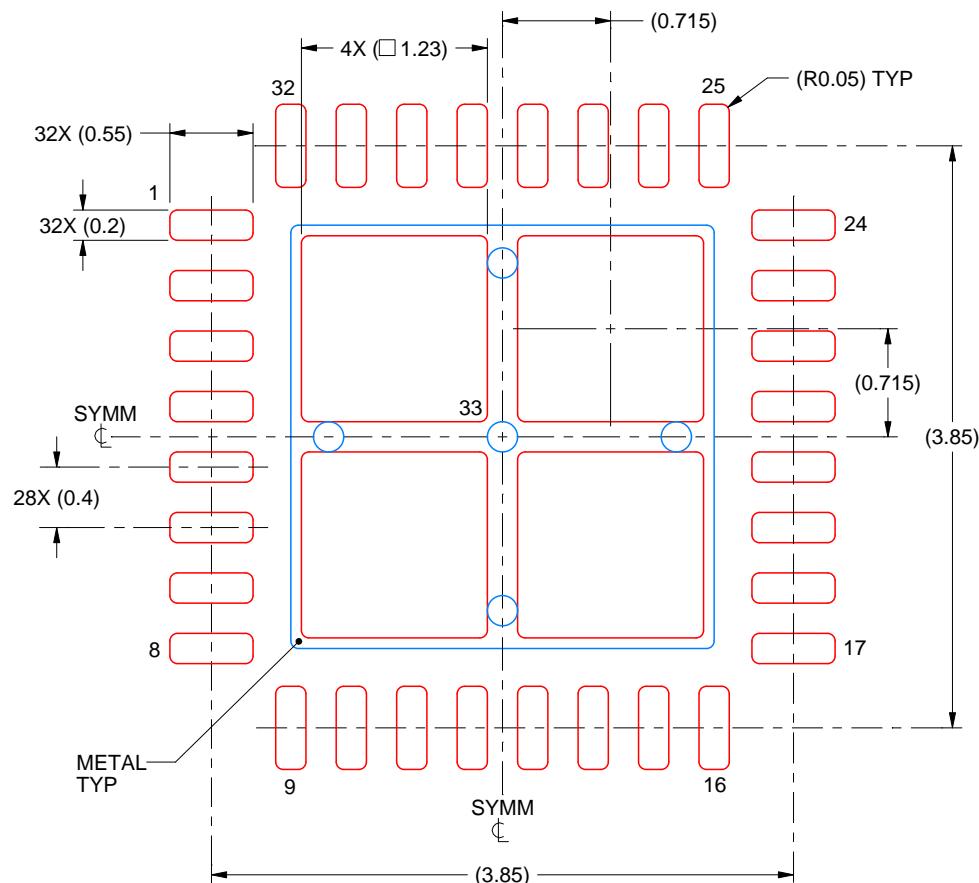
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RSM0032B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE**  
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 33:  
77% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:20X

4219108/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

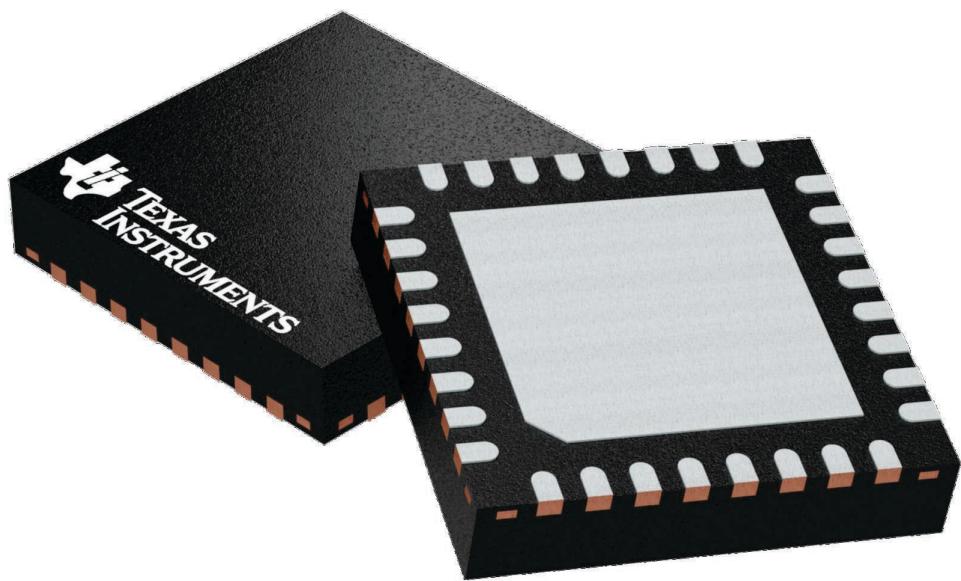
## GENERIC PACKAGE VIEW

**RHB 32**

**VQFN - 1 mm max height**

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4224745/A

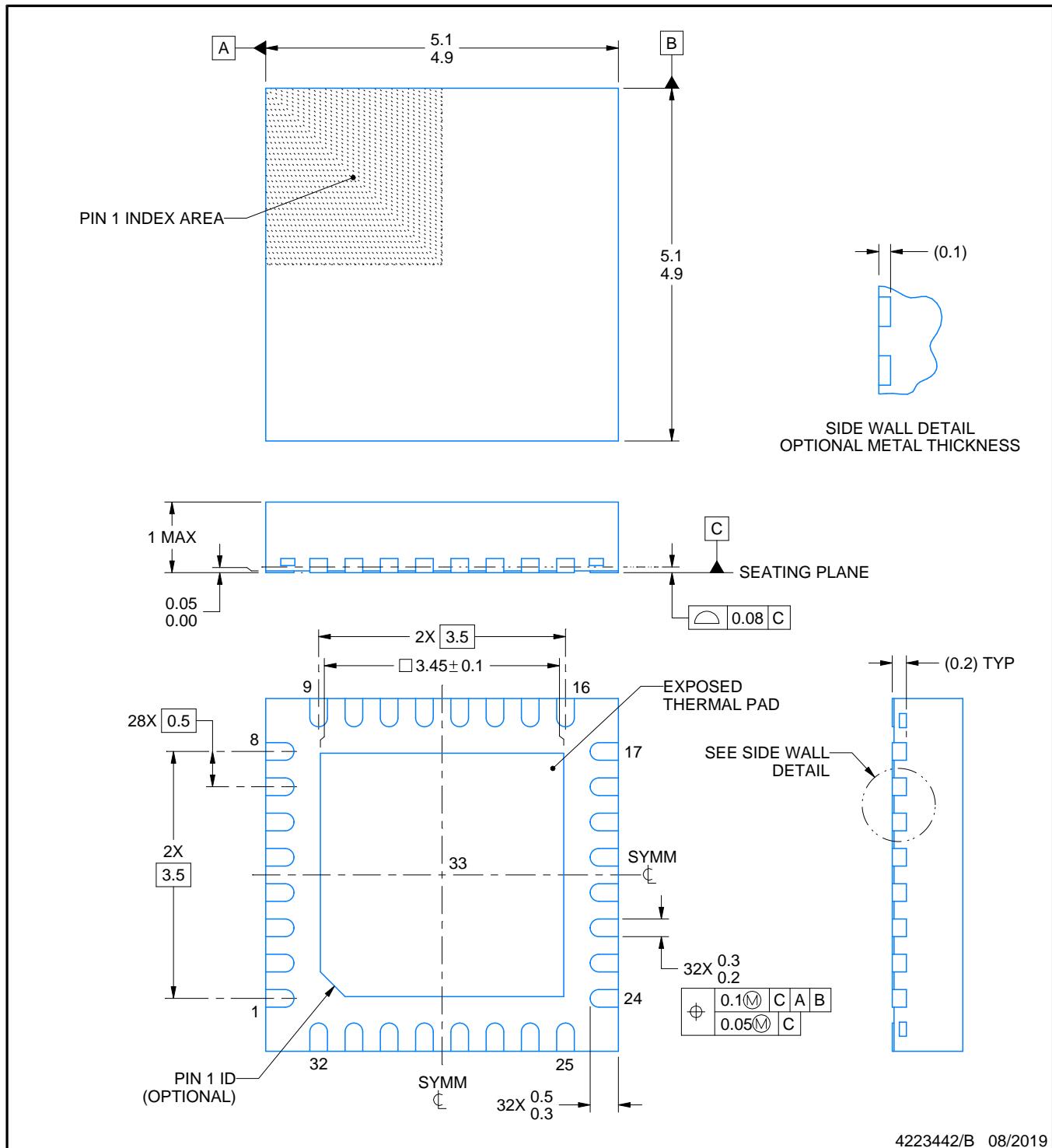
**RHB0032E**



## PACKAGE OUTLINE

## VQFN - 1 mm max height

## PLASTIC QUAD FLATPACK - NO LEAD



4223442/B 08/2019

## NOTES:

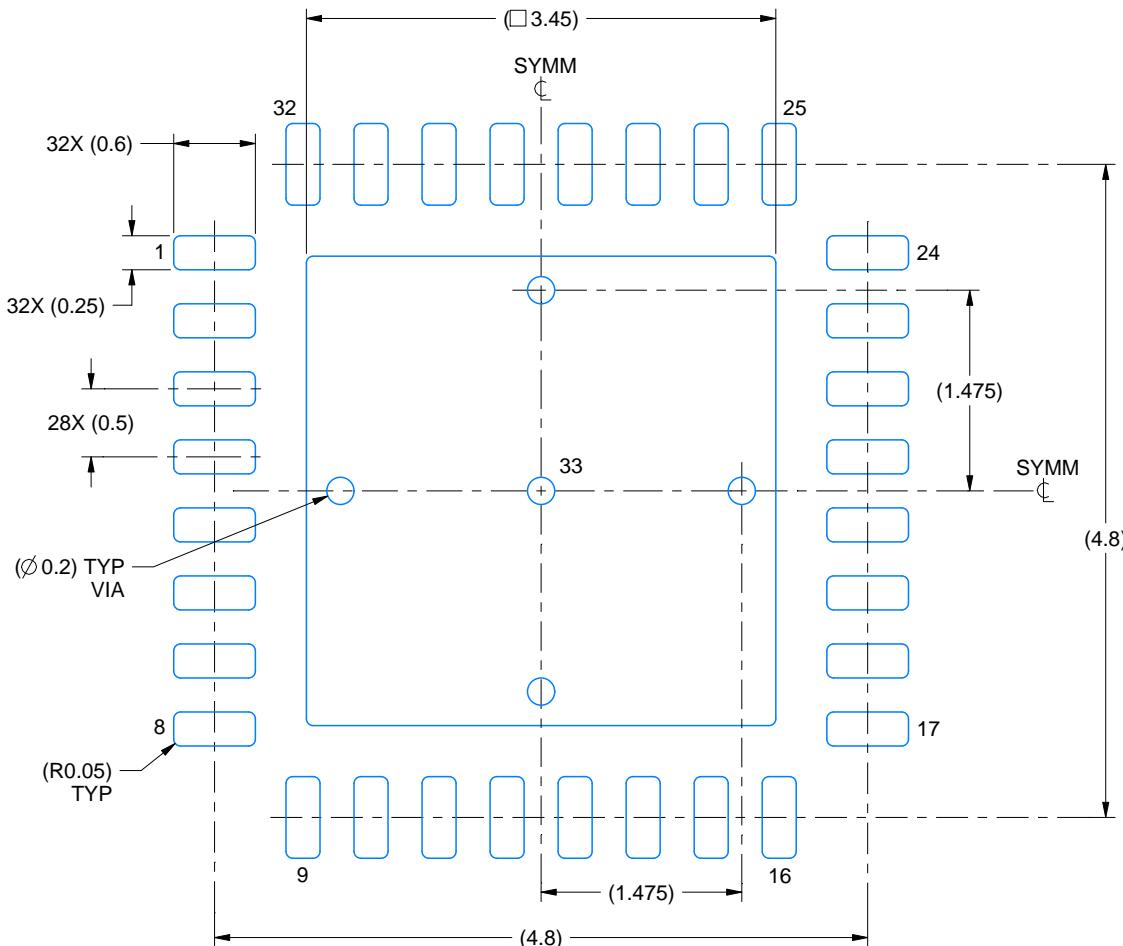
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

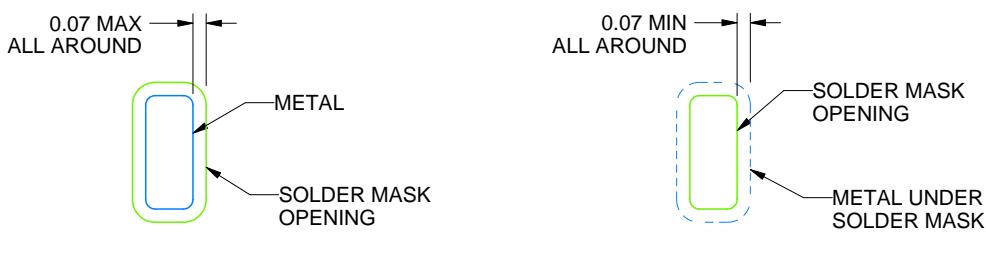
RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
SCALE:18X



SOLDER MASK DETAILS

4223442/B 08/2019

NOTES: (continued)

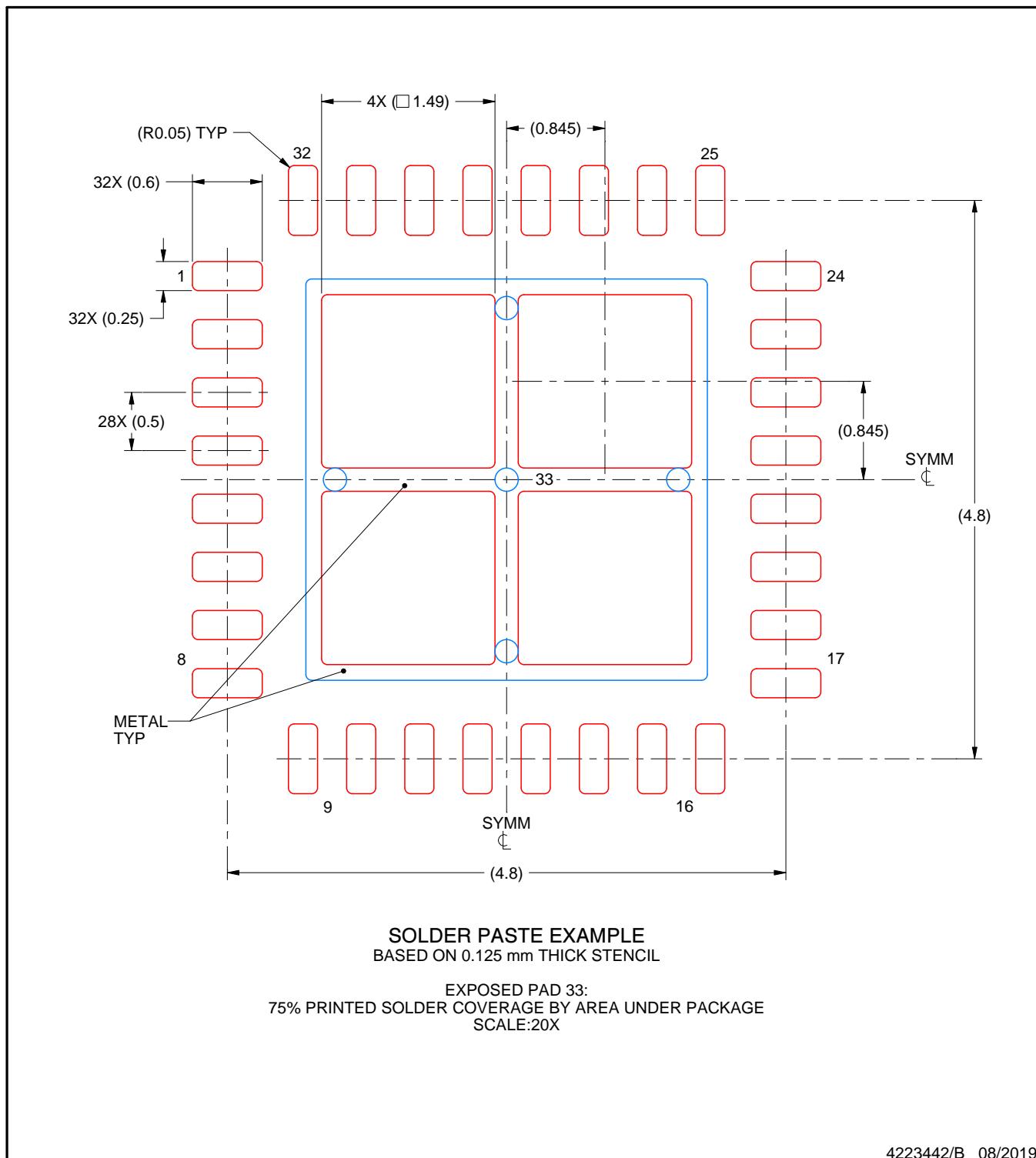
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4223442/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

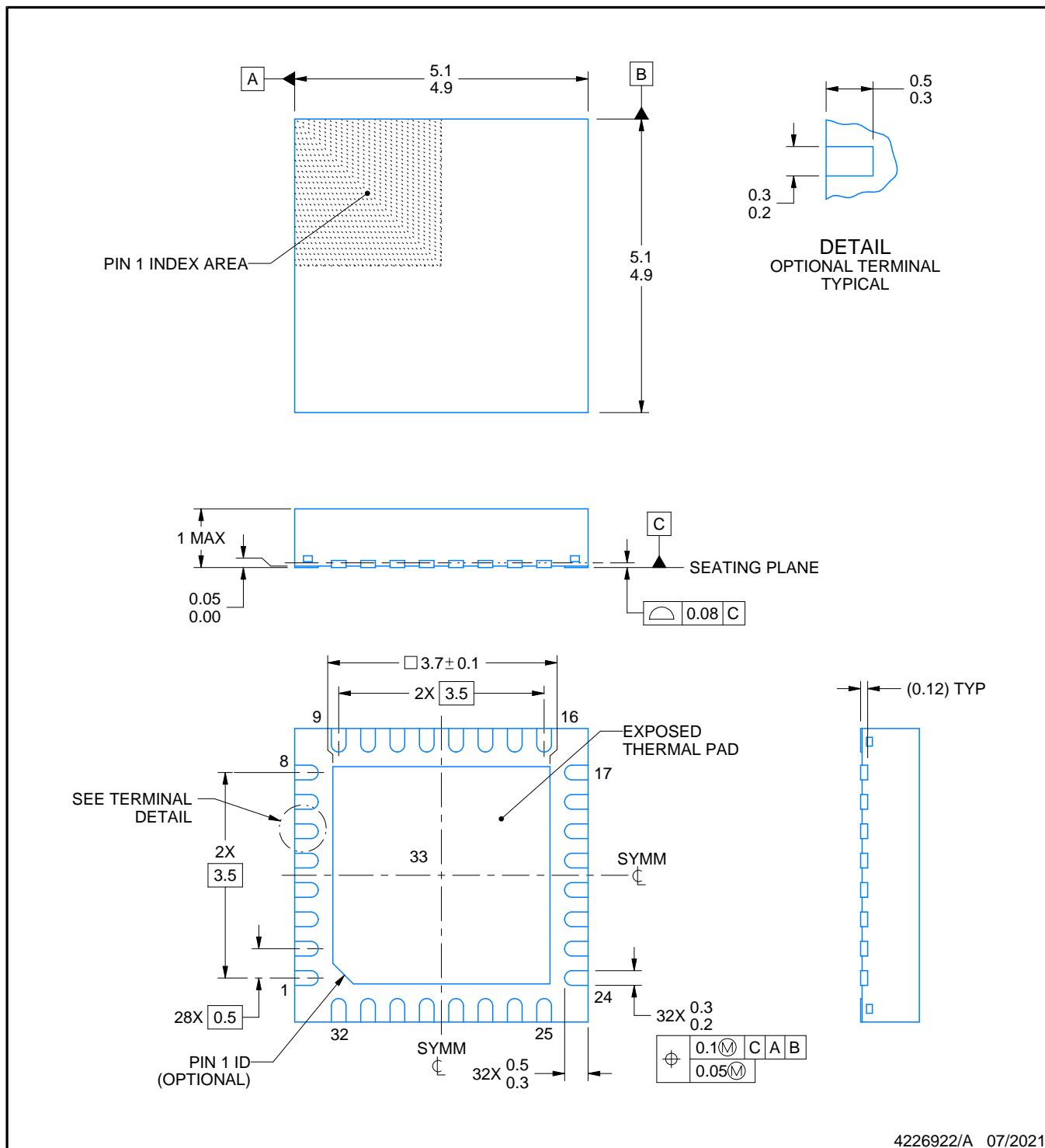
## PACKAGE OUTLINE

**RHB0032W**



## VQFN - 1 mm max height

#### PLASTIC QUAD FLATPACK - NO LEAD



4226922/A 07/2021

## NOTES:

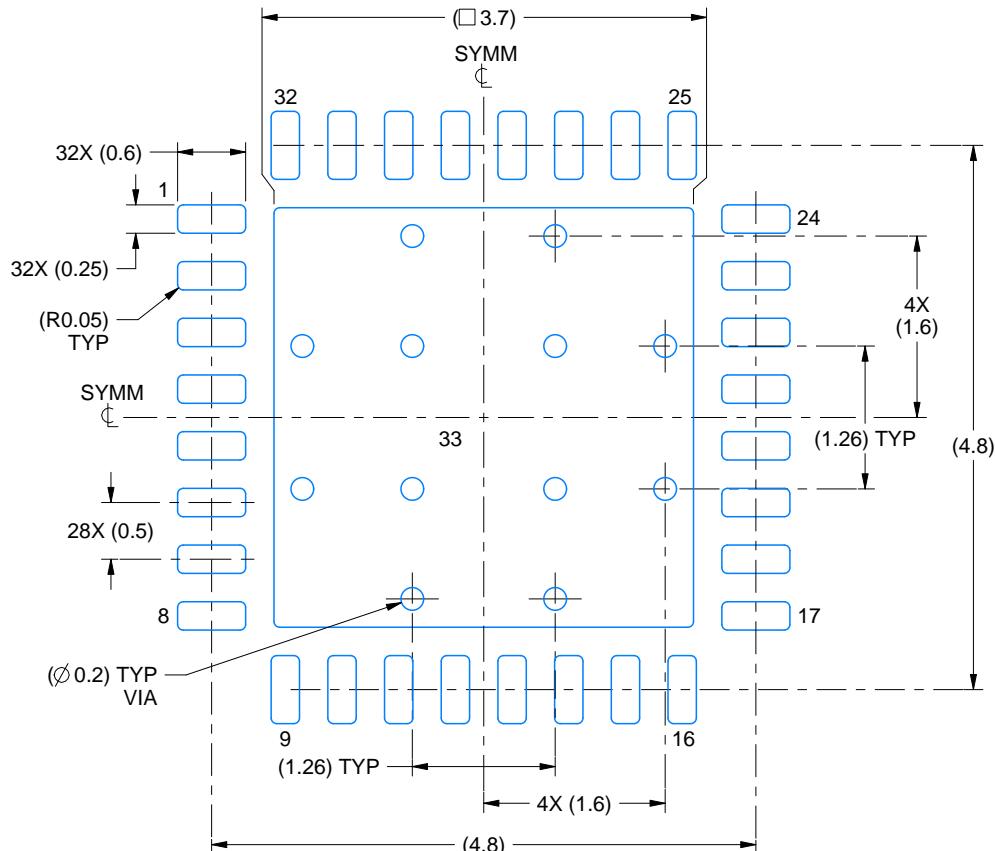
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

## EXAMPLE BOARD LAYOUT

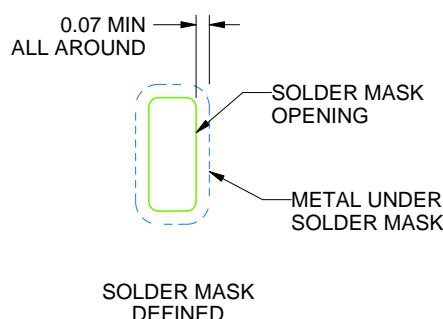
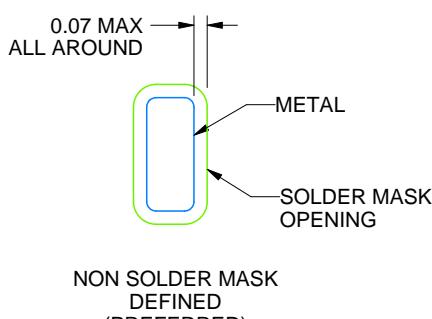
**RHB0032W**

## **VQFN - 1 mm max height**

#### PLASTIC QUAD FLATPACK - NO LEAD



## LAND PATTERN EXAMPLE



## SOL DEB MASK DETAILS

4226922/A 07/2021

#### NOTES: (continued)

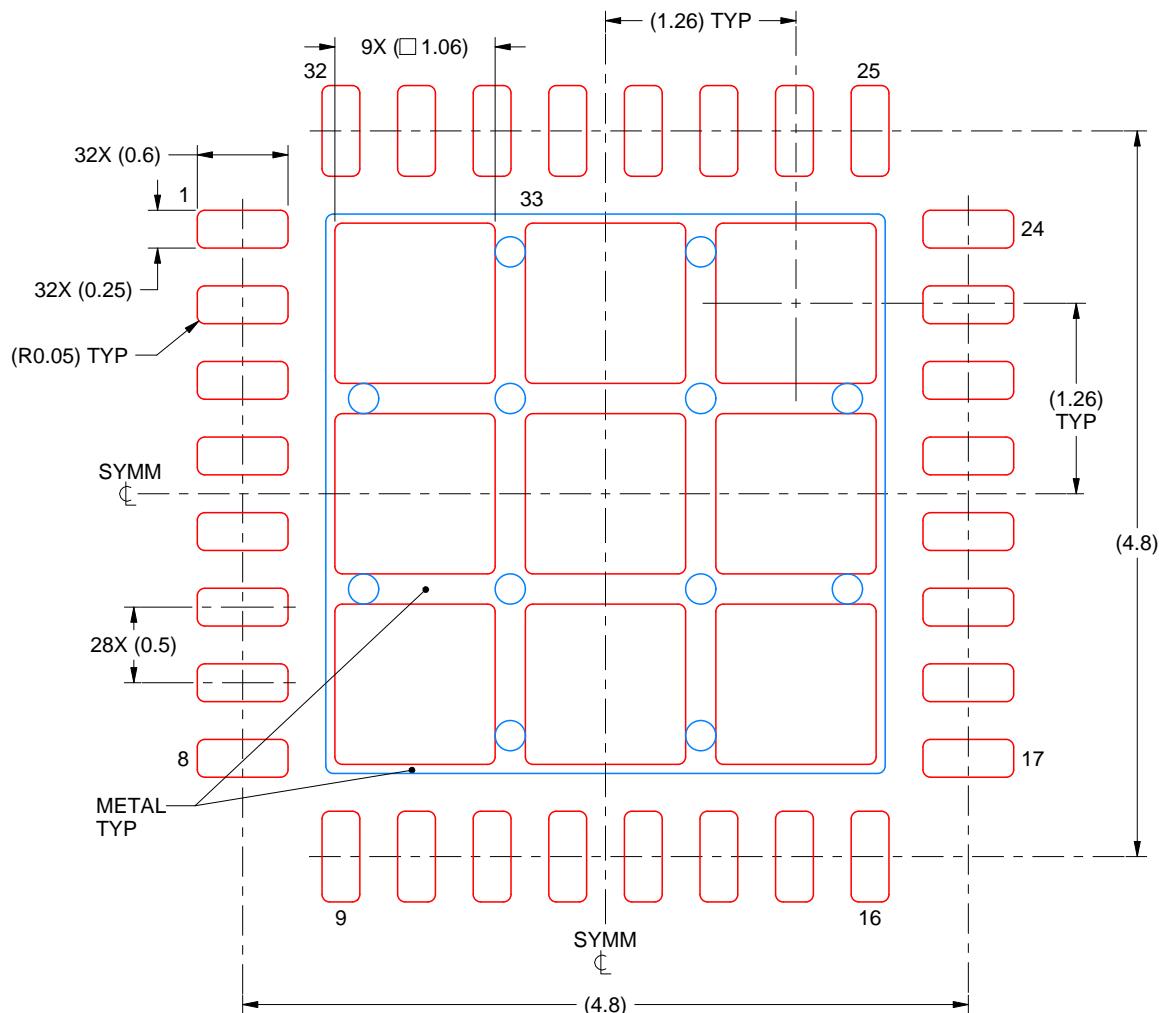
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
  5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

## EXAMPLE STENCIL DESIGN

**RHB0032W**

## VQFN - 1 mm max height

## PLASTIC QUAD FLATPACK - NO LEAD



## SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33  
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:20X

4226922/A 07/2021

#### NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月