TPS723-Q1
、200mA 対応の低ノイズ、高 PSRR、負電圧出力、低ドロップアウトのリニア レギュレータ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
- 入力電圧範囲:-2.7V～-10V (絶対最大値 -11V)
- −2.5V (固定) および −1.186V ～ −10V (可変) のバージョンで提供
- V_{OUT} 精度 (ライン、負荷、温度に対する全範囲):
  - ±1.6% (新チップ)
  - 従来のチップでは ±2.0%
- 出力電流:最大 200mA
- 超低ノイズ:10nF の NR コンデンサ使用時で 60μV_{RMS} (標準値)
- 低い I_Q (新チップ):30μA (I_{LOAD} = 0mA の場合)
- 高 PSRR:1kHz で 65dB (標準値)、100kHz で 40dB (標準値)
- Low ドロップアウト電圧:
  - 200mA、−2.5V (新しいチップ) において 140mV (標準値)
  - 200mA、−2.5V (新しいチップ) において 280mV (従来チップ)
- 2.2μF のセラミック出力コンデンサで安定動作
- シャットダウン モード時の静止電流は 2μA 未満 (最大値)
- 過熱および過電流保護
- 動作時接合部温度 (T_J):-40℃ ～ +125℃
- パッケージ:
  - 新しいチップ:
    - 5 ピン SOT-23 (DBV) [$R_{\theta JA}$: 153.7°C/W]
  - 従来のチップ:
    - 5 ピン SOT-23 (DBV) [$R_{\theta JA}$: 180°C/W]

2 アプリケーション

- インフォテインメントおよびクラスタ
- ハイブリッド、電動、パワートレイン システム
- 先進運転支援システム (ADAS)
- データ センター

3 説明

TPS723 - Q1 低ドロップアウト (LDO) 負電圧レギュレータは、低ノイズのアナログおよびミックスド シグナル アプリケーションをサポートするための理想的な機能の組み合わせを提供します。TPS723 は、入力電圧 −10V ～ −2.7V、および出力電圧 −10V ～ −1.186V (可変構成時) に対応しています。このレギュレータは、小型で低コストのセラミック コンデンサ (最大 2.2μF) でも安定動作し、イネーブル (EN) およびノイズ低減 (NR) 機能を備えています。

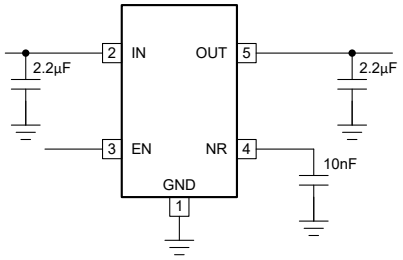
TPS723-Q1 は、ライン、負荷、および温度範囲にわたって ±1.6% (新しいチップ) の非常に高い DC 精度に対応しています。このデバイスは、ラインおよび負荷過渡に迅速に応答します。TPS723-Q1 は、負荷電流 200mA において、標準値 140mV (新しいチップ) の低ドロップアウト電圧に対応しています。このデバイスは、LDO の信頼性の高い動作を実現するため、過電流および過温度に対する保護機構を内蔵しています。

TPS723-Q1 は低出力ノイズ (NR コンデンサ 10nF 使用時で 60μV_{RMS}) に対応しており、小型の 5 ピン SOT - 23 パッケージで提供され、–40°C ～ +125°C の温度範囲にわたって性能が完全に規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS723-Q1	DBV (SOT-23、5)	2.90mm × 2.80mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 消費電力定格 (従来のチップ).....5
5.5 熱に関する情報 (新しいチップ).....5
5.6 電気的特性.....5
6 代表的特性.....7
7 詳細説明.....23
7.1 概要.....23
7.2 機能ブロック図.....23
7.3 機能説明.....24
7.4 デバイスの機能モード.....27
8 アプリケーションと実装.....28
8.1 使用上の注意.....28
8.2 代表的なアプリケーション.....31
8.3 設計のベスト プラクティス.....33
8.4 電源に関する推奨事項.....33
8.5 レイアウト.....33
9 デバイスおよびドキュメントのサポート.....34
9.1 デバイス サポート.....34
9.2 ドキュメントの更新通知を受け取る方法.....34
9.3 サポート・リソース.....34
9.4 商標.....34
9.5 静電気放電に関する注意事項.....34
9.6 用語集.....34
10 改訂履歴.....35
11 メカニカル、パッケージ、および注文情報.....35

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

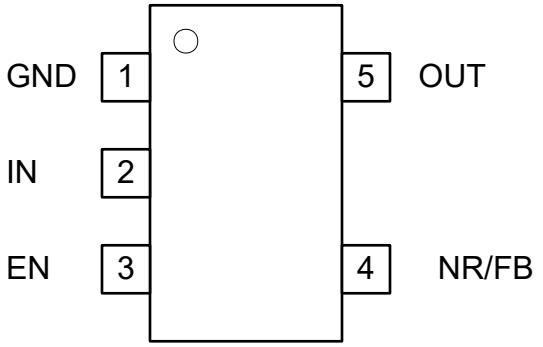


図 4-1. DBV パッケージ、 5 ピン SOT-23 (上面図)

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
GND	1	—	グランド ピン。
IN	2	I	入力電源ピン。詳細については、「セクション 5.3」表と「セクション 8.1.3」セクションを参照してください。
EN	3	I	バイポーラ イネーブル ピン。このピンを正のイネーブル スレッショルドより高くするか、または負のイネーブル スレッショルドより低くすると、レギュレータがオンになります。このピンを正のディスエーブル スレッショルド未満かつ負のディスエーブルスレッショルドより上に駆動すると、レギュレータはシャットダウン モードに入ります。高スレッショルドと低スレッショルドを セクション 5.6 表に示します。このピンには弱い内部プルダウンが備わっており、フローティングのままでも有効にすることができます。詳細については、セクション 7.3.1(EN) セクションを参照してください。
NR	4	—	固定電圧バージョンのみ。このピンとグラウンドの間に外付けコンデンサを接続することで、内部バンド ギャップで生成されるノイズをバイパスできます。この構成により、出力ノイズを非常に低いレベルまで低減できます。NR ピンのコンデンサは、スタートアップ時に RC 遅延を発生させることで突入電流の制御にも役立ちます。詳細については、セクション 7.3.7 を参照してください。
FB	4	I	可変出力デバイスを使用する場合、このピンはフィードバック分圧回路によって出力電圧を設定します。この機能は可変構成でのみ利用可能であり、デバイスを動作させるには、このピンを抵抗分圧回路を介して出力に接続する必要があります。
OUT	5	O	レギュレータの出力。安定性のために、OUT とグランドの間にコンデンサが必要です。セクション 5.3 表およびセクション 8.1.3 セクションに示されているように、最高の過渡応答を実現するには、公称推奨値またはそれ以上に大きい値のセラミック コンデンサを OUT とグランドの間に接続します。この出力コンデンサは、デバイスのできるだけ近くに配置します。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
電圧	IN	入力電源電圧範囲	-11	0.3	V
	EN	イネーブル電圧範囲	$-V_{IN}$	5.5	
	OUT	出力電圧範囲	-11	0.3	
	NR	NR 電圧範囲 (従来のチップの)	-11	5.5	
		NR 電圧範囲 (新しいチップ)	-6	0.3	
電流	ラッチアップ性能は、AEC - Q100 クラス I において 100mA を満たしています (従来チップ)		100		mA
電流		OUT	内部的に制限		A
出力短絡時間			無制限		
連続総許容損失			「熱に関する情報」表を参照してください		
T_J		動作時接合部温度	-65	150	°C
T_{stg}		保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			VALUE (新しいチップ)	VALUE (従来チップ)	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	±2000	±2000	V
		デバイス帯電モデル (CDM)、V AEC Q100 - 011 に準拠、すべてのピン	±750	±500	
		マシン モデル	±750	±200	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧範囲	-10		-2.7	V
V_{OUT}	出力電圧範囲	-10		-1.186	
V_{EN}	イネーブル電圧範囲	-10		5.0	
I_{OUT}	出力電流	0		200	mA
C_{IN} (1)	入力コンデンサ (従来のチップ)	0.1		2.2	μF
	入力コンデンサ (新しいチップ)		0.47		
C_{OUT} (2)	出力コンデンサ	2.2		100	
C_{NR}	NR コンデンサ		0.01		
C_{FF} (3)	フィードフォワード コンデンサ (可変、新しいチップのみ)		0.01		
C_{OUT} ESR	出力コンデンサ ESR (新しいチップ)			0.5	Ω

Copyright © 2026 Texas Instruments Incorporated

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
T_J	動作時接合部温度	-40		125	°C

(1) LDO の安定性のために、入力コンデンサは必要ありません。しかし、ソース抵抗とインダクタンスの影響を打ち消すために、最小実効値が 0.1µF の入力コンデンサを推奨します。ソース抵抗とインダクタンスは、場合によって、特に負荷過渡現象がある場合には、リンギングや発振などシステム レベルの不安定性の症状を引き起こす可能性があります。
(2) 記載されているすべてのコンデンサ値は公称値であり、実効容量は公称コンデンサ値の 50% まで低下すると想定されています。
(3) C_{FF} コンデンサは過渡現象、ノイズ、PSRR の性能を向上させますが、レギュレータの安定性には必要ありません。より高い容量の CFF を使用することは可能ですが、起動時間が長くなります。

5.4 消費電力定格 (従来のチップ)

基板	パッケージ	$R_{\theta JC}$	$R_{\theta JA}$	T_A = 25℃ を超える場合のディレーティング係数	$T_A \leqq$ 25℃ の電力定格	T_A = 70℃ の電力定格	T_A = 85℃ の電力定格
Low - K(1)	DBV	64℃/W	255℃/W	3.9 mW/℃	390mW	215mW	155mW
High - K(2)	DBV	64℃/W	180℃/W	5.6 mW/℃	560mW	310mW	225mW

(1) このデータの算出に使用された JEDEC 低 K (1s) 基板は、3 インチ × 3 インチ (7.62cm × 7.62cm) の 2 層基板で、基板上面には 2 オンス (厚さ 0.071mm) の銅配線が使用されています。
(2) このデータの算出に使用された JEDEC High - K (2s2p) 基板は、3 インチ × 3 インチ (7.62cm × 7.62cm) の多層基板で、内部には 1 オンス (厚さ 0.035mm) の電源およびグランド プレーンを持ち、基板の上面および下面には 2 オンス (厚さ 0.071mm) の銅配線が使用されています。

5.5 熱に関する情報 (新しいチップ)

熱評価基準(1)		TPS723 (2) DBV (SOT23) 5 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	153.7	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	73.4	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	34.8	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	7.6	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	34.5	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。
(2) 熱性能の結果は、JEDEC 規格の 2s2p PCB 構成に基づいています。これらの熱評価基準パラメータは、熱的に最適化された PCB レイアウト設計に基づいて、さらに 35～55% 改善することができます。『基板レイアウトが LDO の熱性能に及ぼす影響』アプリケーション レポートの分析を参照してください。

5.6 電気的特性

動作接合部温度範囲 (T_J = –40°C ～ +125°C)、V_{IN} = –2.7V または V_{IN} = $V_{OUT(nom)}$ – 0.5V (いずれか低い方)、I_{OUT} = 1mA、V_{EN} = +1.5V、C_{OUT} = 1µF および C_{NR} = 0.01µF (特に記述のない限り)。標準値は T_J = 25℃時に測定。

パラメータ			テスト条件	最小値	標準値	最大値	単位
V_I	入力電圧範囲			-10		-2.7	V
V_O	公称	従来のチップ (TPS723xx - Q1)	T_J = 25°C	-1		1	%
	精度 (両方固定、調整可能)		–10V ≤ V_I ≤ V_O – 0.5V、10µA ≤ I_O ≤ 200mA	-2	±1	2	
	精度 (両方固定、調整可能)	新しいチップ (TPS723xx - Q1)	–10V ≤ V_I ≤ V_O – 0.5V、10µA ≤ I_O ≤ 200mA	-1.6	±0.04	1.6	
ΔV_O (ΔV_I)	ライン レギュレーション	従来のチップ	–10V ≤ V_I ≤ $V_{O(nom)}$ – 0.5V		0.04		%/V
		新しいチップ			-0.003		

5.6 電気的特性 (続き)

動作接合部温度範囲 (T_J = –40°C ～ +125°C)、V_{IN} = –2.7V または V_{IN} = $V_{OUT(nom)}$ – 0.5V (いずれか低い方)、I_{OUT} = 1mA、V_{EN} = +1.5V、C_{OUT} = 1µF および C_{NR} = 0.01µF (特に記述のない限り)。標準値は T_J = 25℃時に測定。

パラメータ			テスト条件	最小値	標準値	最大値	単位
ΔV_O (ΔI_O)	負荷レギュレーション	従来のチップ	0mA ≤ I_O ≤ 200mA		0.002		%/mA
		新しいチップ			0.0001		
V_{DO}	ドロップアウト電圧	従来のチップ	I_O = 200mA、V_O = 0.96 × $V_{O(NOM)}$		280	500	mV
		新しいチップ			140	245	
V_{UVLO+}	立ち上がり入力電源 UVLO	新しいチップ		-2.4	-2.1		V
V_{UVLO-}	立ち下がり入力電源 UVLO	新しいチップ			-1.9	-1.4	V
I_{LIM}	出力電流制限	従来のチップ	V_O = 0.85 × $V_{O(NOM)}$	300	550	800	mA
		新しいチップ	V_O = 0.85 × $V_{O(NOM)}$	300	385	485	
I_{GND}	グランド ピン電流	従来のチップ	I_O = 0mA (I_Q)、–10V ≤ V_I ≤ V_O – 0.5V		130	200	µA
			I_O = 200mA、–10V ≤ V_I ≤ V_O – 0.5V		350	500	
		新しいチップ	I_O = 0mA (I_Q)、–10V ≤ V_I ≤ V_O – 0.5V		30.0	55	
			I_O = 200mA、–10V ≤ V_I ≤ V_O – 0.5V		290	450	
I_{SHDN}	シャットダウン グランド ピン電流	従来のチップ	–0.4V ≤ V_{EN} ≤ 0.4V、–10V ≤ V_I ≤ V_O – 0.5V		0.1	2.0	µA
		新しいチップ	–0.4V ≤ V_{EN} ≤ 0.4V、–10V ≤ V_I ≤ V_O – 0.5V		0.7	2.0	
I_{FB}	フィードバック ピンの電流	従来のチップ	–10V ≤ V_I ≤ V_O – 0.5V		0.05	1.0	µA
		新しいチップ			0.001	0.1	
I_{EN}	EN ピン電流	従来のチップ	–10V ≤ V_I ≤ V_O – 0.5V、–10V ≤ V_{EN} ≤ ±3.5V		0.1	2.0	
		新しいチップ			0.6	2.0	
$V_{EN(HI)}$	イネーブル スレッショルド (正)	従来のチップ		1.5			V
$V_{EN(LO)}$	イネーブル スレッショルド (負)					–1.5	V
$V_{DIS(HI)}$	ディスエーブル スレッショルド (正)					0.4	V
$V_{DIS(LO)}$	ディスエーブル スレッショルド (負)			–0.4			V
$V_{EN(HI)}$	イネーブル スレッショルド (正)	新しいチップ		1.5			V
$V_{EN(LO)}$	イネーブル スレッショルド (負)					–1.5	V
$V_{DIS(HI)}$	ディスエーブル スレッショルド (正)					0.4	V
$V_{DIS(LO)}$	ディスエーブル スレッショルド (負)			–0.4			V
T_{sd+}	サーマル シャットダウン温度	従来のチップ	シャットダウン、温度上昇		165		°C
T_{sd-}			リセット、温度低下		145		°C
T_{sd+}		新しいチップ	シャットダウン、温度上昇		175		°C
T_{sd-}			リセット、温度低下		155		°C
PSRR	電源リップル除去		I_O = 200mA、1kHz、C_I = C_O = 10µF		65		dB
			I_O = 200mA、10kHz、C_I = C_O = 10µF		48		
V_n	出力ノイズ電圧		帯域幅 = 10Hz ～ 100kHz、V_O = 2.5V、I_O = 200mA、$C_{NR/SS}$ = 0.01µF、C_O = 1µF		60		μ_{VRMS}
t_{STR}	起動時間	従来のチップ	V_O = –2.5V、C_O = 1µF、R_L = 25Ω		1		ms
t_{STR}	起動時間	新しいチップ	V_O = –2.5V、C_O = 1µF、R_L = 25Ω		8		ms

Copyright © 2026 Texas Instruments Incorporated

6 代表的特性

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)

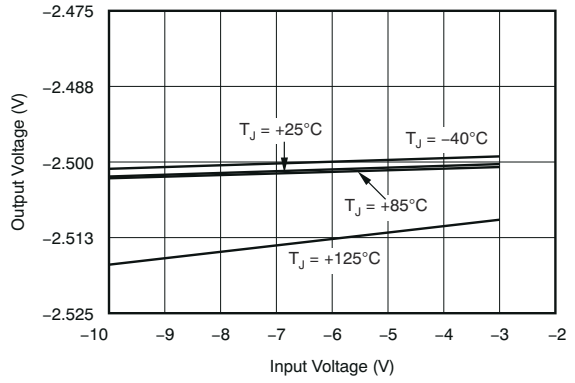


図 6-1. 出力電圧と入力電圧の関係 (従来のデバイス)

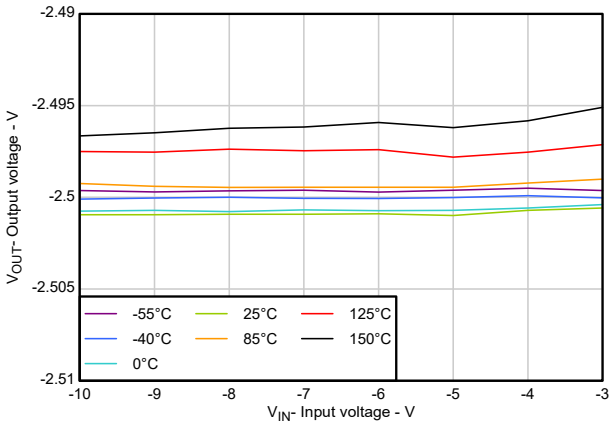


図 6-2. 出力電圧と入力電圧との関係 (新しいデバイス)

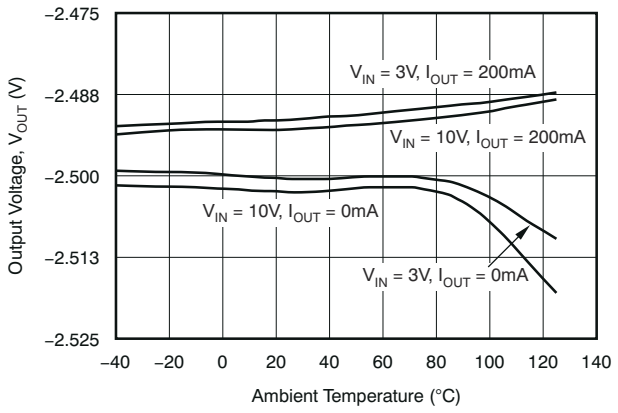


図 6-3. 出力電圧と周囲温度との関係 (従来のデバイス)

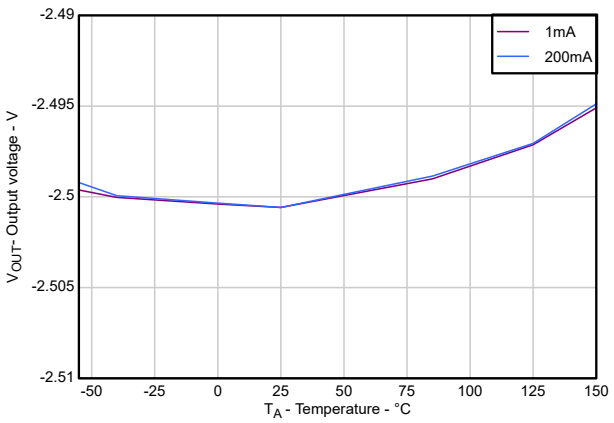


図 6-4. 出力電圧と周囲温度との関係 (新しいデバイス)

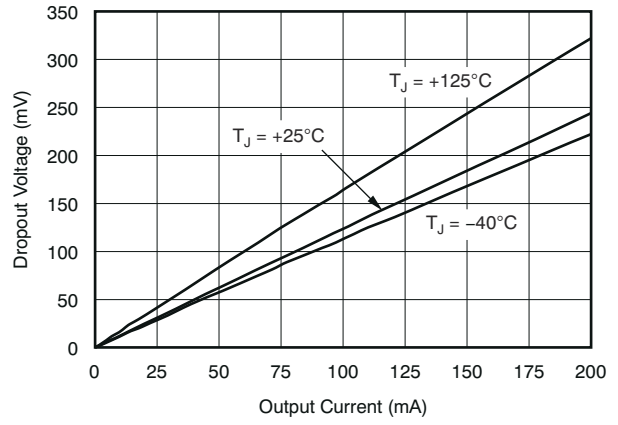


図 6-5. ドロップアウト電圧と出力電流との関係 (従来のデバイス)

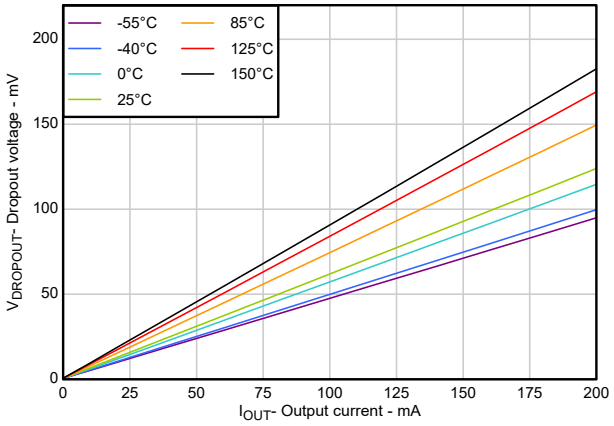


図 6-6. ドロップアウト電圧と出力電流との関係 (新しいデバイス)

6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)

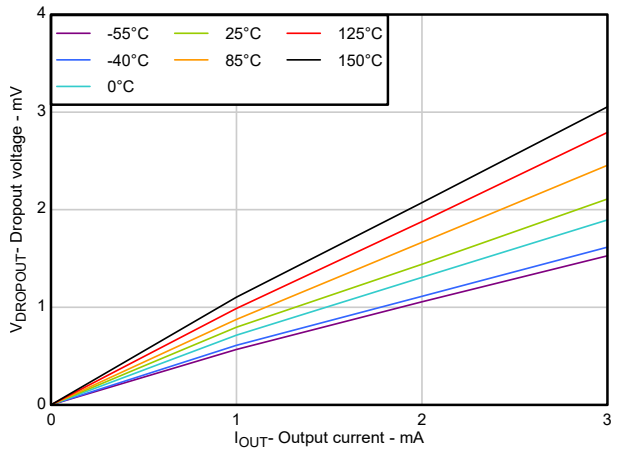


図 6-7. ドロップアウト電圧と出力電流との関係 (軽負荷条件、新しいデバイス)

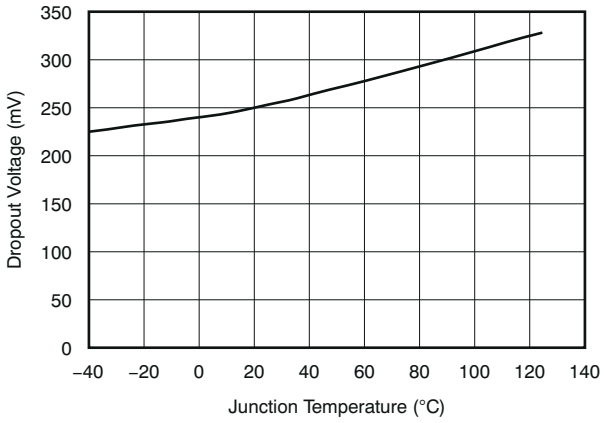


図 6-8. ドロップアウト電圧と接合部温度との関係 (従来のデバイス)

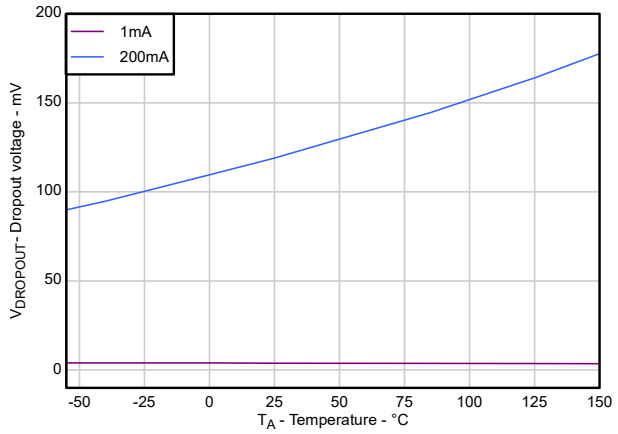


図 6-9. ドロップアウト電圧と接合部温度との関係 (固定、新しいデバイス)

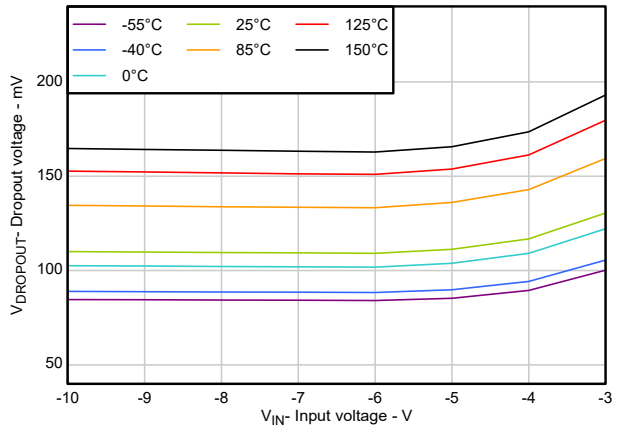


図 6-10. ドロップアウト電圧と入力電圧との関係 (調整可能、新しいデバイス)

Copyright © 2026 Texas Instruments Incorporated

6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)

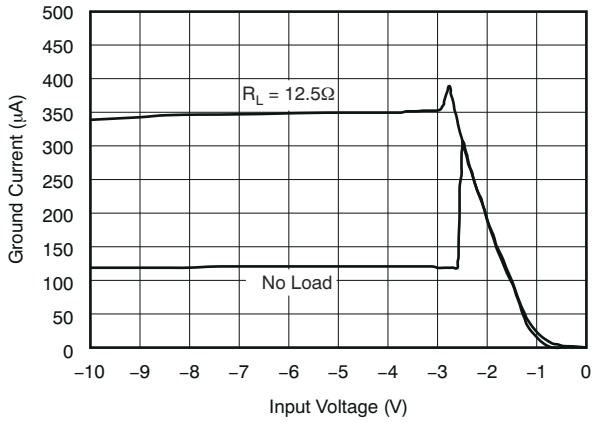


図 6-11. グランド電流と入力電圧との関係 (従来のデバイス)

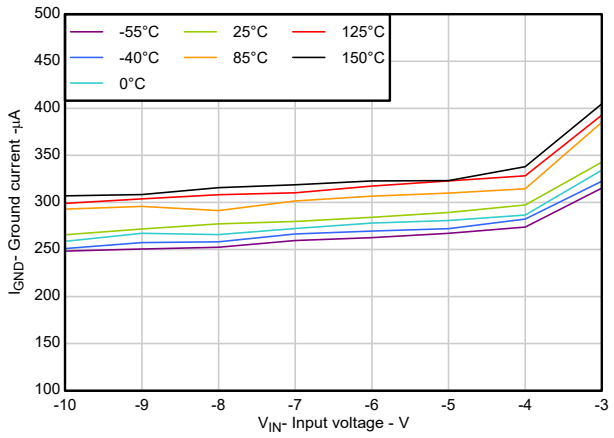


図 6-12. グランド電流と入力電圧との関係 (新しいデバイス)

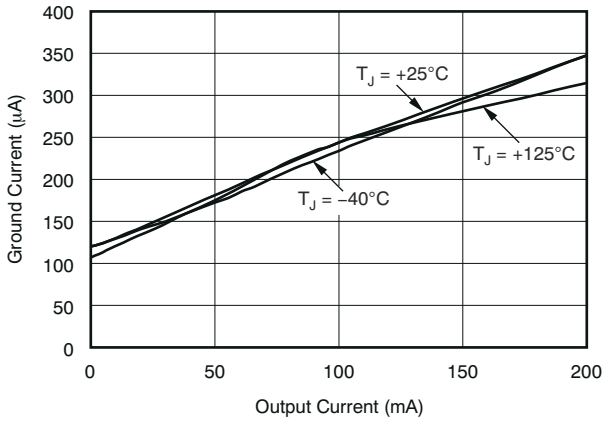


図 6-13. グランド電流と出力電流との関係 (従来のデバイス)

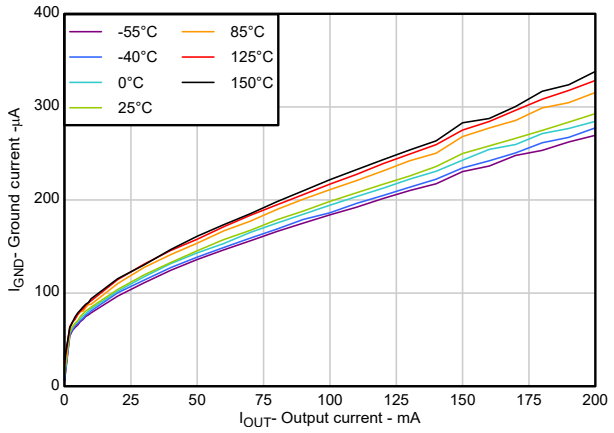


図 6-14. グランド電流と出力電流の関係 (新しいデバイス)

Copyright © 2026 Texas Instruments Incorporated

6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)

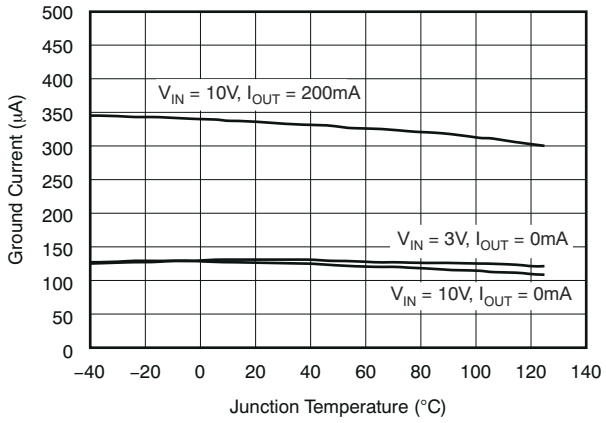


図 6-15. グランド電流と接合部温度との関係 (従来のデバイス)

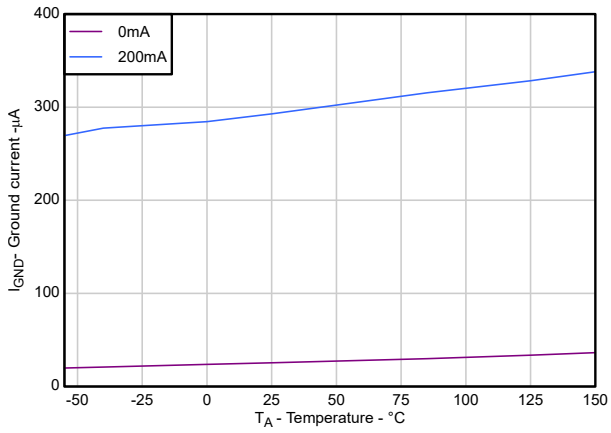


図 6-16. グランド電流と接合部温度との関係 (新しいデバイス)

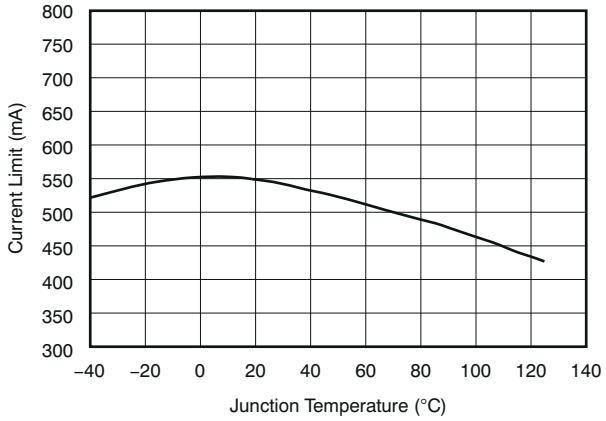


図 6-17. 電流制限と接合部温度との関係 (従来のデバイス)

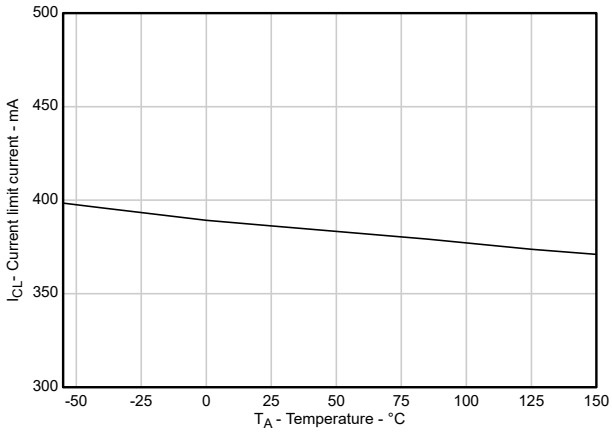


図 6-18. 電流制限と接合部温度との関係 (新しいデバイス)

Copyright © 2026 Texas Instruments Incorporated

6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)

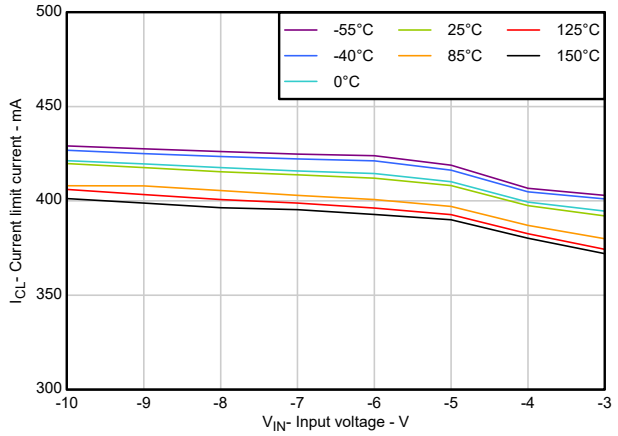


図 6-19. 電流制限と V_{IN} との関係 (新しいデバイス)

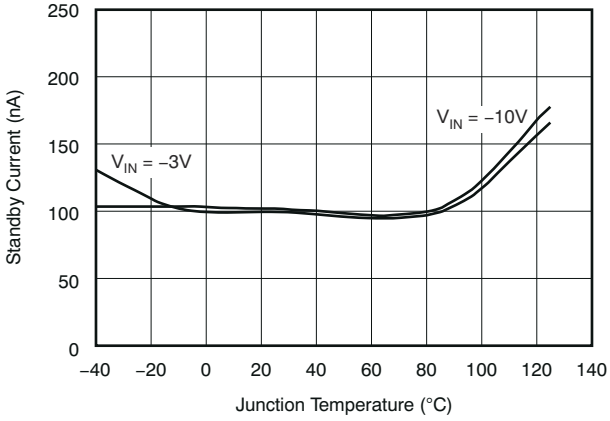


図 6-20. スタンバイ電流と接合部温度との関係 (従来のデバイス)

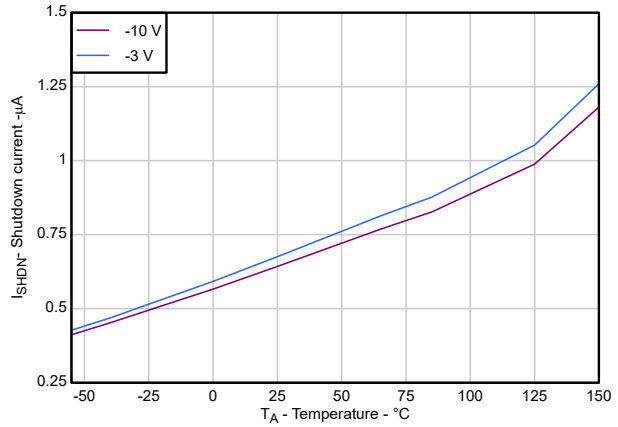


図 6-21. スタンバイ電流と接合部温度との関係 (新しいデバイス)

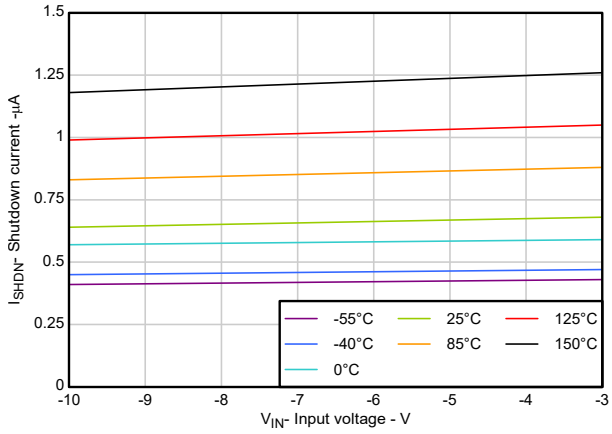


図 6-22. スタンバイ電流と V_{IN} との関係 (新しいデバイス)

Copyright © 2026 Texas Instruments Incorporated

6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)

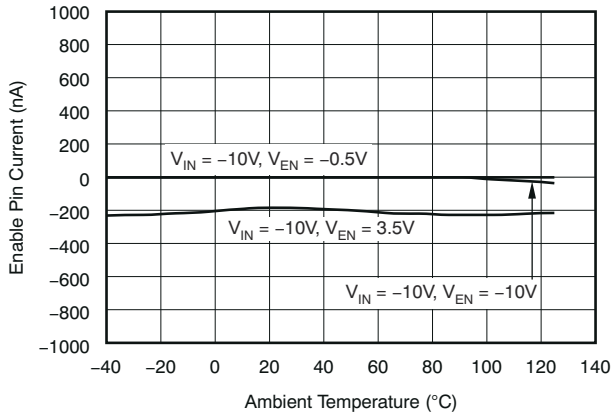


図 6-23. イネーブル ピン電流と接合部温度との関係 (従来のデバイス)

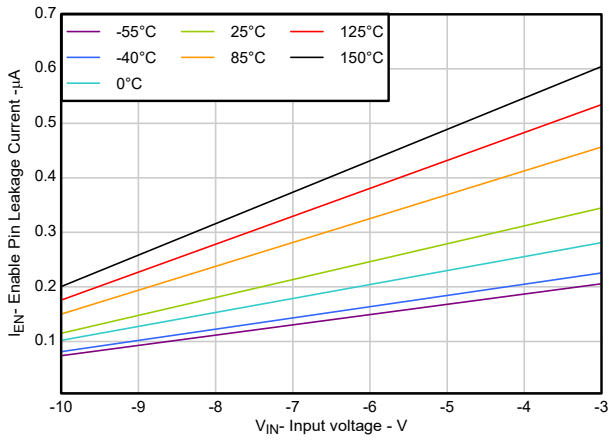


図 6-24. イネーブル ピン電流と接合部温度との関係 (新しいデバイス)

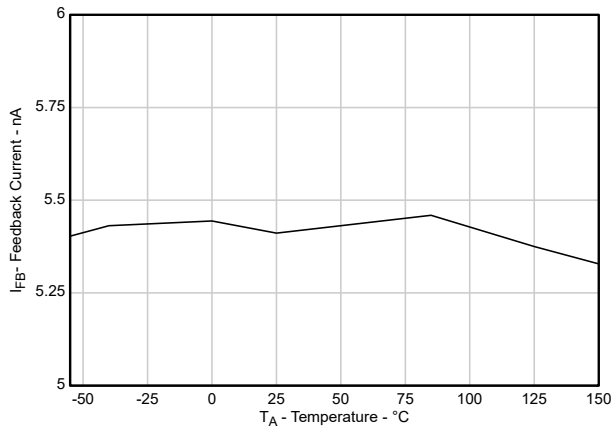


図 6-25. フィードバック ピン電流と接合部温度との関係 (新しいデバイス)

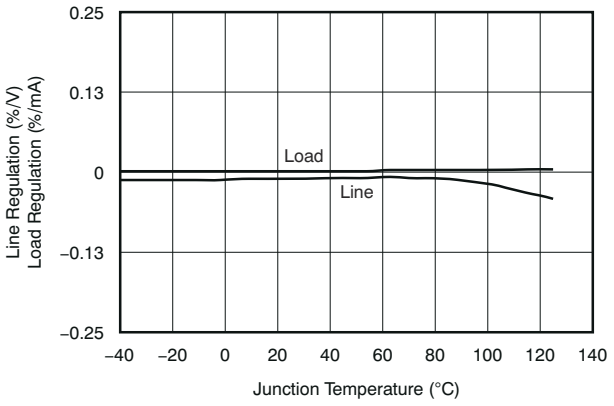


図 6-26. ライン / 負荷レギュレーションと接合部温度との関係 (従来のデバイス)

Copyright © 2026 Texas Instruments Incorporated

6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)

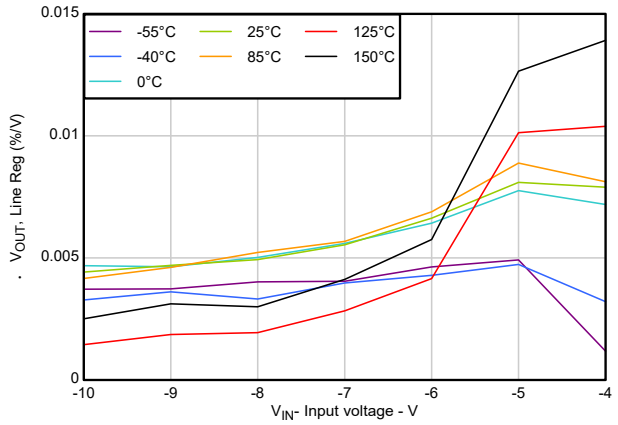


図 6-27. ライン レギュレーションと接合部温度との関係 (新しいデバイス)

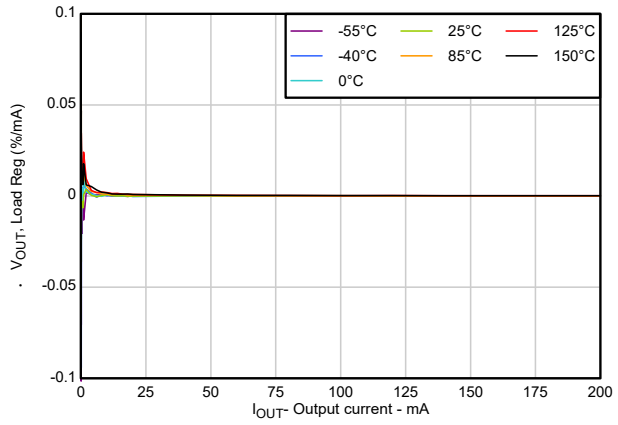


図 6-28. 負荷レギュレーションと接合部温度との関係 (新しいデバイス)

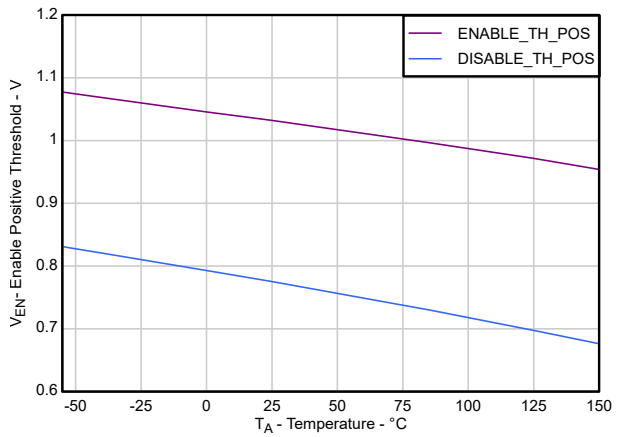


図 6-29. EN スレッショルド (正) と接合部温度との関係 (新しいデバイス)

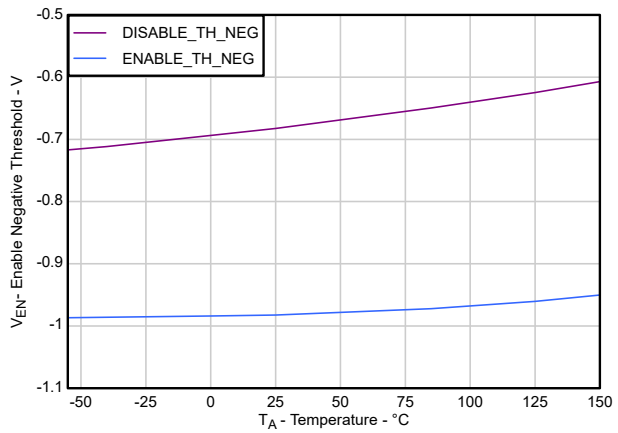


図 6-30. EN スレッショルド (負) と接合部温度との関係 (新しいデバイス)

6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)

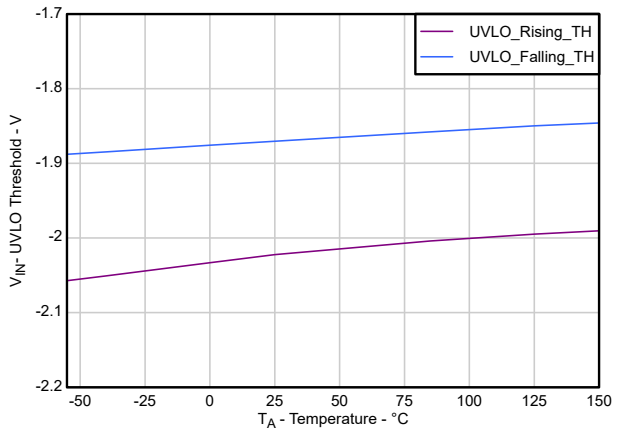


図 6-31. UVLO と接合部温度との関係 (新しいデバイス)

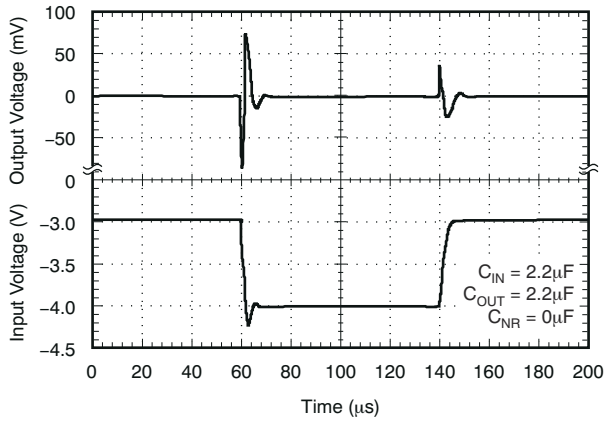
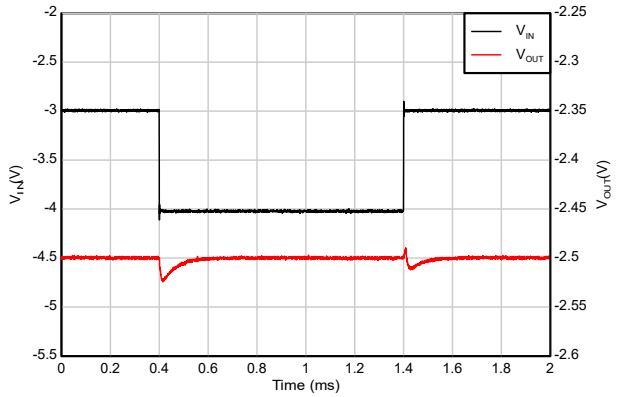
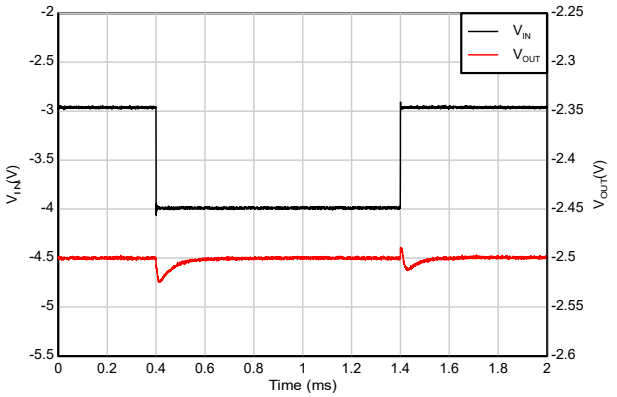


図 6-32. ライン過渡応答 (従来のデバイス)



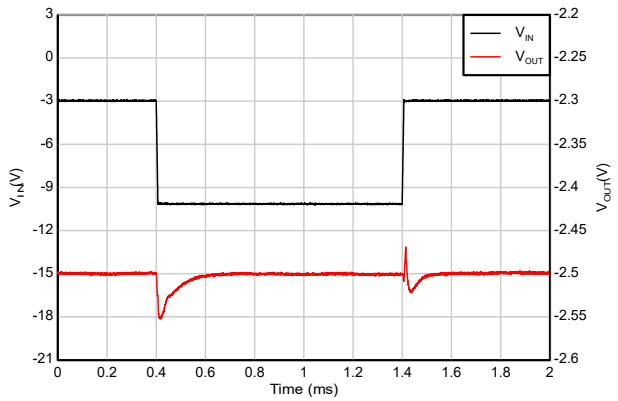
V_{IN} = –3V ～ –4V、dV_{IN}/dt = 1V/µs、I_{OUT} = 1mA

図 6-33. ライン過渡応答 (新しいデバイス)



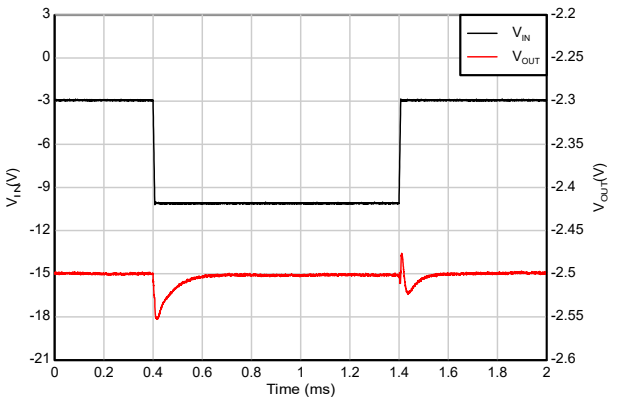
V_{IN} = –3V ～ –4V、dV_{IN}/dt = 1V/µs、I_{OUT} = 200mA

図 6-34. ライン過渡応答 (新しいデバイス)



V_{IN} = –3V ～ –10V、dV_{IN}/dt = 1V/µs、I_{OUT} = 1mA

図 6-35. ライン過渡応答 (新しいデバイス)



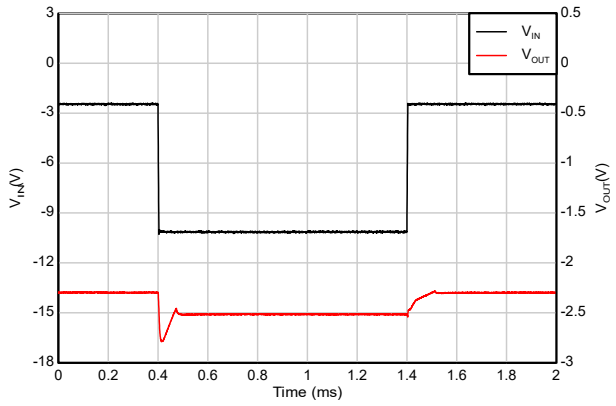
V_{IN} = –3V ～ –10V、dV_{IN}/dt = 1V/µs、I_{OUT} = 200mA

図 6-36. ライン過渡応答 (新しいデバイス)

Copyright © 2026 Texas Instruments Incorporated

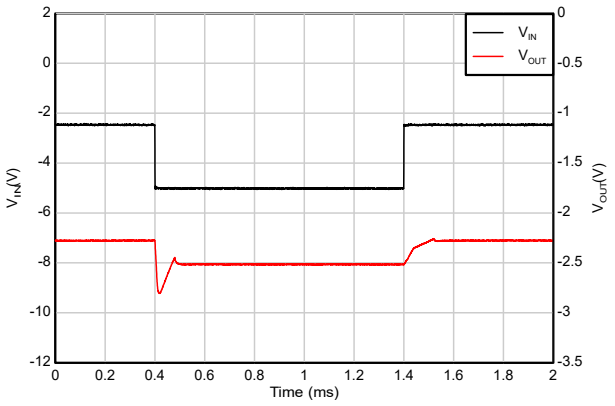
6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)



V_{IN} = –2.5V ～ –10V、dV_{IN}/dt = 2V/µs、I_{OUT} = 1mA

図 6-37. ドロップアウト終了応答 (新しいデバイス)



V_{IN} = –2.5V ～ –5.0V、dV_{IN}/dt = 2V/µs、I_{OUT} = 1mA

図 6-38. ドロップアウト終了応答 (新しいデバイス)

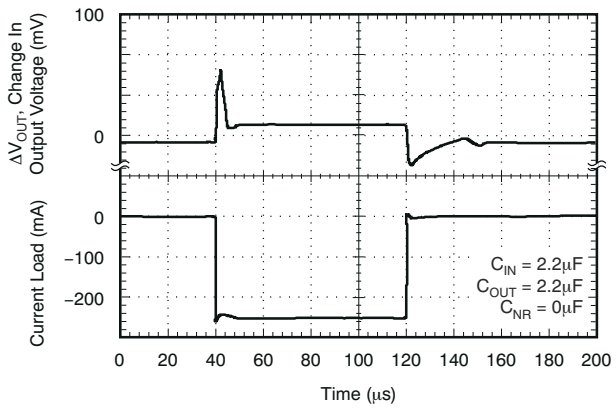


図 6-39. 負荷過渡応答 (従来のデバイス)

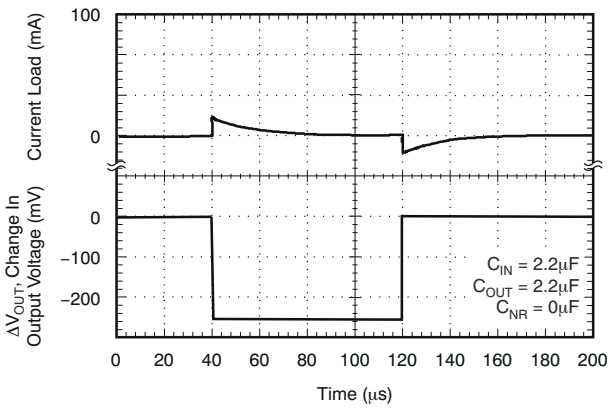
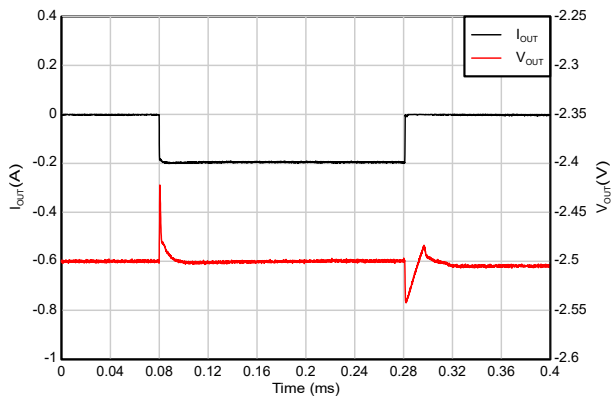
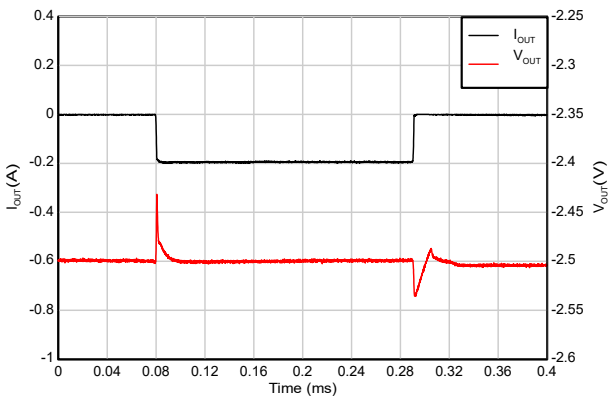


図 6-40. 負荷過渡応答 (従来のデバイス)



I_{OUT} = 1µA ～ 200mA、dI_{OUT}/dt = 1A/µs

図 6-41. 負荷過渡応答 (新しいデバイス)



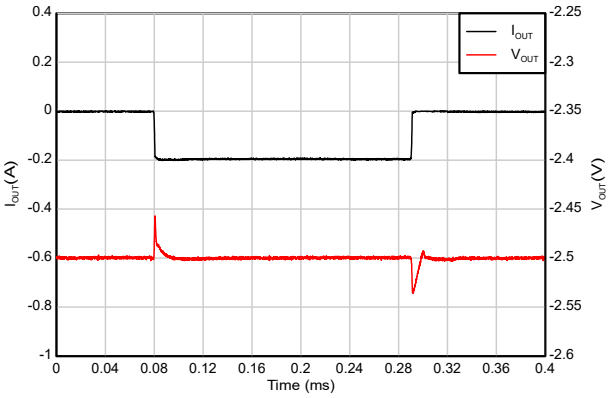
I_{OUT} = 1µA ～ 200mA、dI_{OUT}/dt = 0.2A/µs

図 6-42. 負荷過渡応答 (新しいデバイス)

Copyright © 2026 Texas Instruments Incorporated

6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)



I_{OUT} = 1mA ～ 200mA、dI_{OUT}/dt = 0.2A/µs

図 6-43. 負荷過渡応答 (新しいデバイス)

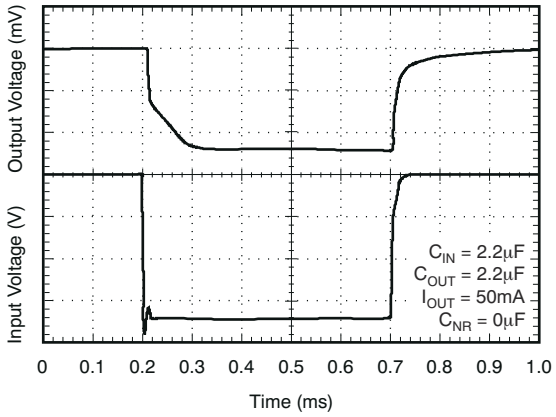


図 6-44. スタートアップ応答 (従来のデバイス)

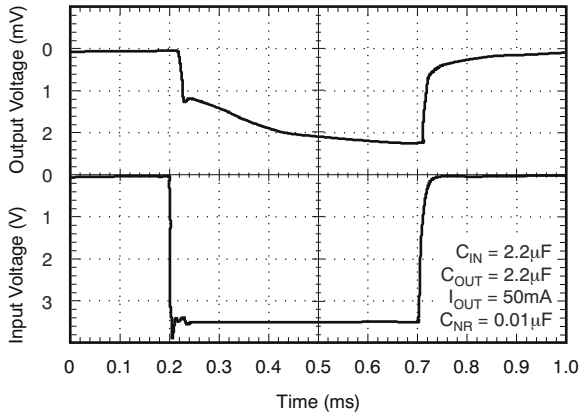


図 6-45. スタートアップ応答 (従来のデバイス)

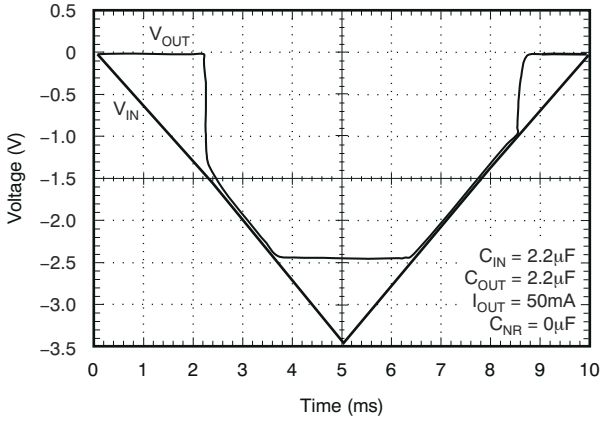
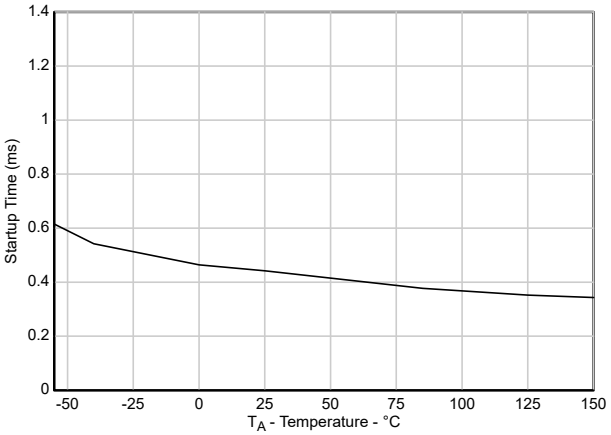
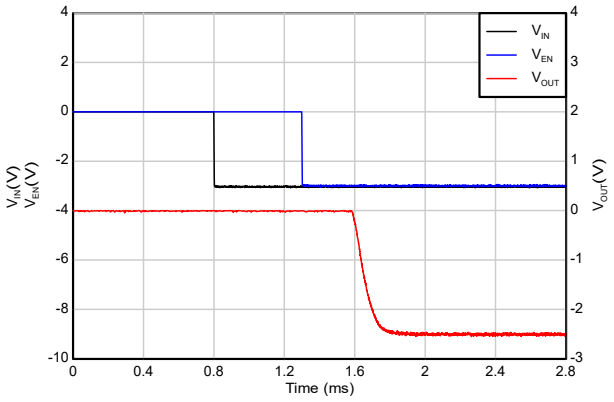


図 6-46. パワーアップおよびパワーダウン (従来のデバイス)



I_{OUT} = 0mA、C_{NR} は接続されていません。

図 6-47. スタートアップ時間と温度との関係 (新しいデバイス)



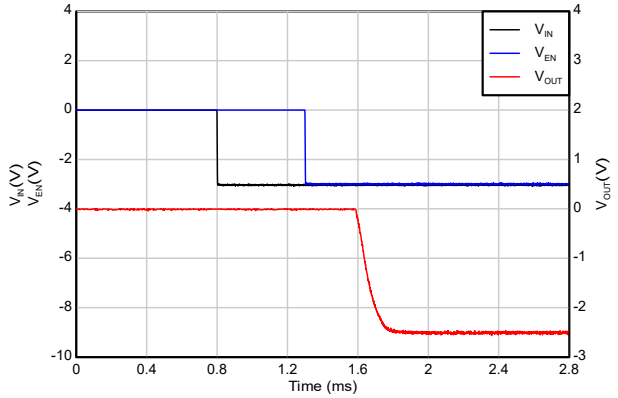
I_{OUT} = 1mA

図 6-48. スタートアップ応答 (EN 前に V_{IN} ランピング) (新しいデバイス)

Copyright © 2026 Texas Instruments Incorporated

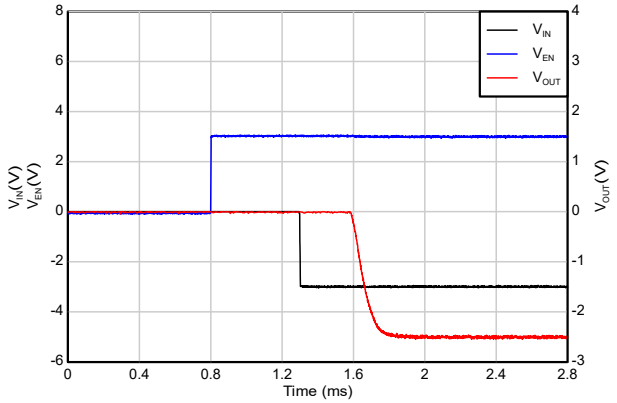
6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)



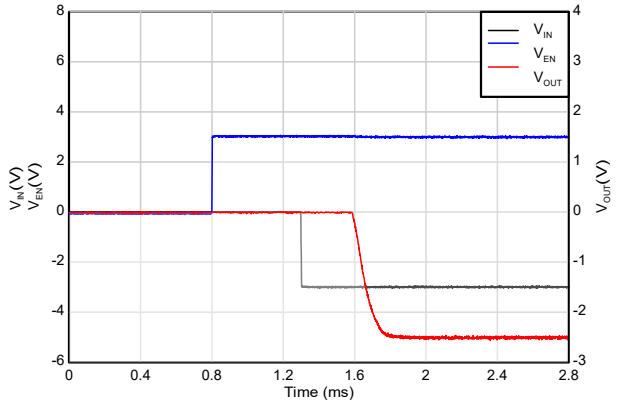
I_{OUT} = 200mA

図 6-49. スタートアップ応答 (EN 前に V_{IN} ランピング) (新しいデバイス)



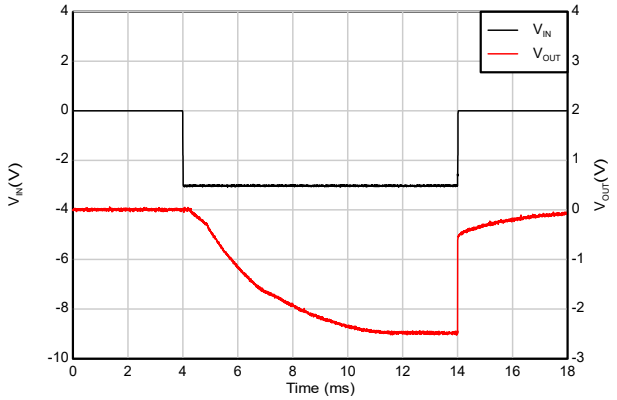
I_{OUT} = 1mA

図 6-50. スタートアップ応答 (EN 後に V_{IN} ランピング) (新しいデバイス)



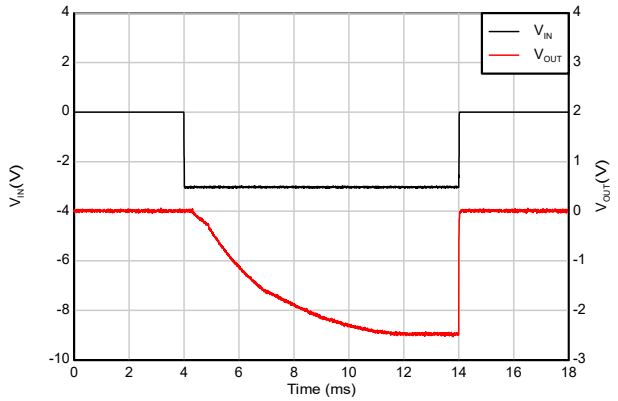
I_{OUT} = 200mA

図 6-51. スタートアップ応答 (EN 後に V_{IN} ランピング) (新しいデバイス)



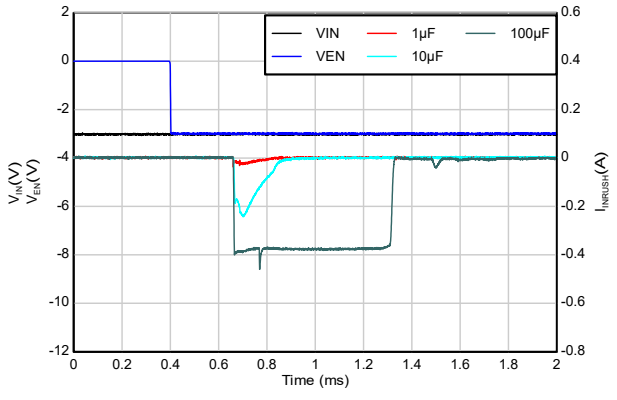
I_{OUT} = 1mA、C_{NR} = 10nF

図 6-52. スタートアップ応答 (V_{IN} と EN を接続) (新しいデバイス)



I_{OUT} = 200mA、C_{NR} = 10nF

図 6-53. スタートアップ応答 (V_{IN} と EN を接続) (新しいデバイス)



I_{OUT} = 0mA

図 6-54. スタートアップ突入電流と C_{OUT} の関係 (新しいデバイス)

Copyright © 2026 Texas Instruments Incorporated

6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)

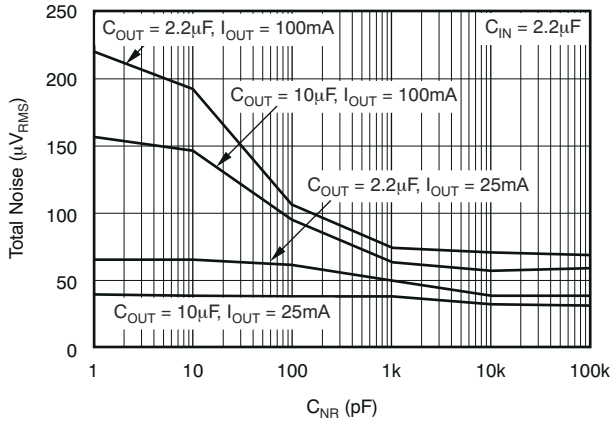


図 6-55. 合計ノイズと C_{NR} との関係 (10Hz ～ 100kHz) (従来のデバイス)

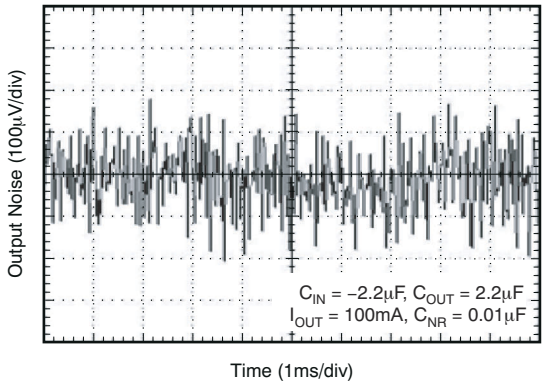


図 6-56. 出力ノイズと時間との関係 (従来のチップ)

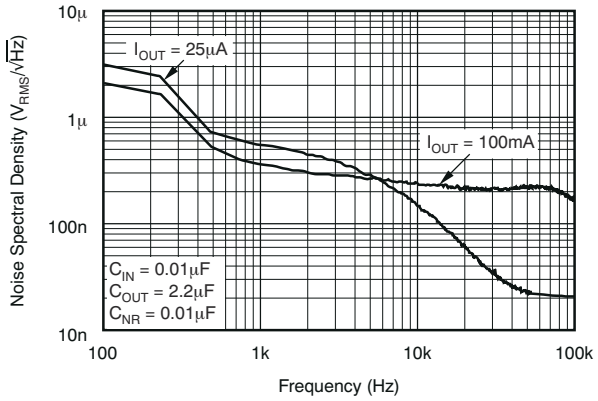


図 6-57. ノイズ スペクトル密度と周波数との関係 (従来のデバイス)

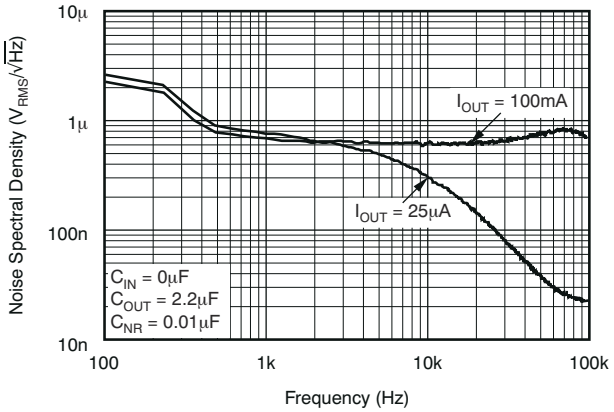
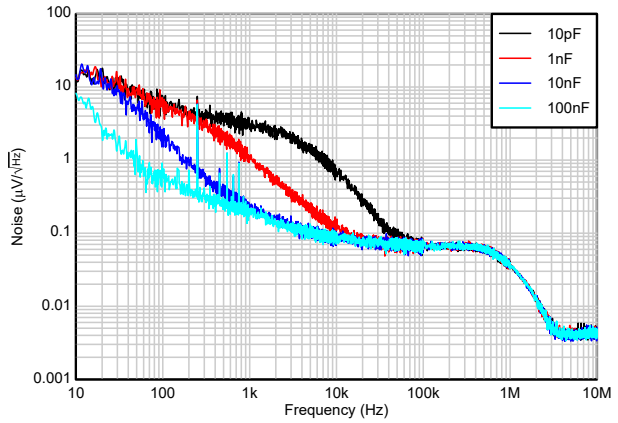


図 6-58. ノイズ スペクトル密度と周波数との関係 (従来のデバイス)

Copyright © 2026 Texas Instruments Incorporated

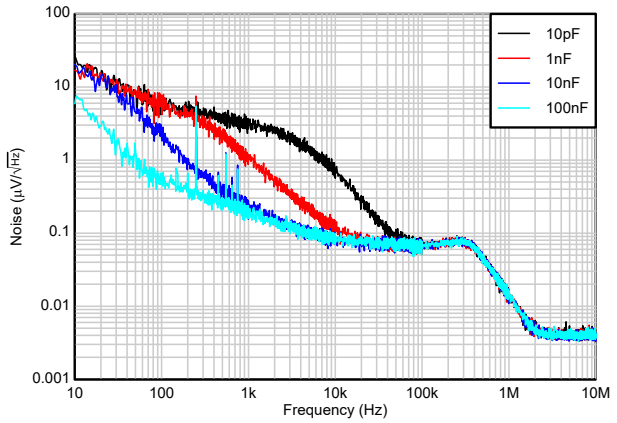
6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)



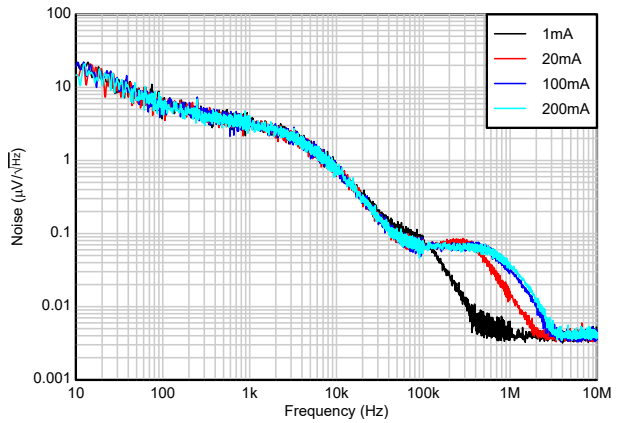
I_{OUT} = 200mA

図 6-59. 合計ノイズと C_{NR} との関係 (10Hz ～ 10MHz) (新しいデバイス)



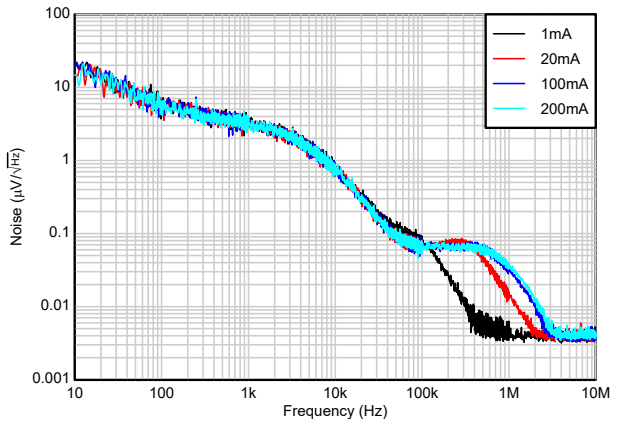
I_{OUT} = 20mA

図 6-60. 合計ノイズと C_{NR} との関係 (10Hz ～ 10MHz) (新しいデバイス)



V_{IN} = -3.0V

図 6-61. 合計ノイズと I_{OUT} との関係 (10Hz ～ 10MHz) (新しいデバイス)



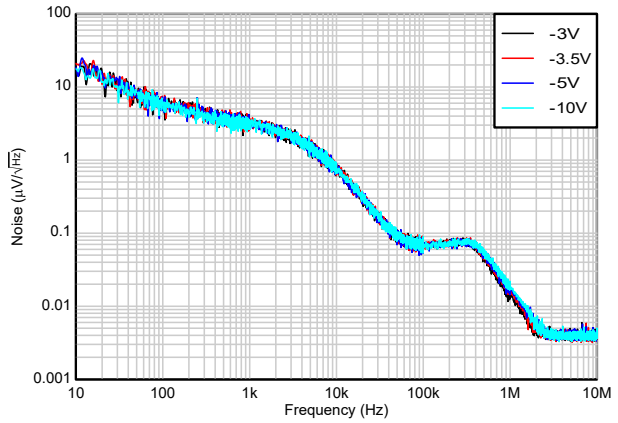
I_{OUT} = 200mA

図 6-62. 合計ノイズと V_{IN} との関係 (10Hz ～ 10MHz) (新しいデバイス)

Copyright © 2026 Texas Instruments Incorporated

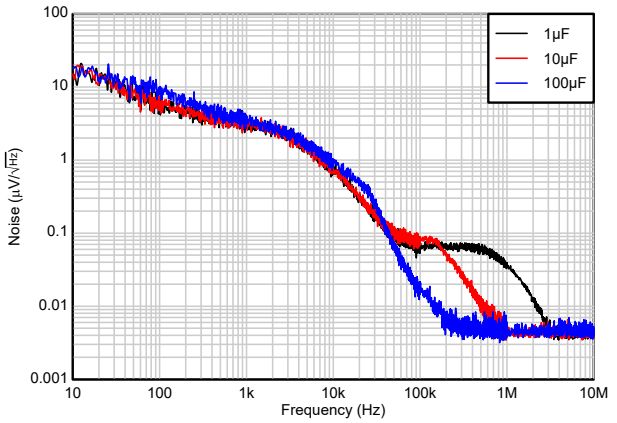
6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)



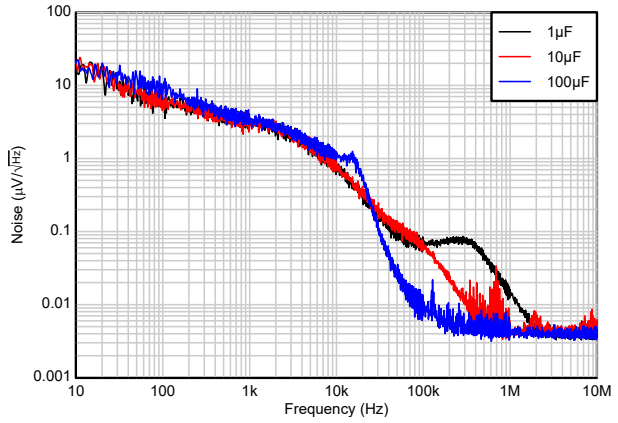
I_{OUT} = 20mA

図 6-63. 合計ノイズと V_{IN} との関係 (10Hz ～ 10MHz) (新しいデバイス)



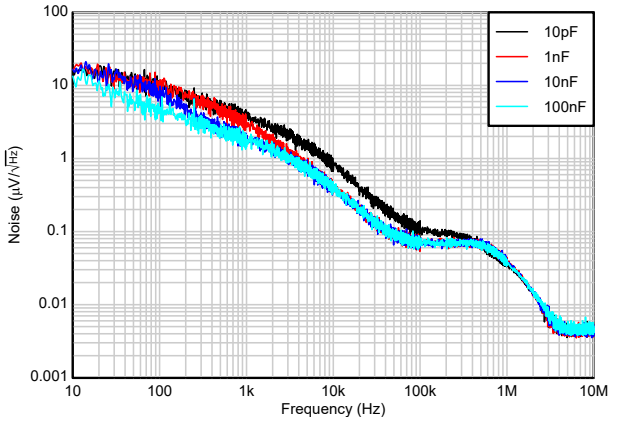
I_{OUT} = 200mA

図 6-64. 合計ノイズと C_{OUT} との関係 (10Hz ～ 10MHz) (新しいデバイス)



I_{OUT} = 20mA

図 6-65. 合計ノイズと C_{OUT} との関係 (10Hz ～ 10MHz) (新しいデバイス)



I_{OUT} = 200mA

図 6-66. 合計ノイズと C_{FF} との関係 (10Hz ～ 10MHz) (可変、新しいデバイス)

Copyright © 2026 Texas Instruments Incorporated

6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)

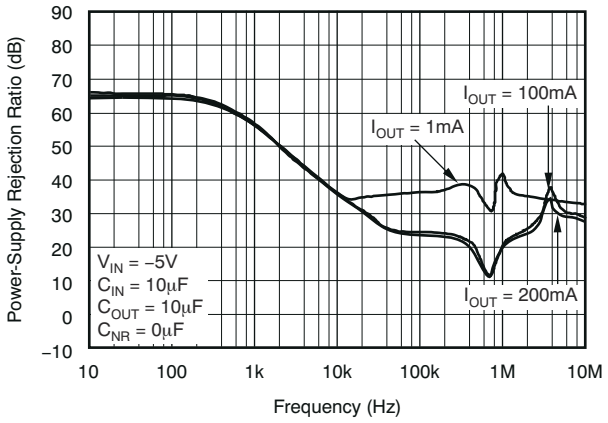


図 6-67. PSRR と周波数との関係 (従来のデバイス)

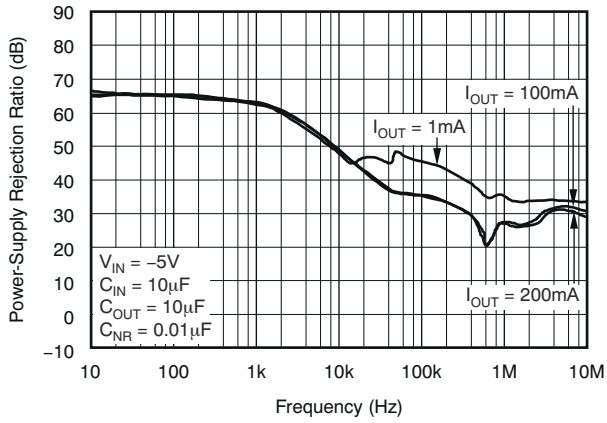
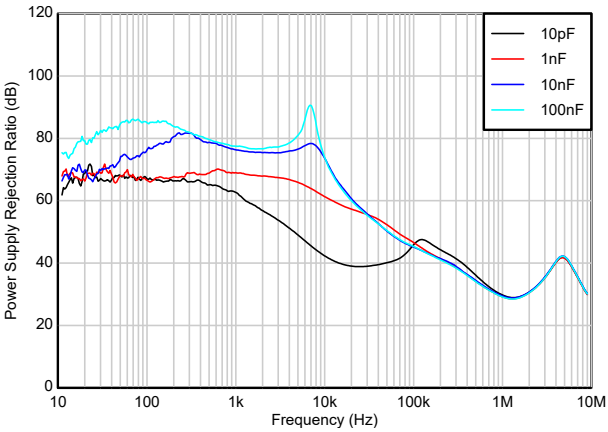
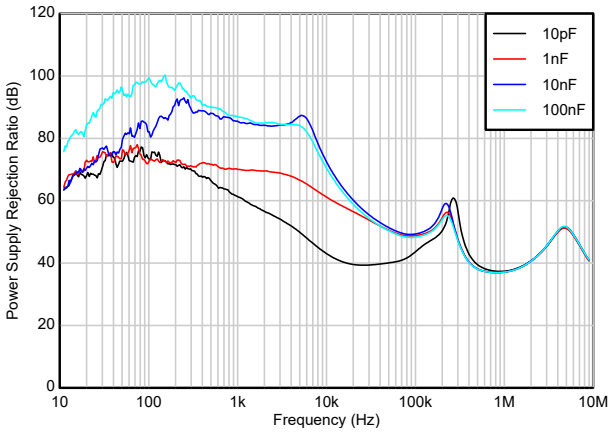


図 6-68. PSRR と周波数との関係 (従来のデバイス)



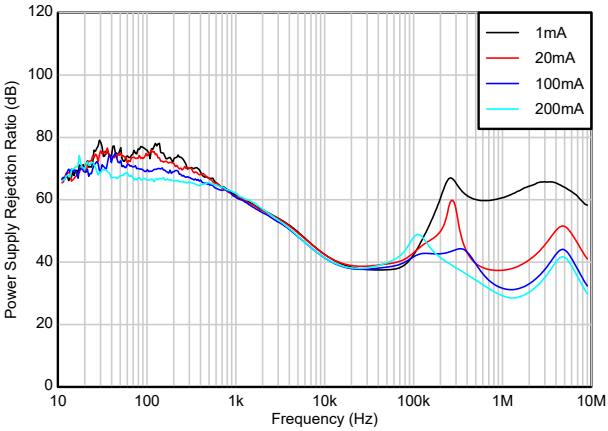
I_{OUT} = 200mA

図 6-69. PSRR と C_{NR} との関係 (新しいデバイス)



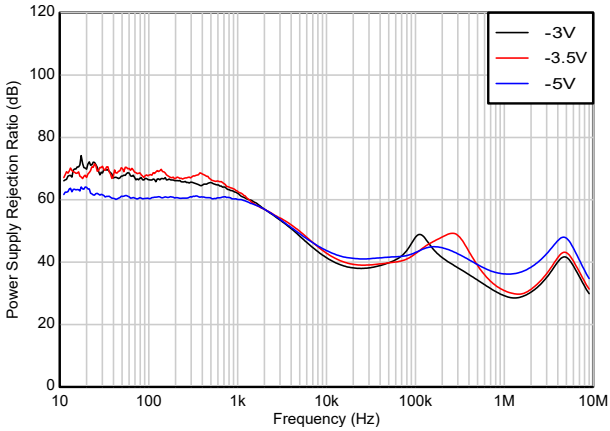
I_{OUT} = 20mA

図 6-70. PSRR と C_{NR} との関係 (新しいデバイス)



V_{IN} = -3.0V

図 6-71. PSRR と I_{OUT} との関係 (新しいデバイス)



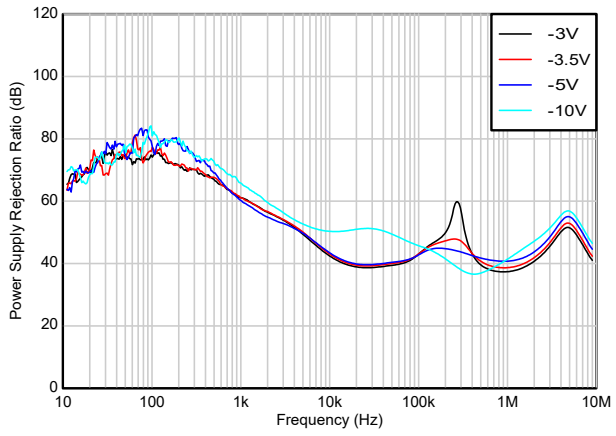
I_{OUT} = 200mA

図 6-72. PSRR と V_{IN} との関係 (新しいデバイス)

Copyright © 2026 Texas Instruments Incorporated

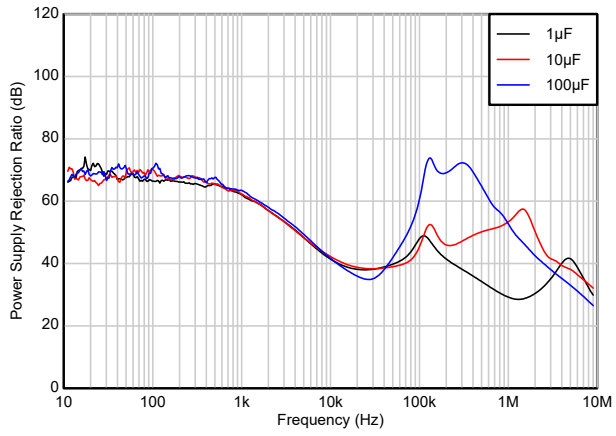
6 代表的特性 (続き)

at V_{IN} = V_{OUTnom} – 0.5V、VOUT = –2.5V, I_{OUT} = 1mA, V_{EN} = 1.5V、C_{OUT} = 2.2µF、and C_{NR} = 0.01µF (特に記述のない限り)



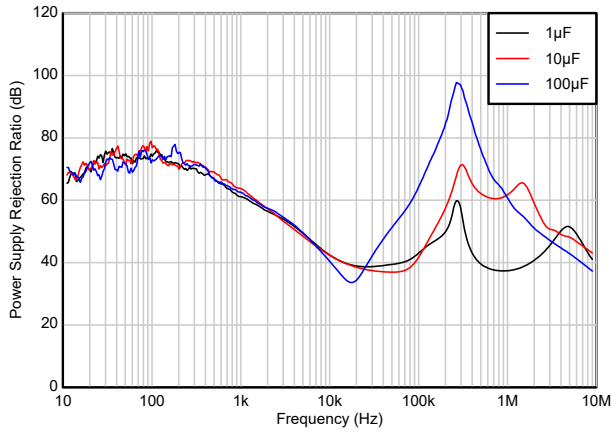
I_{OUT} = 20mA

図 6-73. PSRR と V_{IN} との関係 (新しいデバイス)



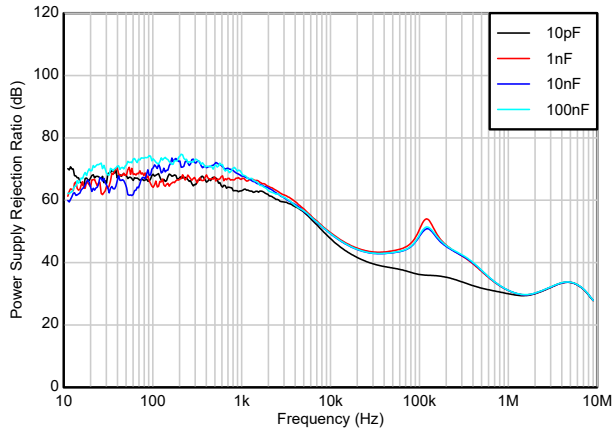
I_{OUT} = 200mA

図 6-74. PSRR と C_{OUT} との関係 (新しいデバイス)



I_{OUT} = 20mA

図 6-75. PSRR と C_{OUT} との関係 (新しいデバイス)



I_{OUT} = 200mA

図 6-76. PSRR と C_{FF} との関係 (可変のみ) (新しいデバイス)

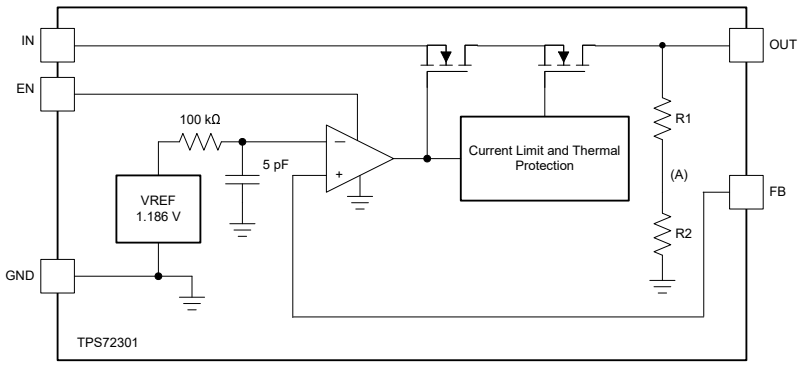
Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TPS723-Q1 は、低ドロップアウトの負電圧リニア レギュレータであり、負荷および温度変動範囲にわたって ±1.6% (新しいチップ) の出力許容差を持ち、定格負荷電流は 200mA です。このデバイスは、−1.5V ～ −5.2V のトリミング済み出力電圧品と、−1.186V ～ −10V の可変レギュレータとして提供されています。このデバイスは、低ノイズ (NR コンデンサ 10nF 使用時で 60μV_{RMS}) および高い電源除去比 (100kHz において標準値 40dB) を特長としており、TPS723-Q1 は高感度の車載アナログ アプリケーション向けに設計されています。シャットダウン モードが利用可能で、温度とプロセスの全体にわたってグランド電流を最大 2μA に低減します。

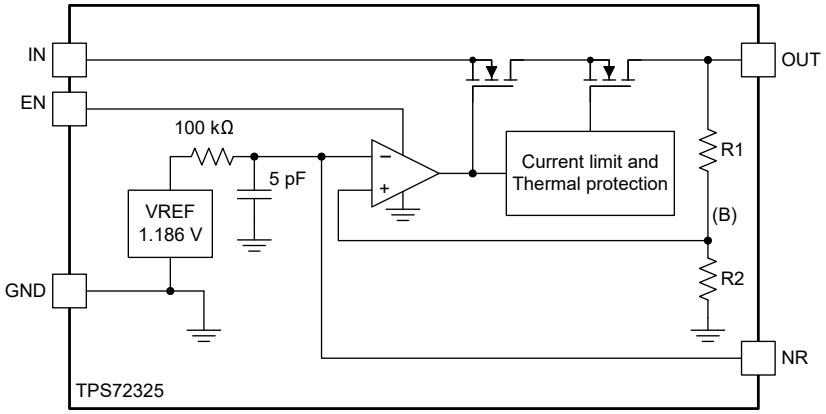
7.2 機能ブロック図



注

R1 + R2 = 100kΩ

図 7-1. 機能ブロック図 (可変、従来のチップ)



注

R1 + R2 = 97kΩ

図 7-2. 機能ブロック図 (固定、従来のチップ)

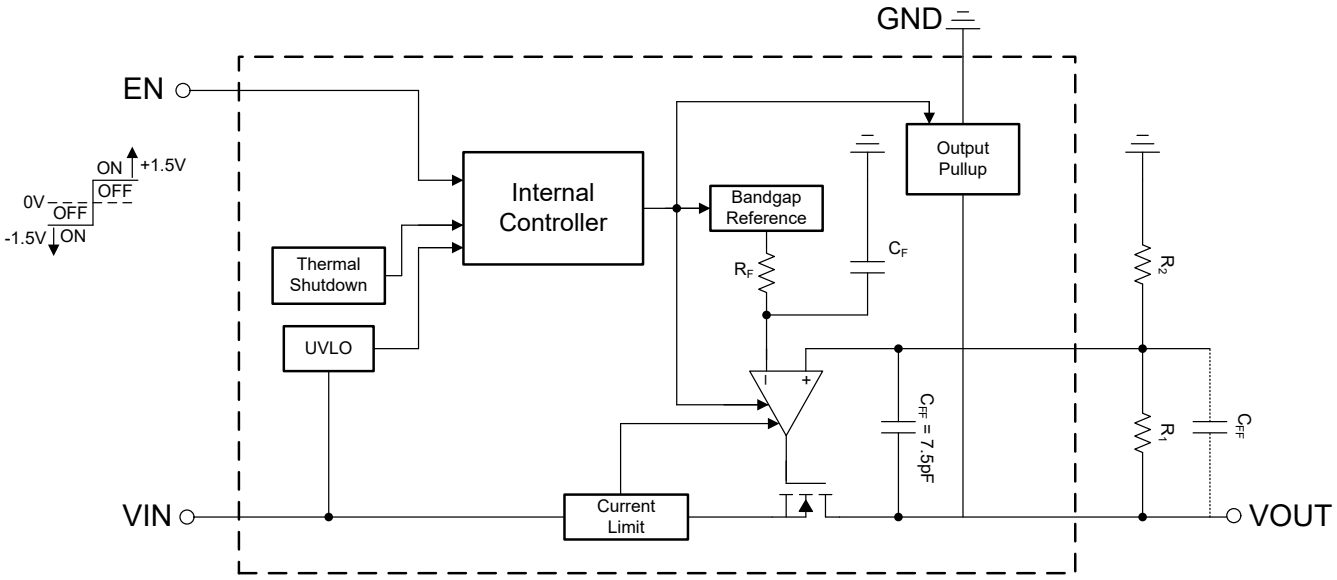


図 7-3. 機能ブロック図 (可変、新しいチップ)

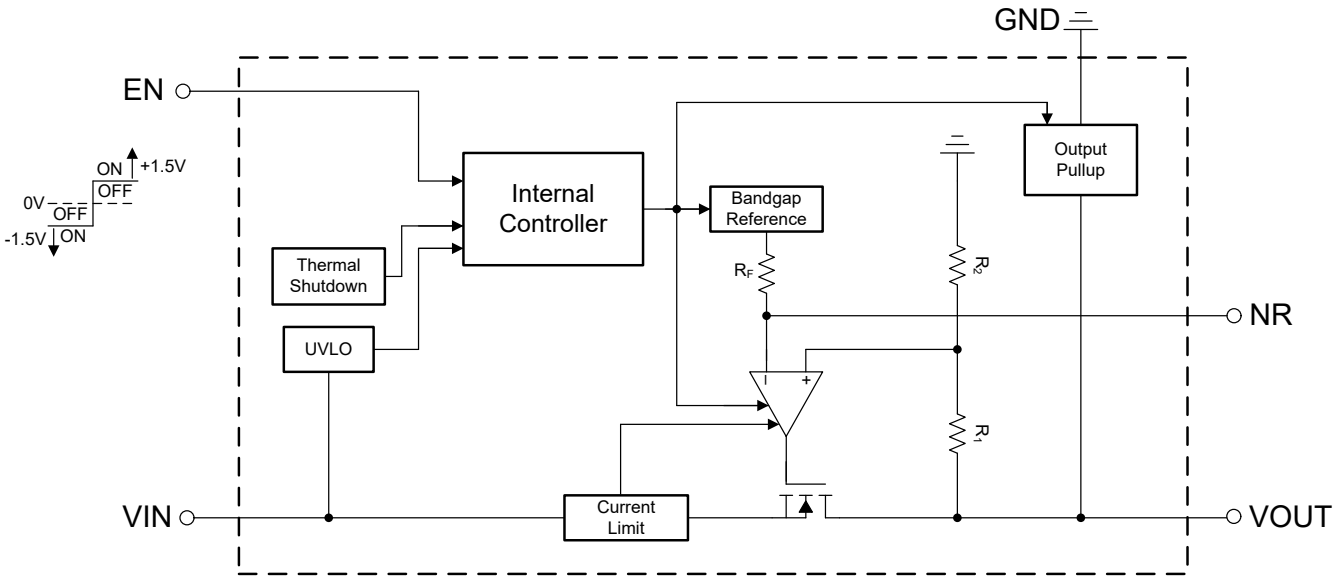


図 7-4. 機能ブロック図 (固定、新しいチップ)

7.3 機能説明

7.3.1 イネーブル

TPS723-Q1 では、イネーブル ピン (EN) はアクティブ High のピンであり、バイポーラ ロジックに対応しています。EN に印加される電圧が $V_{EN(HI)}$ (≥ +1.5V) を超える場合、または $V_{EN(LO)}$ (≤ -1.5V) 未満である場合、出力は有効になります。EN が $V_{DIS(HI)}$ (≤ 0.4V) 未満かつ $V_{DIS(LO)}$ (≥ -0.4V) を上回る範囲にある場合、デバイスは無効になります。出力電圧の外部制御が不要な場合は、EN を IN に接続します。デバイスが無効化されると、内部回路の大部分がオフとなり、TPS723-Q1 はシャットダウン モードに入り、最大 2µA のグランド電流を消費します。$V_{EN(HI)}$、$V_{EN(LO)}$、$V_{DIS(HI)}$、$V_{DIS(LO)}$ の値の詳細については、セクション 5.6 の表を参照してください。

新しいチップでは、EN ピンに入力電源に対する弱い内部プルダウン機能が追加されており、EN ピンをフローティングにしてもデバイスを有効にすることができます。EN ピンの内部プルダウン電流は、イネーブル プルアップ電流としてセクショ

Copyright © 2026 Texas Instruments Incorporated

ン 5.6 の表に記載されています。ただし、EN を正論理側に接続する場合、外部ロジック ドライバが必要なプルダウン電流を供給できることを確認する必要があります。新しいチップには、デバイスが無効化されたときに有効となる内部プルアップ回路も備わっており、出力電圧をグランド方向へ能動的に引き下げます。

7.3.2 電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリックウォール方式です。高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。I_{CL} は、「セクション 5.6」表に記載されています。セクション 6 セクションの図 6-17 を参照してください。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{CL}] を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、「制限の把握」アプリケーション ノートを参照してください。

図 7-5 は、電流制限の図を示しています。

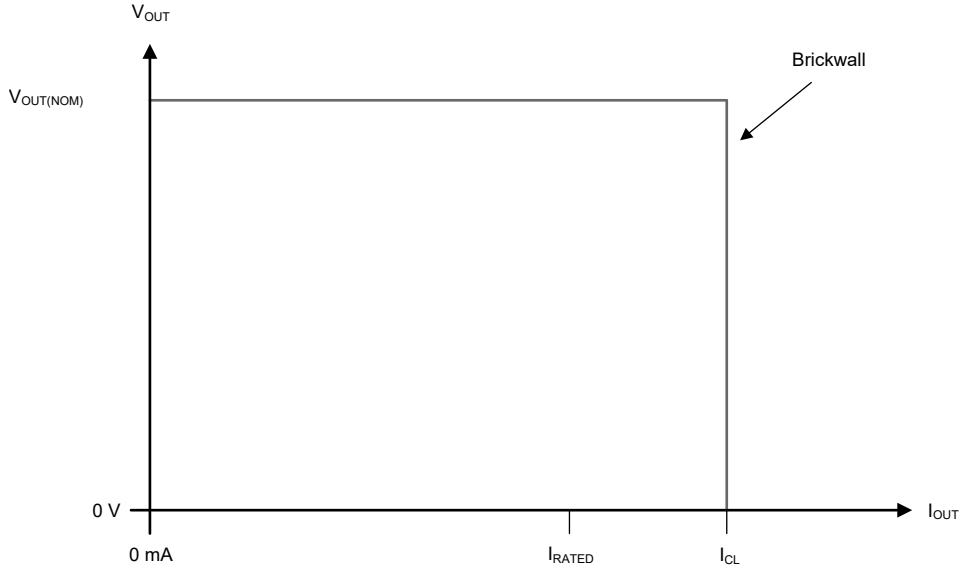


図 7-5. 電流制限

出力電圧を入力電圧より 0.3V 以上低くしないでください。出力電圧が入力電圧より 0.3V 未満しか低くない場合、パストランジスタのボディ ダイオードがバイアスされ、入力から出力へ電流が流れる可能性があります。この電流はデバイスによって制限されません。この条件が予期される場合は、必ず外部から逆電流を制限してください。詳細については、「逆電流」セクションを参照してください。

7.3.3 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パス トランジスタが完全にオンとなる定格出力電流 (I_{RATED}) において、出力電圧から入力電圧を引いた値 ($V_{OUT} – V_{IN}$) として定義されます。I_{RATED} は、セクション 5.3 表に記載されている最大 I_{OUT} です。パス トランジスタは、抵抗領域すなわち動作の三極管領域で動作し、スイッチとして機能します。ドロップアウト電圧は、出力電圧がレギュレーションを維持できる、設定された公称出力電圧よりも低い最大入力電圧を間接的に規定します。入力電圧が公称の出力レギュレーション値を超えて上昇すると、出力電圧も上昇します。

Copyright © 2026 Texas Instruments Incorporated

CMOS レギュレータの場合、ドロップアウト電圧はパストランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。以下の式を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

7.3.4 出力プルアップ

新しいチップには出力プルアップ回路が搭載されています。出力プルアップは、以下の条件で動作します:

- デバイスがディスエーブルのとき ($V_{EN} > V_{DIS(LO)}$ または $V_{EN} < V_{EN(LO)}$)
- $V_{UVLO} < V_{IN} < –1.0V$ の場合

入力電源が低下した後に、大きな出力容量をグランド方向へ充電する目的で出力プルアップ回路に依存しないでください。入力から出力へ逆電流が流れる可能性があります。この逆電流の流れは、デバイスに損傷を与える可能性があります。詳細については、「セクション 8.1.4」セクションを参照してください。

7.3.5 サーマル シャットダウン

デバイスには、パストランジスタの接合部温度 (T_J) が $T_{SD(shutdown)}$ (標準値) まで上昇したときにデバイスを無効化するサーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより、温度が $T_{SD(reset)}$ (標準値) まで低下するとデバイスがリセットされます (オンになります)。

半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達した場合に本デバイスはサイクルのオンとオフを行うことができます。起動時の電力損失は、デバイス両端で V_{OUT} と V_{IN} 間の大きな電圧降下が発生するか、または大容量の出力コンデンサを充電する高い突入電流によって、高くなる場合があります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を *セクション 5.3* 表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は全体的な熱条件から保護するように設計されていますが、この回路は適切なヒート シンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

7.3.6 低電圧誤動作防止 (UVLO)

新しいチップには、入力電圧を監視する独立した低電圧ロックアウト(UVLO) 回路が搭載されており、出力電圧のオン / オフを制御された一貫性のある動作で行うことができます。ターンオン中に入力電圧が降下した場合にデバイスがオフにならないように、UVLO には、セクション 5.6 表に規定されているヒステリシスがあります。

7.3.7 NR およびプログラマブル ソフトスタート

TPS723-Q1 では、NR (ノイズ低減) コンデンサとノイズ低減抵抗を組み合わせることでローパス フィルタ (LPF) を構成し、誤差アンプで増幅される前にリファレンス電圧のノイズを除去することで、デバイスのノイズ フロアを低減します。LPF は単極フィルタで、カットオフ周波数は式 2 で計算できます。R_F の標準値は 400kΩ (標準値) です。C_{NR} コンデンサを大きくすると、リファレンス電圧からのノイズがさらに高くなると、出力電圧が大きくなるため、出力電圧は大きくなります。低ノイズのアプリケーションには、10nF (標準値) の C_{NR} を推奨します。

$$f_{cutoff} = {}^{1}\!/\!_{(2 \times \pi \times R_F \times C_{NR})} \quad (2)$$

新しいチップ バージョンでは、この NR コンデンサ (C_{NR}) は、内部リファレンス電圧 (V_{NR}) のスタートアップ時に RC 遅延を発生させることで、突入電流の制御にも役立ちます。外部 C_{NR} について、内部リファレンス電圧 (V_{NR}) が標準値の 90% まで充電されるときの約スタートアップ時間は、式 3 で計算できます。

$$T_{start-up} \approx 2.2 \times \tau = 2.2 \times R_F \times C_{NR} \quad (3)$$

Copyright © 2026 Texas Instruments Incorporated

電流制限の詳細については、『ノイズ低減ピンによりシステム性能を向上させる方法』アプリケーション ノートを参照してください。

7.4 デバイスの機能モード

7.4.1 デバイスの機能モードの比較

表 7-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、セクション 5.6 表を参照してください。

表 7-1. デバイスの機能モードの比較

動作モード	パラメータ			
	V_{IN}	V_{EN}	I_{OUT}	T_J
通常動作	$V_{IN} < V_{OUT(nom)} - V_{DO}$ および $V_{IN} < V_{IN(max)}$	$V_{EN} > V_{EN(HI)}$ または $V_{EN} < V_{EN(LO)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ドロップアウト動作	$V_{OUT(nom)} - V_{DO} < V_{IN} < V_{IN(max)}$	$V_{EN} > V_{EN(HI)}$ または $V_{EN} < V_{EN(LO)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ディスエーブル (条件が真の場合、デバイスはディスエーブル)	$V_{IN} > V_{UVLO-}$	$V_{EN} < V_{DIS(HI)}$ または $V_{EN} > V_{DIS(LO)}$	該当なし	$T_J > T_{SD(shutdown)}$

7.4.2 通常動作

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の合計 ($V_{OUT(nom)} - V_{DO}$) よりも小さくなります
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{SD}$)
- EN 電圧は以前に $V_{EN(HI)}$ または $V_{EN(LO)}$ スレッショルド電圧を超えており、かつディスエーブル スレッショルド ($V_{DIS(HI)}$ または $V_{DIS(LO)}$) を越えていない状態です

7.4.3 ドロップアウト動作

入力電圧が、公称出力電圧から規定のドロップアウト電圧を差し引いた値よりも高く (より正に) なっており、かつ通常動作のための他の条件がすべて満たされている場合、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、パス トランジスタがオーム領域または三極管領域にあり、スイッチとして機能するため、デバイスの過渡性能が大幅に低下します。ドロップアウト中にライン過渡または負荷過渡が生じると、大きな出力電圧の偏差が発生することがあります。

デバイスが定常的なドロップアウト状態にあるとき (起動中ではないが、通常のレギュレーション状態になった直後に、デバイスがドロップアウト状態 ($V_{IN} < V_{OUT(NOM)} + V_{DO}$) になったときとして定義されます)、パス トランジスタはオーム領域または三極管領域に駆動されます。入力電圧が公称出力電圧にドロップアウト電圧 ($V_{OUT(NOM)} - V_{DO}$) を引いた値以下に戻ると、デバイスがパス トランジスタをリニア領域にプルバックする間に、出力電圧が短時間オーバーシュートする可能性があります。

7.4.4 無効

デバイスの出力は、EN ピンの電圧を最大 $V_{DIS(LO)}$ より高くするか、または最小 $V_{DIS(HI)}$ ピン入力電圧より低くすることで (セクション 5.6 表を参照)、シャットダウンさせることができます。無効時には、パス トランジスタがオフになり、内部回路はシャットダウンされ、出力電圧は出力からグランドへの内部放電回路によって能動的にグランドへ放電されます。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

8.1.1 可変デバイス フィードバック抵抗の選定

可変出力バージョンのデバイスでは、出力電圧を設定するために外付けの帰還分圧抵抗が必要です。V_{OUT} は、次の式に示すように、フィードバック分圧抵抗 R_1 および R_2 によって設定されます。

$$V_{OUT} = V_{FB} \times (1 + R_1 / R_2) \quad (4)$$

V_{OUT} の式における FB ピン電流誤差項を無視するためには、フィードバック分圧電流を *セクション 5.6* 表内に示されている FB ピン電流 ($_{FB}$) の 100 倍に設定してください。この設定により、次の式に示すように、最大の帰還分圧器の直列抵抗が得られます:

$$R_1 + R_2 \leq V_{OUT} / (I_{FB} \times 100) \quad (5)$$

8.1.2 推奨されるコンデンサの種類

新しいチップは、入力および出力に低い等価直列抵抗 (ESR) を持つセラミック コンデンサを使用しても安定動作するように設計されています。マルチレイヤ セラミック コンデンサは、この種のアプリケーションの業界標準になっており、推奨されますが、適切な判断のもとに使用する必要があります。X7R、X5R、C0G 定格の誘電体材料を使用したセラミック コンデンサは、温度範囲全体にわたって比較的良好な容量の安定性を実現しますが、Y5V 定格のコンデンサの使用は、静電容量の変動が大きいため推奨されません。

選択したセラミック コンデンサの種類にかかわらず、実効静電容量は動作電圧と温度によって変化します。一般的に、実効静電容量は 50% 程度減少すると予想されます。新しいチップの場合、「セクション 5.3」表に推奨される入力および出力コンデンサは、公称値の約 50% の実効静電容量を表しています。

8.1.3 入力および出力コンデンサの選択

新しいチップ用: TPS723-Q1 (新しいチップ) は、安定動作のために 2.2µF 以上 (最小 1.0µF 以上) の出力コンデンサを必要とし、等価直列抵抗 (ESR) は 0.0Ω ～ 0.5Ω の範囲である必要があります。最高の過渡性能を得るには、X5R および X7R タイプのセラミック コンデンサを使用します。これらのコンデンサは、温度による値と ESR の変動が最小限に抑えられているからです。特定のアプリケーション用にコンデンサを選択するときは、コンデンサの DC バイアス特性に注意します。出力電圧が高くなると、コンデンサの定格が大きく低下します。

新しいチップ用: 安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。一部の入力電源は高インピーダンスなので、入力電源に入力コンデンサを配置することで、入力インピーダンスを低減できます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。入力電源が広い周波数範囲で高いインピーダンスを持つ場合、複数の入力コンデンサを並列に接続することで、周波数全体にわたるインピーダンスを低減できます。立ち上がり時間の短い大きな負荷過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサを使用してください。

従来チップ用: 用途に応じて、適切な入力および出力コンデンサを使用する必要があります。TPS723-Q1 (従来チップ) には、安定動作のために 2.2µF セラミック出力コンデンサのみが必要です。コンデンサの値と等価直列抵抗 (ESR) はどちらも、安定性、出力ノイズ、PSRR、過渡応答に影響を及ぼします。一般的な用途では、レギュレータの近くに配置された 2.2µF のセラミック出力コンデンサで十分です。

Copyright © 2026 Texas Instruments Incorporated

8.1.4 逆電流

過度な逆電流がある場合、デバイスが損傷する可能性があります。逆電流は、通常の導通チャネルではなく、パス トランジスタの固有ボディ ダイオードを通って流れます。この電流が大きくなると、デバイスの長期的な信頼性が低下します。

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、$V_{OUT} \geq V_{IN} - 0.3V$ の絶対最大定格を超える可能性があります。

- デバイスが大きな C_{OUT} を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも低い電圧にバイアスされます

アプリケーションで逆電流が予期される場合は、デバイスを保護するために外部保護を推奨します。逆電流はデバイス内で制限されないため、拡張された逆電圧動作が予期される場合は、外部制限が必要です。

図 8-1 に、デバイスを保護するための 1 つのアプローチを示します。

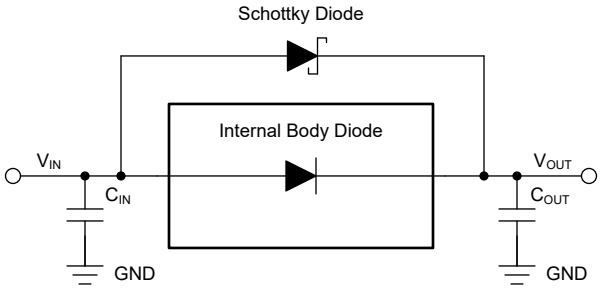


図 8-1. ショットキー ダイオードを使用した逆電流保護の回路例

8.1.5 フィードフォワード コンデンサ (C_{FF})

可変電圧バージョンのデバイスでは、フィードフォワード コンデンサ (C_{FF}) を OUT ピンから FB ピンへ接続できます。C_{FF} は過渡現象、ノイズ、PSRR の性能を向上させますが、レギュレータの安定性には必要ありません。推奨される C_{FF} 値 (新しいチップ用) を「セクション 5.3」表に示します。より高い容量の C_{FF} を使用することもできますが、起動時間が長くなります。C_{FF} のトレードオフの詳細な説明については、『低ドロップアウト レギュレータでフィードフォワード コンデンサを使用する場合の長所と短所』アプリケーション レポートを参照してください。

C_{FF} と R_1 は周波数 f_Z でループ ゲインのゼロを形成し、C_{FF}、R_1、R_2 は周波数 f_P でループ ゲインの極を形成します。C_{FF} のゼロ周波数と極周波数は、次の式から計算できます。

$$f_Z = 1 / (2 \times \pi \times C_{FF} \times R_1) \quad (6)$$

$$f_P = 1 / (2 \times \pi \times C_{FF} \times (R_1 \parallel R_2)) \quad (7)$$

フィードバック分圧器の電流が 10µA 未満の場合、安定性のために $C_{FF} \geq 10pF$ が必要です。式 8 はフィードバック デバイダの電流を計算します。

$$I_{FB_Divider} = V_{OUT} / (R_1 + R_2) \quad (8)$$

C_{FF} による起動時間の増加を避けるために、$C_{FF} \times R_1 < 50\mu s$ に制限します。

8.1.6 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの消費電力、プリント基板 (PCB) 上の回路の位置、およびサーマル プレーンの適切なサイズを考慮する必要があります。レギュレータの周囲の PCB 領域には、熱ストレスを増大させるその他の発熱デバイスがほとんどまたはまったくないことが必要です。

Copyright © 2026 Texas Instruments Incorporated

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{OUT} – V_{IN}) \times I_{OUT} \quad (9)$$

注

負の電圧レールの場合、LDO 両端のヘッドルームは $V_{OUT} – V_{IN}$ として計算されます。システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。消費電力を最小限にするには、適切な出力レギュレーションに必要な最小の入力電圧を使用します。

サーマル パッドを備えたデバイスの場合、デバイス パッケージの主な熱伝導経路は、サーマル パッドを通って PCB へと接続されます。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。このパッド領域には、放熱性を高めるために、追加の銅プレーンに熱を伝導するメッキされたビアのアレイが含まれている必要があります。

最大消費電力により、デバイスの最大許容周囲温度 (T_A) が決まります。以下の式によれば、消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) に最も関連します。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (10)$$

熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。「セクション 5.5」表に記載されている接合部から周囲への熱抵抗は、JEDEC 標準の PCB および銅箔の拡散領域によって決定され、パッケージの熱性能の相対的な基準として使用されます。

8.1.7 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にあるリニア レギュレータの接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は熱抵抗パラメータではなく、接合部温度を推定するための実用的かつ相対的な方法を提供します。これらの psi 指標は、熱拡散に利用できる銅箔面積に大きく依存しないことが判明しています。「セクション 5.5」表には、主要な熱指標である、接合部から上面への特性パラメータ (ψ_{JT}) と接合部から基板への特性パラメータ (ψ_{JB}) がリストされています。これらのパラメータは、以下の式で説明するように、接合部温度 (T_J) を計算するための 2 つの方法を提供します。接合部から上面への特性パラメータ (ψ_{JT}) とデバイス パッケージの中央上部の温度 (T_T) を使用して、接合部温度を計算します。接合部から基板への特性パラメータ (ψ_{JB}) とデバイス パッケージから 1mm の PCB 表面温度 (T_B) を使用して、接合部温度を計算します。

$$T_J = T_T + \psi_{JT} \times P_D \quad (11)$$

ここで

- P_D は、消費電力
- T_T は、デバイス パッケージの中央上部の温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (12)$$

ここで、

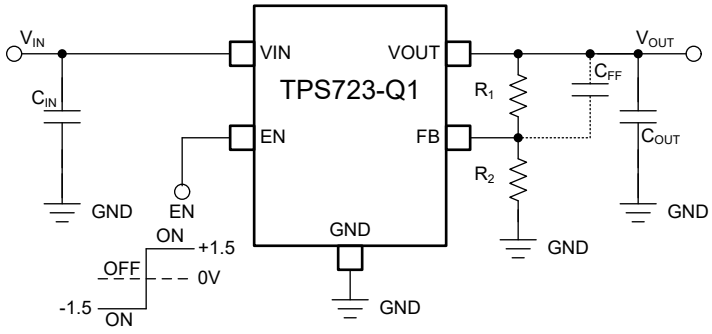
- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

熱指標とその使用方法の詳細については、『半導体および IC パッケージの熱指標』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.2 代表的なアプリケーション

TPS723-Q1 の可変バージョン (TPS72301Q1) は、–10V ～ –1.186V の範囲で任意の出力電圧を設計者が設定できるようにしています。図 8-2 のアプリケーション回路に示すように、外付け分圧抵抗を使用して、出力電圧 (V_O) をリファレンス電圧にスケーリングします。最高の精度を得るため、R_1 と R_2 には高精度の抵抗を使用します。図 8-2 の式を使用して、分圧抵抗の値を決定します。



注

$V_{OUT} = –1.186 × (1 + R_1/R_2)$。この場合 $R_1 + R_2 ≅ 100kΩ$ (従来のチップ用) および $R_2 ≤ 118.6kΩ$ (新しいチップ用) です

図 8-2. TPS72301Q1 の可変 LDO レギュレータのプログラミング

8.2.1 出力ノイズ

外部バイパスを行わない場合、TPS723-Q1 の出力ノイズ (10Hz ～ 100kHz での値) は $200μV_{RMS}$ (標準値) です。出力ノイズの主な要因は、内部バンドギャップ リファレンスです。グランドに外付け 0.01μF コンデンサを追加すると、ノイズが $60μV_{RMS}$ に減少します。NR ピンおよび OUT ピンのノイズのバイパスには、適切な低 ESR コンデンサを使用することで、最良のノイズ性能が得られます。セクション 6 セクションの図 6-55 と図 6-59 を参照してください。

8.2.2 設計要件

この設計例では、表 8-1 に記載されているパラメータを入力パラメータとして使用します。

表 8-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧範囲	-10V ～ -2.7V
出力電圧	-2.5V
出力電流	200mA
出力コンデンサ	2.2μF

8.2.3 電源除去

TPS723-Q1 は、入力源にノイズが多い用途や、出力電源ラインの感度が高い用途に対して、非常に高い PSRR を提供します。最高の PSRR を得るには、高品質の入力および出力コンデンサを使用します。

8.2.4 アプリケーション曲線

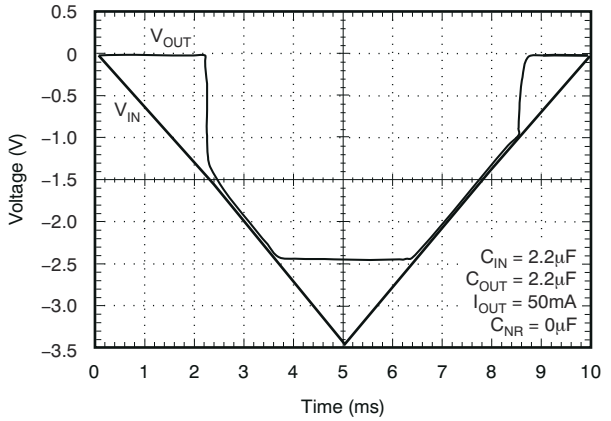


図 8-3. TPS72325Q1 パワーアップ / パワーダウン (従来のデバイス)

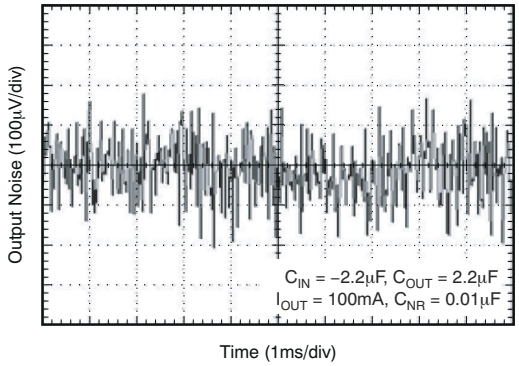


図 8-4. TPS72325Q1 出力ノイズと時間との関係 (従来のデバイス)

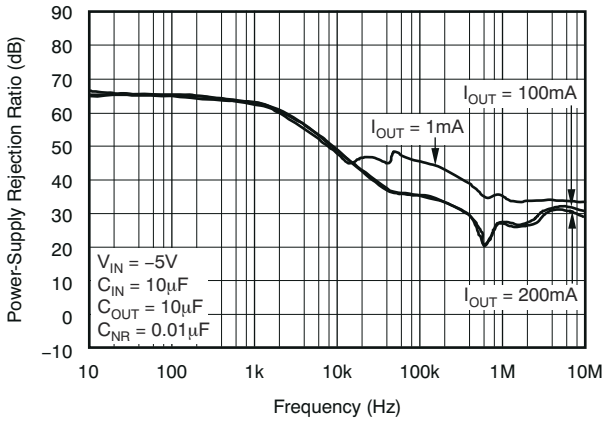
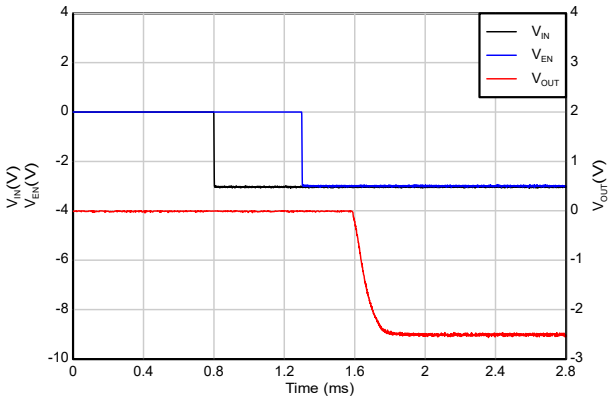
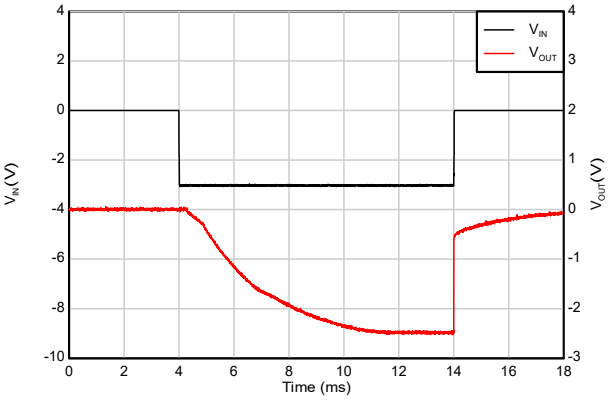


図 8-5. PSRR と周波数との関係 (従来のデバイス)



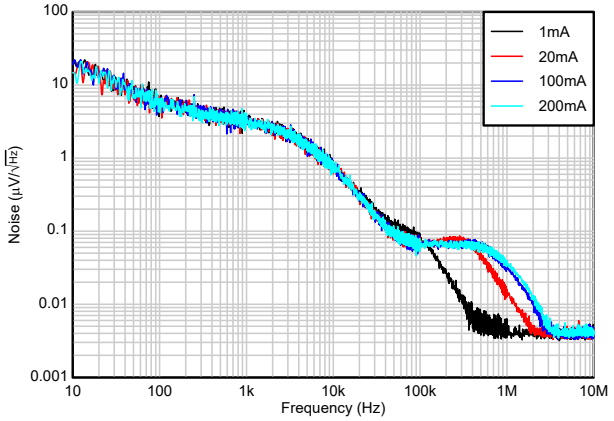
IOUT = 200mA

図 8-6. スタートアップ応答 (EN 前に V_{IN} ランピング) (新しいデバイス)



IOUT = 200mA、CNR = 10nF

図 8-7. スタートアップ応答 (V_{IN} と EN を接続) (新しいデバイス)



VIN = -3.0V

図 8-8. 合計ノイズと I_{OUT} との関係 (10Hz ～ 100kHz) (新しいデバイス)

Copyright © 2026 Texas Instruments Incorporated

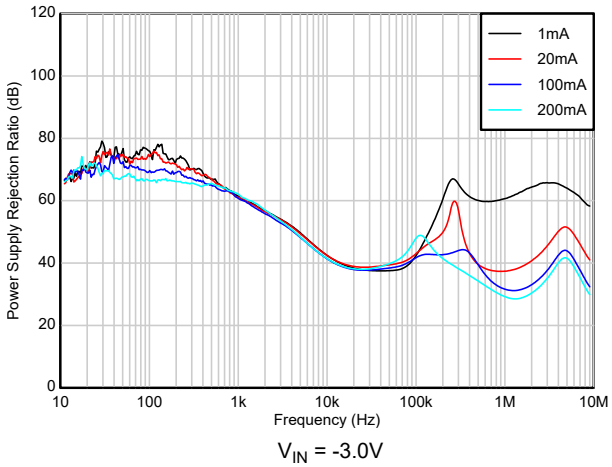


図 8-9. PSRR と I_{OUT} との関係 (新しいデバイス)

8.3 設計のベスト プラクティス

レギュレータの OUT ピンのできるだけ近くに、少なくとも一つの 2.2µF セラミック コンデンサを配置します。

出力コンデンサは、レギュレータから 10mm 以上離れた位置に配置しないでください。

レギュレータの IN ピンと GND 入力の間には、0.1µF ～ 2.2µF の低 ESR コンデンサを接続します。

絶対最大定格を超過してはなりません。

8.4 電源に関する推奨事項

これらのデバイスは、-10V ～ -2.7V の入力電源電圧範囲で動作するように設計されています。デバイスが安定した出力を得るためには、入力電圧範囲が十分なヘッドルームを提供している必要があります。この入力電源は、良好なレギュレーションで安定している必要があります。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

AC 特性 (PSRR、出力ノイズ、過渡応答など) を向上させるために、基板は V_I 用と V_O 用で個別のグランド プレーンを設け、それぞれのグランド プレーンはデバイスの GND ピンでのみ接続するように設計します。さらに、バイパス コンデンサはデバイスの GND ピンに直接接続します。

8.5.2 レイアウト例

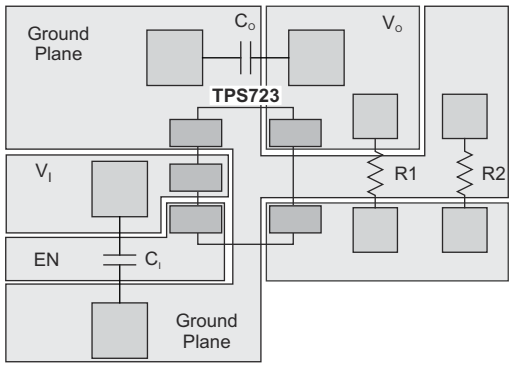


図 8-10. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

9.1.1.1 SPICE モデル

SPICE による回路パフォーマンスのコンピュータ シミュレーションは、アナログ回路やシステムのパフォーマンスを分析するため多くの場合に有用です。TPS723-Q1 用の SPICE モデルは、製品フォルダの「シミュレーション モデル」で入手できます。

9.1.2 デバイスの命名規則

表 9-1. デバイスの命名規則

製品(1)	V_{OUT}
TPS723**xxQyyyzQ1** または TPS723**xxQyyyzM3Q1**	**xx** は公称出力電圧です (例:25 = 2.5V、01 = 可変)。 **yyy** はパッケージ指定子です。 **z** はパッケージ数量です。このデバイスは、従来のチップ (CSO:DLN) または新しいチップ (CSO:DM6) と同梱されます。これは最新の製造フローを使用しています。リール包装ラベルには、使用されているチップを識別するための CSO 情報が記載されています。本書では、新旧チップごとのデバイス性能について説明しています。M3 は、最新の製造フローを使用する CSO:DM6 の新しいチップにのみ重要な接尾辞の指定子です。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (March 2026) to Revision E (June 2026)	Page
• GPN の名称を TPS723Q1 から TPS723-Q1 に変更	1

Changes from Revision C (October 2017) to Revision D (March 2026)	Page
• GPN 名の修正に伴い、文書のタイトルを TPS723xx - Q1 から TPS723 - Q1 に変更	1
• 「特長」セクションを変更し、新しいチップに関する情報を追加	1
• 「アプリケーション」セクションを更新し、車載用最終製品を追加	1
• 「概要」セクションを更新し、新しいチップと従来のチップの主要なデバイス性能パラメータを強調	1
• 各ピンの詳細な機能を追加するため、ピン構成および機能セクションを更新	3
• 「仕様」セクションを更新:「絶対最大定格」、「ESD 定格」、「推奨動作条件」、および「電気的特性」の各セクションを更新し、新しいチップの性能詳と従来のチップとの比較を追加	4
• 新しいチップの熱情報を追加	4
• 「標準特性」セクションを更新し、旧チップと新チップの性能比較を追加	7
• 新しいチップの機能ブロック図を追加し、固定タイプおよび可変タイプのデバイスについて機能ブロック図を更新	23
• 「機能説明」セクションを追加:デバイスの機能に関する詳細情報を示すため、「イネーブル」、「電流制限」、「ドロップアウト電圧」、「出力プルアップ」、「サーマル シャットダウン」、「UVLO および NR / プログラマブル ソフトスタート」の各セクションを追加	24
• デバイスの機能を示すため、「機能説明」セクションに「デバイスの機能モード」セクションを追加	27
• 「アプリケーションと実装」セクションを追加:デバイスの詳細なアプリケーション情報を示すために、「可変タイプのフィードバック抵抗の選択」、「推奨コンデンサ タイプ」、「入力 / 出力コンデンサ」に関するセクションを追加	28
• デバイスの詳細情報として、「消費電力」や「接合温度の推定」など、デバイスの使用に関する主要なセクションを追加しました	29
• 「デバイスの命名規則」セクションの詳細を表示するため、「デバイスおよびドキュメントのサポート」セクションを更新	34

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS72301QDBVRM3Q1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PPHQ
TPS72301QDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PPHQ
TPS72301QDBVRQ1.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PPHQ
TPS72325QDBVRM3Q1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PSBQ
TPS72325QDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PSBQ
TPS72325QDBVRQ1.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PSBQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS723-Q1 :

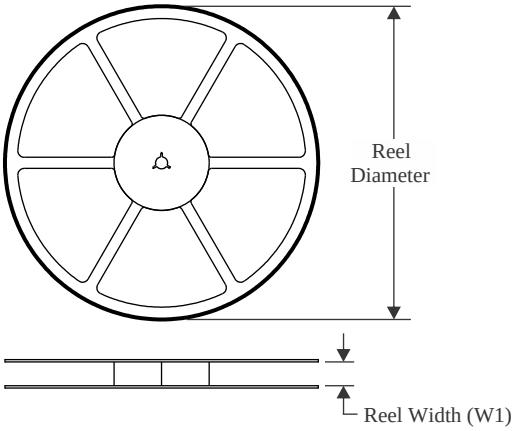
- Catalog : TPS723

NOTE: Qualified Version Definitions:

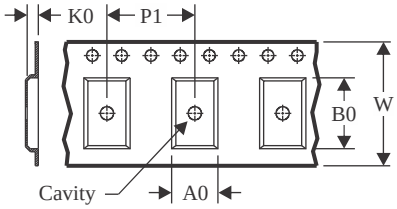
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

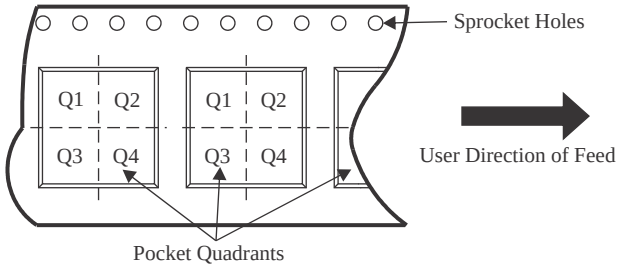


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

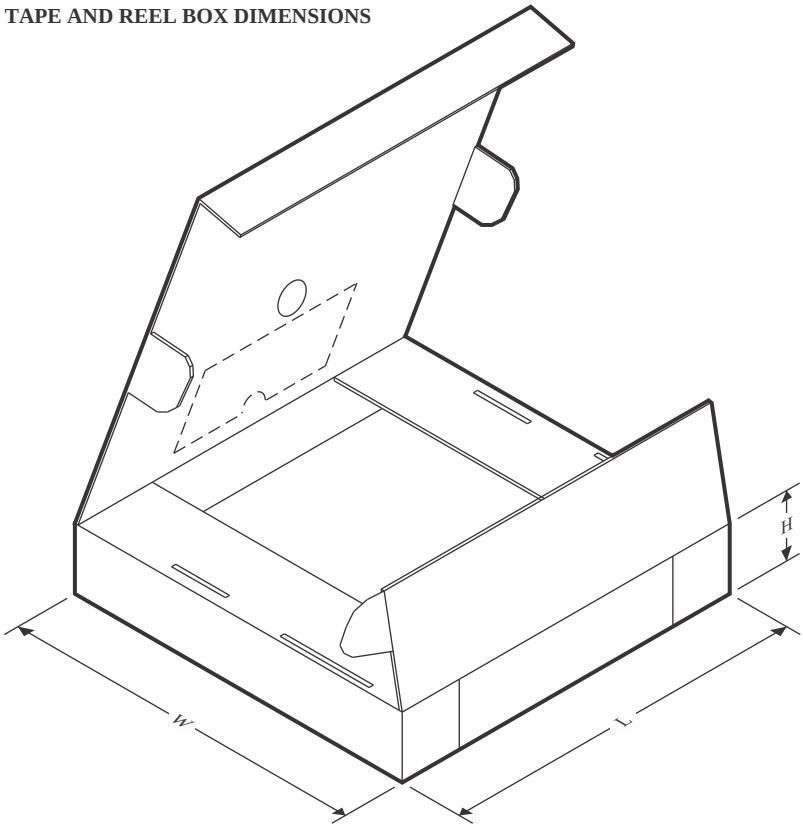
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS72301QDBVRM3Q1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS72301QDBVRQ1	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS72325QDBVRM3Q1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS72325QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS72325QDBVRQ1	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

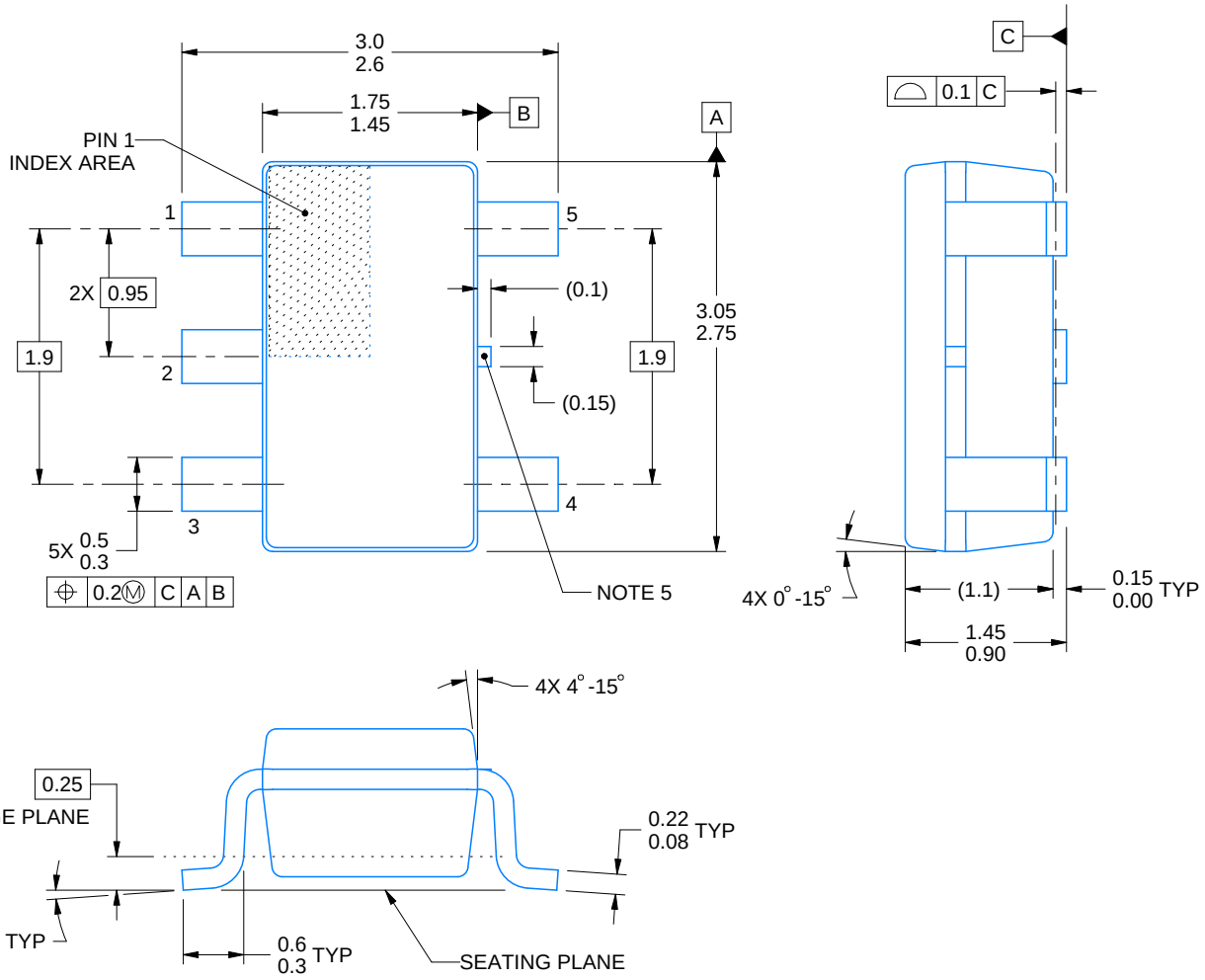
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS72301QDBVRM3Q1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS72301QDBVRQ1	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS72325QDBVRM3Q1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS72325QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS72325QDBVRQ1	SOT-23	DBV	5	3000	200.0	183.0	25.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

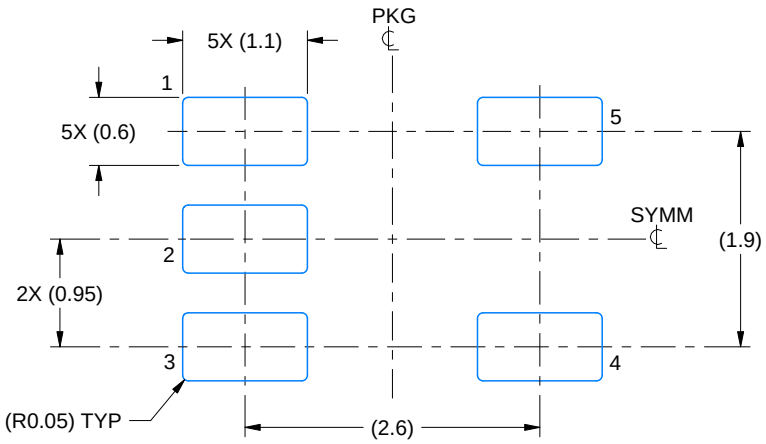
SMALL OUTLINE TRANSISTOR



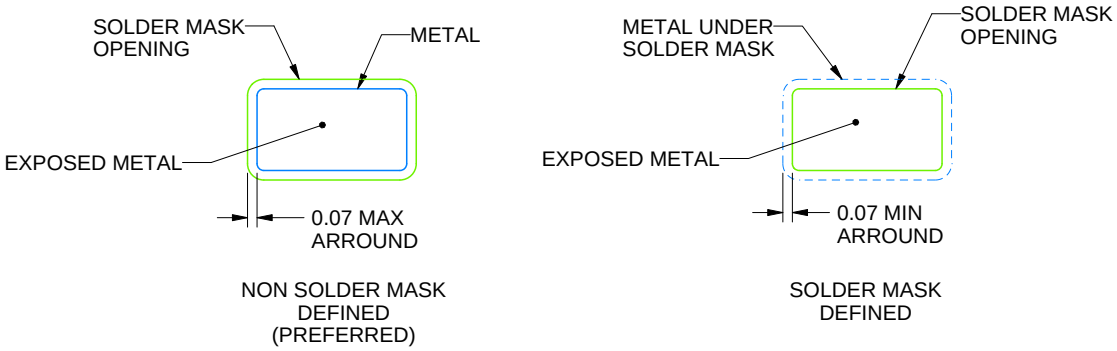
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

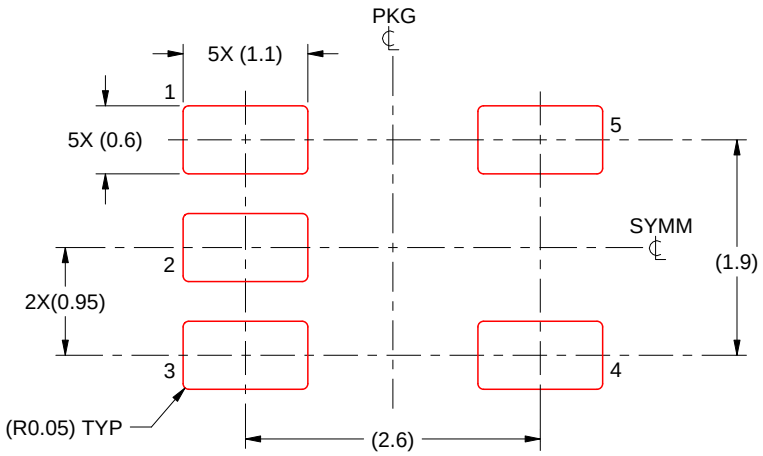


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月