

# TPS730：低ノイズ、高PSRR、RF対応、200mA出力の低ドロップアウトリニアレギュレータ

## 1 特長

- ・インテーブル搭載、200mA低ドロップアウトレギュレータ
- ・固定電圧(1.8V ~ 3.3V)と可変電圧(1.22V ~ 5.5V)のバリエントを提供
- ・高PSRR(68dB、100Hz)
- ・低ノイズ:
  - 55 $\mu$ V<sub>RMS</sub>(従来チップ)
  - 69 $\mu$ V<sub>RMS</sub>(新チップ)
- ・2.2 $\mu$ Fのセラミックコンデンサで安定動作
- ・非常に優れた負荷、ライン過渡応答
- ・非常に低いドロップアウト電圧: 120mV(標準値)
- ・ポートフォリオの最新デバイスについては、[TPS7A20](#)を参照してください

## 2 アプリケーション

- ・TVアプリケーション
- ・ネットワーク接続の周辺機器とプリンタ
- ・携帯医療機器
- ・ホームシアターおよびエンターテインメント
- ・ビルオートメーション

## 3 説明

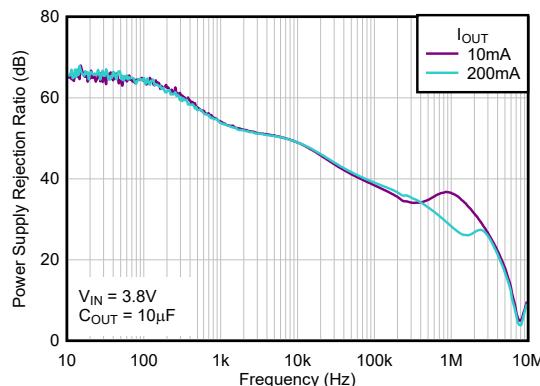
TPS730は、低ドロップアウト(LDO)電圧レギュレータで、電源除去比(PSRR)が高く、ラインおよび負荷の過渡応答が優れているのが特長です。このデバイスは、出力に小型の2.2 $\mu$ Fセラミックコンデンサを接続することで安定して動作します。TPS730は、例えば200mAで代表値120mVといった低ドロップアウト電圧を提供します。出力ノイズが小さくPSRRが優れているため、このデバイスは電力の制約が厳しいアナログ負荷向けに設計されています。TPS730は、調整可能な機能により、ポストレギュレーションに適したフレキシブルなオプションを提供します。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージサイズ <sup>(2)</sup>
TPS730	DBV (SOT-23, 5)	2.9mm × 2.8mm
	DBV (SOT-23, 6)	2.9mm × 2.8mm
	YZQ (DSBGA, 5)	1.35mm × 1mm

(1) 詳細については、[メカニカル、パッケージ、および注文情報](#)をご覧ください。

(2) パッケージサイズ(長さ×幅)は公称値であり、該当する場合はピンを含みます。



リップル除去と周波数との関係



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール(機械翻訳)を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、[ti.com](#)で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SBVS054](#)

## 目次

<b>1 特長</b>	<b>1</b>	7.1 アプリケーション情報	<b>17</b>
<b>2 アプリケーション</b>	<b>1</b>	7.2 代表的なアプリケーション	<b>20</b>
<b>3 説明</b>	<b>1</b>	7.3 設計のベスト プラクティス	<b>21</b>
<b>4 ピン構成および機能</b>	<b>3</b>	7.4 電源に関する推奨事項	<b>21</b>
<b>5 仕様</b>	<b>4</b>	7.5 レイアウト	<b>21</b>
5.1 絶対最大定格	4	8 デバイスおよびドキュメントのサポート	<b>26</b>
5.2 ESD 定格	4	8.1 デバイス サポート	<b>26</b>
5.3 推奨動作条件	4	8.2 ドキュメントのサポート	<b>26</b>
5.4 熱に関する情報	5	8.3 ドキュメントの更新通知を受け取る方法	<b>26</b>
5.5 電気的特性	5	8.4 サポート・リソース	<b>26</b>
5.6 代表的特性	7	8.5 商標	<b>26</b>
<b>6 詳細説明</b>	<b>12</b>	8.6 静電気放電に関する注意事項	<b>26</b>
6.1 概要	12	8.7 用語集	<b>27</b>
6.2 機能ブロック図	12	<b>9 改訂履歴</b>	<b>28</b>
6.3 機能説明	14	<b>10 メカニカル、パッケージ、および注文情報</b>	<b>28</b>
6.4 デバイスの機能モード	16	10.1 TPS730YZQ Nanostar™ ウェハー チップ スケール情報	<b>29</b>
<b>7 アプリケーションと実装</b>	<b>17</b>		

## 4 ピン構成および機能

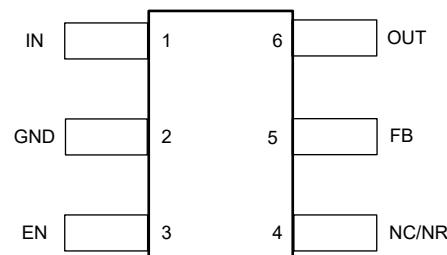
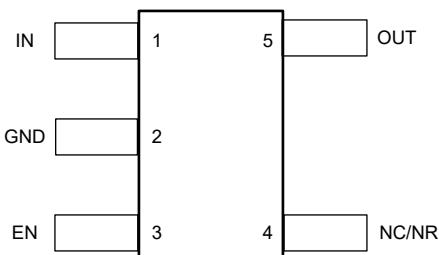


図 4-1. DBV パッケージ、5 ピン SOT-23 固定電圧バー ジョン (上面図)      図 4-2. DBV パッケージ、6 ピン SOT-23 可変電圧バー ジョン (上面図)

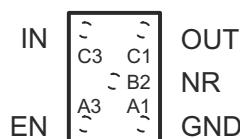


図 4-3. YZQ パッケージ、5 ピン DSBGA (上面図、従来のチップ)

表 4-1. ピンの機能

ピン			I/O	説明
名称	DBV	YZQ		
EN	3	A3	I	イネーブルピン。イネーブルピン (EN) を high にすると、レギュレータが動作します。このピンを low にすると、レギュレータはシャットダウンモードに移行します。EN を使用しない場合は、IN に接続できます。
FB	5	—	I	フィードバックピン。この端子は可変デバイスのフィードバック入力ピンです。DBV パッケージの固定電圧バージョンには、このピンはありません。
GND	2	A1	—	レギュレータ グラウンド。
IN	1	C3	I	デバイスへの入力電源。
NC/NR	4	B2	—	ノイズリダクションピン (従来のチップ)。このピンに外部コンデンサを接続すると、内部バンド ギヤップによって発生するノイズがフィルタリングされます。この構成は、電源電圧変動除去能力を向上させ、従来のチップと YZQ パッケージで出力ノイズを低減します。 接続ピンなし (新しいチップ)。このピンは内部接続されていません。放熱性能を向上させるために GND に接続するか、フローティングのままにします。低ノイズ特性の固定デバイスについては、TPS7A20 を参照してください。可変バージョンでノイズ性能を低下させるには、フィードフォワードコンデンサの使用を検討します。
OUT	6	C1	O	レギュレータの出力。

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
電圧	$V_{IN}$ , $V_{EN}$ , $V_{OUT}$ (従来のチップ)	-0.3	6	V
	$V_{IN}$ , $V_{EN}$ (新しいチップ)	-0.3	6.5	V
	$V_{OUT}$ (新しいチップ)	-0.3	$V_{IN} + 0.3$ <sup>(2)</sup>	
電流		内部的に制限		
温度	動作時の接合部温度, $T_J$ (DBV パッケージ)	-40	150	°C
	動作時の接合部温度, $T_J$ (YZQ パッケージ、従来のチップのみ)	-40	125	°C
	保存, $T_{stg}$	-65	150	

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

(2) 絶対最大定格は  $V_{IN} + 0.3V$  または  $6.5V$  のどちらか小さい方です。

### 5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	$\pm 2000$	V
		デバイス帶電モデル (CDM) は、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン <sup>(2)</sup> に対して V が適用	$\pm 500$	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$V_{IN}$	入力電圧	2.7	5.5		V
$V_{EN}$	イネーブル電圧	0	5.5		V
$V_{OUT}$	出力電圧	$V_{FB}$	5		V
$I_{OUT}$	出力電流	0	200	200	mA
$T_J$	動作時接合部温度	-40	125		°C
$C_{IN}$	入力コンデンサ (従来のチップ)	0.1	1		$\mu F$
	入力コンデンサ (新しいチップ)	1			
$C_{OUT}$	出力コンデンサ	$2.2^{(1)}(2)$	10		$\mu F$
$C_{NR}$	ノイズ低減コンデンサ <sup>(3)</sup>	0	10		nF
$C_{FF}$	フィードフォワードコンデンサ (従来のチップ)		15		pF
	フィードフォワードコンデンサ (新しいチップ) <sup>(4)</sup>	0	10	100	nF
$R_2$	低帰還抵抗 (従来のチップ)		30.1		kΩ
$F_{EN}$	イネーブルトグル周波数 (新しいチップ)			10	kHz

(1)  $C_{FF}$  を使用しない場合、または  $V_{OUT(nom)} < 1.8V$  の場合、最小  $C_{OUT} = 4.7\mu F$  が推奨されます。

(2) 新しいチップのみ、最小実効容量は  $0.47\mu F$  です。

(3) レガシー チップ専用です。新しいチップにはノイズ低減ピンがありません。詳細については、「ピンの機能」の表を参照してください。

(4) フィードフォワードコンデンサはオプションであり、安定動作には必須ではありません。

## 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		TPS793				単位
		DBV (SOT23-6) 6 ピン	YZQ (DSBGA) 5 ピン	DBV (SOT23-6) <sup>(2)</sup> 6 ピン	DBV (SOT23-5) <sup>(2)</sup> 5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	225.1	178.5	171.7	182.3	°C/W
$R_{\theta JC(top)}$	接合部からケース(上面)への熱抵抗	78.4	1.4	110.8	114.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	54.7	62.1	85.4	79.1	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	3.3	0.9	54.4	56.8	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	53.8	62.1	85.2	78.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース(底面)への熱抵抗	該当なし	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージ』アプリケーション ノートを参照してください。

(2) 新しいチップ。

## 5.5 電気的特性

推奨動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$   $V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(nom)} + 1\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$  (特に記述のない限り)。標準値はすべて、 $T_J = 25^{\circ}\text{C}$  における値です。

パラメータ	テスト条件	最小値	標準値	最大値	単位
$V_{IN}$	入力電圧範囲 <sup>(1)</sup>	2.7	5.5	5.5	V
$I_{OUT}$	連続出力電流	0	200	200	mA
$V_{FB}$	内部リファレンス (TPS73001)	1.201	1.225	1.25	V
$V_{OUT}$	出力電圧範囲 (TPS73001)	$V_{FB}$	$5.5 - V_{DROPOUT}$		V
	出力電圧精度 $0\mu\text{A} < I_{OUT} < 200\text{mA}$ 、 $V_{OUT} + 1\text{V} < V_{IN} < 5.5\text{V}$	-2%	$V_{OUT(nom)}$	2%	
$\Delta V_{OUT}/\Delta V_{IN}$	ライン レギュレーション <sup>(1)</sup> $V_{OUT} + 1\text{V} \leq V_{IN} \leq 5.5\text{V}$	0.05			%/V
$\Delta V_{OUT}/\Delta I_{OUT}$	ロード レギュレーション $0\mu\text{A} \leq I_{OUT} \leq 200\text{mA}$	5			mV
$V_{DO}$ <sup>(2)</sup>	ドロップアウト電圧 $V_{IN} = V_{OUT} - 0.1\text{V}$ 、 $I_{OUT} = 200\text{mA}$	120	210	210	mV
$I_{CL}$	出力電流制限 $V_{OUT} = 0\text{V}$ (従来のチップ)	285	600		mA
		320	460		
$I_{SC}$	回路短絡時の電流制限 $V_{OUT} = 0\text{V}$ (新しいチップ)	175			mA
$I_{GND}$	静止電流 (GND 電流) $0\mu\text{A} \leq I_0 \leq 200\text{mA}$ (従来のチップ)	170	220		\mu\text{A}
		250	1000		
$I_{SHDN}$	シャットダウン電流 $V_{EN} = 0\text{V}$ 、 $2.7\text{V} < V_I < 5.5\text{V}$ (従来のチップ) <sup>(3)</sup>	0.07	1		\mu\text{A}
		0.01	1		
$I_{FB}$	フィードバック ビンの電流 $V_{FB} = 1.8\text{V}$ (従来のチップ)		1		\mu\text{A}
			0.05		

## 5.5 電気的特性 (続き)

推奨動作温度範囲全体、 $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$   $V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(nom)} + 1\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$  (特に記述のない限り)。標準値はすべて、 $T_J = 25^\circ\text{C}$  における値です。

パラメータ	テスト条件	最小値	標準値	最大値	単位
PSRR	電源除去比	$f = 100\text{Hz}$	$I_{OUT} = 10\text{mA}$ (従来のチップ)	70	dB
			$I_{OUT} = 10\text{mA}$ (新しいチップ)	64	
			$I_{OUT} = 200\text{mA}$ (従来のチップ)	68	
			$I_{OUT} = 200\text{mA}$ (新しいチップ)	65	
		$f = 10\text{kHz}$	$I_{OUT} = 200\text{mA}$ (従来のチップ)	70	
			$I_{OUT} = 200\text{mA}$ (新しいチップ)	49	
		$f = 100\text{kHz}$	$I_{OUT} = 200\text{mA}$ (従来のチップ)	43	
			$I_{OUT} = 200\text{mA}$ (新しいチップ)	39	
V <sub>n</sub>	出力ノイズ電圧	$BW = 200\text{Hz} \sim 100\text{kHz}$ 、 $I_{OUT} = 200\text{mA}$	$C_{NR} = 0.01\mu\text{F}$	33	$\mu\text{V}_{\text{RMS}}$
		$BW = 200\text{Hz} \sim 100\text{kHz}$ 、 $I_{OUT} = 200\text{mA}$	(新しいチップ) <sup>(4)</sup>	69	
t <sub>STR</sub>	スタートアップ時間	$R_L = 14\Omega$ 、 $C_{OUT} = 1\mu\text{F}$	$C_{NR} = 0.001\mu\text{F}$	50	$\mu\text{s}$
			$C_{NR} = 0.0047\mu\text{F}$	50	
			$C_{NR} = 0.01\mu\text{F}$	50	
			(新しいチップ) <sup>(4)</sup>	500	
V <sub>EN(HI)</sub>	High レベルのイネーブル入力電圧	$2.7\text{V} \leq V_{IN} \leq 5.5\text{V}$	1.7	$V_{IN}$	V
		$2.7\text{V} \leq V_{IN} \leq 5.5\text{V}$ (新しいチップ)	0.85	$V_{IN}$	
V <sub>EN(LOW)</sub>	Low レベルのイネーブル入力電圧	$2.7\text{V} \leq V_{IN} \leq 5.5\text{V}$	0	0.7	V
		$2.7\text{V} \leq V_{IN} \leq 5.5\text{V}$ (新しいチップ)	0	0.425	
I <sub>EN</sub>	イネーブルピンの電流	$V_{EN} = 0\text{V}$	-1	1	$\mu\text{A}$
V <sub>UVLO</sub>	UVLO スレッショルド	$V_{IN}$ 立ち上がり (従来のチップ)	2.25	2.65	V
		$V_{IN}$ 立ち上がり (新しいチップ)	1.32	1.6	
V <sub>UVLO(HYST)</sub>	UVLO ヒステリシス	$V_{CC}$ 立ち上がり (従来のチップ)	100		mV
		$V_{CC}$ 立ち上がり (新しいチップ)	130		

(1) 最小  $V_{IN}$  は、 $2.7\text{V}$  または  $V_{OUT} + V_{DO}$  のうち、どちらか大きい方です。

(2) TPS73018 と TPS73025 の場合、最小  $V_{IN} = 2.7\text{V}$  であるため、ドロップアウトは測定されません。

(3) 可変バージョンでは、このパラメータは  $V_{IN}$  が印加された後で  $V_{EN}$  が High から Low に遷移した後にのみ適用されます。

(4) 新しいチップにはノイズリダクションピンがありません。

## 5.6 代表的特性

推奨動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(\text{nom})} + 1\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$ 、 $V_{OUT(\text{nom})} = 2.8\text{V}$  (特に記述のない限り)。標準値は  $T_J = 25^{\circ}\text{C}$  時に測定。

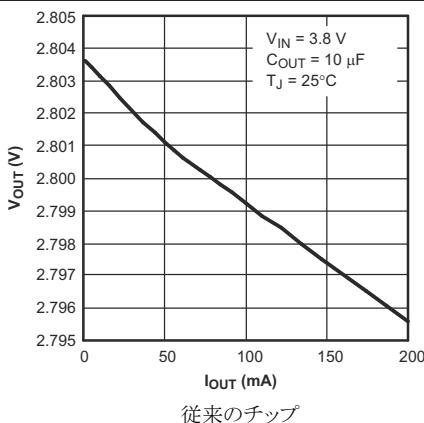


図 5-1. TPS730 出力電圧と出力電流との関係

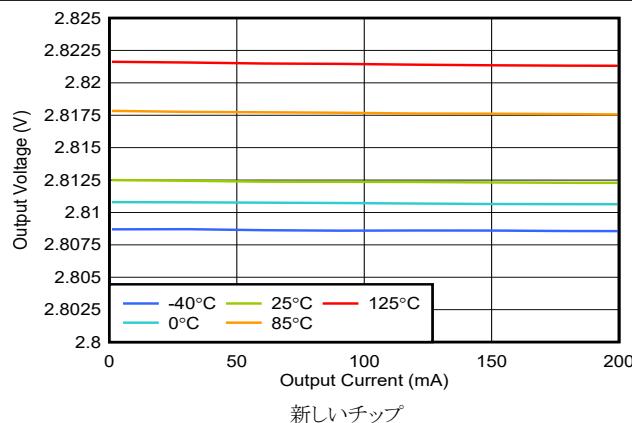


図 5-2. TPS730 出力電圧と出力電流との関係

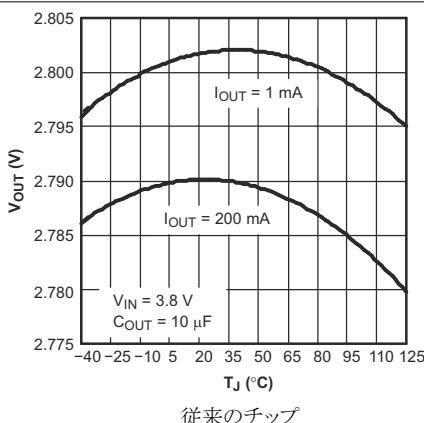


図 5-3. TPS730 出力電圧と接合部温度との関係

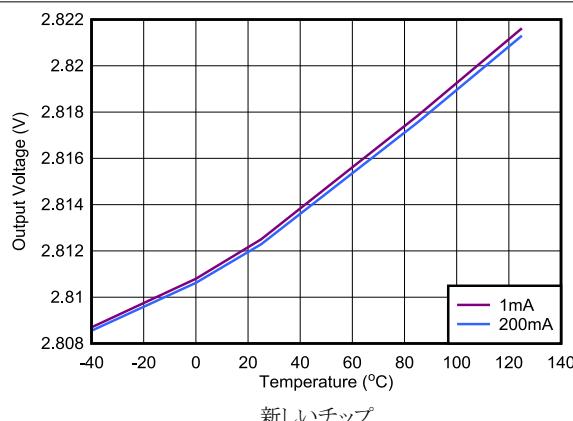


図 5-4. TPS730 出力電圧と接合部温度との関係

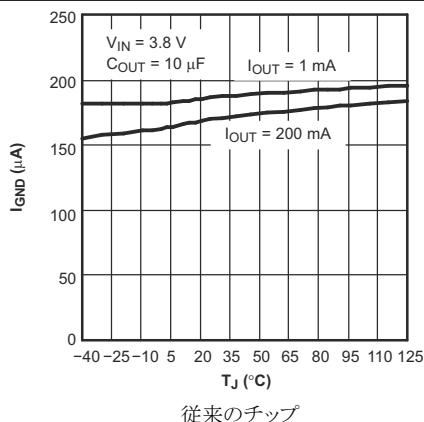


図 5-5. TPS730 グランド電流と接合部温度との関係

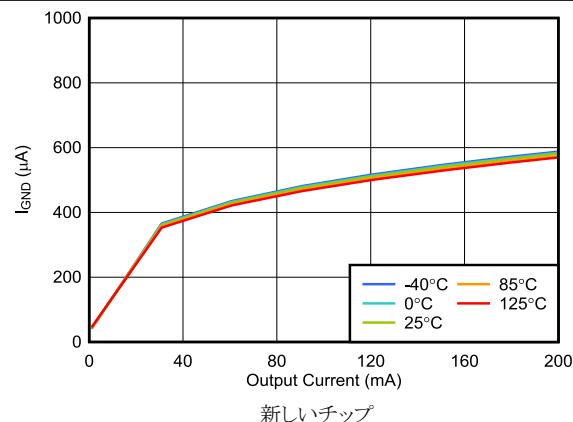


図 5-6. TPS730 グランド電流と接合部温度との関係

## 5.6 代表的特性 (続き)

推奨動作温度範囲全体、 $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(nom)} + 1\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$ 、 $V_{OUT(nom)} = 2.8\text{V}$  (特に記述のない限り)。標準値は  $T_J = 25^\circ\text{C}$  時に測定。

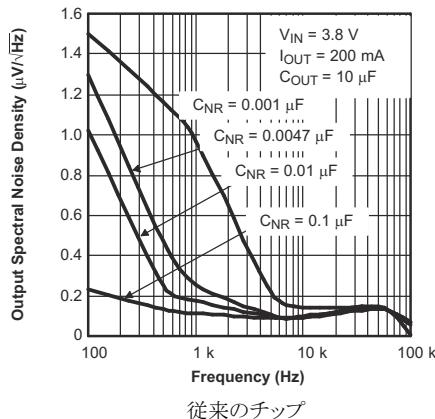


図 5-7. TPS730 出力スペクトルノイズ密度と周波数との関係

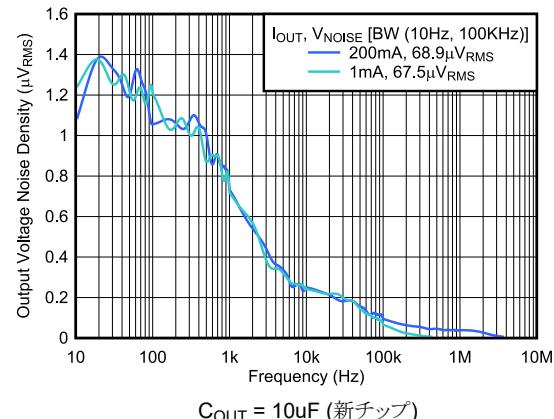


図 5-8. TPS730 出力スペクトルノイズ密度と周波数との関係

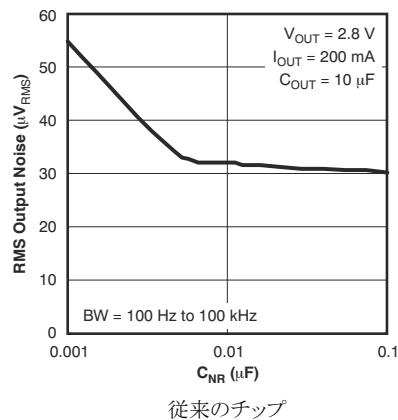


図 5-9. 実効値出力ノイズと  $C_{NR}$  との関係

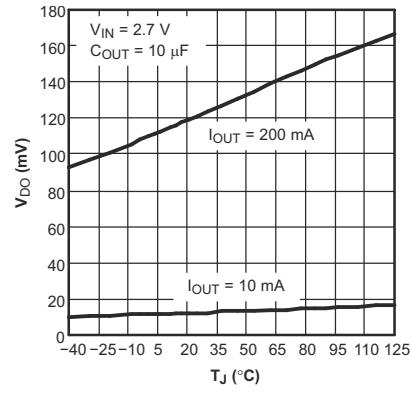


図 5-10. TPS730 ドロップアウト電圧と接合部温度との関係

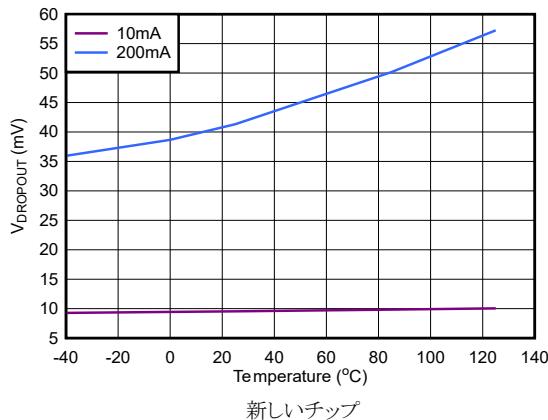


図 5-11. TPS730 ドロップアウト電圧と接合部温度との関係

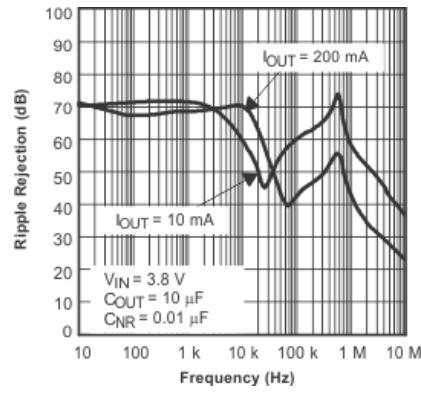
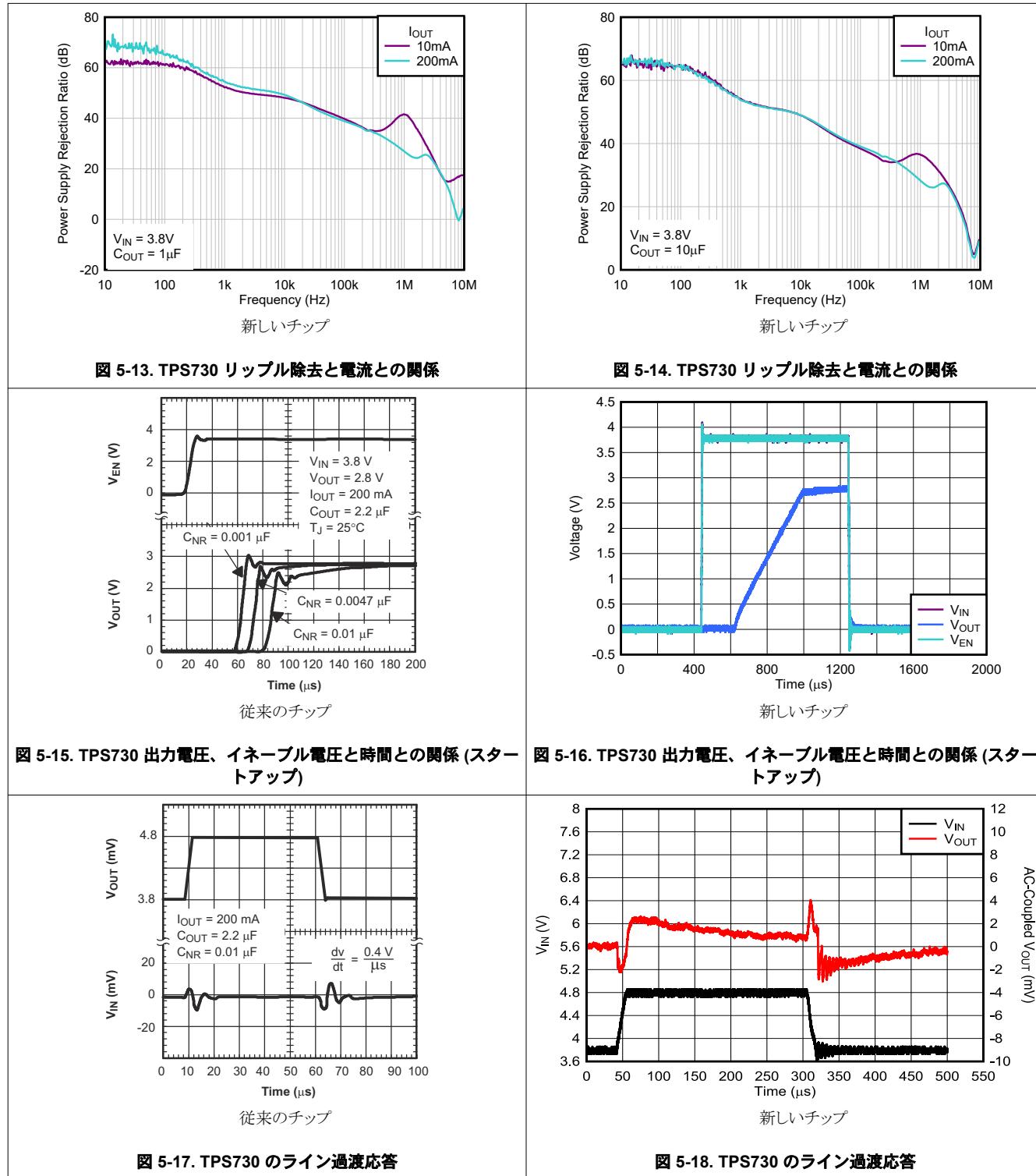


図 5-12. TPS730 リップル除去と電流との関係

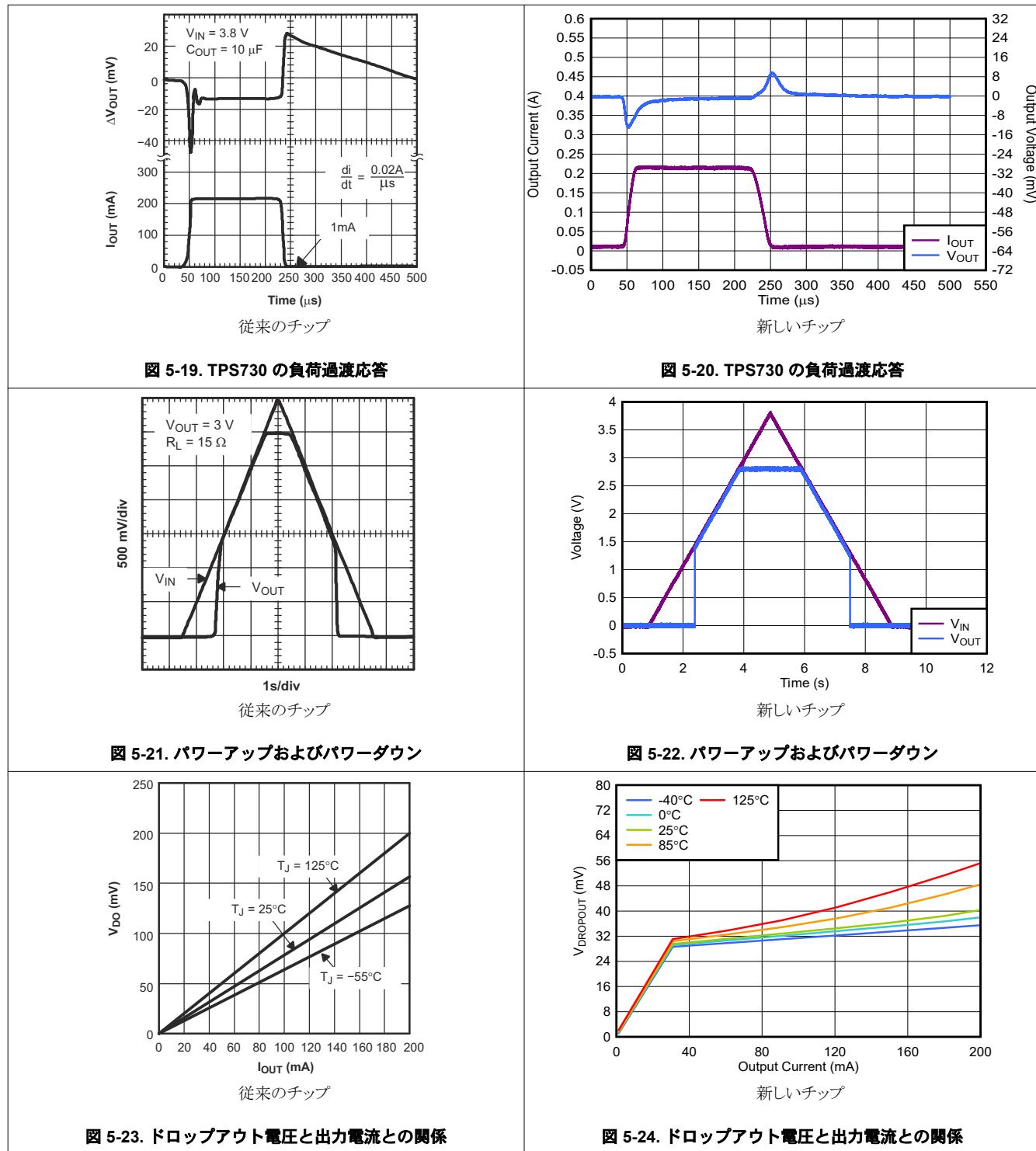
## 5.6 代表的特性 (続き)

推奨動作温度範囲全体、 $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(nom)} + 1\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$ 、 $V_{OUT(nom)} = 2.8\text{V}$  (特に記述のない限り)。標準値は  $T_J = 25^\circ\text{C}$  時に測定。



## 5.6 代表的特性 (続き)

推奨動作温度範囲全体、 $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $V_{IN} = V_{IN}$ 、 $V_{IN} = V_{OUT(nom)} + 1\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$ 、 $V_{OUT(nom)} = 2.8\text{V}$  (特に記述のない限り)。標準値は  $T_J = 25^\circ\text{C}$  時に測定。



## 5.6 代表的特性 (続き)

推奨動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(\text{nom})} + 1\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$ 、 $V_{OUT(\text{nom})} = 2.8\text{V}$  (特に記述のない限り)。標準値は  $T_J = 25^{\circ}\text{C}$  時に測定。

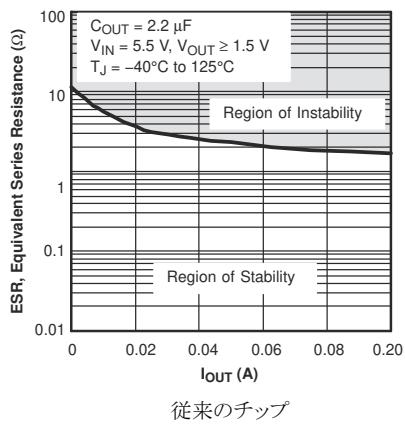


図 5-25. 安定等価直列抵抗 (ESR) の標準的な領域と出力電流との関係

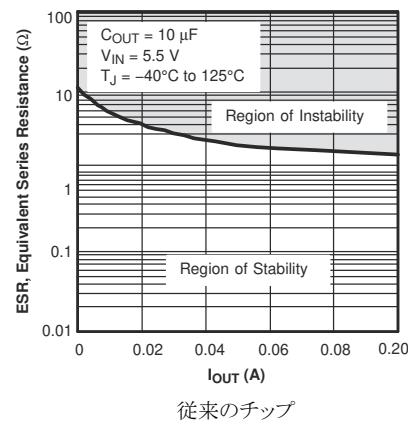


図 5-26. 安定等価直列抵抗 (ESR) の標準的な領域と出力電流との関係

## 6 詳細説明

### 6.1 概要

TPS730 低ドロップアウト (LDO) レギュレータは、ノイズに敏感なバッテリ動作機器での使用に最適化されています。このデバイスは超低ドロップアウト電圧、高 PSRR、超低出力ノイズ、低静止電流を特長とし、レギュレータがオフになったときは入力から消費電流を  $1\mu\text{A}$  未満に低減できます。

### 6.2 機能ブロック図

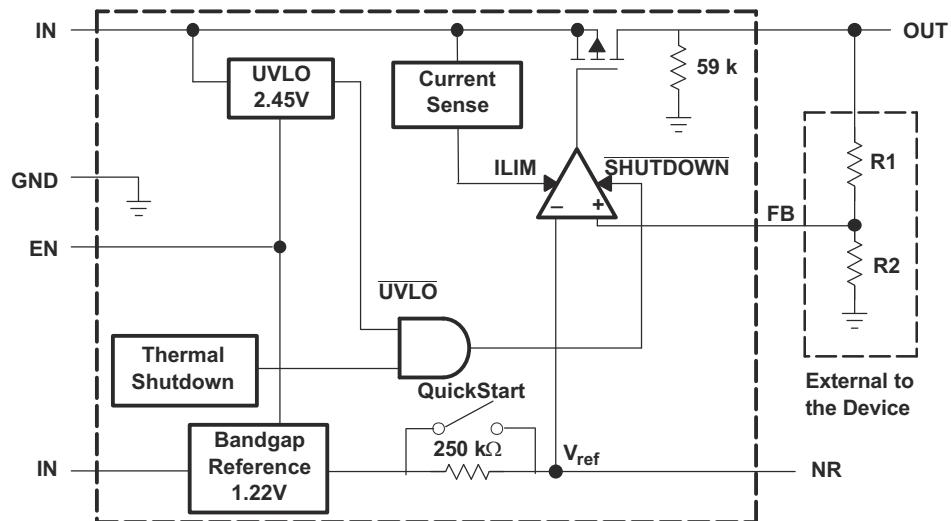


図 6-1. TPS730 ブロック図 (可変電圧バージョン、従来のチップ)

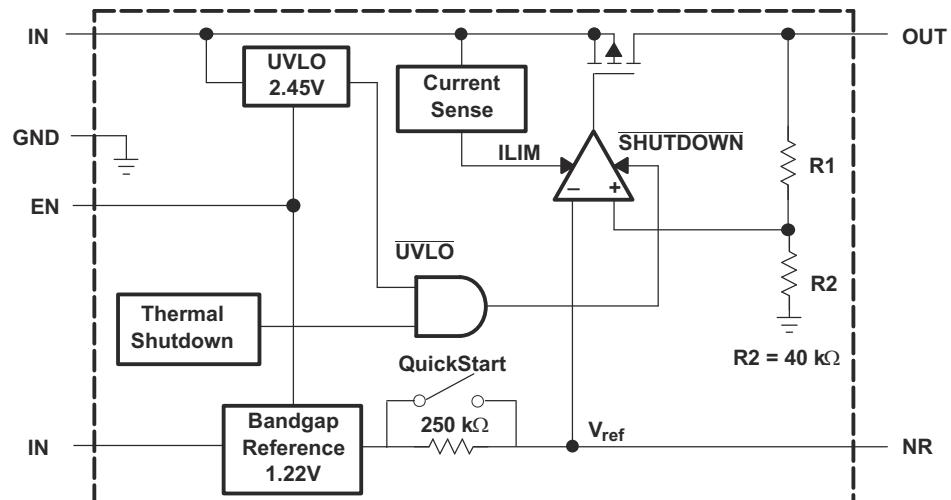


図 6-2. TPS730 ブロック図 (固定電圧バージョン、従来のチップ)

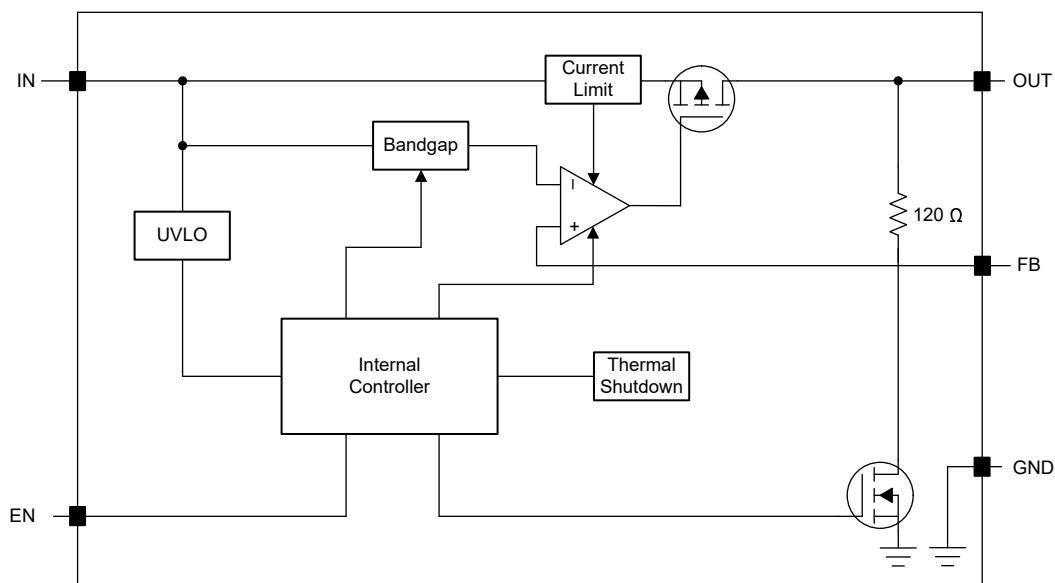


図 6-3. TPS730 ブロック図 (可変バージョン、新しいチップ)

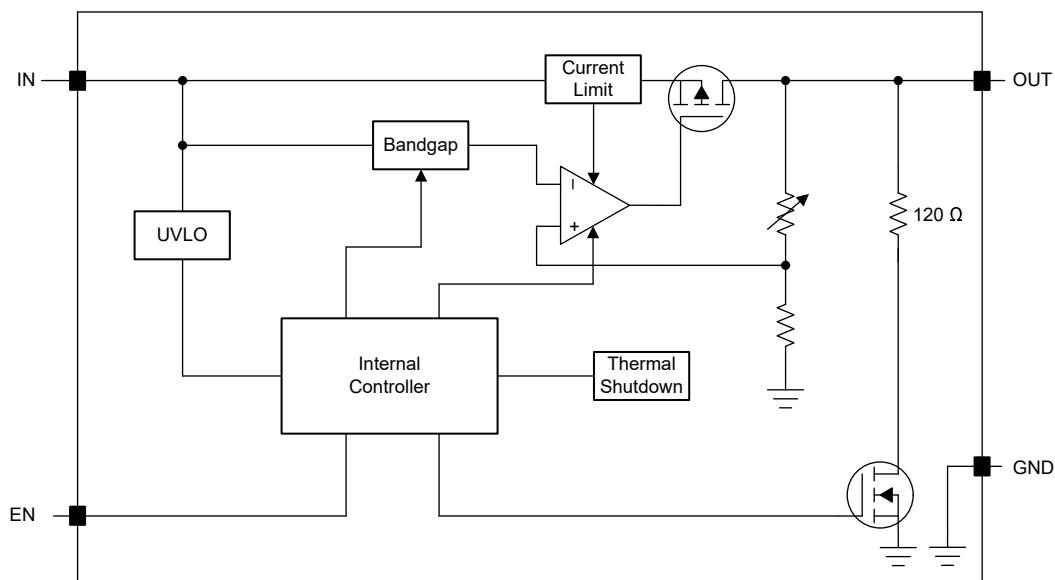


図 6-4. TPS730 ブロック図 (固定バージョン、新しいチップ)

## 6.3 機能説明

### 6.3.1 低電圧誤動作防止 (UVLO)

TPS730 は、入力電圧が立ち上がり UVLO 電圧より高くなるまで出力をディセーブルにする、低電圧誤動作防止 (UVLO) 回路を使用しています。この回路は、電源電圧が内部回路の動作範囲  $V_{IN(min)}$  よりも低いときに、デバイスが予測不能な動作を発生しないことを保証します。

### 6.3.2 シャットダウン

イネーブル ピン (EN) はアクティブ High です。EN ピンが強制的に  $V_{EN(High)}$  を上回るようにして、デバイスをイネーブルにします。最大 EN ピンの Low レベル入力電圧を下回るように EN ピンを強制して、デバイスをオフにします（「電気的特性」表を参照）。シャットダウン機能が不要な場合は、EN ピンを IN に接続します。

### 6.3.3 フォールドバック電流制限

TPS730 には内部電流制限と過熱保護機能が搭載されています。通常動作時中、TPS730 は出力電流を約 400mA に制限します。電流制限が作動すると、出力電圧は過電流状態が終了するまで直線的に戻ります。電流制限はデバイスの全体的な故障を防ぐように設計されていますが、パッケージの消費電力定格やデバイスの絶対最大電圧定格を超えないように注意してください。

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリック ウォール フォールドバック方式です。フォールドバック電圧 ( $V_{FOLDBACK}$ ) では、電流制限はブリック ウォール方式からフォールドバック方式に遷移します。出力電圧が  $V_{FOLDBACK}$  を上回った際の高負荷電流障害では、ブリック ウォール方式により、出力電流が電流制限 ( $I_{CL}$ ) に制限されます。電圧が  $V_{FOLDBACK}$  を下回ると、フォールドバック電流制限が有効になり、出力電圧が GND に近付くと電流を小さくします。出力が短絡したとき、デバイスは短絡電流制限 ( $I_{SC}$ ) と呼ばれる標準的な電流を供給します。 $I_{CL}$  と  $I_{SC}$  は、「電気的特性」表に記載されています。

このデバイスでは、 $V_{FOLDBACK} = 0.4 \times V_{OUT(NOM)}$  です。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリック ウォール 電流制限にある場合、パストランジスタは電力  $[(V_{IN} - V_{OUT}) \times I_{CL}]$  を消費します。デバイスの出力が短絡され、出力が  $V_{FOLDBACK}$  を下回ると、パストランジスタは電力  $[(V_{IN} - V_{OUT}) \times I_{SC}]$  を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、『制限の把握』アプリケーションノートを参照してください。

図 6-5 は、フォールドバック電流制限の図を示しています。

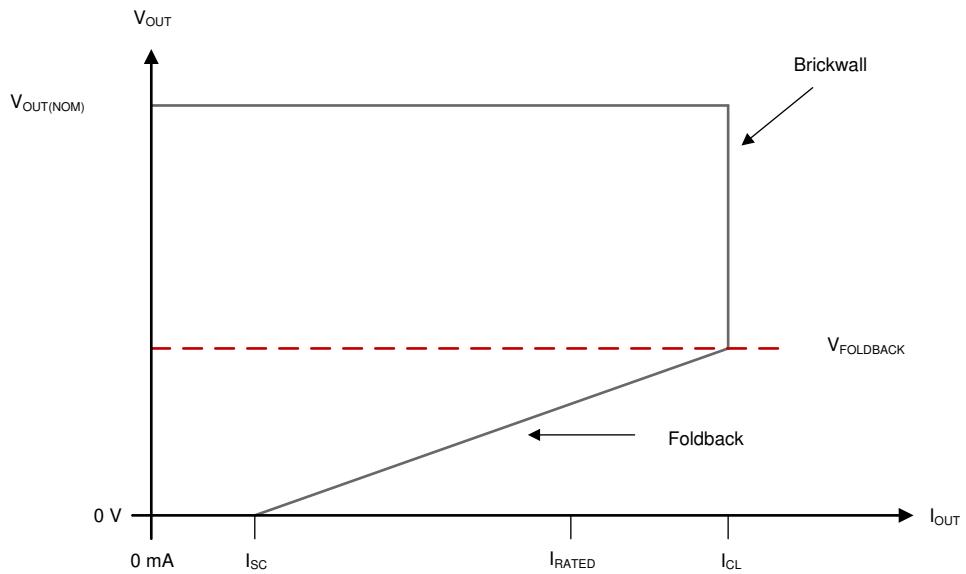


図 6-5. フォールドバック電流制限

## 6.4 デバイスの機能モード

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、[電気的特性](#) の表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ			
	$V_{IN}$	$V_{EN}$	$I_{OUT}$	$T_J$
通常モード	$V_{IN} > V_{OUT(nom)} + V_{DO}$ and $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(high)}$	$I_{OUT} < I_{LIM}$	$T_J < 125^{\circ}C$
ドロップアウト モード	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(high)}$	—	$T_J < 125^{\circ}C$
ディスエーブル モード (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < UVLO_{falling}$	$V_{EN} < V_{EN(low)}$	—	$T_J > 165^{\circ}C^{(1)}$

(1) サーマルシャットダウンの近似値。

### 6.4.1 通常動作

デバイスは、以下の条件下で公称出力電圧へのレギュレートを行います。

- 入力電圧は、少なくとも  $V_{IN(min)}$  と同じ高さです。
- 入力電圧は、ドロップアウト電圧に加算された公称出力電圧よりも大きくなっています。
- イネーブル電圧が  $V_{EN(min)}$  よりも高くなっています。
- 出力電流が、電流制限よりも小さいです。
- デバイスの接合部温度が、規定された最大接合部温度よりも低くなっています。

### 6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト モードで動作します。この動作モードの出力電圧は、入力電圧からドロップアウト電圧を引いた値と同じになります。パス デバイスがリニア領域内にあり、LDO によって電流の制御を行わないため、デバイスの過渡性能が大きく低下します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生することがあります。

### 6.4.3 ディセーブル

デバイスは次の条件でディセーブルされます。

- イネーブル電圧がイネーブル立ち下がりスレッショルド電圧を低いか、まだイネーブル立ち上がりスレッショルドを超えていない
- デバイスの接合部温度がサーマルシャットダウンのスレッショルド温度よりも高くなっている
- 入力電圧が  $UVLO_{falling}$  を下回っている

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

TPS730 低ドロップアウト (LDO) レギュレータは、ノイズに敏感なバッテリ動作機器での使用に最適化されています。このデバイスは超低ドロップアウト電圧、高 PSRR、超低出力ノイズ、低静止電流 (標準値 170μA) を特長とし、レギュレータがオフになったときは入力から消費電流を 1μA 未満に低減できます。

#### 7.1.1 可変動作

TPS73001 可変レギュレータの出力電圧は、図 7-1 に示すように外付け抵抗分圧器を用いて設定します。出力電圧は、式 1 を使用して求められます。

$$V_{OUT} = V_{REF} \times \left( 1 + \frac{R_1}{R_2} \right) \quad (1)$$

ここで

- $V_{REF} = 1.225V$  (代表値、内部リファレンス電圧)

抵抗  $R_1$  および  $R_2$  は、約 50μA の分圧電流となるように選定します。抵抗値を低くするとノイズ性能は向上しますが、その分このソリューションの消費電力が増加します。抵抗値を大きくすると、精度の問題や他の問題が発生する可能性があります。推奨される設計手順は、 $R_2 = 30.1k\Omega$  を選択してデバイス電流を 50μA に設定してから、安定性を確保するため  $C_1 = 15pF$  とし、式 2 を使用して  $R_1$  を計算することです。

$$R_1 = \left( \frac{V_{OUT}}{V_{REF}} - 1 \right) \times R_2 \quad (2)$$

可変バージョンの安定性を向上させるため、TI は OUT と FB 間に小容量の補償コンデンサを配置することを推奨しています。出力電圧が 1.8V 未満の場合、このコンデンサの値は 100pF にする必要があります。出力電圧が 1.8V を超える場合は、式 3 を使用して、このコンデンサのおおよその値を計算します。

$$C_1 = \frac{(3 \times 10^{-7}) \times (R_1 + R_2)}{(R_1 \times R_2)} \quad (3)$$

図 7-1 は、複数の抵抗比に対する、このコンデンサの推奨値を示しています。このコンデンサを使用しない場合 (ユニティゲイン構成の場合など)、または 1.8V 未満の出力電圧を選択した場合、推奨される最小出力コンデンサは 2.2μF ではなく 4.7μF になります。

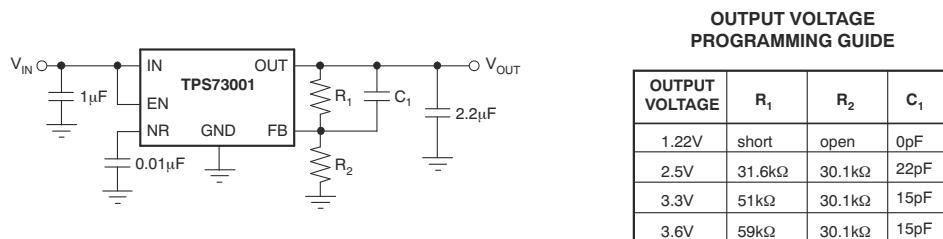


図 7-1. TPS73001 の可変 LDO レギュレータのプログラミング

### 7.1.2 コンデンサに関する推奨事項

入力、出力、ノイズ低減、およびバイパス キャパシタンスには、低 ESR (等価直列抵抗) コンデンサを使用します。X7R および X5R 誘電体を持つセラミック コンデンサを推奨します。これらの誘電体は、より安定した特性を提供します。X7R セラミック コンデンサは過熱性能が向上しているのに対して、X5R セラミック コンデンサはコスト効率が高く、値も大きくなります。

### 7.1.3 入出力コンデンサの要件

TPS730 の従来のチップでは、安定性を確保し、過渡応答、ノイズ除去、リップル除去を向上させるために、 $0.1\mu\text{F}$  以上の入力セラミック バイパス コンデンサが必要です (IN と GND の間に接続して、デバイスの近くに配置します)。立ち上がり時間の短い過大な負荷過渡が予想される場合、およびデバイスが電源から数インチの場所に配置される場合は、高い入力値のコンデンサが必要になる可能性があります。

TPS730 の新しいチップでは、安定性を確保し、過渡応答、ノイズ除去、リップル除去を向上させるために、 $1\mu\text{F}$  以上の入力セラミック バイパス コンデンサが必要です (IN と GND の間に接続し、デバイスの近くに配置します)。立ち上がり時間の短い過大な負荷過渡が予想される場合、およびデバイスが電源から数インチの場所に配置される場合は、高い入力値のコンデンサが必要になる可能性があります。

すべての低ドロップアウト レギュレータと同様、TPS730 では、内部制御ループを安定させるため、OUT と GND との間に出力コンデンサを接続する必要があります。推奨される最小デカップリング容量は  $2.2\mu\text{F}$  です。温度によって容量が大きく変化しない限り、 $2.2\mu\text{F}$  以上のセラミック コンデンサはすべて適しています。負荷電流が  $100\text{mA}$  を超えることが予想されない場合は、 $1\mu\text{F}$  セラミック コンデンサを使用できます。フィードフォワード コンデンサを使用しない場合 (ユニティゲイン構成の場合など)、または  $1.8\text{V}$  未満の出力電圧を選択した場合、推奨される最小出力コンデンサは  $2.2\mu\text{F}$  ではなく  $4.7\mu\text{F}$  になります。表 7-1 に、いくつかの一般的な構成の出力コンデンサの推奨サイズを示します。

表 7-1. 出力コンデンサのサイズ

条件	$C_{\text{OUT}} (\mu\text{F})$
$V_{\text{OUT}} < 1.8\text{V}$ または $C_{\text{FF}} = 0\text{nF}$	4.7
$V_{\text{OUT}} > 1.8\text{V}, I_{\text{OUT}} > 100\text{mA}$	2.2
$V_{\text{OUT}} > 1.8\text{V}, I_{\text{OUT}} < 100\text{mA}$	1

### 7.1.4 ノイズ低減およびフィードフォワード コンデンサの要件

内部電圧リファレンスは、LDO レギュレータにおける主要なノイズ源です。TPS730 (従来のチップ) は、NR ピンが  $250\text{k}\Omega$  の内部抵抗を介して電圧リファレンスに接続されています。 $250\text{-k}\Omega$  の内部抵抗と、NR ピンに接続された外付けバイパス コンデンサによってローパス フィルタが形成され、電圧リファレンスのノイズが低減されます。これによって、レギュレータの出力でのノイズも低減されます。レギュレータが正常に動作するためには、NR ピンから流れ出る電流が最小になる必要があります。これは、リーク電流の場合、内部抵抗の両端で IR 降下が発生し、出力誤差が生じるためです。したがって、バイパス コンデンサはリーク電流を最小限に抑える必要があります。「機能ブロック図」に示す内部スイッチにより提供されるクイックスタート時間中にコンデンサが完全に充電されることを確認するために、バイパス コンデンサは  $0.1\mu\text{F}$  以下にする必要があります。

注

$C_{\text{NR}}$  は必要ありません。代わりに、TPS730 (新しいチップ) には NC (未接続) ピンがあり、 $C_{\text{NR}}$  を維持してもデバイス性能には影響を与えません。

### 7.1.5 逆電流保護

TPS730 の従来のチップの PMOS パストランジスタにはバックダイオードが組み込まれており、入力電圧が出力電圧を下回ったとき (たとえばパワー ダウン時) に逆電流を伝導します。電流は出力から入力へ伝導され、内部で制限されません。長時間の逆電圧動作が予想される場合は、外部的な制限回路を使用することが適切になる可能性があります。長時間の逆電圧動作が予想される場合は、定格出力電流を外部で 5% に制限することをお勧めします。

TPS793 の新しいチップは、最新の LDO と同様、非常に逆電流が大きく、このデバイスが損傷する可能性があります。

逆電流は、通常の導通チャネルではなく、パス素子のボディダイオードを通って流れます。振幅が大きいと、この電流が流れることにより、次のいずれかの条件の結果としてデバイスの長期的な信頼性が低下します。

- エレクトロマイグレーションによる劣化
- 過度の放熱
- ラッチアップ条件が発生する可能性がある

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、 $V_{OUT} > V_{IN} + 0.3V$  の絶対最大定格を超える可能性があります。

- デバイスが大きな  $C_{OUT}$  を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、デバイスを保護するために外部保護を使用する必要があります。図 7-2 に、デバイスを保護するための 1 つのプローチを示します。

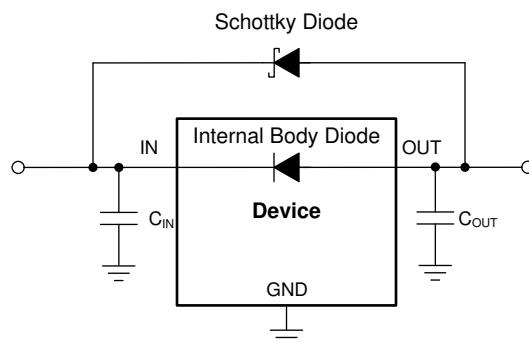


図 7-2. ショットキー ダイオードを使用した逆電流保護の回路例

## 7.2 代表的なアプリケーション

代表的なアプリケーション回路を図 7-3 に示します。

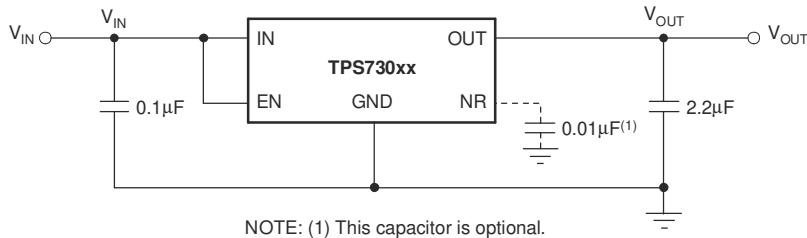


図 7-3. 代表的なアプリケーション回路

### 7.2.1 設計要件

表 7-2 は、設計要件をまとめたものです。

表 7-2. 設計パラメータ

パラメータ	設計要件
入力電圧	4.2V ~ 3V (リチウムイオンバッテリ)
出力電圧	1.8V、±1%
DC 出力電流	10mA
ピーク出力電流	75mA
最大周囲温度	65°C

### 7.2.2 詳細な設計手順

必要な出力電圧オプションを選択します。バッテリは 1μF の入力コンデンサをビア経由で入力に接続し、短い 10mil (= 0.01 インチ/1mil は 1/1000 インチ) パターンで接続します。10μF の出力コンデンサを使用して、負荷過渡に対して最適な応答時間を実現します。図 7-7 を参照して、最大接合部温度が超えないことを確認します。

### 7.2.3 アプリケーション曲線

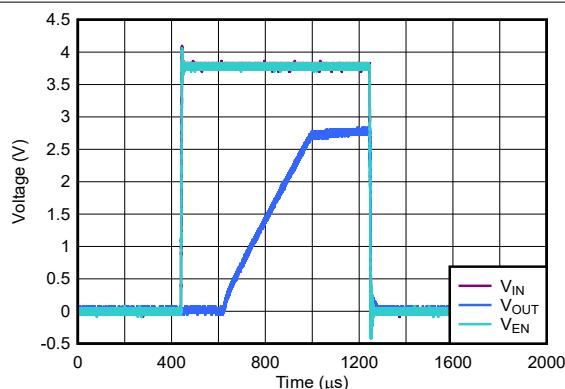


図 7-4. TPS730 出力電圧、イネーブル電圧と時間との関係 (スタートアップ)

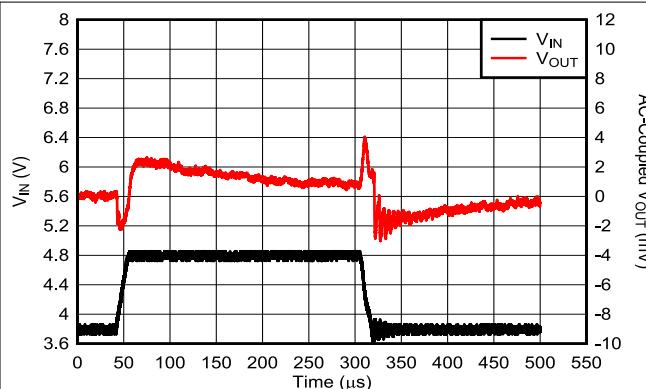


図 7-5. TPS730 のライン過渡応答

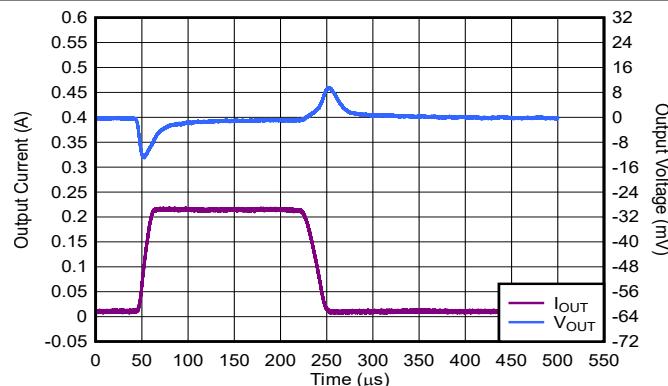


図 7-6. TPS730 の負荷過渡応答

### 7.3 設計のベスト プラクティス

レギュレータの OUT ピンと GND ピンとの間に、少なくとも 1 つの低 ESR  $2.2\mu\text{F}$  コンデンサをできるだけ近づけて配置します。

少なくとも 1 つの低 ESR  $0.1\mu\text{F}$  コンデンサを、レギュレータの IN ピンと GND ピンとの間のできるだけ近くに配置します。

十分な熱経路を、デバイスから離して配置してください。

入力コンデンサまたは出力コンデンサは、レギュレータから  $10\text{mm}$  以上離れた位置に配置しないでください。

絶対最大定格を超過してはなりません。

イネーブル (EN) ピンをフローティングにしないでください。

NR ピンに抵抗的または誘導的に負荷をかけないでください。

出力電圧が入力電圧を  $0.3\text{V}$  以上上回るようにしてください。

### 7.4 電源に関する推奨事項

これらのデバイスは、 $2.7\text{V} \sim 5.5\text{V}$  の入力電源電圧範囲で動作するよう設計されています。この入力電圧範囲は、デバイスが安定化出力を維持するのに十分なヘッドルームを提供する必要があります。この入力電源は、良好なレギュレーションで安定している必要があります。安定性のために  $0.1\mu\text{F}$  入力コンデンサが必要です。入力電源にノイズが多い場合、ESR の低い入力コンデンサを追加すると、出力ノイズ特性を改善できます。

### 7.5 レイアウト

#### 7.5.1 レイアウトのガイドライン

レイアウトは優れた電源設計のために重要な要素です。高速で変化する電流または電圧を通す信号路がいくつもあるため、浮遊インダクタンスや寄生容量によってノイズが発生したり、電源の性能が低下したりする可能性があります。これらの問題をなくすために、IN ピンは、X5R または X7R 誘電体を使用した低 ESR のセラミック バイパス コンデンサを使用してグランドにバイパスする必要があります。

等価直列インダクタンス (ESL) および等価直列抵抗 (ESR) を最小限に抑えて、性能を最大限に高め、安定性を確保します。各コンデンサ ( $C_{IN}$ ,  $C_{OUT}$ ,  $C_{NR/SS}$ ,  $C_{FF}$ ) は可能な限りデバイスに近く、PCB 上でレギュレータと同じ面に配置する必要があります。

PCB 上でレギュレータが設置されている面と反対の面にコンデンサを配置しないでください。ビアと長いパターンを使用するとシステム性能に悪影響を及ぼし、不安定になる可能性があるため、使用しないよう強くお勧めします。

### 7.5.1.1 PSRR およびノイズ性能向上のための推奨基板レイアウト

PSRR、出力ノイズ、過渡応答などの AC 測定を向上させるために、TI は基板設計において  $V_{IN}$  と  $V_{OUT}$  に別々のグランドプレーンを設け、各グランドプレーンをデバイスの GND ピンのみで接続することをお勧めします。さらに、バイパスコンデンサのグランド接続部はデバイスの GND ピンに直接接続する必要があります。

### 7.5.1.2 熱に関する注意事項

過熱保護機能は、接合部温度が約  $165^{\circ}\text{C}$  に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約  $140^{\circ}\text{C}$  まで冷却されると、出力回路が再びオンになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン / オフを繰り返します。このサイクルによりレギュレータの消費電力が制限され、過熱による損傷からデバイスを保護します。

過熱保護回路が作動する傾向がある場合、消費電力が過剰であるか、ヒートシンクが不十分であることを示しています。信頼性の高い動作のために、接合部温度を  $125^{\circ}\text{C}$  以下に制限する必要があります。設計全体（ヒートシンクを含む）の安全率を推定するためには、周囲温度を上昇させて過熱保護が作動することを確認します。その際、ワーストケースの負荷と信号条件を使用してください。

TPS730 の内部保護回路は、過負荷状態から保護するように設計されています。この回路は、適切なヒートシンクの代わりとなるものではありません。TPS730 のサーマル シャットダウンが作動する状態で使用を続けると、信頼性が低下します。

### 7.5.1.3 電力散逸

指定されたレギュレータ動作は、接合部温度  $+125^{\circ}\text{C}$  まで保証されています。通常動作条件では、最大接合部温度を  $+125^{\circ}\text{C}$  に制限する必要があります。この制限により、特定のアプリケーションにおいてレギュレータが処理する消費電力を制限できます。接合部温度が許容される制限内であることを保証するには、最大許容消費電力  $P_{D(max)}$  および実際の消費電力  $P_D$  を計算し、これが  $P_{D(max)}$  以下であることを確認します。

最大消費電力制限は、式 4 で決定されます。

$$P_{D(max)} = \frac{T_{Jmax} - T_A}{R_{\theta JA}} \quad (4)$$

ここで

- $T_{Jmax}$  は、許容される最大の接合部温度です。
- $R_{\theta JA}$  は、パッケージの接合部から周囲への熱抵抗です（「[熱に関する情報](#)」の表を参照）。
- $T_A$  は周囲温度

レギュレータの消費電力は、式 5 を使用して計算します。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (5)$$

静止電流による消費電力は無視できます。消費電力が過剰になると、過熱保護回路がトリガされます。

図 7-7 に、TPS730 の最大周囲温度と消費電力との関係を示します。この図では、デバイスを JEDEC 規格の High-K レイアウトに半田付けし、基板にエアフローがないことを想定しています。実際の基板の熱インピーダンスは大きく異なります。アプリケーションで高い消費電力が必要な場合、基板の温度と熱インピーダンスをよく理解することで、TPS730 が  $125^{\circ}\text{C}$  の接合部温度を超えて動作するのを防止できます。

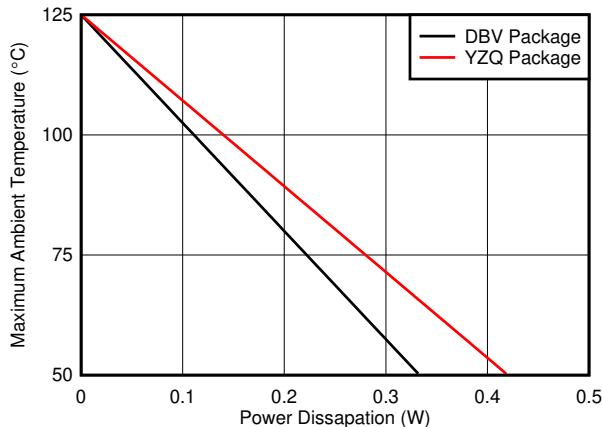


図 7-7. 最大周囲温度と消費電力との関係

熱に関する情報の表に示されているように、接合部温度の推定は、熱指標  $\Psi_{JT}$  と  $\Psi_{JB}$  を使用して行うことができます。これらの指標は、ダイとパッケージの熱伝達特性を  $R_{\theta JA}$  よりも正確に表現したものです。接合部温度は、式 6 で計算できます。

$$\Psi_{JT}: T_J = T_T + \Psi_{JT} \cdot P_D$$

$$\Psi_{JB}: T_J = T_B + \Psi_{JB} \cdot P_D$$

(6)

ここで

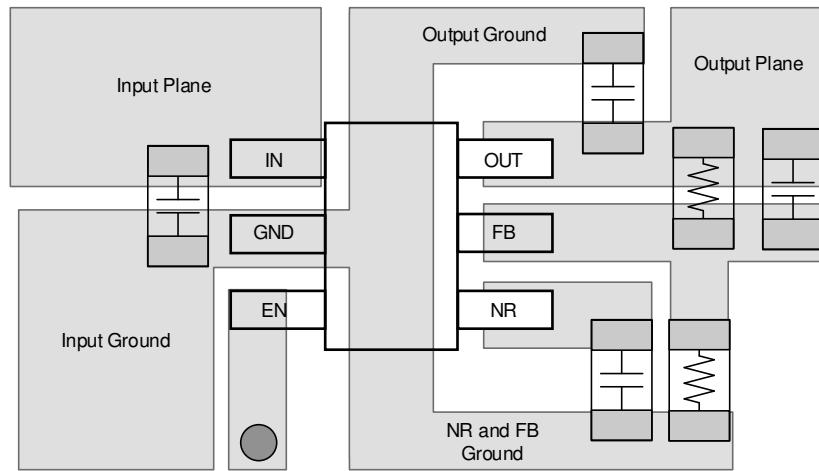
- $P_D$  は、式 5 で説明されている消費電力です
- $T_T$  は、デバイスパッケージの中央上部の温度
- $T_B$  は、「PCB 表面上」でデバイスパッケージから 1mm 離れた場所で測定された PCB 温度です

#### 注

$T_T$  と  $T_B$  の両方は、熱ガン (赤外線温度計) を使用して実際のアプリケーションボードで測定できます。

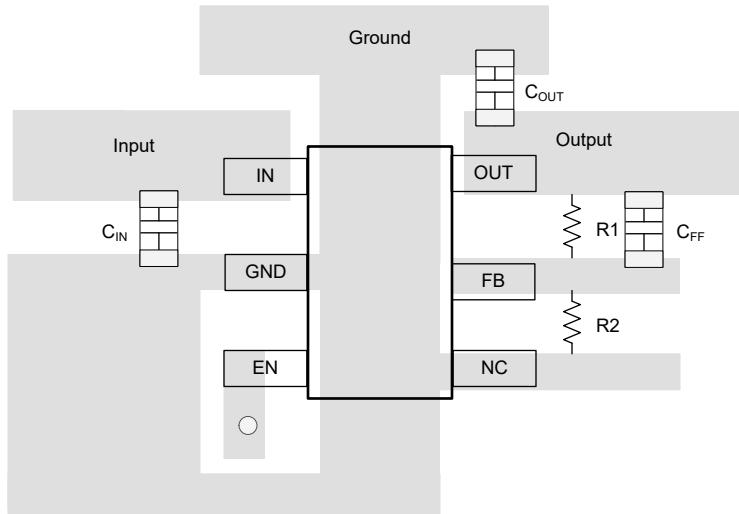
$T_T$  と  $T_B$  の測定の詳細については、新しい熱評価基準の使用アプリケーションノートを参照してください。このアプリケーションノートは [www.ti.com](http://www.ti.com) からダウンロードできます。

### 7.5.2 レイアウト例



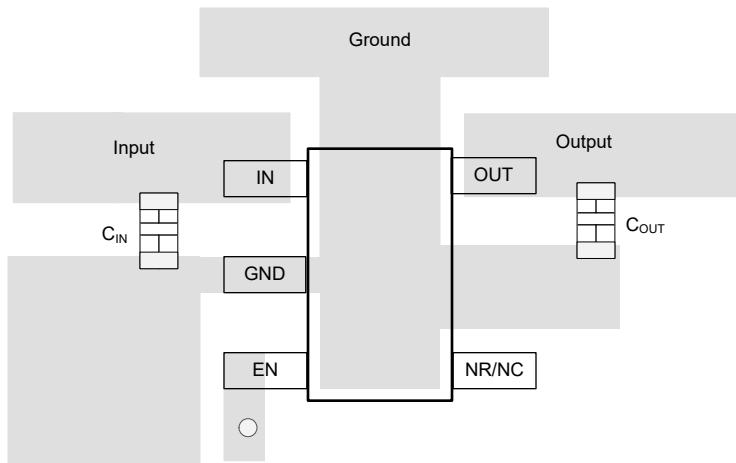
● Denotes via

図 7-8. レイアウト例 (DBV 可変パッケージ、従来のチップ)



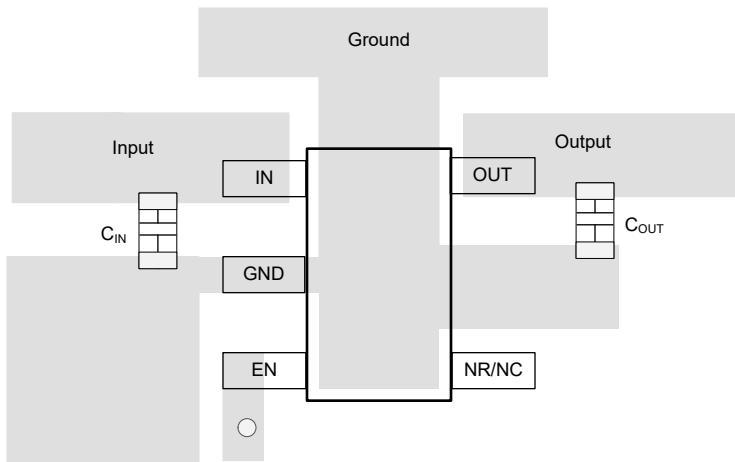
○ Denotes a via to a connection made on another layer

図 7-9. レイアウト例 (DBV 可変パッケージ、新しいチップ)



○ Denotes a via to a connection made on another layer

図 7-10. レイアウト例 (DBV 固定パッケージ、新しいチップ)



○ Denotes a via to a connection made on another layer

図 7-11. レイアウト例 (DBV 固定パッケージ、新しいチップ)

## 8 デバイスおよびドキュメントのサポート

### 8.1 デバイス サポート

#### 8.1.1 開発サポート

##### 8.1.1.1 SPICE モデル

SPICE による回路パフォーマンスのコンピュータ シミュレーションは、アナログ回路やシステムのパフォーマンスを分析するため多くの場合に有用です。TPS730 用の SPICE モデルは、製品フォルダの「ツールとソフトウェア」から入手できます。

##### 8.1.2 デバイスの命名規則

表 8-1. 注文情報

製品 <sup>(1)</sup> (2)	説明
TPS730 <sup>xx</sup> <sup>yy</sup> <sup>yy</sup> z M3	<b>xx</b> は公称出力電圧です (例: 28 = 2.8V, 285 = 2.85V, 01 = 可変)。 <b>yy</b> はパッケージ指定子です。 <b>z</b> はパッケージ数量です。R はリール (3000 ピース)、T はテープ (250 ピース) を表します。 <b>M3</b> は、最新の製造フロー (CSO: RFB) を用いて出荷されます。この接尾辞がないデバイスは、従来のチップ (CSO: DLN) または新しいチップ (CSO: RFB) を用いて出荷されます。リール包装ラベルには、使用されているチップを識別するための CSO 情報が記載されています。本書では、新旧チップごとのデバイス性能について説明しています。

- (1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、[www.ti.com](http://www.ti.com) にあるデバイスの製品フォルダをご覧ください。
- (2) 出力電圧は、1.2V から 4.8V まで、50mV 刻みで設定できます。詳細と在庫については、工場にお問い合わせください。

### 8.2 ドキュメントのサポート

#### 8.2.1 関連資料

- ・『新しい熱評価基準の使用』、[SBVA025](#)
- ・『低ドロップアウトレギュレータでフィードフォワードコンデンサを使用することの長所と短所』、[SBVA042](#)

### 8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 8.7 用語集

### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from Revision J (April 2015) to Revision K (June 2025)

	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• ドキュメントに新しいシリコン (M3) デバイスを追加.....	1
• ドキュメント全体を変更し、従来のチップと新しいチップの機能と相違点、およびデバイスの可変バージョンと固定バージョンを識別してください.....	1
• 「特長」、「アプリケーション」、「概要」セクションを変更 .....	1
• 表紙の図を変更.....	1
• 「ピン構成および機能」セクションを変更: DBV ピン配置 NR ピンを NC/NR に変更、「ピン機能」の表にノイズ性能を低減するための TPS7A20 への参照とともに NC/NR ピンの行を追加.....	3
• 「代表的特性」セクションに新しいシリコン曲線を追加.....	7
• 「概要」セクションの静止電流の説明から「(170 $\mu$ A 標準値)」を削除.....	12
• 「機能ブロック図」セクションを変更.....	12
• 「シャットダウン」セクションを変更.....	14
• 「フォールドバック電流制限」セクションを変更.....	14
• 「入出力コンデンサの要件」セクションを変更.....	18
• 「逆電流動作」セクションを変更 .....	19
• 「詳細な設計手順」セクションの入力コンデンサの値を「0.1 $\mu$ F」から「1 $\mu$ F」に変更.....	20
• 「アプリケーション曲線」セクションを変更.....	20
• 「レイアウト例」セクションに新しい図を追加.....	24
• 「注文情報」表に M3 の情報を追加.....	26

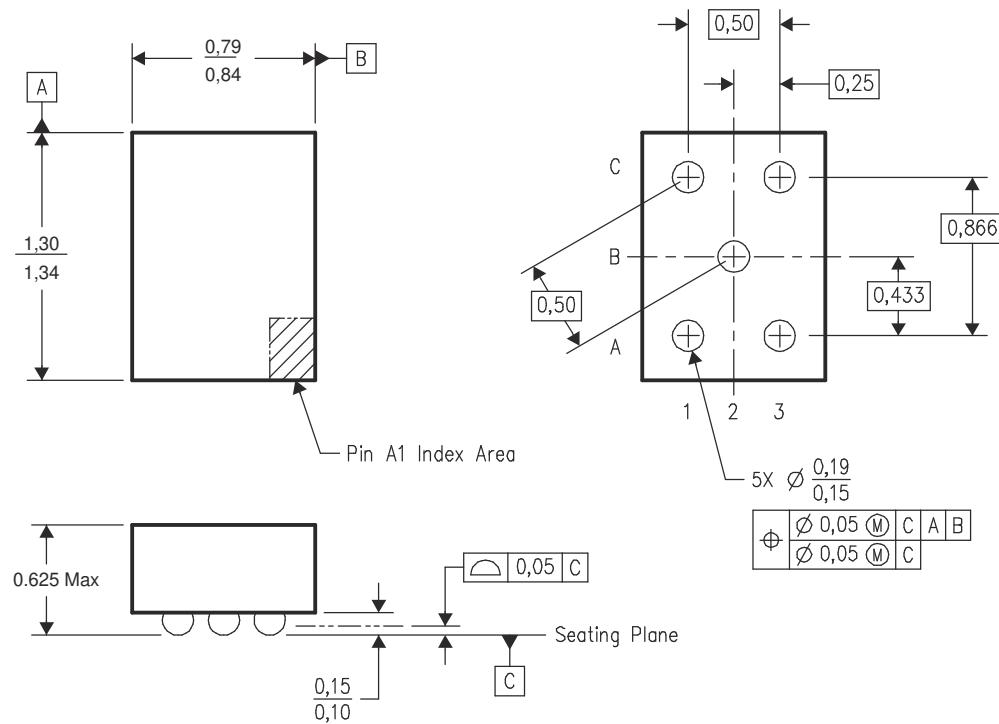
### Changes from Revision I (February 2011) to Revision J (April 2015)

	Page
• 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。 .....	1
• 「特長」リストの 4 番目の箇条書き項目を「低ノイズ」に変更 .....	1
• 表紙の図を変更.....	1
• 「ピン構成および機能」セクションを追加.....	3
• 「代表的特性」に条件文を追加.....	7
• 「注文情報」を「デバイス命名規則」セクションに移動.....	26

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 10.1 TPS730YZQ Nanostar™ ウエハー チップ スケール情報



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. NanoStar™ package configuration.
  - D. This package is tin-lead (SnPb); consult the factory for availability of lead-free material.

NanoStar is a trademark of Texas Instruments.

図 10-1. Nanostar™ ウエハー チップ スケール パッケージ

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">TPS73001DBVR</a>	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGVI
TPS73001DBVR.A	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGVI
<a href="#">TPS73001DBVRG4</a>	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGVI
TPS73001DBVRG4.A	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGVI
<a href="#">TPS73001DBVRM3</a>	Active	Production	SOT-23 (DBV)   6	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PGVI
<a href="#">TPS73001DBVT</a>	Active	Production	SOT-23 (DBV)   6	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGVI
TPS73001DBVT.A	Active	Production	SOT-23 (DBV)   6	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGVI
<a href="#">TPS73001DBVTG4</a>	Active	Production	SOT-23 (DBV)   6	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGVI
<a href="#">TPS73018DBVR</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHII
TPS73018DBVR.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHII
TPS73018DBVRG4	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHII
TPS73018DBVRG4.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHII
<a href="#">TPS73018DBVRM3</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PHII
<a href="#">TPS73018DBVT</a>	Active	Production	SOT-23 (DBV)   5	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHII
TPS73018DBVT.A	Active	Production	SOT-23 (DBV)   5	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHII
TPS73018DBVTG4	Active	Production	SOT-23 (DBV)   5	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHII
<a href="#">TPS73025DBVR</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGWI
TPS73025DBVR.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGWI
TPS73025DBVRG4	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGWI
TPS73025DBVRG4.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGWI
<a href="#">TPS73025DBVRM3</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PGYI
<a href="#">TPS73025DBVT</a>	Obsolete	Production	SOT-23 (DBV)   5	-	-	Call TI	Call TI	-40 to 125	PGWI
<a href="#">TPS730285DBVR</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHII
TPS730285DBVR.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHII
<a href="#">TPS730285DBVT</a>	Obsolete	Production	SOT-23 (DBV)   5	-	-	Call TI	Call TI	-40 to 125	PHII
<a href="#">TPS73028DBVR</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGXI
TPS73028DBVR.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGXI
TPS73028DBVRG4	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGXI
<a href="#">TPS73028DBVT</a>	Obsolete	Production	SOT-23 (DBV)   5	-	-	Call TI	Call TI	-40 to 125	PGXI

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73028YZQT	Obsolete	Production	DSBGA (YZQ)   5	-	-	Call TI	Call TI	-40 to 125	E2
TPS73030DBVR	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGYI
TPS73030DBVR.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGYI
TPS73030DBVRG4	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGYI
TPS73030DBVRG4.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGYI
TPS73030DBVRM3	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PGYI
TPS73033DBVR	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHUI
TPS73033DBVR.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHUI
TPS73033DBVRG4	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHUI
TPS73033DBVRG4.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHUI
TPS73033DBVRM3	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PHUI
TPS73033DBVBT	Active	Production	SOT-23 (DBV)   5	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHUI
TPS73033DBVBT.A	Active	Production	SOT-23 (DBV)   5	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHUI
TPS73033DBVTG4	Active	Production	SOT-23 (DBV)   5	250   SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHUI
TPS73047DBVR	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PETI
TPS73047DBVR.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PETI

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

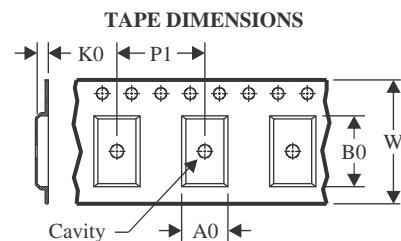
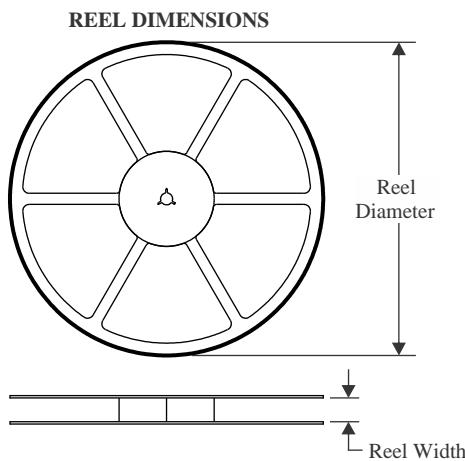
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

---

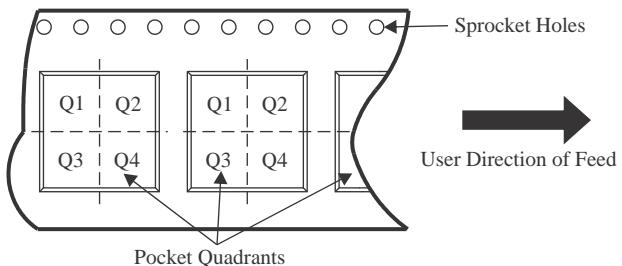
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**


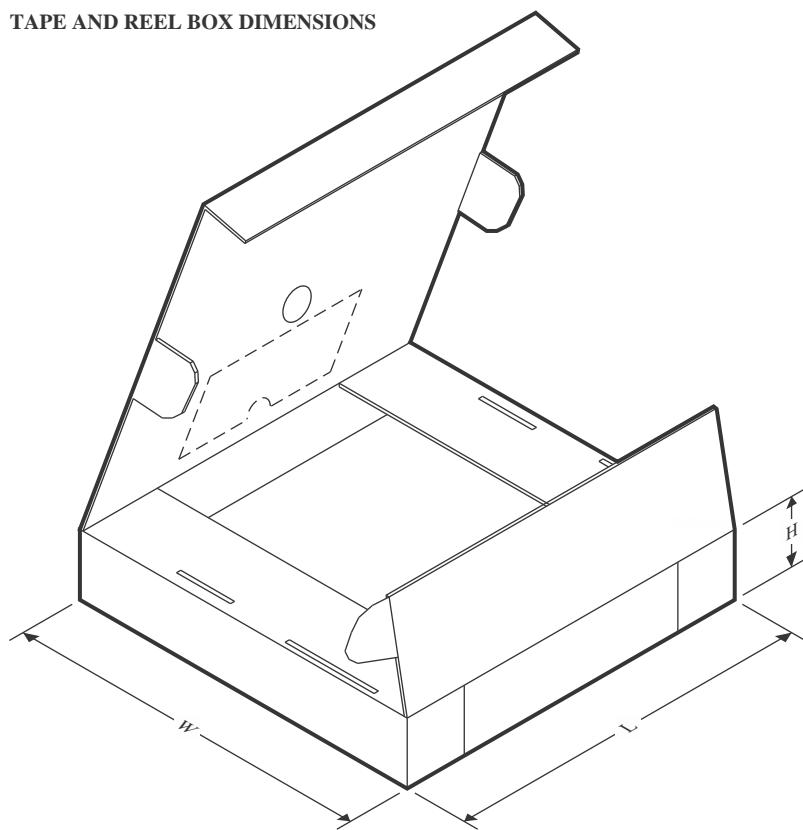
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73001DBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73001DBVRG4	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73001DBVRG4	SOT-23	DBV	6	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73001DBVRM3	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73001DBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73001DBVTG4	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73018DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73018DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73018DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73018DBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73018DBVTG4	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73025DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73025DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73025DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS730285DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73028DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73030DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73030DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73030DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73033DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73033DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73033DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73033DBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73033DBVTG4	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73047DBVR	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73001DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
TPS73001DBVRG4	SOT-23	DBV	6	3000	180.0	180.0	18.0
TPS73001DBVRG4	SOT-23	DBV	6	3000	200.0	183.0	25.0
TPS73001DBVRM3	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS73001DBVT	SOT-23	DBV	6	250	180.0	180.0	18.0
TPS73001DBVTG4	SOT-23	DBV	6	250	180.0	180.0	18.0
TPS73018DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73018DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73018DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73018DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS73018DBVTG4	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS73025DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73025DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73025DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS730285DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73028DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73030DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73030DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0

---

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73030DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73033DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73033DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73033DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73033DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS73033DBVTG4	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS73047DBVR	SOT-23	DBV	5	3000	200.0	183.0	25.0

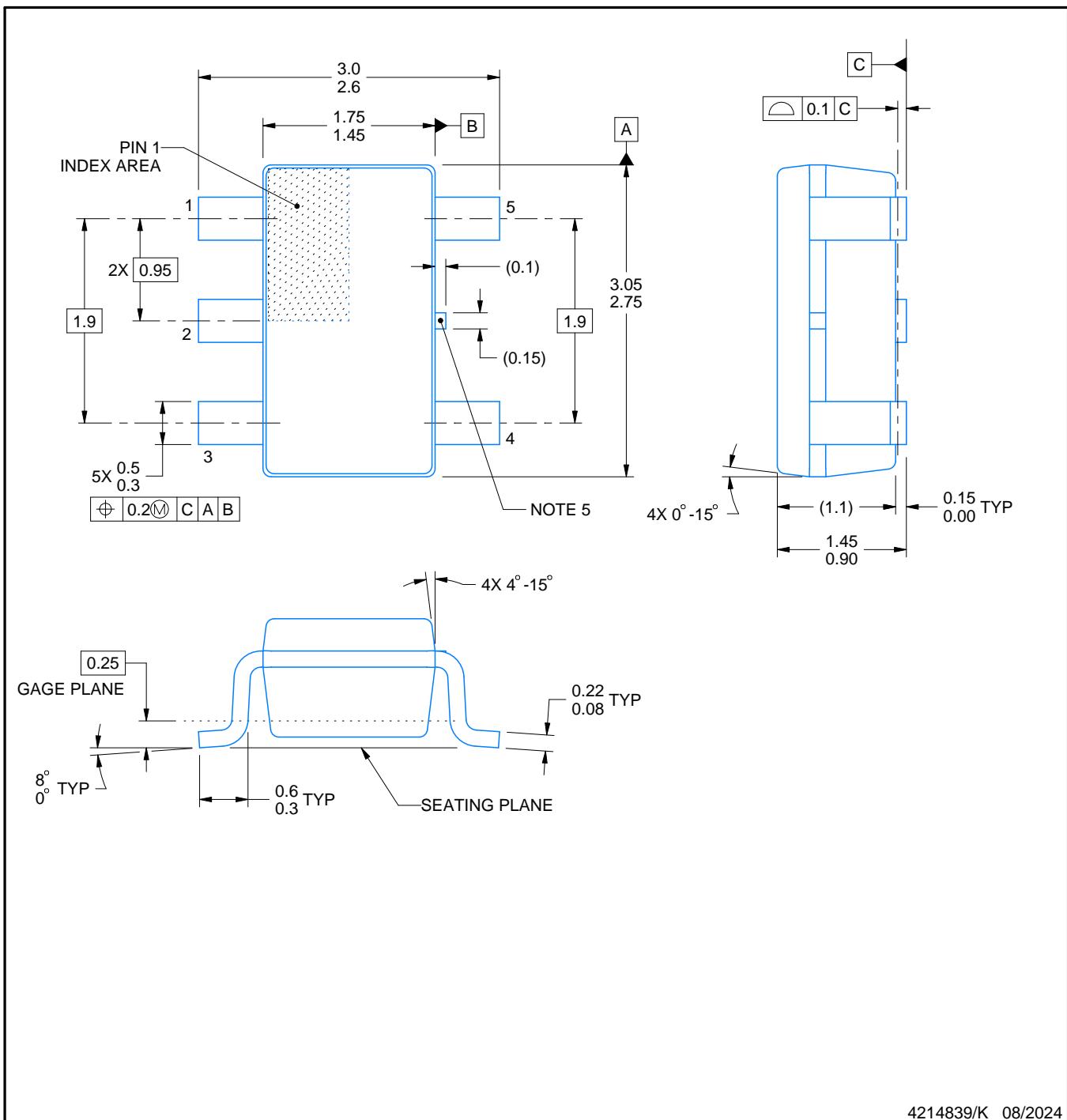
# PACKAGE OUTLINE

DBV0005A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

## NOTES:

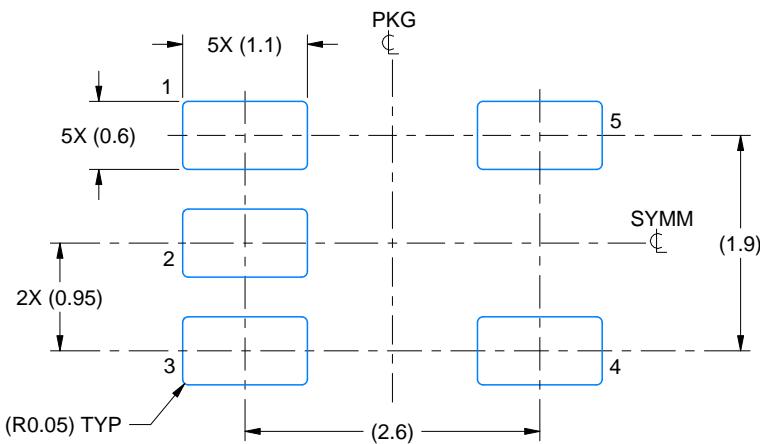
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

# EXAMPLE BOARD LAYOUT

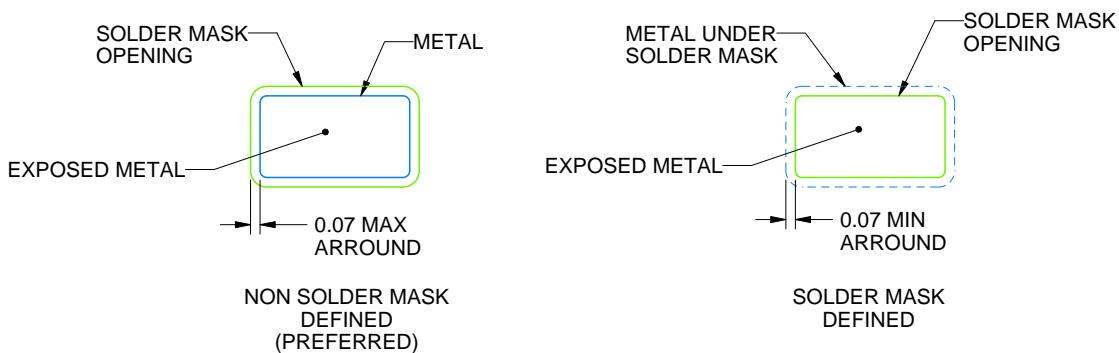
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

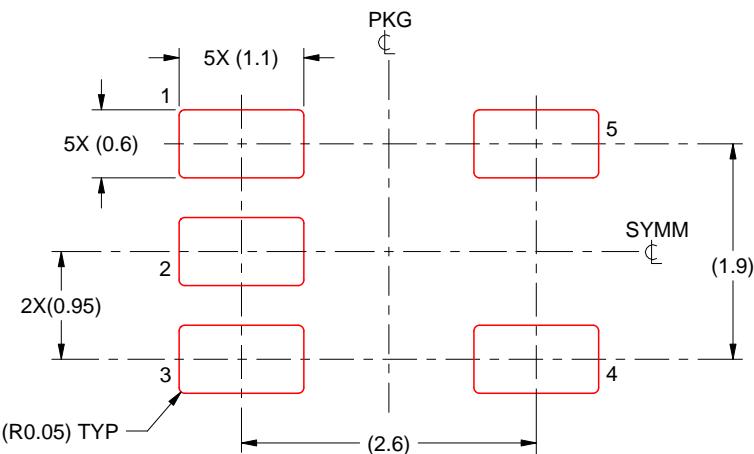
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

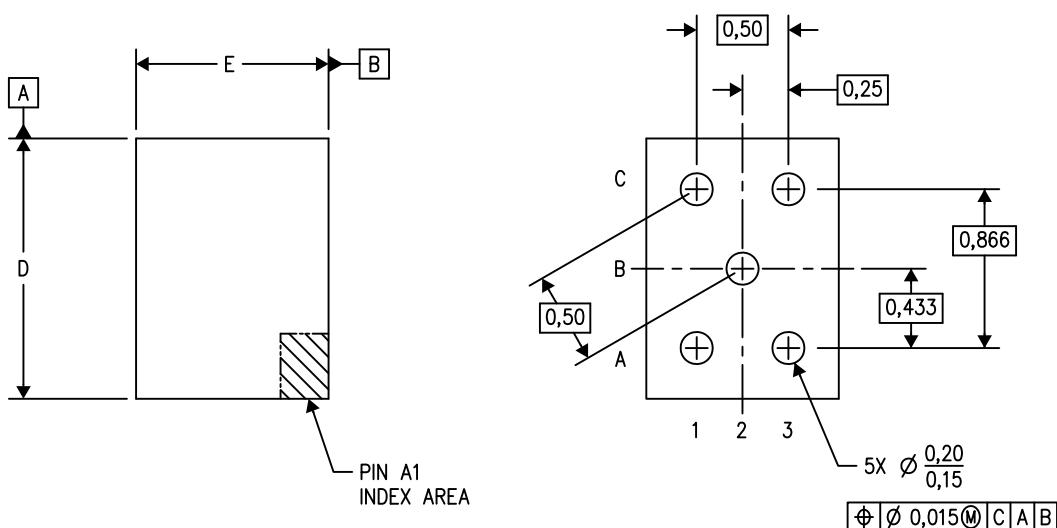
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

YZQ (R-XBGA-N5)

DIE-SIZE BALL GRID ARRAY



BOTTOM VIEW

4205677/D 07/13

- Notes:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - This drawing is subject to change without notice.
  - NanoFree™ package configuration.

NanoFree is a trademark of Texas Instruments.

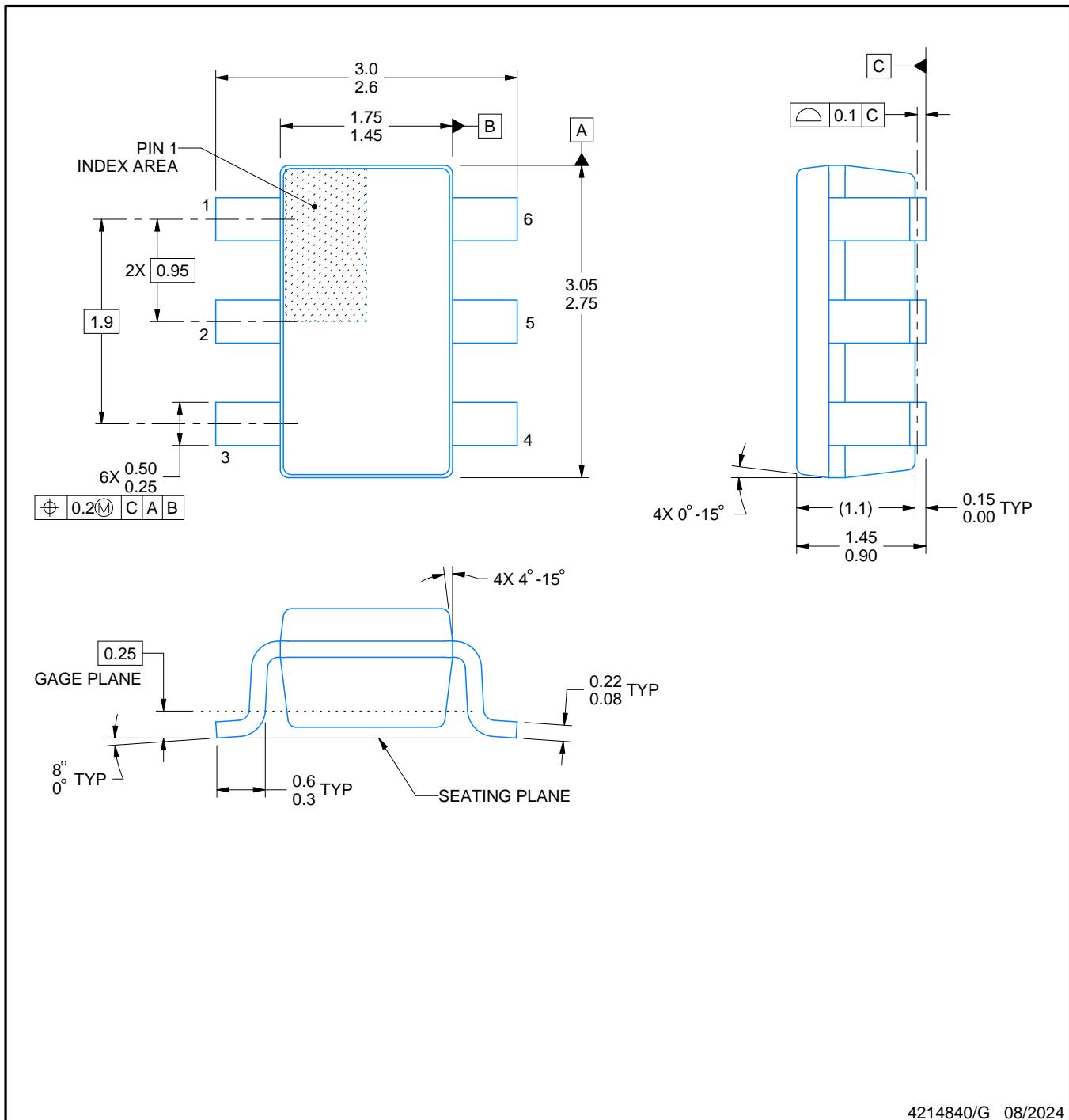
## PACKAGE OUTLINE

**DBV0006A**



## **SOT-23 - 1.45 mm max height**

## SMALL OUTLINE TRANSISTOR



#### NOTES:

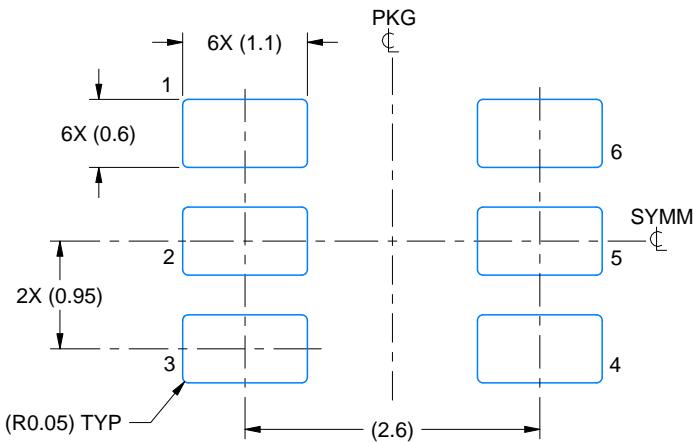
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
  4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
  5. Reference JEDEC MO-178.

# EXAMPLE BOARD LAYOUT

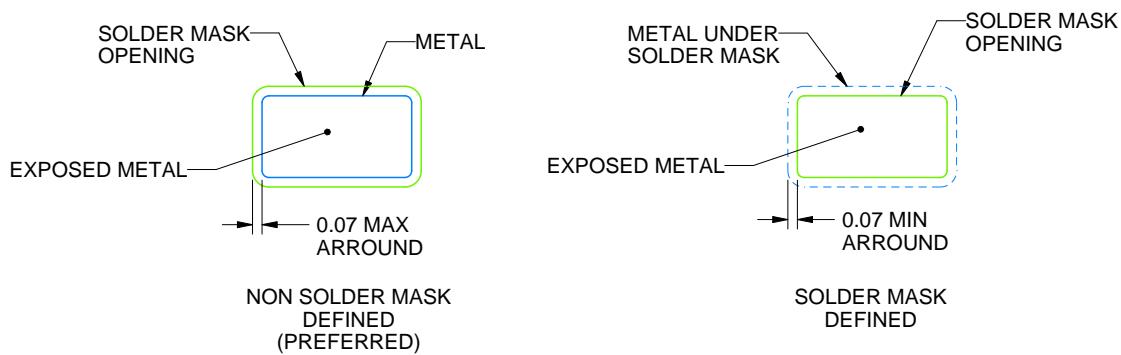
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

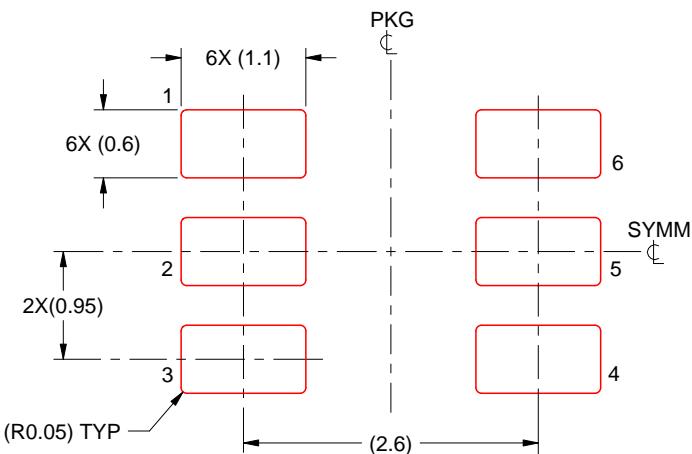
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated