TPS731 コンデンサフリー、NMOS、150mA、逆電流保護機能付き低ドロップアウトレギュレータ

1 特長

- あらゆる種類のコンデンサの有無にかかわらず安定動作
- 入力電圧範囲:1.7V～5.5V
- 非常に低いドロップアウト電圧:30mV 典型値 (150mA 負荷時)
- オプションの出力コンデンサの有無にかかわらず非常に優れた負荷過渡応答
- 新しい NMOS トポロジにより、逆漏れ電流を低減
- 低ノイズ:30μV_{RMS} (標準値、10kHz～100kHz)
- 0.5% の初期精度
- ライン、負荷、温度の全範囲にわたって 1% の総合精度
- シャットダウン モードの最大 I_Q:1µA 未満
- サーマル シャットダウンおよび指定された最小 / 最大電流制限保護
- 複数の出力電圧バージョンが利用可能:
  - 固定出力:1.20V ～ 5V
  - 可変出力: 1.2V ～ 5.5V
  - カスタム出力品も提供

2 アプリケーション

- スマート グリッド / エネルギー
- ビル オートメーション
- セットトップ ボックス
- 医療用機器
- 試験および測定機器
- POS 端末
- ワイヤレス インフラ

3 説明

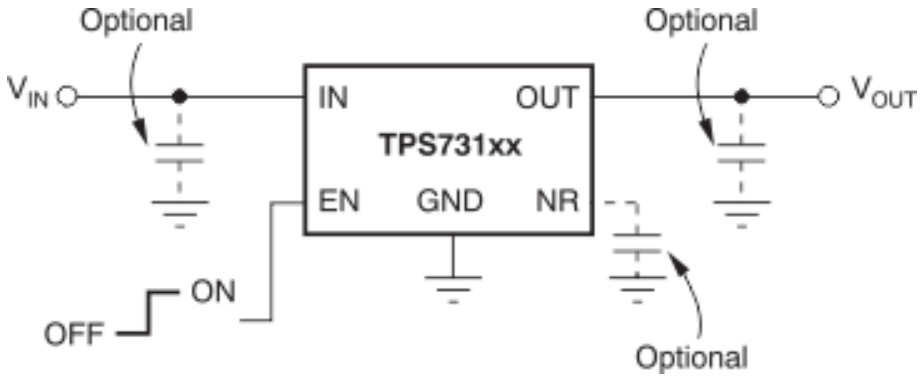
TPS731 低ドロップアウト (LDO) リニア電圧レギュレータは、電圧フォロワ構成で NMOS パス過渡を使用します。このトポロジは、低等価直列抵抗 (ESR) の出力コンデンサを使用して安定に動作し、コンデンサを使用しなくても動作できます。また、このデバイスは逆耐圧が高く (低逆電流)、グランド ピン電流が全出力電流値にわたってほぼ一定です。

TPS731 は、非常に低いドロップアウト電圧と小さいグランド ピン電流を実現すると同時に、先進の BiCMOS プロセスを使用することで高い精度を達成しています。ディセーブル時の消費電流は 1µA 未満であり、携帯型アプリケーション向けに設計されています。非常に小さい出力ノイズ (0.1µF の C_{NR} で 30μV_{RMS}) は、VCO への電力供給向けに設計されています。このデバイスは、サーマル シャットダウンとフォールドバック電流制限によって保護されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS731	DBV (SOT-23、5)	2.9mm × 2.8mm

(1) 詳細については、メカニカル、パッケージ、および注文情報 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路 (固定電圧バージョン)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....5
5.6 代表的特性.....6
6 詳細説明.....15
6.1 概要.....15
6.2 機能ブロック図.....15
6.3 機能説明.....16
6.4 デバイスの機能モード.....17
7 アプリケーションと実装.....18
7.1 アプリケーション情報.....18
7.2 代表的なアプリケーション.....18
7.3 電源に関する推奨事項.....20
7.4 レイアウト.....20
8 デバイスおよびドキュメントのサポート.....22
8.1 デバイス サポート.....22
8.2 ドキュメントのサポート.....22
8.3 ドキュメントの更新通知を受け取る方法.....22
8.4 サポート・リソース.....22
8.5 商標.....22
8.6 静電気放電に関する注意事項.....22
8.7 用語集.....23
9 改訂履歴.....23
10 メカニカル、パッケージ、および注文情報.....23

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

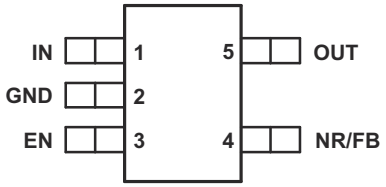


図 4-1. DBV パッケージ、 5 ピン SOT-23、 上面図

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
EN	3	I	イネーブルピン (EN) を high にすると、レギュレータが動作します。このピンを low にすると、レギュレータはシャットダウンモードに移行します。詳細については、「イネーブルおよびシャットダウン」セクションを参照してください。EN を使用しない場合は、IN に接続できます。
FB	4	I	可変電圧バージョンの場合のみ、これは制御ループのエラーアンプへの入力であり、デバイスの出力電圧を設定するために使用されます。
GND	2	—	グランド。
IN	1	I	入力電源。
NR	4	—	固定電圧バージョンの場合のみ、このピンに外部コンデンサを接続すると、内部バンドギャップによって生成されるノイズがバイパスされし、出力ノイズを非常に低いレベルまで低減されます。
OUT	5	O	レギュレータの出力。安定性のために出力コンデンサは必要ありません。

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電圧	入力、V_{IN}	-0.3	6	V
	イネーブル、V_{EN}	-0.3	6	
	出力、V_{OUT}	-0.3	5.5	
	V_{NR}、V_{FB}	-0.3	6	
電流	最大出力、I_{OUT}	内部的に制限		
出力短絡時間		無制限		
連続総許容損失	P_{DISS}	*熱に関する情報* 参照		
温度	動作時の接合部温度、T_J	-55	150	°C
	保存、T_{stg}	-65	150	

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧	1.7		5.5	V
I_{OUT}	出力電流	0		150	mA
T_J	動作時接合部温度	-40		125	°C

5.4 熱に関する情報

熱評価基準(1)		TPS731 新しいシリコン	TPS731 レガシーシリコン	単位
		DBV (SOT-23)	DBV (SOT-23)	
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	185.2	207.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	82.9	124.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	53.1	35	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	21.1	13.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	52.7	34.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

動作温度範囲 (T_J = –40°C ～ 125°C)、V_{IN} = $V_{OUT(nom)}$+ 0.5V[1] 、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF (特に記述のない限り)。標準値は T_J = 25°C 時に測定

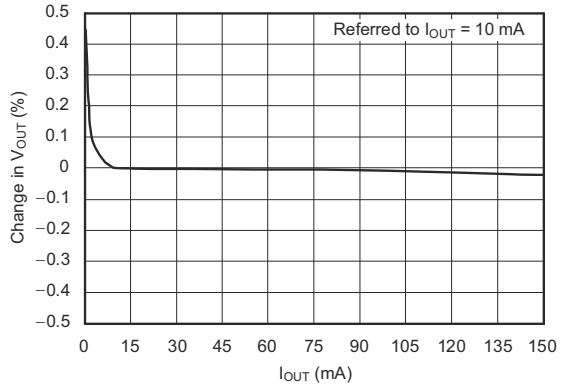
パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IN}	入力電圧範囲[1]			1.7		5.5	V
V_{FB}	内部リファレンス (TPS73101)	T_J = 25°C		1.198	1.204	1.210	V
V_{OUT}	出力電圧範囲 (TPS73101)[2]			V_{FB}		5.5 - V_{DO}	V
	精度[1] [3]	公称	T_J = 25°C	-0.5		0.5	%
		V_{IN}、I_{OUT}、および T	V_{OUT} + 0.5V ≦ V_{IN} ≦ 5.5V、10mA ≦ I_{OUT} ≦ 150mA	-1	±0.5	1	
$\Delta V_{OUT(\Delta VIN)}$	ライン レギュレーション [1]	$V_{OUT(nom)}$ + 0.5V ≦ V_{IN} ≦ 5.5V			0.01		%/V
$\Delta V_{OUT(\Delta IOUT)}$	ロード レギュレーション	1mA ≤ I_{OUT} ≤ 150mA			0.002		%/mA
$\Delta V_{OUT(\Delta IOUT)}$	ロード レギュレーション	10mA ≤ I_{OUT} ≤ 150mA			0.0005		%/mA
V_{DO}	ドロップアウト電圧[4] (V_{IN} = $V_{OUT(NOM)}$ - 0.1V)	I_{OUT} = 150mA			30	100	mV
$Z_{O(DO)}$	ドロップアウト時の出力インピーダンス	1.7V ≦ V_{IN} ≦ V_{OUT} + V_{DO}			0.25		Ω
I_{CL}	出力電流制限	V_{OUT} = 0.9 × $V_{OUT(nom)}$		150	360	500	mA
I_{SC}	短絡電流	V_{OUT} = 0V			200		mA
I_{REV}	逆リーク電流[5] (-I_{IN})	V_{EN} ≦ 0.5V、0V ≦ V_{IN} ≦ V_{OUT}			0.1	10	µA
I_{GND}	グランド ピン電流	I_{OUT} = 10mA (I_Q)、レガシー シリコン			400	550	µA
		I_{OUT} = 10mA (I_Q)、新しいシリコン			400	630	
I_{GND}	グランド ピン電流	I_{OUT} = 10mA (I_Q)、V_{OUT} = 5V のみ、新しいシリコン			580	700	µA
I_{GND}	グランド ピン電流	I_{OUT} = 150mA			550	750	µA
I_{GND}	グランド ピン電流	I_{OUT} = 150mA、V_{OUT} = 5V のみ、新しいシリコン			700	850	µA
I_{SHDN}	シャットダウン時の電流 (I_{GND})	V_{EN} ≦ 0.5V、V_{OUT} ≦ V_{IN} ≦ 5.5V、–40°C ≦ T_J ≦ 100°C、レガシーシリコン			0.02	1	µA
		V_{EN} ≦ 0.5V、V_{OUT} ≦ V_{IN} ≦ 5.5V、新しいシリコン			0.02	1	
I_{FB}	帰還ピン電流 (TPS73101)				0.1	0.3	µA
PSRR	電源電圧変動除去比 (リップル除去)	f = 100Hz、I_{OUT} = 150mA			58		dB
		f = 10kHz、I_{OUT} = 150mA			37		
V_N	出力ノイズ電圧、BW = 10Hz~100kHz	C_{OUT} = 10µF、C_{NR} なし			27 × V_{OUT}		μV_{RMS}
		C_{OUT} = 10µF、C_{NR} =0.01µF			8.5 × V_{OUT}		
t_{STR}	起動時間	V_{OUT} = 3V、R_L = 30Ω、C_{OUT} = 1µF、C_{NR} = 0.01µF			600		µs
$V_{EN(high)}$	EN ピン 高 (イネーブル)			1.7		V_{IN}	V
$V_{EN(low)}$	EN ピン 低 (シャットダウン)			0		0.5	V
$I_{EN(high)}$	イネーブル ピンの電流 (イネーブル)	V_{EN} = 5.5V			0.02	0.1	µA
T_{SD}	サーマル シャットダウン温度	シャットダウン、温度上昇			160		°C
		リセット、温度低下			140		
T_J	動作時接合部温度			-40		125	℃

(1) 最小 V_{IN} = V_{OUT} + V_{DO} または 1.7V のいずれか大きい方。
(2) TPS73101 は、V_{OUT} = 2.5V でテストされています。
(3) この仕様には外付け抵抗の許容誤差は含まれていません。
(4) V_{DO} は、$V_{OUT(nom)}$ < 1.8V の出力バージョンでは、最小 V_{IN} = 1.7V であるため測定されません。
(5) 固定電圧バージョンのみ対応。詳細は「*アプリケーション情報*」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

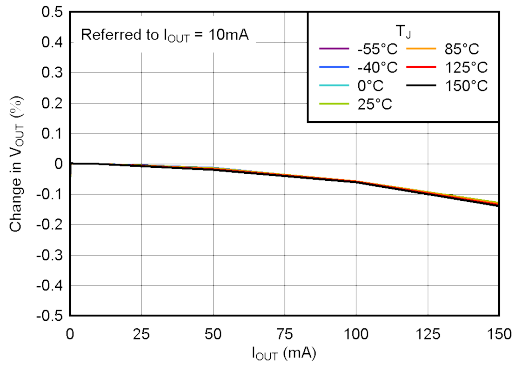
5.6 代表的特性

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下とする



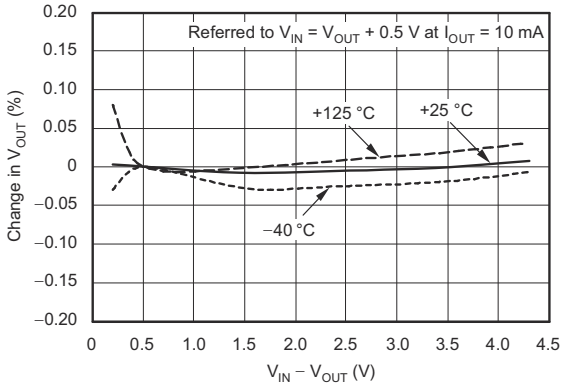
レガシー シリコン

図 5-1. ロード レギュレーション



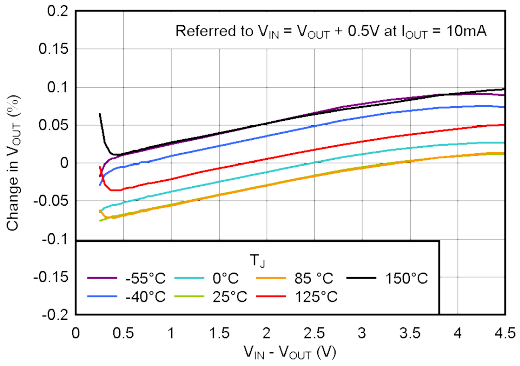
新しいシリコン

図 5-2. ロード レギュレーション



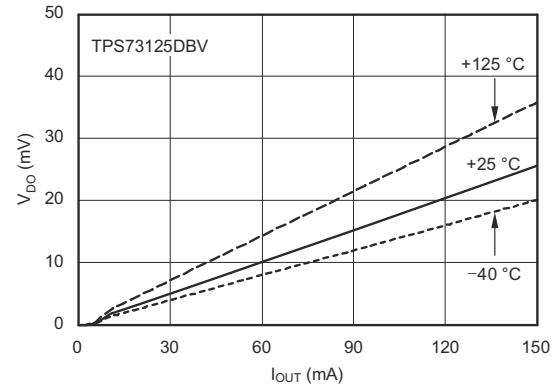
レガシー シリコン

図 5-3. ライン レギュレーション



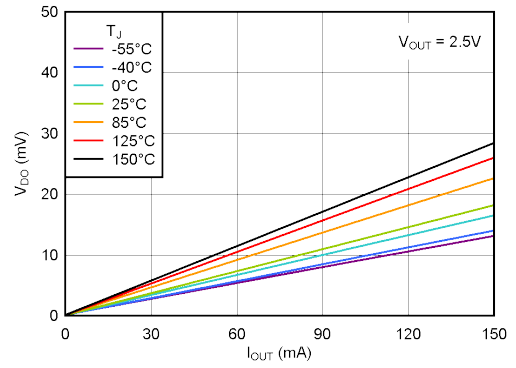
新しいシリコン

図 5-4. ライン レギュレーション



レガシー シリコン

図 5-5. ドロップアウト電圧と出力電流との関係



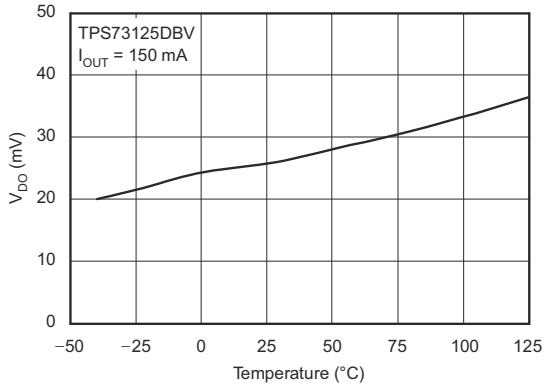
新しいシリコン

図 5-6. ドロップアウト電圧と出力電流との関係

Copyright © 2026 Texas Instruments Incorporated

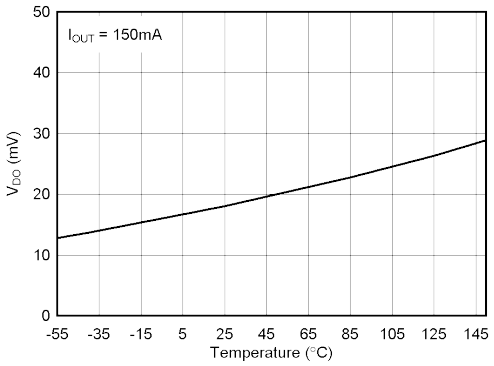
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下とする



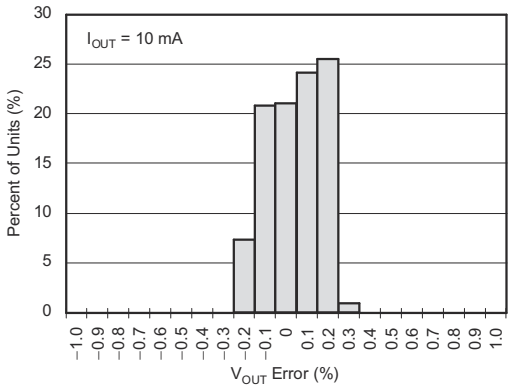
レガシー シリコン

図 5-7. ドロップアウト電圧 vs 温度



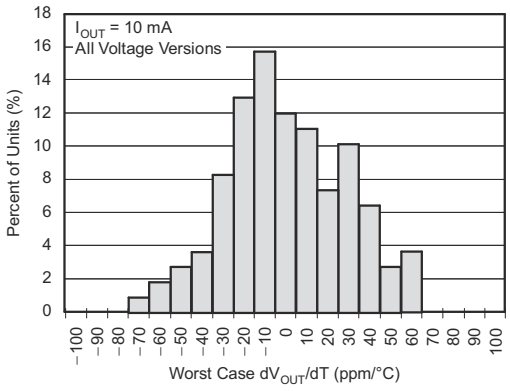
新しいシリコン

図 5-8. ドロップアウト電圧 vs 温度



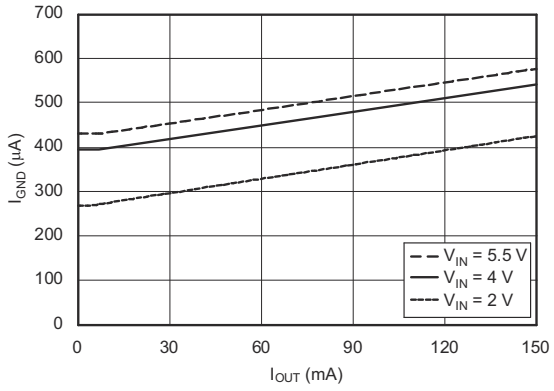
レガシー シリコン

図 5-9. 出力電圧精度のヒストグラム



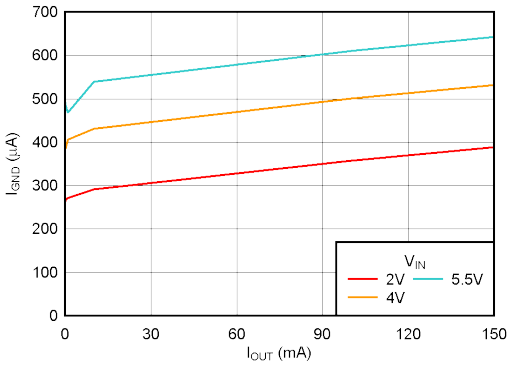
レガシー シリコン

図 5-10. 出力電圧ドリフトのヒストグラム



レガシー シリコン

図 5-11. グランドピンの電流と出力電流との関係

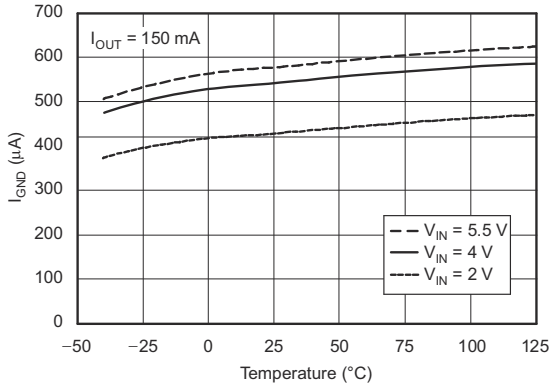


新しいシリコン

図 5-12. グランドピンの電流と出力電流との関係

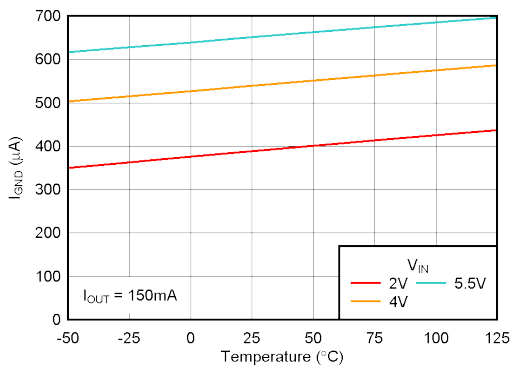
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下とする



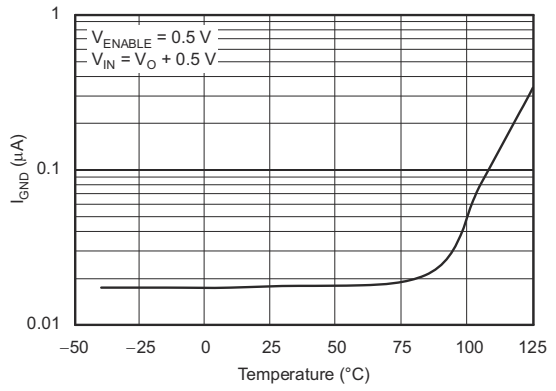
レガシー シリコン

図 5-13. グランドピンの電流と温度との関係



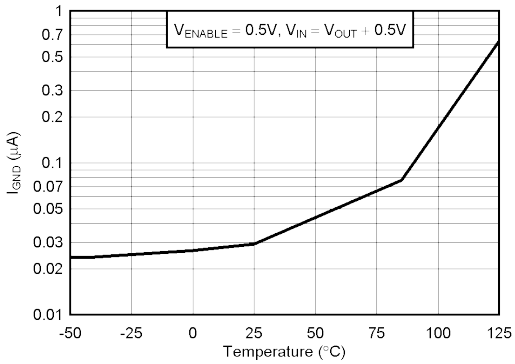
新しいシリコン

図 5-14. グランドピンの電流と温度との関係



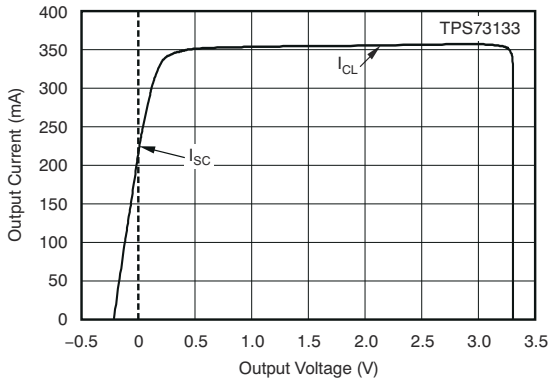
レガシー シリコン

図 5-15. シャットダウン時のグランドピンの電流と温度との関係



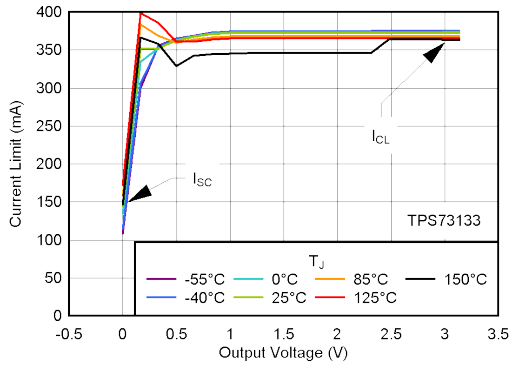
新しいシリコン

図 5-16. シャットダウン時のグランドピンの電流と温度との関係



レガシー シリコン

図 5-17. 電流制限と V_{OUT} (フォールドバック) の関係



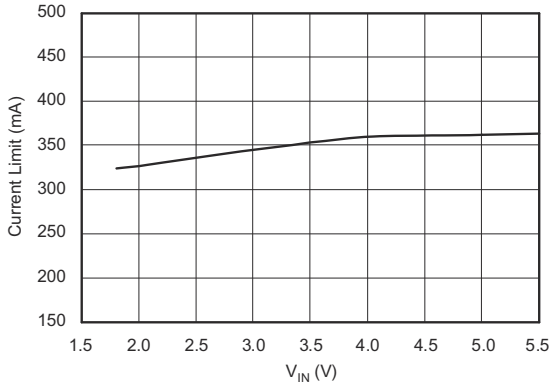
新しいシリコン

図 5-18. 電流制限と V_{OUT} (フォールドバック) の関係

Copyright © 2026 Texas Instruments Incorporated

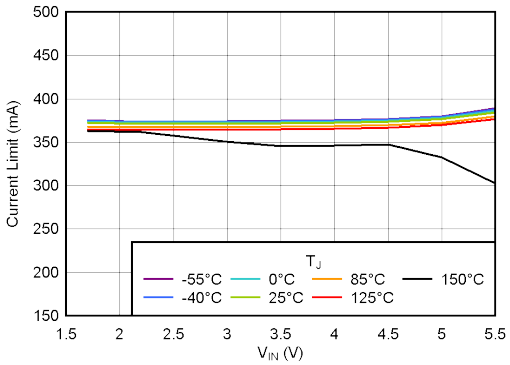
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下とする



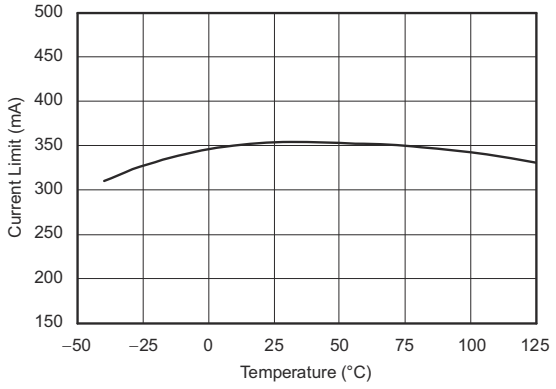
レガシー シリコン

図 5-19. 電流制限と V_{IN} との関係



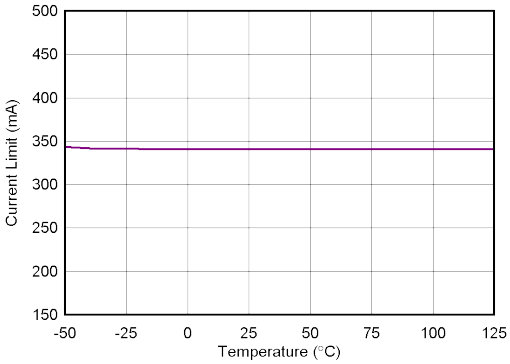
新しいシリコン

図 5-20. 電流制限と V_{IN} との関係



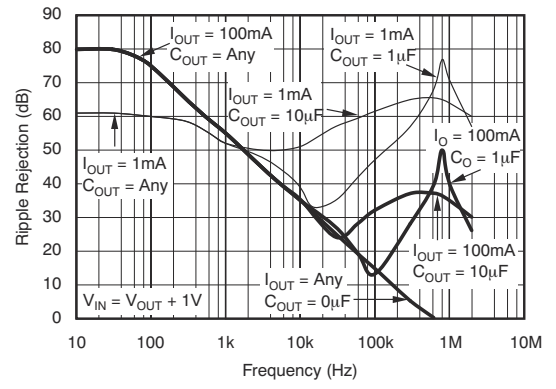
レガシー シリコン

図 5-21. 電流制限と温度との関係



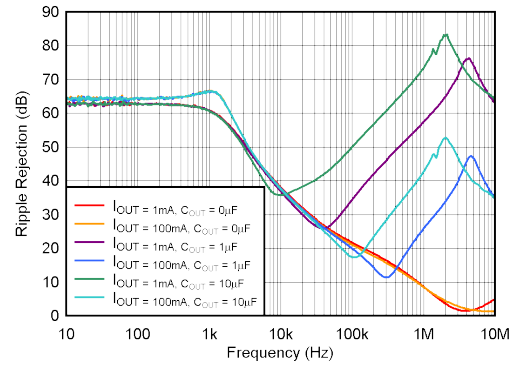
新しいシリコン

図 5-22. 電流制限と温度との関係



レガシー シリコン

図 5-23. PSRR (リップル除去) と周波数との関係

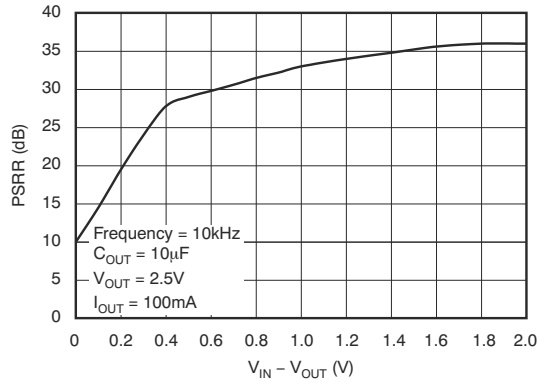


新しいシリコン

図 5-24. PSRR (リップル除去) と周波数との関係

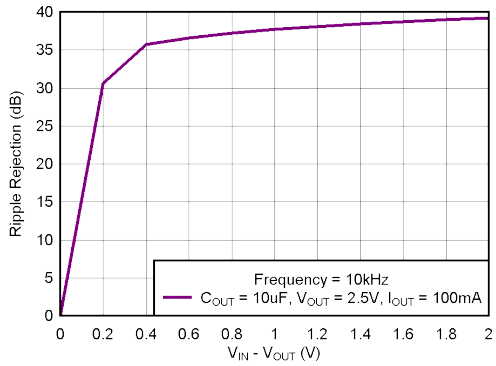
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下とする



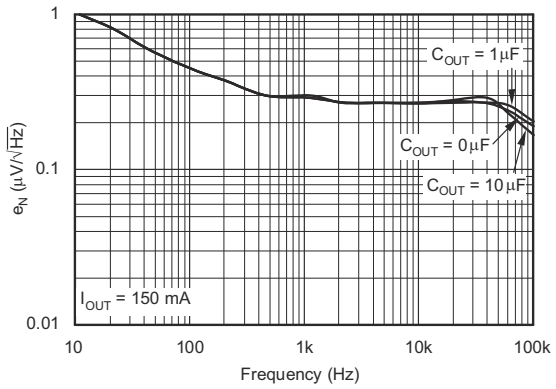
レガシー シリコン

図 5-25. PSRR (リップル除去) と V_{IN} - V_{OUT} との関係



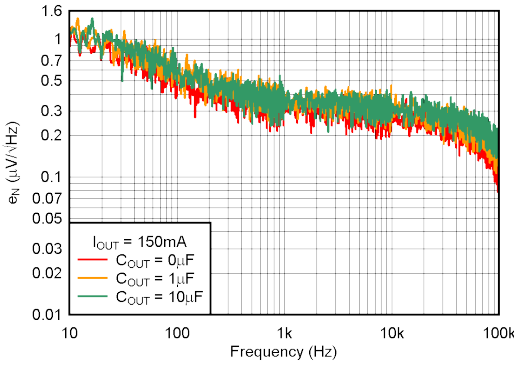
新しいシリコン

図 5-26. PSRR (リップル除去) と (V_{IN} – V_{OUT}) との関係



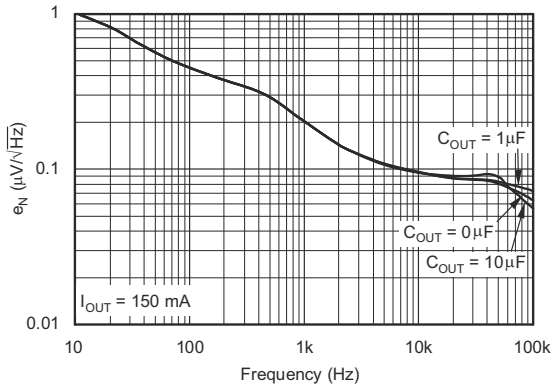
レガシー シリコン

図 5-27. ノイズ スペクトル密度 C_{NR} = 0µF



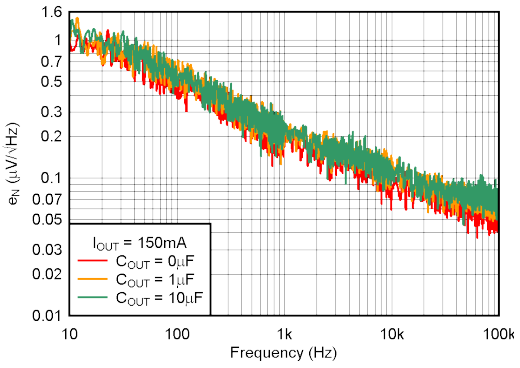
新しいシリコン

図 5-28. ノイズ スペクトル密度 C_{NR} = 0µF



レガシー シリコン

図 5-29. ノイズ スペクトル密度 C_{NR} = 0.01µF



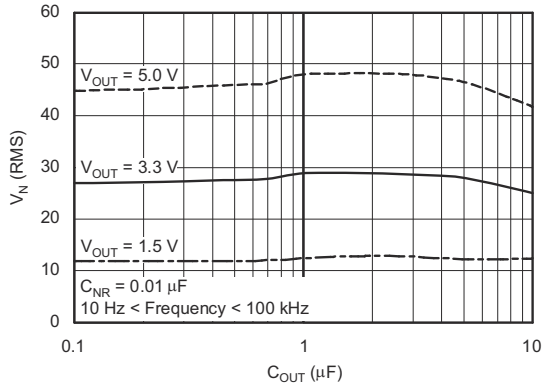
新しいシリコン

図 5-30. ノイズ スペクトル密度 C_{NR} = 0.01µF

Copyright © 2026 Texas Instruments Incorporated

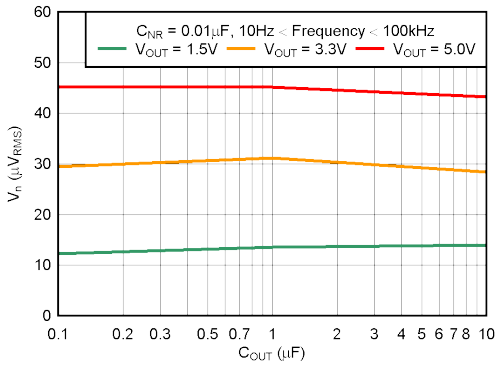
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下とする



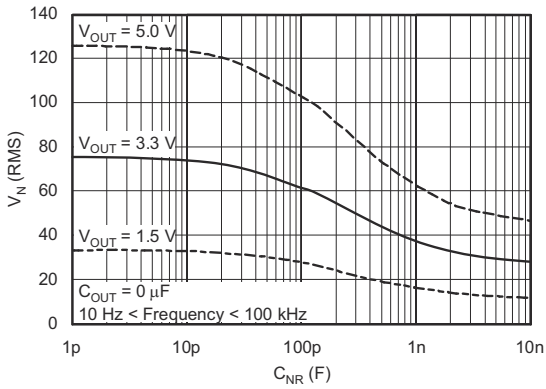
レガシー シリコン

図 5-31. RMS ノイズ電圧と C_{OUT} との関係



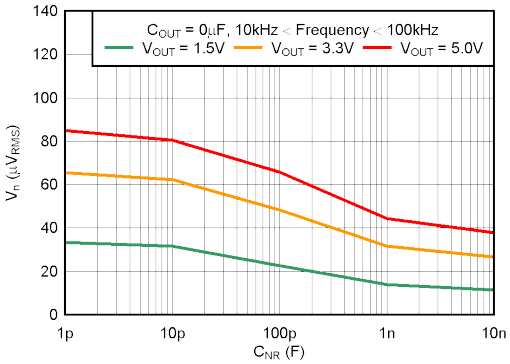
新しいシリコン

図 5-32. RMS ノイズ電圧と C_{OUT} との関係



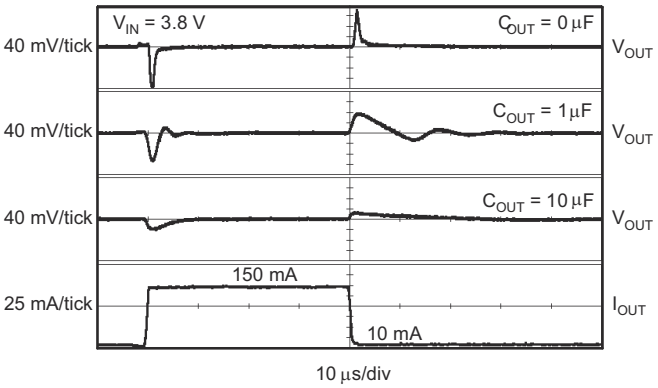
レガシー シリコン

図 5-33. RMS ノイズ電圧と C_{NR} との関係



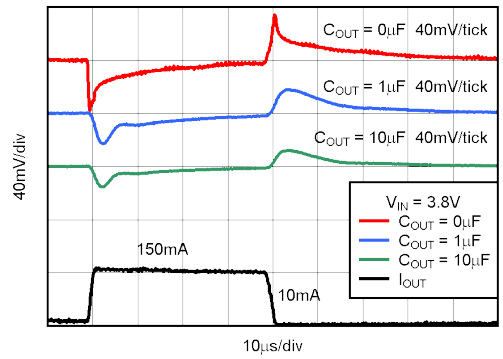
新しいシリコン

図 5-34. RMS ノイズ電圧と C_{NR} との関係



レガシー シリコン

図 5-35. TPS73133 の負荷過渡応答



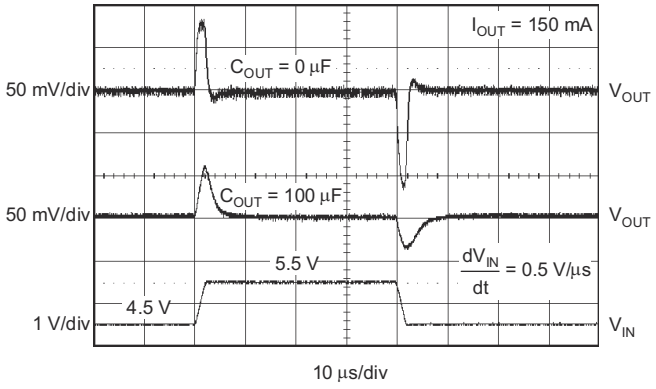
新しいシリコン

図 5-36. TPS73133 の負荷過渡応答

Copyright © 2026 Texas Instruments Incorporated

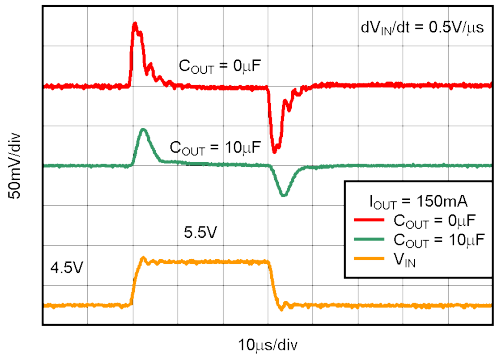
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下とする



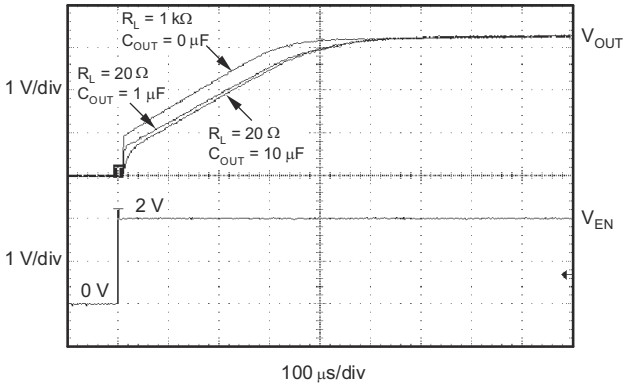
レガシー シリコン

図 5-37. TPS73133 のライン過渡応答



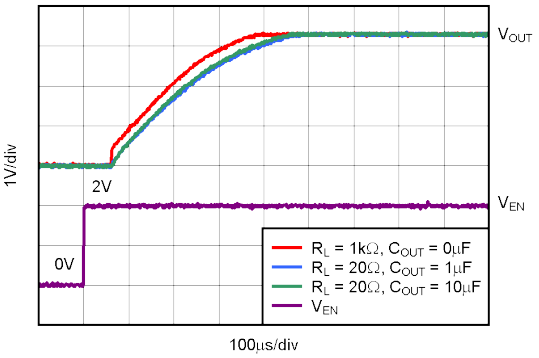
新しいシリコン

図 5-38. TPS73133 のライン過渡応答



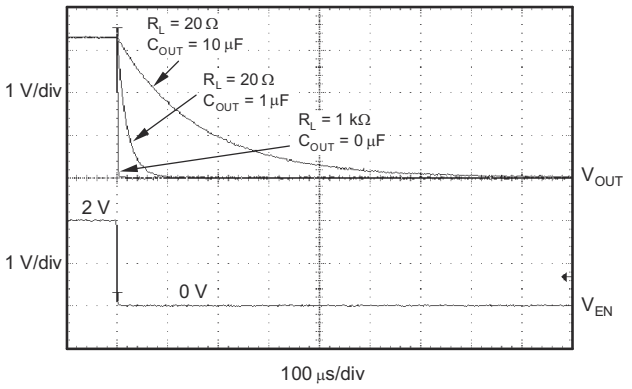
レガシー シリコン

図 5-39. TPS73133 のターンオン応答



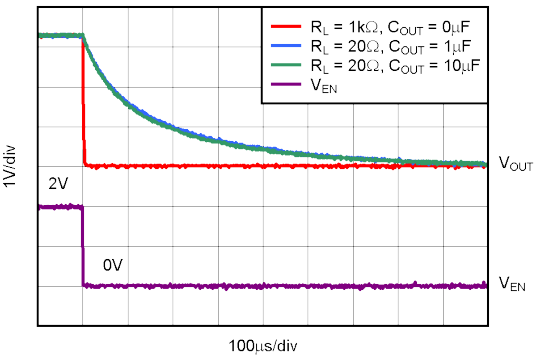
新しいシリコン

図 5-40. TPS73133 のターンオン応答



レガシー シリコン

図 5-41. TPS73133 のターンオフ応答



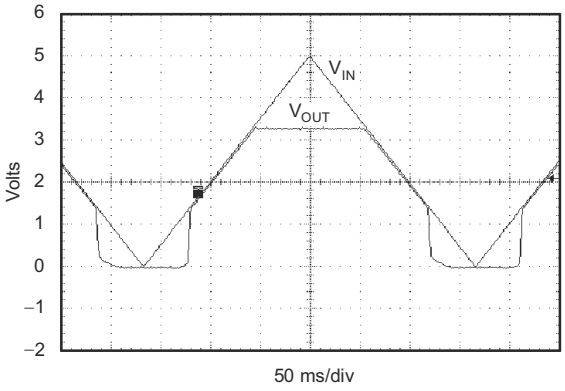
新しいシリコン

図 5-42. TPS73133 のターンオフ応答

Copyright © 2026 Texas Instruments Incorporated

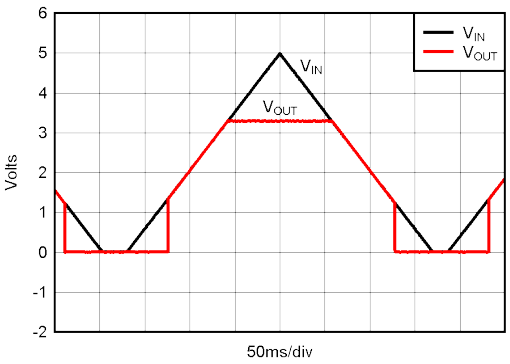
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下とする



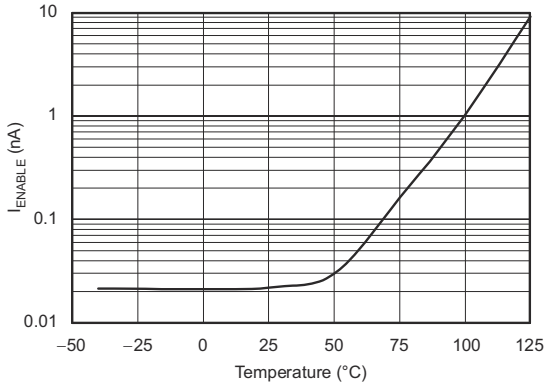
レガシー シリコン

図 5-43. TPS73133 パワーアップおよびパワーダウン



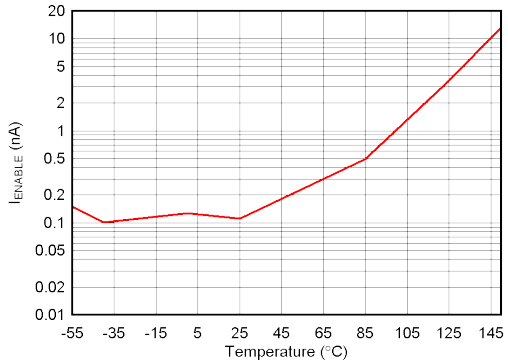
新しいシリコン

図 5-44. TPS73133 パワーアップおよびパワーダウン



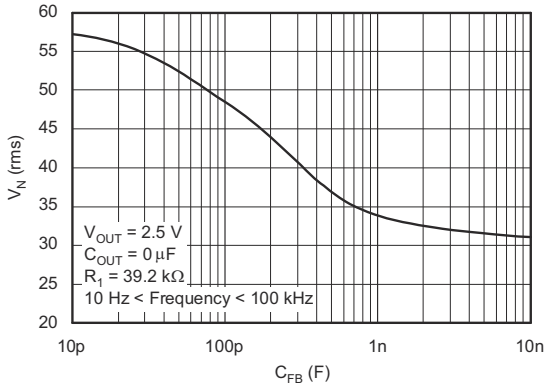
レガシー シリコン

図 5-45. I_{ENABLE} vs 温度



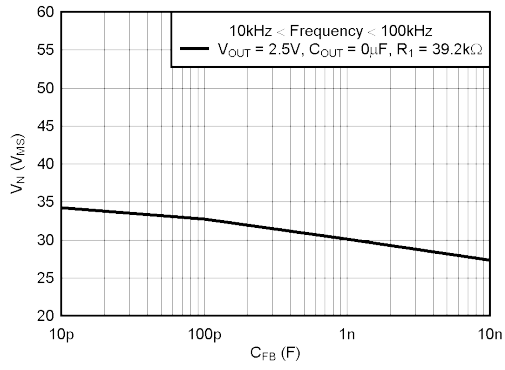
新しいシリコン

図 5-46. I_{ENABLE} vs 温度



レガシー シリコン

図 5-47. TPS73101 の RMS ノイズ電圧と C_{FB} との関係

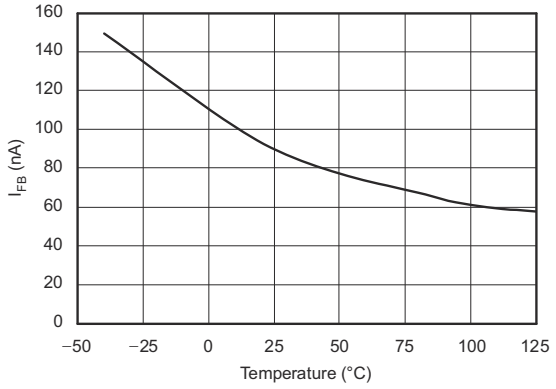


新しいシリコン

図 5-48. TPS73101 の RMS ノイズ電圧と C_{FB} との関係

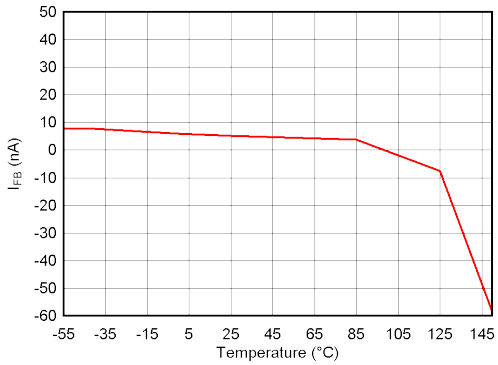
5.6 代表的特性 (続き)

すべての電圧バージョンにおいて、特に記述のない限り、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下とする



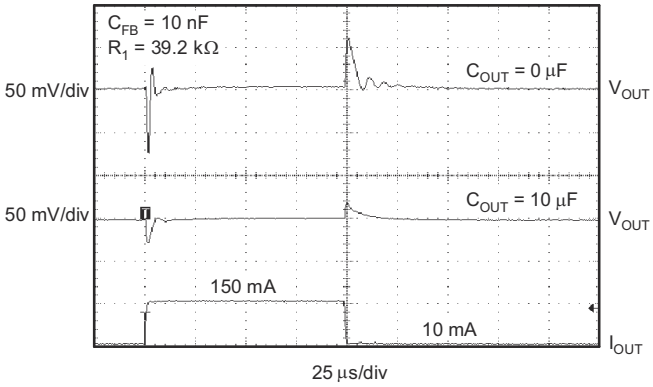
レガシー シリコン

図 5-49. TPS73101I_{FB} と温度との関係



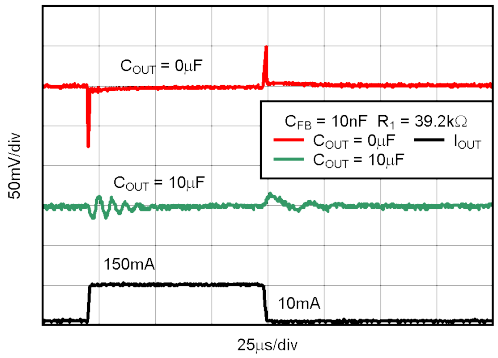
新しいシリコン

図 5-50. TPS73101I_{FB} と温度との関係



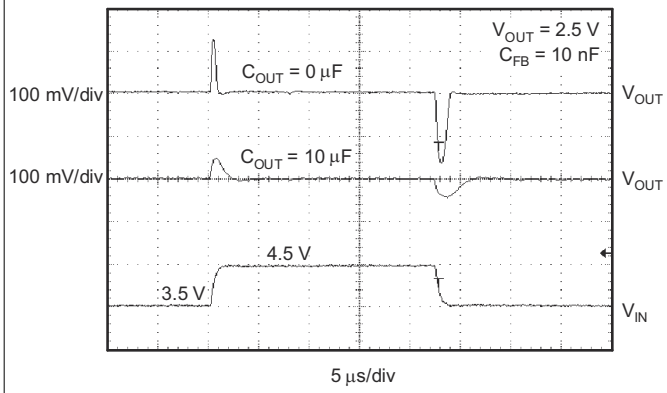
レガシー シリコン

図 5-51. TPS73101 の負荷過渡応答、可変バージョン



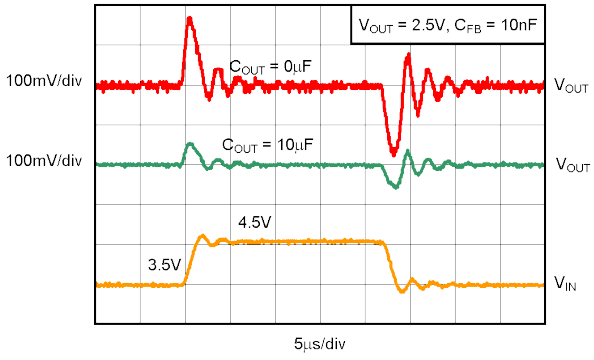
新しいシリコン

図 5-52. TPS73101 の負荷過渡応答、可変バージョン



レガシー シリコン

図 5-53. TPS73101 のライン過渡応答、可変バージョン



新しいシリコン

図 5-54. TPS73101 のライン過渡応答、可変バージョン

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPS731 低ドロップアウト リニア レギュレータは 1.7V の入力電圧で動作し、少なくとも 1.2V の出力電圧をサポートしながら、150mA の負荷電流を供給できます。このリニア レギュレータは、NMOS パストランジスタと内蔵 4Mhz チャージ ポンプを使用して、全負荷電流で 100mV 未満のドロップアウト電圧を実現します。この独自のアーキテクチャにより、広い範囲の出力コンデンサにわたって安定したレギュレーションも可能です。実際、TPS731 には、安定性のために出力コンデンサは必要ありません。このリニア レギュレータは、出力コンデンサの値とタイプに対する鈍感性が向上しているため、実効容量が不明な負荷に電力を供給する場合に最適です。

また、TPS731 にはノイズ低減 (NR) ピンが搭載されており、出力ノイズをさらに低減できます。NR ピンから GND に 0.01µF のノイズ低減コンデンサを接続した場合、TPS73115 の出力ノイズは最大で 12.75µV_{RMS} まで低減されます。TPS731 は低ノイズ出力を備えているため、このデバイスは VCO やその他ノイズに敏感な負荷への電力供給用に設計されています。

6.2 機能ブロック図

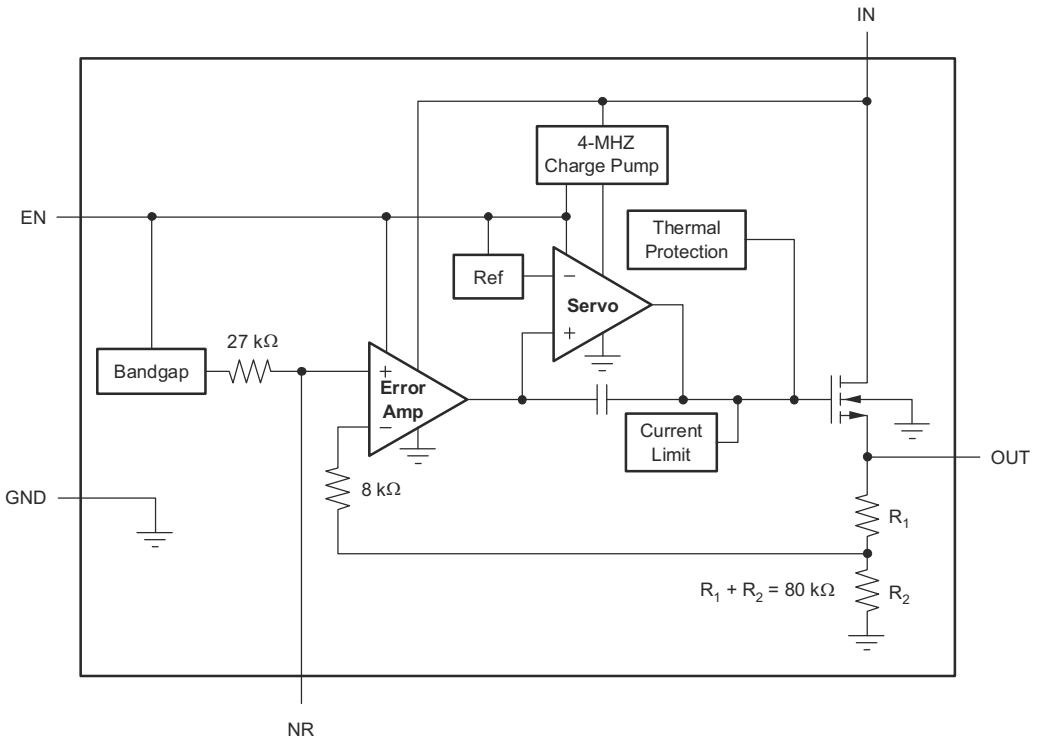
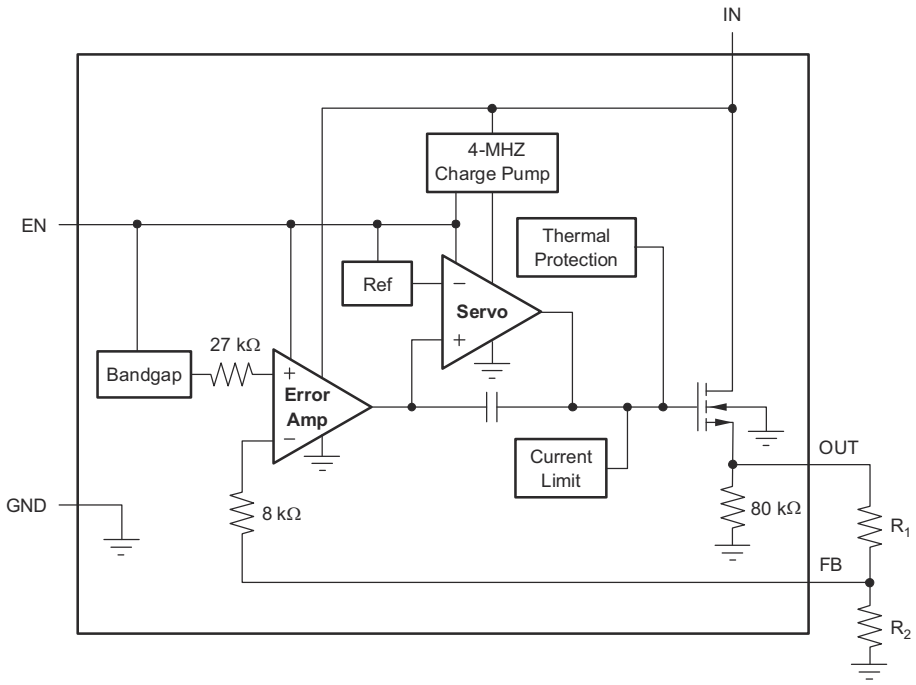


図 6-1. 固定電圧バージョン



Standard 1% Resistor Values for Common Output Voltages

V_O	R_1	R_2
1.2 V	Short	Open
1.5 V	23.2 kΩ	95.3kΩ
1.8 V	28.0 kΩ	56.2 kΩ
2.5 V	39.2kΩ	36.5 kΩ
2.8 V	44.2 kΩ	33.2 kΩ
3.0 V	46.4 kΩ	30.9 kΩ
3.3 V	52.3 kΩ	30.1 kΩ

NOTE: $V_{OUT} = (R_1 + R_2)/R_2 \cdot 1.204$; $R_1 \| R_2 \cong 19\ k\Omega$ for best accuracy.

図 6-2. 可変電圧バージョン

6.3 機能説明

6.3.1 出力ノイズ

高精度のバンドギャップ基準電圧を使用して、内部リファレンス電圧 V_{REF} を生成します。このリファレンスは TPS731xx の主要なノイズ源であり、リファレンス出力 (NR) で約 $32\mu V_{RMS}$ (10Hz ～ 100kHz) を生成します。レギュレータの制御ループは、リファレンス電圧と同じゲインでリファレンス ノイズを増幅するため、レギュレータのノイズ電圧概算は 式 1 で求められます。

$$V_{IN} = 32\mu V_{RMS} \times \frac{(R_1 + R_2)}{R_2} = 32\mu V_{RMS} \times \frac{V_{OUT}}{V_{REF}} \quad (1)$$

V_{REF} の値が 1.2V であるため、この関係式は C_{NR} がない場合に 式 2 に簡素化されます。

$$V_N(\mu V_{RMS}) = 27\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}(V) \quad (2)$$

外部ノイズ低減コンデンサ C_{NR} がノイズ低減ピン (NR) からグランドに接続されている時、27kΩ の内部抵抗を NR と直列に接続すると、電圧リファレンスのローパス フィルタが形成されます。C_{NR} = 10nF の場合、10Hz ～ 100kHz の帯域幅での合計ノイズは約 3.2 倍に低減され、C_{NR} = 10nF の場合式 3 に近似的に示される関係が得られます。

$$V_N(\mu V_{RMS}) = 8.5\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}(V) \quad (3)$$

このノイズ低減の効果は、代表的特性セクションで、RMS ノイズ電圧と C_{NR} の関係として示されています。

可変バージョンの TPS73101 には、NR ピンがありません。しかし、帰還コンデンサ C_{FB} を出力から帰還ピン (FB) に接続することで、出力ノイズが減少し、負荷過渡性能が向上します。

TPS731xx は、内部のチャージポンプを使用して、NMOS パス素子のゲートが V_{OUT} を超える電圧で駆動するのに十分な内部供給電圧を生成します。チャージ ポンプは約 4MHz で約 250μV のスイッチング ノイズを生成しますが、チャージ ポンプ ノイズの影響はレギュレータの出力における I_{OUT} および C_{OUT} のほとんどの値で、無視できるほど小さくなります。

Copyright © 2026 Texas Instruments Incorporated

6.3.2 内部電流制限

TPS731xx の内部電流制限は、故障時にもレギュレータを保護します。フォールドバック電流制限は、V_{OUT} が 0.5V を下回ったときに電流制限を下げることで、出力短絡時のレギュレータの損傷を防ぎます。図 5-17 を参照してください。

図 5-17 から、V_{OUT} が約 -0.2V のとき、電流制限は 0mA になることにご注意ください。したがって、EN が High になる前に OUT が強制的に -0.2V より低くなった場合、デバイスがスタート アップしない可能性があります。正と負の両方の電源電圧を使用するアプリケーションでは、最初に TPS731xx を有効化する必要があります。

6.3.3 イネーブルおよびシャットダウン

イネーブル ピン (EN) はアクティブ High であり標準的な TTL-CMOS レベルと互換性があります。V_{EN} が 0.5V (最大値) 未満になると、レギュレータはオフになり、GND ピンの電流は約 10nA にまで低下します。EN ピンを使用してレギュレータをシャットダウンすると、すべての電荷がパストランジスタのゲートから除去されます。V_{EN} が 1.7v (最小値) を超えるとレギュレータはオンになり、出力は制御された V_{OUT} に戻ります (詳細は 図 5-39 を参照)。

シャットダウン機能が不要な場合は、EN ピンを V_{IN} に接続します。ただし、この構成を使用するとパストランジスタが放電されない可能性があり、そのため V_{IN} を削除した後もパストランジスタが長時間オン (強化) のままになります。この状況では、逆電流が流れ (IN ピンが低インピーダンスの場合)、電源オン時のランプ時間が短くなります。さらに、V_{IN} のランプ時間が数ミリ秒より遅い場合、パワーアップ時に出力がオーバーシュートを起こす可能性があります。

条件によっては、電流制限フォールドバックによりデバイスのスタートアップを防止できます。*内部電流制限* セクションを参照してください。

6.3.4 逆電流

TPS731xx の NMOS パス素子は、パス デバイスのゲート引き下げ時にレギュレータの出力から入力への電流の逆流を防ぎ、本質的な安全性を高めます。パス素子のゲートから確実にすべての電荷を除去するため、入力電圧が解除される前に EN ピンを low に駆動する必要があります。この手順を実行しないと、ゲートに蓄積された電荷が原因でパス素子がオンのままになる可能性があります。

EN ピンを low に駆動した後、いずれのピンにも逆電流を遮断するためのバイアス電圧は必要ありません。逆電流とは、OUT ピンに電圧が印加されることによって IN ピンから流れ出す電流を指します。80kΩ の内部抵抗分割器がグランドに接続されているため、OUT ピンに追加の電流が流れ込みます (図 6-1 および 図 6-2 を参照)。

TPS73101 の場合、V_{FB} が V_{IN} を 1.0V 以上上回ると、逆電流が発生する可能性があります。

6.4 デバイスの機能モード

6.4.1 1.7V ≤ V_{IN} ≤ 5.5V および V_{EN} ≥ 1.7V での通常動作

TPS731xx シリーズは、正常に機能し、規制を維持しようとするためには、少なくとも 1.7V の入力電圧が必要です。

本デバイスを 5.5V 付近で動作させるときは、6.0V の絶対最大定格電圧を超える過渡スパイクを抑制するように注意してください。デバイスは 5.5V を超える DC 電圧での動作は絶対に避けてください。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS731xx は 新世代 LDO レギュレータ ファミリの製品です。NMOS パストランジスタを使用して超低ドロップアウト性能および逆電流ブロックを実現し、さらに出力コンデンサの制約を受けません。これらの機能に加え、低ノイズおよびイネーブル入力を備えた TPS731xx は、携帯用途向けに理想的です。このレギュレータ ファミリでは、幅広い選択肢の固定出力電圧バージョンと、可変出力バージョンから選ぶことができます。すべてのバージョンには、フォールドバック電流制限など、過熱保護および過電流保護機能が搭載されています。

7.2 代表的なアプリケーション

図 7-1 に、固定電圧モデルの基本的な回路接続を示します。図 7-2 に、可変出力バージョン (TPS73101) の接続を示します。

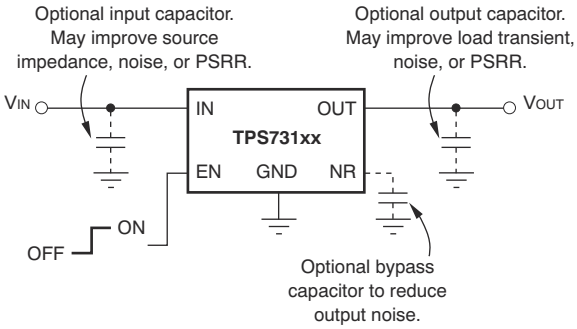


図 7-1. 代表的なアプリケーション回路(固定電圧バージョン)

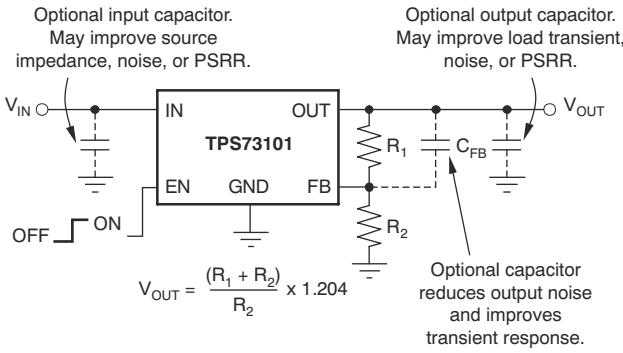


図 7-2. 可変電圧バージョン向けの標準的なアプリケーション回路

7.2.1 設計要件

R_1 と R_2 は、出力電圧に応じて 図 7-2 の式で求めることができます。一般的な出力電圧の抵抗値の例を 図 6-2 に示します。

Copyright © 2026 Texas Instruments Incorporated

より高い精度を得るため、R_1 と R_2 の並列組み合わせを約 19kΩ に設定します。この 19kΩ に、内部の 8kΩ 抵抗が加わることで、エラー アンプに対して 27kΩ のバンドギャップ リファレンス出力と同じインピーダンスを提供します。このインピーダンスは、エラー アンプ端子へのリークを補償するのに役立ちます。

7.2.2 詳細な設計手順

7.2.2.1 入出力コンデンサの要件

安定性のために入力コンデンサは必須ではありませんが、レギュレータ付近の入力電源の両端に 0.1µF ～ 1µF の低 ESR コンデンサを接続することが、アナログ設計では推奨されます。これにより、リアクティブな入力ソースに対抗し、過渡応答、ノイズ除去、リップル除去を改善します。立ち上がり時間の短い過大な負荷過渡事象が予想される場合、またはデバイスが電源から数インチの場所に配置される場合は、より大容量のコンデンサが必要になる可能性があります。

7.2.2.2 ドロップアウト電圧

TPS731xx は NMOS パス トランジスタを使用して、非常に低いドロップアウト電圧を実現しています。(V_{IN} – V_{OUT}) がドロップアウト電圧 (V_{DO}) よりも低い場合、NMOS パス デバイスはリニア領域での動作になり、入出力抵抗は NMOS パス素子の $R_{DS(on)}$ となります。

TPS731xx では、負荷電流の急激な負荷変動時、過渡応答の低下を避けるために V_{IN} から V_{OUT} への電圧降下を十分に確保する必要があります。この過渡ドロップアウト領域の境界は、DC ドロップアウト電圧の約 2 倍です。V_{IN} – V_{OUT} の値がこの境界を超えている場合と、正常な過渡応答が保証されます。

過渡ドロップアウト領域での動作により、復帰時間が長くなる場合があります。負荷過渡からの回復に要する時間は、負荷電流レートの変化率、負荷電流の変化率、使用可能なヘッドルーム (V_{IN} から V_{OUT} への電圧降下) の関数で求められます。最悪な条件下 [(V_{IN} – V_{OUT}) が DC ドロップアウト レベルに近い状態でのフルスケール瞬時負荷変動] において、TPS731xx は指定された規制精度に戻るまでに数百マイクロ秒かかる場合があります。

7.2.2.3 過渡応答

電圧フォロワ構成の NMOS パス素子により低い開ループ出力インピーダンスが得られるため、多くのアプリケーションにおいて出力コンデンサ無しでの動作が可能です。他のレギュレーターと同様に、出力ピン (OUT) からグラウンドへコンデンサ (公称値 1µF) を追加すると、アンダーシュートの振幅は減少しますが、その持続時間は増加します。調整可能なバージョンでは、OUT ピンから FB ピンにコンデンサ C_{FB} を追加することで、過渡応答も改善されます。

TPS731xx は、出力過電圧時においてのアクティブプルダウン機能を備えていません。これにより、代替電源などの高い電圧源を出力に接続する用途が可能になります。これはまた、出力にコンデンサが接続された状態で負荷電流が急速にゼロに下がった場合、数パーセントのオーバーシュートを生じさせます。負荷抵抗を追加することで、オーバーシュートの持続時間を短縮できます。オーバーシュートは、出力コンデンサ C_{OUT} と内部および外部の負荷抵抗によって決まる速度で減衰します。減衰の速度は式 4 および式 5 によって示されます。

(固定電圧バージョン)

$$dV/dt = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \parallel R_{LOAD}} \quad (4)$$

(可変電圧バージョン)

$$dV/dt = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \parallel (R_1 + R_2) \parallel R_{LOAD}} \quad (5)$$

Copyright © 2026 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

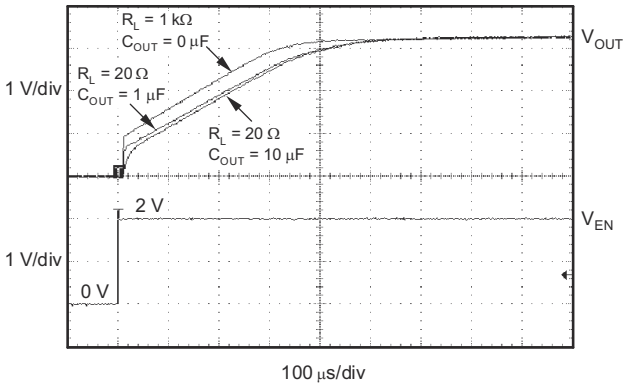


図 7-3. TPS73133 のターンオン応答

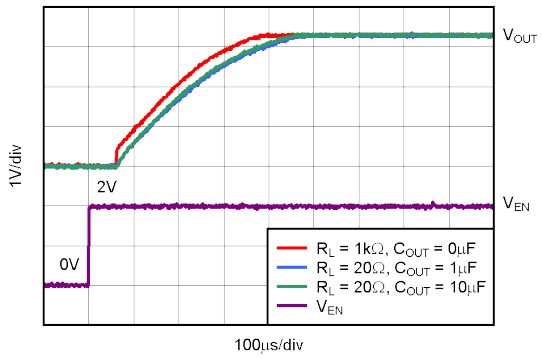


図 7-4. TPS73133 のターンオン応答

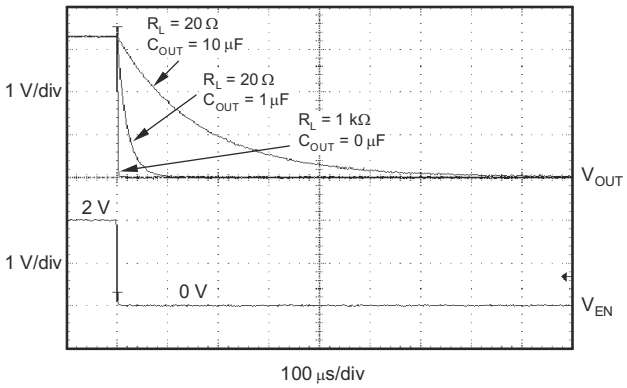


図 7-5. TPS73133 のターンオフの応答

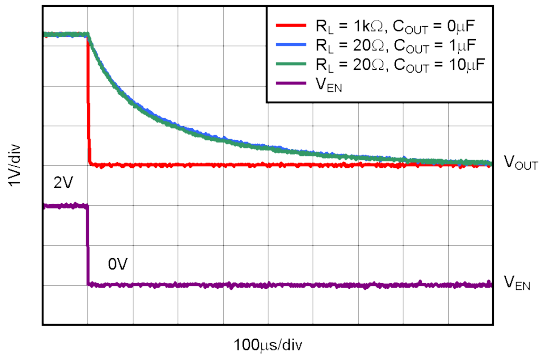


図 7-6. TPS73133 のターンオフ応答

7.3 電源に関する推奨事項

デバイスは、1.7V～5.5V の入力電源電圧範囲で動作するように設計されています。この入力電圧範囲により、デバイスがレギュレートされた出力を供給するための十分なヘッドルームが得られます。この入力電源が調整されていることを確認する必要があります。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

PSRR、出力ノイズ、過渡応答などの AC 性能を向上させるため、V_{IN} および V_{OUT} コンデンサのグラウンドプレーン接続を PCB を設計してください。グラウンドプレーンをデバイスのグラウンドピン (GND) に接続してください。さらに、バイパスコンデンサの接地接続がデバイスの GND ピンに直接接続されていることを確認してください。

7.4.1.1 熱に関する注意事項

過熱保護機能は、接合部温度が約 160°C に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約 140°C まで冷却されると、出力回路が再びオンになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン / オフを繰り返します。これにより、レギュレーターの消費が制限され、過熱による損傷から保護されます。

Copyright © 2026 Texas Instruments Incorporated

過熱保護回路が作動する傾向がある場合、消費電力が過剰であるか、ヒートシンクが不十分であることを示しています。信頼性の高い動作を確保するために、接合部温度は最大 125°C 以内に制限する必要があります。設計全体 (ヒート シンクを含む) の安全率を推定するためには、周囲温度を上昇させて過熱保護が作動することを確認します。その際、ワーストケースの負荷と信号条件を使用してください。信頼性を高めるために、アプリケーションで想定される最大周囲条件を少なくとも 35°C 上回った時に過熱保護をトリガするよう設定する必要があります。これにより、予想される最高周囲温度および最悪の場合の負荷で、最悪の場合の接合部温度は 125°C になります。

TPS731xx の内部保護回路は、過負荷状態からの保護を目的に設計されています。これは適切なヒートシンクを置き換えることを意図としたものではありません。TPS731xx のサーマル シャットダウンが作動する状態で使用を続けると、信頼性が低下します。

7.4.1.2 消費電力

ダイからの放熱性能はパッケージの種類によって異なるため、PCB レイアウト時に考慮すべき検討事項も異なります。デバイス周辺の部品がない PCB 領域は、放熱の役割を果たします。JEDEC ボードの性能データは *熱に関する情報* 表に示されています。また、厚みのある銅箔を使用すると、デバイスからの放熱効率が向上します。

消費電力は、入力電圧と負荷条件によって異なります。消費電力 (P_D) は、出力電流に出力パストランジスタ間 (V_{IN} から V_{OUT}) の電圧降下を乗算した値に等しくなります。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (6)$$

要求される出力電圧を供給できる最低限の入力電圧を使用することで、電力消費を最小限に抑えることが可能です。

7.4.2 レイアウト例

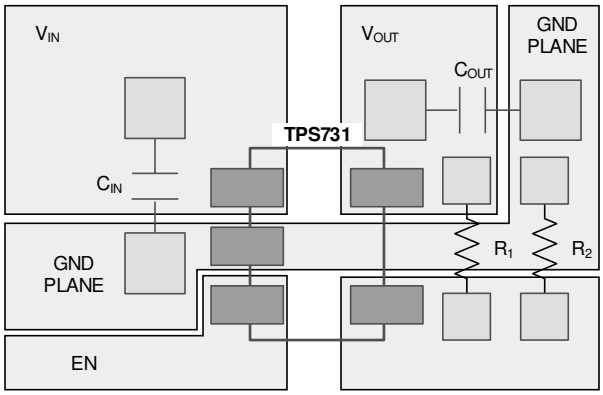


図 7-7. 可変出力バージョン (DBV パッケージ) のレイアウト例

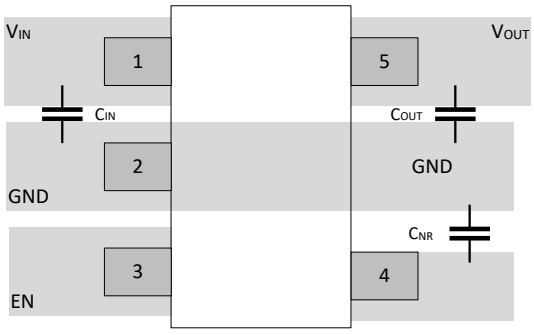


図 7-8. 固定出力バージョン (DBV パッケージ) のレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 SPICE モデル

SPICE による回路パフォーマンスのコンピュータ シミュレーションは、アナログ回路やシステムのパフォーマンスを分析するため多くの場合に有用です。TPS731 用の SPICE モデルは、製品フォルダの「ツールとソフトウェア」から入手できます。

8.1.2 デバイスの命名規則

表 8-1. 利用可能なオプション

製品(1)	説明
TPS731**xx yyy z (M3)**	**xx** は定格出力電圧です (例:25 = 2.5V、01 = 調整可能)。 **yyy** はパッケージの型式記号です。 **z** はパッケージの数量を表します。 **M3** は最新の製造工程のみを使用するデバイス用の接尾辞記号です。(CSO: RFB) を用いて出荷されます。この接尾辞がないデバイスは、*従来のシリコン* (CSO: DLN) または*新しいシリコン* (CSO: RFB) を用いて出荷されます。リール包装ラベルには、使用されているシリコンを識別するための CSO 情報が記載されています。本書では、新旧のシリコンごとのデバイス性能について説明しています。

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録:パッケージ オプション」を参照するか、www.ti.com または www.tij.co.jp にある TI の Web サイトを参照してください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*表面実装デバイスの半田パッドに関する推奨事項* に関する アプリケーション ノート。

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

Copyright © 2026 Texas Instruments Incorporated

8.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision O (August 2025) to Revision P (April 2026) **Page**

- シリコン 5V 出力グランド電流仕様を追加 5
- 最大負荷仕様でのシリコン 5V 出力グランドピン電流を追加 5

Changes from Revision N (December 2015) to Revision O (August 2025) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- 現在のファミリのフォーマットに合わせてドキュメント全体を変更 1
- ドキュメントに新しいシリコン (M3) デバイスを追加 1
- 文書全体において、新しいシリコンと既存のシリコンに関する情報を区別するための命名規則を追加 1
- 変更された *アプリケーション* 1
- 新しいシリコンを DBV の熱に関する情報に追加 4
- VFB の標準値を変更 5
- 新しいシリコンのグランド ピン電流仕様を追加 5
- 新しいシリコンのシャットダウン電流仕様を追加 5
- *「代表的特性」*セクションに新しいシリコン曲線を追加 6
- *イネーブル ピンおよびシャットダウン* セクションに、1.7V を超える V_{EN} の説明を追加 17
- *アプリケーション曲線*セクションに新しいシリコン曲線を追加 20
- *「レイアウトのガイドライン」* セクションを変更 20
- *消費電力* セクションで、*JEDEC の低誘電率および高誘電率ボード* を *JEDEC ボード* に変更しました 21
- *固定出力バージョン (DBV パッケージ) のレイアウト例* を *レイアウト例* に追加しました 21
- *デバイス命名規則* の変更 22

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73101DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PWYQ
TPS73101DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PWYQ
TPS73101DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PWYQ
TPS73101DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PWYQ
TPS73101DBVRM3	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PWYQ
TPS73101DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PWYQ
TPS73101DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PWYQ
TPS73101DBVTG4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PWYQ
TPS73101DBVTG4.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PWYQ
TPS731125DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BYX
TPS731125DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BYX
TPS731125DBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	BYX
TPS73115DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T31
TPS73115DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T31
TPS73115DBVRG4	NRND	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T31
TPS73115DBVRG4.A	NRND	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T31
TPS73115DBVRM3	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T31
TPS73118DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T32
TPS73118DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T32
TPS73118DBVR1G4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T32
TPS73118DBVR1G4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T32
TPS73118DBVRM3	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T32
TPS73118DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T32
TPS73118DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T32
TPS73118DBVTG4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T32
TPS73118DBVTG4.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T32
TPS73125DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHWI
TPS73125DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHWI
TPS73125DBVRM3	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PHWI

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73125DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHWI
TPS73125DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHWI
TPS73125DBVTG4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHWI
TPS73125DBVTG4.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHWI
TPS73130DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T33
TPS73130DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T33
TPS73130DBVRM3	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T33
TPS73130DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T33
TPS73130DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T33
TPS73131DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BYS
TPS73131DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BYS
TPS73131DBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	BYS
TPS73132DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T52
TPS73132DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T52
TPS73132DBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	T52
TPS73133DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T34
TPS73133DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T34
TPS73133DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T34
TPS73133DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T34
TPS73133DBVRM3	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T34
TPS73133DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T34
TPS73133DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T34
TPS73133DBVTG4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T34
TPS73133DBVTG4.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T34
TPS73150DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T35
TPS73150DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T35
TPS73150DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T35
TPS73150DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T35
TPS73150DBVRM3	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T35
TPS73150DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T35
TPS73150DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T35

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

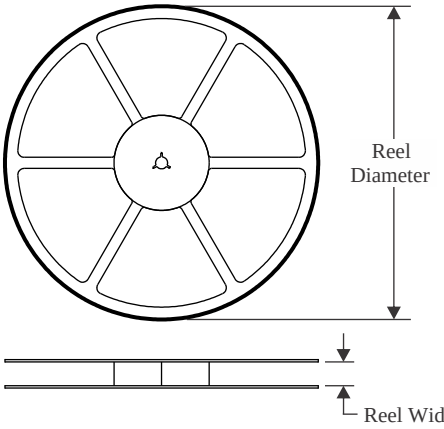
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

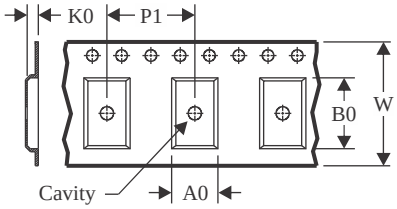
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

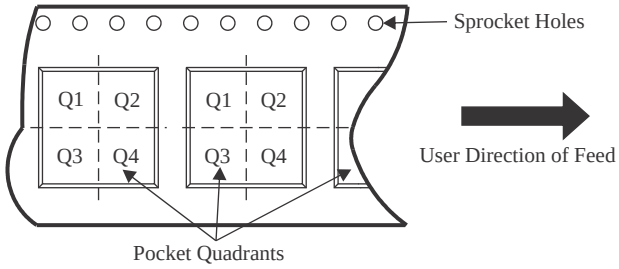


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

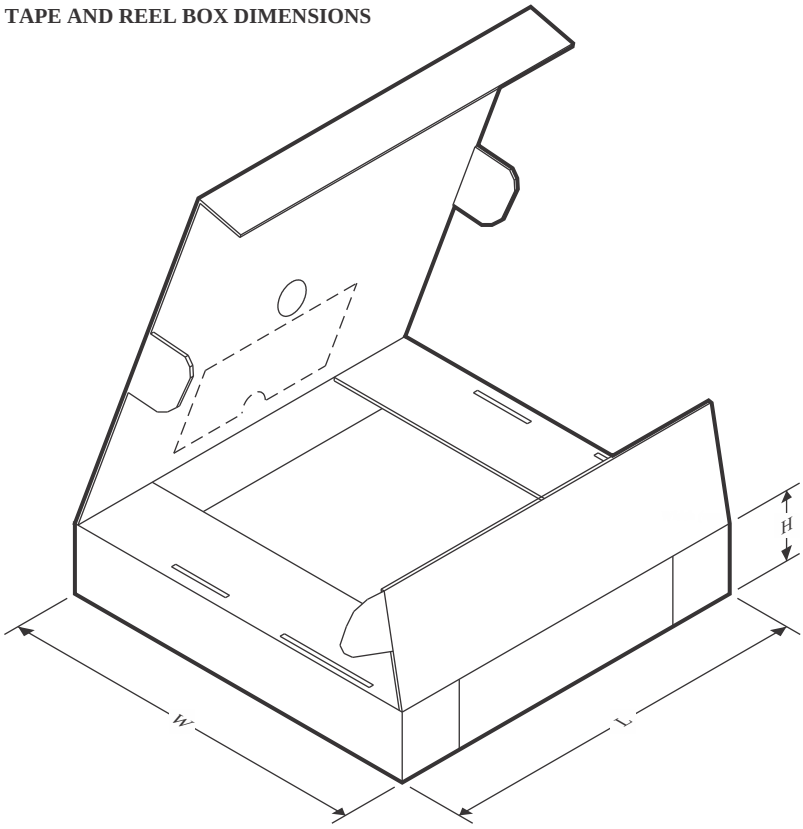


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73101DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73101DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73101DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73101DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73101DBVTG4	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS731125DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73115DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73115DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TPS73115DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73118DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73118DBVR1G4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73118DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73118DBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73118DBVTG4	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73125DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73125DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73125DBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73125DBVTG4	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73130DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73130DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73130DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73131DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73132DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73133DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73133DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73133DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73133DBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73133DBVTG4	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73150DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73150DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73150DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73150DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73101DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73101DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73101DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73101DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS73101DBVTG4	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS731125DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73115DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73115DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73115DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73118DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73118DBVR1G4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73118DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73118DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS73118DBVTG4	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS73125DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73125DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73125DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS73125DBVTG4	SOT-23	DBV	5	250	180.0	180.0	18.0

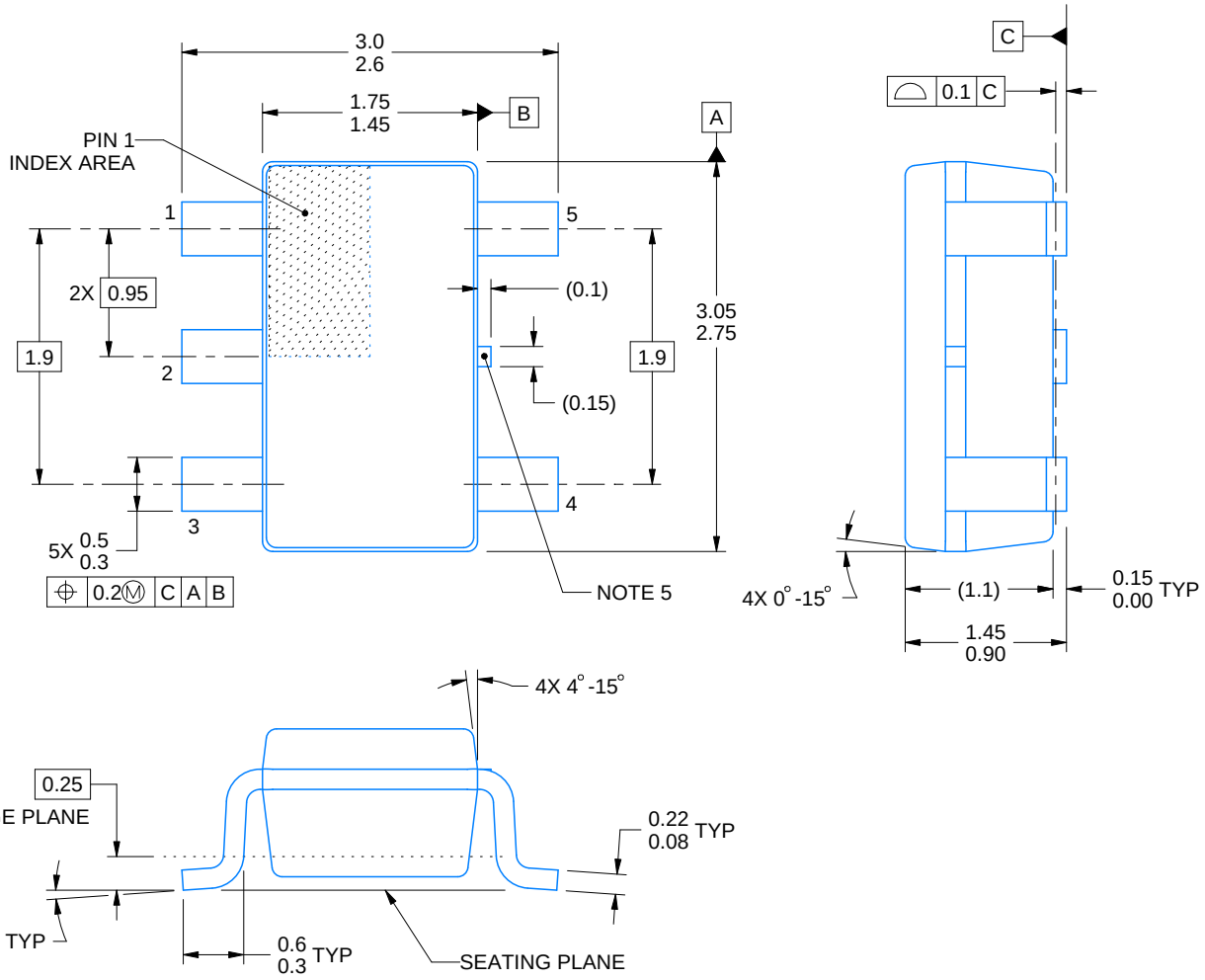
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73130DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73130DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73130DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS73131DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73132DBVR	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73133DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73133DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73133DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73133DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS73133DBVTG4	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS73150DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73150DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73150DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73150DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

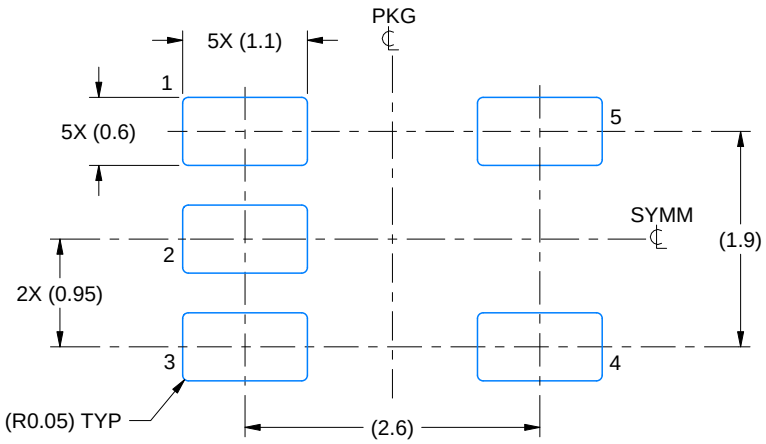
SMALL OUTLINE TRANSISTOR



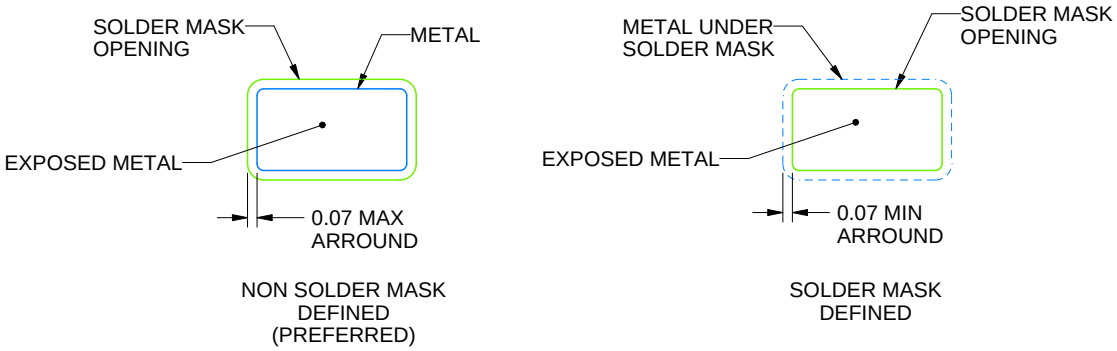
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

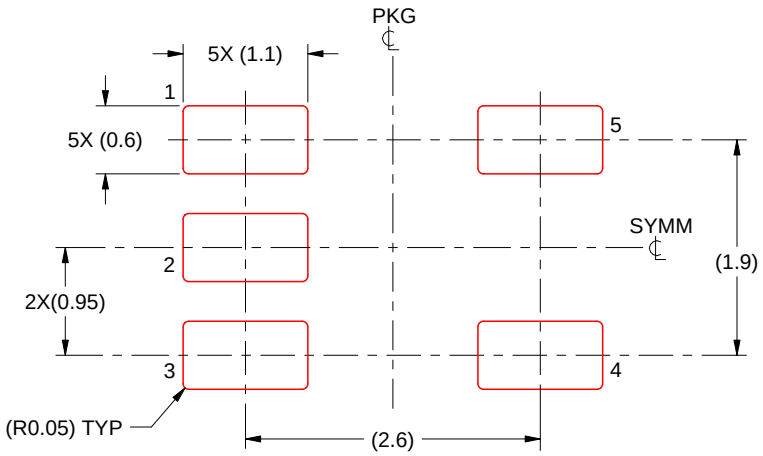


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月