TPS732 コンデンサ不要、NMOS、250mA、低ドロップアウト レギュレータ、逆電流保護機能搭載

1 特長

- 出力コンデンサなし、または任意の値またはタイプのコンデンサで安定動作
- 入力電圧範囲:1.7V ～ 5.5V
- 非常に低いドロップアウト電圧:250mA において 40mV (標準値)
- オプションの出力コンデンサの有無にかかわらず非常に優れた負荷過渡応答
- NMOS トポロジにより、低い逆リーク電流を実現
- 低ノイズ:30μV_{RMS} 標準値 (10kHz ～ 100kHz)
- 0.5% の初期精度
- 1% の総合精度 (ライン、負荷、温度)
- シャットダウン モードの最大 I_Q:1μA 未満
- サーマル シャットダウン、仕様規定された最小 / 最大電流制限保護
- 複数の出力電圧バージョンが利用可能:
  - 1.2V ～ 5V の 固定出力
  - 可変出力:1.2V～5.5V
  - カスタム出力品も提供

2 アプリケーション

- 携帯型およびバッテリ駆動の機器
- スイッチング電源のポスト レギュレーション
- ノイズの影響を受けやすい回路 (VCO など)
- DSP、FPGA、ASIC、マイクロプロセッサのポイント オブ ロード レギュレーション

3 概要

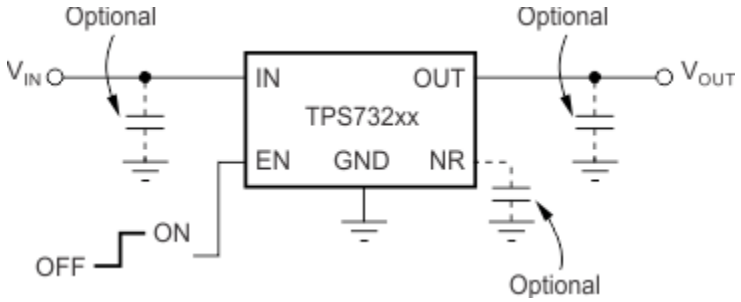
TPS732 低ドロップアウト (LDO) 電圧レギュレータは、NMOS パス トランジスタを電圧フォロワ構成で使用します。このトポロジは、低等価直列抵抗 (ESR) の出力コンデンサを使用して安定に動作し、コンデンサを使用しなくても動作できます。また、このデバイスは逆耐圧が高く (低逆電流)、グランド ピン電流が全出力電流値にわたってほぼ一定です。

TPS732 は、非常に低いドロップアウト電圧と小さいグランド ピン電流を実現すると同時に、先進の BiCMOS プロセスを使用することで高い精度を達成しています。ディセーブル時の消費電流は 1μA 未満であり、携帯型アプリケーション向けに設計されています。非常に小さい出力ノイズ (0.1μF の C_{NR} で 30μV_{RMS}) は、VCO への電力供給向けに設計されています。このデバイスは、サーマル シャットダウンとフォールドバック電流制限によって保護されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS732	DBV (SOT-23、5)	2.9mm × 2.8 mm
	DCQ (SOT-223、6)	6.5mm × 7.06 mm
	DRB (VSON、8)	3mm × 3 mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路(固定電圧バージョン)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 熱に関する情報.....5
5.6 電気的特性.....5
5.7 スイッチング特性.....6
5.8 代表的特性.....7
6 詳細説明.....16
6.1 概要.....16
6.2 機能ブロック図.....16
6.3 機能説明.....17
6.4 デバイスの機能モード.....19
7 アプリケーションと実装.....20
7.1 アプリケーション情報.....20
7.2 代表的なアプリケーション.....20
7.3 電源に関する推奨事項.....23
7.4 レイアウト.....23
8 デバイスおよびドキュメントのサポート.....27
8.1 デバイス サポート.....27
8.2 ドキュメントのサポート.....27
8.3 ドキュメントの更新通知を受け取る方法.....27
8.4 サポート・リソース.....27
8.5 商標.....27
8.6 静電気放電に関する注意事項.....28
8.7 用語集.....28
9 改訂履歴.....28
10 メカニカル、パッケージ、および注文情報.....28

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

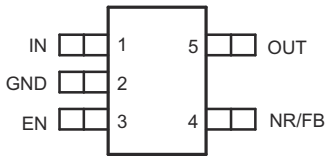


図 4-1. DBV パッケージ、 5 ピン SOT-23 (上面図)

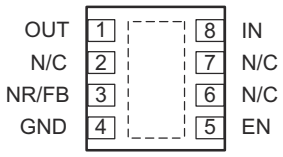


図 4-2. DRB パッケージ 8 ピン VSON、露出サーマル パッド付き (上面図)

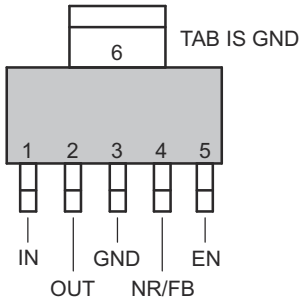


図 4-3. DCQ パッケージ、 6 ピン SOT-223 (上面図)

表 4-1. ピンの機能

ピン				タイプ(1)	説明
名称	番号				
	SOT-23	SOT-223	VSON		
EN	3	5	5	I	イネーブルピン (EN) を high にすると、レギュレータが動作します。このピンを low にすると、レギュレータはシャットダウンモードに移行します。詳細については、「*機能説明*」の「*イネーブルおよびシャットダウン*」セクションを参照してください。未使用時は EN を IN に接続してください。
FB	4	4	3	I	可変電圧バージョンのみ - このピンは制御ループのエラーアンプへの入力であり、デバイスの出力電圧を設定するために使用されます。
GND	2	3、6	4、Pad	—	グランド。
IN	1	1	8	I	入力電源。
NR	4	4	3	—	固定電圧バージョンのみ - 外付けコンデンサに接続することで、内部バンド ギャップによって発生するノイズがバイパスされる、出力ノイズを極めて低いレベルに低減できます。
OUT	5	2	1	O	レギュレータの出力。安定性のために出力コンデンサは必要ありません。

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電圧	入力、V_{IN}	-0.3	6	V
	イネーブル、V_{EN}	-0.3	6	
	出力、V_{OUT}	-0.3	5.5	
	V_{NR}、V_{FB}	-0.3	6	
電流	最大出力、I_{OUT}	内部的に制限		
出力短絡時間		無制限		
連続総許容損失	P_{DISS}	*熱に関する情報* 参照		
温度	動作時の接合部温度、T_J	-55	150	°C
	保存、T_{stg}	-65	150	

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧	1.7		5.5	V
I_{OUT}	出力電流	0		250	mA
T_J	動作時接合部温度	-40		125	°C

5.4 熱に関する情報

熱評価基準(1)		TPS732 新しいシリコン			単位
		DRB (VSON)	DCQ (SOT-223)	DBV (SOT-23)	
		8 ピン	6 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	49.4	76	185.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	76.6	46.6	82.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	22.0	18.1	53.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3.8	8.6	21.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	22.0	17.6	52.7	°C/W

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報 (続き)

熱評価基準(1)		TPS732 新しいシリコン			単位
		DRB (VSON)	DCQ (SOT-223)	DBV (SOT-23)	
		8 ピン	6 ピン	5 ピン	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	3.8	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 熱に関する情報

熱評価基準(1) (2)		TPS732 レガシー シリコン (3)			単位
		DRB (VSON)	DCQ (SOT-223)	DBV (SOT-23)	
		8 ピン	6 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	58.3	53.1	205.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	93.8	35.2	119	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	72.8	7.8	35.4	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	2.7	2.9	12.7	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	25	7.7	34.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	5	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) PCB 銅領域に基づく本製品の熱特性の見積もり値については、TI PCB Thermal Calculator を参照してください。
(3) DRB、DCQ および DBV パッケージの熱データは、JESD51 シリーズで規定されている JEDEC 規格の手法に基づく熱シミュレーションによって求められます。このシミュレーションでは、以下の条件を想定しています。

a. i. DRB:露出したパッドは、2x2 のサーマル ビア アレイを経由して PCB のグランド層に接続されます。
ii. DCQ:露出したパッドは、3x2 のサーマル ビア アレイを経由して PCB のグランド層に接続されます。
iii. DBV:DBV パッケージには露出パッドはありません。

b. i. DRB:最上層と最下層の銅層は、20% が銅箔実装領域であることから、銅の熱伝導率の 20% であると想定されます。
ii. DCQ:最上層と最下層の各銅層には、20% の銅箔実装領域用のパターンがあります。
iii. DBV:最上層と最下層の銅層は、20% が銅箔実装領域であることから、銅の熱伝導率の 20% であると想定されます。

c. これらのデータは、銅箔部分が 3 インチ × 3 インチの JEDEC high-K (2s2p) ボードの中央にある 1 つのデバイスのみを使用して生成されています。銅の面積が放熱性能に与える影響については、このデータシートの「消費電力」セクションを参照してください。

5.6 電気的特性

動作温度範囲 (T_J = –40°C ～ 125°C)、V_{IN} = $V_{OUT(nom)}$+ 0.5V(1) 、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF (特に記述のない限り)。標準値は T_J = 25°C 時に測定

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IN}	入力電圧範囲(1)			1.7		5.5	V
V_{FB}	内部リファレンス (TPS73201)	T_J = 25°C		1.198	1.204	1.210	V
V_{OUT}	出力電圧範囲 (TPS73201) (2)			V_{FB}		5.5 - V_{DO}	V
V_{OUT}	精度(1) (3)	公称	T_J = 25°C	-0.5		0.5	%
		V_{IN}、I_{OUT}、および T	V_{OUT} + 0.5V ≦ V_{IN} ≦ 5.5V、10mA ≦ I_{OUT} ≦ 250mA	-1	±0.5	1	%
$\Delta V_{OUT(\Delta VIN)}$	ライン レギュレーション (1)	$V_{OUT(nom)}$ + 0.5V ≦ V_{IN} ≦ 5.5V			0.01		%/V

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性 (続き)

動作温度範囲 (T_J = –40°C ～ 125°C)、V_{IN} = $V_{OUT(nom)}$+ 0.5V(1) 、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF (特に記述のない限り)。標準値は T_J = 25°C 時に測定

パラメータ		テスト条件	最小値	標準値	最大値	単位
$\Delta V_{OUT(\Delta IOUT)}$	ロード レギュレーション	1mA ≤ I_{OUT} ≤ 250mA		0.002		%/mA
		10mA ≤ I_{OUT} ≤ 250mA		0.0005		
V_{DO}	ドロップアウト電圧(4) (V_{IN} = $V_{OUT(NOM)}$ - 0.1V)	I_{OUT} = 250mA		40	150	mV
$Z_{O(DO)}$	ドロップアウト時の出力インピーダンス	1.7V ≦ V_{IN} ≦ V_{OUT} + V_{DO}		0.25		Ω
I_{CL}	出力電流制限	V_{OUT} = 0.9 × $V_{OUT(nom)}$	250	425	600	mA
I_{SC}	短絡電流	V_{OUT} = 0V		300		mA
I_{REV}	逆リーク電流(5) (-I_{IN})	V_{EN} ≦ 0.5V、0V ≦ V_{IN} ≦ V_{OUT}		0.1	10	µA
I_{GND}	グランド ピン電流	I_{OUT} = 10mA (I_Q)、レガシー シリコン		400	550	µA
		I_{OUT} = 10mA (I_Q)、新しいシリコン		400	630	
I_{GND}	グランド ピン電流	I_{OUT} = 10mA (I_Q)、V_{OUT} = 5V のみ、新しいシリコン		580	700	µA
I_{GND}	グランド ピン電流	I_{OUT} = 250mA		650	950	µA
I_{SHDN}	シャットダウン時の電流 (I_{GND})	V_{EN} ≦ 0.5V、V_{OUT} ≦ V_{IN} ≦ 5.5V、–40°C ≦ T_J ≦ 100°C、レガシーシリコン		0.02	1	µA
		V_{EN} ≦ 0.5V、V_{OUT} ≦ V_{IN} ≦ 5.5V、新しいシリコン		0.02	1	
I_{FB}	帰還ピン電流 (TPS73201)			0.1	0.3	µA
PSRR	電源電圧変動除去比 (リップル除去)	f = 100Hz、I_{OUT} = 250mA		58		dB
		f = 10kHz、I_{OUT} = 250mA		37		
V_N	出力ノイズ電圧、BW = 10Hz~100kHz	C_{OUT} = 10µF、C_{NR} なし		27 × V_{OUT}		μV_{RMS}
		C_{OUT} = 10µF、C_{NR} =0.01µF		8.5 × V_{OUT}		
$V_{EN(high)}$	EN ピン 高 (イネーブル)		1.7		V_{IN}	V
$V_{EN(low)}$	EN ピン 低 (シャットダウン)		0		0.5	V
$I_{EN(high)}$	イネーブル ピンの電流 (イネーブル)	V_{EN} = 5.5V		0.02	0.1	µA
T_{SD}	サーマル シャットダウン温度	シャットダウン、温度上昇		160		°C
		リセット、温度低下		140		
T_J	動作時接合部温度		-40		125	°C

(1) 最小 V_{IN} = V_{OUT} + V_{DO} または 1.7V のいずれか大きい方。
(2) TPS73201 は、V_{OUT} = 2.5V でテストされています。
(3) この仕様には外付け抵抗の許容誤差は含まれていません。
(4) V_{DO} は、$V_{OUT(nom)}$ < 1.8V の出力バージョンでは、最小 V_{IN} = 1.7V であるため測定されません。
(5) 固定電圧バージョンのみ対応。詳細は「*アプリケーション情報*」セクションを参照してください。

5.7 スイッチング特性

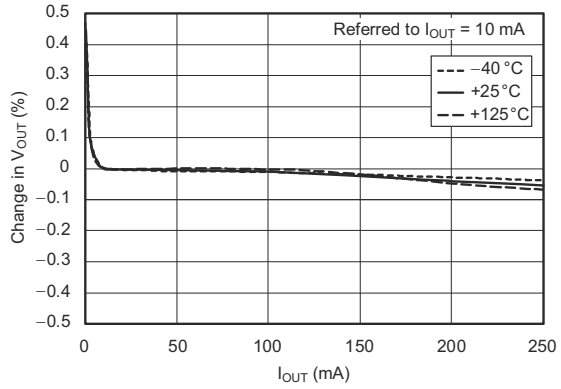
自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{STR}	起動時間	V_{OUT} = 3V、R_L = 30Ω、C_{OUT} = 1µF、C_{NR} = 0.01µF		600		µs

Copyright © 2026 Texas Instruments Incorporated

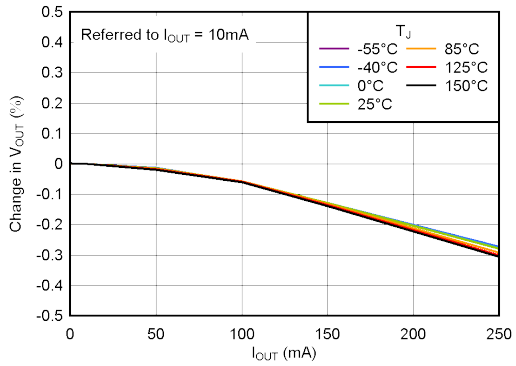
5.8 代表的特性

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下において (特に記述のない限り)



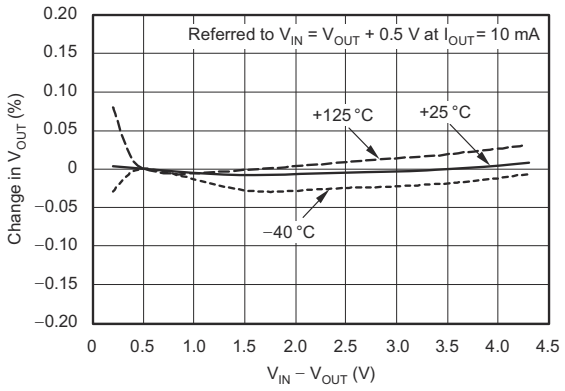
レガシー シリコン

図 5-1. ロード レギュレーション



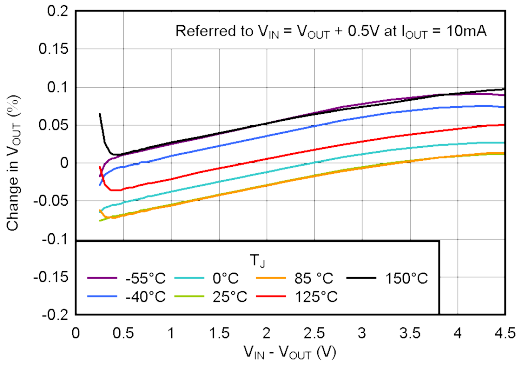
新しいシリコン

図 5-2. ロード レギュレーション



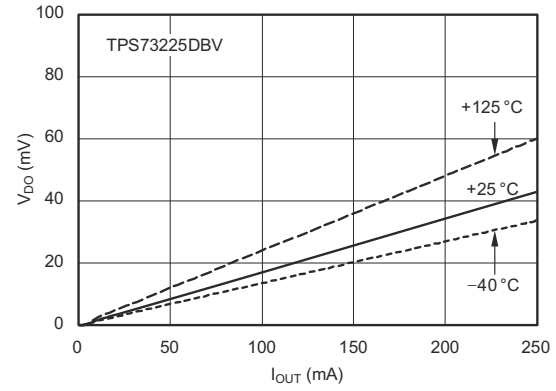
レガシー シリコン

図 5-3. ライン レギュレーション



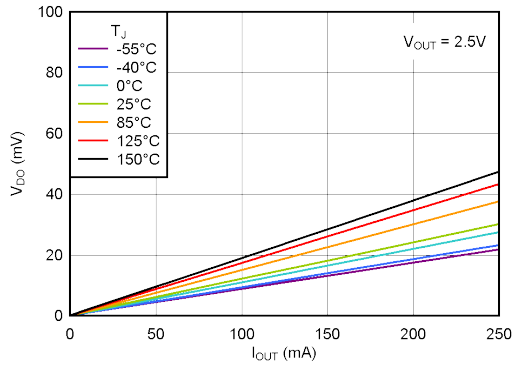
新しいシリコン

図 5-4. ライン レギュレーション



レガシー シリコン

図 5-5. ドロップアウト電圧と出力電流との関係

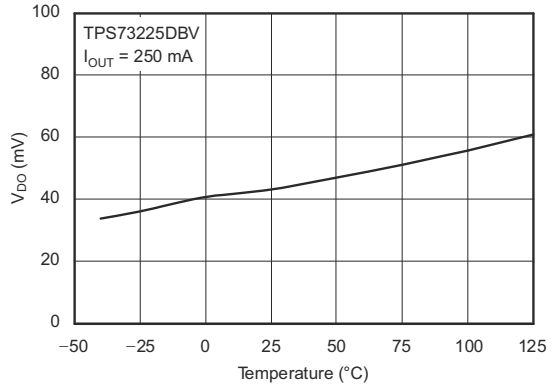


新しいシリコン

図 5-6. ドロップアウト電圧と出力電流との関係

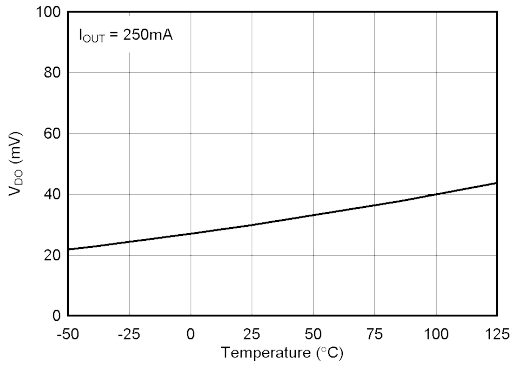
5.8 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下において (特に記述のない限り)



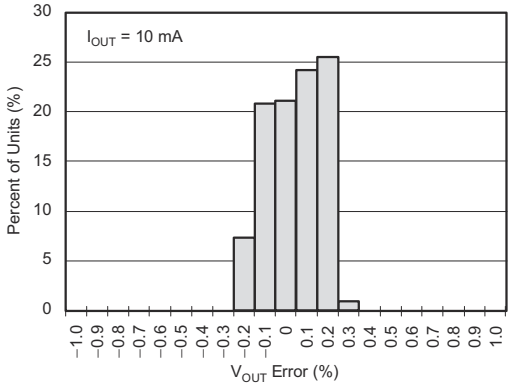
レガシー シリコン

図 5-7. ドロップアウト電圧 vs 温度



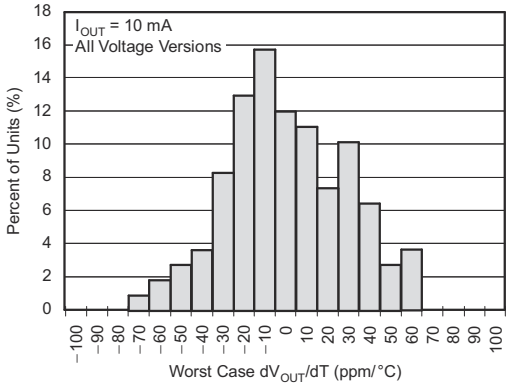
新しいシリコン

図 5-8. ドロップアウト電圧 vs 温度



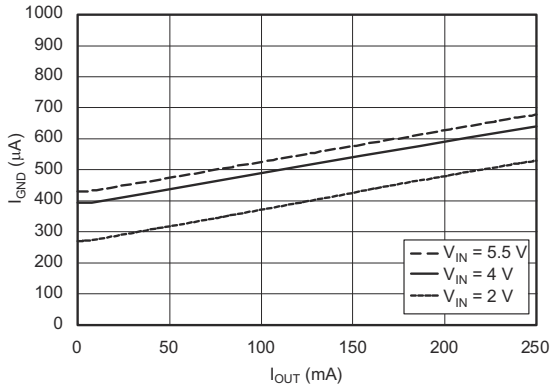
レガシー シリコン

図 5-9. 出力電圧精度のヒストグラム



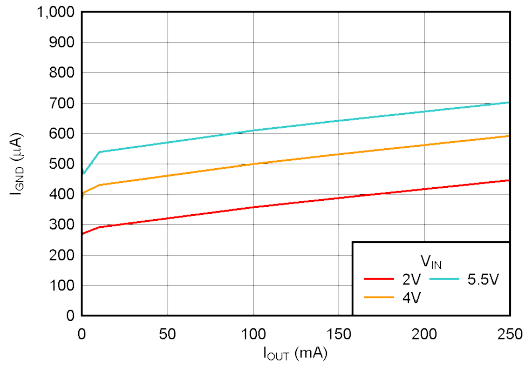
レガシー シリコン

図 5-10. 出力電圧ドリフトのヒストグラム



レガシー シリコン

図 5-11. グランドピンの電流と出力電流との関係



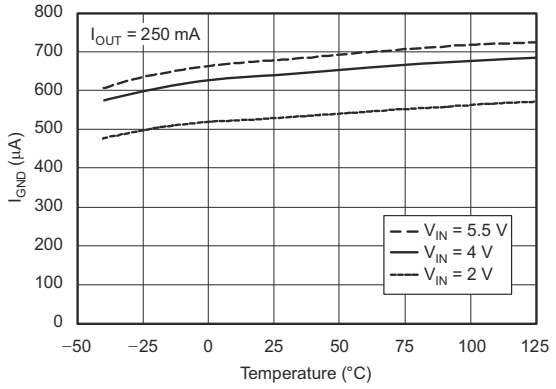
新しいシリコン

図 5-12. グランドピンの電流と出力電流との関係

Copyright © 2026 Texas Instruments Incorporated

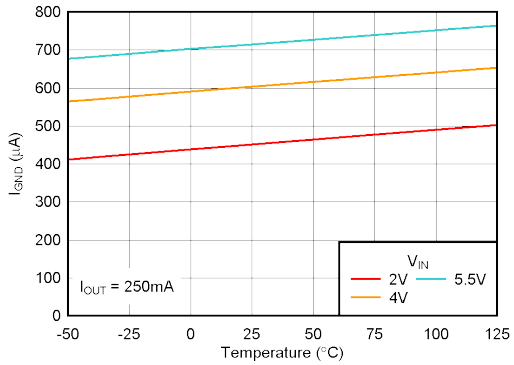
5.8 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下において (特に記述のない限り)



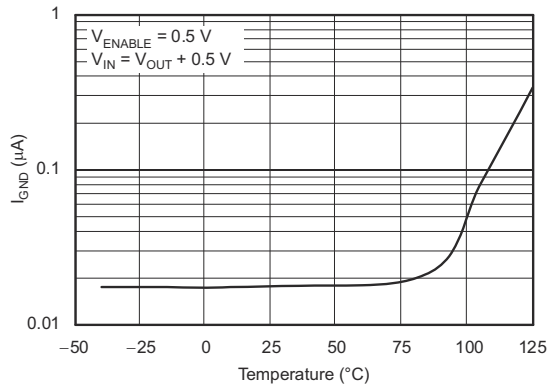
レガシー シリコン

図 5-13. グランドピンの電流と温度との関係



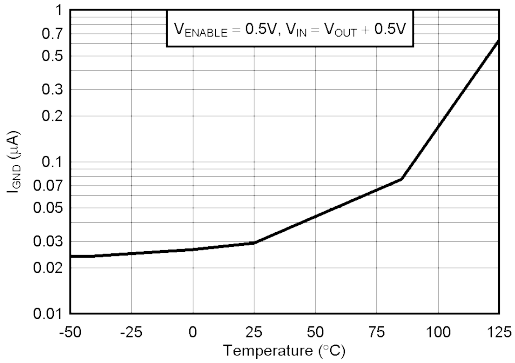
新しいシリコン

図 5-14. グランドピンの電流と温度との関係



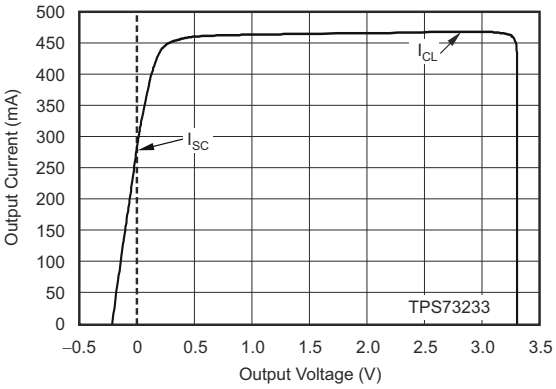
レガシー シリコン

図 5-15. シャットダウン時のグランドピンの電流と温度との関係



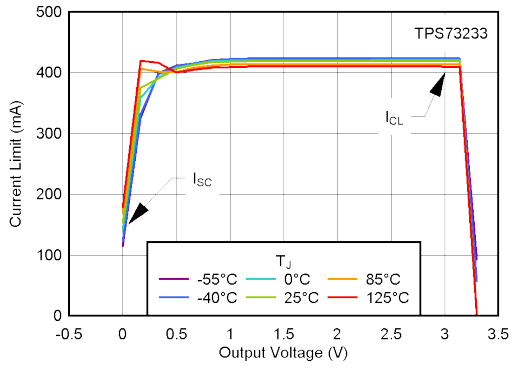
新しいシリコン

図 5-16. シャットダウン時のグランドピンの電流と温度との関係



レガシー シリコン

図 5-17. 電流制限と V_{OUT} (フォールドバック) の関係



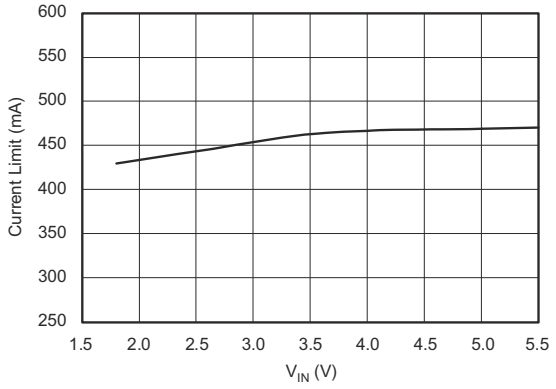
新しいシリコン

図 5-18. 電流制限と V_{OUT} (フォールドバック) の関係

Copyright © 2026 Texas Instruments Incorporated

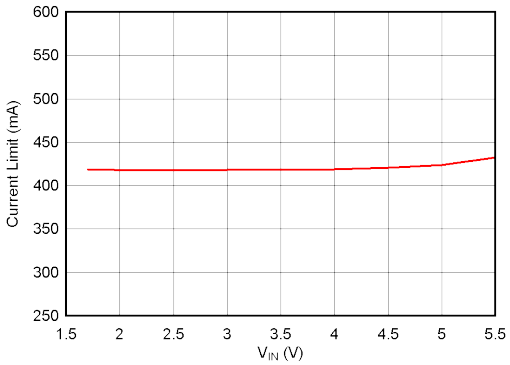
5.8 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下において (特に記述のない限り)



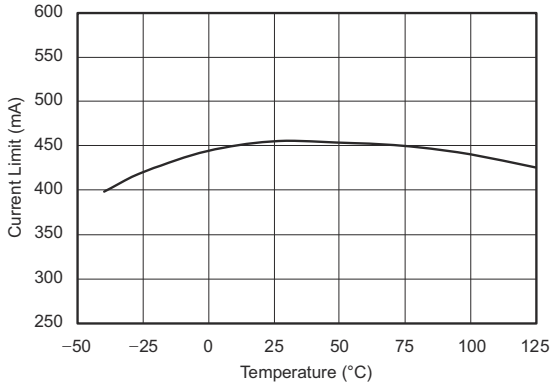
レガシー シリコン

図 5-19. 電流制限と V_{IN} との関係



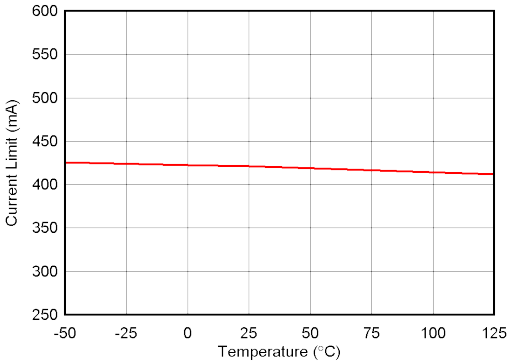
新しいシリコン

図 5-20. 電流制限と V_{IN} との関係



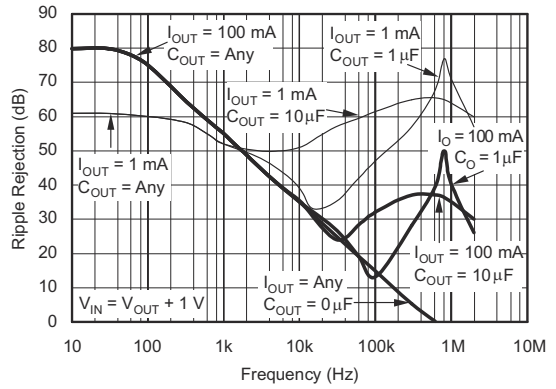
レガシー シリコン

図 5-21. 電流制限と温度との関係



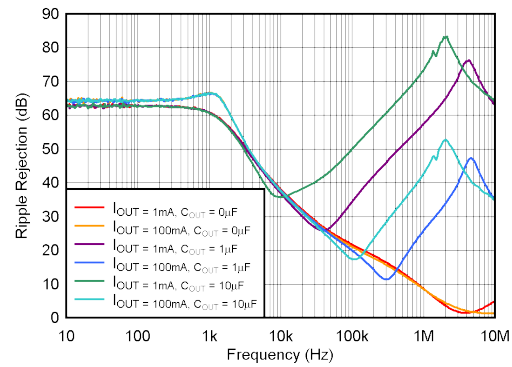
新しいシリコン

図 5-22. 電流制限と温度との関係



レガシー シリコン

図 5-23. PSRR (リップル除去) と周波数との関係



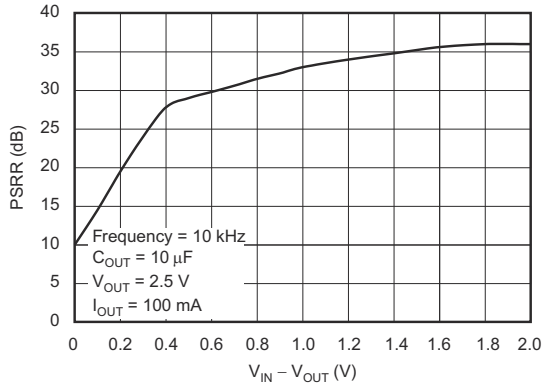
新しいシリコン

図 5-24. PSRR (リップル除去) と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

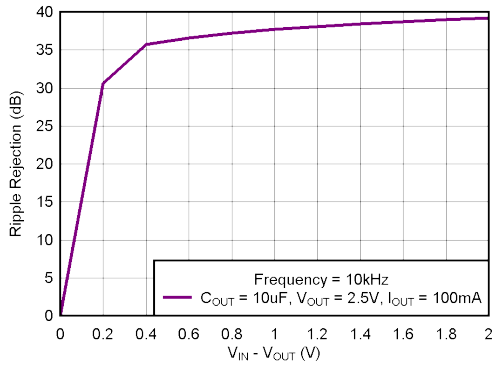
5.8 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下において (特に記述のない限り)



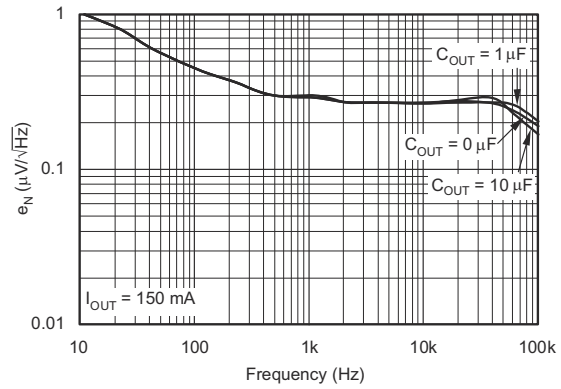
レガシー シリコン

図 5-25. PSRR (リップル除去) と (V_{IN} – V_{OUT}) との関係



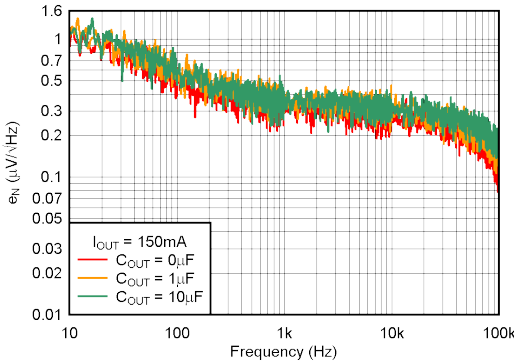
新しいシリコン

図 5-26. PSRR (リップル除去) と (V_{IN} – V_{OUT}) との関係



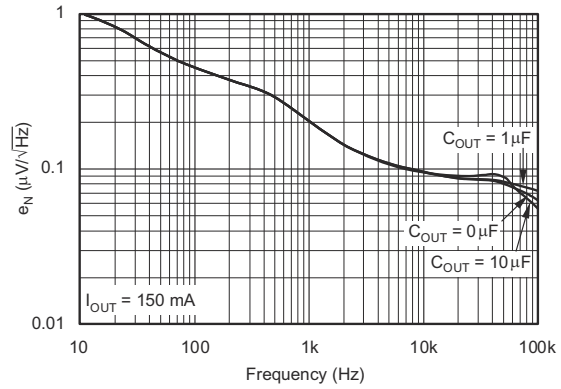
レガシー シリコン

図 5-27. ノイズ スペクトル密度 C_{NR} = 0µF



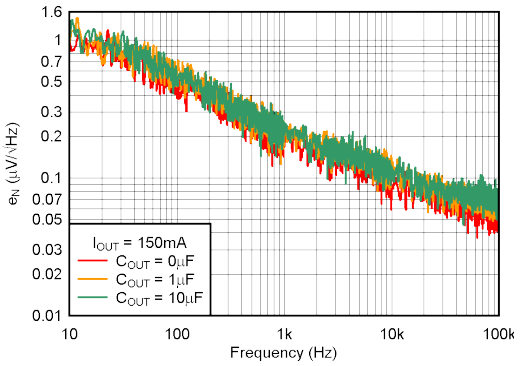
新しいシリコン

図 5-28. ノイズ スペクトル密度 C_{NR} = 0µF



レガシー シリコン

図 5-29. ノイズ スペクトル密度 C_{NR} = 0.01µF



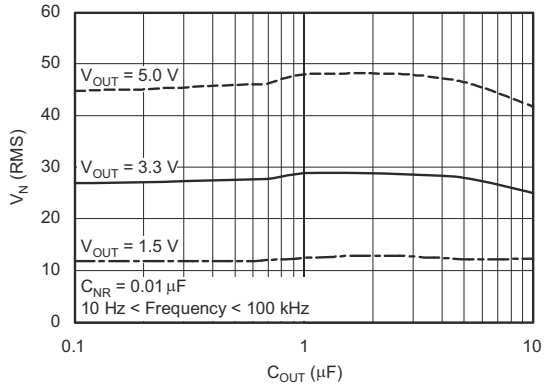
新しいシリコン

図 5-30. ノイズ スペクトル密度 C_{NR} = 0.01µF

Copyright © 2026 Texas Instruments Incorporated

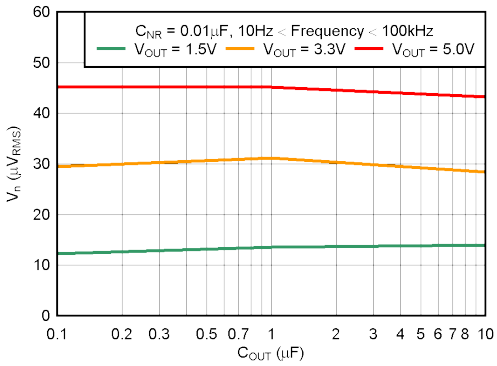
5.8 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下において (特に記述のない限り)



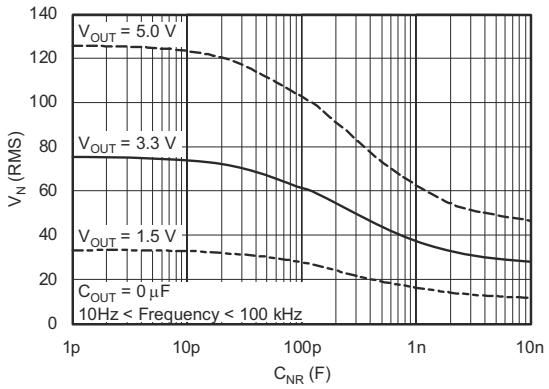
レガシー シリコン

図 5-31. RMS ノイズ電圧と C_{OUT} との関係



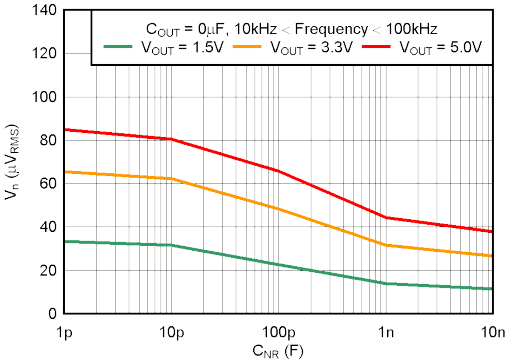
新しいシリコン

図 5-32. RMS ノイズ電圧と C_{OUT} との関係



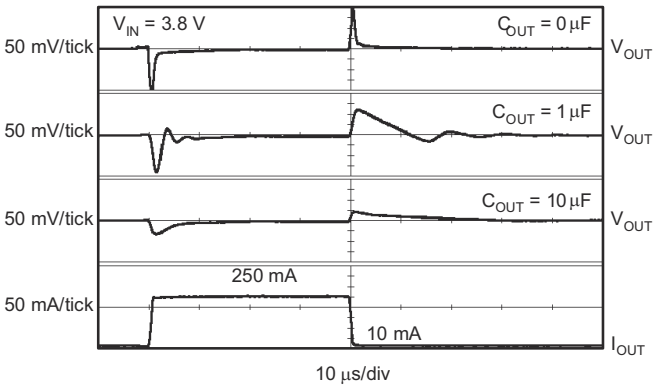
レガシー シリコン

図 5-33. RMS ノイズ電圧と C_{NR} との関係



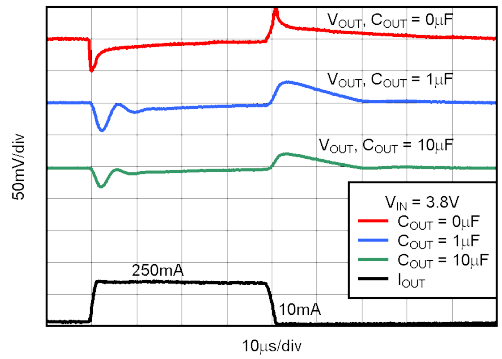
新しいシリコン

図 5-34. RMS ノイズ電圧と C_{NR} との関係



レガシー シリコン

図 5-35. TPS73233 の負荷過渡応答



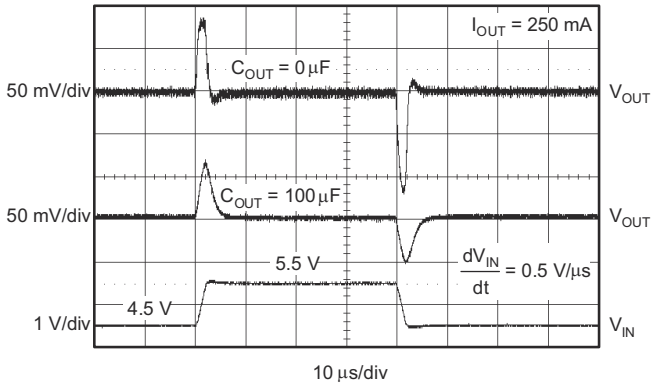
新しいシリコン

図 5-36. TPS73233 の負荷過渡応答

Copyright © 2026 Texas Instruments Incorporated

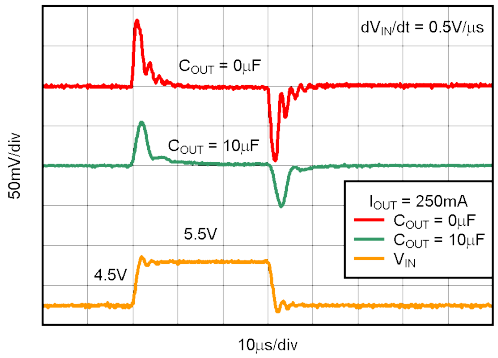
5.8 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下において (特に記述のない限り)



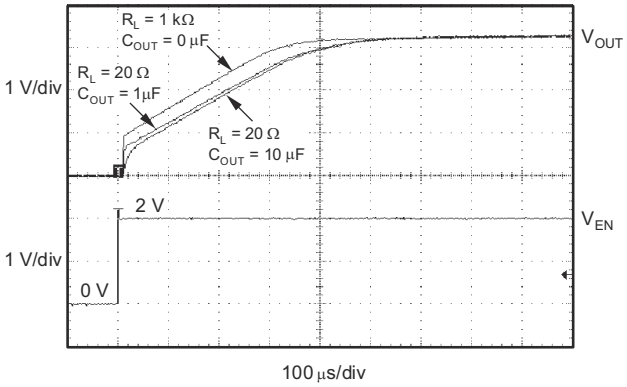
レガシー シリコン

図 5-37. TPS73233 のライン過渡応答



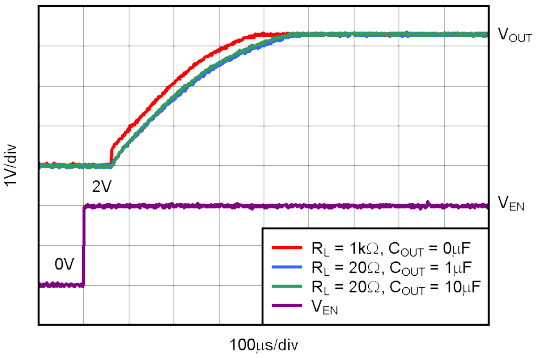
新しいシリコン

図 5-38. TPS73233 のライン過渡応答



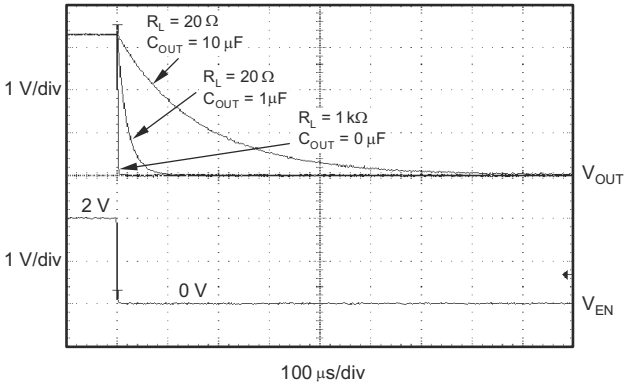
レガシー シリコン

図 5-39. TPS73233 のターンオン応答



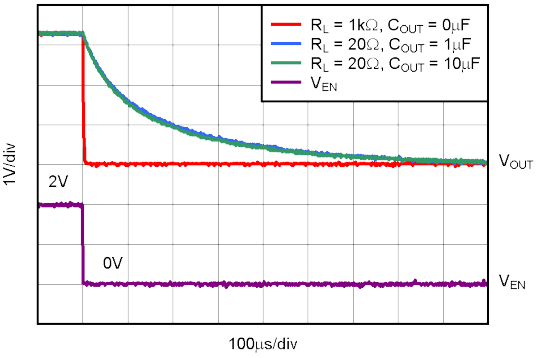
新しいシリコン

図 5-40. TPS73233 のターンオン応答



レガシー シリコン

図 5-41. TPS73233 のターンオフ応答



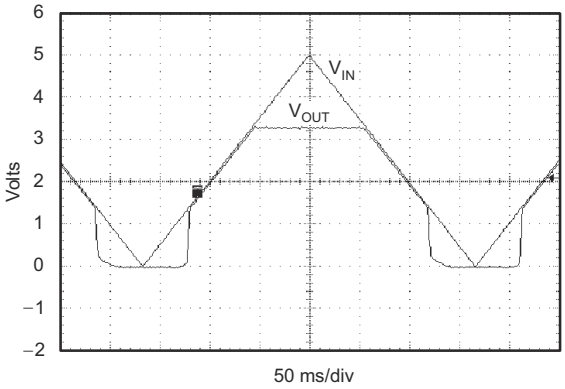
新しいシリコン

図 5-42. TPS73233 のターンオフ応答

Copyright © 2026 Texas Instruments Incorporated

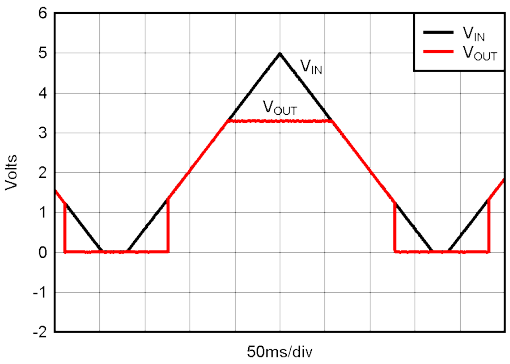
5.8 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下において (特に記述のない限り)



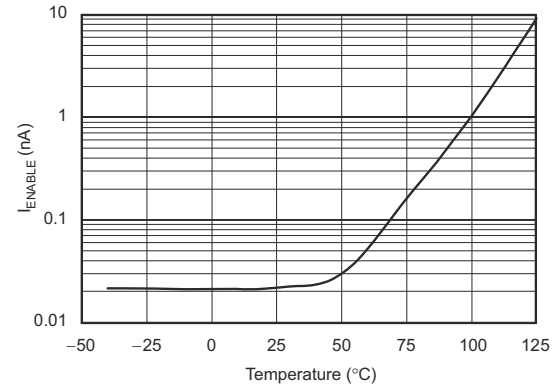
レガシー シリコン

図 5-43. TPS73233 パワーアップおよびパワーダウン



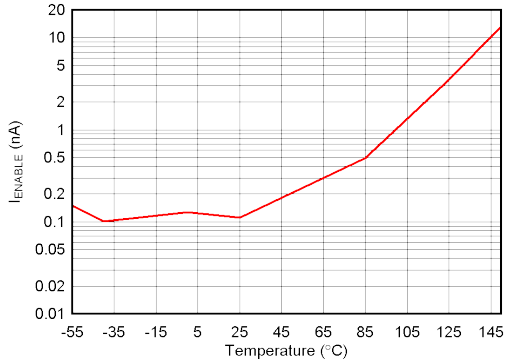
新しいシリコン

図 5-44. TPS73233 パワーアップおよびパワーダウン



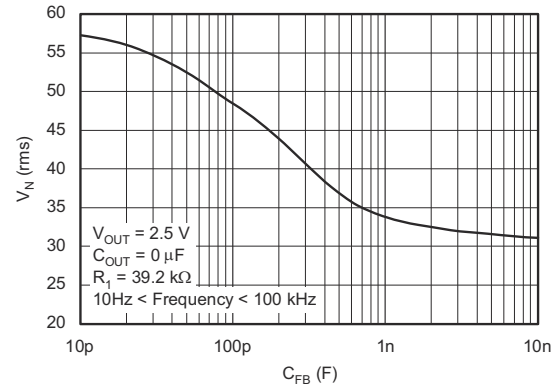
レガシー シリコン

図 5-45. I_{ENABLE} vs 温度



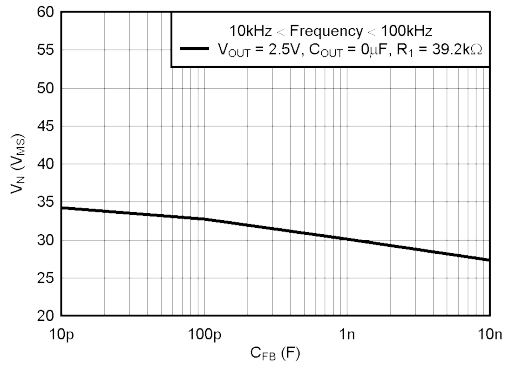
新しいシリコン

図 5-46. I_{ENABLE} vs 温度



レガシー シリコン

図 5-47. TPS73201 の RMS ノイズ電圧と C_{FB} との関係



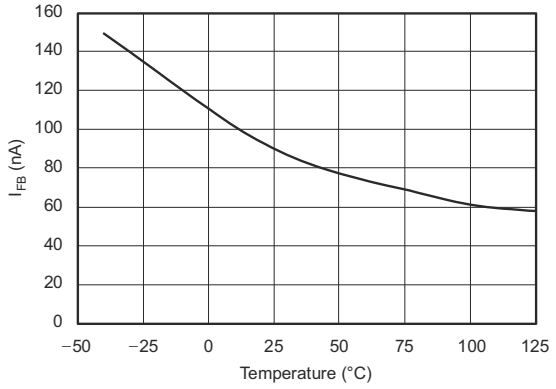
新しいシリコン

図 5-48. TPS73201 の RMS ノイズ電圧と C_{FB} との関係

Copyright © 2026 Texas Instruments Incorporated

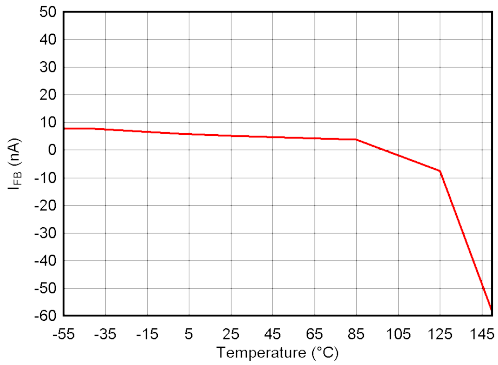
5.8 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 10mA、V_{EN} = 1.7V、C_{OUT} = 0.1µF の条件下において (特に記述のない限り)



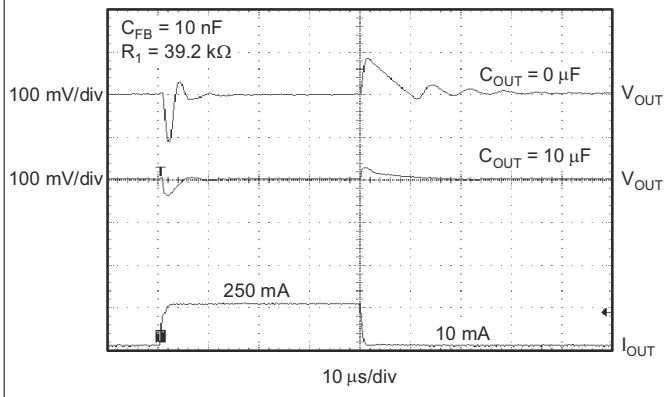
レガシー シリコン

図 5-49. TPS73201 I_{FB} と温度との関係



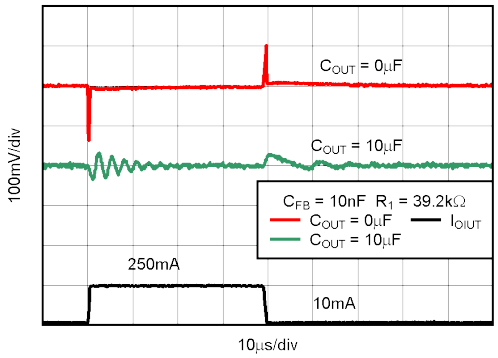
新しいシリコン

図 5-50. TPS73201 I_{FB} と温度との関係



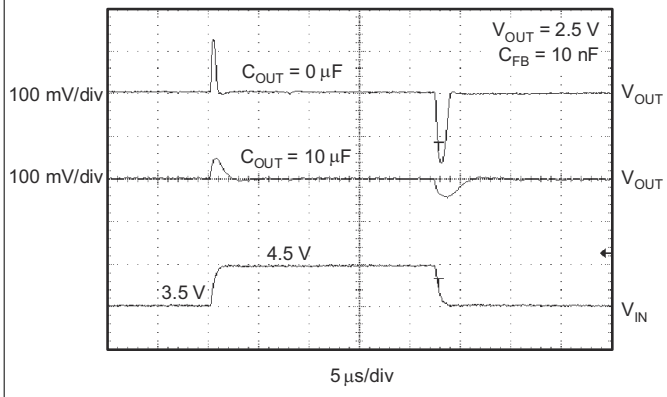
レガシー シリコン

図 5-51. TPS73201 の負荷過渡応答、可変バージョン



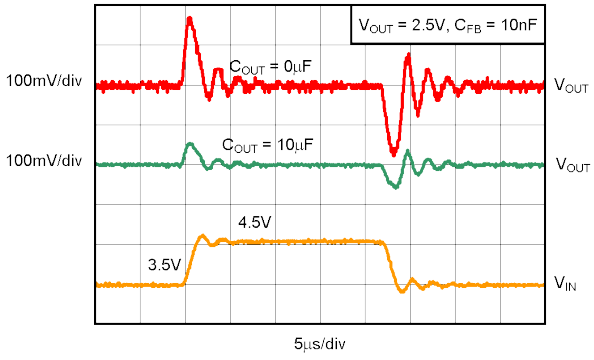
新しいシリコン

図 5-52. TPS73201 の負荷過渡応答、可変バージョン



レガシー シリコン

図 5-53. TPS73201 のライン過渡応答、可変バージョン



新しいシリコン

図 5-54. TPS73201 のライン過渡応答、可変バージョン

6 詳細説明

6.1 概要

TPS732 低ドロップアウト リニア レギュレータは 1.7V の入力電圧で動作し、少なくとも 1.2V の出力電圧をサポートしながら、250mA の負荷電流を供給できます。このリニア レギュレータは、NMOS パストランジスタと内蔵 4Mhz チャージ ポンプを使用して、全負荷電流で 150mV 未満のドロップアウト電圧を実現します。この独自のアーキテクチャにより、広い範囲の出力コンデンサにわたって安定したレギュレーションも可能です。さらに、TPS732 には、安定性のために出力コンデンサは必要ありません。このリニア レギュレータは、出力コンデンサの値とタイプに対する感度が向上しているため、実効容量が不明な負荷に電力を供給するように設計されています。

また、TPS732 にはノイズ低減 (NR) ピンが搭載されており、出力ノイズをさらに低減できます。NR ピンと GND の間に 0.01μF のノイズ低減コンデンサを接続した場合、TPS73215 の標準出力ノイズは 12.75μV_{RMS}。TPS732 は低ノイズ出力を備えているため、このデバイスは VCO やその他ノイズに敏感な負荷への電力供給用に設計されています。

6.2 機能ブロック図

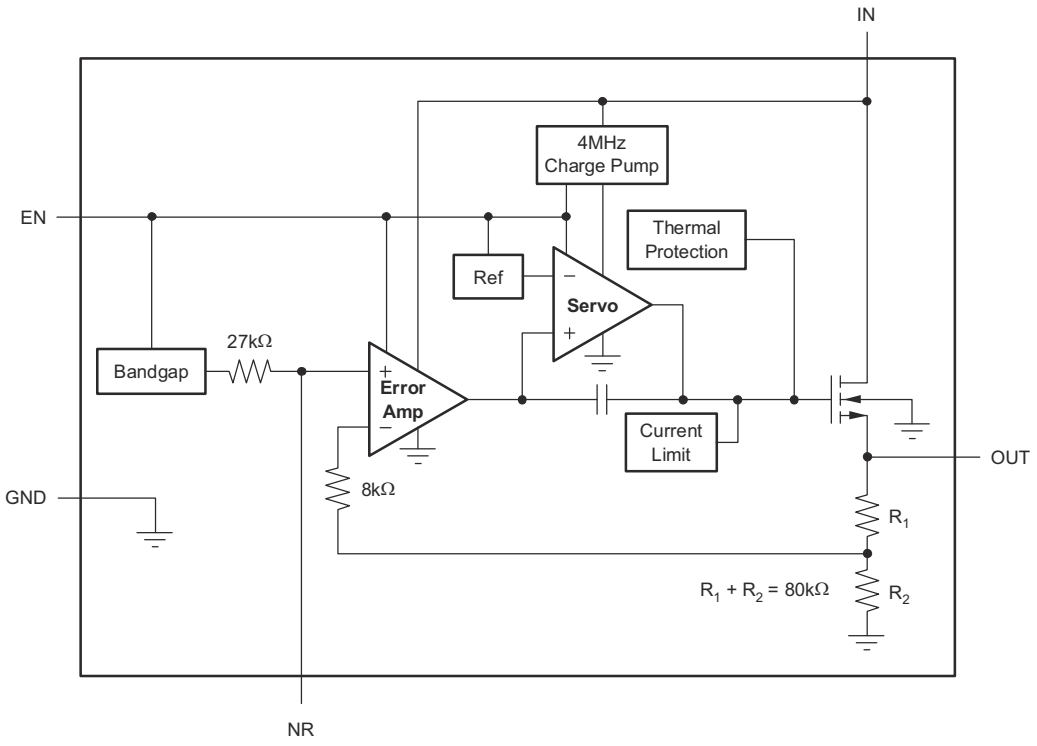


図 6-1. 固定電圧バージョン

Copyright © 2026 Texas Instruments Incorporated

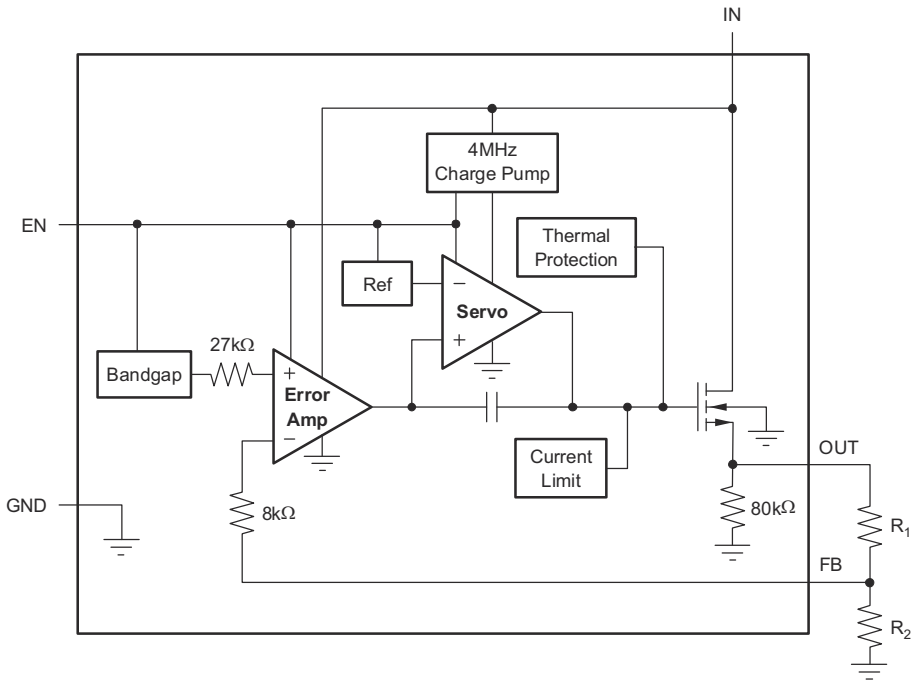


Table 1. Standard 1% Resistor Values for Common Output Voltages

V_O	R_1	R_2
1.2V	Short	Open
1.5V	23.2kΩ	95.3kΩ
1.8V	28.0kΩ	56.2kΩ
2.5V	39.2kΩ	36.5kΩ
2.8V	44.2kΩ	33.2kΩ
3.0V	46.4kΩ	30.9kΩ
3.3V	52.3kΩ	30.1kΩ

NOTE: $V_{OUT} = (R_1 + R_2)/R_2 \times 1.204$; $R_1 || R_2 \cong 19k\Omega$ for best accuracy.

図 6-2. 可変電圧バージョン

6.3 機能説明

6.3.1 出力ノイズ

高精度のバンドギャップ基準電圧を使用して、内部リファレンス電圧 V_{REF} を生成します。このリファレンスは TPS732 の主要なノイズ源であり、リファレンス出力 (NR) で約 $32\mu V_{RMS}$ (10Hz ～ 100kHz) を生成します。レギュレータの制御ループはリファレンス電圧と同じゲインでリファレンス ノイズを増幅するため、レギュレータのノイズ電圧概算は以下で求められます。

$$V_{IN} = 32\mu V_{RMS} \times \frac{(R_1 + R_2)}{R_2} = 32\mu V_{RMS} \times \frac{V_{OUT}}{V_{REF}} \quad (1)$$

V_{REF} の値が 1.2V であるため、この関係は以下のように減少します。

$$V_N(\mu V_{RMS}) = 27\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}(V) \quad (2)$$

外部ノイズ低減コンデンサ C_{NR} がノイズ低減ピン (NR) からグランドに接続されているとき、27kΩ の内部抵抗を NR と直列に接続すると、電圧リファレンスのローパス フィルタが形成されます。C_{NR} = 10nF の場合、10Hz ～ 100kHz の帯域幅での合計ノイズは約 3.2 倍に低減され、そのおおよその関係は次のように得られます。

$$V_N(\mu V_{RMS}) = 8.5\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}(V) \quad (3)$$

C_{NR} = 10nF の場合。

このノイズ低減の効果は、「代表的特性」セクションで、*RMS Noise Voltage vs C_{NR}* (図 5-33) として示されています。

可変バージョンの TPS73201 には、NR ピンがありません。しかし、帰還コンデンサ C_{FB} を出力から帰還ピン (FB) に接続することで、出力ノイズが減少し、負荷過渡性能が向上します。

Copyright © 2026 Texas Instruments Incorporated

-TPS732 は内部チャージ ポンプを用いて内部電源電圧を生成し、V_{OUT} を上回る電圧での NMOS パス素子のゲート駆動も可能にします。チャージ ポンプは約 4MHz で約 250µV のスイッチング ノイズを生成しますが、チャージ ポンプ ノイズの影響はレギュレータの出力における I_{OUT} および C_{OUT} のほとんどの値で、無視できるほど小さくなります。

6.3.2 内部電流制限

TPS732 の内部電流制限は、故障時にもレギュレータを保護します。フォールドバック電流制限は、V_{OUT} が 0.5V を下回ったときに電流制限を下げることで、出力短絡時のレギュレータの損傷を防ぎます。I_{OUT} と V_{OUT} の関係のグラフについては、「代表的特性」セクションの「図 5-17」を参照してください。

図 5-17 から、V_{OUT} が約 -0.2V のとき、電流制限は 0mA になります。したがって、EN が High になる前に OUT が強制的に -0.2V より低くなった場合、デバイスがスタート アップしない可能性があります。正と負の両方の電源電圧で動作するアプリケーションでは、TPS732 を最初に有効にする必要があります。

6.3.3 イネーブルおよびシャットダウン

イネーブルピン（EN）はアクティブ High であり、標準の TTL-CMOS レベルと互換です。イネーブルピン（EN）はアクティブ High であ標準的な TTL-CMOS レベルと互換性があります。V_{EN} が 0.5V（最大値）未満になると、レギュレータはオフになり、GND ピンの電流は約 10nA にまで低下します。EN ピンを使用してレギュレータをシャットダウンすると、すべての電荷がパストランジスタのゲートから除去されます。V_{EN} が 1.7v（最小値）を超えるとレギュレータはオンになり、出力は制御された V_{OUT} に戻ります（詳細は図 5-39 を参照）。

シャットダウン機能が不要な場合は、EN ピンを V_{IN} に接続します。ただし、この構成を使用するとパス ゲートを放電できず、V_{IN} が解除された後も、パス トランジスタが長期間オン (拡張) のままになる可能性があります。この状況では、逆電流が流れ (IN ピンが低インピーダンスの場合)、電源オン時のランプ時間が短くなります。さらに、V_{IN} のランプ時間が数ミリ秒より遅い場合、パワーアップ時に出力がオーバーシュートを起こす可能性があります。

条件によっては、電流制限フォールドバックを用いてデバイスのスタートアップを防止できます。*内部電流制限* セクションを参照してください。

6.3.4 ドロップアウト電圧

TPS732 は NMOS パス トランジスタを使用して、非常に低いドロップアウトを実現しています。(V_{IN} – V_{OUT}) がドロップアウト電圧 (V_{DO}) よりも低い場合、NMOS パス トランジスタはリニア領域での動作になり、入出力抵抗は NMOS パス トランジスタの $R_{DS(on)}$ となります。

TPS732 では、負荷電流の急激な負荷変動時、過渡応答の低下を避けるために V_{IN} から V_{OUT} への電圧降下を十分に確保する必要があります。この過渡ドロップアウト領域の境界は、DC ドロップアウト電圧の約 2 倍です。(V_{IN} – V_{OUT}) の値がこの境界を超えている場合、通常の過渡応答が得られます。

過渡ドロップアウト領域で動作する場合、復帰時間が長くなります。負荷過渡からの回復に要する時間は、負荷電流レートの変化率、負荷電流の変化率、使用可能なヘッドルーム (V_{IN} から V_{OUT} への電圧降下) の関数で求められます。ワーストケース条件 [(V_{IN} – V_{OUT}) が DC ドロップアウト レベルに近い状態でのフルスケール瞬時負荷変動] において、TPS732 は仕様どおりのレギュレーション精度に復帰するまでに数百マイクロ秒を要する場合があります。

6.3.5 逆電流

-TPS732 の NMOS パス トランジスタは、パス トランジスタのゲート引き下げ時にレギュレータの出力から入力への電流の逆流を防ぎ、固有安全性を高めます。パストランジスタのゲートから確実にすべての電荷を取り除くには、入力電圧が取り除かれる前に EN ピンを low に駆動します。このプロセスを実行しないと、トランジスタに蓄積された電荷が原因でパストランジスタがオンのままになる可能性があります。

EN ピンを low に駆動した後、いずれのピンにも逆電流を遮断するためのバイアス電圧は必要ありません。逆電流とは、OUT ピンに電圧が印可された結果として IN ピンから流れ出す電流を指します。80kΩ 内部抵抗分圧器がグランドに接続されているため、OUT ピンに追加の電流が流れます（「図 6-1 」および「図 6-2 」を参照）。

TPS73201 の場合、V_{FB} が V_{IN} を 1V 以上上回ると、逆電流が流れる可能性があります。

Copyright © 2026 Texas Instruments Incorporated

6.4 デバイスの機能モード

6.4.1 1.7V ≤ V_{IN} ≤ 5.5V および V_{EN} ≥ 1.7V での通常動作

TPS732 は、正常に機能し、レギュレーションを維持するために 1.7V 以上の入力電圧を必要とします。

本デバイスを 5.5V 付近で動作させるときは、6V の絶対最大定格電圧を超える過渡スパイクを抑制します。5.5V を超える DC 電圧では絶対に動作させないでください。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS732 LDO レギュレータは NMOS パストランジスタを使用して、超低ドロップアウト性能および逆電流ブロックを実現し、出力コンデンサの制約を受けないようにしています。これらの機能に加え、低ノイズおよびイネーブル入力を備えた TPS732 は、携帯用途向けに設計されています。このレギュレータには、広範な固定出力電圧バージョンと可変出力バージョンがあります。すべてのバージョンには、フォールドバック電流制限など、過熱保護および過電流保護機能が搭載されています。

7.2 代表的なアプリケーション

図 7-1 に、固定電圧モデルの基本的な回路接続を示します。図 7-2 に、可変電圧バージョン (TPS73201) の接続を示します。

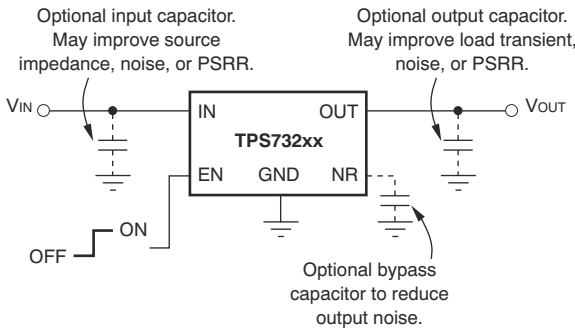


図 7-1. 代表的なアプリケーション回路 (固定電圧バージョン)

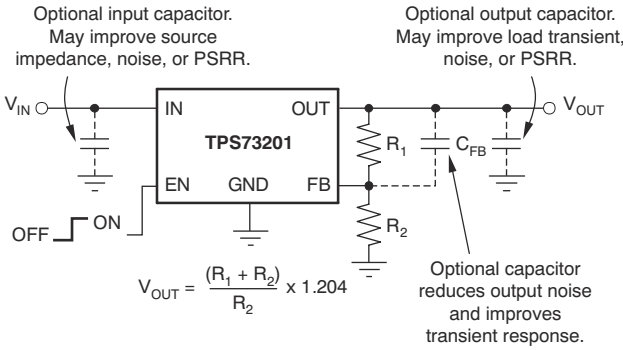


図 7-2. 可変電圧バージョン向けの標準的なアプリケーション回路

Copyright © 2026 Texas Instruments Incorporated

7.2.1 設計要件

R_1 and R_2 は、以下の式を使用して計算します。一般的な出力電圧の抵抗値の例を 図 6-2 に図示します。

$$V_{OUT} = \frac{(R_1 + R_2)}{R_2} \times 1.204 \quad (4)$$

より高い精度を得るため、R_1 と R_2 の並列組み合わせを約 19kΩ に設定します。この 19kΩ に、内部の 8kΩ 抵抗が加わることで、エラーアンプに対して 27kΩ のバンドギャップ リファレンス出力と同じインピーダンスを提供します。このインピーダンスは、エラー アンプ端子へのリークを補償するのに役立ちます。

7.2.2 詳細な設計手順

7.2.2.1 入出力コンデンサの要件

安定性のために入力コンデンサは必須ではありませんが、レギュレータ付近の入力電源の両端に 0.1µF ～ 1µF の低 ESR コンデンサを接続することが、アナログ設計では推奨されます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、ノイズ除去、リップル除去を改善します。立ち上がり時間の短い大きな負荷またはライン過渡事象が予想される場合、またはデバイスが電源から数インチの場所に配置される場合は、より大きな値のコンデンサが必要になります。

TPS732 は、安定性のために出力コンデンサを必要とせず、コンデンサなしで最大の位相マージンを持ちます。本デバイスは、利用可能なすべてのタイプとコンデンサの値で安定するよう設計されています。複数の低 ESR コンデンサを並列接続する場合、C_{OUT} と合計 ESR の積が 50nF × Ω を下回るとリンギングが発生する可能性があります。合計 ESR には、コンデンサの ESR に加え、基板、ソケット、半田接合抵抗を含むすべての寄生抵抗が含まれます。ほとんどの用途では、コンデンサの ESR と配線抵抗の合計がこの要件を満たします。

7.2.2.2 過渡応答

電圧フォロワ構成の NMOS パストランジスタにより低い開ループ出力インピーダンスが得られるため、多くのアプリケーションにおいて出力コンデンサなしでの動作が可能です。他のレギュレータと同様に、OUT ピンとグランドの間にコンデンサ (公称値 1µF) を追加すると、アンダーシュートの大きさが減少しますが、持続時間は長くなります。可変バージョンでは、OUT ピンと FB ピンとの間にコンデンサ、すなわち C_{FB} を追加することでも過渡応答を改善できます。

TPS732 には、出力が過電圧の際のアクティブ プルダウン機能はありません。この特長により、代替電源などの高い電圧源を出力に接続するアプリケーションが可能になります。この特長はまた、出力にコンデンサが接続された状態で負荷電流が急速にゼロに下がった場合、数パーセントのオーバーシュートを生じさせます。オーバーシュートの持続時間は、負荷抵抗を追加することにより短縮します。オーバーシュートは、出力コンデンサ C_{OUT} と内部または外部の負荷抵抗によって決まる速度で減衰します。減衰の速度は以下によって示されます。

(固定電圧バージョン)

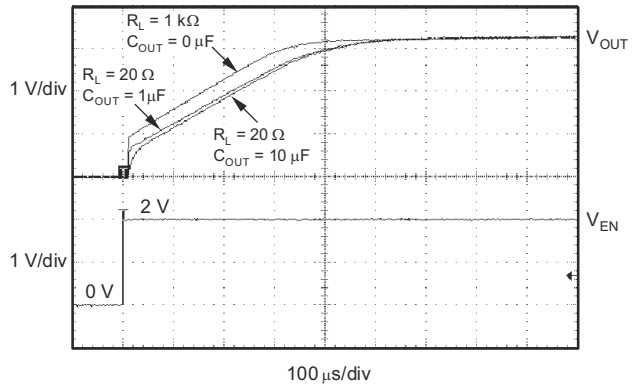
$$dV/dt = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \parallel R_{LOAD}} \quad (5)$$

(可変電圧バージョン)

$$\frac{dV}{dt} = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \parallel [R_1 + R_2] \parallel R_{LOAD}} \quad (6)$$

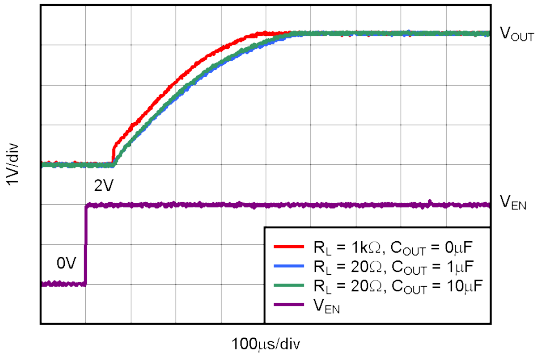
Copyright © 2026 Texas Instruments Incorporated

7.2.3 アプリケーション曲線



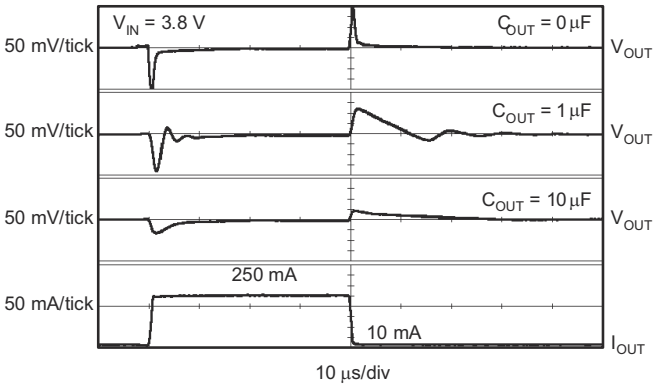
レガシー シリコン

図 7-3. TPS73233 のターンオン応答



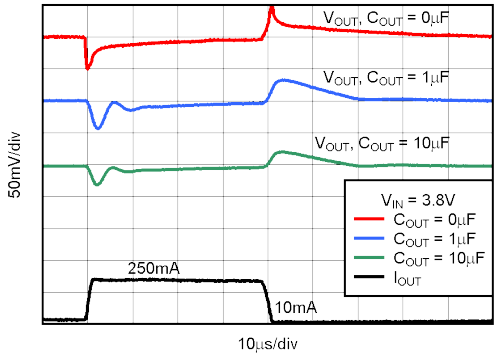
新しいシリコン

図 7-4. TPS73233 のターンオン応答



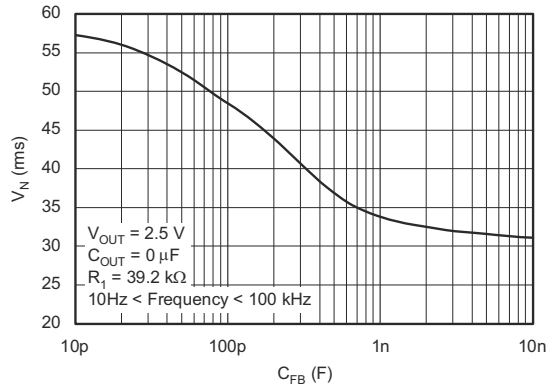
レガシー シリコン

図 7-5. TPS73233 の負荷過渡応答



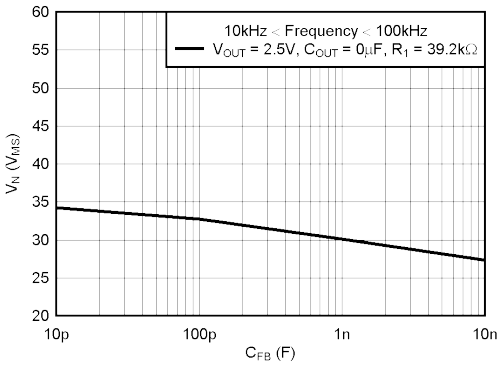
新しいシリコン

図 7-6. TPS73233 の負荷過渡応答



レガシー シリコン

図 7-7. TPS73201 の RMS ノイズ電圧と C_{FB} との関係



新しいシリコン

図 7-8. TPS73201 の RMS ノイズ電圧と C_{FB} との関係

Copyright © 2026 Texas Instruments Incorporated

7.2.3 アプリケーション曲線 (続き)

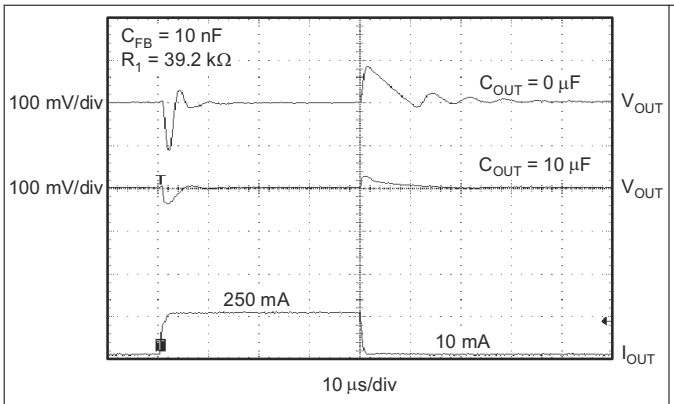


図 7-9. TPS73201 の負荷過渡応答、可変バージョン

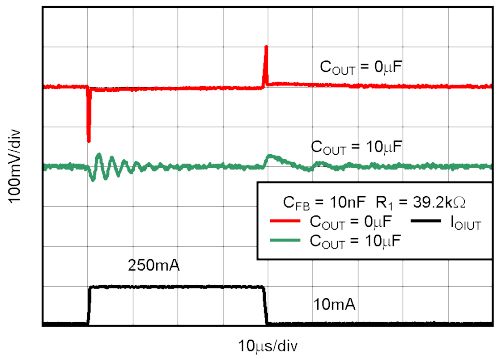


図 7-10. TPS73201 の負荷過渡応答、可変バージョン

7.3 電源に関する推奨事項

デバイスは、1.7V ～ 5.5V の入力電源電圧範囲で動作するように設計されています。この入力電圧範囲により、デバイスがレギュレートされた出力を供給するための十分なヘッドルームが得られます。この入力電源が十分に安定化されていることを確認してください。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

PSRR、出力ノイズ、過渡応答などの AC 性能を向上させるため、PCB 設計では V_{IN} と V_{OUT} コンデンサへのグランド プレーン接続を設け、グランド プレーンをデバイスの GND ピンで接続してください。さらに、バイパス コンデンサのグランド接続部はデバイスの GND ピンに直接接続する必要があります。

7.4.1.1 熱に関する注意事項

過熱保護機能は、接合部温度が約 160°C に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約 140°C まで冷却されると、出力回路が再びオンになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン / オフを繰り返す可能性があります。このオン/オフ サイクルによりレギュレータの消費電力が制限され、過熱によって起きる損傷からレギュレータを保護します。

過熱保護回路が作動する傾向にある場合、消費電力が過剰であるか、ヒート シンクが不十分であることを示しています。信頼性の高い動作を実現するには、接合部温度を最大 125°C に制限してください。設計全体 (ヒート シンクを含む) の安全率を推定するためには、周囲温度を上昇させて過熱保護が作動することを確認します。その際、ワーストケースの負荷と信号条件を使用してください。信頼性を高めるために、アプリケーションで想定される最大周囲条件を少なくとも 35°C 上回った時に過熱保護をトリガするよう設定します。このレベルにより、予想される最高周囲温度および最悪の場合の負荷で、最悪の場合の接合部温度は 125°C になります。

TPS732 の内部保護回路は、過負荷状態から保護されるように設計されています。この回路は、適切なヒート シンクの代替となるものではありません。サーマル シャットダウンが作動するまで TPS732 を使用し続けると、デバイスの信頼性が低下します。

7.4.1.1.1 消費電力

ダイからの放熱性能はパッケージの種類によって異なるため、PCB レイアウト時に考慮すべき検討事項も異なります。デバイス周辺の部品がない PCB 領域は、放熱の役割を果たします。JEDEC の Low-K ボードと High-K ボードの性能データを、*熱に関する情報* の表に示します。また、厚みのある銅箔を使用すると、デバイスからの放熱効率が向上します。さらに、めっきされたスルーホールを放熱層へ追加することで、ヒート シンクの効果を高めることができます。

消費電力は、入力電圧と負荷条件によって異なります。消費電力 (P_D) は、出力電流に出力パストランジスタ間 (V_{IN} から V_{OUT}) の電圧降下を乗算した値に等しくなります。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (7)$$

要求される出力電圧を供給できる最低限の入力電圧を使用することで、電力消費を最小限に抑えることが可能です。

7.4.2 レイアウト例

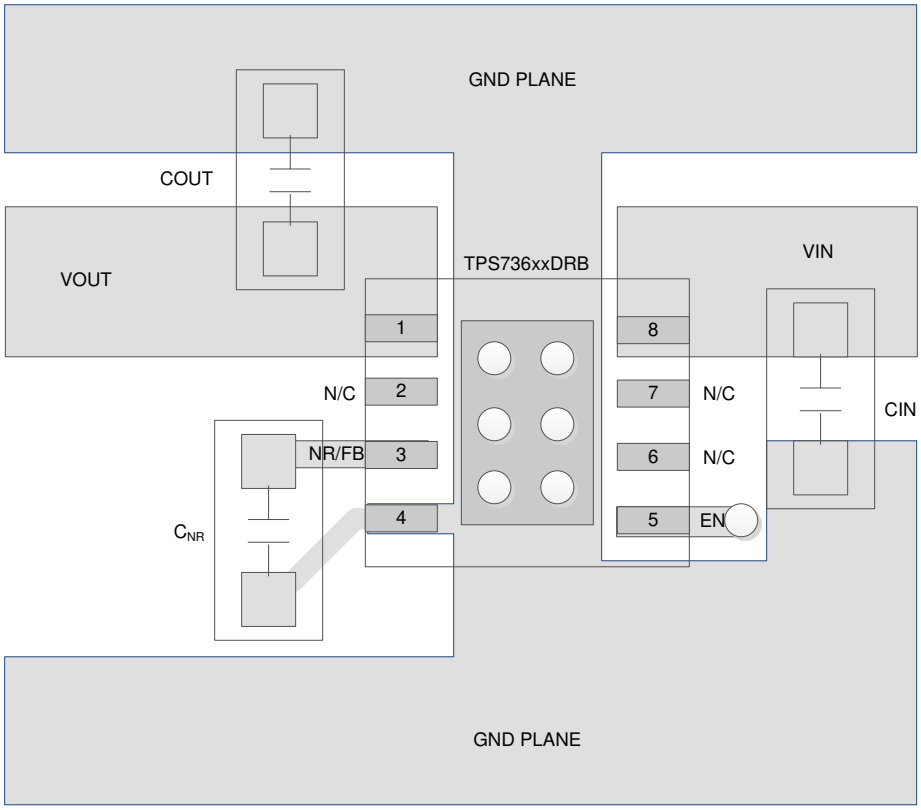


図 7-11. 固定出力電圧オプションのレイアウト（DRB パッケージ）

Copyright © 2026 Texas Instruments Incorporated

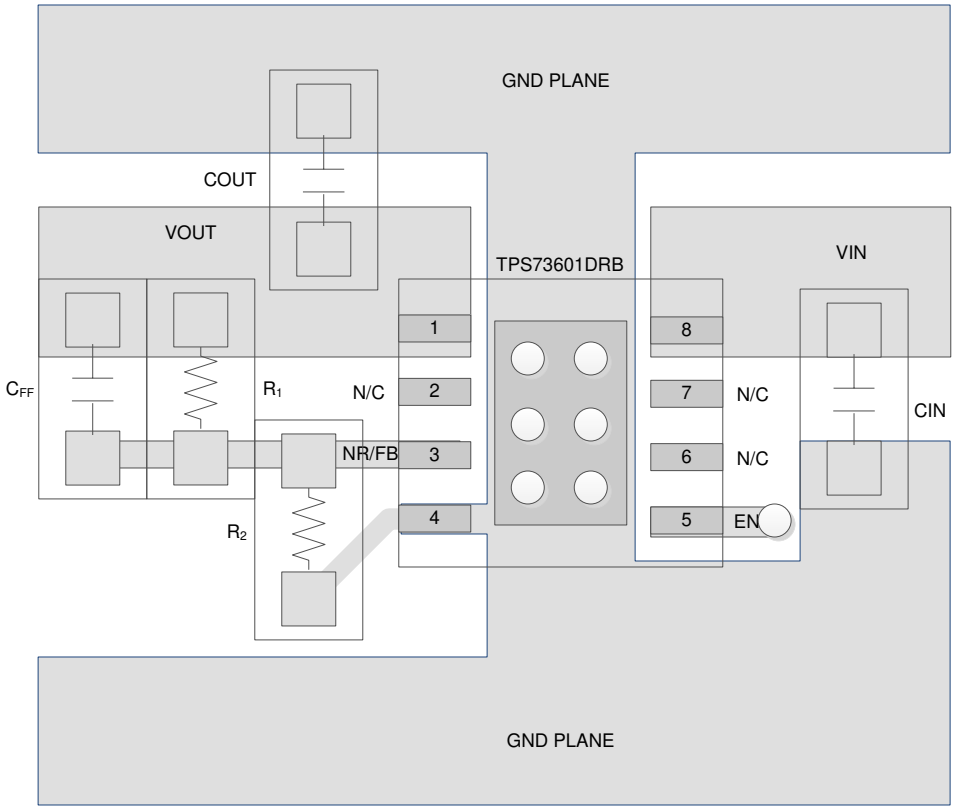


図 7-12. 可変出力電圧オプションのレイアウト（DRB パッケージ）

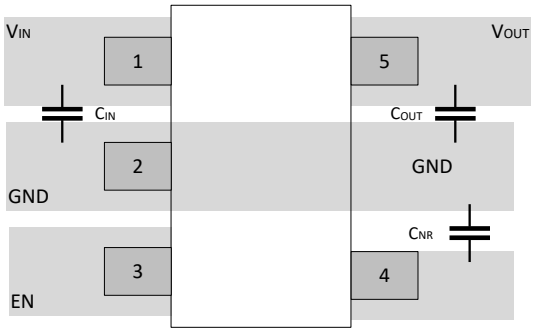


図 7-13. DBV パッケージ固定バージョンのレイアウト例

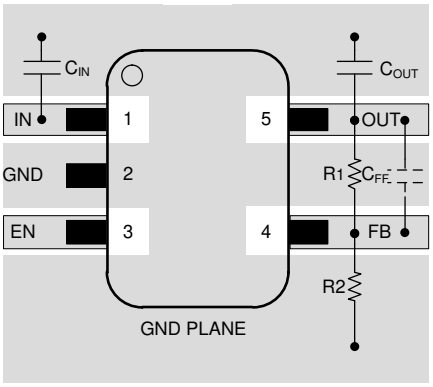


図 7-14. DBV パッケージ可変バージョンのレイアウト例

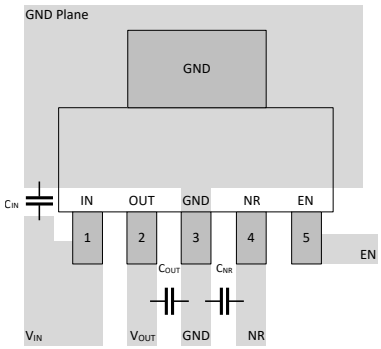


図 7-15. DCQ パッケージ固定バージョンのレイアウト例

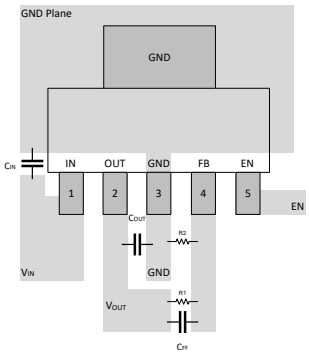


図 7-16. DCQ パッケージ可変バージョンのレイアウト例

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 評価基板

TPS732 を使用した初期の回路性能評価には、評価基板 (EVM) を利用することができます。TPS73201DRBEVM-518 評価モジュール (および および関連するユーザー ガイド) はテキサス・インスツルメンツの Web サイトの製品フォルダ、または TI eStore から直接購入できます。

8.1.1.2 SPICE モデル

SPICE による回路パフォーマンスのコンピュータ シミュレーションは、アナログ回路やシステムのパフォーマンスを分析するため多くの場合に有用です。TPS732 用の SPICE モデルは、製品フォルダの「シミュレーション モデル」で入手できます。

8.1.2 デバイスの命名規則

表 8-1. デバイスの命名規則

製品(1)	説明
TPS732**xxyyyz*(M3)***	**xx** は公称出力電圧です (例:25 = 2.5V、01 = 可変)。 **yyy** はパッケージ指定子です。 **z** はテープ アンド リール数量です (R = 3000、T = 250)。 **M3** は、最新の製造フロー (CSO: RFB) のみを使用するデバイスの接尾辞指定子です。この接尾辞がないデバイスは、*従来のシリコン* (CSO: DLN) または *新しいシリコン* (CSO: RFB) を用いて出荷されます。リール包装ラベルには、使用されているシリコンを識別するための CSO 情報が記載されています。本書では、新旧のシリコンごとのデバイス性能について説明しています。

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録:パッケージ オプション」を参照するか、www.ti.com または www.tij.co.jp にある TI の Web サイトを参照してください。

8.2 ドキュメントのサポート

8.2.1 関連資料

- テキサス・インスツルメンツ、『*外部基準電圧を使用した 1.2V 未満の V_{OUT} のレギュレーション*』アプリケーション ノート
- テキサス・インスツルメンツ、『*TPS73x01DRBEVM-518 ユーザー ガイド*』

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision R (May 2025) to Revision S (April 2026)	Page
• シリコン 5V 出力グランド電流仕様を追加	5

Changes from Revision Q (September 2024) to Revision R (May 2025)	Page
• 新しいシリコンを DBV の熱に関する情報に追加	4
• DRB0008A パッケージ外形の DRB (VSON) を更新	4
• 「デバイスの項目表記」表で、従来のチップを従来のシリコンに変更	27

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73201DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DBVRM3	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DBVTG4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DBVTG4.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS73201
TPS73201DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	PS73201
TPS73201DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS73201
TPS73201DCQRM3	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73201
TPS73201DRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DRBRG4	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DRBRM3	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DRBRM3.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJEQ
TPS73201DRBT	Obsolete	Production	SON (DRB) | 8	-	-	Call TI	Call TI	-40 to 125	PJEQ
TPS73213DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BWD
TPS73213DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BWD
TPS73215DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T38
TPS73215DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T38
TPS73215DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS73215
TPS73215DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73215
TPS73215DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73215
TPS73216DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T50
TPS73216DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T50
TPS73216DBVTG4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T50

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73218DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T37
TPS73218DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T37
TPS73218DBVRG4	NRND	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T37
TPS73218DBVRG4.A	NRND	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T37
TPS73218DBVRM3	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T37
TPS73218DBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	T37
TPS73218DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS73218
TPS73218DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73218
TPS73218DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73218
TPS73219DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	CGE
TPS73219DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	CGE
TPS73219DBVRM3	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	CGE
TPS73219DBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	CGE
TPS73225DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T36
TPS73225DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T36
TPS73225DBVRM3	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T36
TPS73225DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T36
TPS73225DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T36
TPS73225DBVTG4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T36
TPS73225DBVTG4.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T36
TPS73225DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS73225
TPS73225DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73225
TPS73225DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73225
TPS73230DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T39
TPS73230DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T39
TPS73230DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T39
TPS73230DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T39
TPS73230DBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	T39
TPS73230DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73230
TPS73230DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73230
TPS73233DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T40

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73233DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T40
TPS73233DBVR1G4	NRND	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T40
TPS73233DBVR1G4.A	NRND	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T40
TPS73233DBVRM3	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T40
TPS73233DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T40
TPS73233DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T40
TPS73233DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS73233
TPS73233DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73233
TPS73233DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73233
TPS73250DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T41
TPS73250DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T41
TPS73250DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T41
TPS73250DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T41
TPS73250DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T41
TPS73250DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T41
TPS73250DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73250
TPS73250DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS73250

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS732 :

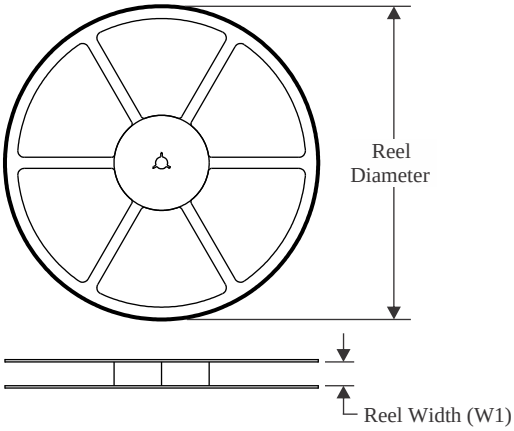
- Automotive : TPS732-Q1

NOTE: Qualified Version Definitions:

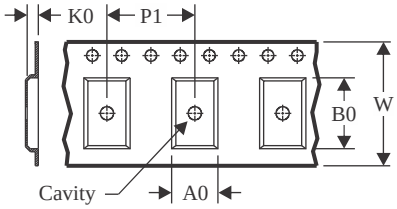
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

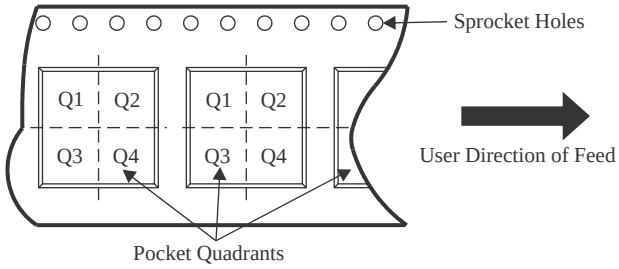


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

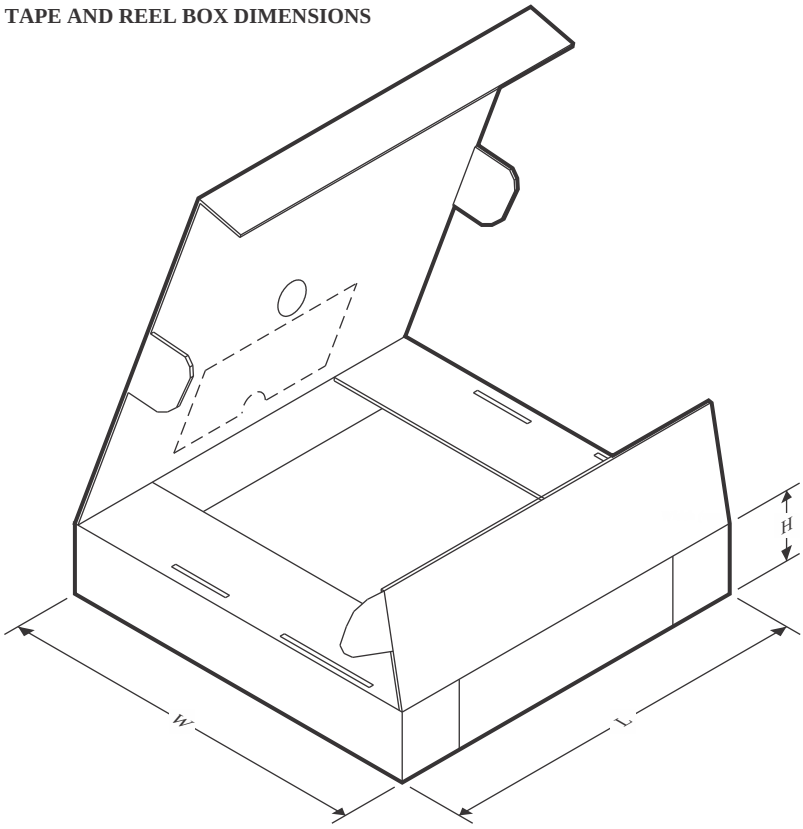


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73201DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73201DBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73201DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TPS73201DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73201DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73201DBVTG4	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73201DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73201DCQRM3	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73201DRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73201DRBRM3	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73213DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73215DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73215DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73216DBVT	SOT-23	DBV	5	250	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73218DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73218DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73218DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73218DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73219DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73219DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73225DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73225DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73225DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73225DBVTG4	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73225DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS73230DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73230DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73230DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS73233DBVR1G4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73233DBVR1G4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73233DBVRM3	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73233DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73233DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73250DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73250DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS73250DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73250DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73201DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73201DBVRG4	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73201DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73201DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73201DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS73201DBVTG4	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS73201DCQR	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS73201DCQRM3	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS73201DRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS73201DRBRM3	SON	DRB	8	3000	367.0	367.0	35.0
TPS73213DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73215DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73215DCQR	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS73216DBVT	SOT-23	DBV	5	250	213.0	191.0	35.0
TPS73218DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73218DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73218DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73218DCQR	SOT-223	DCQ	6	2500	366.0	364.0	50.0

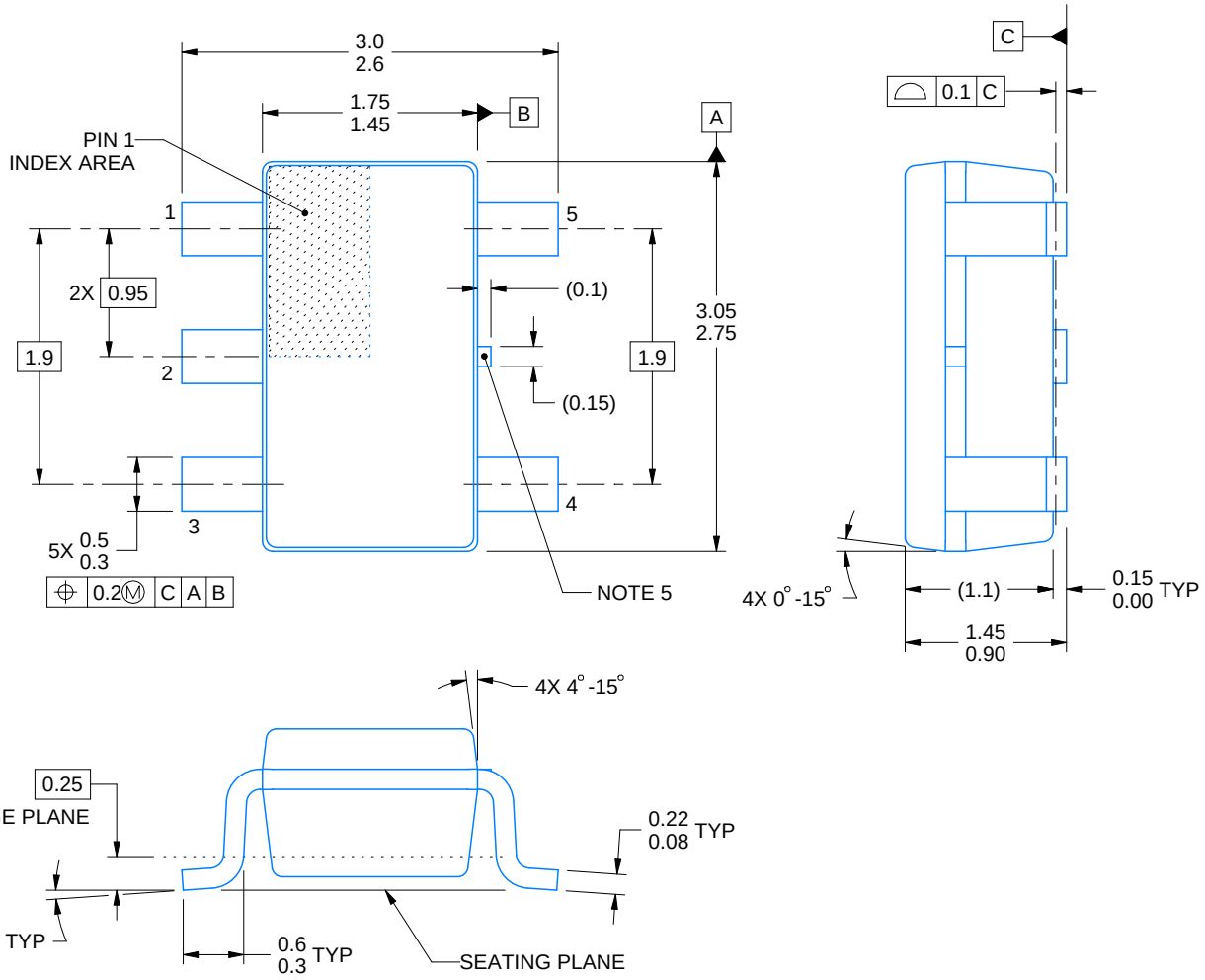
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73219DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73219DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73225DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73225DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73225DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS73225DBVTG4	SOT-23	DBV	5	250	180.0	180.0	18.0
TPS73225DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TPS73230DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73230DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73230DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TPS73233DBVR1G4	SOT-23	DBV	5	3000	203.0	203.0	35.0
TPS73233DBVR1G4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73233DBVRM3	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73233DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS73233DCQR	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS73250DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS73250DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS73250DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TPS73250DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

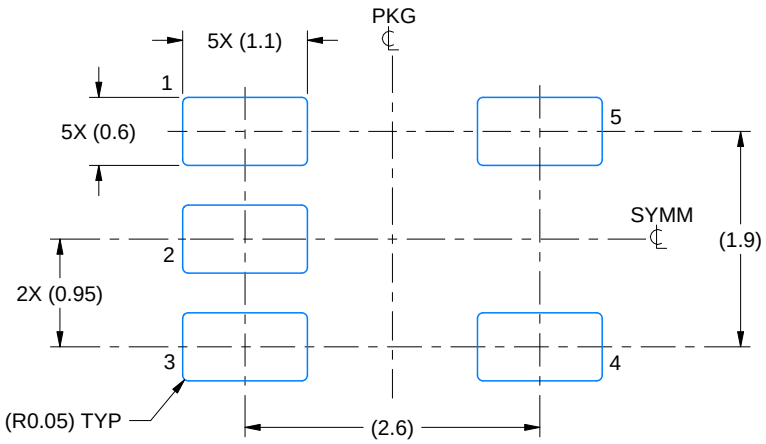
SMALL OUTLINE TRANSISTOR



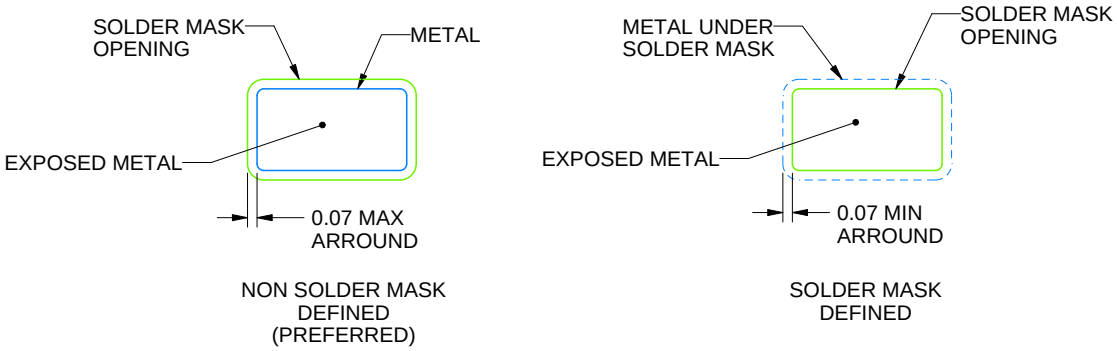
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

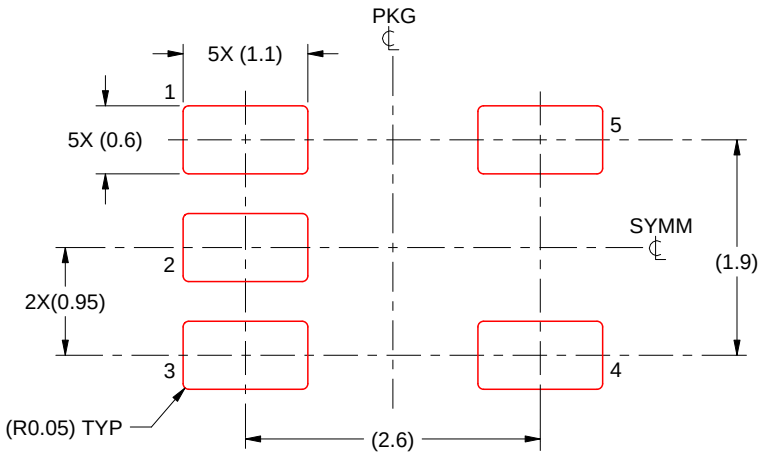


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

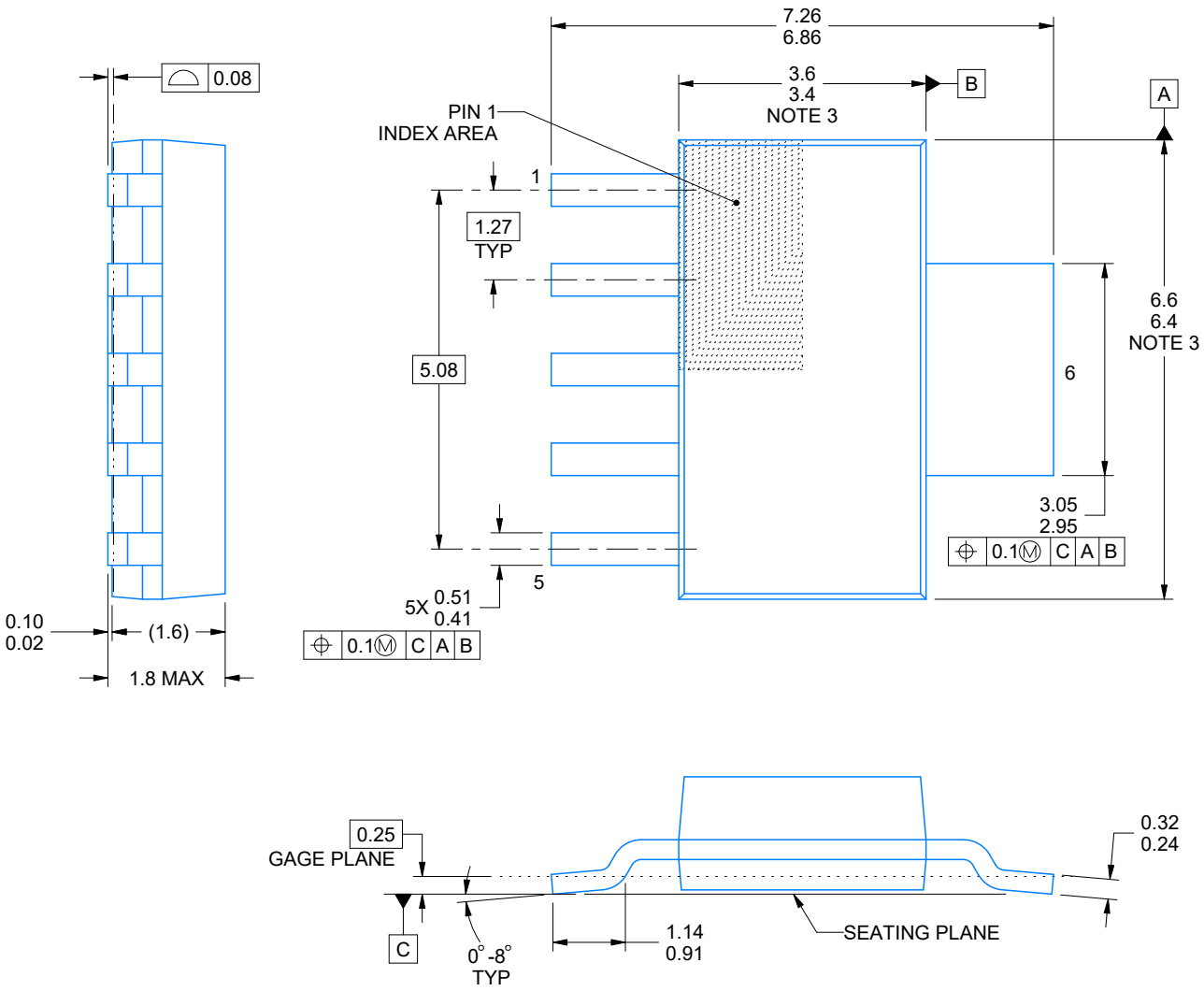
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCQ0006A

SOT - 1.8 mm max height

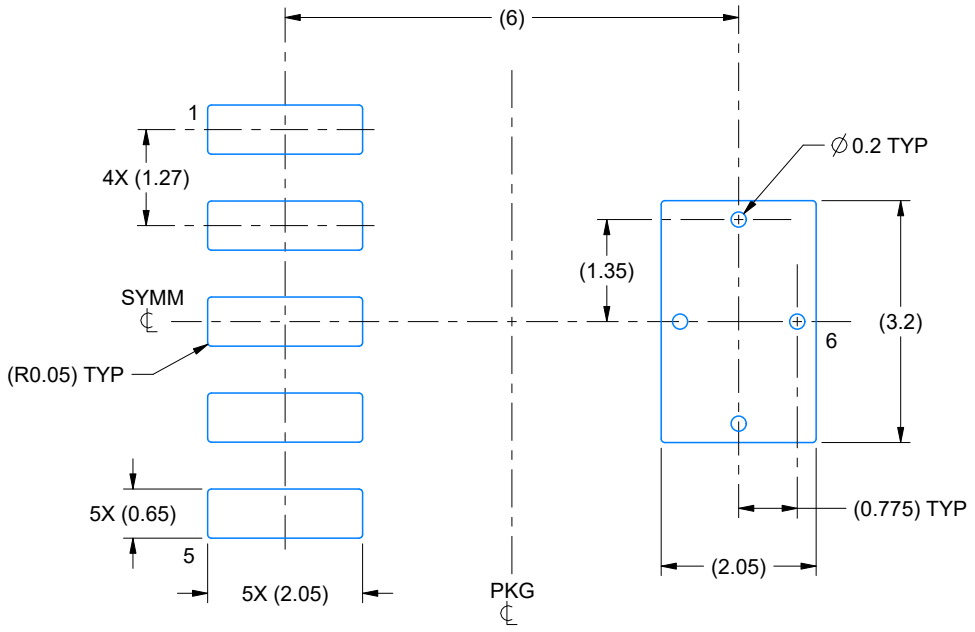
PLASTIC SMALL OUTLINE



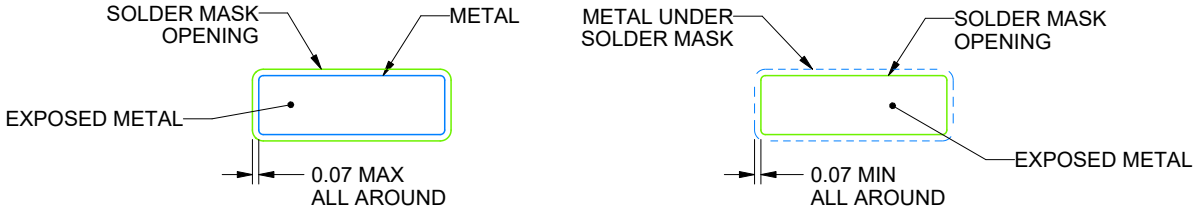
4214845/C 11/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

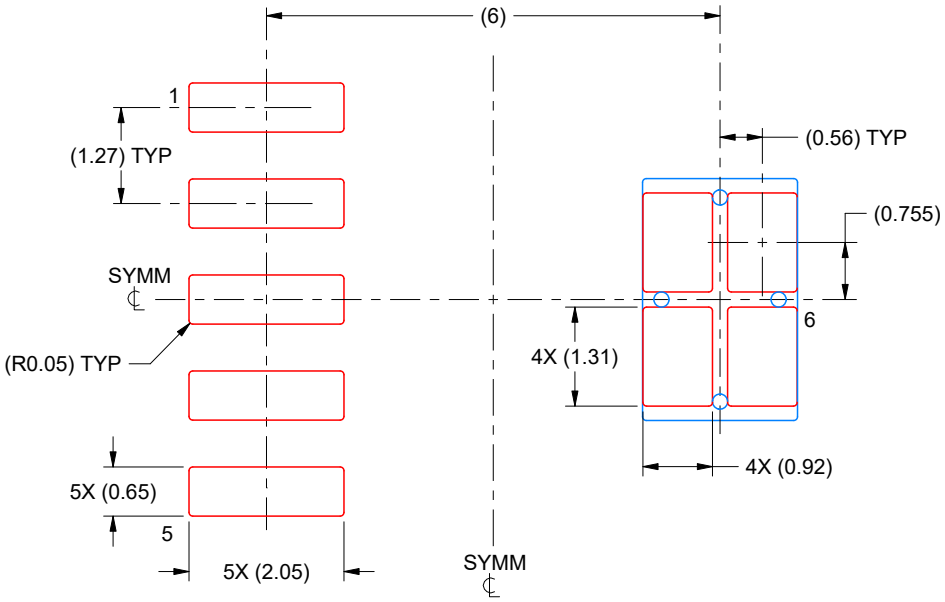


SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

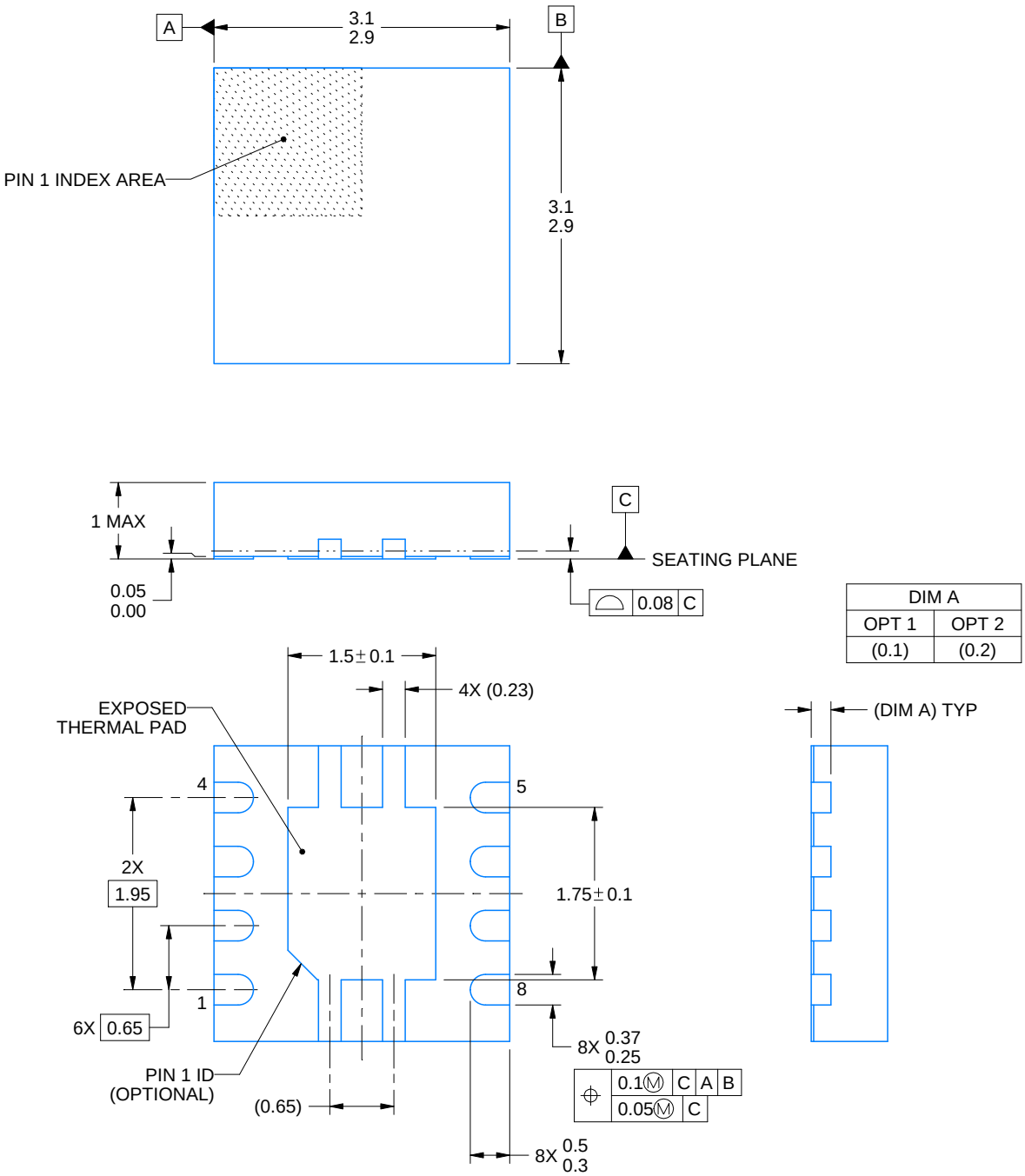
4203482/L

PACKAGE OUTLINE

DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

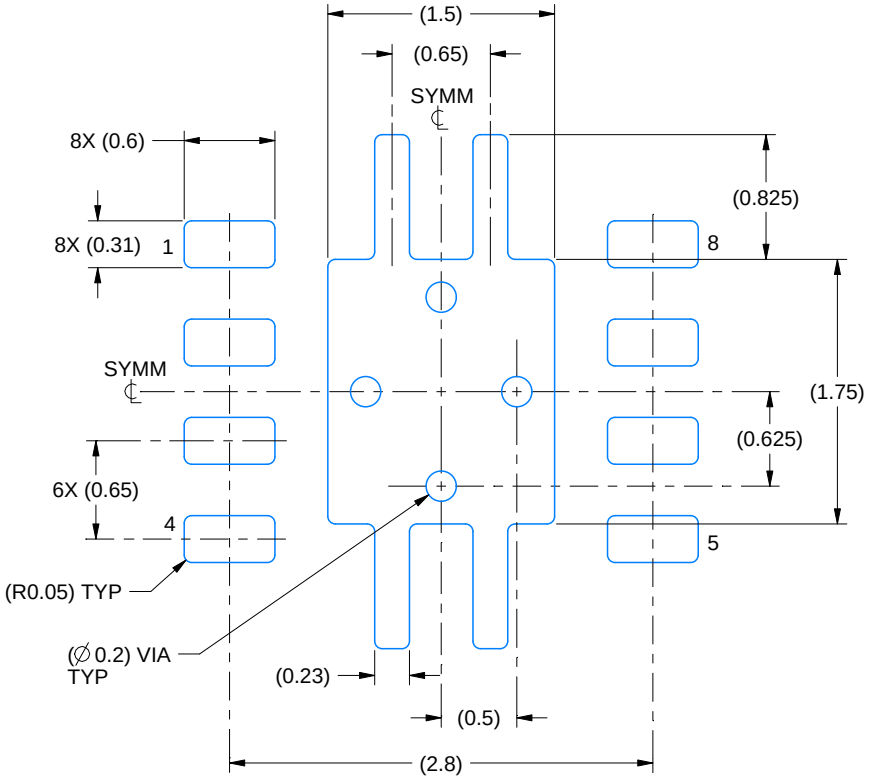
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

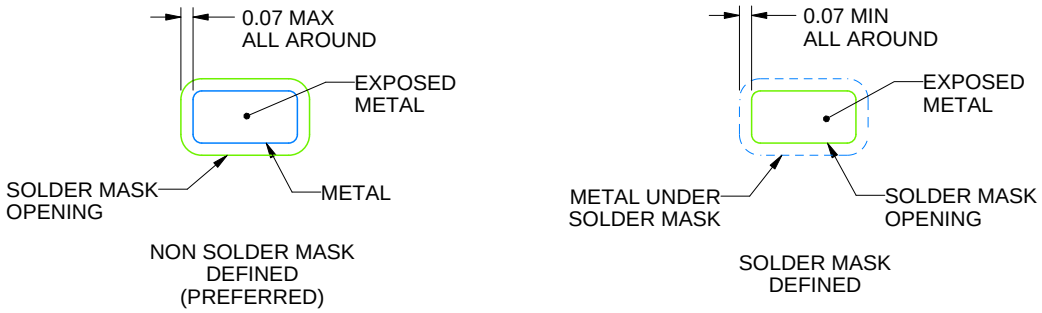
DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

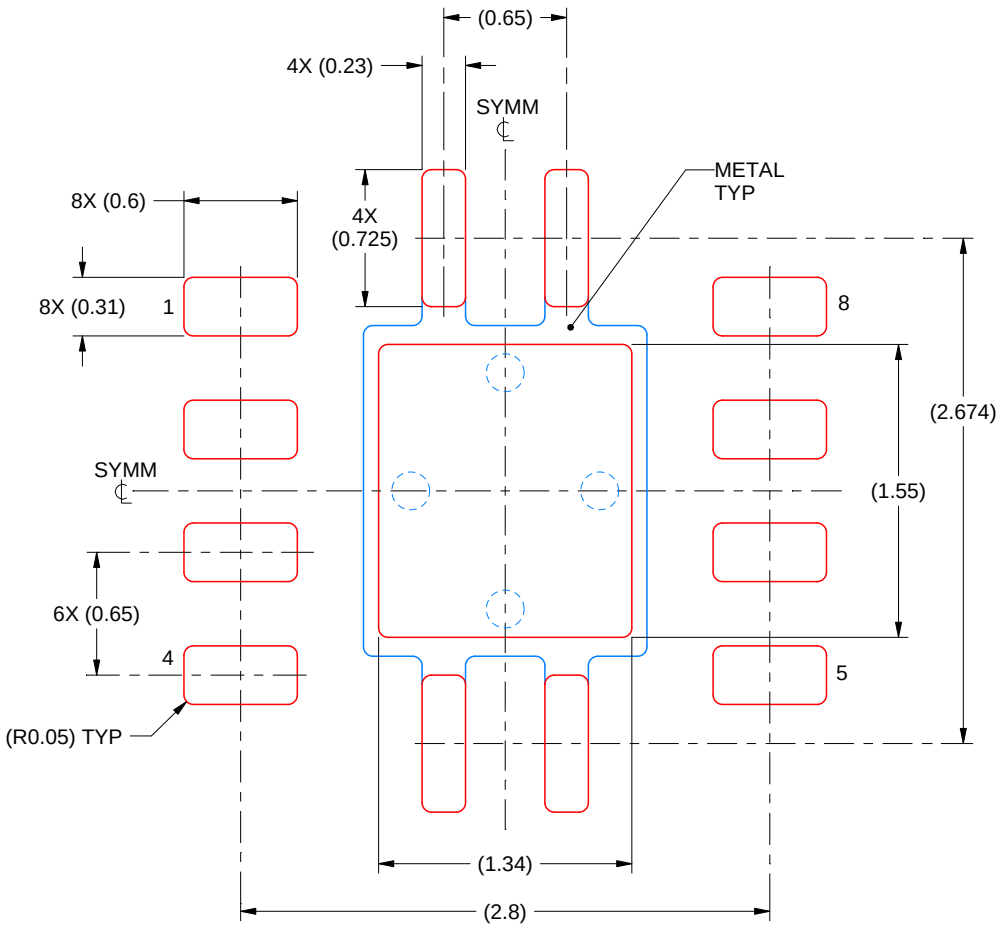


SOLDER MASK DETAILS

4218875/A 01/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218875/A 01/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月