TPS737 1A 逆電流保護機能付き、低ドロップアウト レギュレータ

1 特長

- 1µF 以上のセラミック出力コンデンサにより安定
- 入力電圧範囲:2.2V～5.5V
- 非常に低いドロップアウト電圧
  - レガシー シリコン:1A において 130mV (標準値)
  - 新しいシリコン:1A において 122mV (標準値)
- わずか 1µF の出力コンデンサでも優れた負荷過渡応答
- NMOS トポロジにより、低い逆リーク電流を実現
- 初期精度:1%
- ライン、負荷、温度にわたる全体の精度
  - レガシー シリコン:3%
  - 新しいシリコン:1.5%
- シャットダウン モード時の I_Q:20nA 未満 (標準値)
- サーマル シャットダウンおよび電流制限によるフォルト保護
- 複数の出力電圧バージョンが利用可能:
  - 調整可能な出力:1.20V～5.5V
  - 工場でのパッケージ工程のプログラミングによりカスタム出力を提供可能

2 アプリケーション

- DSP、FPGA、ASIC、マイクロプロセッサのポイント オブ ロード レギュレーション
- スイッチング電源のポスト レギュレーション
- 携帯型およびバッテリ駆動の機器

3 説明

TPS737 リニア低ドロップアウト (LDO) 電圧レギュレータは、電圧フォロワ構成で NMOS パストランジスタを使用します。このトポロジは出力コンデンサの値と ESR の影響を比較的受けにくいため、広範な負荷構成に対応できます。わずか 1µF のセラミック出力コンデンサを使用した場合でも、負荷過渡応答が非常に優れています。また、NMOS トポロジにより、ドロップアウトも非常に小さくなります。

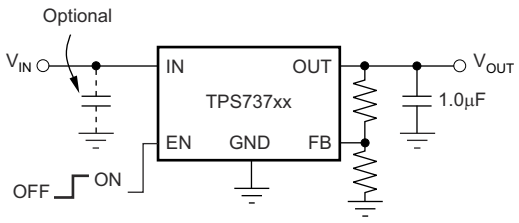
TPS737 は、非常に低いドロップアウト電圧と小さいグランド ピン電流を実現すると同時に、先進の BiCMOS プロセスを使用することで高い精度を達成しています。最新の製造フローを使用するデバイスは、テキサス・インスツルメンツの最新プロセス テクノロジーに基づく新しいシリコンにより設計を更新しています。ディセーブル時の消費電流は 20nA 未満であり、携帯型アプリケーション向けに設計されています。このデバイスは、サーマル シャットダウンとフォールドバック電流制限によって保護されています。

より高い出力電圧精度が必要なアプリケーションに対しては、全体精度 1% の テキサス・インスツルメンツ製 1A 低ドロップアウト電圧レギュレータ、TPS7A37 をご検討ください。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS737	DRB (VSON、8)	3mm × 3mm
	DCQ (SOT-223、6)	6.5mm × 7.06mm
	DRV (WSON、6)	2mm × 2mm

(1) 詳細については、*メカニカル、パッケージ、および注文情報* セクションを参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 熱に関する情報.....5
5.6 電気的特性.....6
5.7 代表的特性.....8
6 詳細説明.....17
6.1 概要.....17
6.2 機能ブロック図.....17
6.3 機能説明.....18
6.4 デバイスの機能モード.....19
7 アプリケーションと実装.....20
7.1 アプリケーション情報.....20
7.2 代表的なアプリケーション.....20
7.3 設計のベスト プラクティス.....23
7.4 電源に関する推奨事項.....23
7.5 レイアウト.....23
8 デバイスおよびドキュメントのサポート.....29
8.1 デバイス サポート.....29
8.2 ドキュメントのサポート.....29
8.3 ドキュメントの更新通知を受け取る方法.....29
8.4 サポート・リソース.....29
8.5 商標.....30
8.6 静電気放電に関する注意事項.....30
8.7 用語集.....30
9 改訂履歴.....30
10 メカニカル、パッケージ、および注文情報.....30

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

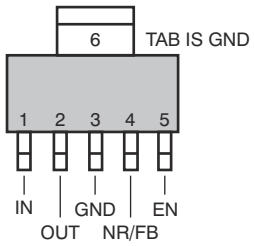


図 4-1. DCQ パッケージ、 6 ピン SOT-223 (上面図)

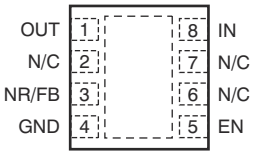
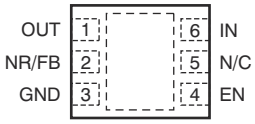


図 4-2. DRB パッケージ、 8 ピン VSON (上面図)



A. 消費電力が動作範囲を制限する可能性があります。*熱に関する情報*を確認

図 4-3. DRV パッケージ(A)、 6 ピン WSON (上面図)

表 4-1. ピンの機能

ピン				種類(1)	説明
名称	SOT-223	VSON	WSON		
IN	1	8	6	I	非安定型入力電源
GND	3、6	4、Pad	3、Pad	—	グランド
EN	5	5	4	I	イネーブルピン (EN) を high にすると、レギュレータが動作します。このピンを low にすると、レギュレータはシャットダウンモードに移行します。詳細については、「*イネーブルおよびシャットダウン*」セクションを参照してください。EN をフローティング状態のままにしてはいけません。使用しない場合は IN に接続できます。
NR	4	3	2	—	固定電圧バージョンのみ - 外付けコンデンサに接続することで、内部バンド ギャップによって発生するノイズがバイパスされる、出力ノイズを極めて低いレベルに低減できます。
FB	4	3	2	I	可変電圧バージョンのみ - 制御ループのエラー アンプへの入力ピンで、デバイスの出力電圧設定に使用されます。
OUT	2	1	1	O	レギュレーター出力。安定動作のために、1.0µF 以上の任意のタイプのコンデンサが必要です。
NC	—	2、6、7	5	—	未接続

(1) I = 入力、O = 出力

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電圧	入力、V_{IN}	-0.3	6	V
	イネーブル、V_{EN}	-0.3	6	
	出力、V_{OUT}	-0.3	5.5	
	V_{NR}、V_{FB}	-0.3	6	
電流	最大出力、I_{OUT}	内部的に制限		
出力短絡時間		無制限		
連続総許容損失	P_{DISS}	*熱に関する情報* 参照		
温度	動作時の接合部温度、T_J	-55	150	°C
	保存、T_{stg}	-65	150	

(1) 「*絶対最大定格*」の範囲外の動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧	2.2		5.5	V
I_{OUT}	出力電流	0		1	A
T_J	動作時接合部温度	-40		125	°C

5.4 熱に関する情報

熱評価基準(1)		TPS737 新しいシリコン			単位
		DRB (VSON)	DCQ (SOT-223)	DRV (WSON)	
		8 ピン	6 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	49.4	76	67.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	76.6	46.6	100.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	22.0	18.1	33.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3.8	8.6	4.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	22.0	17.6	33.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	3.8	該当なし	4.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 熱に関する情報

熱評価基準(1)		TPS737 レガシー シリコン (2)			単位
		DRB (VSON)	DCQ (SOT-223)	DRV (WSON)(3)	
		8 ピン	6 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗 (4)	49.5	53.1	67.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗(5)	58.9	35.2	87.6	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗(6)	25.1	7.8	36.8	℃/W
ψ_{JT}	接合部から上面への熱特性パラメータ(7)	1.7	2.9	1.8	℃/W
ψ_{JB}	接合部から基板への熱特性パラメータ(8)	25.2	7.7	37.2	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗(9)	8.6	該当なし	7.7	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) DRB、DCQ および DRV パッケージの熱データは、JESD51 シリーズで規定されている JEDEC 規格の手法に基づく熱シミュレーションによって求められます。このシミュレーションでは、以下の条件を想定しています。
(a) i. DRB：露出したパッドは、2x2 のサーマル ビア アレイを経由して PCB のグランド層に接続されます。
ii.DCQ：露出したパッドは、3x2 のサーマル ビア アレイを経由して PCB のグランド層に接続されます。
iii.DRV：露出したパッドは、2x2 のサーマル ビア アレイを経由して PCB のグランド層に接続されます。サーマル パッドのサイズ制限のため、JEDEC 規格外である 0.8mm ピッチのアレイが使用されています。
(b) 最上層の銅層は、細かな銅のパターンです。下の銅層は 20% が銅箔実装領域であることから、銅の熱伝導率の 20% と想定されます。
(c) これらのデータは、銅の面積が 3 インチ × 3 インチの JEDEC high-K (2s2p) ボード中央にある単一デバイスのみを使用して生成されます。銅の面積が放熱性能に与える影響については、このデータシートの *消費電力* および *推定接合部温度* のセクションを参照してください。
(3) 消費電力が動作範囲を制限する可能性があります。
(4) 自然対流における、接合部と周囲の空気との間の熱抵抗は、JESD51-2a に記述されている環境において、JESD51-7 で規定されている JEDEC 標準の High-K ボード上でのシミュレーションによって求められます。
(5) 接合部からケース (上面) への熱抵抗は、パッケージ上面での冷却板試験のシミュレーションによって求められます。該当の JEDEC 規格試験は存在しませんが、ANSI SEMI 規格の G30-88 に類似した記述があります。
(6) JESD51-8 で説明されているように、接合部と基板との間の熱抵抗は、PCB 温度を制御するリング型冷却板測定器で環境をシミュレーションすることにより求められます。
(7) 接合部とケース上部との間の特性パラメータ ψ_{JT} は、実際のシステムにおけるデバイスの接合部温度を推定するもので、JESD51-2a (セクション 6 および 7) に記述されている手順を用いて、$R_{\theta JA}$ を求めるためのシミュレーション データから抽出されます。
(8) 接合部と基板との間の特性パラメータ ψ_{JB} は、実際のシステムにおけるデバイスの接合部温度を推定するもので、JESD51-2a (セクション 6 および 7) に記述されている手順を用いて、$R_{\theta JA}$ を求めるためのシミュレーション データから抽出されます。
(9) 接合部とケース (底面) との間の熱抵抗は、露出したパッド (Power PAD) 上での冷却板試験のシミュレーションによって求められます。該当の JEDEC 規格試験は存在しませんが、ANSI SEMI 規格の G30-88 に類似した記述があります。

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性

動作温度範囲 (T_J = –40°C ～ 125°C)、V_{IN} = $V_{OUT(nom)}$+ 1V[1] 、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF (特に記述のない限り)。標準値は T_J = 25°C 時に測定

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IN}	入力電圧範囲[1] [2]			2.2		5.5	V
V_{FB}	内部リファレンス (DCQ パッケージ)	T_J = 25°C		1.198	1.204	1.21	V
V_{FB}	内部リファレンス (DRB および DRV パッケージ)	T_J = 25°C		1.192	1.204	1.216	V
V_{OUT}	出力電圧範囲 (TPS73701)[3]			V_{FB}		5.5 - V_{DO}	V
	精度[1] [4]	公称	T_J = 25°C	-1		1	%
		V_{IN}、I_{OUT}、および温度範囲全体で ()	5.36V < V_{IN} < 5.5V、V_{OUT} = 5.08V、10mA < I_{OUT} < 800mA、–40°C < T_J < 85°C、TPS73701、レガシーシリコン (DCQ)	-2		2	
			V_{OUT} + 0.5V ≦ V_{IN} ≦ 5.5V、10mA ≦ I_{OUT} ≦ 1A、レガシーシリコン	-3	±0.5	3	
			V_{OUT} + 0.5V ≦ V_{IN} ≦ 5.5V、10mA ≦ I_{OUT} ≦ 1A、新しいシリコン	-1.5	±0.5	1.5	
$\Delta V_{OUT(\Delta VIN)}$	ライン レギュレーション [1]	$V_{OUT(nom)}$ + 0.5V ≦ V_{IN} ≦ 5.5V			0.01		%/V
$\Delta V_{OUT(\Delta IOUT)}$	ロードレギュレーション	1mA ≤ I_{OUT} ≤ 1A			0.002		%/mA
$\Delta V_{OUT(\Delta IOUT)}$	ロードレギュレーション	10mA ≤ I_{OUT} ≤ 1A			0.0005		%/mA
V_{DO}	ドロップアウト電圧[5] (V_{IN} = $V_{OUT(nom)}$ - 0.1V)	I_{OUT} = 1A、レガシーシリコン			130	500	mV
V_{DO}	ドロップアウト電圧[5] (V_{IN} = $V_{OUT(nom)}$ - 0.1V)	I_{OUT} = 1A、新しいシリコン			122	250	mV
$Z_{O(DO)}$	ドロップアウト時の出力インピーダンス	2.2V ≦ V_{IN} ≦ V_{OUT} + V_{DO}			0.25		Ω
I_{CL}	出力電流制限	V_{OUT} = 0.9 × $V_{OUT(nom)}$		1.05	1.6	2.2	A
I_{SC}	短絡電流	V_{OUT} = 0V、レガシーシリコン			450		mA
I_{SC}	短絡電流	V_{OUT} = 0V、新しいシリコン			510		mA
I_{REV}	逆リーク電流[6] (-I_{IN})	V_{EN} ≦ 0.5V、0V ≦ V_{IN} ≦ V_{OUT}			0.1		µA
I_{GND}	グランド ピン電流	I_{OUT} = 10mA (I_Q)			400		µA
I_{GND}	グランド ピン電流	I_{OUT} = 1A、レガシーシリコン			1300		µA
I_{GND}	グランド ピン電流	I_{OUT} = 1A、新しいシリコン			880		µA
I_{SHDN}	シャットダウン時の電流 (I_{GND})	V_{EN} ≦ 0.5V、V_{OUT} ≦ V_{IN} ≦ 5.5V			20		nA
I_{FB}	帰還ピン電流 (TPS73701)				0.1	0.6	µA
PSRR	電源電圧変動除去比 (リップル除去)	f = 100Hz、I_{OUT} = 1A			58		dB
		f = 10kHz、I_{OUT} = 1A			37		
V_N	出力ノイズ電圧、BW = 10Hz~100kHz	C_{OUT} = 10µF			27 × V_{OUT}		μV_{RMS}
t_{STR}	起動時間	V_{OUT} = 3V、R_L = 30Ω、C_{OUT} = 1µF、レガシーシリコン			600		µs
t_{STR}	起動時間	V_{OUT} = 3V、R_L = 30Ω、C_{OUT} = 1µF、新しいシリコン			431		µs
$V_{EN(high)}$	EN ピン 高 (イネーブル)			1.7		V_{IN}	V
$V_{EN(low)}$	EN ピン 低 (シャットダウン)			0		0.5	V
I_{EN}	イネーブル ピンの電流 (イネーブル)	V_{EN} = 5.5V			20		nA
T_{SD}	サーマル シャットダウン温度	シャットダウン、温度上昇			160		°C
		リセット、温度低下			140		

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 (続き)

動作温度範囲 (T_J = –40°C ～ 125°C)、V_{IN} = $V_{OUT(nom)}$+ 1V(1) 、I_{OUT} = 10mA、V_{EN} = 2.2V、C_{OUT} = 2.2µF (特に記述のない限り)。標準値は T_J = 25℃ 時に測定

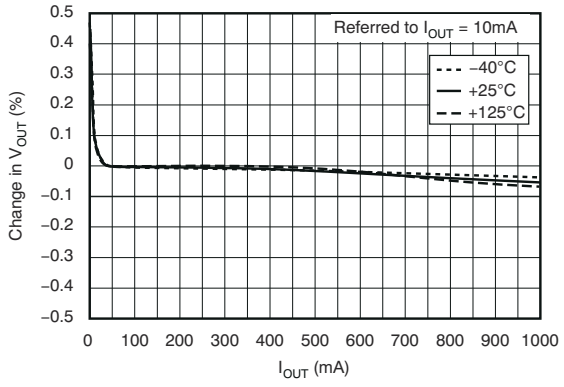
パラメータ		テスト条件	最小値	標準値	最大値	単位
T_J	動作時接合部温度		-40		125	℃

(1) 最小 V_{IN} = V_{OUT} + V_{DO} または 2.2V のいずれか大きい方。
(2) $V_{OUT(nom)}$ < 1.6V の場合、V_{IN} ≦ 1.6V になると出力が V_{IN} にロックされ、過電圧による損傷が発生する可能性があります。この状況を避けるため、V_{IN} をオフにする前にデバイスを無効にしてください。(レガシーシリコンのみ)
(3) TPS73701 は、V_{OUT} = 1.2V でテストされています。
(4) この仕様には外付け抵抗の許容誤差は含まれていません。
(5) $V_{OUT(nom)}$ < 2.3V の出力バージョンでは、最小 V_{IN} = 2.2V であるため、V_{DO} は測定されません。
(6) 固定電圧バージョンのみ対応。詳細は「*アプリケーション情報*」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

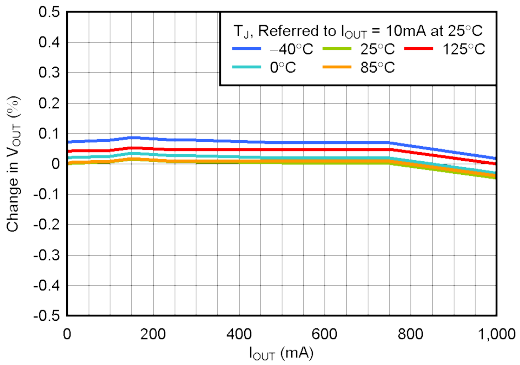
5.7 代表的特性

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V および C_{OUT} = 2.2µF (特に記述のない限り)



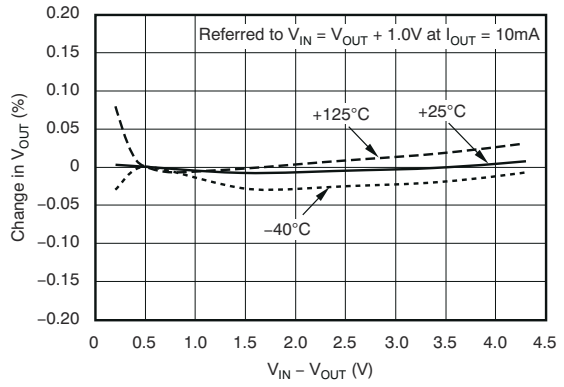
レガシー シリコン

図 5-1. 負荷レギュレーション



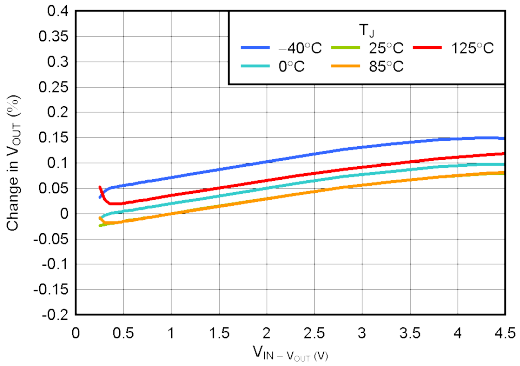
新しいシリコン

図 5-2. 負荷レギュレーション



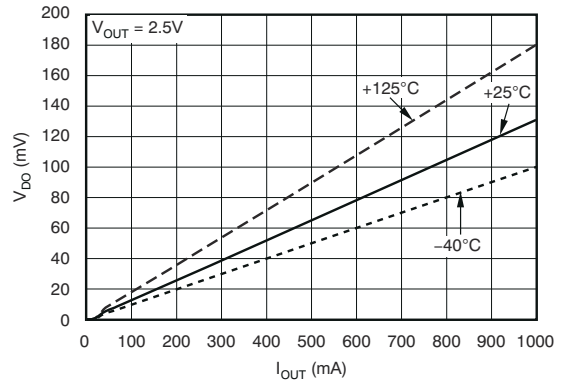
レガシー シリコン

図 5-3. ライン レギュレーション



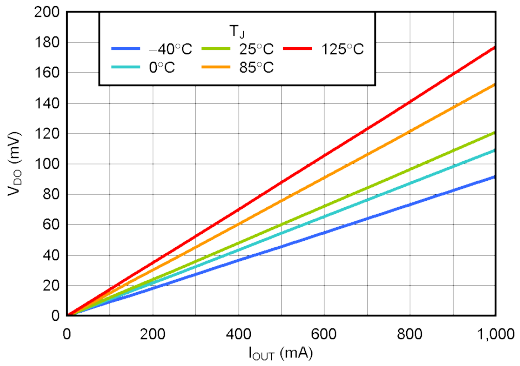
新しいシリコン

図 5-4. ライン レギュレーション



レガシー シリコン

図 5-5. ドロップアウト電圧と出力電流との関係



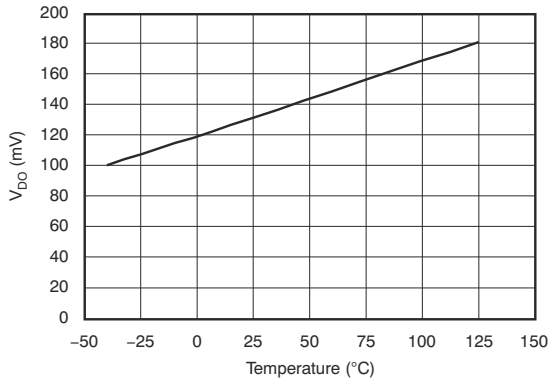
新しいシリコン

図 5-6. ドロップアウト電圧と出力電流との関係

Copyright © 2025 Texas Instruments Incorporated

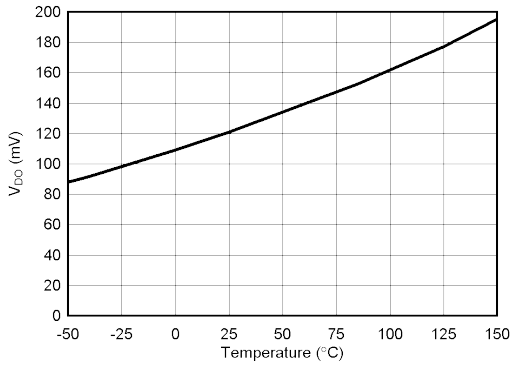
5.7 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V および C_{OUT} = 2.2µF (特に記述のない限り)



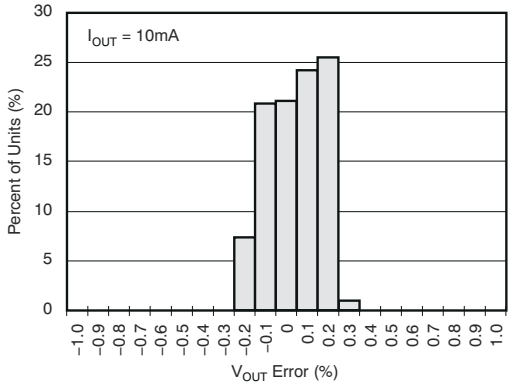
レガシー シリコン

図 5-7. ドロップアウト電圧 vs 温度



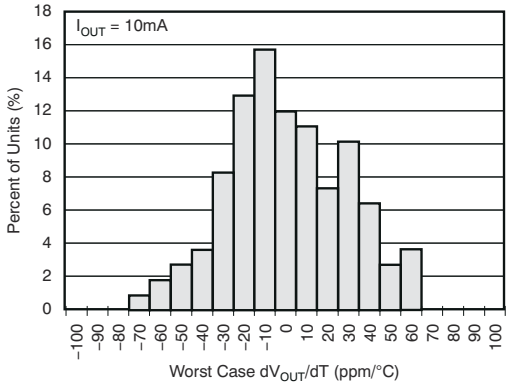
新しいシリコン

図 5-8. ドロップアウト電圧 vs 温度



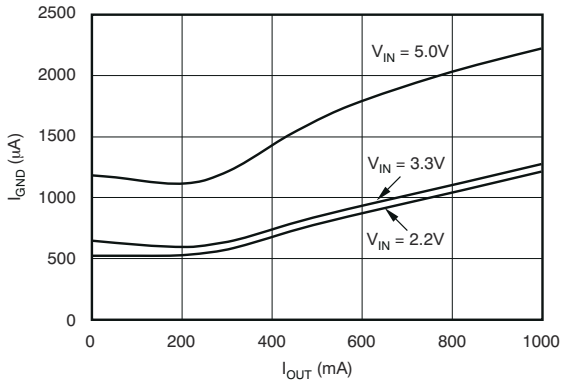
レガシー シリコン

図 5-9. 出力電圧ヒストグラム



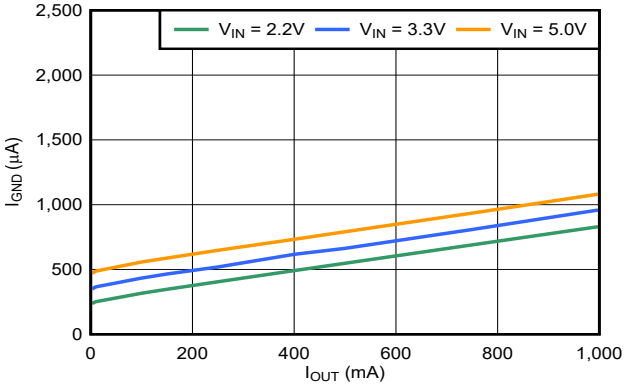
レガシー シリコン

図 5-10. 出力電圧ドリフトのヒストグラム



レガシー シリコン

図 5-11. グランドピンの電流と出力電流との関係

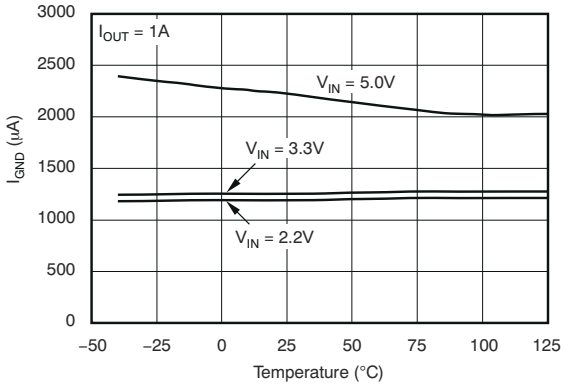


新しいシリコン

図 5-12. グランドピンの電流と出力電流との関係

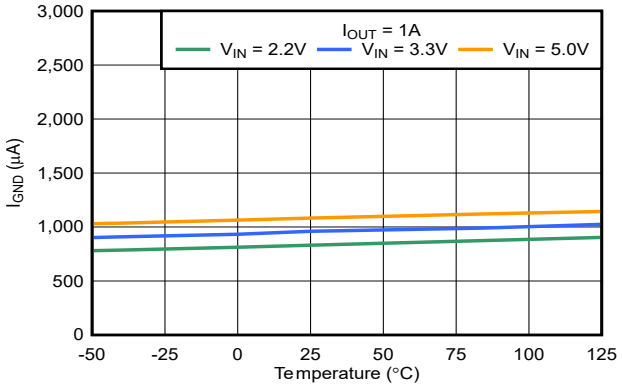
5.7 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V および C_{OUT} = 2.2µF (特に記述のない限り)



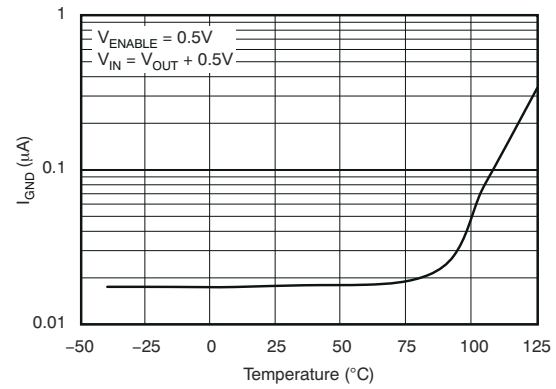
レガシー シリコン

図 5-13. グランドピンの電流と温度との関係



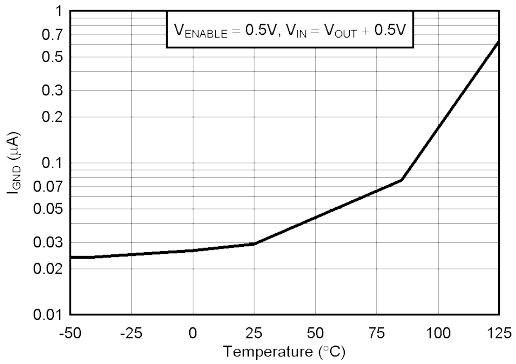
新しいシリコン

図 5-14. グランドピンの電流と温度との関係



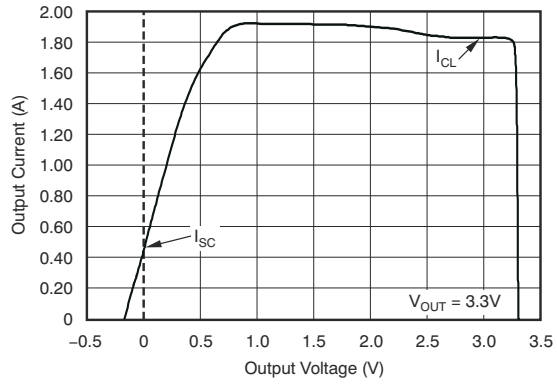
レガシー シリコン

図 5-15. シャットダウン時のグランドピンの電流と温度との関係



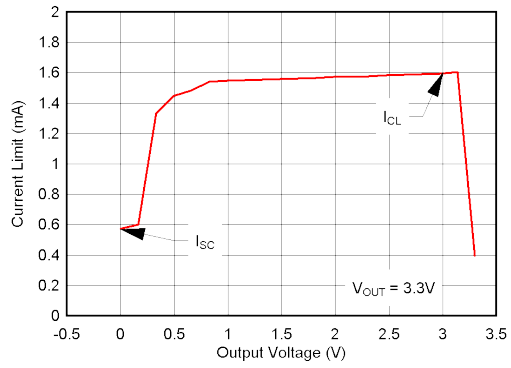
新しいシリコン

図 5-16. シャットダウン時のグランドピンの電流と温度との関係



レガシー シリコン

図 5-17. 電流制限と V_{OUT} (フォールドバック) の関係



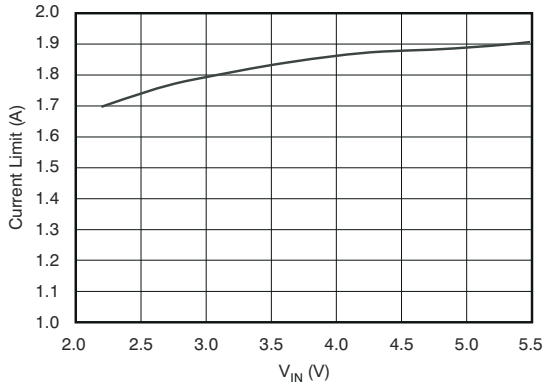
新しいシリコン

図 5-18. 電流制限と V_{OUT} (フォールドバック) の関係

Copyright © 2025 Texas Instruments Incorporated

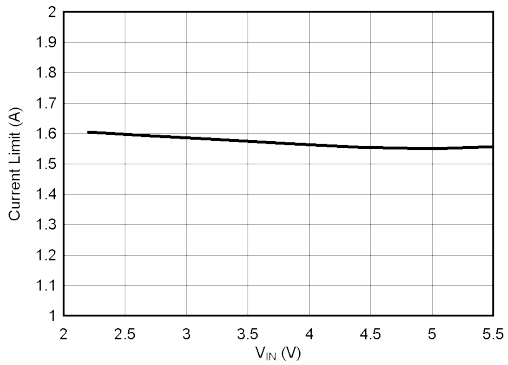
5.7 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V および C_{OUT} = 2.2µF (特に記述のない限り)



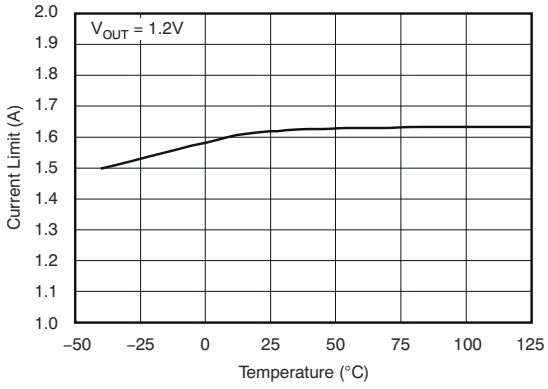
レガシー シリコン

図 5-19. 電流制限と V_{IN} の関係



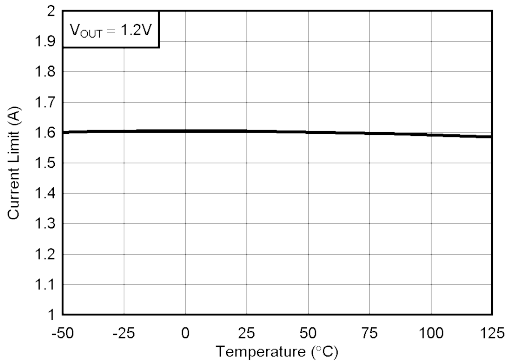
新しいシリコン

図 5-20. 電流制限と V_{IN} の関係



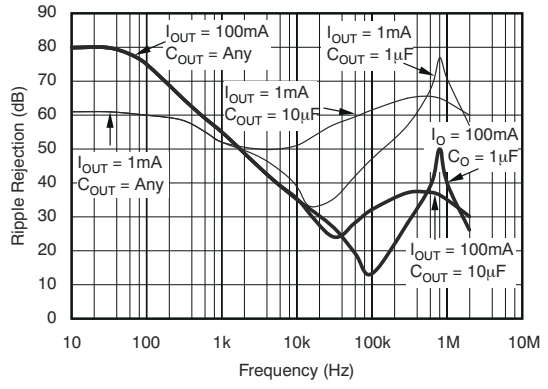
レガシー シリコン

図 5-21. 電流制限と温度との関係



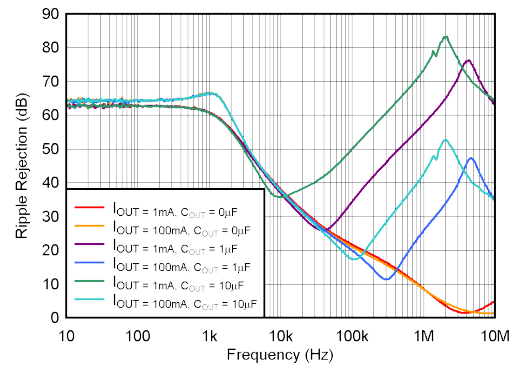
新しいシリコン

図 5-22. 電流制限と温度との関係



レガシー シリコン

図 5-23. PSRR（リップル除去）と周波数との関係

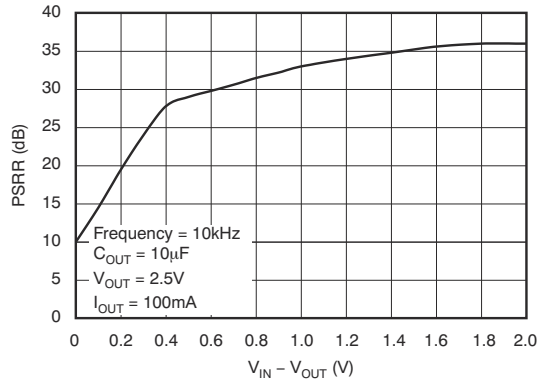


新しいシリコン

図 5-24. PSRR（リップル除去）と周波数との関係

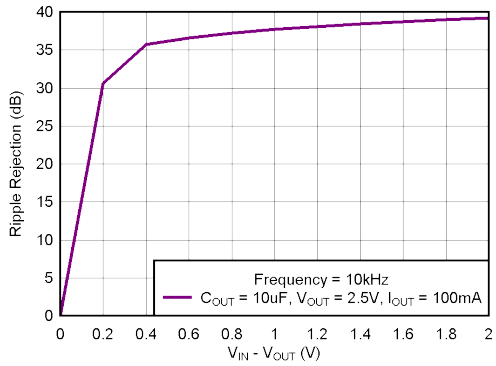
5.7 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V および C_{OUT} = 2.2µF (特に記述のない限り)



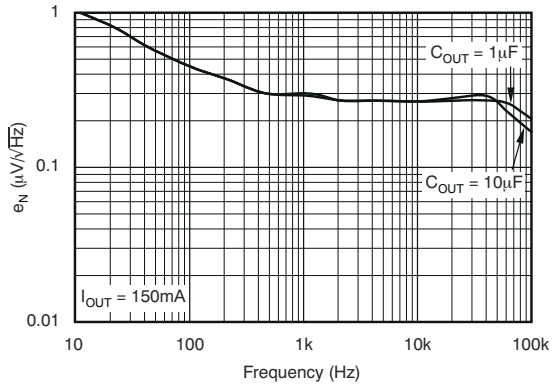
レガシー シリコン

図 5-25. PSRR（リップル除去）と (V_{IN} – V_{OUT}) との関係



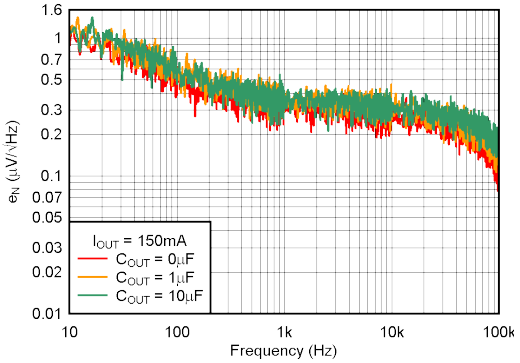
新しいシリコン

図 5-26. PSRR（リップル除去）と (V_{IN} – V_{OUT}) との関係



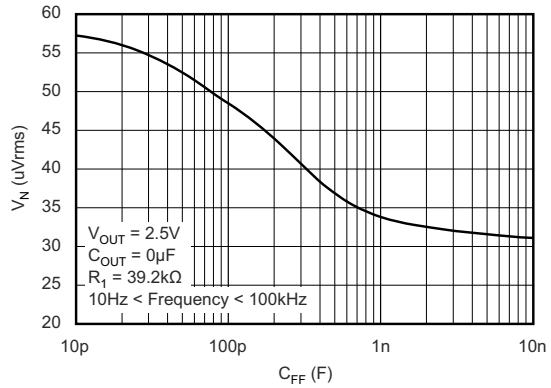
レガシー シリコン

図 5-27. ノイズ スペクトル密度



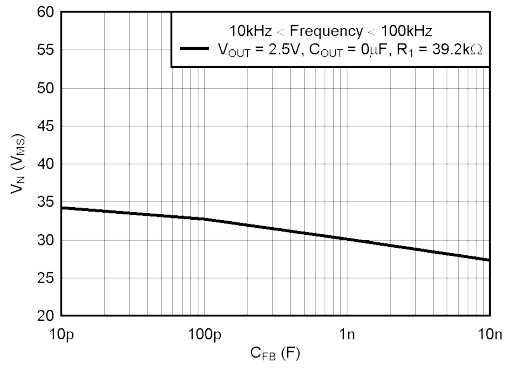
新しいシリコン

図 5-28. ノイズ スペクトル密度



レガシー シリコン

図 5-29. TPS73701 の RMS ノイズ電圧と C_{FB} との関係



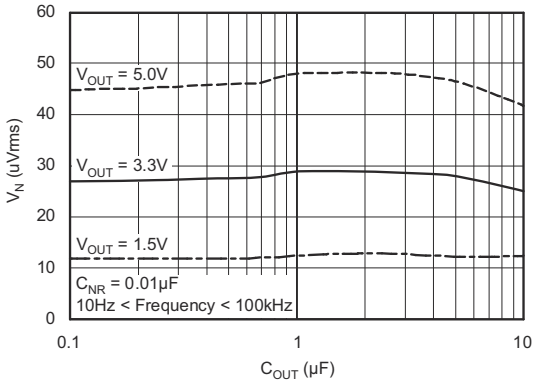
新しいシリコン

図 5-30. TPS73701 の RMS ノイズ電圧と C_{FB} との関係

Copyright © 2025 Texas Instruments Incorporated

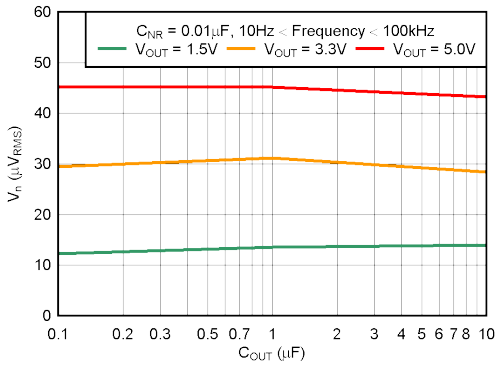
5.7 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V および C_{OUT} = 2.2µF (特に記述のない限り)



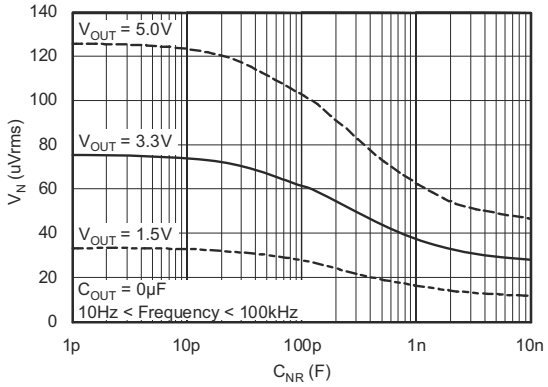
レガシー シリコン

図 5-31. RMS ノイズ電圧と C_{OUT} との関係



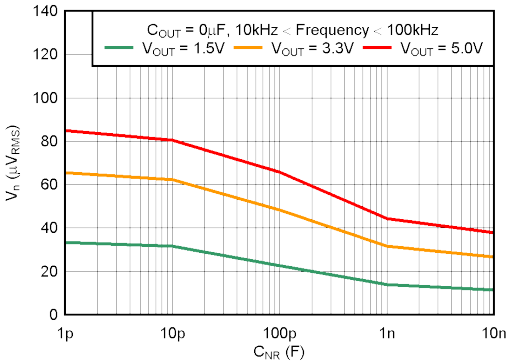
新しいシリコン

図 5-32. RMS ノイズ電圧と C_{OUT} との関係



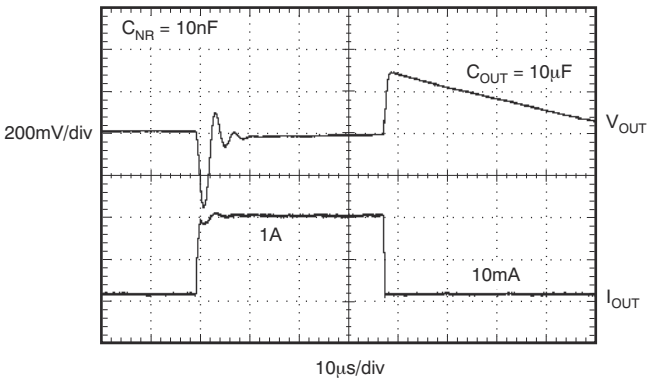
レガシー シリコン

図 5-33. RMS ノイズ電圧と C_{NR} との関係



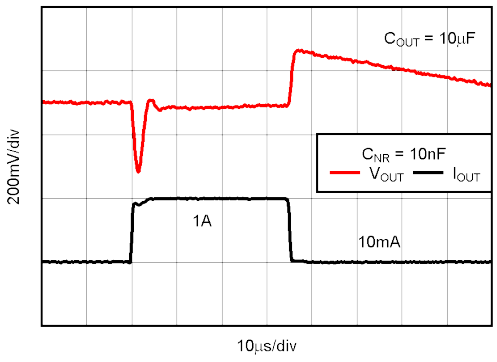
新しいシリコン

図 5-34. RMS ノイズ電圧と C_{NR} との関係



レガシー シリコン

図 5-35. TPS73733 の負荷過渡応答

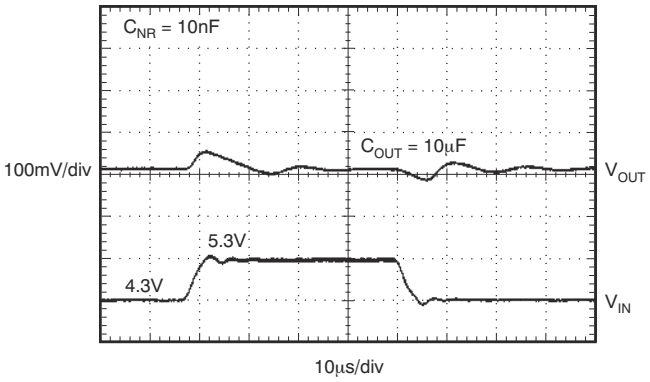


新しいシリコン

図 5-36. TPS73733 の負荷過渡応答

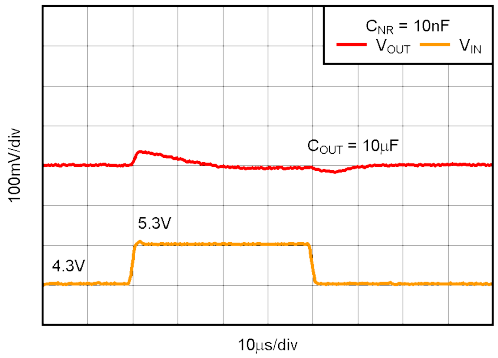
5.7 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V および C_{OUT} = 2.2µF (特に記述のない限り)



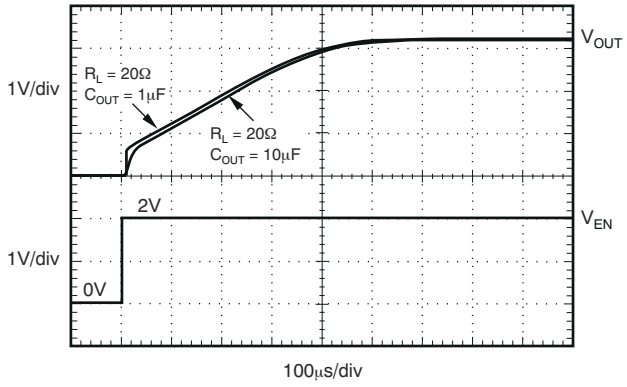
レガシー シリコン

図 5-37. TPS73733 のライン過渡応答



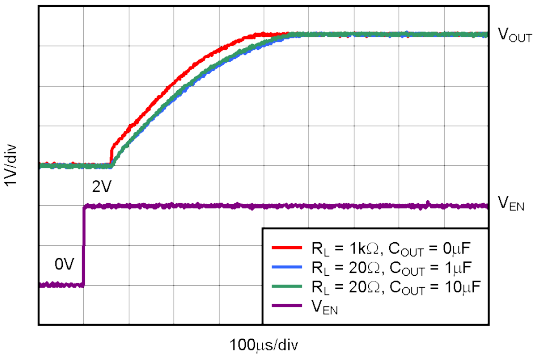
新しいシリコン

図 5-38. TPS73733 のライン過渡応答



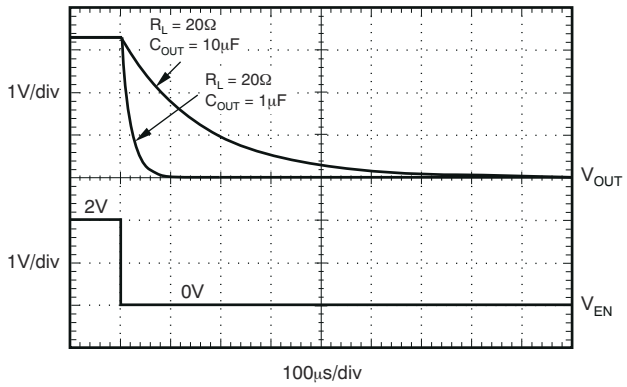
レガシー シリコン

図 5-39. TPS73701 のターンオン応答



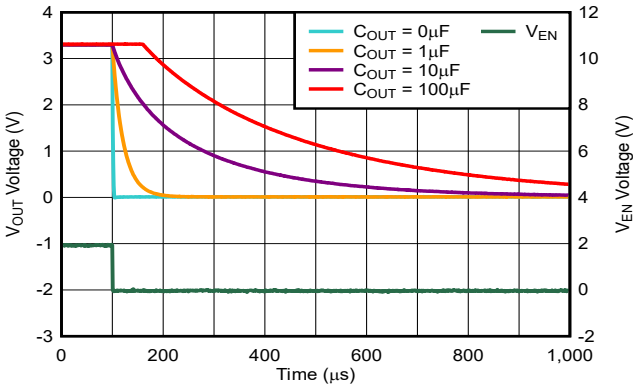
新しいシリコン

図 5-40. TPS73701 のターンオン応答



レガシー シリコン

図 5-41. TPS73701 のターンオフ応答



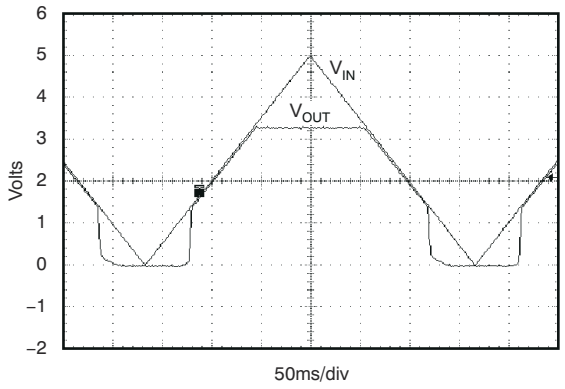
新しいシリコン

図 5-42. TPS73701 のターンオフ応答

Copyright © 2025 Texas Instruments Incorporated

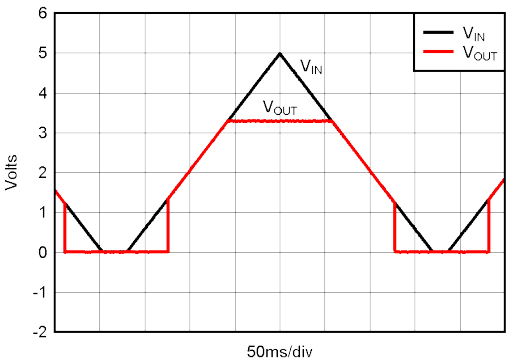
5.7 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V および C_{OUT} = 2.2µF (特に記述のない限り)



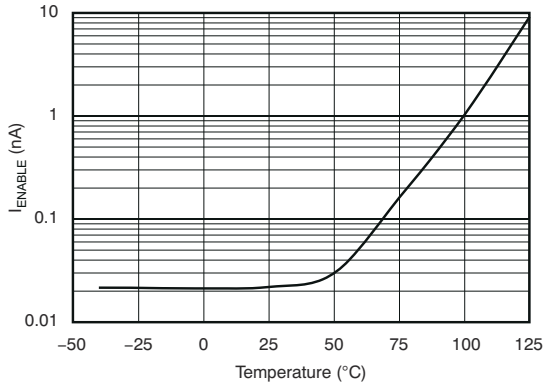
レガシー シリコン

図 5-43. TPS73701、V_{OUT} = 3.3V パワーアップおよびパワーダウン



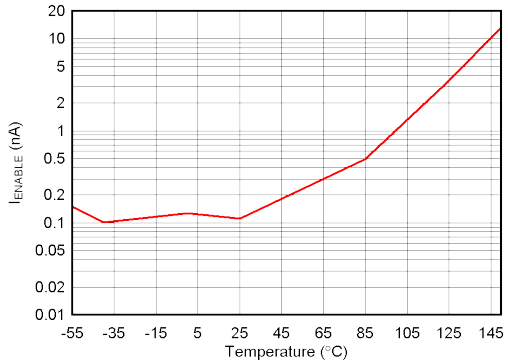
新しいシリコン

図 5-44. TPS73701、V_{OUT} = 3.3V パワーアップおよびパワーダウン



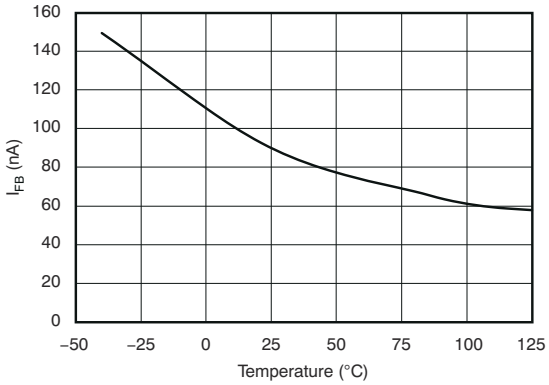
レガシー シリコン

図 5-45. I_{EN} vs 温度



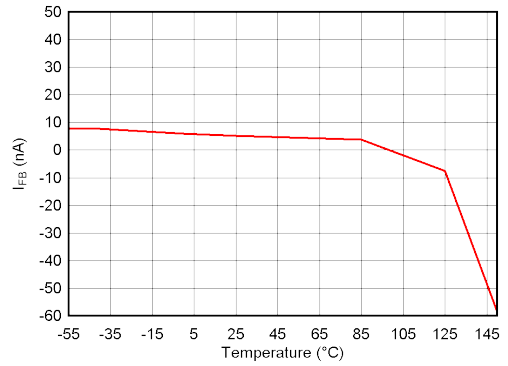
新しいシリコン

図 5-46. I_{EN} vs 温度



レガシー シリコン

図 5-47. TPS73701 I_{FB} と温度との関係



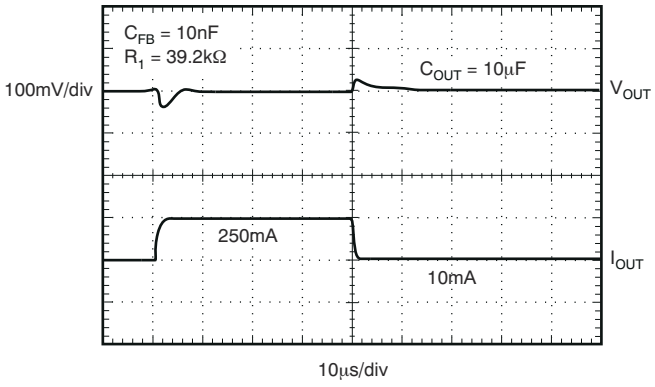
新しいシリコン

図 5-48. TPS73701 I_{FB} と温度との関係

Copyright © 2025 Texas Instruments Incorporated

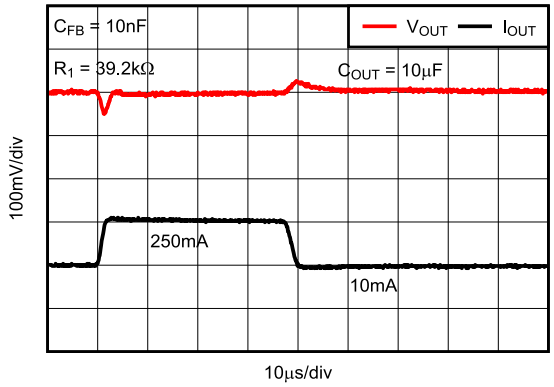
5.7 代表的特性 (続き)

すべての電圧バージョンで、T_J = 25°C、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 10mA、V_{EN} = 2.2V および C_{OUT} = 2.2µF (特に記述のない限り)



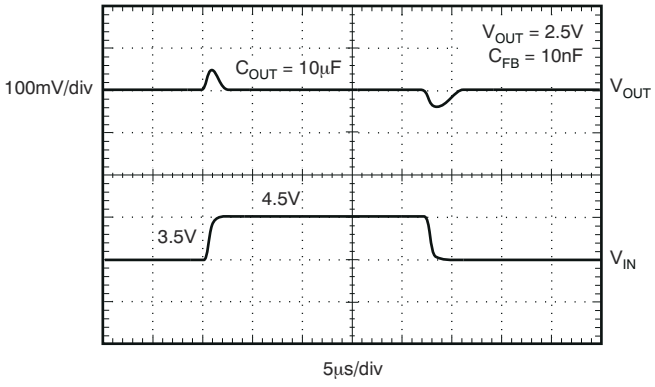
レガシー シリコン

図 5-49. TPS73701 の負荷過渡応答、可変バージョン



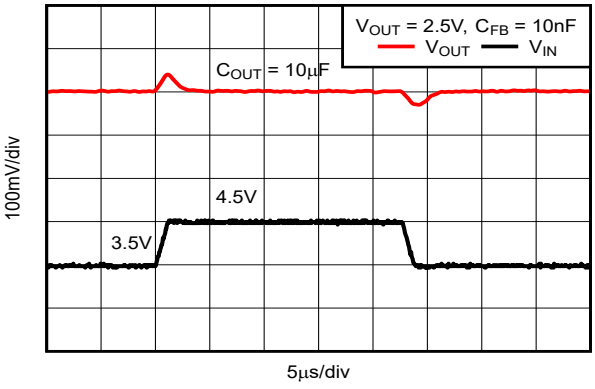
新しいシリコン、C_{OUT} = 10µF タンタル

図 5-50. TPS73701 の負荷過渡応答、可変バージョン



レガシー シリコン

図 5-51. TPS73701 のライン過渡応答、可変バージョン



新しいシリコン、C_{OUT} = 10µF タンタル

図 5-52. TPS73701 のライン過渡応答、可変バージョン

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPS737i は、n 型電界効果トランジスタ (NMOS) をパス素子として使用し、超低ドロップアウト性能、逆電流遮断、および出力コンデンサの制約からの解放を実現した低ドロップアウト (LDO) レギュレータです。これらの機能に加え、イネーブル入力を備えた TPS737 は、携帯用途向けに設計されています。このレギュレータには、広範な固定出力電圧バージョンと可変出力バージョンがあります。すべてのバージョンには、フォールドバック電流制限など、過熱保護および過電流保護機能が搭載されています。

6.2 機能ブロック図

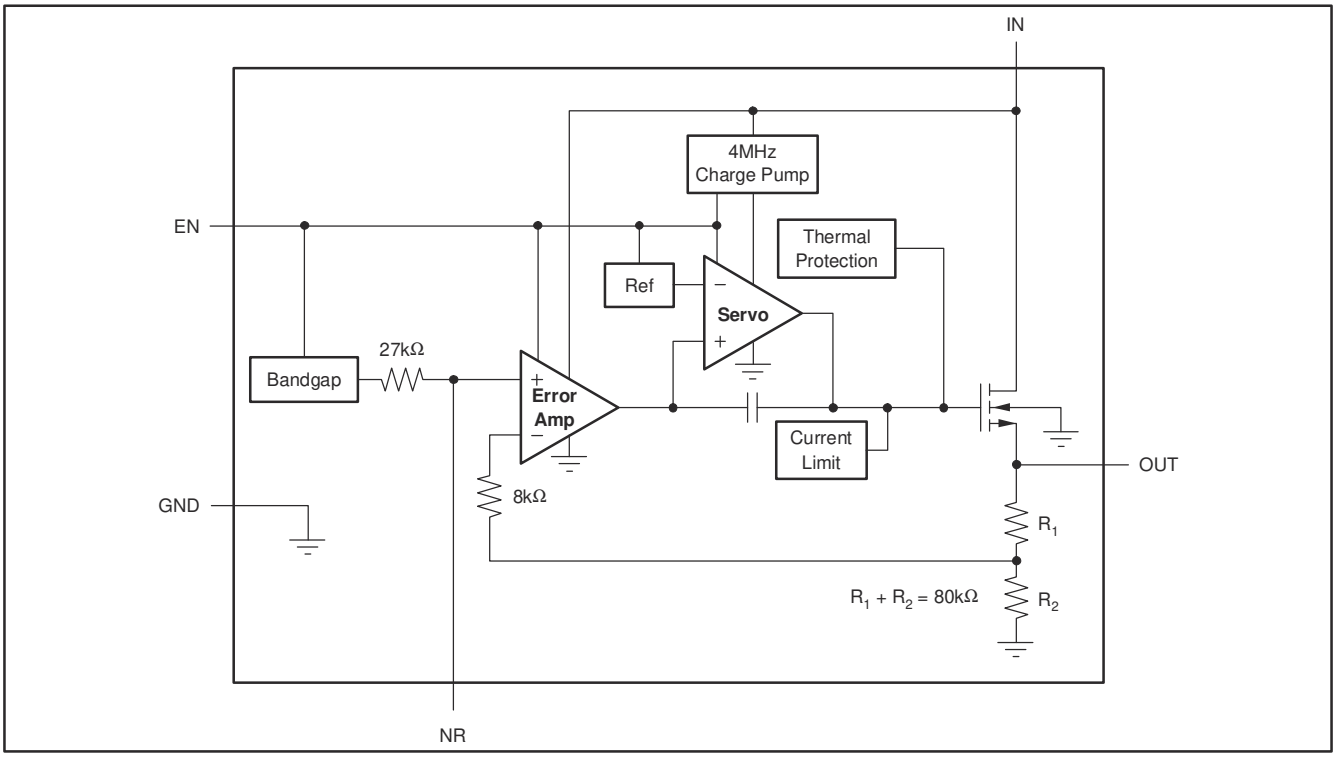
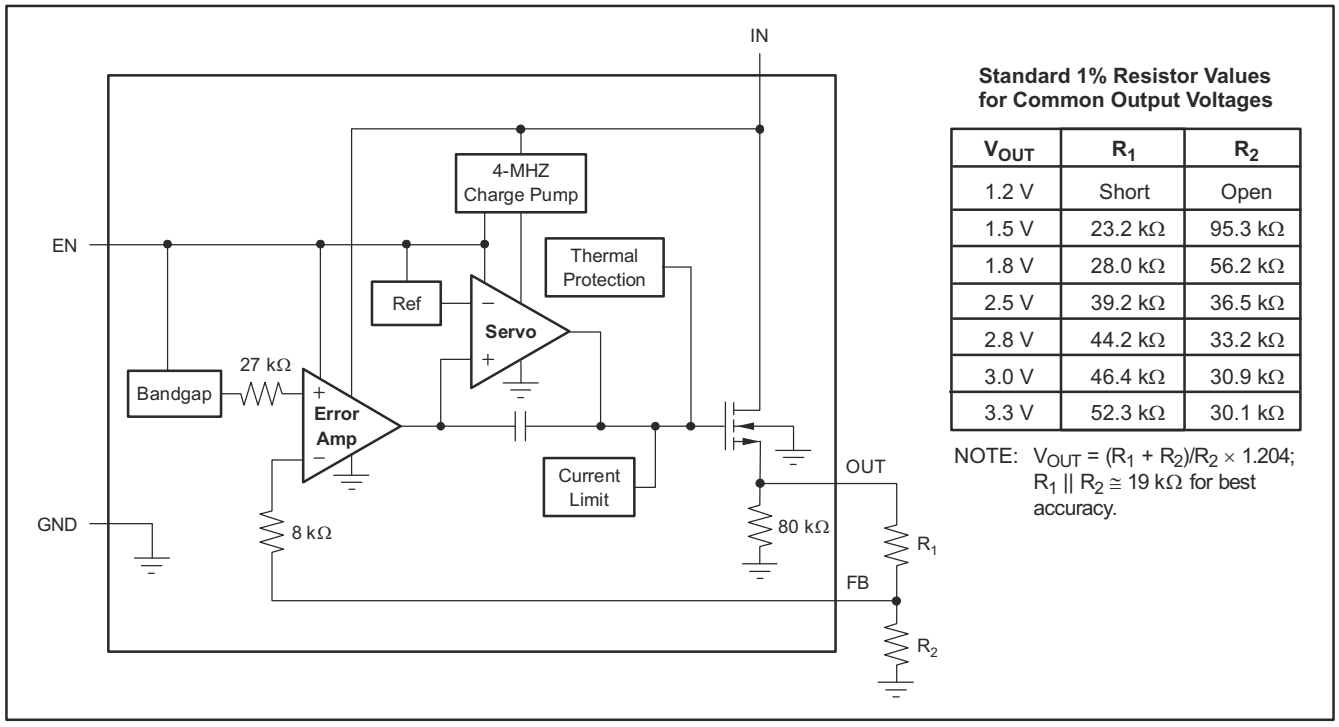


図 6-1. 固定電圧バージョン



Standard 1% Resistor Values for Common Output Voltages

V_{OUT}	R_1	R_2
1.2 V	Short	Open
1.5 V	23.2 kΩ	95.3 kΩ
1.8 V	28.0 kΩ	56.2 kΩ
2.5 V	39.2 kΩ	36.5 kΩ
2.8 V	44.2 kΩ	33.2 kΩ
3.0 V	46.4 kΩ	30.9 kΩ
3.3 V	52.3 kΩ	30.1 kΩ

NOTE: $V_{OUT} = (R_1 + R_2)/R_2 \times 1.204$; $R_1 \parallel R_2 \cong 19\ k\Omega$ for best accuracy.

図 6-2. 可変電圧バージョン

6.3 機能説明

6.3.1 出力ノイズ

高精度のバンドギャップ基準電圧を使用して、内部リファレンス電圧 V_{ref} を生成します。このリファレンスは TPS737xx の主要なノイズ源であり、リファレンス出力 (NR) で約 32 μV_{RMS} (10Hz~100kHz) を生成します。レギュレータの制御ループはリファレンス電圧と同じゲインでリファレンス ノイズを増幅するため、レギュレータのノイズ電圧概算は以下で求められます。

$$V_N = 32\mu V_{RMS} \times \frac{(R_1 + R_2)}{R_2} = 32\mu V_{RMS} \times \frac{V_{OUT}}{V_{REF}} \quad (1)$$

V_R の値が 1.2V であるため、この関係式は C_{NR} がない場合に以下の式に簡略化されます。

$$V_N(\mu V_{RMS}) = 27\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}(V) \quad (2)$$

外部ノイズ低減コンデンサ C_{NR} がノイズ低減ピン (NR) からグランドに接続されている時、27kΩ の内部抵抗を NR と直列に接続すると、電圧リファレンスのローパス フィルタが形成されます。C_{NR} = 10nF の場合、10Hz から 100kHz の帯域幅における総ノイズは約 3.2 倍に減少し、C_{NR} = 10 nF の場合、以下の式で近似的に表されます。

$$V_N(\mu V_{RMS}) = 8.5\left(\frac{\mu V_{RMS}}{V}\right) \times V_{OUT}(V) \quad (3)$$

このノイズ低減の効果は、セクションで*代表的特性*セクションで、*RMS ノイズ電圧*と C_{NR} の関係として示されています。

可変バージョンの TPS73701 には、NR ピンがありません。しかし、帰還コンデンサ C_{FB} を出力から帰還ピン (FB) に接続することで、出力ノイズが減少し、負荷過渡性能が向上します。このコンデンサは 0.1 µF に制限します。

Copyright © 2025 Texas Instruments Incorporated

-TPS737 は内部チャージ ポンプを用いて内部電源電圧を生成し、V_{OUT} を上回る電圧での NMOS パス素子のゲート駆動も可能にします。チャージ ポンプは約 4MHz で約 250µV のスイッチング ノイズを生成しますが、チャージ ポンプ ノイズの影響はレギュレータの出力における I_{OUT} および C_{OUT} のほとんどの値で、無視できるほど小さくなります。

6.3.2 内部電流制限

TPS737 の内部電流制限は、故障時にもレギュレータを保護します。フォールドバック電流制限は、V_{OUT} が 0.5V を下回ったときに電流制限を下げることで、出力短絡時のレギュレータの損傷を防ぎます (*代表的特性*内の図 5-17 を参照)。

図 5-17 の場合、V_{OUT} が約 -0.2V の時、電流制限は 0mA になります。したがって、EN が High になる前に OUT が強制的に -0.2V より低くなった場合、デバイスがスタート アップしない可能性があります。正と負の両方の電源電圧で動作するアプリケーションでは、TPS737 を最初に有効にする必要があります。

6.3.3 イネーブルおよびシャットダウン

イネーブルピン(EN)はアクティブ High であり、標準の TTL-CMOS レベルと互換です。V_{EN} が 0.5V (最大値) 未満になると、レギュレータはオフになり、GND ピンの電流は約 10nA にまで低下します。EN ピンを使用してレギュレータをシャットダウンすると、すべての電荷がパストランジスタのゲートから除去されます。V_{EN} が 1.7v(最小値)を超えるとレギュレータはオンになり、出力は制御された V_{OUT} に戻ります(詳細は図 5-39 を参照)。

シャットダウン機能が不要な場合は、EN ピンを V_{IN} に接続します。ただし、この構成を使用するとパス トランジスタを放電できず、V_{IN} が解除された後も、パス トランジスタが相当の期間オン (拡張) のままになる可能性があります。この状況では、逆電流が流れ (IN ピンが低インピーダンスの場合)、パワーアップ時のランプ時間が短くなります。さらに、V_{IN} のランプ時間が数ミリ秒より遅い場合、パワーアップ時に出力がオーバーシュートを起こす可能性があります。

条件によっては、電流制限フォールドバックを用いてデバイスのスタートアップを防止できます。詳細については、「内部電流制限」セクションを参照してください。

6.3.4 逆電流

-TPS737 の NMOS パス トランジスタは、パス トランジスタのゲート引き下げ時にレギュレータの出力から入力への電流の逆流を防ぎ、固有安全性を高めます。パス トランジスタのゲートから確実にすべての電荷を除去するため、入力電圧が解除される前に EN ピンを low に駆動する必要があります。EN ピンが Low レベルに駆動されない場合、ゲートに蓄積された電荷によりパス トランジスタがオンのままになる可能性があります。

EN ピンを low に駆動した後、いずれのピンにも逆電流を遮断するためのバイアス電圧は必要ありません。逆電流とは、OUT ピンに電圧が印可されることによって IN ピンから流れ出す電流を指します。80kΩ 内部抵抗分圧器がグランドに接続されているため、OUT ピンに追加の電流が流れます (図 6-1 および図 6-2 を参照)。

TPS73701 の場合、V_{FB} が V_{IN} を 1.0V 以上上回ると、逆電流が発生する可能性があります。

6.4 デバイスの機能モード

EN ピンに 1.7V 以上を加えると、レギュレータが動作します。EN ピンを 0.5V 未満にすると、レギュレータはシャットダウンモードに移行します。シャットダウン時には、デバイスの消費電流が標準値の 20 nA に低下します。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS737 低ドロップアウト (LDO) レギュレータは NMOS パストランジスタを使用して、超低ドロップアウト性能および逆電流ブロックを実現し、出力コンデンサの制約を受けないようにしています。これらの機能に加え、低ノイズおよびイネーブル入力を備えた TPS737 は、携帯用途向けに設計されています。このレギュレータには、広範な固定出力電圧バージョンと可変出力バージョンがあります。すべてのバージョンには、フォールドバック電流制限など、過熱保護および過電流保護機能が搭載されています。

7.2 代表的なアプリケーション

図 7-1 に、固定電圧モデルの基本的な回路接続を示します。図 7-2 に、可変出力バージョン (TPS73701) の接続を示します。

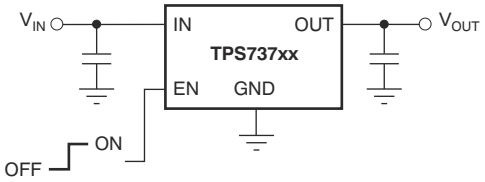


図 7-1. 代表的なアプリケーション回路 (固定電圧バージョン)

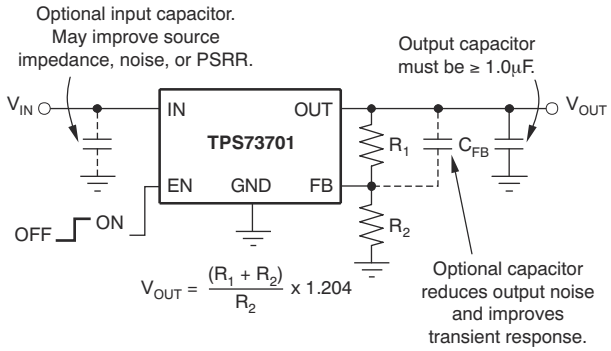


図 7-2. 可変電圧バージョン向けの標準的なアプリケーション回路

7.2.1 設計要件

R_1 と R_2 は、出力電圧に応じて 図 7-2 の式で求めることができます。一般的な出力電圧の抵抗値の例を 図 6-2 に図示します。

より高い精度を得るため、R_1 と R_2 の並列組み合わせを約 19kΩ に設定します。この 19 kΩ に 8kΩ の内部抵抗が加わることで、エラー アンプに対して 27kΩ のバンドギャップ リファレンス出力と同じインピーダンスを供給します。このインピーダンスは、エラー アンプ端子へのリークを補償するのに役立ちます。

Copyright © 2025 Texas Instruments Incorporated

7.2.2 詳細な設計手順

GND ピンの電流の補償と負荷への電力供給のために、ドロップアウトと出力電流を考慮した適切なヘッドルームを入力電源に用意してください。さらに、*入出力コンデンサの要件*セクションで説明したように、適切な入力および出力コンデンサを選択します。

7.2.2.1 入出力コンデンサの要件

入力インピーダンスが非常に低い場合、安定性のために入力コンデンサは必須ではありませんが、優れたアナログ設計の実践として、レギュレータの近くの入力電源端子に 0.1µF から 1µF の低等価直列抵抗 (ESR) コンデンサを接続することが推奨されます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、ノイズ除去、リップル除去を改善します。立ち上がり時間の短い過大な負荷過渡事象が予想される場合、またはデバイスが電源から数インチの場所に配置される場合は、より大容量のコンデンサが必要になる可能性があります。

TTPS737 の安定動作には、1µF の出力コンデンサが必要です。本デバイスは、利用可能なすべてのタイプとコンデンサの値で安定するよう設計されています。複数の低 ESR コンデンサを並列接続する場合、C_{OUT} と合計 ESR の積が 50 nF × Ω を下回るとリンギングが発生する可能性があります。合計 ESR には、コンデンサの ESR に加え、基板、ソケット、半田接合抵抗を含むすべての寄生抵抗が含まれます。ほとんどの用途では、コンデンサの ESR と配線抵抗の合計がこの要件を満たします。

7.2.2.2 ドロップアウト電圧

-TPS737 は NMOS パストランジスタを使用して、非常に低いドロップアウトを実現しています。($V_{IN} – V_{OUT}$) がドロップアウト電圧 (V_{DO}) よりも低い場合、NMOS パス デバイスはリニア領域での動作になり、入出力抵抗は NMOS パス素子の $R_{DS(on)}$ となります。

-TPS737 では、負荷電流の急激な負荷変動時、過渡応答の低下を避けるために V_{IN} から V_{OUT} への電圧降下を十分に確保する必要があります。この過渡ドロップアウト領域の境界は、DC ドロップアウト電圧の約 2 倍です。(V_{IN} - V_{OUT}) の値がこの境界を超えている場合、通常の過渡応答が得られます。

過渡ドロップアウト領域での動作により、復帰時間が長くなる場合があります。負荷過渡からの回復に要する時間は、負荷電流レートの変化率、負荷電流の変化率、使用可能なヘッドルーム (V_{IN} から V_{OUT} への電圧降下) の関数で求められます。ワーストケース条件 [($V_{IN} – V_{OUT}$) が DC ドロップアウト レベルに近い状態でのフルスケール瞬時負荷変動] において、-TPS737 は仕様どおりのレギュレーション精度に復帰するまでに数百マイクロ秒を要する場合があります。

7.2.2.3 過渡応答

電圧フォロワ構成の NMOS パストランジスタにより低い開ループ出力インピーダンスが得られるため、動作に 1µF 出力コンデンサは不要です。他のレギュレータと同様に、OUT ピンからグランドへの静電容量を追加すると、アンダーシュートの大きさが減少しますが、アンダーシュートの持続時間は長くなります。可変バージョンでは、OUT ピンと FB ピンとの間にコンデンサ、すなわち C_{FB} を追加することでも過渡応答を改善できます。

TPS737 には、出力が過電圧の際のアクティブ プルダウン機能はありません。このアーキテクチャにより、代替電源などの高い電圧源を出力に接続する用途が可能になります。このアーキテクチャはまた、出力にコンデンサが接続された状態で負荷電流が急速にゼロに下がった場合、数パーセントのオーバーシュートを生じさせます。負荷抵抗を追加することで、オーバーシュートの持続時間を短縮できます。オーバーシュートは、出力コンデンサ C_{OUT} と内部および外部の負荷抵抗によって決まる速度で減衰します。減衰の速度は以下によって示されます。

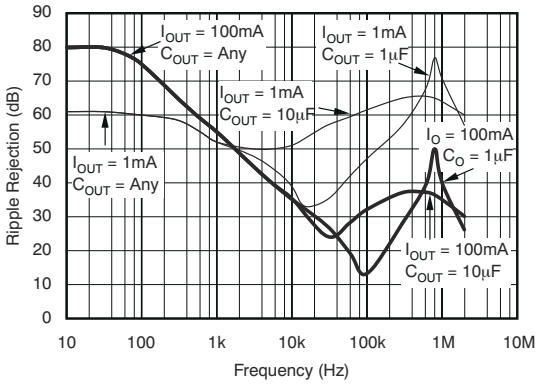
(固定電圧バージョン)

$$\frac{dV}{dT} = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \parallel R_{LOAD}} \quad (4)$$

(可変電圧バージョン)

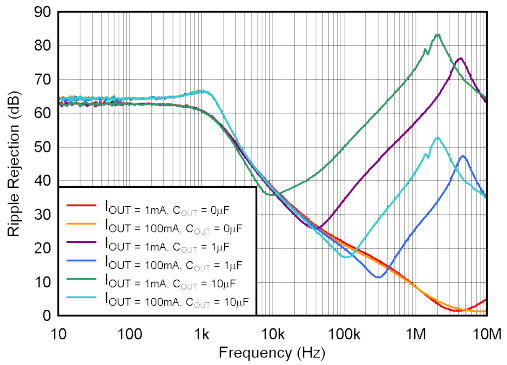
$$\frac{dV}{dT} = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \,||\, (R_1 + R_2) \,||\, R_{LOAD}} \quad (5)$$

7.2.3 アプリケーション曲線



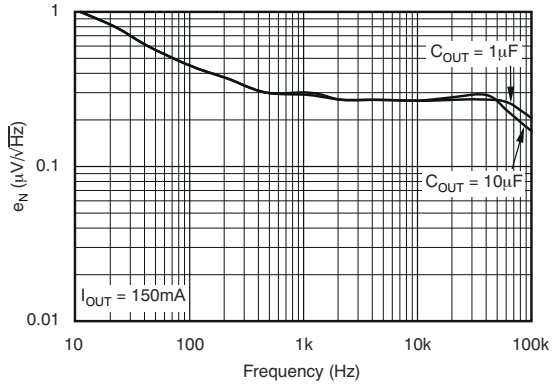
レガシー シリコン

図 7-3. PSRR（リップル除去）と周波数との関係



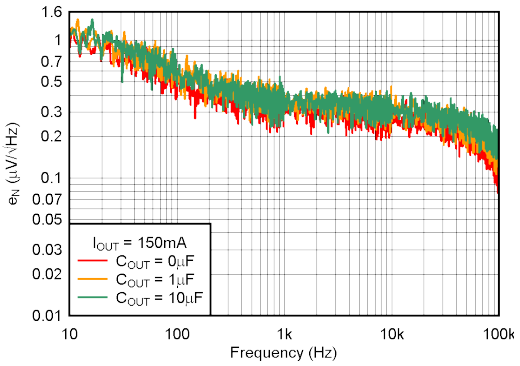
新しいシリコン

図 7-4. PSRR（リップル除去）と周波数との関係



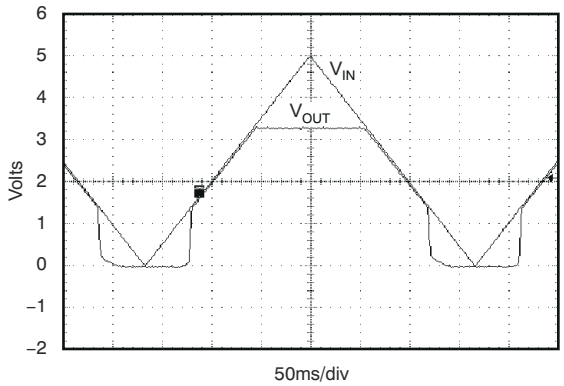
レガシー シリコン

図 7-5. ノイズ スペクトル密度



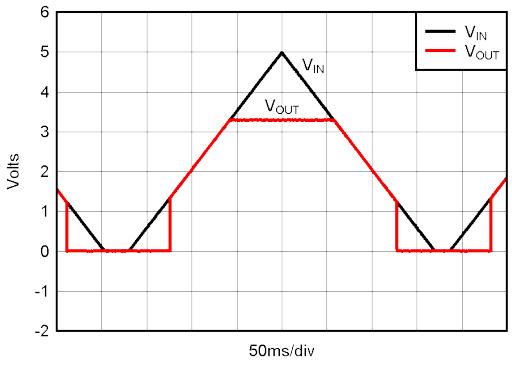
新しいシリコン

図 7-6. ノイズ スペクトル密度



レガシー シリコン

図 7-7. TPS73701、V_{OUT} = 3.3V パワーアップおよびパワーダウン



新しいシリコン

図 7-8. TPS73701、V_{OUT} = 3.3V パワーアップおよびパワーダウン

Copyright © 2025 Texas Instruments Incorporated

7.3 設計のベスト プラクティス

レギュレータの OUT ピンのできるだけ近くに、少なくとも 1 つの 1µF セラミック コンデンサを配置します。

出力コンデンサは、レギュレータから 10mm 以上離れた位置に配置しないでください。

過渡応答性能を向上させるために、レギュレータの IN ピンと GND 入力間に 1µF の低等価直列抵抗 (ESR) コンデンサを接続します。

絶対最大定格を超過してはなりません。

7.4 電源に関する推奨事項

このデバイスは 2.2V～5.5V の入力電源電圧範囲で動作するよう設計されています。この入力電圧範囲により、デバイスがレギュレートされた出力を行うための十分なヘッドルームが得られます。この入力電源には適切なレギュレーションが行われる必要があります。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

PSRR、出力ノイズ、過渡応答などの AC 特性を改善するために、V_{IN} および V_{OUT} コンデンサのためのグランド プレーン接続を備えたプリント回路基板 (PCB) を設計さらに、グランド プレーンがデバイスの GND ピンに接続されていることを確認します。さらに、バイパス コンデンサのグランド接続部はデバイスの GND ピンに直接接続する必要があります。

7.5.1.1 電力散逸

デバイスの消費電力を把握し、タブやパッドに接続されたサーマル プレーンを適切に設計することは、サーマル シャットダウンを防ぎ、信頼性の高い動作を確保するうえで極めて重要です。

デバイスの消費電力は入力電圧および負荷条件に依存し、式 6 を使用して計算できます。

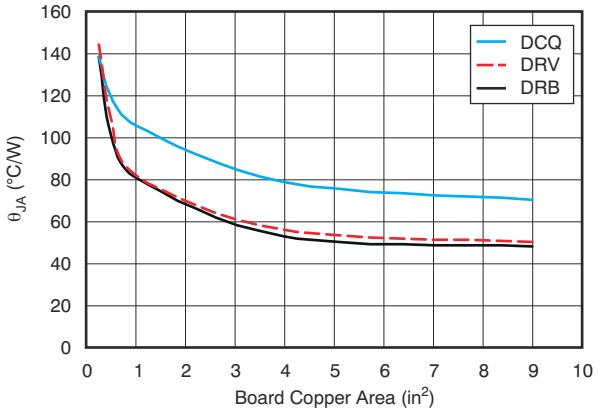
$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \tag{6}$$

必要な出力電圧の安定性を得るために可能な限り低い入力電圧を使用することで、電力損失を最小限に抑え、より高い効率を達成することができます。

VSON（DRB）パッケージと WSON（DRV）パッケージのいずれにおいても、主な放熱経路は露出パッドを通じてプリント基板（PCB）に伝わります。このパッドはグラウンドに接続しても浮かせたままにしてもかまいませんが、デバイスが過熱しないよう、十分な面積の銅配線領域に接続する必要があります。SOT-223 (DCQ) パッケージでは、主な放熱経路はタブを通じて PCB に伝わります。タブはグランドに接続する必要があります。接合部から周囲への最大熱抵抗は、デバイスの最大周囲温度、デバイスの最大接合部温度、および消費電力に依存し、式 7 を使って計算できます。

$$R_{\theta JA} = \frac{(+125°C - T_A)}{P_D} \tag{7}$$

最大 $R_{\theta JA}$ が判明していれば、適切なヒートシンクに必要な PCB 銅箔面積の最小値は、図 7-9 を使って推定できます。



基板サイズが 9 インチ ^{2} (つまり 3 インチ × 3 インチ)の場合の $R_{\theta JA}$ 値 は、JEDEC 規格に基づくものです。

図 7-9. $R_{\theta JA}$ と基板サイズとの関係

図 7-9 に、基板のグランド プレーン銅領域の関数としての $R_{\theta JA}$ の変化を示します。図 7-9 はグランド プレーン内での熱拡散の影響を示すためのガイドラインとして意図されたものであり、実際のアプリケーション環境における熱性能を見積もるために使用することは想定されていません。

注

デバイスをアプリケーション PCB に取り付ける場合、*熱に関する情報*の表で説明されているように、Ψ_{JT} と Ψ_{JB} を使用します。

7.5.1.2 過熱保護

過熱保護機能は、接合部温度が約 160°C に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約 140°C まで冷却されると、出力回路が再びオンになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン / オフを繰り返します。このオン/オフ サイクルによりレギュレータの消費電力が制限され、過熱による損傷からレギュレータを保護します。

過熱保護回路が作動する傾向にある場合、消費電力が過剰であるか、ヒート シンクが不十分であることを示しています。信頼性の高い動作を実現するには、接合部温度を最大 125°C に制限します。設計全体 (ヒート シンクを含む) の安全率を推定するためには、周囲温度を上昇させて過熱保護が作動することを確認します。その際、ワーストケースの負荷と信号条件を使用してください。信頼性を高めるために、用途で想定される最大周囲条件を少なくとも 35°C 上回った時に熱保護機能がトリガする必要があります。このバッファにより、予想される最高周囲温度および最悪の場合の負荷で、最悪の場合の接合部温度は 125°C になります。

TPS737 の内部保護回路は、過負荷状態から保護されるように設計されています。この回路は、適切なヒート シンクの代替となるものではありません。サーマル シャットダウンが作動するまで TPS737 を使用し続けると、デバイスの信頼性が低下します。

7.5.1.3 推定接合部温度

*熱に関する情報*表に示す熱特性値 Ψ_{JT} および Ψ_{JB} を使用することで、対応する式で接合部温度を推定できます (式 8 で説明)。下位互換性のため、古い θ_{JC}、*Top* パラメータもリストされています。

$$\Psi_{JT}: \quad T_J = T_T + \Psi_{JT} \bullet P_D$$
$$\Psi_{JB}: \quad T_J = T_B + \Psi_{JB} \bullet P_D \tag{8}$$

ここで

- P_D は、式 6 で説明されている消費電力です

Copyright © 2025 Texas Instruments Incorporated

- T_T は、デバイス パッケージの中央上部の温度
- T_B は、*PCB 表面上*でデバイス パッケージから 1mm 離れた場所で測定された PCB 温度です (図 7-11 を参照)。

注

T_T と T_B の両方は、熱ガン (赤外線温度計) を使用して実際のアプリケーション ボードで測定できます。

T_T と T_B の測定の詳細については、*新しい熱評価基準の使用アプリケーション ノート*を参照してください。このアプリケーション ノートは www.ti.com からダウンロードできます。

図 7-10 に示すように、新しい熱指標 (Ψ_{JT} と Ψ_{JB}) は基板サイズへの依存性はほとんどありません。つまり、式 8 で、Ψ_{JT} や Ψ_{JB} を使用して、T_T または T_B を測定することで、基板サイズに関係なく簡単に接合部温度 T_J を推定するのに有効な方法です。

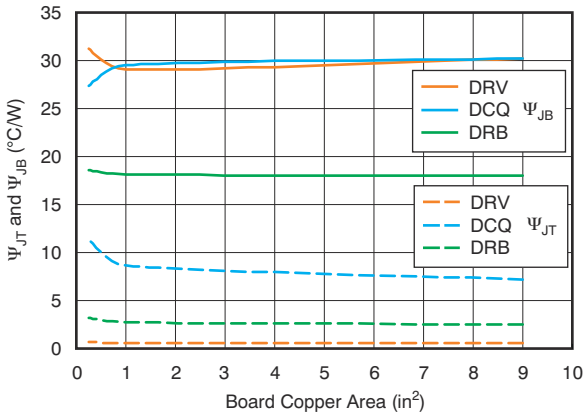
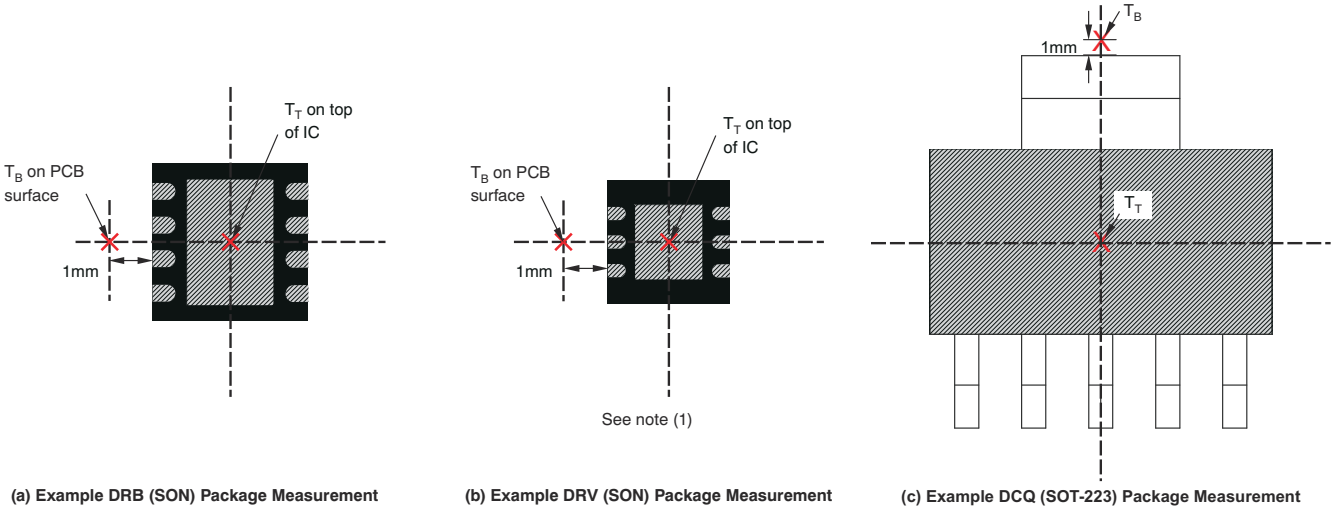


図 7-10. Ψ_{JT} および Ψ_{JB} とボード サイズとの関係

熱特性を判定するためにテキサス インスツルメンツが $\theta_{JC(top)}$を使用することを推奨しない理由についての詳細は*新しい熱評価基準の使用アプリケーション ノート*を参照してください。このアプリケーション ノートは、www.ti.com からダウンロードできます。詳細については、テキサス インスツルメンツの Web サイトでも入手可能な*半導体および IC パッケージの熱評価基準アプリケーション ノート*を参照してください。図 7-11 に、DRB、DRV、DCQ パッケージの測定点を示します。



(a) Example DRB (SON) Package Measurement　(b) Example DRV (SON) Package Measurement　(c) Example DCQ (SOT-223) Package Measurement

A. 消費電力が動作範囲を制限する可能性があります。*熱に関する情報*を確認

図 7-11. T_T および T_B の測定ポイント

7.5.2 レイアウト例

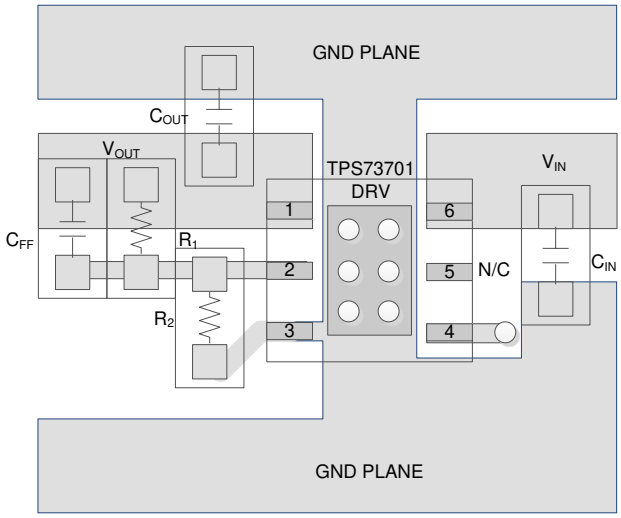


図 7-12. レイアウト例

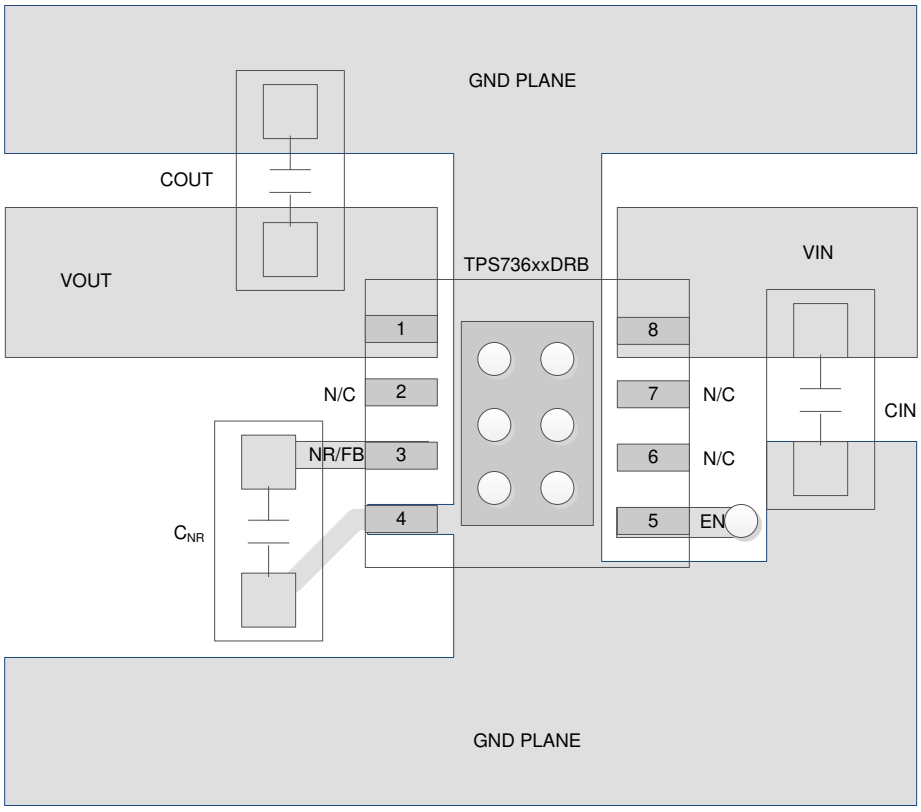


図 7-13. 固定出力電圧オプションのレイアウト（DRB パッケージ）

Copyright © 2025 Texas Instruments Incorporated

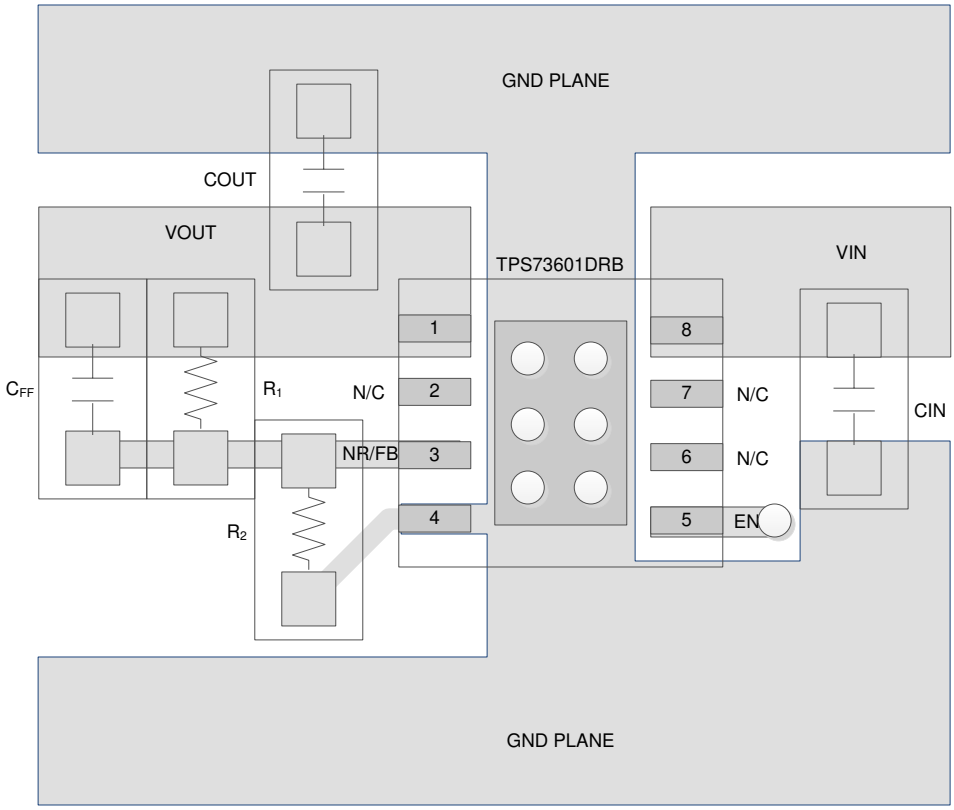


図 7-14. 可変出力電圧オプションのレイアウト（DRB パッケージ）

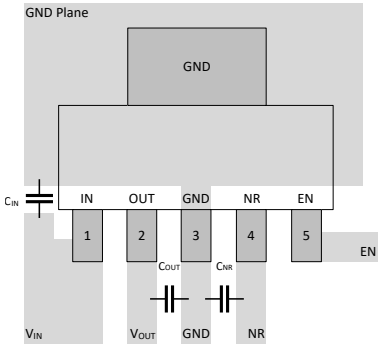


図 7-15. DCQ パッケージのレイアウト例 (固定バージョン)

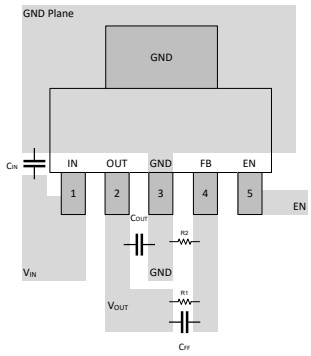


図 7-16. DCQ パッケージのレイアウト例 (可変バージョン)

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 評価基板

TPS737 を使用した初期の回路性能評価には、評価基板 (EVM) を利用することができます。TPS73701DRVEVM-529 評価基板 (および関連するユーザー ガイド) は、テキサス・インスツルメンツの Web サイトのプロダクト フォルダから請求するか、TI eStore から直接お求めになれます。

8.1.1.2 SPICE モデル

SPICE による回路パフォーマンスのコンピュータ シミュレーションは、アナログ回路やシステムのパフォーマンスを分析するため多くの場合に有用です。TPS737 用の SPICE モデルは、製品フォルダの「ツールとソフトウェア」から入手できます。

8.1.2 デバイスの命名規則

表 8-1. 注文情報 (1)

製品名	説明(1)
TPS737**xxyyyz(M3)**	**xx** は公称出力電圧です (例:25 = 2.5V、01 = 可変 (2))。 **yyy** はパッケージ指定子です。 **Z** はパッケージ数量です。 **M3** は、最新の製造フロー (CSO: RFB)。この接尾辞がないデバイスは、*レガシー シリコン* (CSO: DLN) または*新しいシリコン* (CSO: RFB) を用いて出荷されます。リール包装ラベルには、使用されているシリコンを識別するための CSO 情報が記載されています。本書では、新旧のシリコンごとのデバイス性能について説明しています。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。
(2) 1.20V 固定動作の場合は、FB を OUT に接続します。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『新しい熱評価基準の解説』アプリケーション ノート*
- テキサス・インスツルメンツ、*『TPS73701DRVEVM-529 ユーザー ガイド』*、ユーザー ガイド
- テキサス・インスツルメンツ、*『TMS320DM644x 電源リファレンス設計』アプリケーション ノート*
- テキサス・インスツルメンツ、*『TPS73x01DRBEVM-518 ユーザーガイド』*ユーザー ガイド

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキスト・インスツルメンツの仕様を構成するものではなく、必ずしもテキスト・インスツルメンツの見解を反映したものではありません。テキスト・インスツルメンツの使用条件を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision V (May 2025) to Revision W (August 2025)	Page
• DRV (WSON) パッケージの新しいシリコンの熱特性を追加	4

Changes from Revision U (September 2024) to Revision V (May 2025)	Page
• DRB0008A パッケージ外形の DRB (VSON) を更新	4
• *イネーブル ピンとシャットダウンのセクションで、V_{IN} が 1.7V 以上を V_{EN} が 1.7V 以上に変更*	19

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73701DCQ	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS73701
TPS73701DCQ.A	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS73701
TPS73701DCQG4	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73701
TPS73701DCQG4.A	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73701
TPS73701DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	TPS73701
TPS73701DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS73701
TPS73701DCQRG4	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73701
TPS73701DCQRG4.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73701
TPS73701DCQRM3	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73701
TPS73701DRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BZN
TPS73701DRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BZN
TPS73701DRBRG4	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BZN
TPS73701DRBRM3	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BZN
TPS73701DRBRM3.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BZN
TPS73701DRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BZN
TPS73701DRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	BZN
TPS73701DRVR	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	QTN
TPS73701DRVR.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	QTN
TPS73701DRVT	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	QTN
TPS73701DRVT.A	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	QTN
TPS73718DCQ	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS73718
TPS73718DCQ.A	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS73718
TPS73718DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73718
TPS73718DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73718
TPS73718DCQRG4	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73718
TPS73718DCQRG4.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73718
TPS73718DRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	RAL
TPS73718DRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	RAL
TPS73718DRBRM3	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RAL

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73718DRBRM3.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RAL
TPS73718DRBT	Obsolete	Production	SON (DRB) | 8	-	-	Call TI	Call TI	-40 to 125	RAL
TPS73725DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	TPS73725
TPS73725DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	TPS73725
TPS73725DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS73725
TPS73725DCQRM3	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73725
TPS73725DCQRM3.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73725
TPS73730DRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CVT
TPS73730DRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CVT
TPS73730DRBRM3	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CVT
TPS73730DRBRM3.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CVT
TPS73730DRBT	Obsolete	Production	SON (DRB) | 8	-	-	Call TI	Call TI	-40 to 125	CVT
TPS73733DCQ	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS73733
TPS73733DCQ.A	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS73733
TPS73733DCQG4	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73733
TPS73733DCQG4.A	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73733
TPS73733DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	TPS73733
TPS73733DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS73733
TPS73733DCQRG4	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73733
TPS73733DCQRG4.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73733
TPS73733DCQRM3	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73733
TPS73733DCQRM3.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS73733
TPS73733DRVR	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SIJ
TPS73733DRVR.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SIJ
TPS73733DRVT	Obsolete	Production	WSON (DRV) | 6	-	-	Call TI	Call TI	-40 to 125	SIJ
TPS73734DCQ	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OCH
TPS73734DCQ.A	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OCH
TPS73734DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OCH
TPS73734DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OCH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS737 :

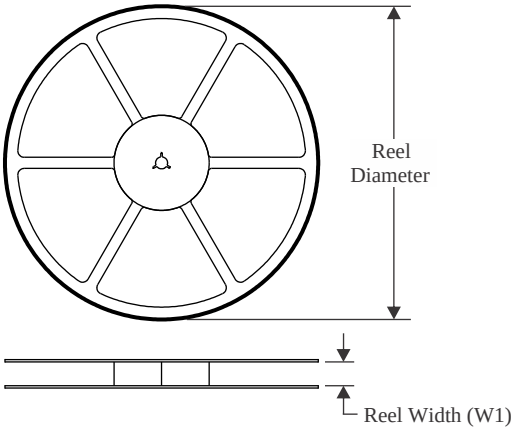
- Automotive : TPS737-Q1

NOTE: Qualified Version Definitions:

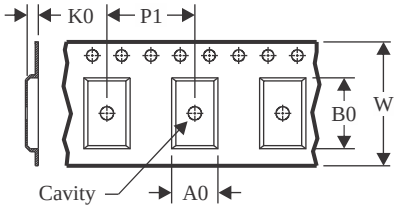
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

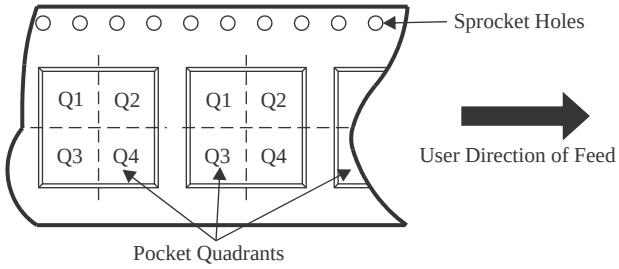


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

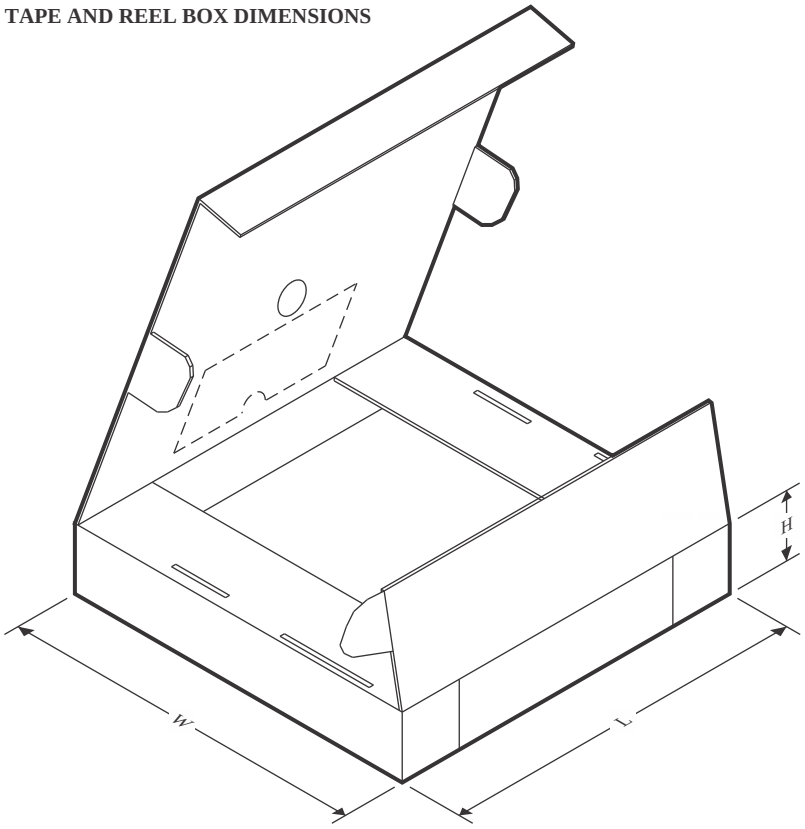


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73701DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73701DCQRG4	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73701DCQRM3	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73701DRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73701DRBRM3	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73701DRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73701DRVR	WSON	DRV	6	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS73701DRVT	WSON	DRV	6	250	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS73718DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73718DCQRG4	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS73718DRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73718DRBRM3	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73725DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73725DCQRM3	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73730DRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73730DRBRM3	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73733DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73733DCQRG4	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS73733DCQRM3	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS73733DRVR	WSON	DRV	6	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS73734DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS

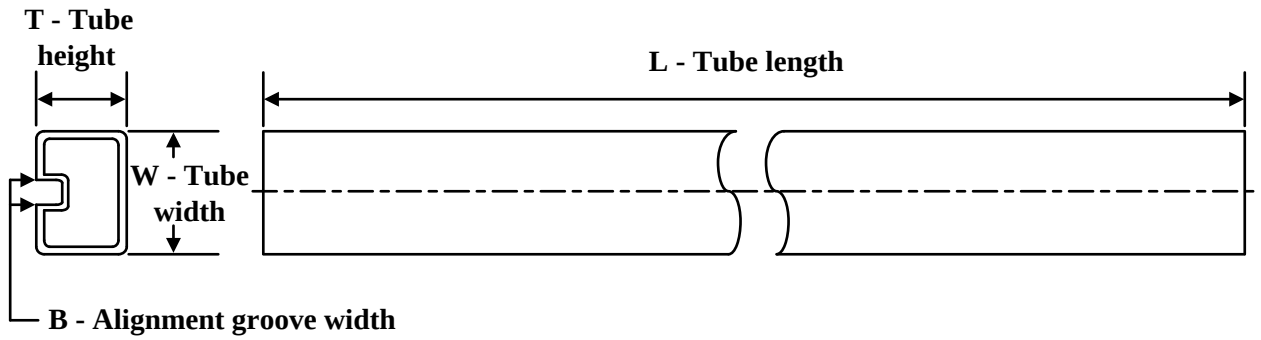


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73701DCQR	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS73701DCQRG4	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS73701DCQRM3	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS73701DRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS73701DRBRM3	SON	DRB	8	3000	367.0	367.0	35.0
TPS73701DRBT	SON	DRB	8	250	210.0	185.0	35.0
TPS73701DRVR	WSON	DRV	6	3000	213.0	191.0	35.0
TPS73701DRVT	WSON	DRV	6	250	213.0	191.0	35.0
TPS73718DCQR	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS73718DCQRG4	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS73718DRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS73718DRBRM3	SON	DRB	8	3000	367.0	367.0	35.0
TPS73725DCQR	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS73725DCQRM3	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS73730DRBR	SON	DRB	8	3000	360.0	360.0	36.0
TPS73730DRBRM3	SON	DRB	8	3000	367.0	367.0	35.0
TPS73733DCQR	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS73733DCQRG4	SOT-223	DCQ	6	2500	346.0	346.0	41.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73733DCQRM3	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS73733DRVR	WSON	DRV	6	3000	213.0	191.0	35.0
TPS73734DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0

TUBE



*All dimensions are nominal

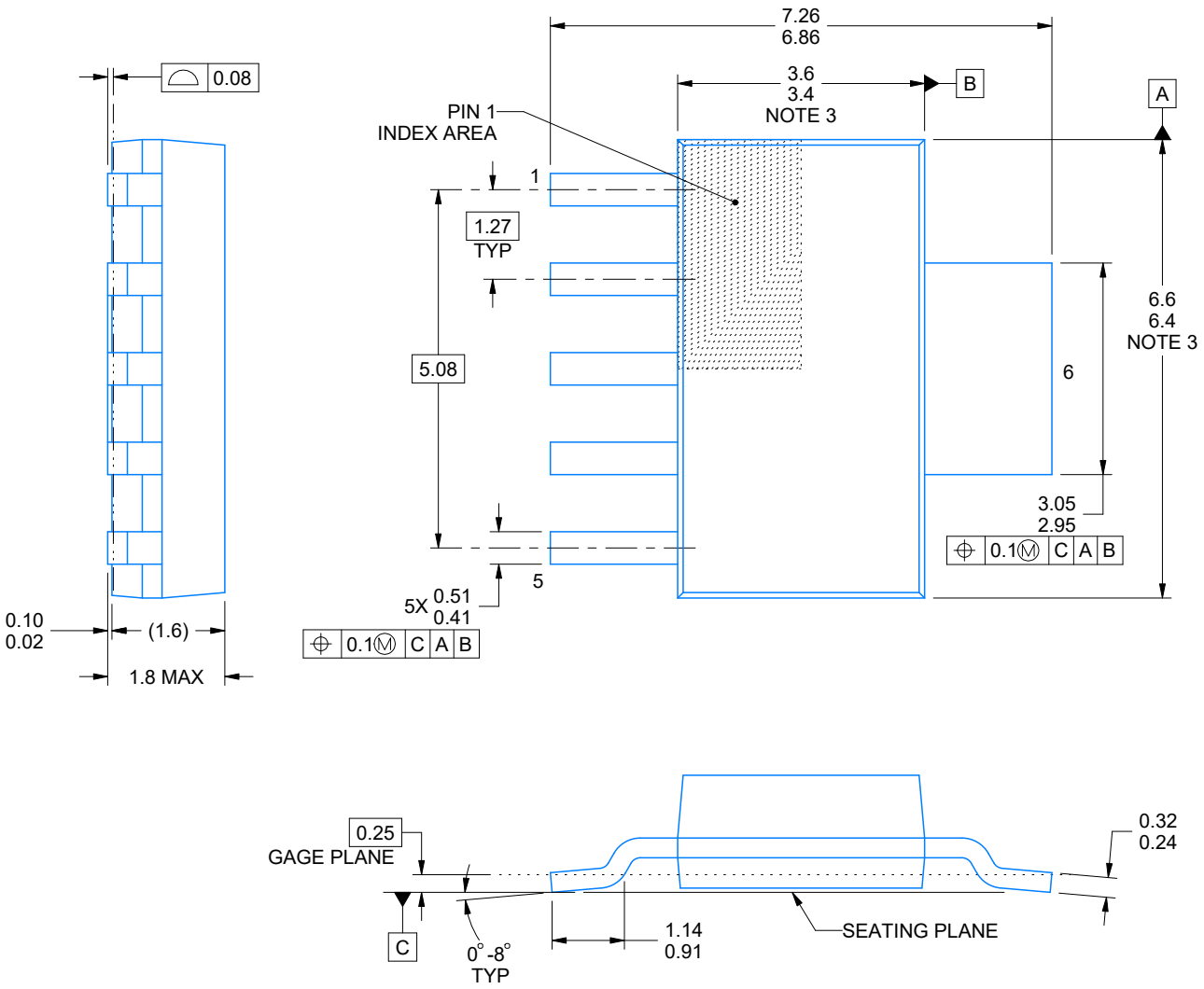
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPS73701DCQ	DCQ	SOT-223	6	78	543	8.6	3606.8	2.67
TPS73701DCQ.A	DCQ	SOT-223	6	78	543	8.6	3606.8	2.67
TPS73701DCQG4	DCQ	SOT-223	6	78	532.13	8.63	3.6	3.68
TPS73701DCQG4.A	DCQ	SOT-223	6	78	532.13	8.63	3.6	3.68
TPS73718DCQ	DCQ	SOT-223	6	78	543	8.6	3606.8	2.67
TPS73718DCQ.A	DCQ	SOT-223	6	78	543	8.6	3606.8	2.67
TPS73733DCQ	DCQ	SOT-223	6	78	543	8.6	3606.8	2.67
TPS73733DCQ.A	DCQ	SOT-223	6	78	543	8.6	3606.8	2.67
TPS73733DCQG4	DCQ	SOT-223	6	78	532.13	8.63	3.6	3.68
TPS73733DCQG4.A	DCQ	SOT-223	6	78	532.13	8.63	3.6	3.68
TPS73734DCQ	DCQ	SOT-223	6	78	532.13	8.63	3.6	3.68
TPS73734DCQ.A	DCQ	SOT-223	6	78	532.13	8.63	3.6	3.68

PACKAGE OUTLINE

DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



4214845/C 11/2021

NOTES:

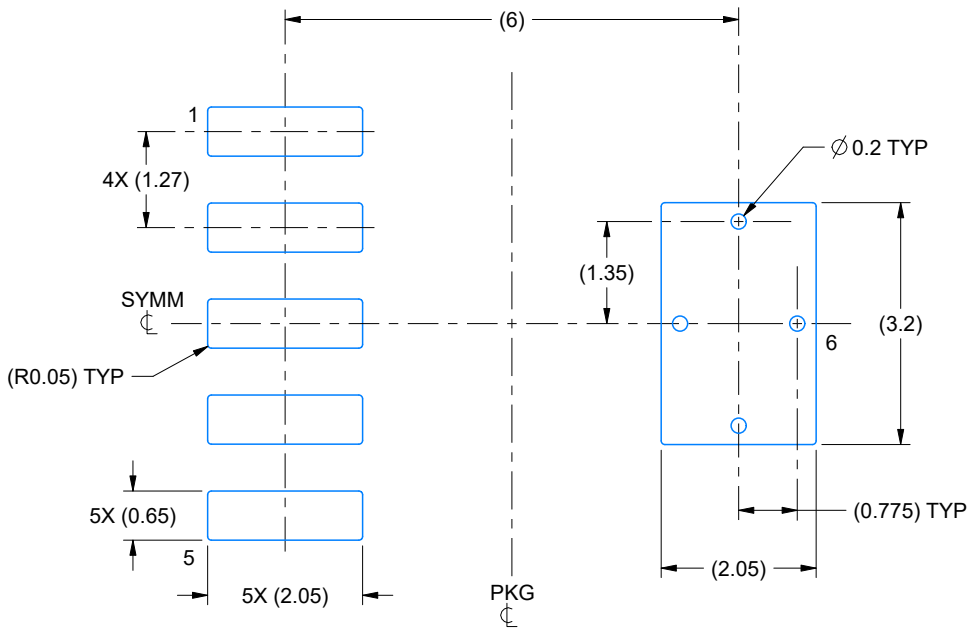
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

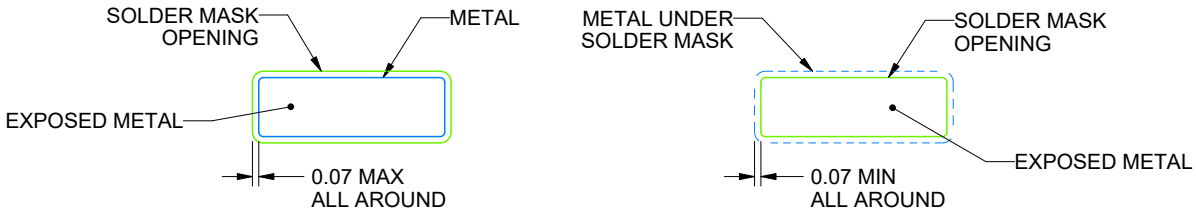
DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

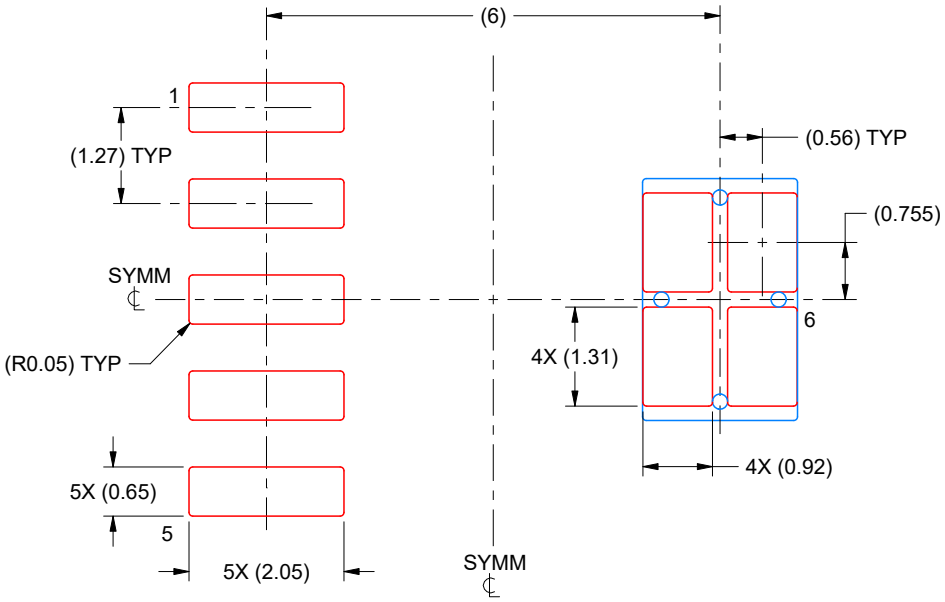


SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

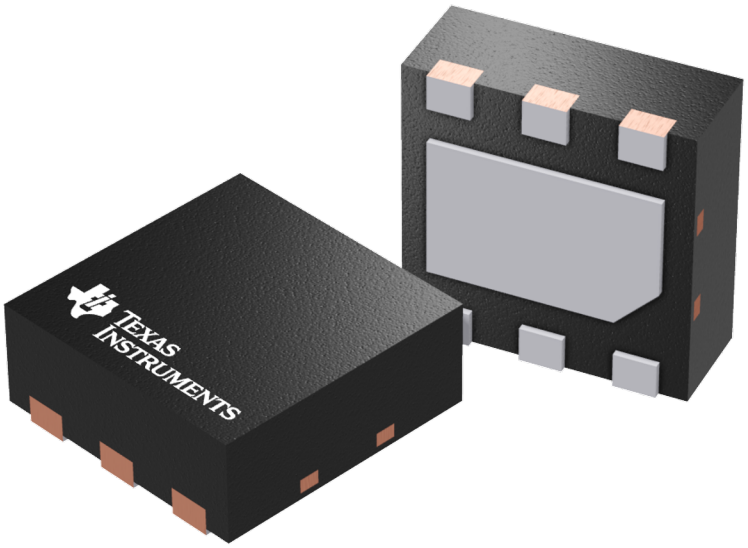
4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DRV 6 WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



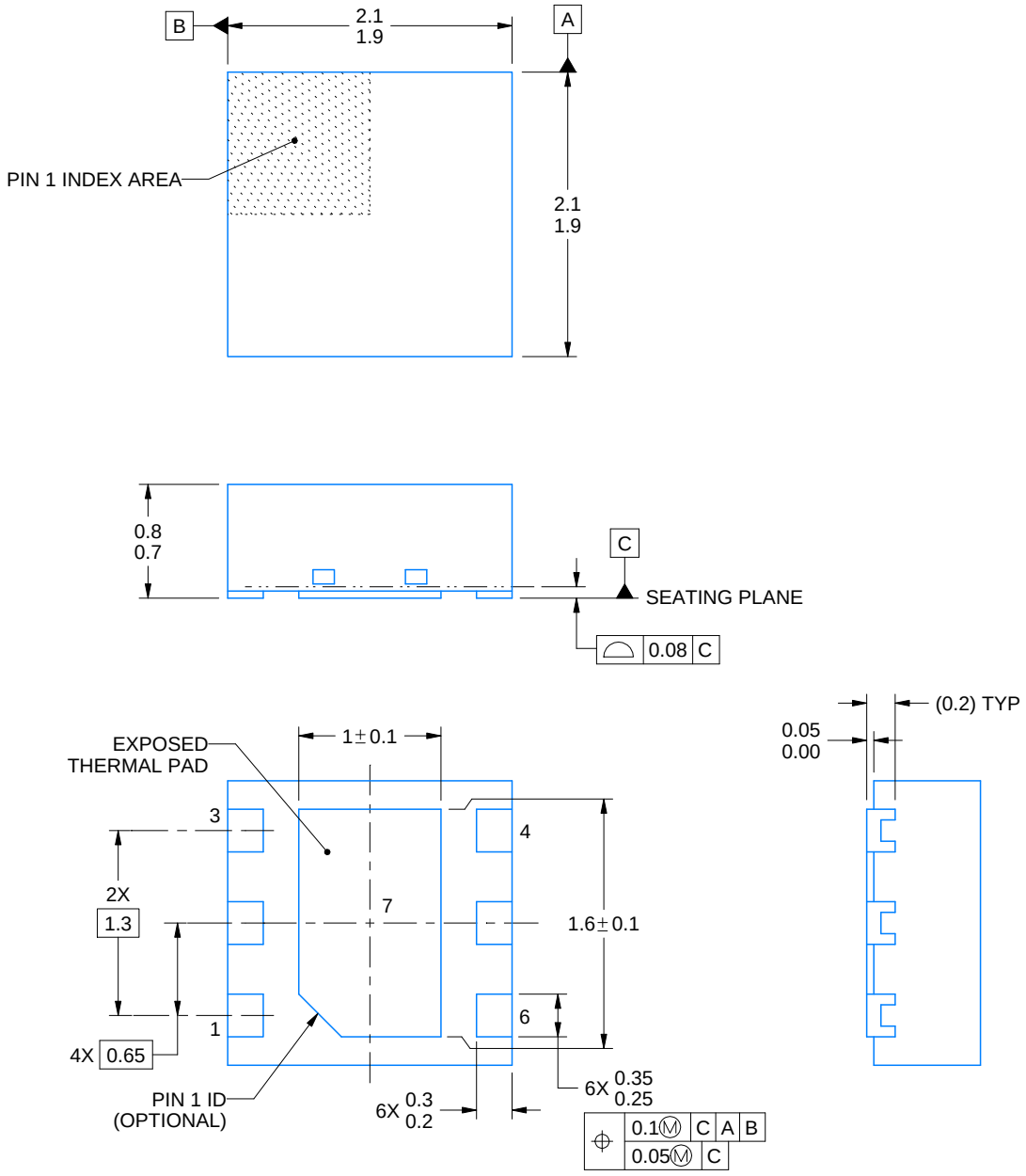
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

DRV0006D

PACKAGE OUTLINE

WSON - 0.8 mm max height

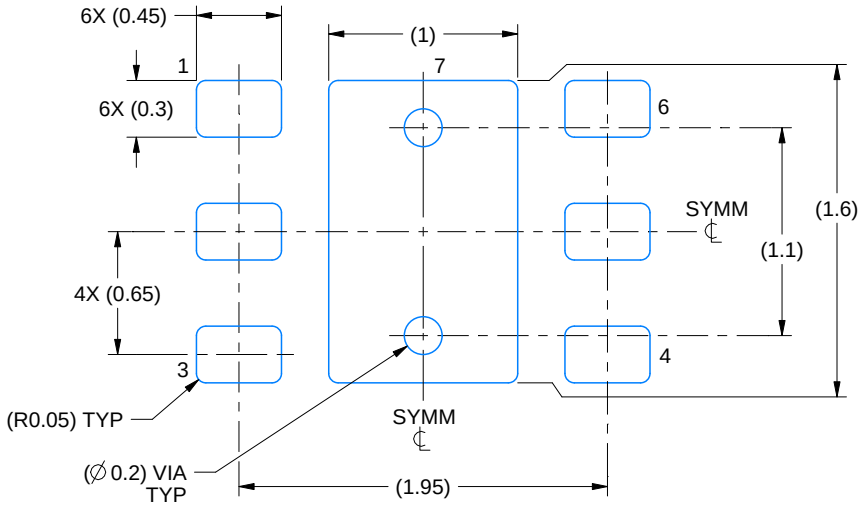
PLASTIC SMALL OUTLINE - NO LEAD



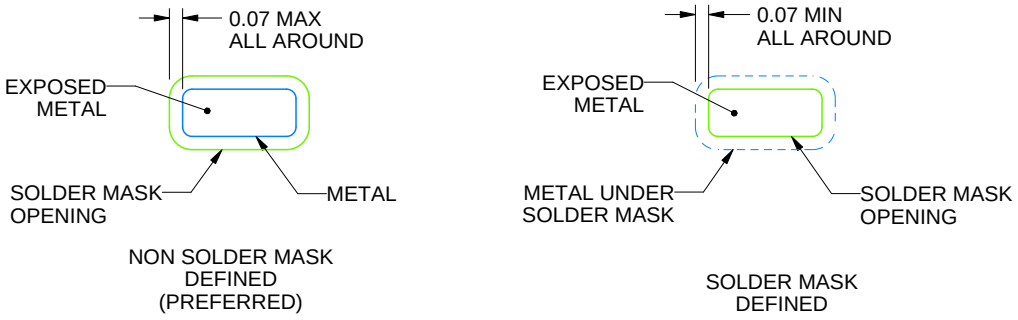
4225563/A 12/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X

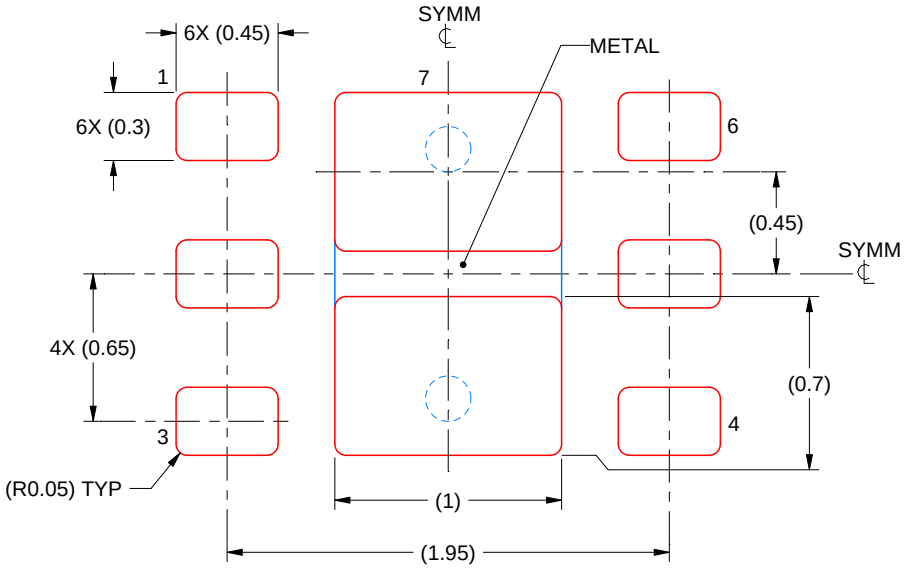


SOLDER MASK DETAILS

4225563/A 12/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4225563/A 12/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

DRB 8 VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

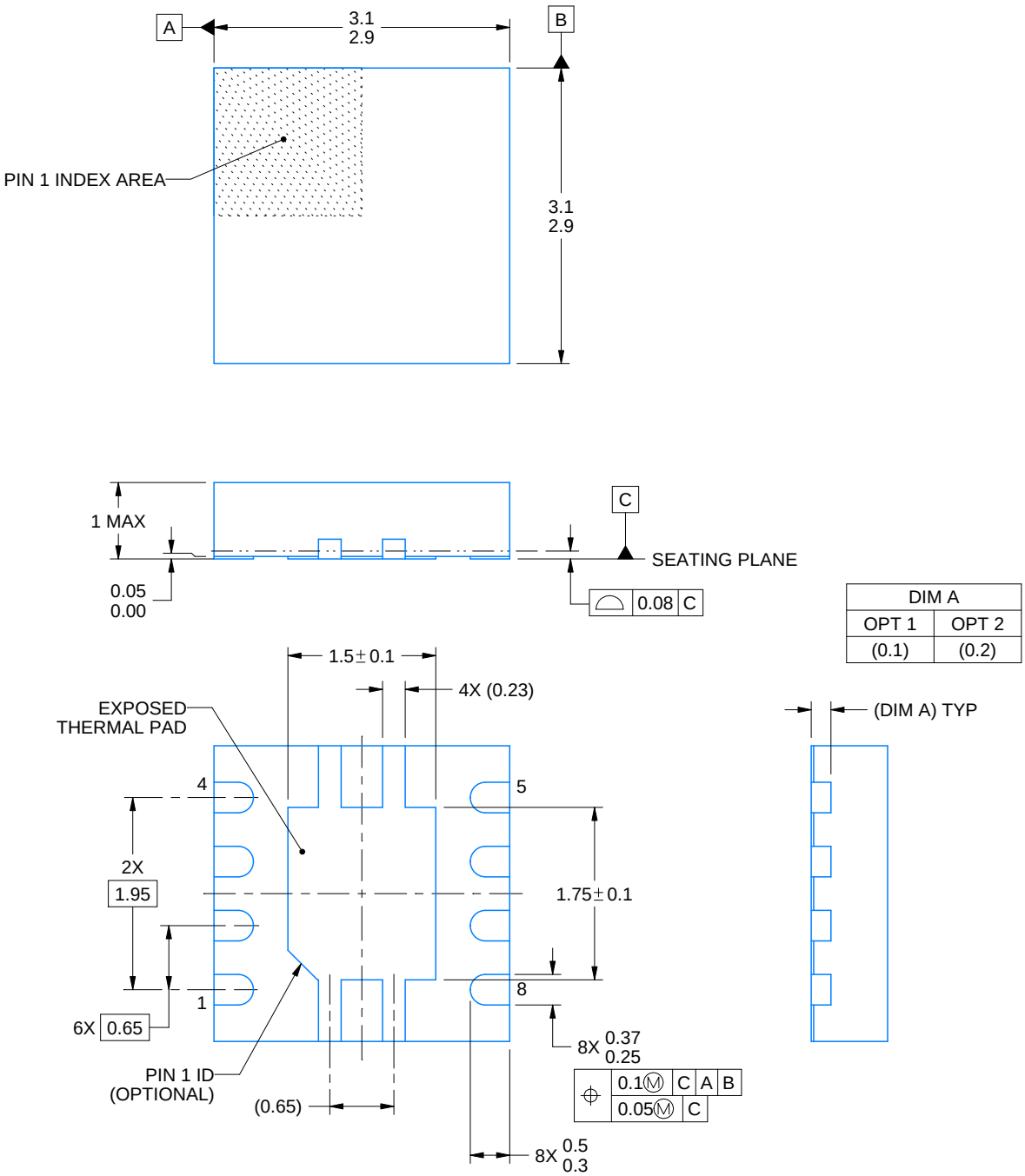
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

DRB0008A

PACKAGE OUTLINE

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

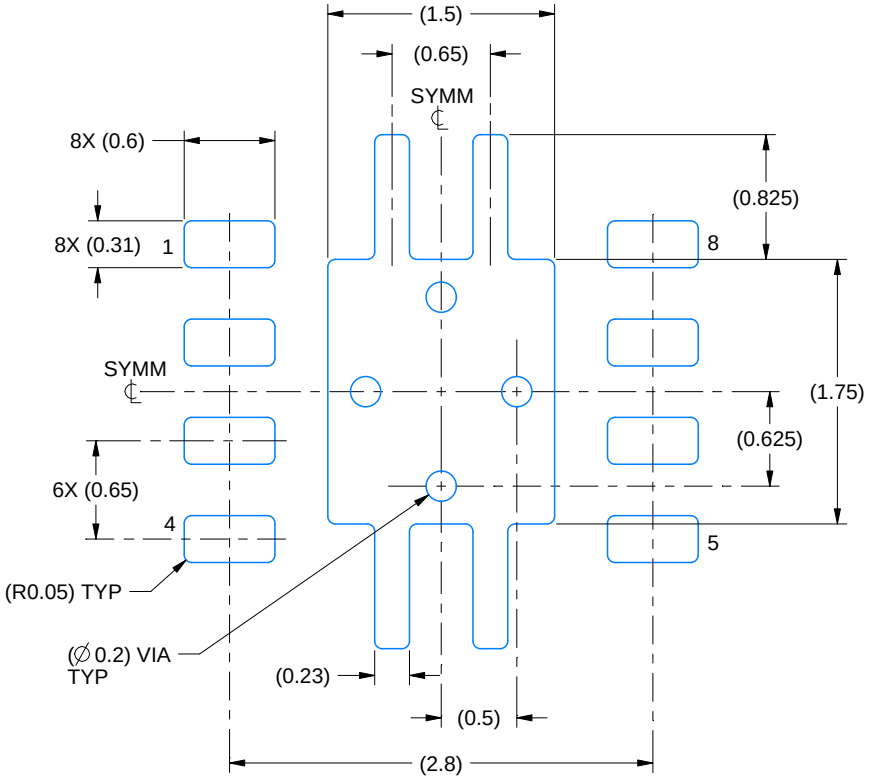
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

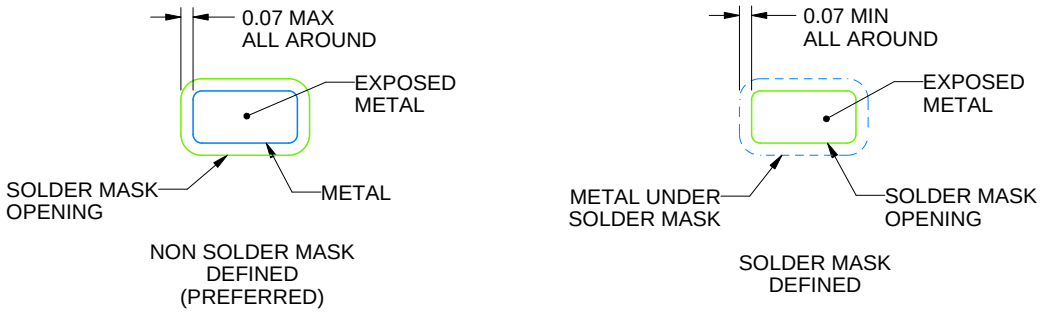
DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

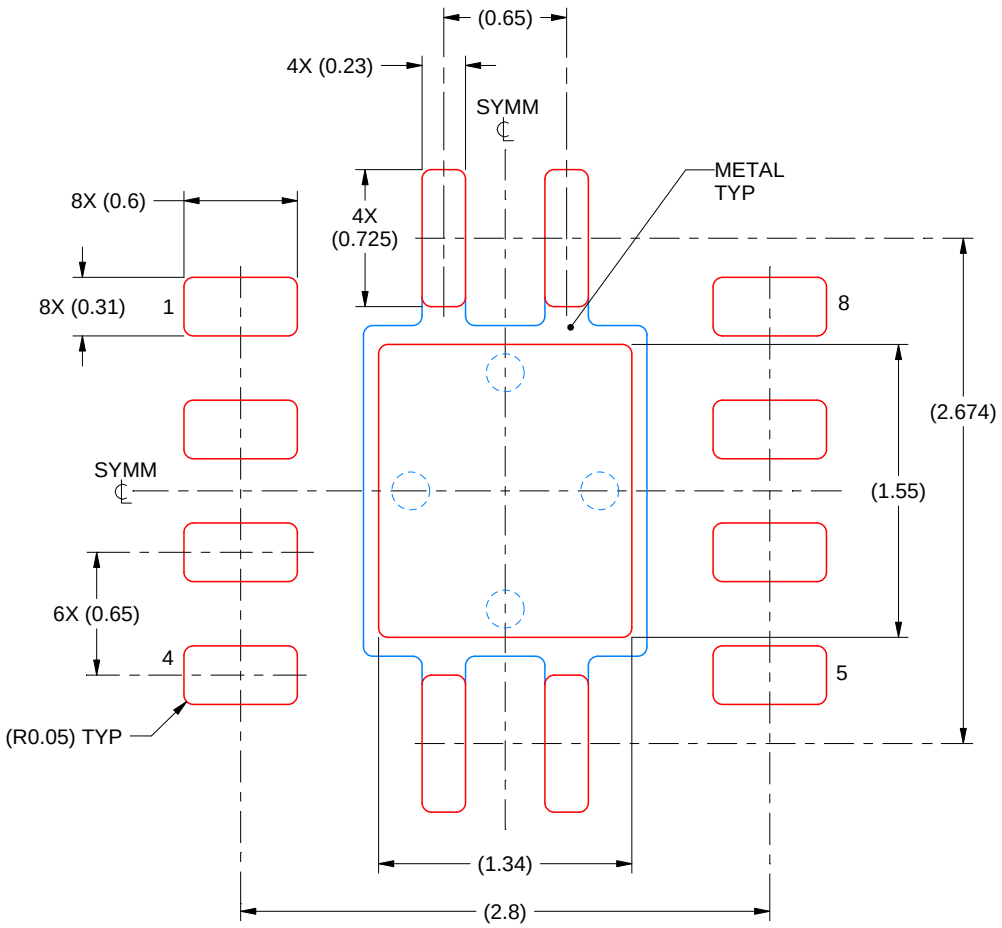


SOLDER MASK DETAILS

4218875/A 01/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218875/A 01/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月