TPS794 250mA、低ドロップアウトリニアレギュレータ

1 特長

- イネーブル搭載、250mA 低ドロップアウト レギュレータ
- 固定および可変バージョンで提供
- 高 PSRR：10kHz 時に 60dB
- 高速起動
- 非常に優れた負荷、ライン過渡応答
- 非常に低いドロップアウト電圧：全負荷で 155mV (標準値)
- HVSSOP-8、SOT223-6 の各パッケージで提供

2 アプリケーション

- TV アプリケーション
- ビル オートメーション
- スマートフォンとタブレット
- ネットワーク接続の周辺機器とプリンタ
- ホーム シアターおよびエンターテインメント

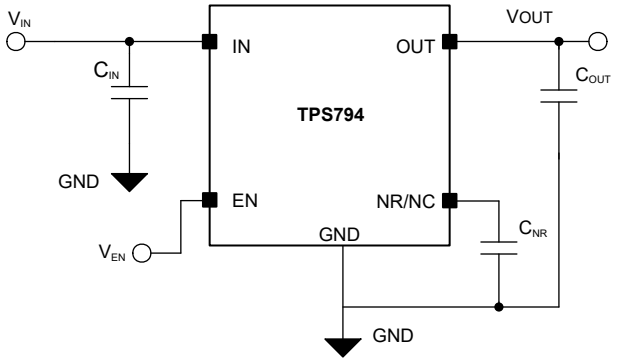
3 説明

低ドロップアウト (LDO) リニア電圧レギュレータの TPS794 は、高い電源除去率 (PSRR)、低ノイズ、高速起動、優れたラインおよび負荷の過渡応答特性を特徴としています。本ファミリの全製品は、小さな 2.2µF のセラミック出力コンデンサでも安定して動作します。TPS794 は、250mA で 155mV (標準値) の低ドロップアウト電圧を供給します。高速応答に加えて高 PSRR および低ノイズといった特性は、携帯型高周波電子機器などのノイズに敏感なアナログ部品を使ったアプリケーションに最適です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS794	DGN (HVSSOP、8)	3mm × 4.9mm
	DCQ (SOT-223、6)	6.5mm × 7.06mm

(1) 詳細については、「*セクション 11*」の付録を参照してください。
(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....5
6 代表的特性.....8
7 詳細説明.....14
7.1 概要.....14
7.2 機能ブロック図.....14
7.3 機能説明.....15
7.4 デバイスの機能モード.....18
8 アプリケーションと実装.....20
8.1 アプリケーション情報.....20
8.2 代表的なアプリケーション.....24
8.3 レイアウト.....25
9 デバイスおよびドキュメントのサポート.....30
9.1 デバイス サポート.....30
9.2 ドキュメントの更新通知を受け取る方法.....30
9.3 サポート・リソース.....30
9.4 商標.....30
9.5 静電気放電に関する注意事項.....30
9.6 用語集.....30
10 改訂履歴.....31
11 メカニカル、パッケージ、および注文情報.....32

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

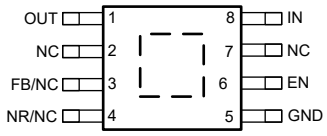


図 4-1. DGN パッケージ、MSOP-8 PowerPad™ (上面図)

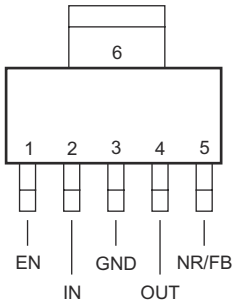


図 4-2. DCQ パッケージ、6 ピン SOT-223 (上面図、従来のチップのみ)

表 4-1. ピンの機能

ピン				説明
名称	DGN (HVSSOP)	DCQ (SOT-223)	タイプ	
NR/NC	4	5	入力 (従来)/未接続 (新規)	ノイズリダクションピン (従来のチップのみ)。このピンに外部コンデンサを接続すると、内部バンドギャップによって発生するノイズがフィルタリングされます。この構成では電源除去能力が向上し、従来のチップでのみ出力ノイズが低減されます。接続ピンなし (新しいチップのみ)。このピンは内部接続されていません。放熱性能を向上させるために GND に接続するか、フローティングのままにします。低ノイズ特性の固定デバイスについては、TPS7A20 を検討してください。
EN	6	1	入力	EN ピンはデバイスをイネーブルまたはシャットダウンする入力です。EN が論理 High の場合、デバイスはイネーブルになります。デバイスが論理 Low の場合、デバイスはシャットダウンモードになります。
FB	3	5	入力	固定バージョンのみのノイズ低減ピン。
GND	5、PAD	3、6	グランド	レギュレータ グランド
IN	8	2	入力	デバイスへの非調整入力。
NC	2、7		接続なし	このピンは内部接続されていません。放熱性能を向上させるために GND に接続するか、フローティングのままにします。
OUT	1	4	出力	レギュレータの出力。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電圧	V_{IN}、V_{EN}、V_{OUT} (従来のチップ)	-0.3	6	V
	V_{IN}、V_{EN} (新しいチップ)	-0.3	6.5	V
	V_{OUT} (新しいチップ)	-0.3	V_{IN} + 0.3 (2)	
電流	出力、I_{OUT}	内部的に制限		
温度	動作時の接合部温度、T_J	-40	150	°C
	保存、T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 絶対最大定格は V_{IN} + 0.3V または 6.5V のどちらか小さい方です。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM) は、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2) に対して V が適用	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{IN}	入力電圧		2.7		5.5	V
V_{EN}	イネーブル電圧		0		5.5	V
V_{OUT}	出力電圧		V_{FB}		5	V
I_{OUT}	出力電流		0		250	mA
C_{IN}	入力コンデンサ	入力コンデンサ	1			µF
C_{OUT}	出力コンデンサ		1.0(1) (2)	2.2		µF
C_{NR}	ノイズ低減コンデンサ(3)		0	10	100	nF
C_{FF}	フィードフォワードコンデンサ (従来のチップ)			15		pF
	フィードフォワードコンデンサ (新しいチップ)(4)			10	100	nF
R_2	低帰還抵抗 (従来のチップ)			30.1		kΩ
F_{EN}	トグル周波数を有効にする (新しいチップ)				10	kHz
T_J	動作時接合部温度		-40		125	°C

(1) C_{FF} を使用しない場合、最小 C_{OUT} = 2.2µF が推奨されます。
(2) 新しいチップでは、最小実効容量は 0.47µF です。
(3) 従来のチップ専用です。新しいチップにはノイズリダクションピンがありません。詳細については、「ピンの機能」の表を参照してください。
(4) フィードフォワード コンデンサはオプションであり、安定動作には必須ではありません。

5.4 熱に関する情報

熱評価基準(1)		TPS794		単位
		DGN (MSOP-8)	DGN (MSOP-8) (2)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	63.6	51.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	87.1	82.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	35.2	25.3	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	6.8	6.0	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	35.2	25.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	21.2	7.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージ』アプリケーション ノートを参照してください。
(2) 新しいチップ。

5.5 電気的特性

推奨動作温度範囲全体、T_J = –40°C から +125°C V_{EN} = V_{IN}、V_{IN} = $V_{O(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて、T_J = 25°C における値です。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IN}	入力電圧範囲(1)			2.7		5.5	V
I_{OUT}	連続出力電流			0		250	mA
V_{OUT}	出力電圧範囲	TPS79401	0µA < I_{OUT} < 250mA	1.225		5.5 – $V_{DROPOUT}$	V
	精度	TPS79401	0µA < I_{OUT} < 250mA、V_{OUT}+1V ≤ V_{IN} < 5.5V	0.97(V_{OUT})	V_{OUT}	1.03(V_{OUT})	V
		固定 V_{OUT}	0µA < I_{OUT} < 250mA、V_{OUT}+1V ≤ V_{IN} < 5.5V	-3		3	%

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

推奨動作温度範囲全体、T_J = –40°C から +125°C V_{EN} = V_{IN}、V_{IN} = $V_{O(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて、T_J = 25°C における値です。

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{GND}	静止電流 (GND 電流)	0µA ≤ I_O ≤ 250mA (従来のチップ)			170	220	µA
		0µA ≤ I_O ≤ 250mA (新しいチップ)			250	1000	
$\Delta V_{OUT}/\Delta I_{OUT}$	負荷レギュレーション	0µA ≤ I_{OUT} ≤ 250mA			10		mV
$\Delta V_{OUT}/\Delta VIN$	ライン レギュレーション	V_{OUT} + 1V ≤ V_{IN} ≤ 5.5V			0.05	0.12	%/V
Vn[(2)]	出力ノイズ電圧 (TPS79428)	BW = 100Hz ～ 100kHz、I_{OUT} =250mA	C_{NR} = 0.001µF		55		μV_{RMS}
	出力ノイズ電圧 (TPS79428)	BW = 100Hz ～ 100kHz、I_{OUT} =250mA	C_{NR} = 0.0047µF		36		μV_{RMS}
	出力ノイズ電圧 (TPS79428)	BW = 100Hz ～ 100kHz、I_{OUT} =250mA	C_{NR} = 0.01µF		33		μV_{RMS}
	出力ノイズ電圧 (TPS79428)	BW = 100Hz ～ 100kHz、I_{OUT} =250mA	C_{NR} = 0.1µF		32		μV_{RMS}
	出力ノイズ電圧 (TPS79418)	BW = 100Hz ～ 100kHz、I_{OUT} =250mA	(新しいチップ)		71		μV_{RMS}
t_{STR}	時間、起動 (TPS79428)	R_L = 14 Ω、C_{OUT} = 1µF	C_{NR} = 0.001µF		50		µs
	時間、起動 (TPS79428)		C_{NR} = 0.0047µF		50		
	時間、起動 (TPS79428)		C_{NR} = 0.01µF		50		
	時間、起動 (TPS79428)		(新しいチップ)		500		
I_{CL}	出力電流制限	V_{OUT} = 0V (従来のチップ)			925		mA
I_{CL}	出力電流制限	V_{IN} = $V_{OUT(NOM)}$ + 1V、V_{OUT} = 0.9 x $V_{OUT(NOM)}$ (新しいチップのみ)		320		460	mA
I_{SC}	回路短絡時の電流制限	V_{OUT} = 0V (新しいチップ)			175		mA
I_{SHDN}	シャットダウン電流	V_{EN} = 0V、2.7V < V_I < 5.5V (従来のチップ)[(3)]			0.07	1	µA
		V_{EN} = 0V、2.7V < V_I < 5.5V (新しいチップ)[(3)]			0.01	1	
$V_{EN(HI)}$	High レベルのイネーブル入力電圧	2.7V ≤ V_{IN} ≤ 5.5V		1.7		V_{IN}	V
$V_{EN(HI)}$	High レベルのイネーブル入力電圧	2.7V ≤ V_{IN} ≤ 5.5V (新しいチップ)		0.85		V_{IN}	V
$V_{EN(LOW)}$	Low レベルのイネーブル入力電圧	2.7V ≤ V_{IN} ≤ 5.5V		0		0.7	V
$V_{EN(LOW)}$	Low レベルのイネーブル入力電圧	2.7V ≤ V_{IN} ≤ 5.5V (新しいチップ)		0		0.425	V

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

推奨動作温度範囲全体、T_J = –40°C から +125°C V_{EN} = V_{IN}、V_{IN} = $V_{O(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて、T_J = 25°C における値です。

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{EN}	イネーブル ピンの電流	V_{EN} = 0 V		-1		1	µA
I_{FB}	帰還ピン電流 (TPS79401)	V_{FB} = 1.225V (従来のチップ)				1	µA
		V_{FB} = 1.225V (新しいチップ)				0.05	
V_{REF}	内部リファレンス (TPS79401)			1.201	1.225	1.25	V
PSRR	電源除去比 (TPS79428)	f = 100Hz	I_{OUT} = 250mA (従来のチップ)		65		dB
			I_{OUT} = 250mA (新しいチップ)		64		
		f = 10kHz	I_{OUT} = 250mA (従来のチップ)		60		
			I_{OUT} = 250mA (新しいチップ)		49		
		f = 100kHz	I_{OUT} = 250mA (従来のチップ)		40		
			I_{OUT} = 250mA (新しいチップ)		39		
V_{DO} (4)	ドロップアウト電圧 (TPS79428)	V_{IN}= V_{OUT} - 0.1V、I_{OUT} = 250mA			155	210	mV
	ドロップアウト電圧 (TPS79430)	V_{IN}= V_{OUT} - 0.1V、I_{OUT} = 250mA			155	210	
	ドロップアウト電圧 (TPS79433)	V_{IN}= V_{OUT} - 0.1V、I_{OUT} = 250mA			145	200	
V_{UVLO}	UVLO スレッショルド	V_{IN} 立ち上がり (従来のチップ)		2.25		2.65	V
		VIN 立ち上がり (新しいチップ)		1.32		1.6	
$V_{UVLO(HYST)}$	UVLO ヒステリシス	T_J = 25°C、V_{CC} 立ち上がり (従来のチップ)			100		mV
		T_J = 25°C、V_{CC} 立ち上がり (新しいチップ)			130		

(1) 最小 VIN は、2.7V または V_{OUT} + V_{DO} のうち、どちらか大きい方です。
(2) 新しいチップにはノイズリダクションピンがありません。
(3) 可変バージョンでは、このパラメータは V_{IN} が印加された後で V_{EN} が High から Low に遷移した後にのみ適用されます。
(4) TPS79418 と TPS79425 の場合、最小 V_{IN} = 2.7V であるため、ドロップアウトは測定されません。

Copyright © 2026 Texas Instruments Incorporated

6 代表的特性

推奨動作温度範囲全体、TJ = –40°C ～ +125°C V_{EN} = V_{IN}、V_{IN} = $V_{OUT(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて TJ = 25°C における値

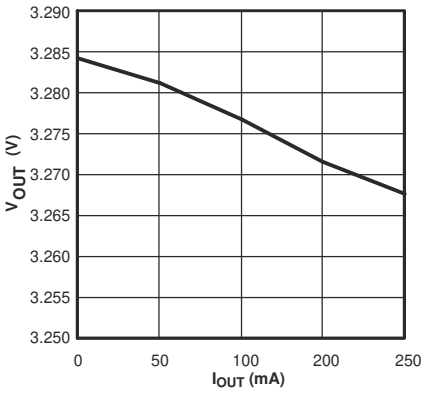


図 6-1. TPS794 出力電圧と出力電流との関係

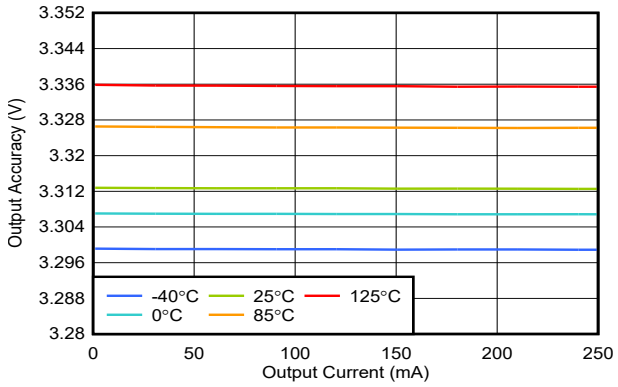


図 6-2. TPS794 出力電圧と出力電流との関係

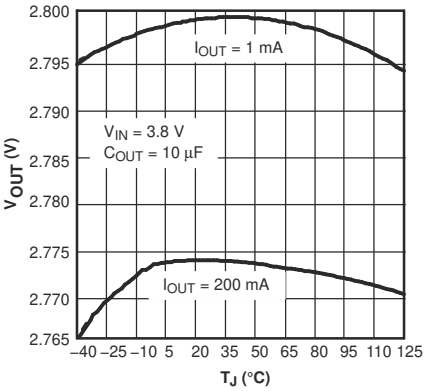


図 6-3. TPS794 出力電圧と接合部温度との関係

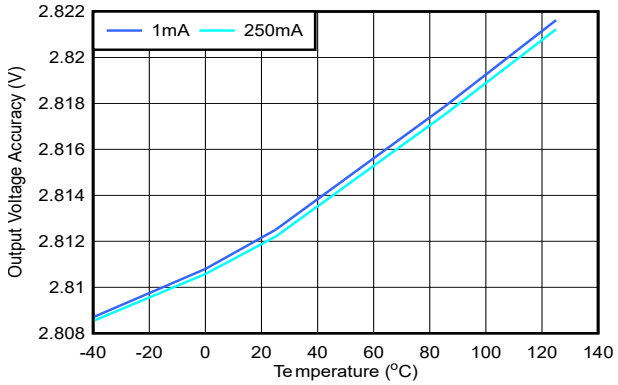


図 6-4. TPS794 出力電圧と接合部温度との関係

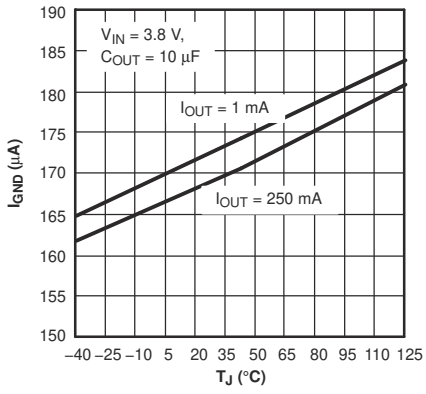


図 6-5. TPS794 グランド電流と接合部温度との関係

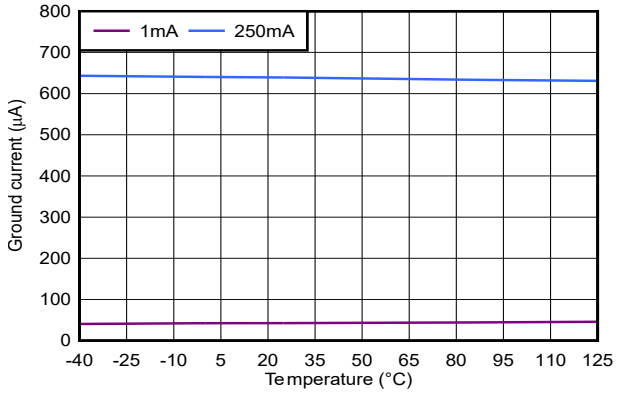


図 6-6. TPS794 グランド電流と接合部温度との関係

Copyright © 2026 Texas Instruments Incorporated

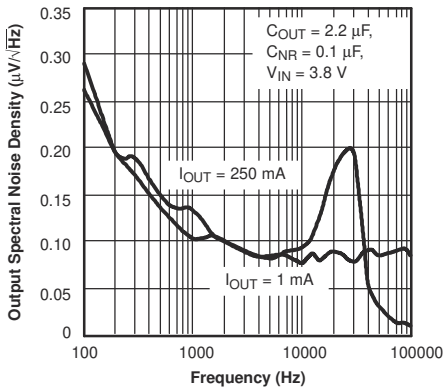
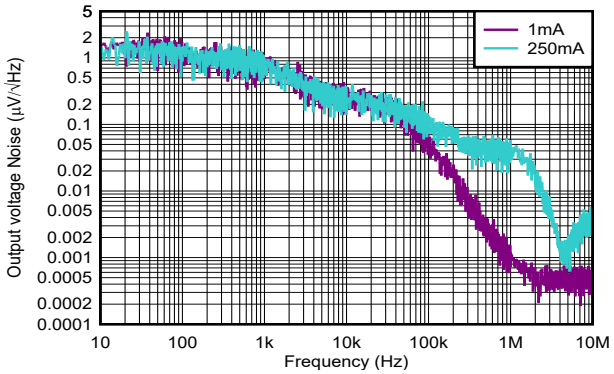


図 6-7. TPS794 出力スペクトル ノイズ密度と周波数との関係



COUT = 2.2µF

図 6-8. TPS794 出力スペクトル ノイズ密度と周波数との関係

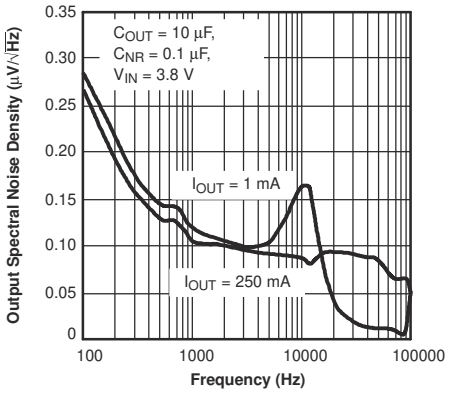
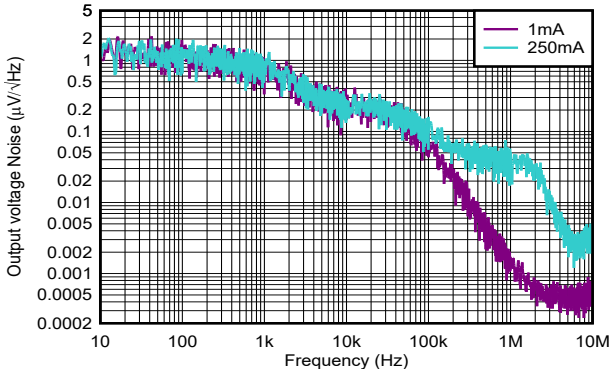


図 6-9. TPS794 出力スペクトル ノイズ密度と周波数との関係



COUT = 10µF

図 6-10. TPS794 出力スペクトル ノイズ密度と周波数との関係

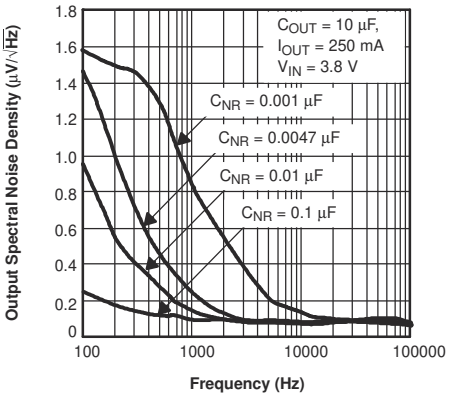


図 6-11. TPS79428 出力スペクトル ノイズ密度と周波数との関係

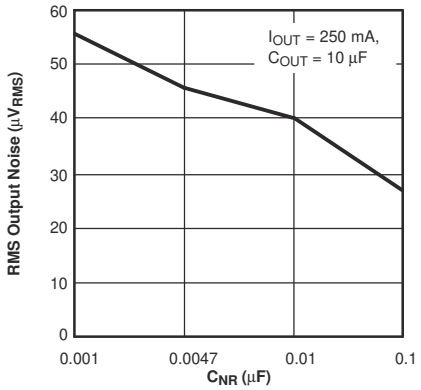


図 6-12. TPS79428 実効値出力ノイズ 対 C_{NR}

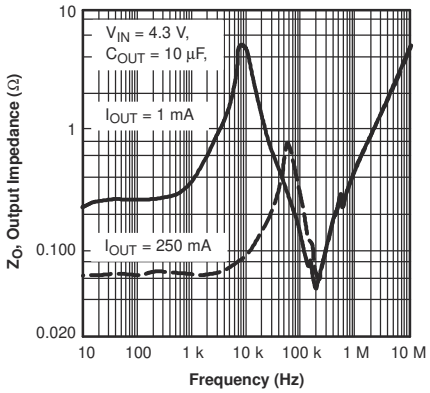


図 6-13. TPS794 出力インピーダンスと周波数との関係

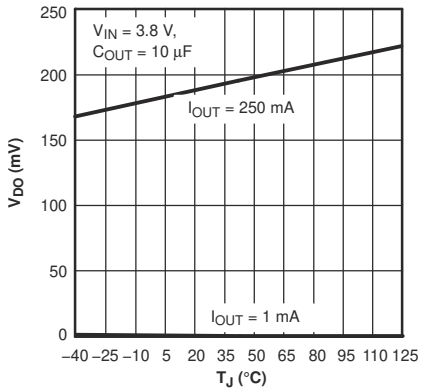


図 6-14. TPS794 ドロップアウト電圧と接合部温度との関係

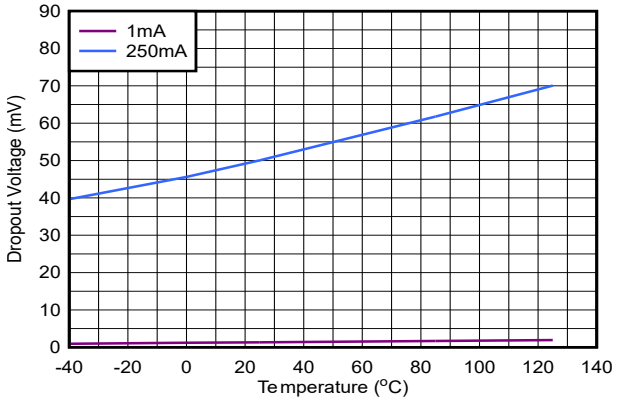


図 6-15. TPS794 ドロップアウト電圧と接合部温度との関係

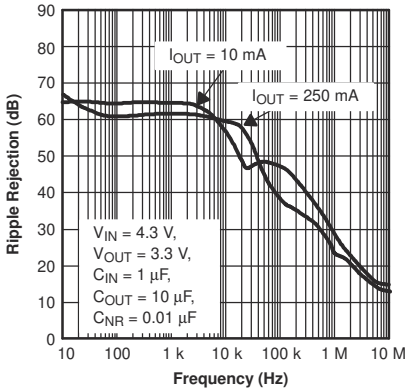
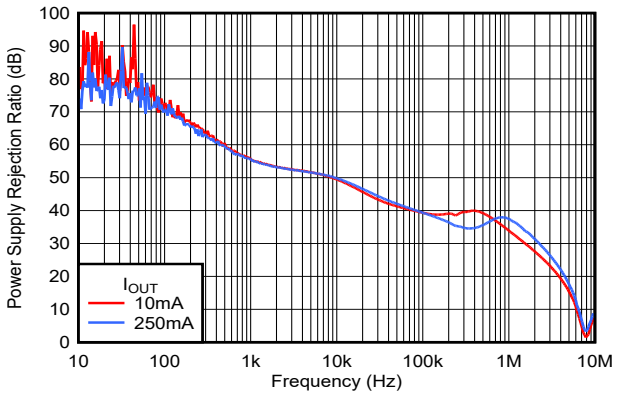


図 6-16. TPS794 リップル除去と電流との関係



C_{OUT} = 10µF

図 6-17. TPS794 リップル除去と電流との関係

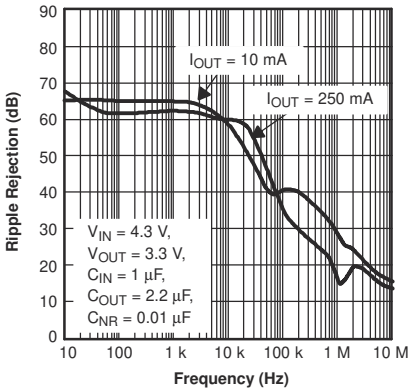
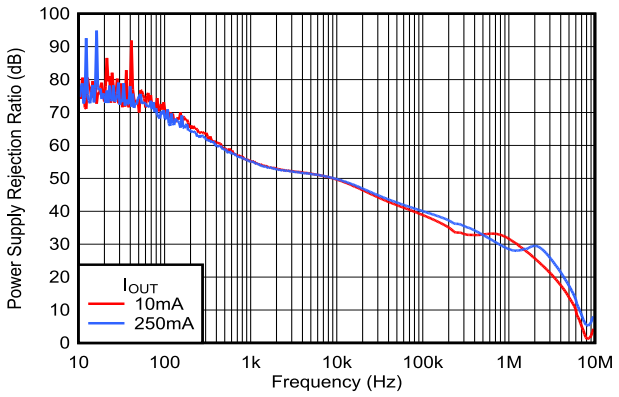


図 6-18. TPS794 リップル除去と電流との関係

Copyright © 2026 Texas Instruments Incorporated



C_{OUT} = 2.2µF

図 6-19. TPS794 リップル除去と電流との関係

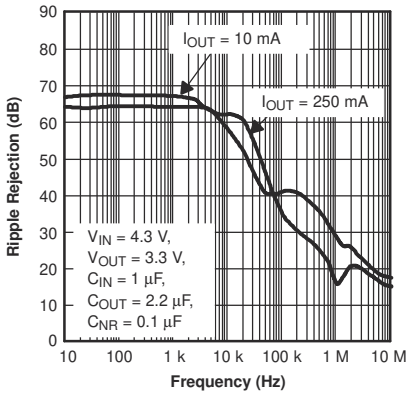


図 6-20. TPS794 リップル除去と電流との関係

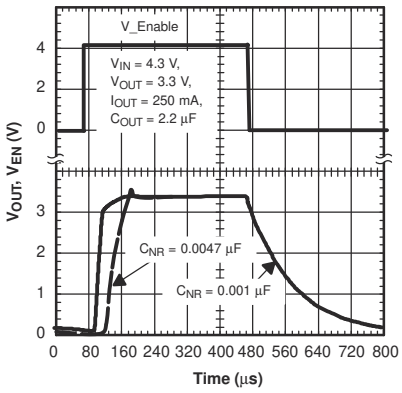


図 6-21. TPS794 出力電圧、イネーブル電圧と時間との関係 (スタートアップ)

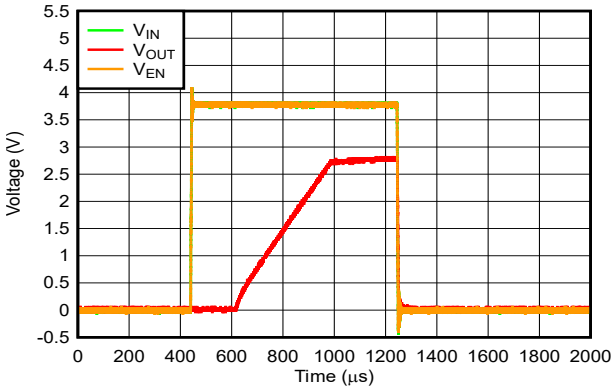


図 6-22. TPS794 出力電圧、イネーブル電圧と時間との関係 (スタートアップ)

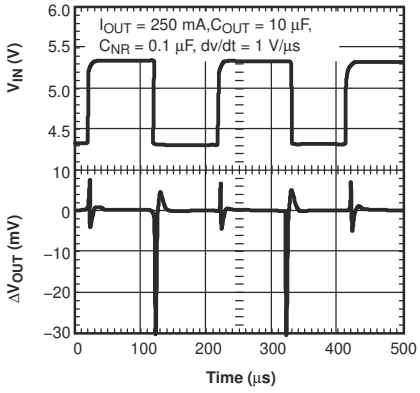
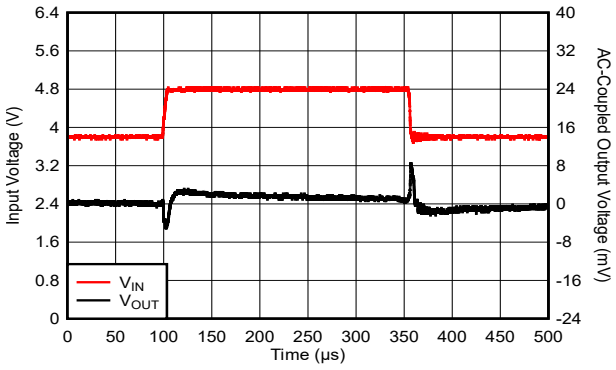


図 6-23. TPS794 のライン過渡応答



I_{OUT} = 250mA、C_{OUT} = 10µF、dv/dt = 1V/µs

図 6-24. TPS794 のライン過渡応答

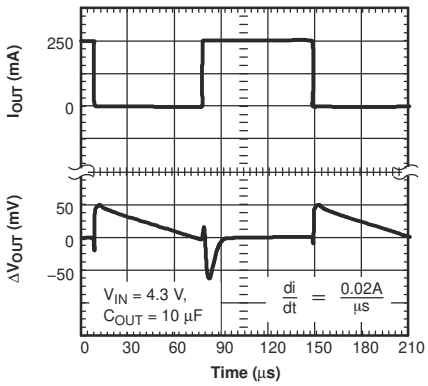
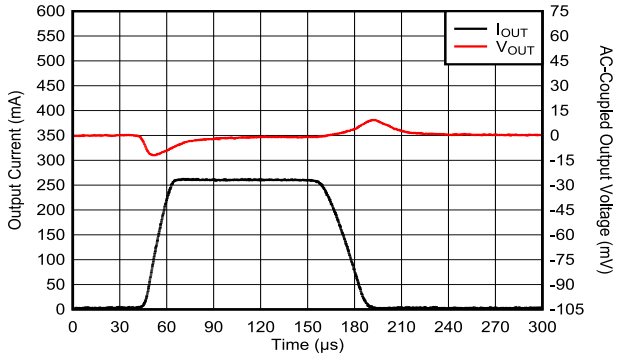


図 6-25. TPS794 の負荷過渡応答



C_{OUT} = 10µF、di/dt = 20mA/µs

図 6-26. TPS794 の負荷過渡応答

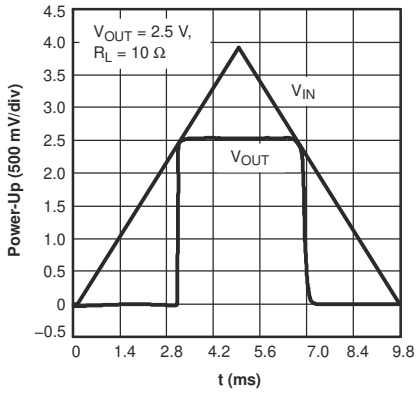


図 6-27. TPS794 パワーアップ/パワーダウン

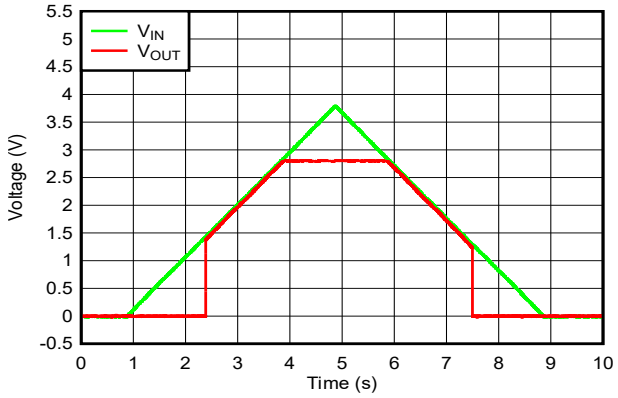


図 6-28. TPS794 パワーアップ/パワーダウン

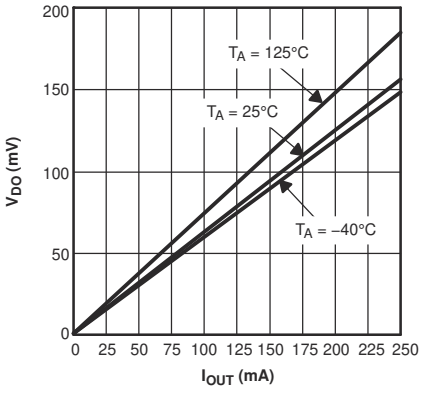


図 6-29. TPS794 ドロップアウト電圧と出力電流との関係

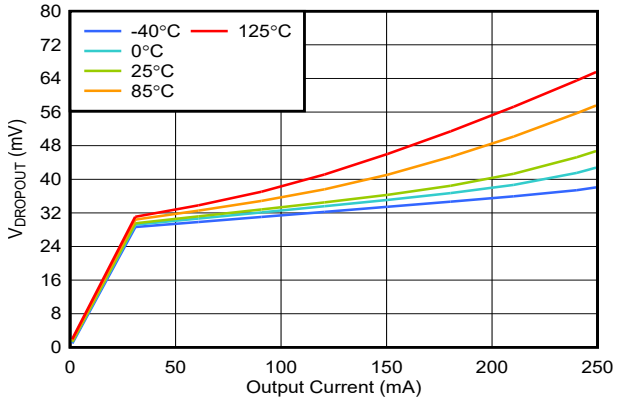


図 6-30. TPS794 ドロップアウト電圧と出力電流との関係

Copyright © 2026 Texas Instruments Incorporated

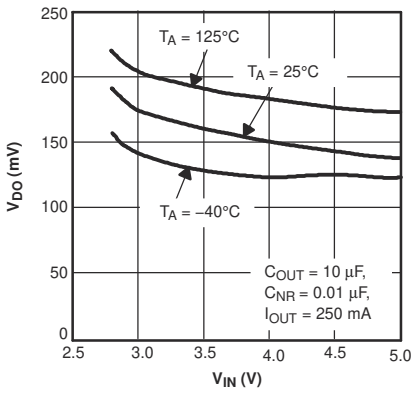


図 6-31. TPS794 ドロップアウト電圧 対 入力電圧

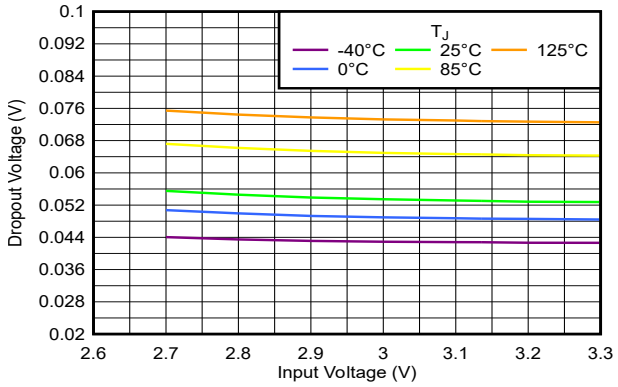


図 6-32. TPS794 ドロップアウト電圧 対 入力電圧

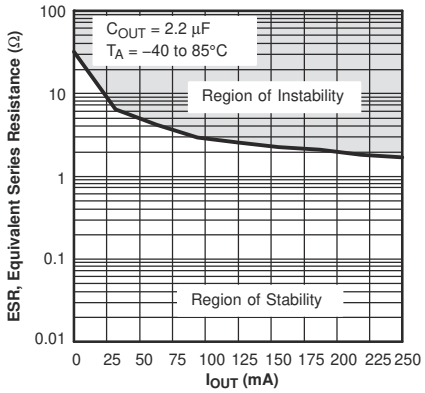


図 6-33. TPS794 標準安定動作領域等価直列抵抗 (ESR) と出力電流との関係

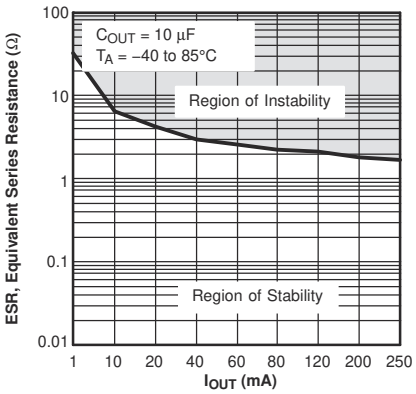


図 6-34. TPS794 標準安定動作領域等価直列抵抗 (ESR) と出力電流との関係

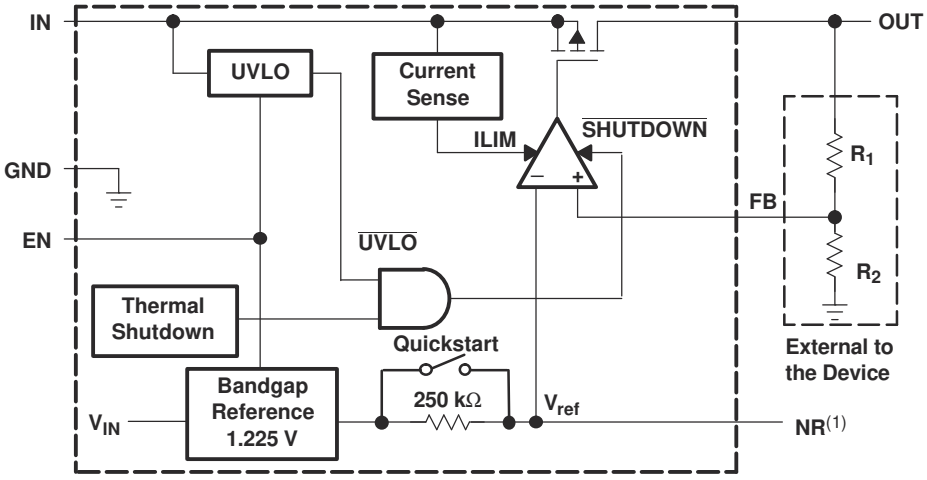
Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

LDO レギュレータである TPS794 はノイズに敏感な場合の使用に最適化されています。このデバイスは超低ドロップアウト電圧、高 PSRR、超低出力ノイズ、低静止電流を特長とし、レギュレータがオフになったときは入力から消費電流を 1µA 未満に低減できます。

7.2 機能ブロック図



(1) Not Available on DCQ (SOT223) options.

図 7-1. TPS794 ブロック図 (可変バージョン、従来のチップ)

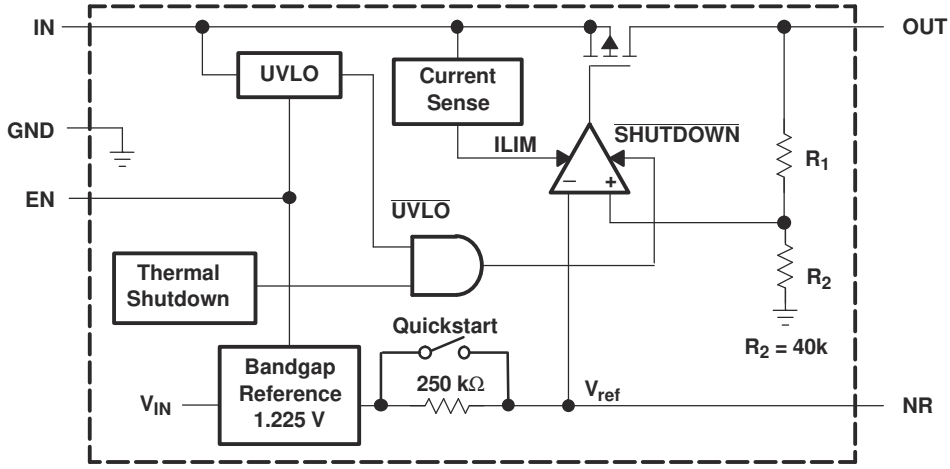


図 7-2. TPS794 ブロック図 (固定バージョン、従来のチップ)

Copyright © 2026 Texas Instruments Incorporated

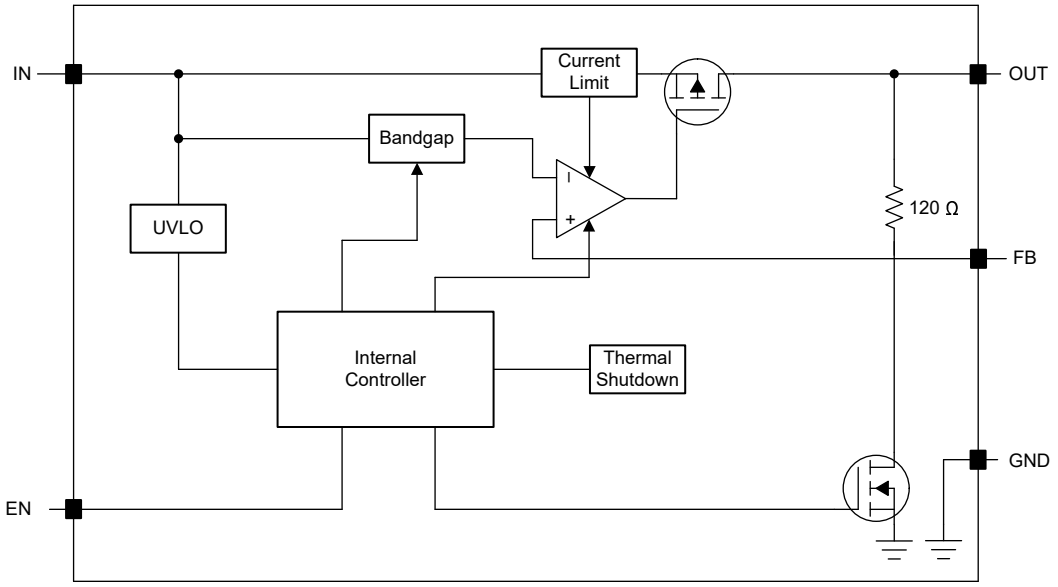


図 7-3. TPS794 ブロック図 (可変バージョン、新しいチップ)

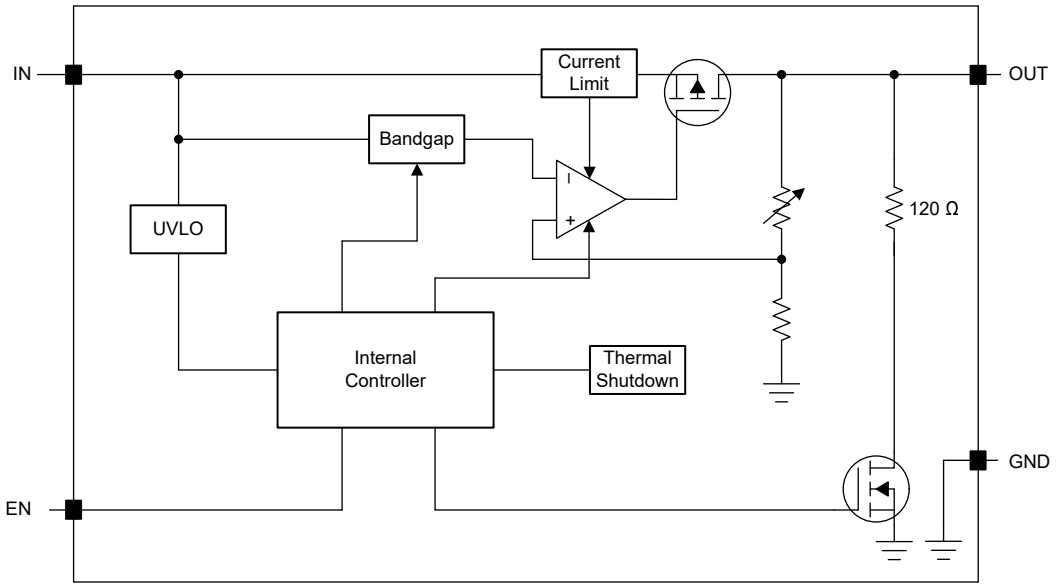


図 7-4. TPS794 ブロック図 (固定バージョン、新しいチップ)

7.3 機能説明

7.3.1 低電圧誤動作防止 (UVLO)

TPS794 は、入力電圧が立ち上がり UVLO 電圧より高くなるまで出力をディセーブルにする、低電圧誤動作防止 (UVLO) 回路を使用しています。この回路は、電源電圧が内部回路の動作範囲 $V_{IN(min)}$ よりも低いときに、デバイスが予測不能な動作を発生しないことを検証します。

7.3.2 シャットダウン

イネーブル ピン (EN) はアクティブ High です。EN ピンが強制的に $V_{EN(High)}$ を上回るようにして、デバイスをイネーブルにします。EN ピンを強制的に最大 EN ピンの low レベル入力電圧より低くして、デバイスをオフにします (*「電気的特性」*表を参照)。シャットダウン機能が不要な場合は、EN ピンを IN に接続します。

Copyright © 2026 Texas Instruments Incorporated

7.3.3 アクティブ放電 (新しいチップ)

このデバイスには、デバイスがディセーブルされて出力電圧をアクティブに放電する際に $R_{PULLDOWN}$ 抵抗をグランドに接続する内部プルダウン MOSFET があります。アクティブ放電回路は、イネーブル ピンによってアクティブになります。

逆電流が出力から入力に流れる可能性があるため、入力電源が急速に低下した後にアクティブ放電回路を使用して出力電圧を放電しないでください。特に大きな出力コンデンサを使用する場合、この逆電流がデバイスを損傷させる可能性があります。逆電流をデバイスの定格電流の 5% 以下に短時間制限してください。

7.3.4 フォールドバック電流制限

従来のチップ TPS794 には、内部電流制限および過熱保護機能があります。通常動作時中、TPS794 は出力電流を約 925mA (標準値) に制限します。電流制限が作動すると、出力電圧は過電流状態が終了するまで直線的に戻ります。電流制限はデバイスの全体的な故障を防ぐように設計されていますが、パッケージの消費電力定格やデバイスの絶対最大電圧定格を超えないように注意する必要があります。

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ハイブリッド ブリックウォール フォールドバック方式です。フォールドバック電圧 ($V_{FOLDBACK}$) では、電流制限はブリック ウォール方式からフォールドバック方式に遷移します。出力電圧が $V_{FOLDBACK}$ を上回った際の高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。電圧が $V_{FOLDBACK}$ を下回ると、フォールドバック電流制限が有効になり、出力電圧が GND に近付くと電流を小さくします。出力が短絡したとき、デバイスは短絡電流制限 (I_{SC}) と呼ばれる標準的な電流を供給します。I_{CL} と I_{SC} は、*「電気的特性」* 表に記載されています。

このデバイスでは、$V_{FOLDBACK} = 0.4 \times V_{OUT(NOM)}$ です。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ を消費します。デバイスの出力が短絡され、出力が $V_{FOLDBACK}$ を下回ると、パス トランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{SC}]$ を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、*「制限の把握」アプリケーション レポート*を参照してください。

図 7-5 は、フォールドバック電流制限の図を示しています。

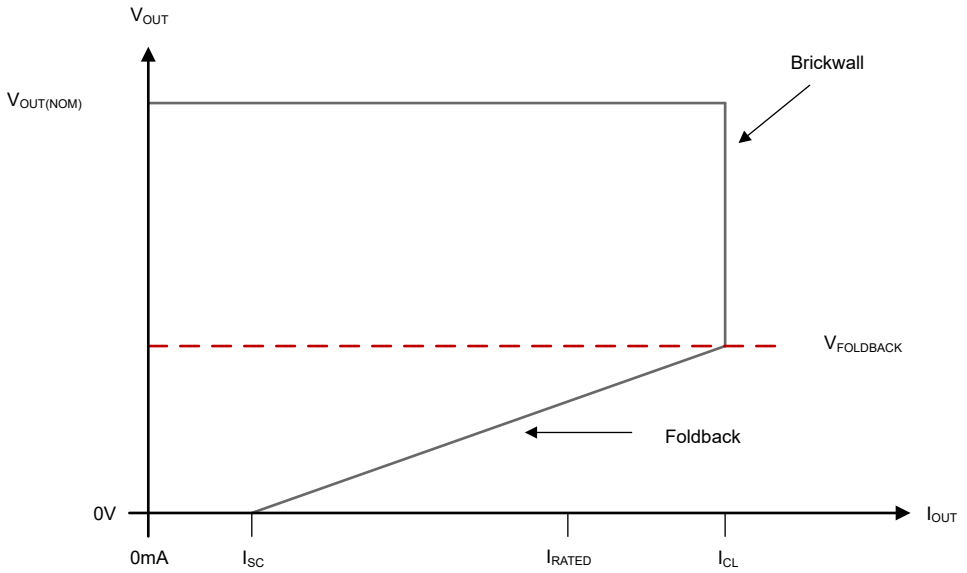


図 7-5. フォールドバック電流制限

Copyright © 2026 Texas Instruments Incorporated

7.3.5 過熱保護

過熱保護機能は、接合部温度が約 165°C に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約 140°C まで冷却されると、出力回路が再びオンになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン / オフを繰り返します。このサイクルによりレギュレータの消費電力が制限され、過熱による損傷からデバイスを保護します。

過熱保護回路が作動する傾向がある場合、消費電力が過剰であるか、ヒートシンクが不十分であることを示しています。信頼性の高い動作を実現するには、接合部温度を最大 125°C に制限してください。設計全体 (ヒート シンクを含む) の安全率を推定するためには、周囲温度を上昇させて過熱保護が作動することを確認します。その際、ワーストケースの負荷と信号条件を使用してください。

TPS794 の内部保護回路は、過負荷状態から保護するように設計されています。この回路は、適切なヒートシンクの代わりとなるものではありません。TPS794 のサーマル シャットダウンが作動する状態で使用を続けると、信頼性が低下します。

7.3.6 逆電流

TPS794 の PMOS パストランジスタにはバックダイオードが組み込まれており、入力電圧が出力電圧を下回ったとき (たとえばパワーダウン時) に逆電流を伝導します。電流は出力から入力へ伝導され、内部で制限されません。長時間の逆電圧動作が予想される場合は、定格出力電流を外部で 5% に制限することをお勧めします。

最新の LDO と同様、非常に大きな逆電流ではこのデバイスが損傷する可能性があります。

逆電流は、通常の導通チャネルではなく、パス素子のボディダイオードを通って流れます。振幅が大きいと、この電流が流れることにより、次のいずれかの条件の結果としてデバイスの長期的な信頼性が低下します。

- エレクトロマイグレーションによる劣化
- 過度の放熱
- ラッチアップ条件が発生する可能性がある

Copyright © 2026 Texas Instruments Incorporated

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、V_{OUT} > V_{IN} + 0.3V の絶対最大定格を超える可能性があります。

- デバイスが大きな C_{OUT} を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、デバイスを保護するために外部保護を使用する必要があります。ショットキー ダイオードを使用した逆電流保護の回路例に、デバイスを保護するための 1 つのアプローチを示します。

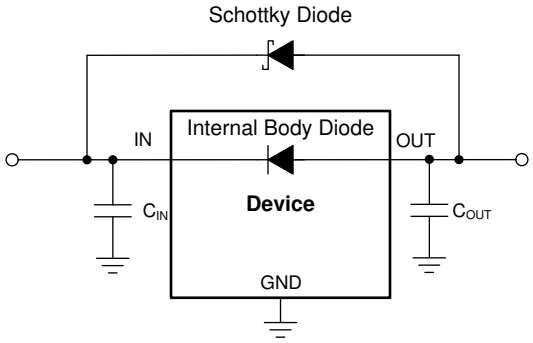


図 7-6. ショットキー ダイオードを使用した逆電流保護の回路例

7.4 デバイスの機能モード

7.4.1 通常動作

デバイスは、以下の条件下で公称出力電圧へのレギュレートを行います。

- 入力電圧は、少なくとも $V_{IN(min)}$ と同じ高さです。
- 入力電圧は、ドロップアウト電圧に加算された公称出力電圧よりも大きくなります。
- イネーブル電圧が $V_{EN(min)}$ よりも高くなっています。
- 出力電流が、電流制限より小さいです。
- デバイスの接合部温度が、規定された最大接合部温度よりも低くなっています。

7.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト モードで動作します。この動作モードでは、出力電圧は、入力電圧からドロップアウト電圧を引いた値と同じになります。パス デバイスがリニア領域内にあり、LDO によって電流の制御を行わないため、デバイスの過渡性能が大きく低下します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生することがあります。

7.4.3 無効

このデバイスは次の条件で無効になります:

- イネーブル電圧がイネーブル立ち下がりスレッショルドよりも低い、またはイネーブル立ち上がりスレッショルド電圧を超えていない。
- デバイスの接合部温度がサーマル シャットダウンの温度よりも高くなっている。
- 入力電圧が $UVLO_{falling}$ (立ち下がりエッジ) を下回っています。

表 7-1 に、各種の動作モードにつながる条件を示します。

表 7-1. デバイスの機能モードの比較

動作モード	パラメータ			
	V_{IN}	V_{EN}	I_{OUT}	T_J
通常モード	V_{IN} > $V_{OUT(nom)}$ + V_{DO} and V_{IN} > $V_{IN(min)}$	V_{EN} > $V_{EN(high)}$	I_{OUT} < I_{LIM}	T_J < 125°C

Copyright © 2026 Texas Instruments Incorporated

表 7-1. デバイスの機能モードの比較 (続き)

動作モード	パラメータ			
	V_{IN}	V_{EN}	I_{OUT}	T_J
ドロップアウト モード	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(high)}$	—	$T_J < 125°C$
ディスエーブル モード (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < UVLO_{falling}$	$V_{EN} < V_{EN(low)}$	—	$T_J > 165°C$(1)

(1) サーマル シャットダウンの近似値。

8 アプリケーションと実装

注

以下のアプリケーション セクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TPS794 はノイズに敏感な機器向けに最適化されています。このデバイスは、極めて低いドロップアウト電圧、高い PSRR、極めて低い出力ノイズ、低い静止電流を特長とし、供給電流を削減するためのイネーブル入力を備えています。

8.1.1 可変動作

TPS794 可変レギュレータの出力電圧は、TPS794 の可変 LDO レギュレータのプログラミング に示すように外付け抵抗分圧器を用いて設定します。出力電圧は、式 1 を使用して求められます。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_1}{R_2}\right) \quad (1)$$

ここで

- V_{REF} = 1.2246V (代表値、内部リファレンス電圧)

抵抗 R_1 および R_2 は、約 40µA の分圧電流となるように選定する必要があります。値の低い抵抗を使用するとノイズ特性が改善されますが、デバイスではより多くの電力が消費されます。FB のリーク電流により出力電圧誤差が増加するため、これより大きな値は避ける必要があります。

推奨される設計手順は、
R_2 = 30.1kΩ を選択してデバイダ電流を 40µA に設定してから、安定性を確保するために
C_1 = 15pF とし、式 2 を使用して R_1 を計算することです。

$$R_1 = \left(\frac{V_{OUT}}{V_{REF}} - 1\right) \times R_2 \quad (2)$$

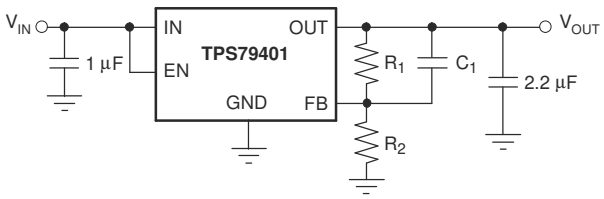
可変バージョンの安定性を向上させるため、OUT と FB 間に小容量の補償コンデンサを配置します。

このコンデンサの概算値は 式 3 の式で計算できます:

$$C_1 = \frac{(3 \times 10^{-7}) \times (R_1 + R_2)}{(R_1 \times R_2)} \quad (3)$$

複数の抵抗比について、このコンデンサの推奨値を TPS794 の可変 LDO レギュレータのプログラミング に示します。このコンデンサを使用しない場合 (ユニティゲイン構成の場合など)、推奨される最小出力コンデンサは 1µF ではなく 2.2µF です。

Copyright © 2026 Texas Instruments Incorporated



OUTPUT VOLTAGE PROGRAMMING GUIDE

OUTPUT VOLTAGE	R_1	R_2	C_1
1.8 V	14.0 kΩ	30.1 kΩ	22 pF
3.6 V	61.9 kΩ	30.1 kΩ	15 pF

図 8-1. TPS794 の可変 LDO レギュレータのプログラミング

8.1.2 ドロップアウトの終了

一部のアプリケーションでは、起動時に V_{IN} の上昇が遅くなるなど、LDO をドロップアウトにする過渡現象が発生します。他の LDO と同様に、このような条件からの回復時に出力がオーバーシュートする可能性があります。スルー レートと電圧レベルが適切な範囲にある場合、ドロップアウトへの起動 に示すように、ランプ入力電源によって、起動時に LDO のオーバーシュートが発生します。この状態を回避するため、イネーブル信号を使用します。

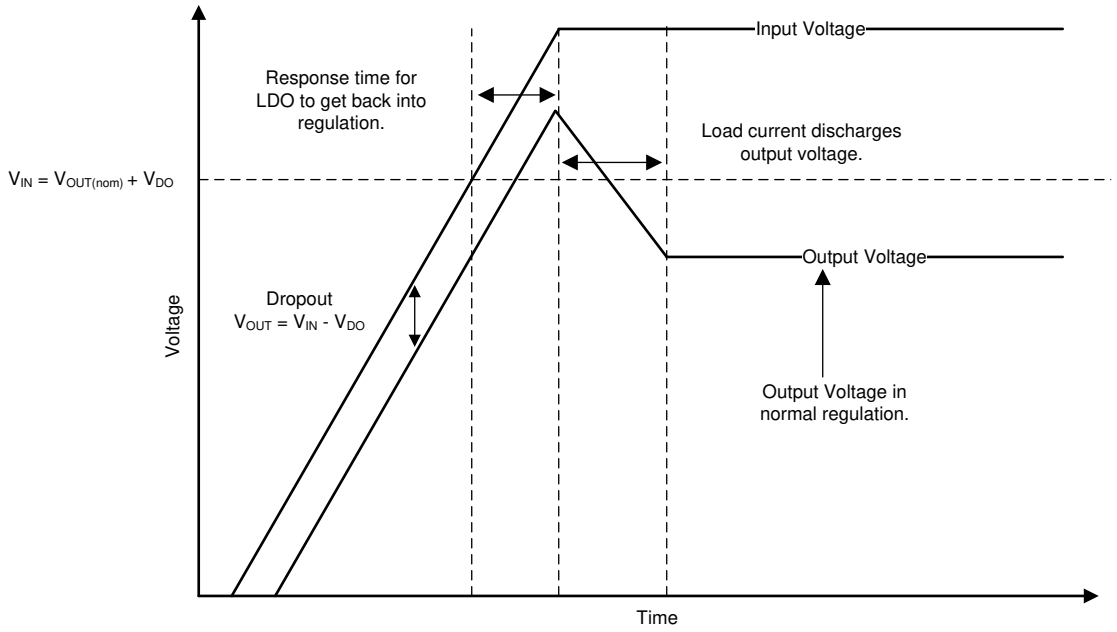


図 8-2. ドロップアウトへの起動

ドロップアウトのライン過渡事象も、レギュレータの出力のオーバーシュートの原因となる可能性があります。このようなオーバーシュートは、エラー アンプがパス素子のゲート容量を駆動し、適切なレギュレーションのためにゲートを適切な電圧に戻す必要があることが原因で発生します。ドロップアウトからのライン過渡応答 に、ゲート電圧の内部で何が発生するか、および動作中にオーバーシュートが発生する可能性があるかを示します。LDO をドロップアウト状態にすると、ゲート電圧 (V_{GS}) がグランドまでプルダウンされ、パス デバイスを可能な限り低いオン抵抗にします。ただし、デバイスがドロップアウト状態のときにライン過渡状態が発生した場合、ループは安定化されず、ループが応答して出力電流が出力電圧をレギュレーション状態に戻すまで出力のオーバーシュートが発生する可能性があります。これらの過渡電圧が許容できない場合は、過渡電流が十分遅くなり、オーバーシュートを低減するまで、システムに入力容量を追加し続けます。

Copyright © 2026 Texas Instruments Incorporated

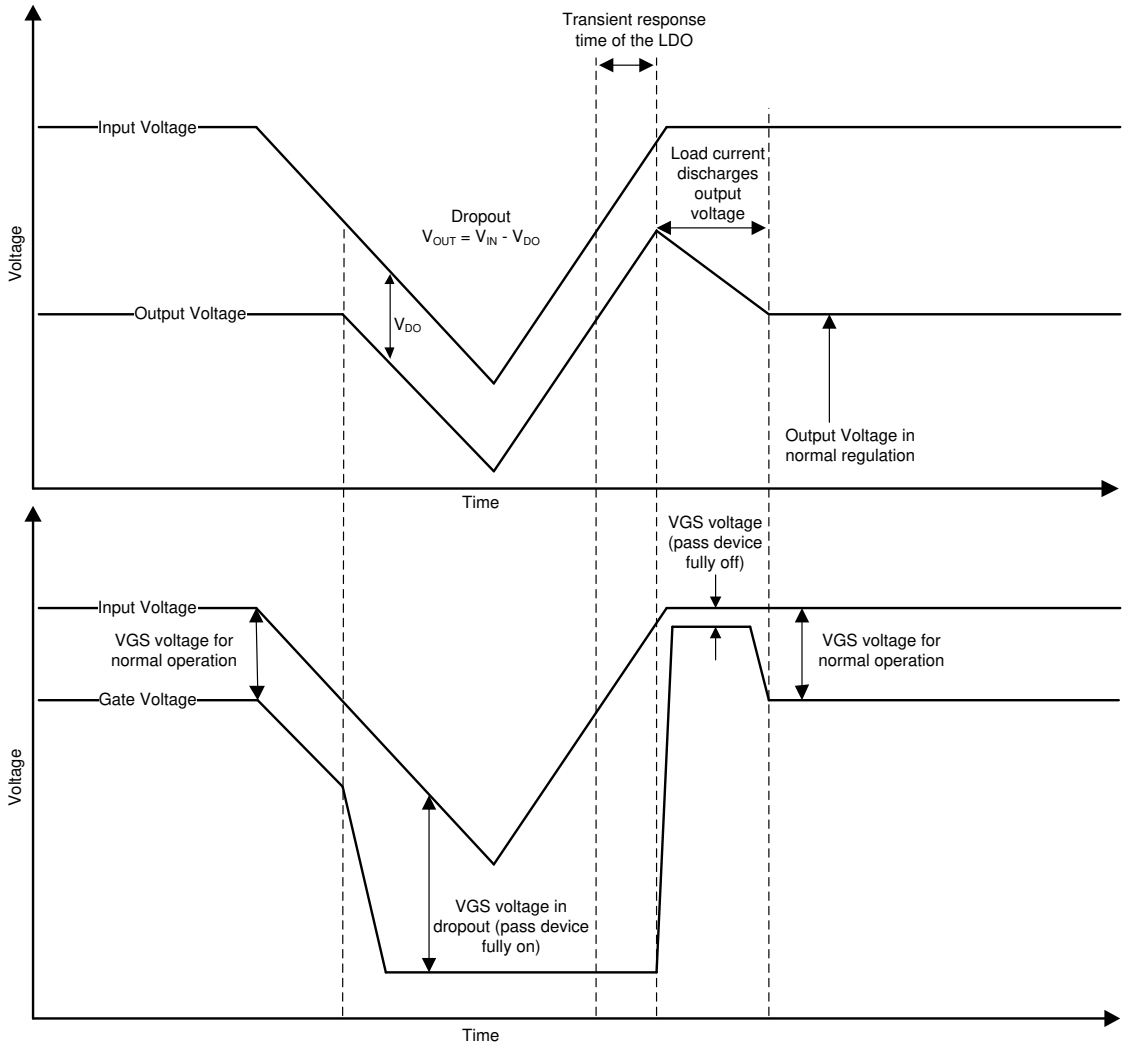


図 8-3. ドロップアウトからのライン過渡応答

8.2 代表的なアプリケーション

代表的なアプリケーション回路を図 8-4 に示します。

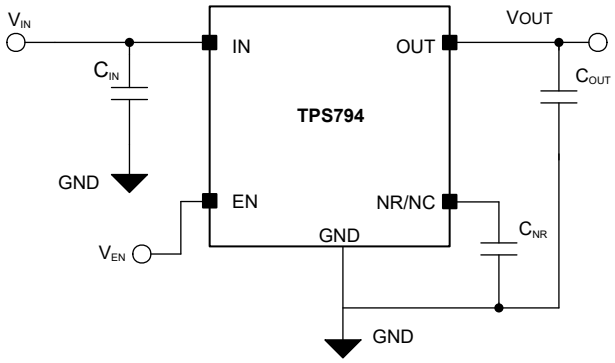


図 8-4. 代表的なアプリケーション回路

8.2.1 詳細な設計手順

必要な出力電圧オプションを選択します。バッテリは 1µF の入力コンデンサをビア経由で入力に接続し、短い 10mil (0.01 インチ、1mil は 1/1000 インチ) パターンで接続します。10µF の出力コンデンサを使用して、負荷過渡に対して最適な応答時間を実現します。「最大周囲温度と消費電力との関係」を参照して、最大接合部温度を超えないことを確認します。

8.2.1.1 コンデンサに関する推奨事項

入力、出力、ノイズ低減、およびバイパスキャパシタンスには、低 ESR (等価直列抵抗) コンデンサを使用する必要があります。X7R および X5R 誘電体を持つセラミック コンデンサを推奨します。これらの誘電体は、より安定した特性を提供します。X7R セラミックコンデンサは過熱性能が向上しているのに対して、X5R セラミックコンデンサはコスト効率が高く、値も大きくなります。

8.2.1.2 入出力コンデンサの要件

安定性と、過渡応答、ノイズ除去、リップル除去を向上させるため、IN と GND との間、および TPS794 に近接して接続された、1µF 以上のセラミック入力バイパスコンデンサが必要です。立ち上がり時間の短い過大な負荷過渡事象が予想される場合、およびデバイスが電源から数インチの場所に配置される場合は、より大容量の入力コンデンサが必要になる可能性があります。

すべての低ドロップアウト レギュレータと同様、TPS794 では、内部制御ループを安定させるため、OUT と GND との間に出力コンデンサを接続する必要があります。推奨される最小デカップリング容量は 1µF です。
1µF 以上のセラミックコンデンサが適しています。

8.2.1.3 ノイズ低減およびフィードフォワードコンデンサの要件

内部電圧リファレンスは、LDO レギュレータにおける主要なノイズ源です。従来のチップ TPS794 には NR ピンがあり、250kΩ 内部抵抗を介して電圧リファレンスに接続されています。250kΩ の内部抵抗と、NR ピンに接続された外付けバイパス コンデンサによってローパス フィルタが形成され、電圧リファレンスのノイズが低減されます。これによって、レギュレータの出力でのノイズも低減されます。レギュレータが正常に動作するためには、NR ピンから流れ出る電流が最小になる必要があります。これは、リーク電流の場合、内部抵抗の両端で IR 降下が発生し、出力誤差が生じるためです。したがって、バイパス コンデンサはリーク電流を最小限に抑える必要があります。*機能ブロック図* に示す内部スイッチにより提供されるクイックスタート時間中にコンデンサが完全に充電されることを確認するために、バイパスコンデンサは 0.1µF 以下にする必要があります。

可変バージョンを使用する場合は、デバイスの安定性を向上させるため、フィードフォワードコンデンサを推奨します。C_{FF} の値については、「推奨動作条件」表を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.2.2 アプリケーション曲線

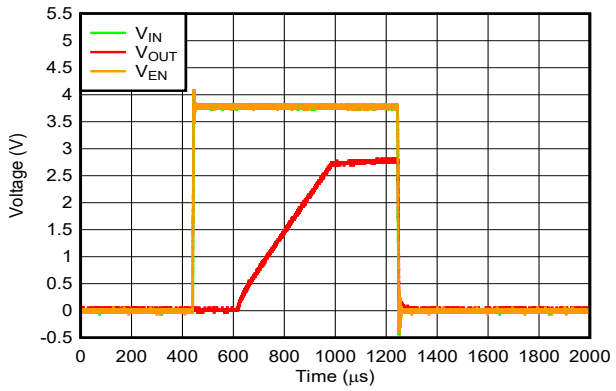


図 8-5. TPS794 出力電圧、イネーブル電圧と時間との関係 (スタートアップ)

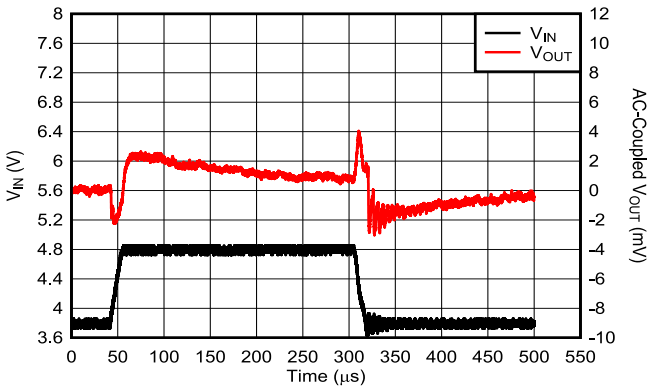


図 8-6. TPS794 のライン過渡応答

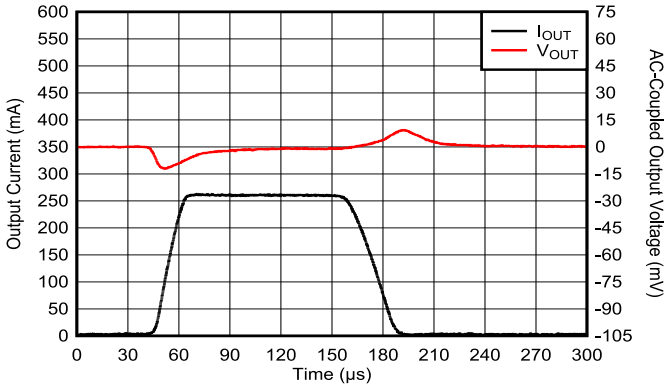


図 8-7. TPS794 の負荷過渡応答

8.3 レイアウト

8.3.1 PSRR およびノイズ性能向上のための推奨基板レイアウト

PSRR、出力ノイズ、過渡応答などの ac 測定を向上させるために、基板設計では V_{IN} と V_{OUT} に別々のグランド プレーンを設け、各グランド プレーンをデバイスのグランドピンのみで接続することをお勧めします。さらに、バイパス コンデンサのグランド接続部はデバイスのグラウンドピンに直接接続する必要があります。

8.3.2 消費電力

ダイからの放熱性能はパッケージの種類によって異なるため、プリント回路基板 (PCB) レイアウト時に考慮すべき検討事項も異なります。デバイス周辺の部品がない PCB 領域は、放熱の役割を果たします。JEDEC の Low-K ボードと High-K ボードの性能データを、「熱に関する情報」の表に示します。また、厚みのある銅箔を使用すると、デバイスからの放熱効率が向上します。さらに、放熱層へ導通穴 (スルーホール) を追加することで、ヒートシンクの効果を高めることができます。

消費電力は、入力電圧と負荷条件によって異なります。、消費電力 (P_D) は、出力電流と出力パス素子間 (V_{IN} から V_{OUT}) の電圧降下の積で近似できます。

ここで:

- $T_J$max は、許容される最大の接合部温度です。
- $R_{\theta JA}$ は、パッケージにおける接合部から周囲環境への熱抵抗です。
- T_A は周囲温度です。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (4)$$

静止電流による消費電力は無視できます。消費電力が過剰になると、過熱保護回路がトリガされます。

「熱に関する情報」の表に示されているように、接合部温度は熱指標 Ψ_{JT} と Ψ_{JB} を使用して推定できます。これらの指標は、ダイとパッケージの熱伝達特性を $R_{\theta JA}$ よりも正確に表現したものです。接合部温度は、式 5 で計算できます。

$$\Psi_{JT}: \quad T_J = T_T + \Psi_{JT} \bullet P_D$$
$$\Psi_{JB}: \quad T_J = T_B + \Psi_{JB} \bullet P_D \quad (5)$$

ここで、

- P_D は、式 4 で説明されている消費電力です。
- T_T は IC パッケージの中央上部の温度です。
- T_B は PCB 表面上で IC パッケージから 1mm 離れた場所で測定された PCB 温度です。

注

T_T と T_B の両方は、熱ガン (赤外線温度計) を使用して実際のアプリケーション ボードで測定できます。

T_T と $_B$ の測定の詳細については、www.ti.com からダウンロードできるアプリケーションノート「新しい熱評価基準の使用」(SBVA025) を参照してください。

8.3.3 熱に関する情報

LDO リニアレギュレータが生成する熱の量は、動作中にレギュレータが消費する電力の量に正比例します。すべての IC には最大許容接合部温度 ($T_J$max) があり、それを超えると通常動作は保証されません。システム設計者は、動作時の接合部温度 (T_J) が最大接合部温度 ($T_J$max) を超えないように動作環境を設計する必要があります。設計者が熱性能向上のために使用できる 2 つの主な環境変数は、エアフローと外部ヒートシンクです。この情報の目的は、特定の電力レベルで動作するリニアレギュレータの適切な動作環境を決定できるように設計者を支援することです。

通常、リニアレギュレータが消費する最大予測電力 ($P_D$max) は、式 6 のように計算されます:

$$P_D\,\text{max} = \left(V_{IN(avg)} - V_{OUT(avg)}\right) \times I_{OUT(avg)} + V_{I(avg)} \times I_Q \quad (6)$$

ここで

- $V_{IN(avg)}$ は平均入力電圧です
- $V_{OUT(avg)}$ は平均出力電圧です
- $I_{OUT(avg)}$ は平均出力電流です
- I_Q は静止電流

大半の TI LDO レギュレータでは、平均出力電流に比べて静止電流はわずかであるため、$V_{IN(avg)}$ x I_Q は無視できます。動作時の接合部温度は、周囲温度 (T_A) とレギュレータの消費電力による温度上昇を加算することで計算されます。温度上昇は、接合部とケース間の熱抵抗 ($R_{\Theta JC}$)、ケースとヒートシンク間の熱抵抗 ($R_{\Theta CS}$)、ヒートシンクと周囲間の熱抵抗 ($R_{\Theta SA}$) の合計を最大予想消費電力に乗じて算出します。熱抵抗は物体が熱をどれほど効果的に放散するかを示す測定値です。通常、デバイスが大きいほど消費電力に利用できる表面積が大きくなり、物体の熱抵抗が低くなります。

図 8-8 に、JEDEC low-K 基板に実装された SOT223 パッケージでのこれらの熱抵抗を示します。

Copyright © 2026 Texas Instruments Incorporated

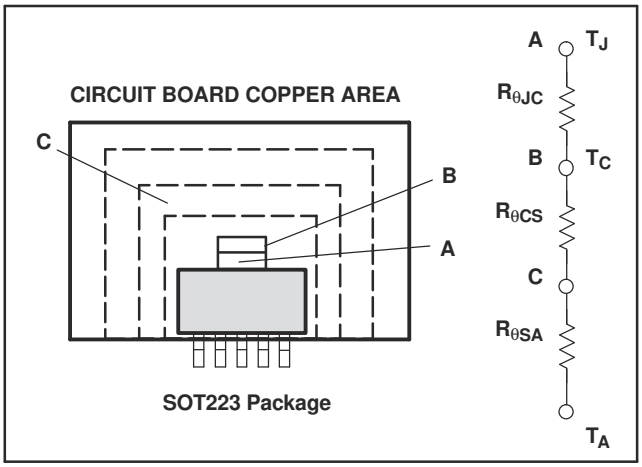


図 8-8. 熱抵抗

式 7 の計算の要約:

$$T_J = T_A + P_D max \times (R_{\theta JC} + R_{\theta CS} + R_{\theta SA}) \quad (7)$$

$R_{\Theta JC}$ は、レギュレータのデータシートに記載されているパッケージ、リードフレーム、ダイサイズによって決定される各レギュレータ特有です。$R_{\Theta SA}$ はヒートシンクの種類とサイズの関数です。例えば、ブラックボディラジエータタイプのヒートシンクの $R_{\Theta CS}$ 値は、ヒートシンクが非常に大きい場合の 5°C/W から超小型の場合の 50°C/W までの範囲になります。$R_{\Theta CS}$ はパッケージをヒートシンクに取り付ける方法に関する関数です。例えば、サーマルコンパウンドを使用してヒートシンクを SOT223 パッケージに取り付ける場合、1°C/W の $R_{\Theta CS}$ が妥当です。

パッケージに外付けブラックボディラジエータタイプのヒートシンクが取り付けられていない場合でも、レギュレータを実装した基板には、半田付けによりヒートシンクとピンが接続されます。DDPAK や SOT223 などの一部のパッケージでは、熱性能の向上のためにヒートシンクを追加場合は、パッケージの下に銅プレーンを使用するか、回路基板のグランドプレーンを使用します。コンピュータ支援熱モデリングを使用すると、異なる動作環境における IC の放熱性能の近似値を非常に正確に計算できます (異なる種類の回路基板、異なる種類とサイズのヒートシンク、異なる空気の流れなど)。これらのモデルを使用すると、3 つの熱抵抗を、接合部と周囲間の 1 つの熱抵抗 ($R_{\Theta JA}$) に結合できます。この $R_{\Theta JA}$ は、コンピュータモデルで使用する特定の動作環境に対してのみ有効です。

式 7 は 式 8 に簡略化されます:

$$T_J = T_A + P_D max \times R_{\theta JA} \quad (8)$$

式 8 を再び整えると 式 9 になります:

$$R_{\theta JA} = \frac{T_J - T_A}{P_D max} \quad (9)$$

式 9 と共に 図 8-9 に示すコンピュータモデルで生成された曲線を使用すると、特定の周囲温度、消費電力、動作環境で必要なヒートシンクの熱抵抗/基板面積を迅速に計算できます。

Copyright © 2026 Texas Instruments Incorporated

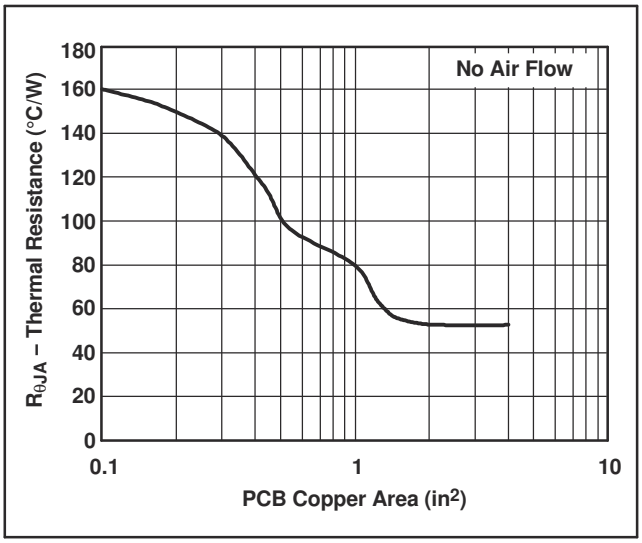


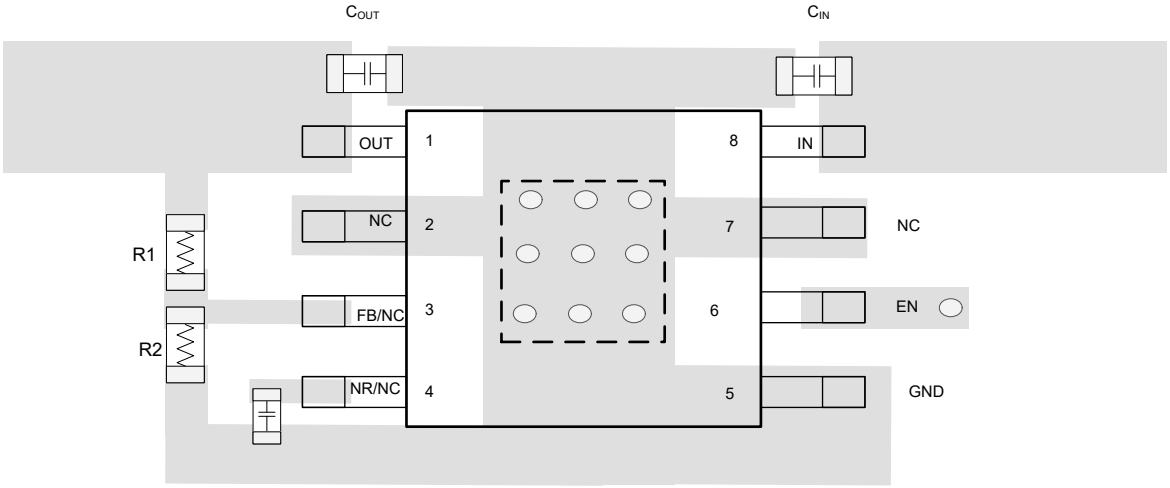
図 8-9. SOT223 熱抵抗と PCB 銅面積との関係

8.3.3.1 レギュレータの取り付け

SOT223-6 パッケージのタブは電気的にグランドに接続されています。最高の放熱性能を得るには、表面実装タイプのタブを回路基板の銅領域に直接半田付けする必要があります。銅面積を増やすと、放熱が改善されます。

デバイスの半田パッドのフットプリントに関する推奨事項については、TI の Web サイト (www.ti.com) から入手可能なアプリケーションノート SBFA015、『表面実装デバイスの半田パッドに関する推奨事項』を参照してください。

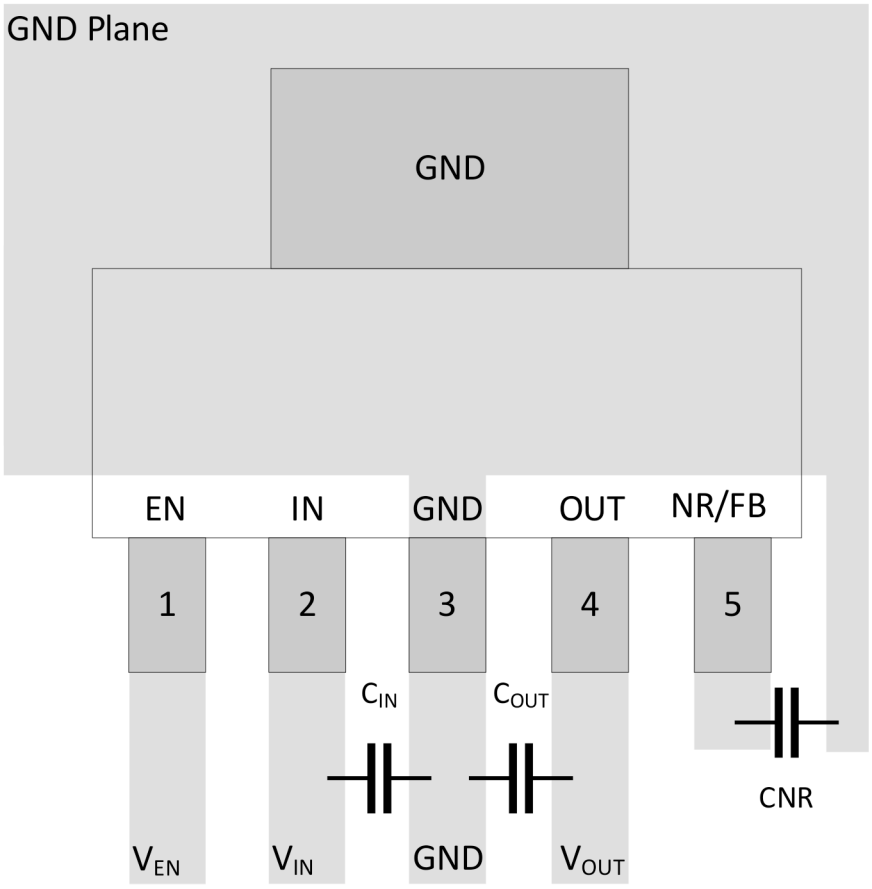
8.3.4 レイアウト例



Notes:
- Not to scale
- Connect NC pins to GND for better thermal performance, or leave floating
- R_1 and R_2 only needed for adjustable operation
- NR capacitor can be left connected for new chip
- ○ Denotes a via to a connection made on another layer
- Add as many thermal vias as possible under thermal pad and nearby GND plane for better thermal performance

図 8-10. レイアウト例 (DGN パッケージ)

Copyright © 2026 Texas Instruments Incorporated



Notes:

Not to scale
Legacy chip only
Representative of the fixed output voltage options
Add as many thermal vias as possible under thermal pad and nearby GND plane for better thermal performance

図 8-11. レイアウト例 (DCQ パッケージ)

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 デバイス サポート

9.1.1 デバイスの命名規則

表 9-1. 利用可能なオプション

製品(1)	説明(2)
TPS794**xx** ***yyy z*** **M3**	**xx** は公称出力電圧です (例:28 = 2.8V、285 = 2.85V、01 = 可変)。 **yyy** はパッケージ指定子です。 **z** はパッケージ数量です。**M3** は最新の製造工程のみを使用するデバイス用の接尾辞記号です (CSO:RFB)。この接尾辞がないデバイス、従来のチップに搭載 (CSO:DLN) または新しいチップに搭載 (CSO:RFB)。リール包装ラベルには、使用されているチップを識別するための CSO 情報が記載されています。本書では、新旧チップごとのデバイス性能について説明しています。

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録:パッケージ オプション」を参照するか、テキサス・インスツルメンツの Web サイト www.ti.com または www.tij.co.jp を参照してください。
(2) 出力電圧は 1.3V ～ 5.0V で 100mV 刻みで利用可能です。最小注文数量が適用される場合があります。詳細と入手可能性については、工場にお問い合わせください。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (December 2005) to Revision F (December 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• ドキュメントに新しいシリコン (M3) デバイスを追加	1
• ドキュメント全体を通して新しいチップと従来のチップの情報を区別する命名規則を追加	1
• 「特長」セクションにポートフォリオデバイスの箇条書きを追加	1
• ドキュメント全体を通して MSOP を HVSSOP に変更	1
• 「アプリケーション」セクションを追加	1
• 新しいチップおよび従来のチップの説明を追加して、ピンの説明表を更新	3
• ノイズ特性の低減に向けて TPS7A20 を参照する説明を追加	3
• NR/NC ピンを追加	3
• 「推奨動作条件」表を追加	4
• *「熱に関する情報」* 表を追加	4
• 「ESD 定格」表を追加	4
• 新しいチップおよび従来のチップの仕様を含む「電気的特性」表を更新	4
• *デバイスの機能モード*セクションを更新	18
• 「アプリケーションと実装」セクションを追加	20
• 「レイアウト」セクションを追加	25
• 「デバイスおよびドキュメントのサポート」セクションを追加	30
• 「メカニカル、パッケージ、および注文情報」セクションを追加	32

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79401DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 85	PS79401
TPS79401DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79401
TPS79401DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79401
TPS79401DGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdauag | Nipdau	Level-1-260C-UNLIM	-40 to 85	AXL
TPS79401DGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 85	AXL
TPS79401DGNRM3	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AXL
TPS79401DGNT	Obsolete	Production	HVSSOP (DGN) | 8	-	-	Call TI	Call TI	-40 to 85	AXL
TPS79418DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 85	PS79418
TPS79418DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79418
TPS79418DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79418
TPS79418DGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdau	Level-1-260C-UNLIM	-40 to 85	AXM
TPS79418DGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 85	AXM
TPS79418DGNT	Obsolete	Production	HVSSOP (DGN) | 8	-	-	Call TI	Call TI	-40 to 85	AXM
TPS79425DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 85	PS79425
TPS79425DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79425
TPS79425DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79425
TPS79425DGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdau	Level-1-260C-UNLIM	-40 to 85	AYB
TPS79425DGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 85	AYB
TPS79425DGNT	Obsolete	Production	HVSSOP (DGN) | 8	-	-	Call TI	Call TI	-40 to 85	AYB
TPS79428DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 85	PS79428
TPS79428DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79428
TPS79428DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79428
TPS79428DGNT	Active	Production	HVSSOP (DGN) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AYC
TPS79428DGNT.A	Active	Production	HVSSOP (DGN) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AYC
TPS79430DCQ	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79430
TPS79430DCQ.A	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79430
TPS79430DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79430
TPS79430DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79430

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79430DGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AYD
TPS79430DGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AYD
TPS79430DGNT	Obsolete	Production	HVSSOP (DGN) | 8	-	-	Call TI	Call TI	-40 to 85	AYD
TPS79433DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 85	PS79433
TPS79433DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79433
TPS79433DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	PS79433
TPS79433DGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AYE
TPS79433DGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AYE
TPS79433DGNT	Obsolete	Production	HVSSOP (DGN) | 8	-	-	Call TI	Call TI	-40 to 85	AYE

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

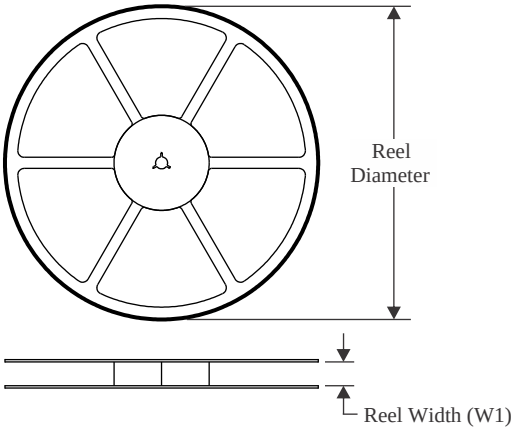
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

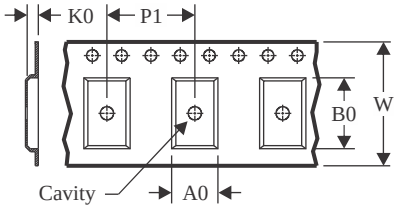
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

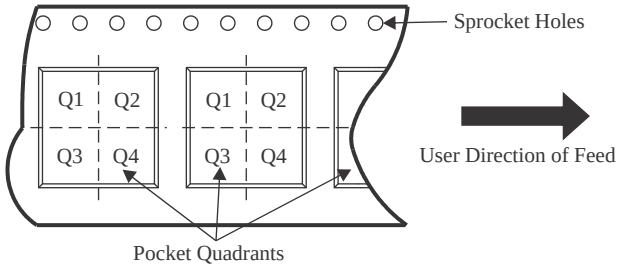


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

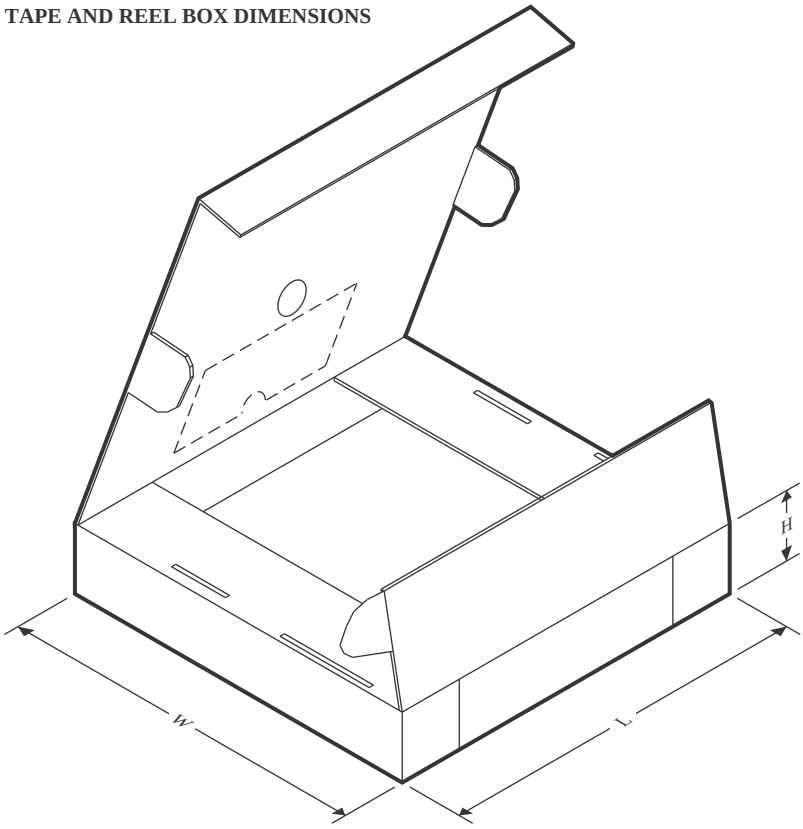
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS79401DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79401DGNRM3	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS79418DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79418DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS79425DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79425DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS79428DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79428DGNT	HVSSOP	DGN	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS79430DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79430DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS79433DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79433DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

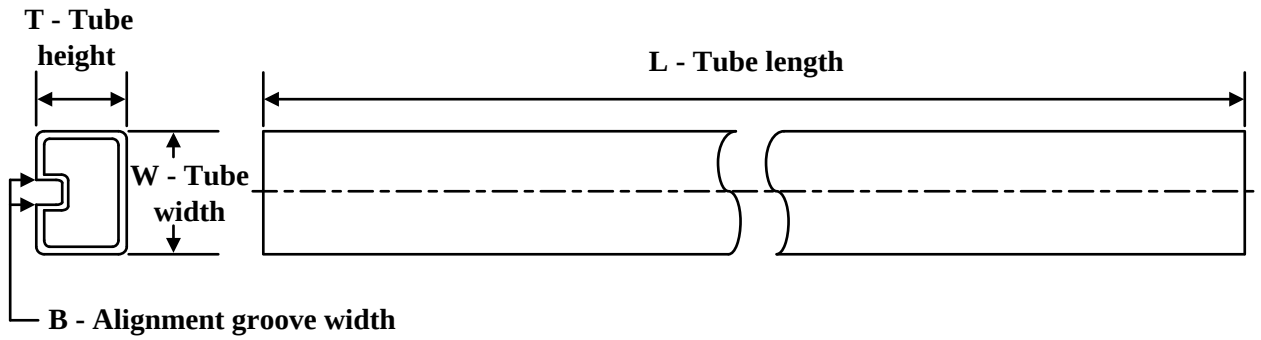
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS79401DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79401DGNRM3	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS79418DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TPS79418DGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS79425DCQR	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TPS79425DGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS79428DCQR	SOT-223	DCQ	6	2500	358.0	335.0	35.0
TPS79428DGNT	HVSSOP	DGN	8	250	213.0	191.0	35.0
TPS79430DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79430DGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS79433DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79433DGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

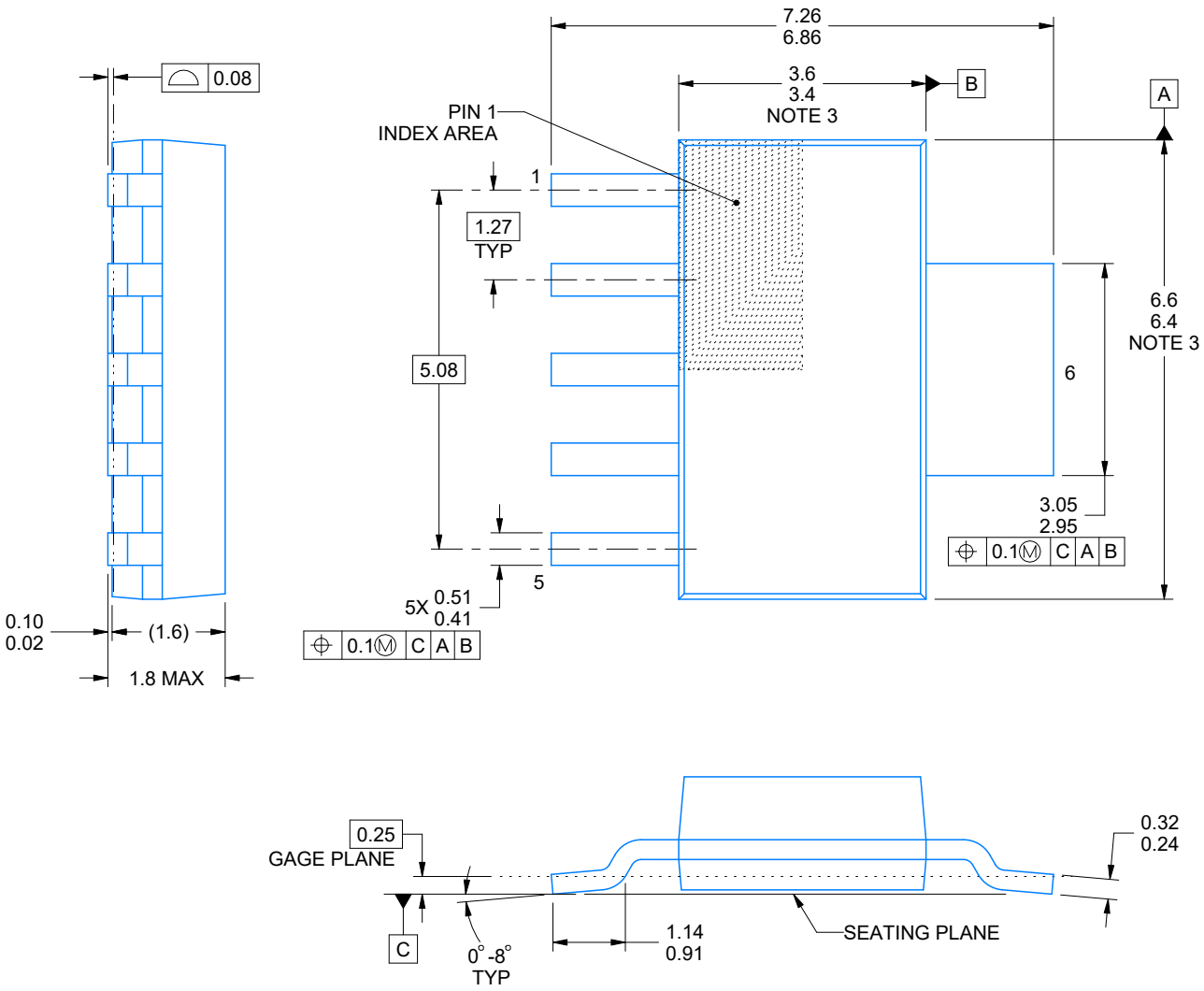
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPS79430DCQ	DCQ	SOT-223	6	78	532.13	8.63	3.6	3.68
TPS79430DCQ.A	DCQ	SOT-223	6	78	532.13	8.63	3.6	3.68

PACKAGE OUTLINE

DCQ0006A

SOT - 1.8 mm max height

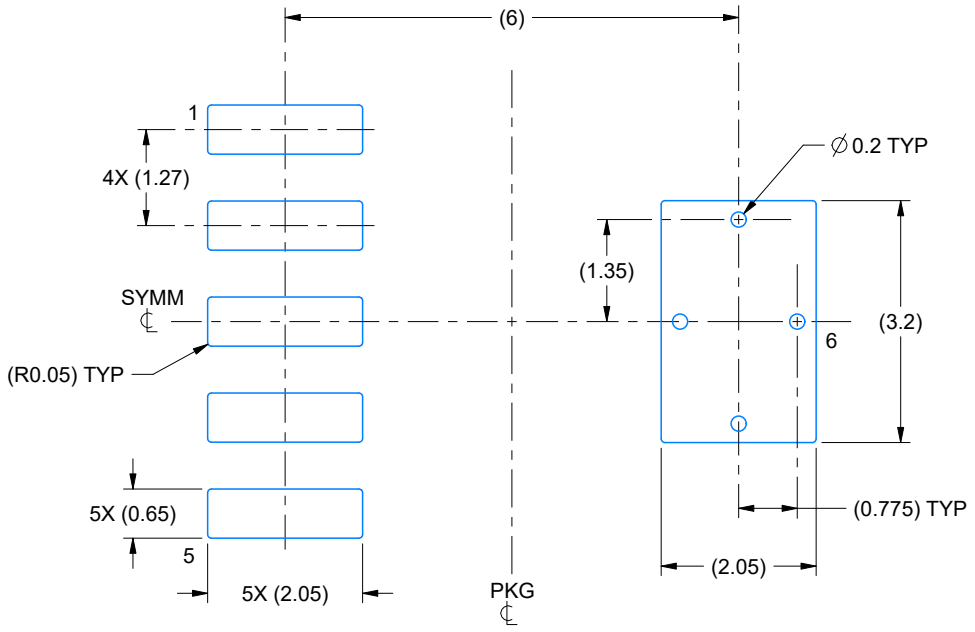
PLASTIC SMALL OUTLINE



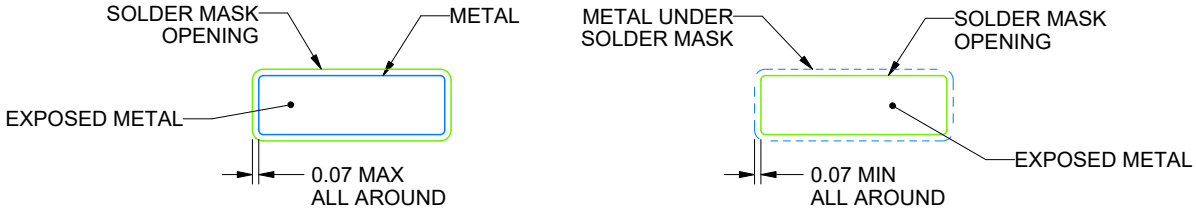
4214845/C 11/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

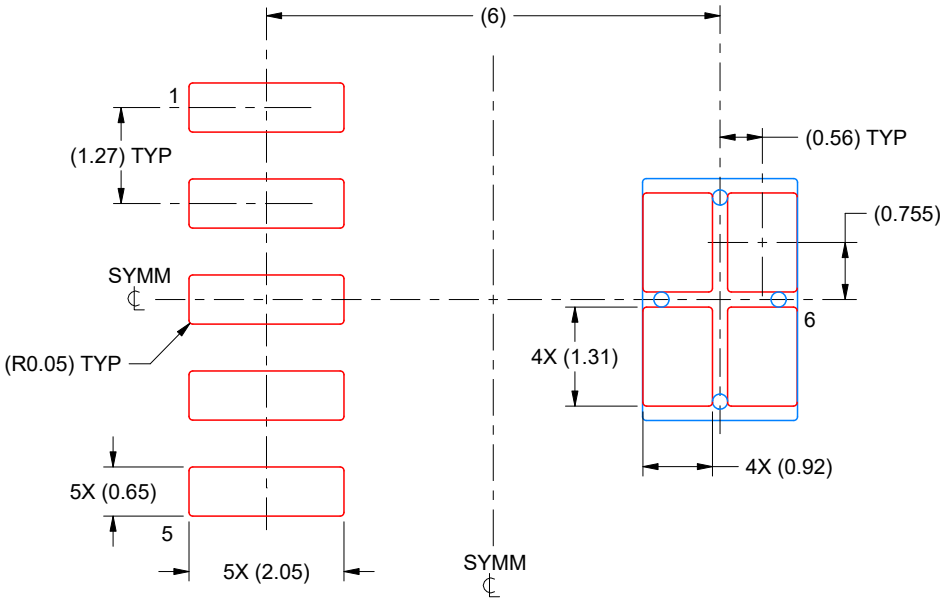


SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

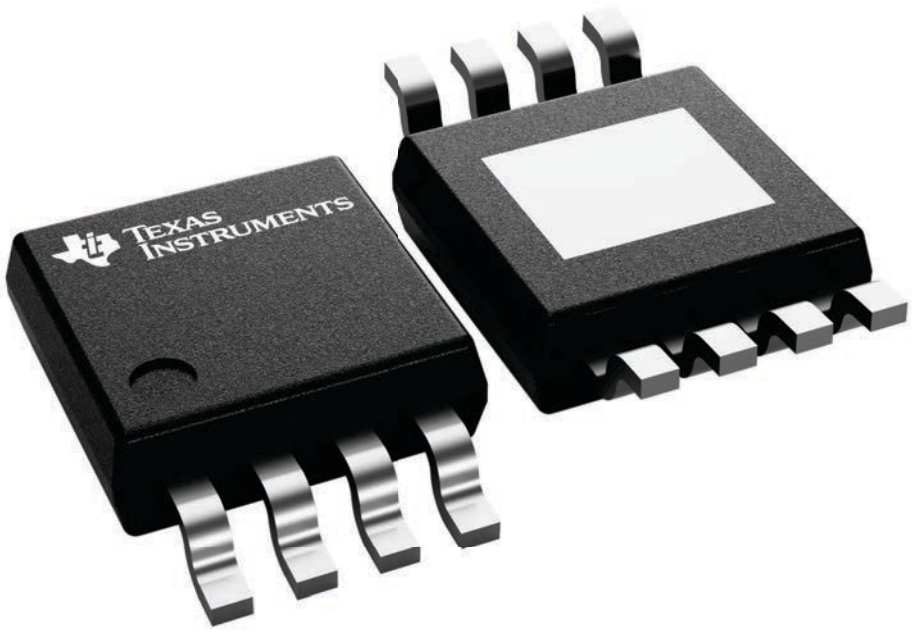
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

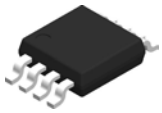
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B

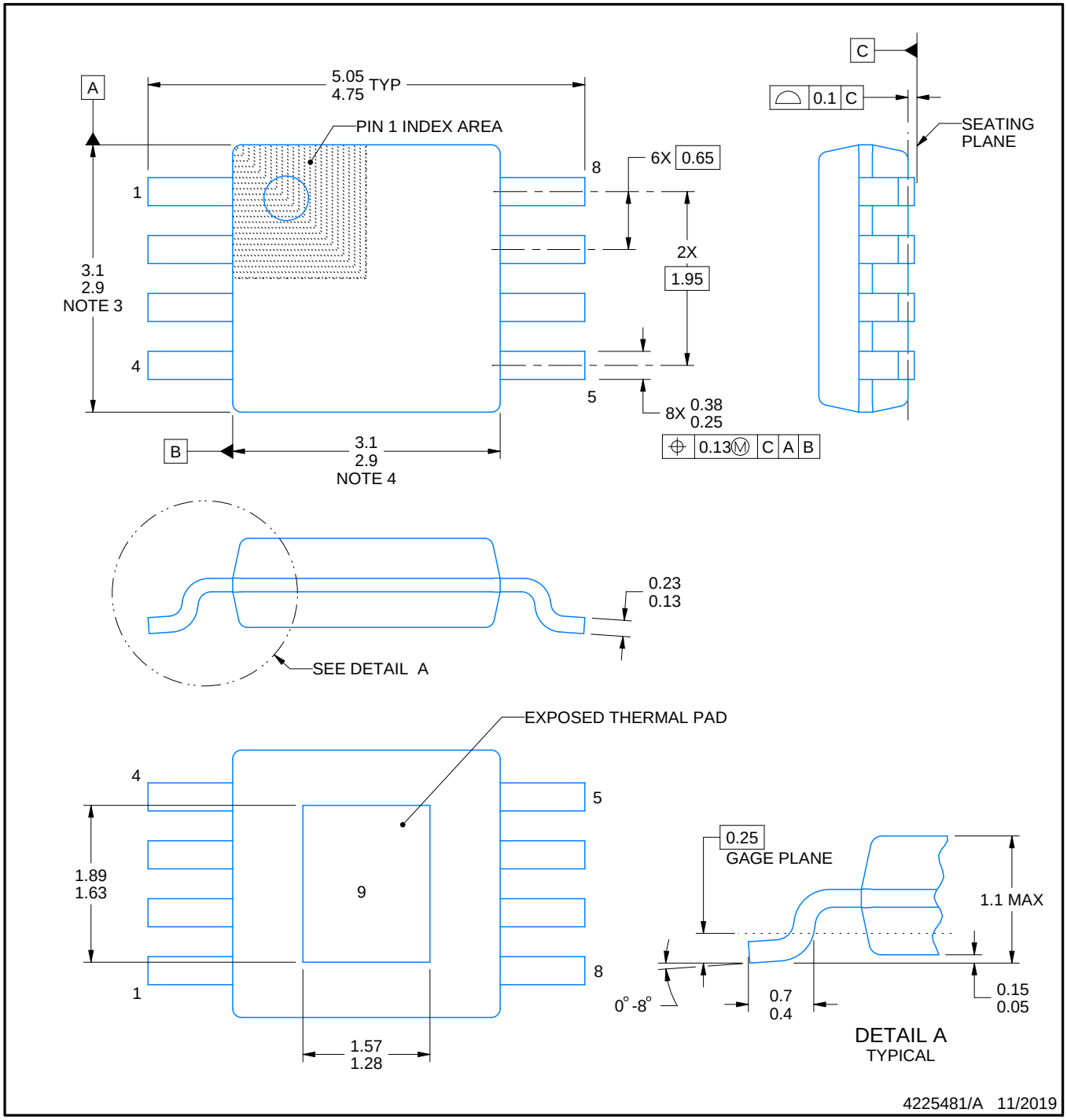
PACKAGE OUTLINE

DGN0008D



PowerPAD™ VSSOP - 1.1 mm max height

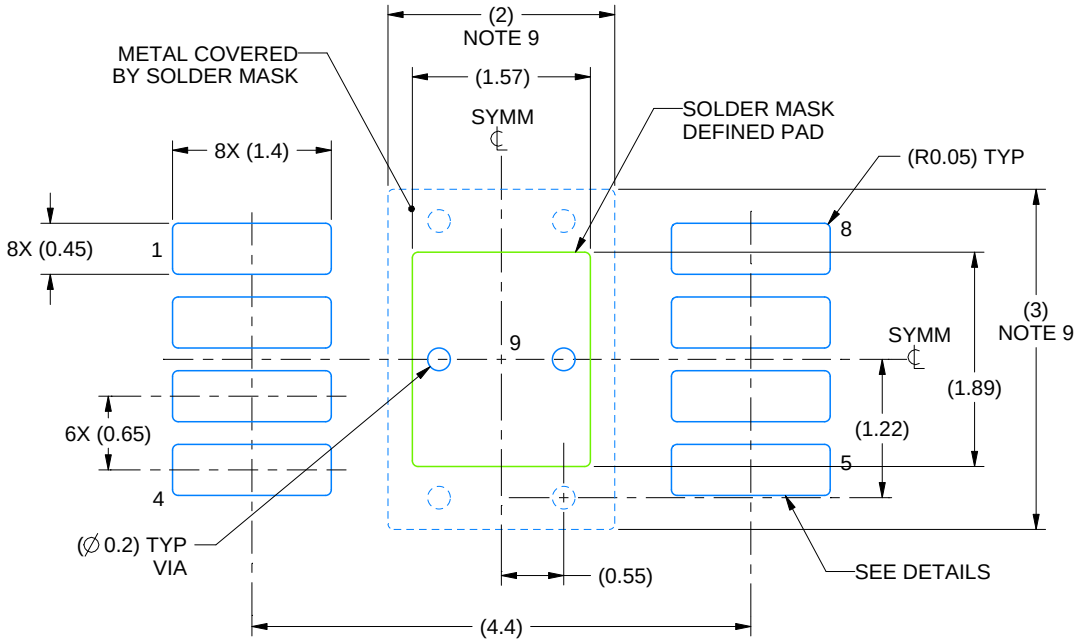
SMALL OUTLINE PACKAGE



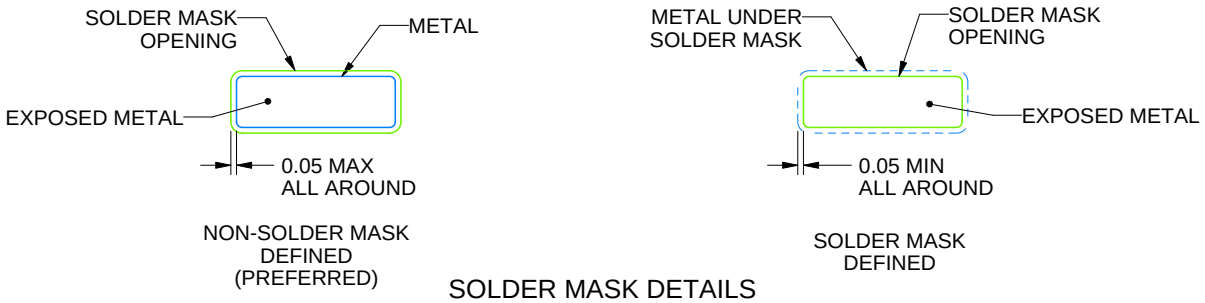
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

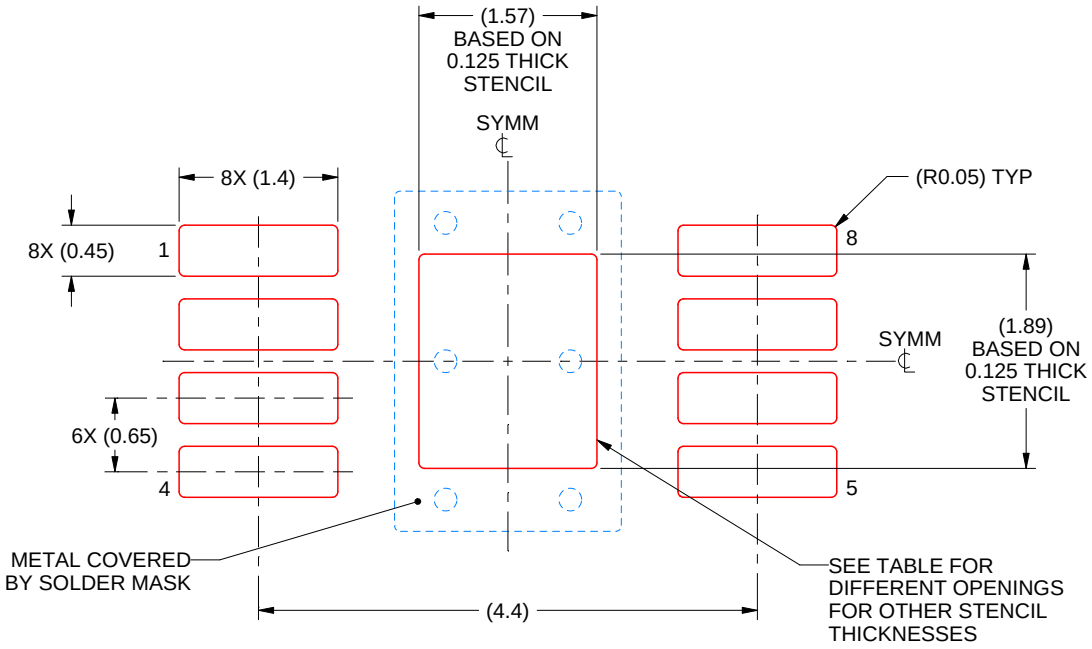


SOLDER MASK DETAILS

4225481/A 11/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

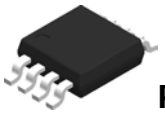
4225481/A 11/2019

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

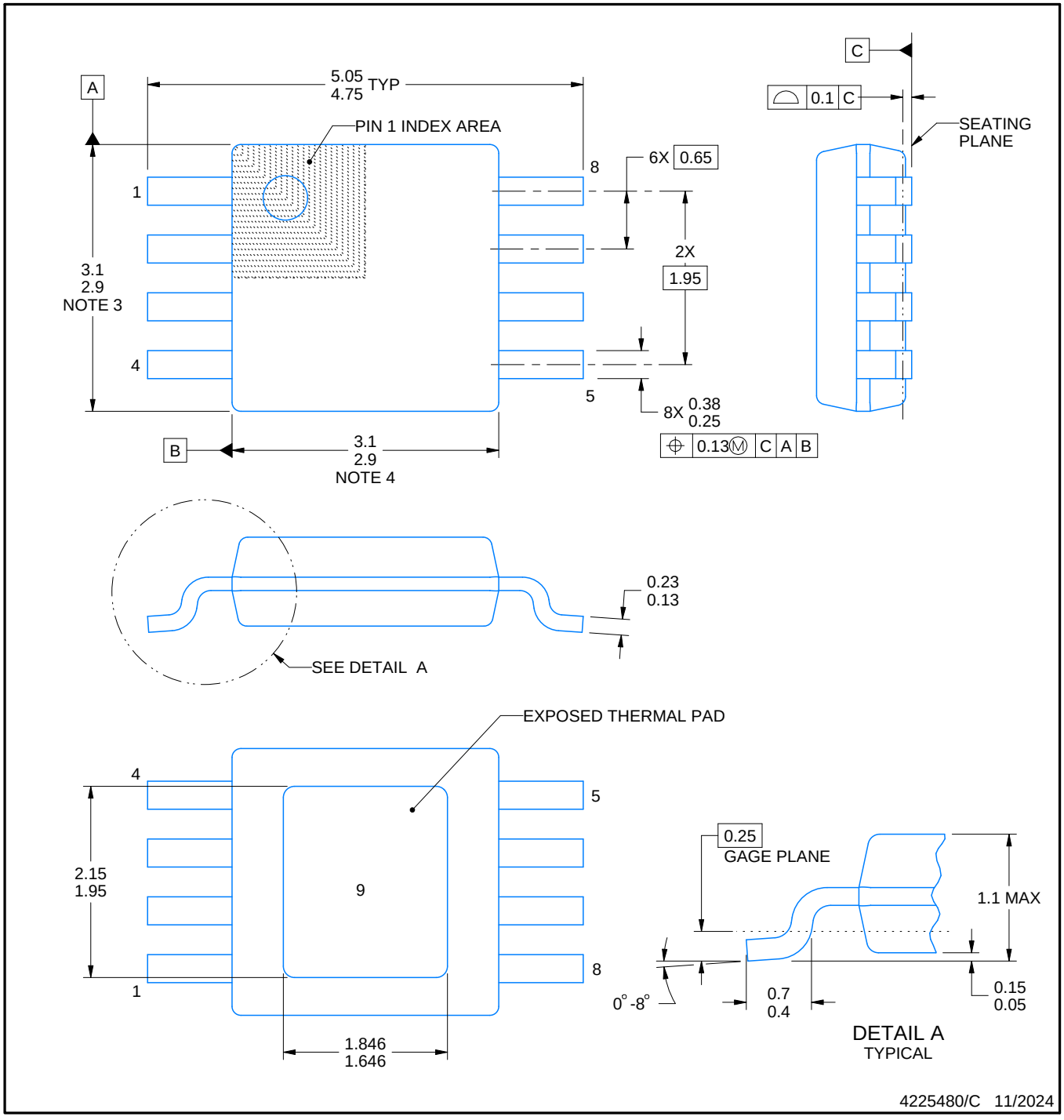
PACKAGE OUTLINE

DGN0008G



PowerPAD™ HVSSOP - 1.1 mm max height

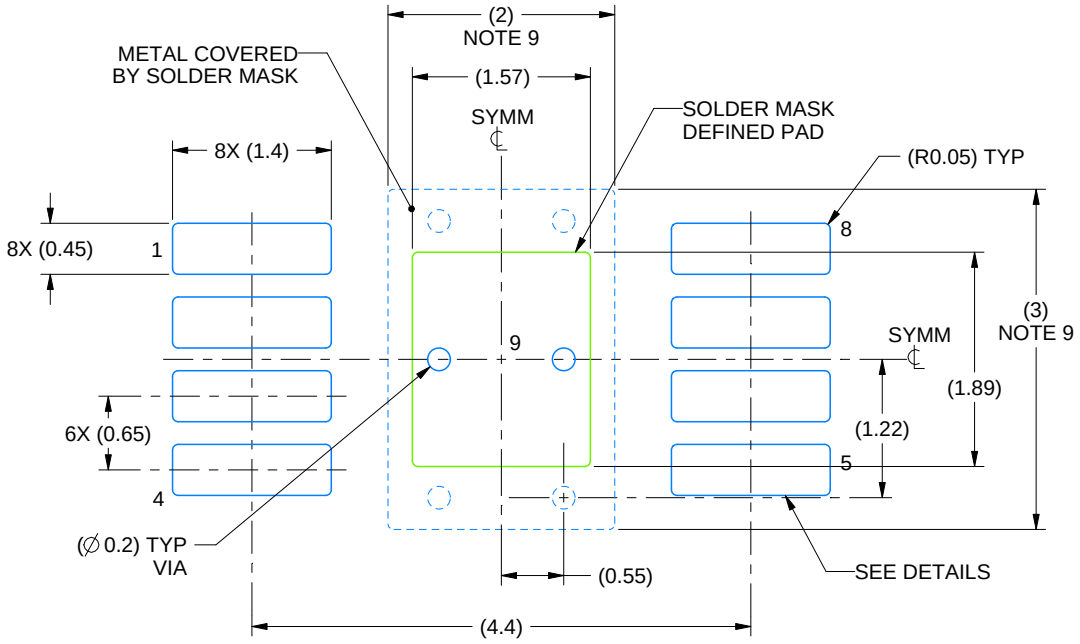
SMALL OUTLINE PACKAGE



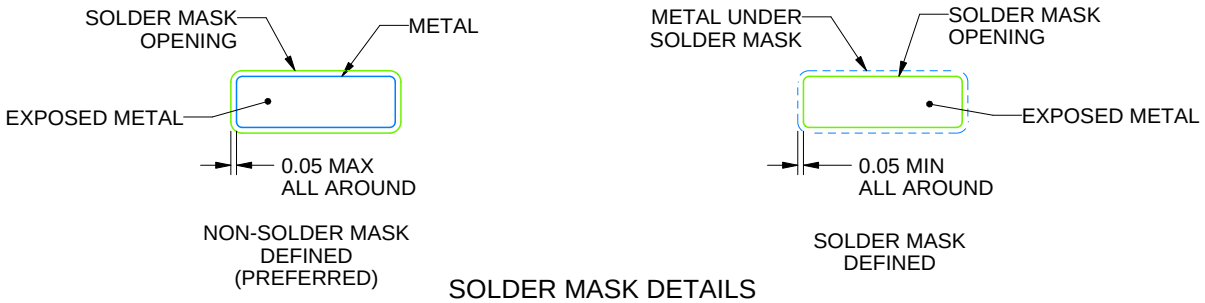
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

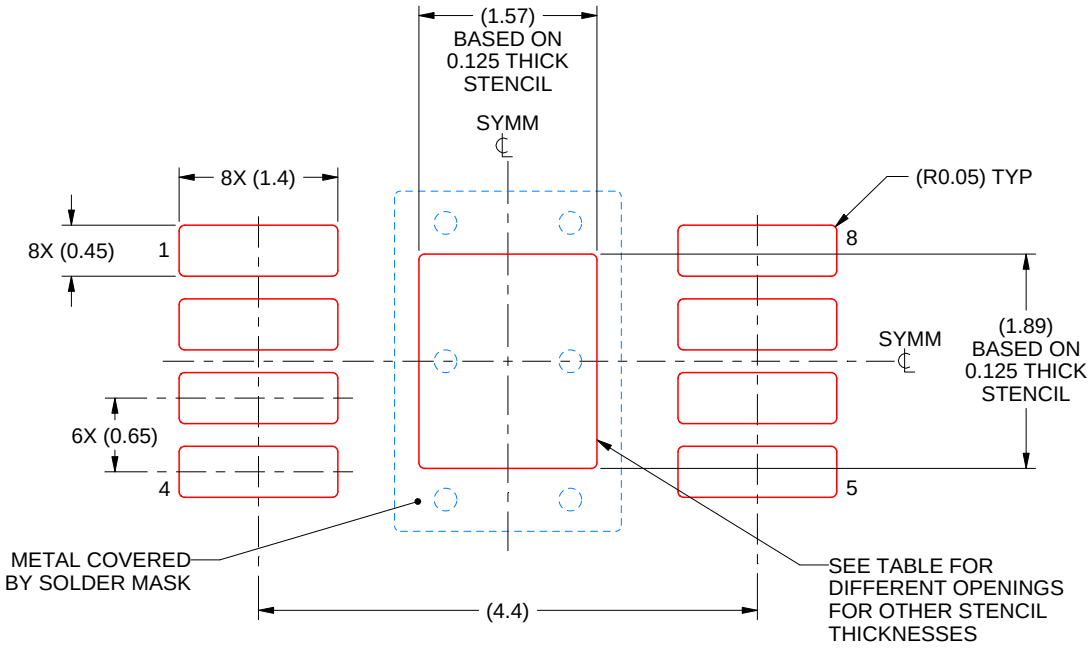


SOLDER MASK DETAILS

4225480/C 11/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

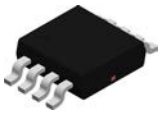
4225480/C 11/2024

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

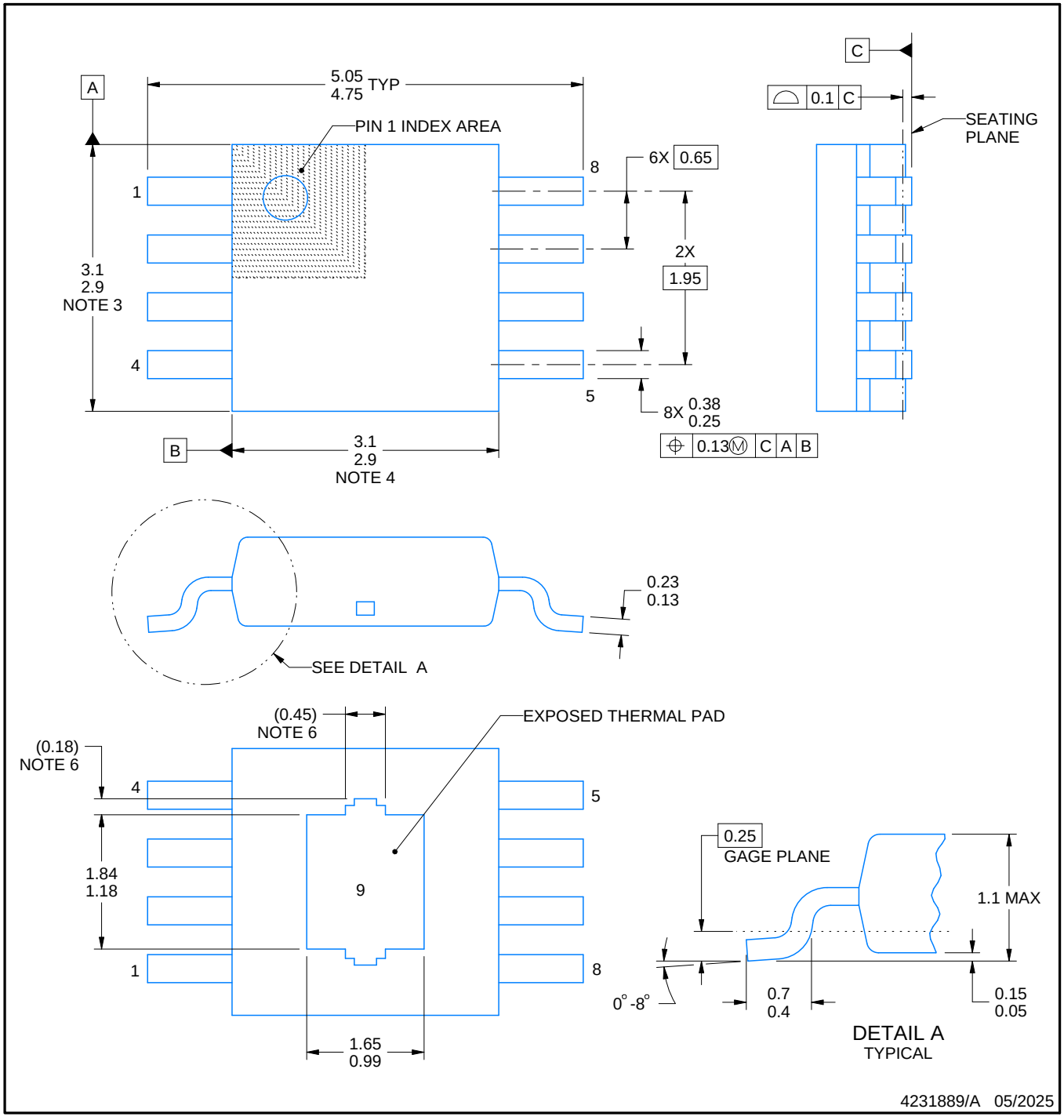
PACKAGE OUTLINE

DGN0008K



PowerPAD™ VSSOP - 1.1 mm max height

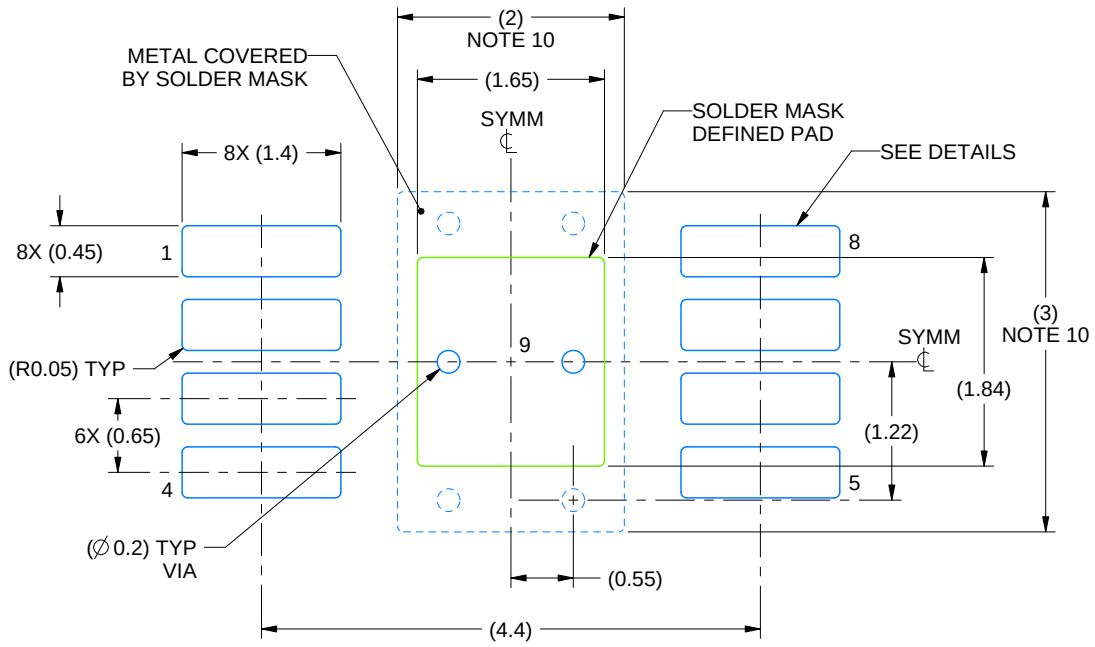
SMALL OUTLINE PACKAGE



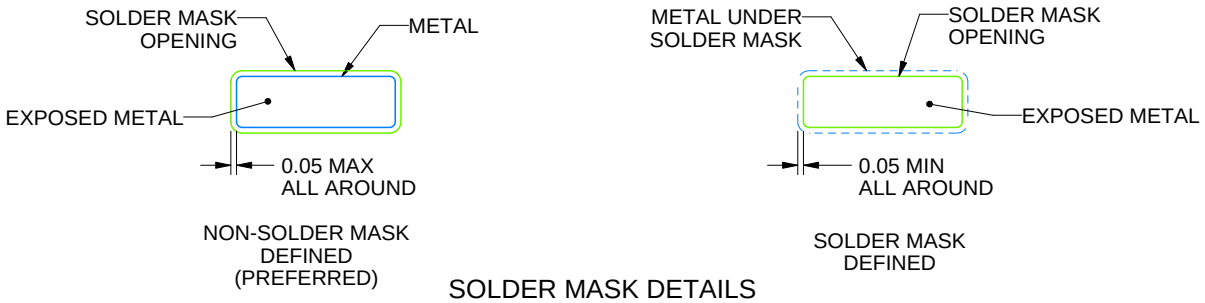
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

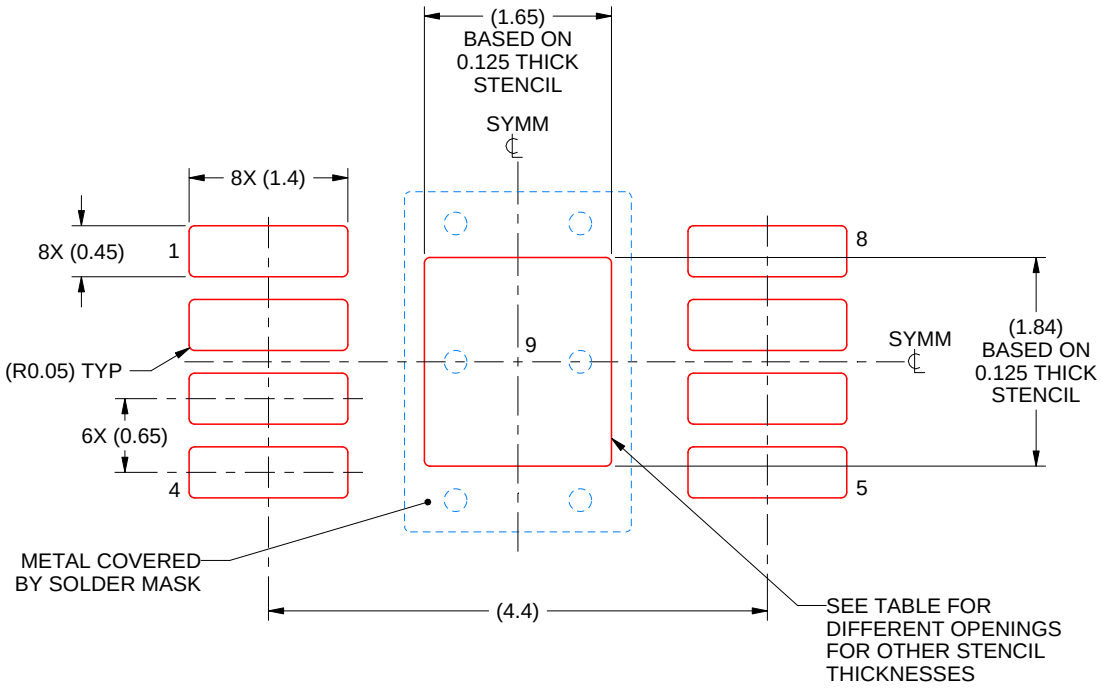


SOLDER MASK DETAILS

4231889/A 05/2025

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 2.06
0.125	1.65 X 1.84 (SHOWN)
0.15	1.51 X 1.68
0.175	1.39 X 1.56

4231889/A 05/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月