

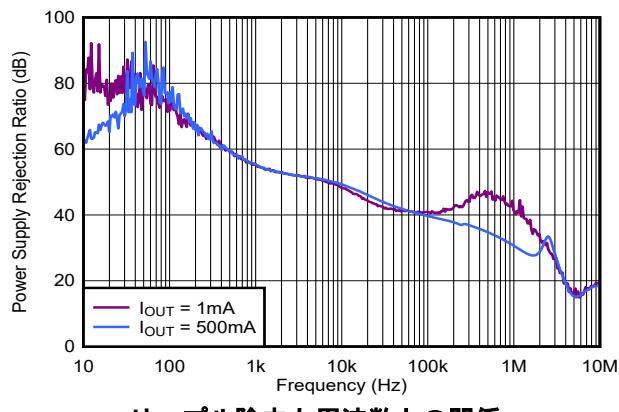
TPS79501-Q1 車載、超低ノイズ、高 PSRR、高速、RF、500mA、低ドロップアウト リニアレギュレータ

1 特長

- 車載アプリケーション用に認定済み
- イネーブル搭載、500mA 低ドロップアウトレギュレータ
- 高 PSRR (50dB、10kHz)
- 1 μ F のセラミックコンデンサで安定に動作
- 非常に優れた負荷 / ライン過渡応答
- 低ドロップアウト電圧 (全負荷時に 110mV)
- ポートフォリオの最新デバイスについては、[TPS745-Q1](#) を参照してください

2 アプリケーション

- 短距離/中距離レーダー
- 車載用カメラ
- オートモーティブ ディスプレイ
- ヘッド ユニット / デジタル コックピット



3 説明

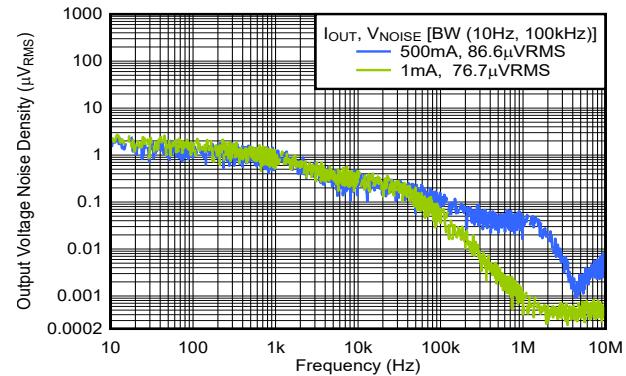
TPS79501-Q1 低ドロップアウト (LDO)、低消費電力リニア電圧レギュレータは、高い電源除去率 (PSRR)、極めて低いノイズ、高速起動、優れたラインおよび負荷の過渡応答特性を持ち、小型 SON パッケージで供給されます。このデバイスは、出力に小型の 1 μ F セラミックコンデンサを接続することで安定して動作します。TPS79501-Q1 は、低ドロップアウト電圧 (たとえば 500mA で 110mV) を提供します。高速応答に加えて高 PSRR および低ノイズといった特性は、携帯型高周波電子機器などのノイズに敏感なアナログ部品を使ったアプリケーションに最適です。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TPS79501-Q1	DRB (VSON, 8)	3.00mm × 3.00mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLVSAJ9](#)

目次

1 特長	1	7 アプリケーションと実装	18
2 アプリケーション	1	7.1 使用上の注意	18
3 説明	1	7.2 代表的なアプリケーション	18
4 ピン構成および機能	3	7.3 電源に関する推奨事項	20
5 仕様	4	7.4 レイアウト	20
5.1 絶対最大定格	4	8 デバイスおよびドキュメントのサポート	23
5.2 ESD 定格	4	8.1 デバイス サポート	23
5.3 推奨動作条件	5	8.2 ドキュメントのサポート	23
5.4 熱に関する情報	5	8.3 サポート・リソース	23
5.5 電気的特性	6	8.4 商標	23
5.6 代表的特性	7	8.5 静電気放電に関する注意事項	23
6 詳細説明	14	8.6 用語集	23
6.1 概要	14	9 改訂履歴	23
6.2 機能ブロック図	14	10 メカニカル、パッケージ、および注文情報	24
6.3 機能説明	15	10.1 付録:パッケージ・オプション	24
6.4 デバイスの機能モード	17	10.2 テープおよびリール情報	25

4 ピン構成および機能

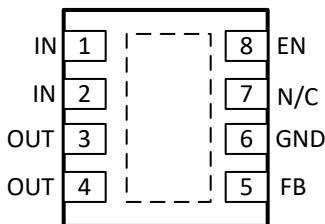


図 4-1. DRB パッケージ 8 ピン VSON (露出サーマルパッド付き) 上面図

表 4-1. ピンの機能

ピン		タイプ	説明
名称	VSON		
EN	8	入力	イネーブルピン (EN) を high にすると、レギュレータが動作します。このピンを low にすると、レギュレータはシャットダウンモードに移行します。EN を使用しない場合は、IN に接続できます。
FB	5	入力	フィードバック入力電圧。
GND	6	—	レギュレータ グランド
IN	1, 2	入力	デバイスへの入力電源。
N/C	7	—	内部接続なし
OUT	3, 4	出力	レギュレーター出力
サーマル パッド	パッド	—	サーマル パッドは大面積のグランド プレーンに接続します。サーマル パッドは内部的に GND に接続されています。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
電圧	電源、 V_{IN} (新しいチップ)	-0.3	6.5	V
	電源、 V_{IN} (従来のチップ)	-0.3	6	
	イネーブル、 V_{EN}	-0.3	$V_{IN} + 0.3$	
	出力、 V_{OUT}	-0.3	6	
電流	出力、 I_{OUT}	内部的に制限		
温度	動作時の接合部温度、 T_J	-40	150	°C
	保存、 T_{stg}	-65	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが、デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	± 2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	± 500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲超 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _{IN}	入力電源電圧 (従来のチップ)		2.7	5.5		V
	入力電源電圧 (新しいチップ)		2.7	6.0		
C _{IN}	入力コンデンサ		2.2			μF
C _{OUT}	出力コンデンサ		1 ⁽¹⁾	200		
C _{FF}	フィードフォワード コンデンサ (新しいチップ)		0	10	100	nF
I _{OUT}	出力電流		0	500		mA
V _{EN}	イネーブル電圧 (従来のチップ)		0	5.5		V
	イネーブル電圧 (新しいチップ)		0	6.0		
F _{EN}	イネーブル トグル周波数 (新しいチップ)				10	kHz
T _j	接合部温度		-40	125		°C

(1) 最小有効容量は 0.47μF です。

5.4 热に関する情報

熱評価基準 ⁽¹⁾		TPS795-Q1		単位	
		DRB (VSON)			
		8 PINS ⁽²⁾	8 PINS ⁽³⁾		
R _{θJA}	接合部から周囲への熱抵抗	47.8	54.7	°C/W	
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	83	76.1	°C/W	
R _{θJB}	接合部から基板への熱抵抗	該当なし	30.1	°C/W	
Ψ _{JT}	接合部から上面への特性パラメータ	2.1	6.6	°C/W	
Ψ _{JB}	接合部から基板への特性パラメータ	17.8	30.2	°C/W	
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	12.1	16.7	°C/W	

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

(2) 従来型チップ。

(3) 新しいチップ。

5.5 電気的特性

動作温度範囲 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(\text{nom})} + 1\text{V}$ (1)、 $I_{OUT} = 1\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$ (従来のチップのみ) です (特に記載がない限り)。標準値はすべて $T_J = 25^{\circ}\text{C}$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位	
V_{IN}	入力電圧	従来のチップ	2.7	5.5		V	
		新しいチップ	2.7	6.0			
I_{OUT}	連続出力電流		0	500	mA		
V_{FB}	内部リファレンス		1.2	1.225	1.25	V	
V_{OUT}	出力電圧範囲		1.225		5.5 V_{DO}	V	
V_{OUT}	出力精度	$0\mu\text{A} \leq I_{OUT} \leq 500\text{mA}$ 、 $V_{OUT(\text{nom})} + 1\text{V} \leq V_{IN} \leq 5.5\text{V}$ (1) (従来のチップ)	0.98 $V_{OUT(\text{nom})}$	1.02 $V_{OUT(\text{nom})}$		%	
		$0\mu\text{A} \leq I_{OUT} \leq 500\text{mA}$ 、 $V_{OUT(\text{nom})} + 1\text{V} \leq V_{IN} \leq 5.5\text{V}$ (1) (新しいチップ)	0.975 $V_{OUT(\text{nom})}$	1.02 $V_{OUT(\text{nom})}$			
$\Delta V_{OUT}/\Delta V_{IN}$	ライン レギュレーション	$V_{OUT} + 1\text{V} \leq V_{IN} \leq 5.5\text{V}$		0.05	0.12	%/V	
$\Delta V_{OUT}/\Delta I_{OUT}$	ロード レギュレーション	$0\mu\text{A} \leq I_{OUT} \leq 500\text{mA}$		3		mV	
V_{DO}	ドロップアウト電圧	$V_{IN} = V_{OUT} - 0.1\text{V}$	$I_{OUT} = 500\text{mA}$	110	170	mV	
I_{CL}	出力電流制限	$V_{OUT} = 0$ (従来のチップ)		2.4	2.8	A	
I_{CL}	出力電流制限	$V_{IN} = V_{OUT(\text{nom})} + 1.25\text{V}$ または 2.0V (いずれか大きい方)、 $V_{OUT} = 0.9x V_{OUT(\text{nom})}$ (新しいチップのみ)		1.04	1.65	A	
I_{SC}	回路短絡時の電流制限	$V_{OUT} = 0$ (新しいチップのみ)		550		mA	
I_{GND}	グランド電流	$0\mu\text{A} \leq I_{OUT} \leq 500\text{mA}$ (従来のチップ)		265	385	μA	
I_{GND}	グランド電流	$0\mu\text{A} \leq I_{OUT} \leq 500\text{mA}$ (新しいチップ)		500	900	μA	
I_{SHDN}	シャットダウン電流	$V_{EN} = 0\text{V}$ 、 $2.7\text{V} \leq V_{IN} \leq 5.5\text{V}$		0.07	1	μA	
I_{FB}	フィードバック ピンの電流	$V_{FB} = 1.225\text{V}$			1	μA	
PSRR	電源除去比	$f = 100\text{ Hz}$ 、 $I_{OUT} = 10\text{mA}$ (従来のチップ)		59		dB	
		$f = 100\text{ Hz}$ 、 $I_{OUT} = 10\text{mA}$ (新しいチップ)		64			
		$f = 100\text{ Hz}$ 、 $I_{OUT} = 500\text{mA}$ (従来のチップ)		58			
		$f = 100\text{ Hz}$ 、 $I_{OUT} = 500\text{mA}$ (新しいチップ)					
		$f = 10\text{ kHz}$ 、 $I_{OUT} = 500\text{mA}$ (従来のチップ)		50			
		$f = 10\text{ kHz}$ 、 $I_{OUT} = 500\text{mA}$ (新しいチップ)					
		$f = 100\text{ kHz}$ 、 $I_{OUT} = 500\text{mA}$ (従来のチップ)		39			
		$f = 100\text{ kHz}$ 、 $I_{OUT} = 500\text{mA}$ (新しいチップ)					
V_n	出力ノイズ電圧	$BW = 100\text{Hz} \sim 100\text{kHz}$ 、 $I_{OUT} = 500\text{mA}$	$C_{NR} = 0.001\mu\text{F}$	46		μV_{RMS}	
			$C_{NR} = 0.0047\mu\text{F}$	41			
			$C_{NR} = 0.01\mu\text{F}$	35			
			$C_{NR} = 0.1\mu\text{F}$	33			
			新しいチップ	78			
		$R_L = 6\Omega$ 、 $C_{OUT} = 1\mu\text{F}$	$C_{NR} = 0.001\mu\text{F}$	50		μs	
t_{str}	スタートアップ時間		$C_{NR} = 0.0047\mu\text{F}$	75			
			$C_{NR} = 0.01\mu\text{F}$	110			
			新しいチップ	550			
I_{EN}	イネーブル ピンの電流	$V_{EN} = 0\text{V}$		-1	1	μA	
$R_{PULLDOWN}$	プルダウン抵抗	$V_{IN} = 3.3\text{V}$ (新しいチップのみ)		100		Ω	
V_{UVLO}	UVLO スレッショルド	V_{IN} 立ち上がり (従来のチップ)		2.25	2.65	V	
		V_{IN} 立ち上がり (新しいチップ)		1.28	1.62		
$V_{UVLO(HYST)}$	UVLO ヒステリシス	V_{IN} ヒステリシス (従来のチップ)		100		mV	
		V_{IN} ヒステリシス (新しいチップ)		130			

5.5 電気的特性 (続き)

動作温度範囲 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(\text{nom})} + 1\text{V}$ (1)、 $I_{OUT} = 1\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$ (従来のチップのみ)です(特に記載がない限り)。標準値はすべて $T_J = 25^{\circ}\text{C}$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{EN(HI)}$	High レベルのイネーブル入力電圧	$2.7\text{V}^{(1)} \leq V_{IN} \leq 5.5\text{V}$ (従来のチップ)	1.7	V_{IN}		V
		$2.7\text{V}^{(1)} \leq V_{IN} \leq 5.5\text{V}$ (新しいチップ)	0.85	V_{IN}		
$V_{EN(LOW)}$	Low レベルのイネーブル入力電圧	$2.7\text{V}^{(1)} \leq V_{IN} \leq 5.5\text{V}$ (従来のチップ)			0.7	V
		$2.7\text{V}^{(1)} \leq V_{IN} \leq 5.5\text{V}$ (新しいチップ)			0.425	

(1) 最小 $V_{IN} = V_{OUT} + 1\text{V}$ または 2.7V のいずれか大きい方。でテストされます

5.6 代表的特性

$V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(\text{nom})} + 1\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$ 、 $C_{IN} = 2.2\mu\text{F}$ 、 $T_J = 25^{\circ}\text{C}$ (特に記述のない限り)

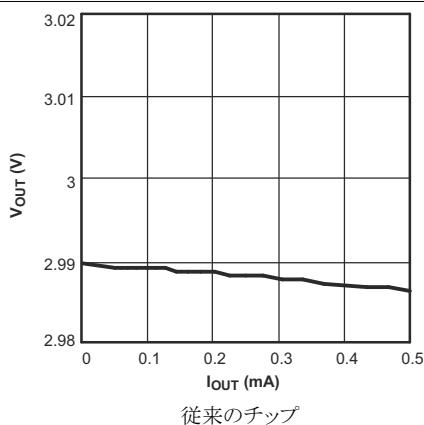


図 5-1. TPS795-Q1 出力電圧と出力電流との関係

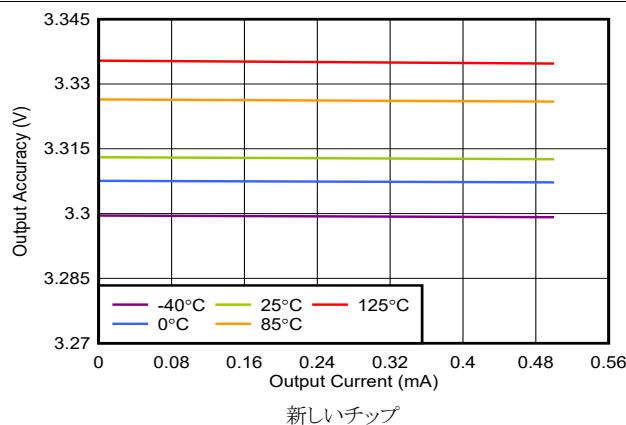


図 5-2. TPS795-Q1 出力電圧と出力電流との関係

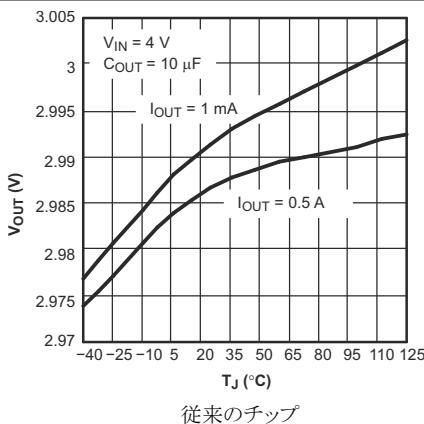


図 5-3. TPS795-Q1 出力電圧と接合部温度との関係

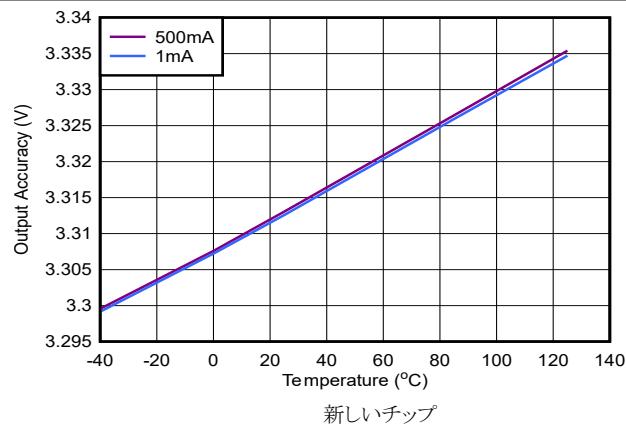
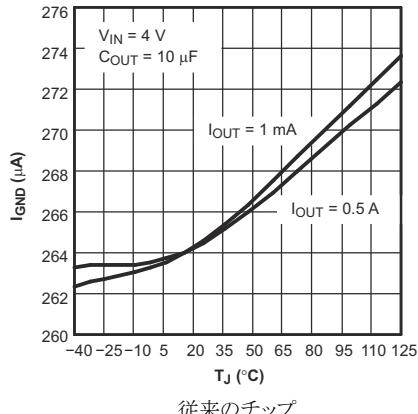


図 5-4. TPS795-Q1 出力電圧と接合部温度との関係

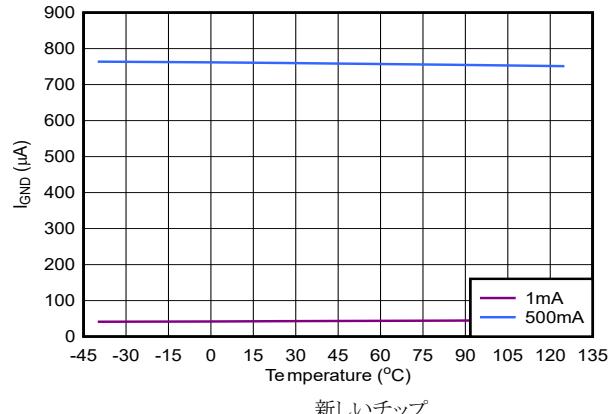
5.6 代表的特性 (続き)

$V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(nom)} + 1V$ 、 $I_{OUT} = 1mA$ 、 $C_{OUT} = 10\mu F$ 、 $C_{NR} = 0.01\mu F$ 、 $C_{IN} = 2.2\mu F$ 、 $T_J = 25^{\circ}C$ (特に記述のない限り)



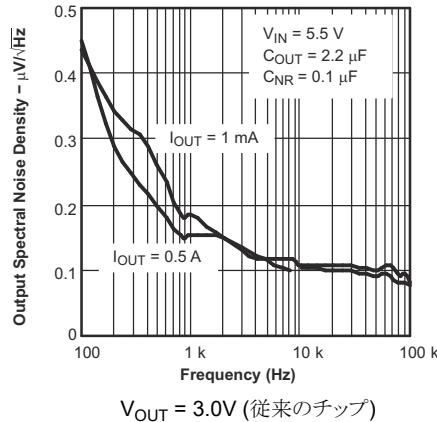
従来のチップ

図 5-5. TPS795-Q1 グランド電流と接合部温度との関係



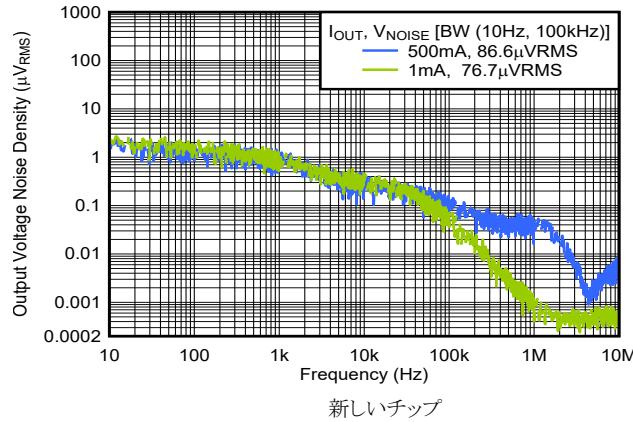
新しいチップ

図 5-6. TPS795-Q1 グランド電流と接合部温度との関係



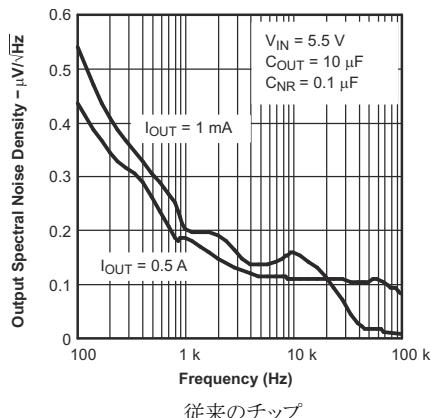
$V_{OUT} = 3.0V$ (従来のチップ)

図 5-7. TPS795-Q1 出力スペクトルノイズ密度と周波数との関係



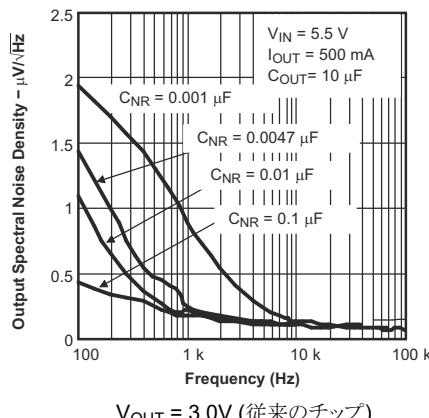
新しいチップ

図 5-8. TPS795-Q1 出力スペクトルノイズ密度と周波数との関係



従来のチップ

図 5-9. TPS795-Q1 出力スペクトルノイズ密度と周波数との関係



$V_{OUT} = 3.0V$ (従来のチップ)

図 5-10. TPS795-Q1 出力スペクトルノイズ密度と周波数との関係

5.6 代表的特性 (続き)

$V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(nom)} + 1V$ 、 $I_{OUT} = 1mA$ 、 $C_{OUT} = 10\mu F$ 、 $C_{NR} = 0.01\mu F$ 、 $C_{IN} = 2.2\mu F$ 、 $T_J = 25^{\circ}C$ (特に記述のない限り)

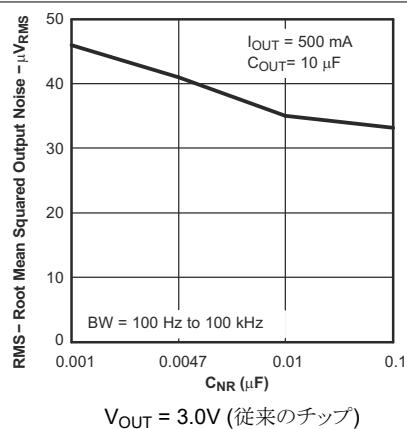


図 5-11. TPS795-Q1 実効値出力ノイズ対 C_{NR}

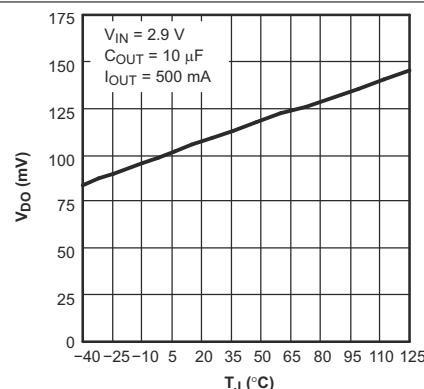


図 5-12. TPS795-Q1 ドロップアウト電圧と接合部温度との関係

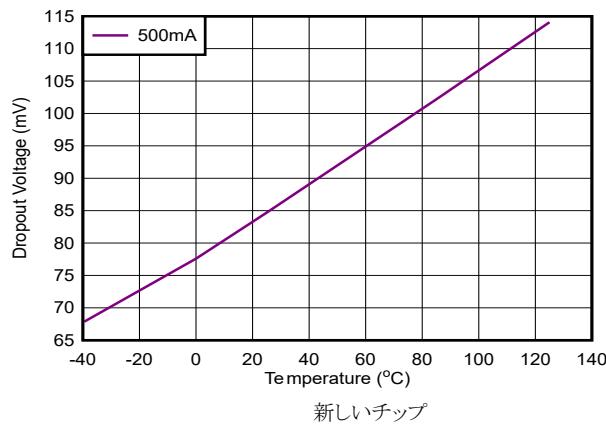


図 5-13. TPS795-Q1 ドロップアウト電圧と接合部温度との関係

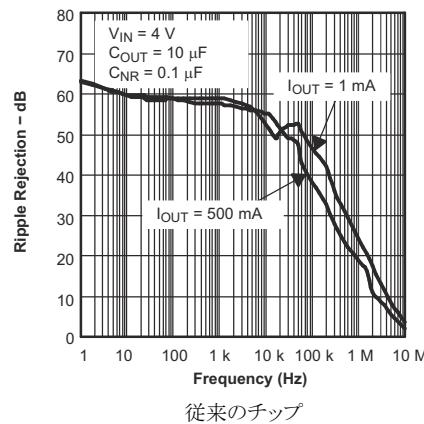


図 5-14. TPS795-Q1 リップル除去と電流との関係

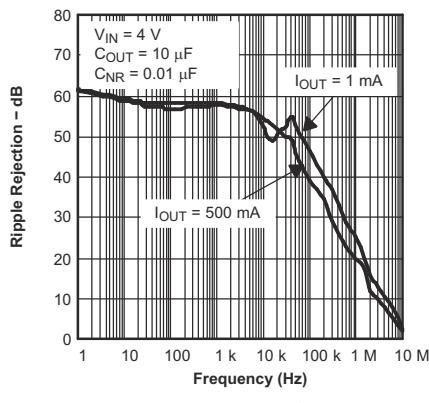


図 5-15. TPS795-Q1 リップル除去と電流との関係

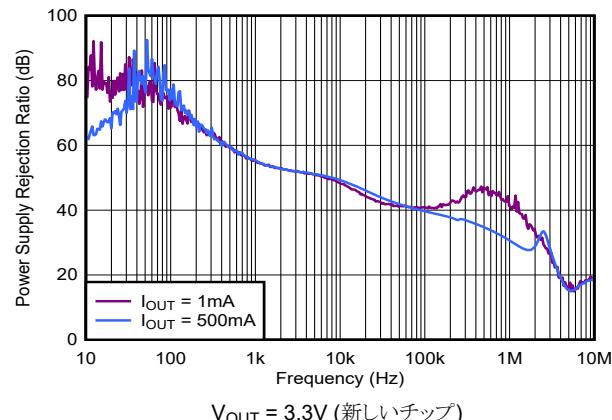


図 5-16. TPS795-Q1 リップル除去と電流との関係

5.6 代表的特性 (続き)

$V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(nom)} + 1V$ 、 $I_{OUT} = 1mA$ 、 $C_{OUT} = 10\mu F$ 、 $C_{NR} = 0.01\mu F$ 、 $C_{IN} = 2.2\mu F$ 、 $T_J = 25^\circ C$ (特に記述のない限り)

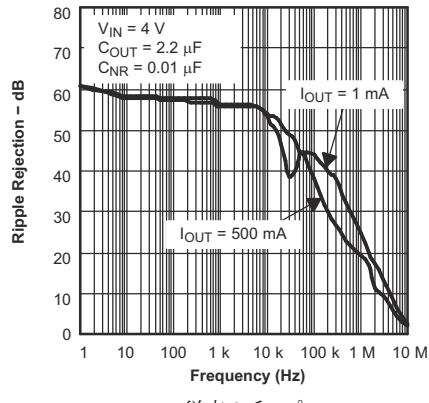


図 5-17. TPS795-Q1 リップル除去と電流との関係

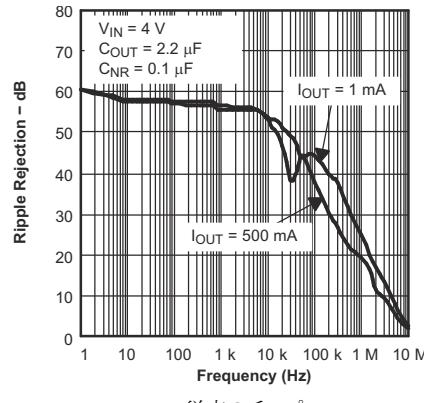


図 5-18. TPS795-Q1 リップル除去と電流との関係

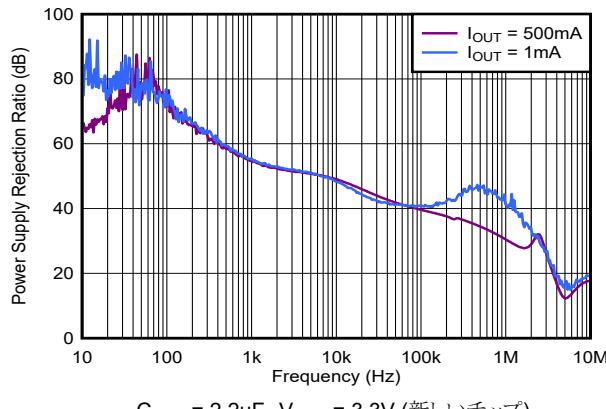


図 5-19. TPS795-Q1 リップル除去と電流との関係

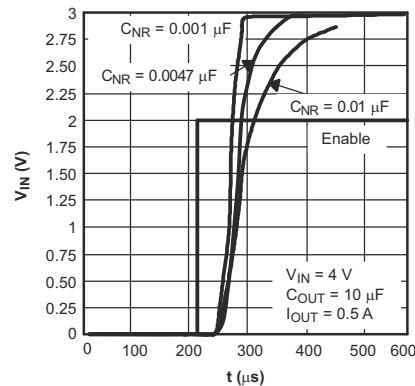


図 5-20. TPS795-Q1 スタートアップ時間

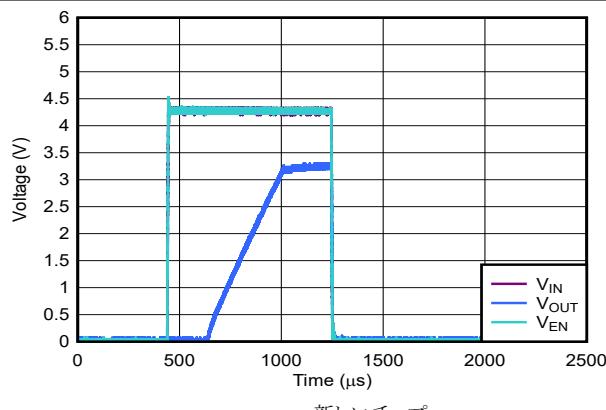


図 5-21. TPS795-Q1 スタートアップ時間

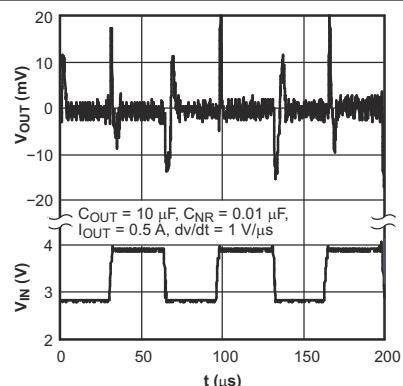


図 5-22. TPS795-Q1 のライン過渡応答

5.6 代表的特性 (続き)

$V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(nom)} + 1V$ 、 $I_{OUT} = 1mA$ 、 $C_{OUT} = 10\mu F$ 、 $C_{NR} = 0.01\mu F$ 、 $C_{IN} = 2.2\mu F$ 、 $T_J = 25^\circ C$ (特に記述のない限り)

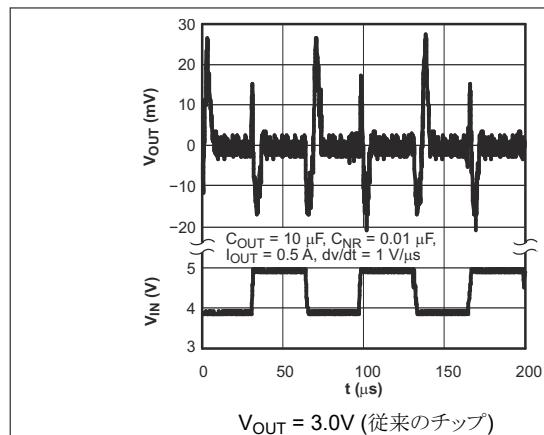


図 5-23. TPS795-Q1 のライン過渡応答

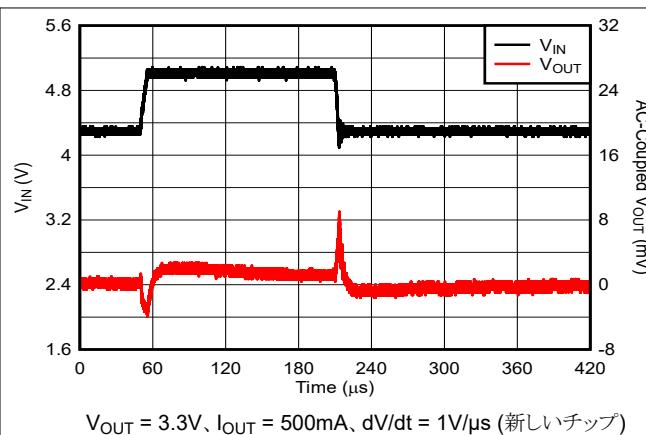


図 5-24. TPS795-Q1 のライン過渡応答

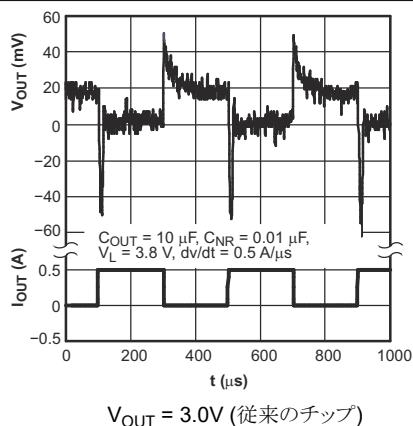


図 5-25. TPS795-Q1 の負荷過渡応答

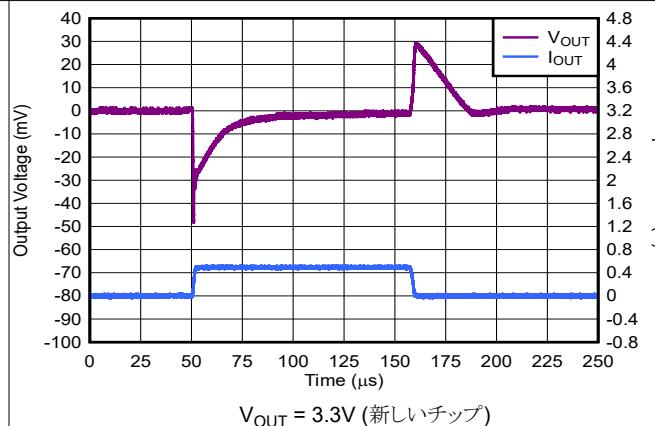


図 5-26. TPS795-Q1 の負荷過渡応答

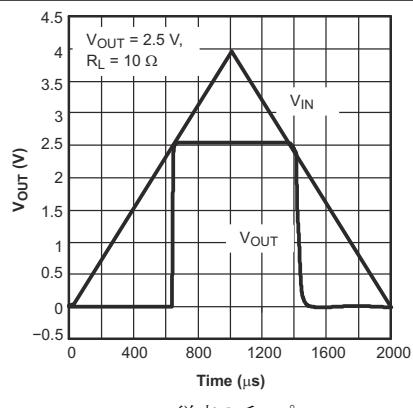


図 5-27. TPS795-Q1 パワーアップおよびパワーダウン

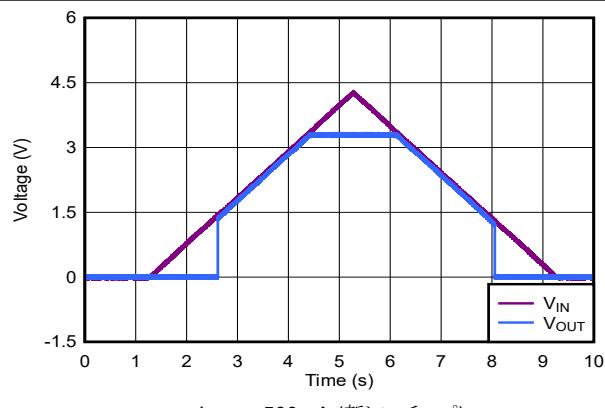


図 5-28. TPS795-Q1 パワーアップおよびパワーダウン

5.6 代表的特性 (続き)

$V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(nom)} + 1V$ 、 $I_{OUT} = 1mA$ 、 $C_{OUT} = 10\mu F$ 、 $C_{NR} = 0.01\mu F$ 、 $C_{IN} = 2.2\mu F$ 、 $T_J = 25^{\circ}C$ (特に記述のない限り)

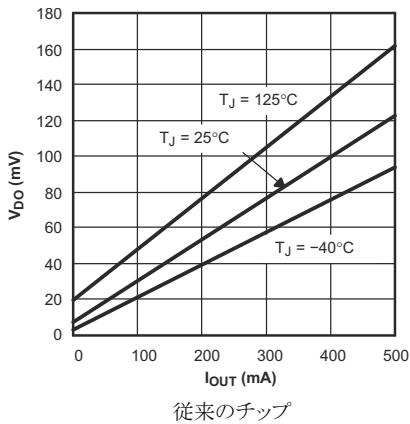


図 5-29. TPS795-Q1 ドロップアウト電圧と出力電流との関係

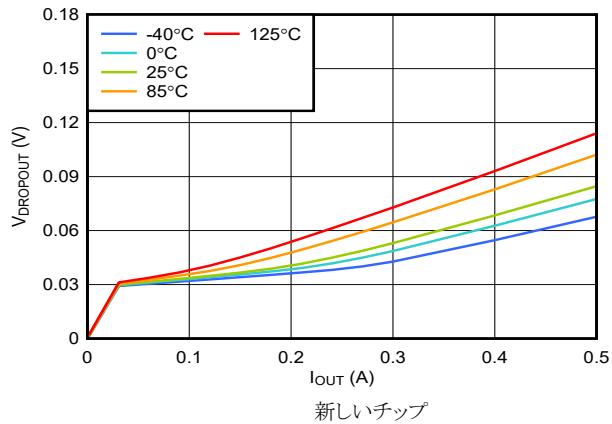


図 5-30. TPS795-Q1 ドロップアウト電圧と出力電流との関係

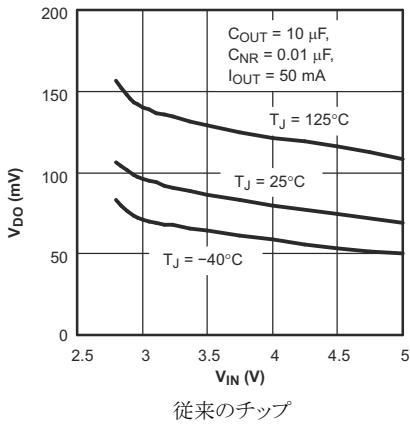


図 5-31. TPS795-Q1 ドロップアウト電圧対入力電圧

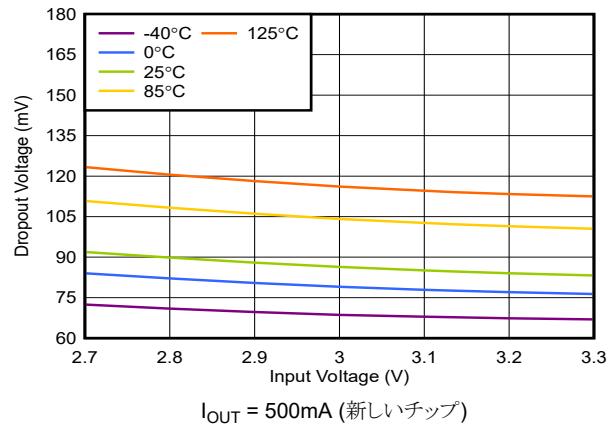


図 5-32. TPS795-Q1 ドロップアウト電圧対入力電圧

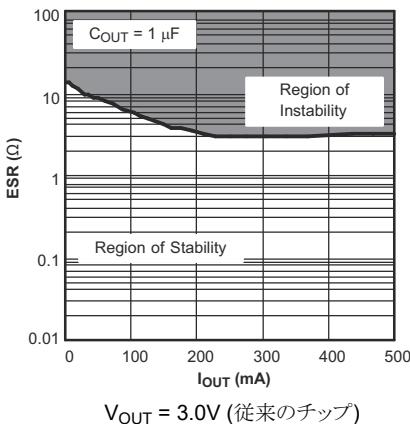


図 5-33. TPS795-Q1 標準安定動作領域等価直列抵抗 (ESR) と出力電流との関係

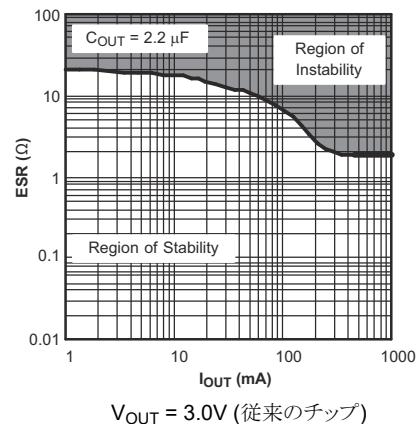


図 5-34. TPS795-Q1 標準安定動作領域等価直列抵抗 (ESR) と出力電流との関係

5.6 代表的特性 (続き)

$V_{EN} = V_{IN}$ 、 $V_{IN} = V_{OUT(nom)} + 1V$ 、 $I_{OUT} = 1mA$ 、 $C_{OUT} = 10\mu F$ 、 $C_{NR} = 0.01\mu F$ 、 $C_{IN} = 2.2\mu F$ 、 $T_J = 25^\circ C$ (特に記述のない限り)

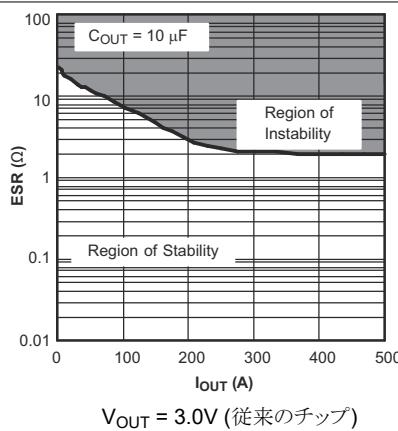


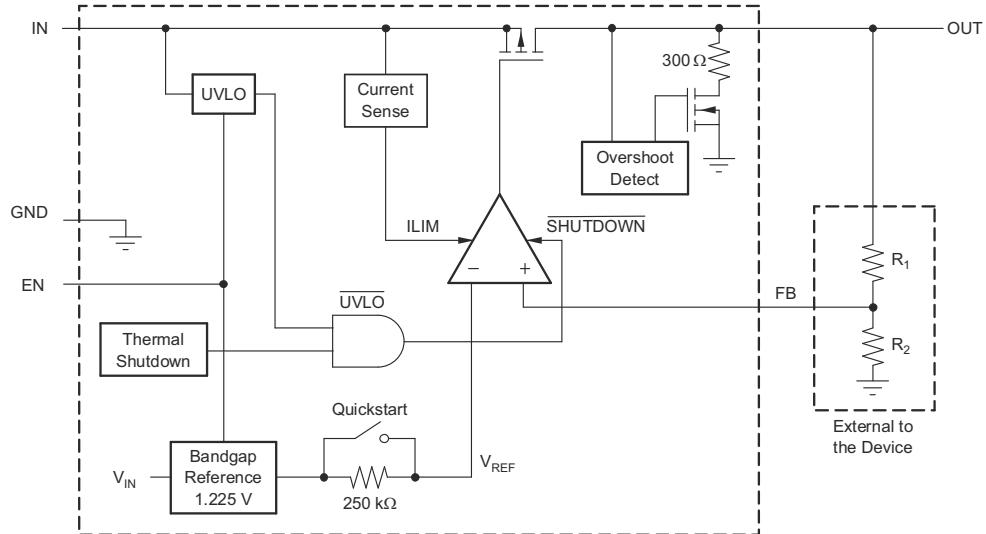
図 5-35. TPS795-Q1 標準安定動作領域等価直列抵抗 (ESR) と出力電流との関係

6 詳細説明

6.1 概要

TPS79501-Q1 低ドロップアウト (LDO) レギュレータは、ノイズに敏感な機器での使用に最適化されています。このレギュレータは、電流制限保護、出力イネーブル、アクティブ ディスチャージ、低電圧ロックアウト (UVLO)、熱保護を備えています。

6.2 機能ブロック図



可変バージョン

図 6-1. 機能ブロック図 (従来のチップ)

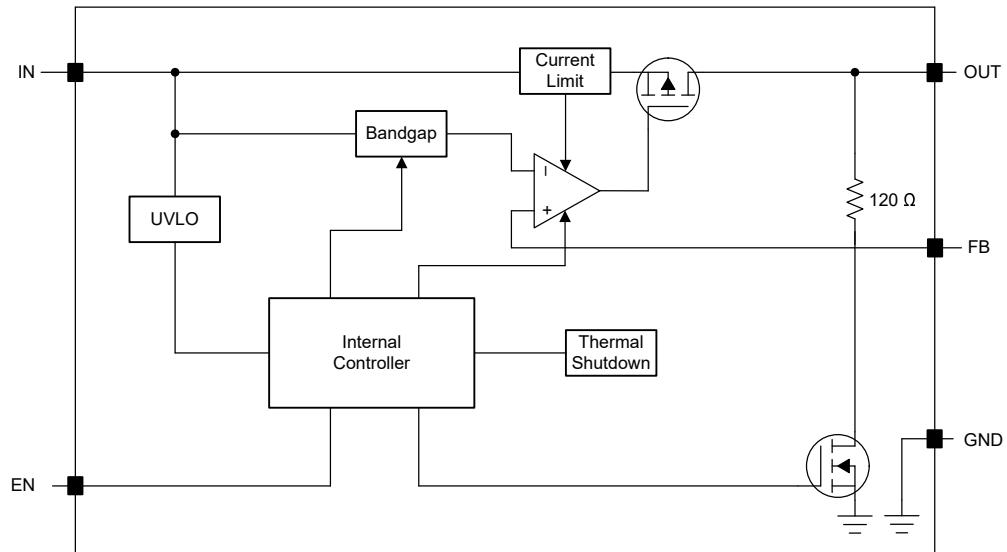


図 6-2. 機能ブロック図 (新しいチップ)

6.3 機能説明

6.3.1 シャットダウン

イネーブルピン (EN) はアクティブ High であり、標準および低電圧 TTL-CMOS レベルに対応しています。シャットダウン機能が不要な場合は、EN ピンを IN に接続します。

6.3.2 低電圧誤動作防止 (UVLO)

TPS79501-Q1 は、内部回路が正常に動作するまで出力をオフに維持するため、低電圧誤動作防止回路を使用しています。UVLO 回路には約 100mV のヒステリシスがあり、レギュレータ起動時の入力電圧低下を抑制します。

6.3.3 レギュレータ保護

TPS79501-Q1 の PMOS パストランジスタにはバックダイオードが組み込まれており、入力電圧が出力電圧を下回ったとき (たとえばパワーダウン時) に逆電流を伝導します。電流は出力から入力へ伝導され、内部で制限されません。長時間の逆電圧動作が予想される場合は、外部的な制限回路を使用することが適切となる場合があります。

通常動作時、TPS79501-Q1 (従来チップ) は出力電流を約 2.8A に制限します。電流制限が作動すると、出力電圧は過電流状態が終了するまで直線的に戻ります。電流制限はデバイス全体の故障を防止するように設計されていますが、パッケージの消費電力定格を超えないように注意する必要があります。

新しいチップの場合、デバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡発生時にレギュレータを保護します。電流制限は、ブリックウォール フォールドバック方式です。フォールドバック電圧 ($V_{FOLDBACK}$) では、電流制限はブリックウォール方式からフォールドバック方式に遷移します。出力電圧が $V_{FOLDBACK}$ を上回った際の高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。電圧が $V_{FOLDBACK}$ を下回ると、フォールドバック電流制限が有効になり、出力電圧が GND に近付くと電流を小さくします。出力が短絡したとき、デバイスは短絡電流制限 (I_{SC}) と呼ばれる標準的な電流を供給します。 I_{CL} と I_{SC} は、「電気的特性」表に記載されています。

このデバイスでは、 $V_{FOLDBACK} = 0.4 \times V_{OUT(NOM)}$ です。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パストランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ を消費します。デバイスの出力が短絡され、出力が $V_{FOLDBACK}$ を下回ると、パストランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{SC}]$ を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、「[制限の把握](#)」アプリケーションノートを参照してください。

図 6-3 は、フォールドバック電流制限の図を示しています。

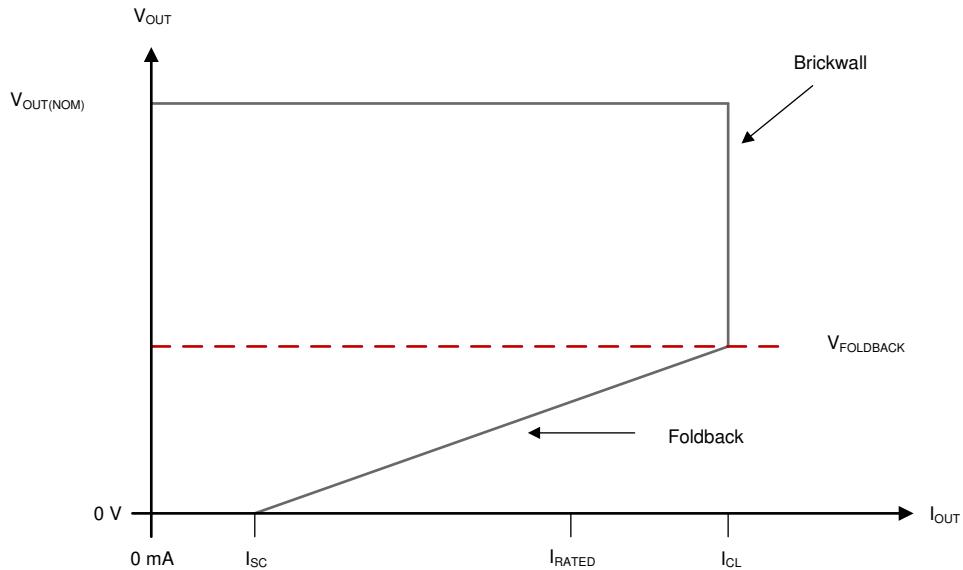


図 6-3. フォールドバック電流制限

6.3.4 サーマルシャットダウン

デバイスには、パストランジスタの接合部温度 (T_J) が $T_{SD(shutdown)}$ (標準値) まで上昇したときにデバイスを無効化するサーマルシャットダウン保護回路が内蔵されています。サーマルシャットダウンヒステリシスにより、温度が $T_{SD(reset)}$ (標準値) まで低下するとデバイスがリセットされる(オンになります)ことを確認します。

半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマルシャットダウンに達した場合に本デバイスはサイクルのオンとオフを行うことができます。起動時の消費電力は、デバイス両端での大きな V_{IN} と V_{OUT} 間の電圧降下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマルシャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を「推奨動作条件」の表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は全体的な熱条件から保護するように設計されていますが、この回路は適切なヒートシンクの代わりとなるものではありません。デバイスをサーマルシャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

6.4 デバイスの機能モード

通常モード、ドロップアウト モード、ディセーブル モードの各動作間の簡単な比較を [デバイスの機能モードの比較](#) に示します。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ			
	V_{IN}	EN	I_{OUT}	T_J
正常	$V_{IN} > V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{CL}$	$T_J < T_{sd}$
ドロップアウト	$V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{CL}$	$T_J < T_{sd}$
無効	—	$V_{EN} < V_{EN(LO)}$	—	$T_J > T_{sd}$

6.4.1 通常動作

デバイスは、以下の条件下で公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の合計 ($V_{OUT(nom)} + V_{DO}$) よりも大きくなります。
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えており、まだイネーブル立ち下がりスレッショルド電圧を下回っていません。
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)。
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{sd}$)。

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、パストランジスタがリニア領域内にあり、LDO によって電流の制御を行わないとため、デバイスの過渡性能が大きく低下します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生することがあります。

6.4.3 無効

このデバイスは次の条件で無効になります:

- イネーブル電圧がイネーブル立ち下がりスレッショルドよりも低い、またはイネーブル立ち上がりスレッショルド電圧を超えていない。
- デバイスの接合部温度がサーマル シャットダウンの温度を上回っている ($T_J > T_{sd}$)。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TPS79501-Q1 LDO は、ノイズに敏感な用途向けに最適化されています。このデバイスは、極めて低いドロップアウト電圧、高い PSRR、低い出力ノイズ、低い待機電流を特長とし、レギュレータがオフ時に供給電流を削減するためのインペル入力を備えています。

7.2 代表的なアプリケーション

代表的なアプリケーション回路を [図 7-1](#) に示します。

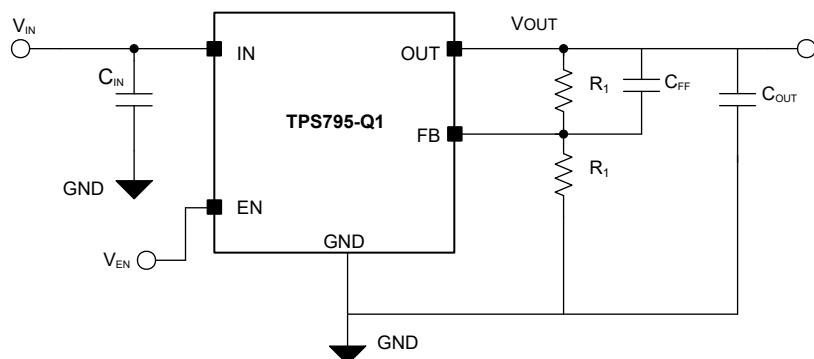


図 7-1. 代表的なアプリケーション回路

注

フィードフォワード コンデンサ (C_{FF}) はオプション

7.2.1 設計要件

[設計パラメータ](#) は、設計要件をまとめたものです。

表 7-1. 設計パラメータ

パラメータ	設計要件
入力電圧	3.3V
出力電圧	2.5V
最大出力電流	500mA

7.2.2 詳細な設計手順

7.2.2.1 入出力コンデンサの要件

TPS79501-Q1 の従来のチップは入力コンデンサを必要としませんが、優れたアナログ設計の実践として、リアクティブな入力ソースに対抗するために、レギュレータの入力付近に $0.1\mu\text{F} \sim 2.2\mu\text{F}$ のコンデンサを配置することが推奨されます。立ち上がり時間の短い過大な負荷過渡事象が予想される場合、およびデバイスが電源から数インチの場所に配置される場合は、より大容量の入力コンデンサが必要になる可能性があります。

すべての低ドロップアウトレギュレータと同様、TPS79501-Q1 では、内部制御ループを安定させるため、OUT と GND との間に output コンデンサを接続する必要があります。推奨される最小デカップリング容量は $1\mu\text{F}$ です。 $1\mu\text{F}$ 以上のセラミックコンデンサが適しています。

7.2.2.2 負荷過渡応答

負荷ステップ過渡応答とは、LDO の出力電圧が負荷電流の変動に対してどのように応答し、出力電圧のレギュレーションを維持するかを示すものです。負荷過渡応答中には、軽負荷から重負荷への遷移、および重負荷から軽負荷への遷移の 2 つの重要な遷移があります。負荷過渡波形に示す領域は、以下のように分類されます。A、E、H の各領域で、出力電圧が定常状態にあることを示しています。

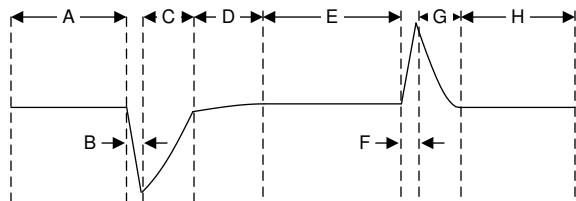


図 7-2. 負荷過渡波形

軽負荷から重負荷への遷移中の動作:

- 初期の電圧降下は、出力コンデンサの電荷の消耗および出力コンデンサまでの寄生インピーダンスによって生じるものです (領域 B)
- 電圧降下からの回復は、LDO が供給電流を増加させることによって起こり、出力電圧のレギュレーションへつながります (領域 C)
- 初期の電圧上昇は、LDO が大きな電流を供給することによって生じ、その結果、出力コンデンサの電荷が増加します (領域 F)
- 電圧上昇からの回復は、LDO が供給電流を減少させることと、負荷が出力コンデンサを放電することによって生じます (領域 G)

出力容量が大きいと、負荷過渡時のピークは小さくなりますが、デバイスの応答時間は遅くなります。DC 負荷が大きくなることでもピークは小さくなります。これは、遷移の振幅が小さくなり、出力コンデンサに対してより大きな電流の放電経路が確保されるためです。

7.2.2.3 TPS79501-Q1 可変 LDO レギュレータのプログラミング

TPS79501-Q1 可変レギュレータの出力電圧は、外付け抵抗分圧器を使用してプログラムします出力電圧は式 1 を使用して計算します:

$$V_{\text{OUT}} = V_{\text{REF}} \times \left(1 + \frac{R_1}{R_2} \right) \quad (1)$$

ここで

- $V_{\text{REF}} = 1.2246\text{V}$ (代表値、内部リファレンス電圧)

抵抗 R_1 および R_2 は、約 $40\mu\text{A}$ の分圧電流となるように選定する必要があります。値の低い抵抗を使用するとノイズ特性が改善されますが、デバイスではより多くの電力が消費されます。FB のリーク電流により出力電圧誤差が増加するため、これより大きな値は避ける必要があります。

推奨される設計手順は、を使用して以下の値を選択することです式 2:

分圧器の電流を $40\mu\text{A}$ に設定するための $R_2 = 30.1\text{k}\Omega$

安定性のため $C_1 = 15\text{pF}$ 。次に、 R_1 を計算します

$$R_1 = \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \times R_2 \quad (2)$$

可変バージョンの安定性を向上させるため、OUT と FB 間に小容量の補償コンデンサを配置します。

このコンデンサの概算値は 式 3 の式で計算できます：

$$C_1 = \frac{(3 \times 10^{-7}) \times (R_1 + R_2)}{(R_1 \times R_2)} \quad (3)$$

このコンデンサを使用しない場合 (ユニティゲイン構成の場合など)、推奨される最小出力コンデンサは $1\mu\text{F}$ ではなく $2.2\mu\text{F}$ です。

7.2.3 アプリケーション曲線

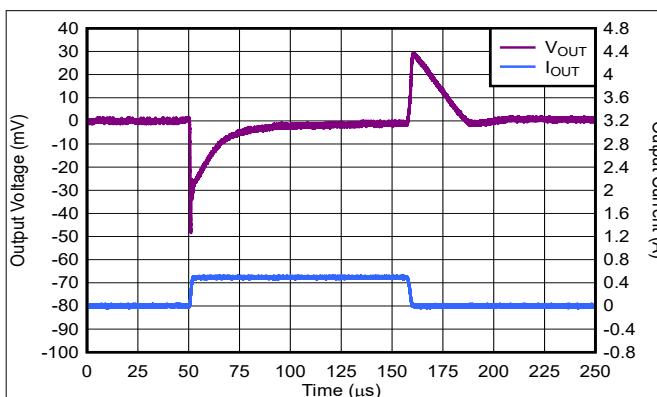


図 7-3. TPS795 の負荷過渡

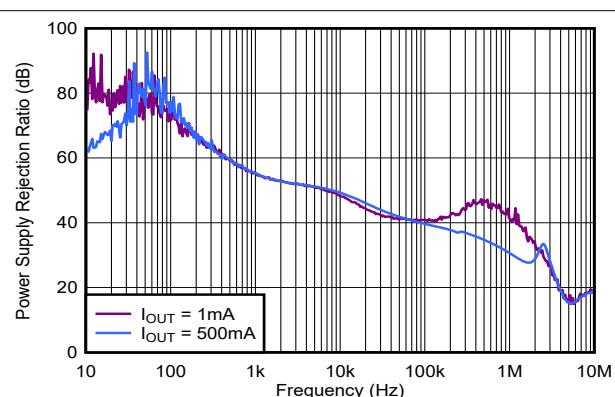


図 7-4. TPS795 リップル除去と電流との関係

7.3 電源に関する推奨事項

TPS79501-Q1 は、 $2.7\text{V} \sim 5.5\text{V}$ の入力電源電圧範囲で動作するように設計されています。この入力電圧範囲により、デバイスがレギュレートされた出力を供給するための十分なヘッドルームが得られます。この入力電源は適切にレギュレートされ、安定しています。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

7.4.1.1 PSRR およびノイズ性能向上のための推奨基板レイアウト

PSRR、出力ノイズ、過渡応答などの ac 測定を向上させるために、基板設計では V_{IN} と V_{OUT} に別々のグランドプレーンを設け、各グランドプレーンをデバイスのグランドピンのみで接続することをお勧めします。さらに、バイパスコンデンサのグランド接続部はデバイスのグラウンドピンに直接接続する必要があります。

7.4.1.2 熱に関する情報

7.4.1.2.1 消費電力

デバイスの消費電力を把握し、タブやパッドに接続されたサーマルプレーンを適切に設計することは、サーマルシャットダウンを防ぎ、信頼性の高い動作を確保するうえで極めて重要です。

デバイスの消費電力は入力電圧および負荷条件に依存し、式 4 を使用して計算できます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (4)$$

必要な出力電圧の安定性を得るために可能な限り低い入力電圧を使用することで、電力損失を最小限に抑え、より高い効率を達成することができます。

VSON (DRB) パッケージのいずれにおいても、主な放熱経路は露出パッドを通じてプリント基板 (PCB) に伝わります。このパッドはグラウンドに接続しても浮かせたままにしてもかまいませんが、デバイスが過熱しないよう、十分な面積の銅 PCB 領域に接続する必要があります。タブはグラウンドに接続する必要があります。接合部から周囲への最大熱抵抗は、デバイスの最大周囲温度、デバイスの最大接合部温度、および消費電力に依存し、式 5 を使って計算できます。

$$R_{\theta JA} = \frac{(+125^{\circ}\text{C} - T_A)}{P_D} \quad (5)$$

注

デバイスをアプリケーション PCB に実装する場合は、セクション 7.4.1.2.2 セクションに記載の Ψ_{JT} および Ψ_{JB} を使用します。

7.4.1.2.2 推定接合部温度

熱に関する情報 に示されるように、熱特性値 Ψ_{JT} および Ψ_{JB} を用いて、接合部温度は対応する式 (式 6 に記載) で推定できます。下位互換性のため、古い θ_{JC} 、 Top パラメータもリストされています。

$$\begin{aligned} \Psi_{JT}: \quad T_J &= T_T + \Psi_{JT} \cdot P_D \\ \Psi_{JB}: \quad T_J &= T_B + \Psi_{JB} \cdot P_D \end{aligned} \quad (6)$$

ここで、 P_D は式 5 に示される消費電力、 T_T は IC パッケージの中央上部の温度、 T_B は PCB 表面上の IC パッケージから 1mm 離れた場所で測定された PCB 温度です (図 7-6 を参照)。

注

T_T と T_B の両方は、熱ガン (赤外線温度計) を使用して実際のアプリケーション ボードで測定できます。

T_T と T_B の測定の詳細については、www.ti.com からダウンロードできるアプリケーション ノート SBVA025、新しい熱評価基準の使用を参照してください。

図 7-5 に示されるように、新しい熱特性値 (Ψ_{JT} および Ψ_{JB}) は基板サイズへの依存性がほとんどありません。つまり、式 6 で、 Ψ_{JT} や Ψ_{JB} を使用して、 T_T または T_B を測定することで、基板サイズに関係なく簡単に接合部温度 T_J を推定するのに有効な方法です。

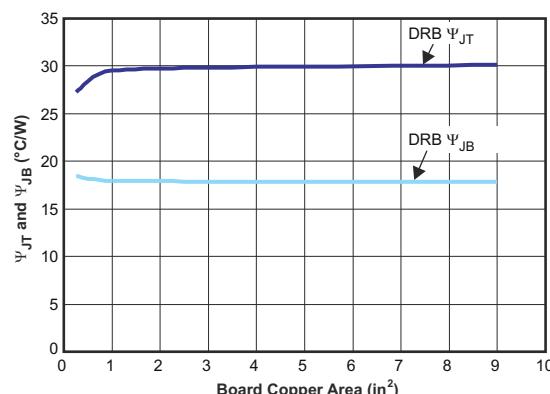


図 7-5. Ψ_{JT} および Ψ_{JB} とボード サイズとの関係

熱特性を判定するために TI が $\theta_{JC(\text{top})}$ を使用することを推奨しない理由についての詳細は、www.ti.com からダウンロードできるアプリケーションノート新しい熱評価基準の使用を参照してください。

詳細については、TI の Web サイトでも入手可能な半導体および IC パッケージの熱評価基準アプリケーションノートを参照してください。

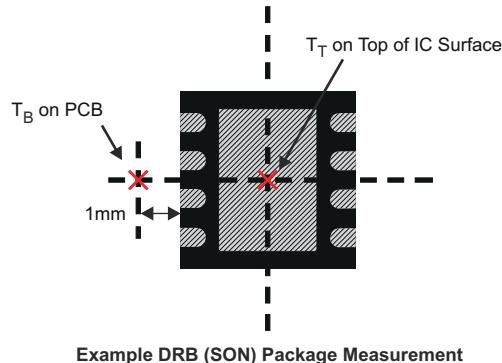


図 7-6. T_T および T_B の測定ポイント

7.4.2 レイアウト例

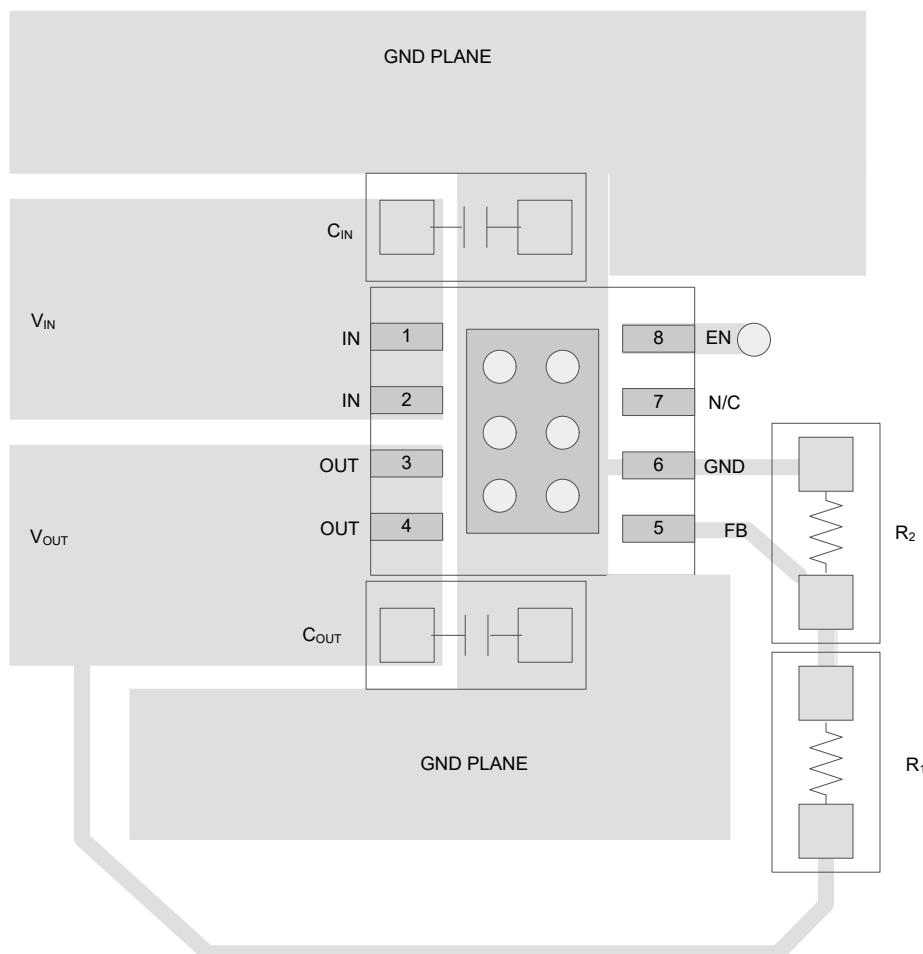


図 7-7. TPS79501-Q1 DRB レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

TI の PCB 熱計算ツールについては、<http://www.ti.com/pcbthermalcalc> を参照してください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- 『新しい熱評価基準の使用』、[SBVA025](#)
- 『表面実装デバイス用ハンダパッドに関する推奨事項』、[SBFA015](#)

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

<u>Changes from Revision * (September 2010) to Revision A (February 2026)</u>	<u>Page</u>
• 「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

10.1 付録：パッケージ・オプション

パッケージ情報

発注可能なデバイス	ステータス ⁽¹⁾	パッケージタイプ	パッケージ図	ピン	パッケージの数量	エコ プラン ⁽²⁾	リード/ボル仕上げ	MSL ピーク温度 ⁽³⁾	動作温度(°C)	デバイスマーキング ^{(4) (5)}
TPS79501GQDRBRQ1	アクティブ	SON	DRB	8	3000	グリーン (RoHS 準拠、Sb/Br 非含有)	CU NIPDAU	レベル 3-260C-168 HR	-40~125	QVE

(1) マーケティングステータスの値は次のように定義されています。

供給中:新しい設計への使用が推奨される量産デバイス。

最終受注中:テキサス・インスツルメンツによりデバイスの生産中止予定が発表され、ライフトайム購入期間が有効です。

非推奨品:新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。

量産開始前:量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されています。

プレビュー:デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。

生産中止品:テキサス・インスツルメンツはデバイスの生産を終了しました。

(2) エコ プラン - 環境に配慮した計画的な分類:鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

未定:鉛フリー / グリーン転換プランが策定されていません。

鉛フリー (RoHS):テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応した テキサス・インスツルメンツ鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。

鉛フリー (RoHS 適用除外):この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンプ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。

グリーン (RoHS 準拠、Sb/Br 非含有):テキサス・インスツルメンツにおけるグリーンは、鉛フリー (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中の Br または Sb 重量が 0.1% を超えない)ことを意味しています。

(3) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。

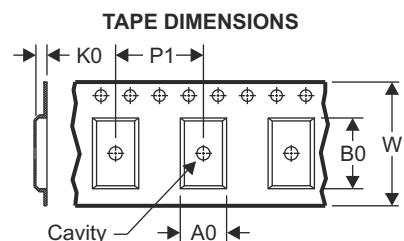
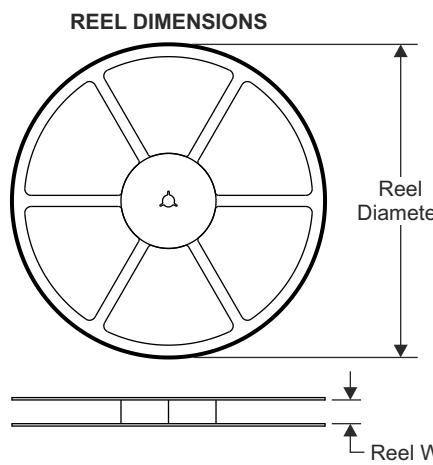
(4) ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります

(5) 複数のデバイスマーキングが、括弧書きされています。「～」で区切られた括弧書きデバイスマーキングだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスマーキング全体となります。

重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよびテキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

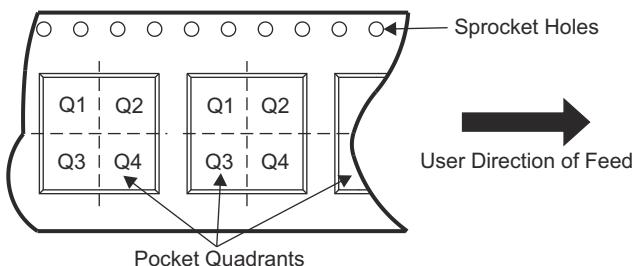
いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格(年次ベース)を超えることはありません。

10.2 テープおよびリール情報



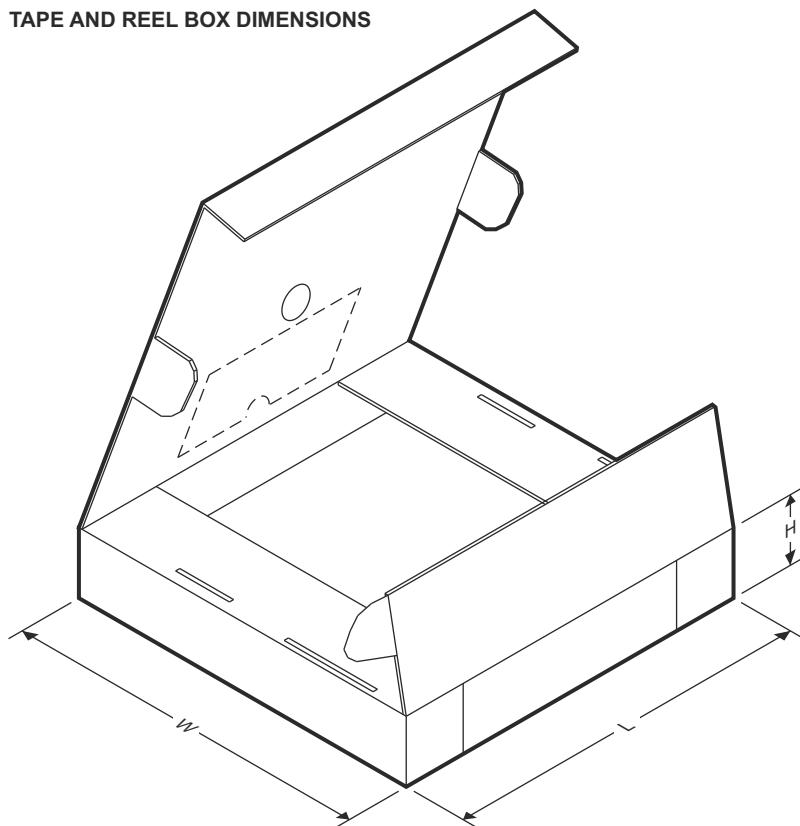
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の象限
TPS79501GQDRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
TPS79501GQDRBRQ1	SON	DRB	8	3000	367.0	367.0	35.0

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79501QDRBRQ1	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	QVE
TPS79501QDRBRQ1.A	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	QVE

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

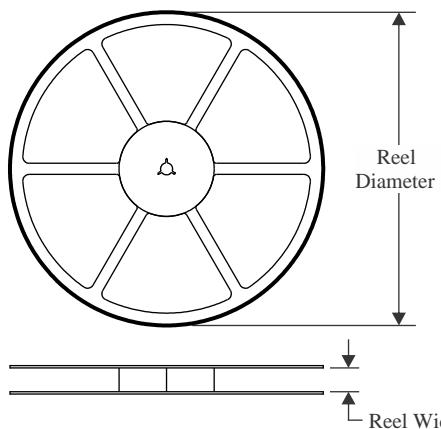
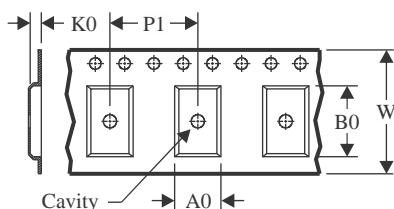
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

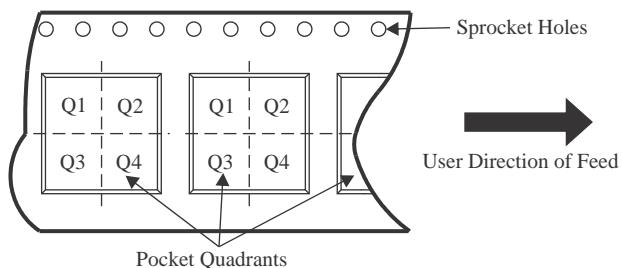
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

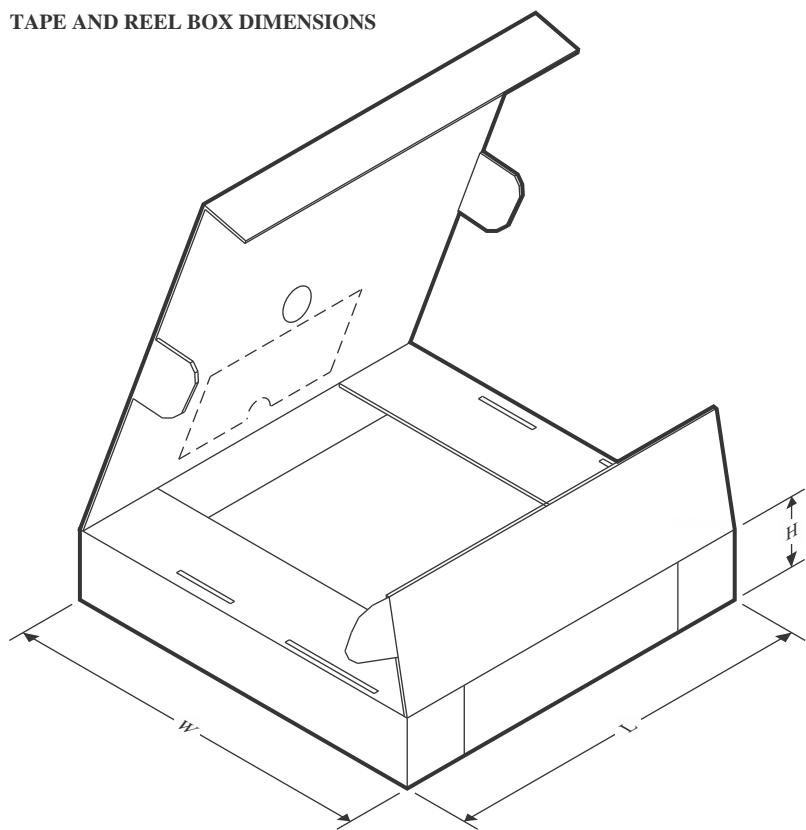
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS79501QDRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS79501QDRBRQ1	SON	DRB	8	3000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203482/L

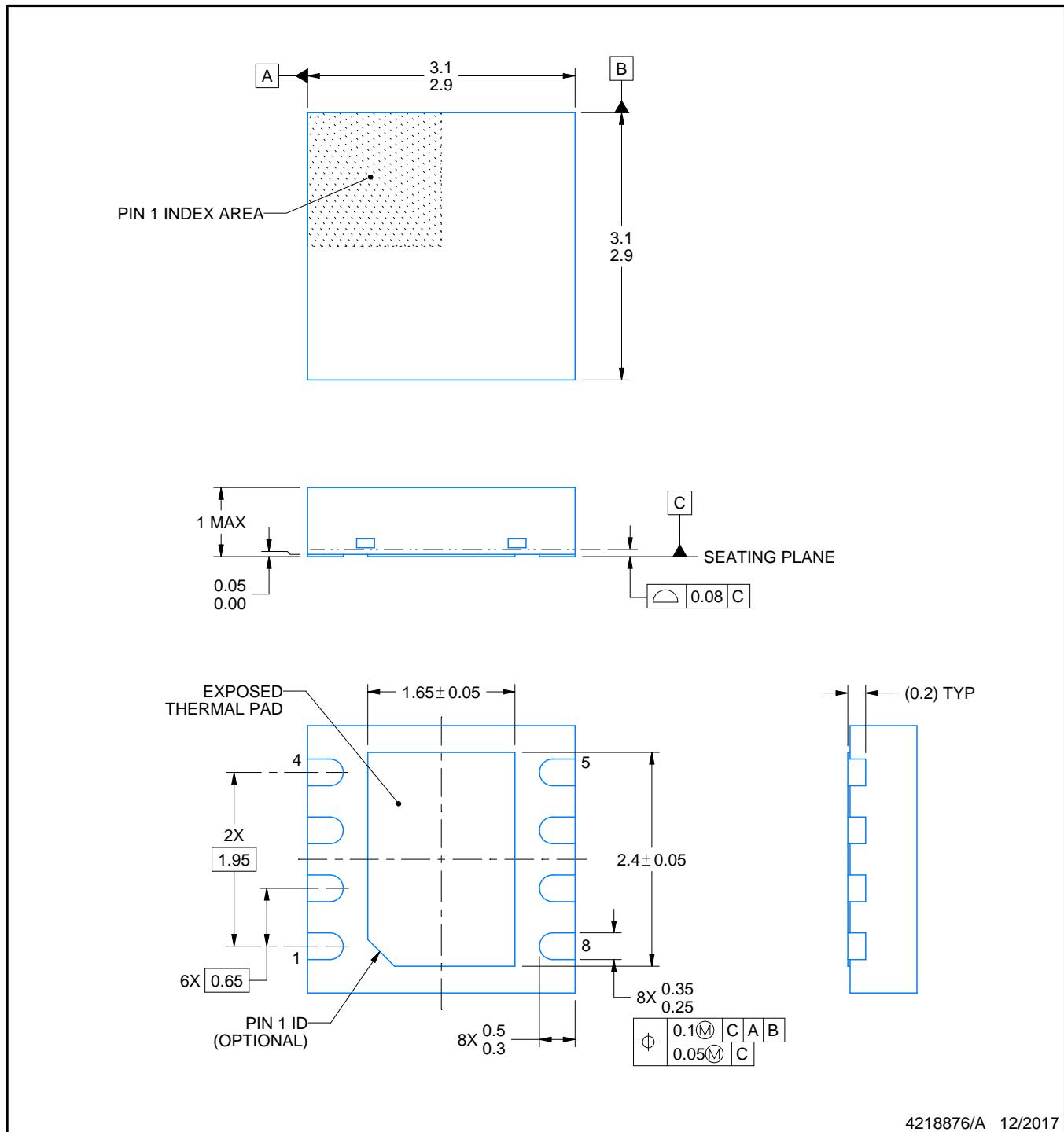
PACKAGE OUTLINE

DRB0008B



VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4218876/A 12/2017

NOTES:

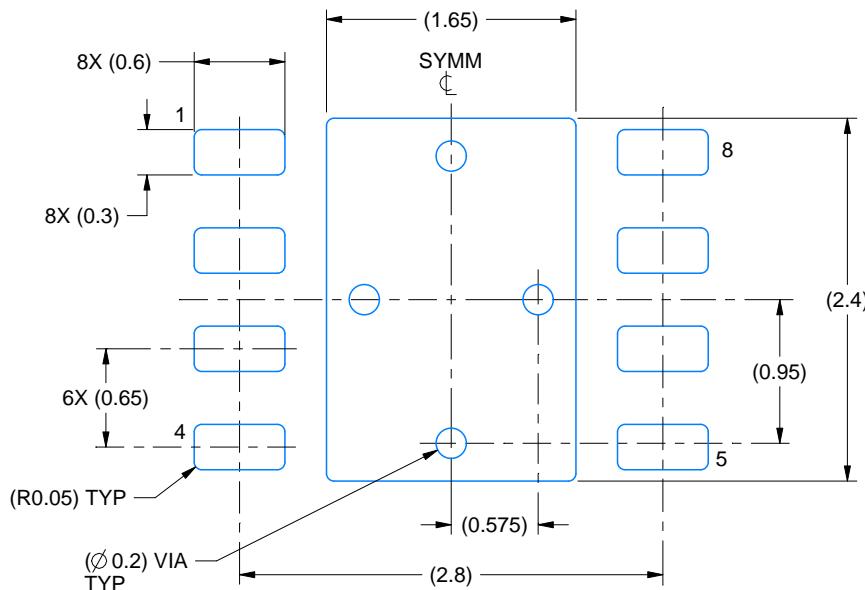
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

DRB0008B

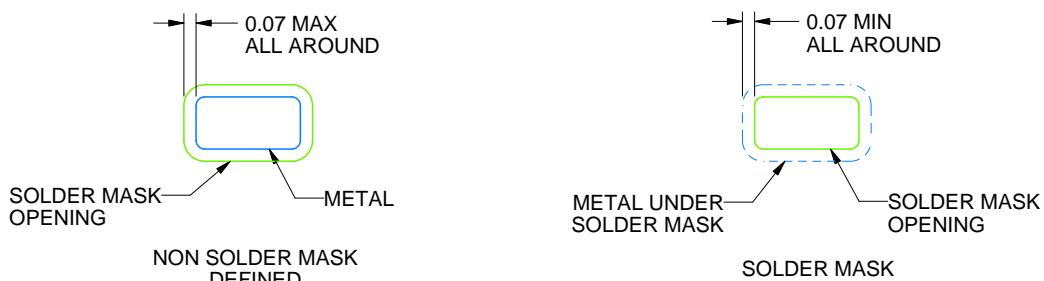
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE

SCALE:20X



SOLDER MASK DETAILS

4218876/A 12/2017

NOTES: (continued)

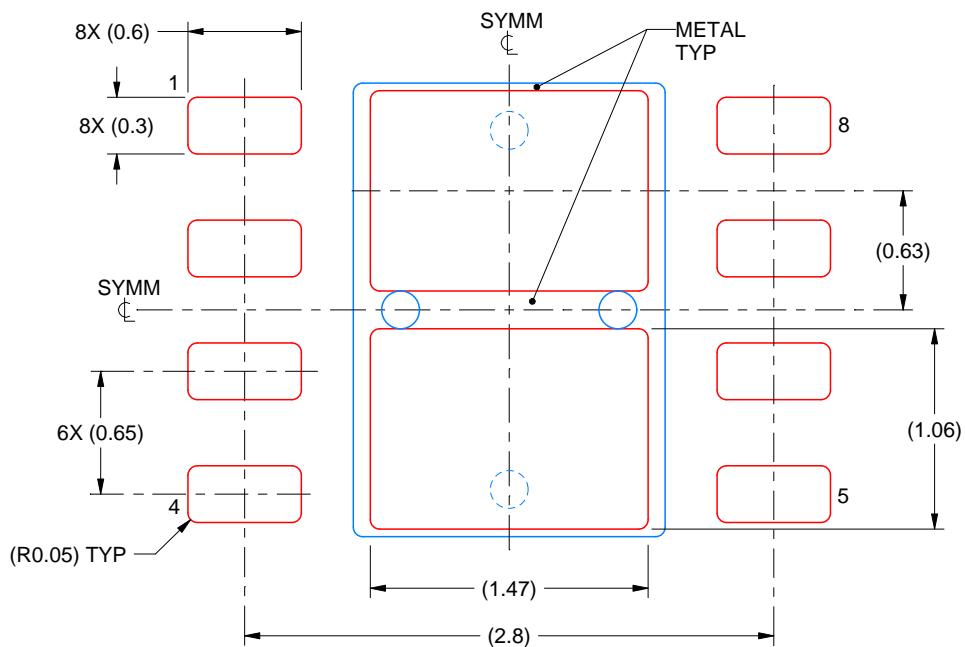
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRB0008B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
81% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218876/A 12/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月