TPS796 超低ノイズ、高 PSRR、高速、RF、1A、低ドロップアウト リニア レギュレータ

1 特長

- イネーブル搭載、1A 低ドロップアウト レギュレータ
- 固定および可変で利用可能 (1.2V ～ 5.5V)
- 低い出力ノイズ:
  - 54μV_{RMS} (従来チップ)
  - 78μV_{RMS} (新チップ)
- 1μF のセラミック コンデンサで安定動作
- 非常に優れた負荷 / ライン過渡応答
- 非常に低いドロップアウト電圧:220mV (代表値)、1A 時
- パッケージ:
  - 3mm × 3mm VSON (DRB)
  - SOT223-6 (DCQ)
  - TO-263 (KTT)

2 アプリケーション

- TV アプリケーション
- ビル オートメーション
- ネットワーク接続の周辺機器とプリンタ
- ホーム シアターおよびエンターテインメント

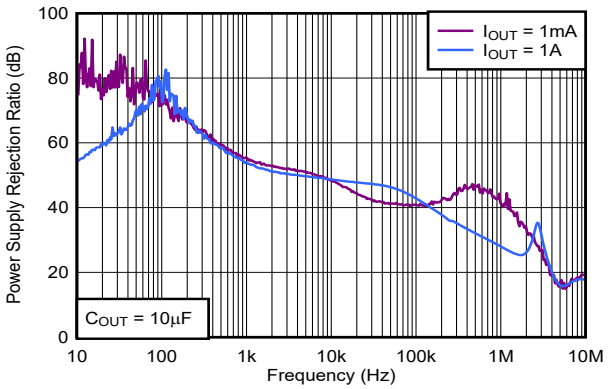
3 説明

TPS796 低ドロップアウト (LDO)、低消費電力リニア電圧レギュレータは、高い電源除去比 (PSRR)、低ノイズ、高速起動、優れたラインおよび負荷の過渡応答特性を持ち、スモール アウトライン、3mm × 3mm VSON、SOT223-6、TO-263 パッケージで提供されます。このデバイスは、出力に小型の 1μF セラミック コンデンサを接続することで安定して動作します。TPS796 は、低ドロップアウト電圧 (たとえば 1A で 220mV) を提供します。ノイズに敏感なアナログ部品を使ったアプリケーション (携帯型 RF 電子機器など) は、高 PSRR や低ノイズといった特性の恩恵を受け、高速な応答時間を必要とします。

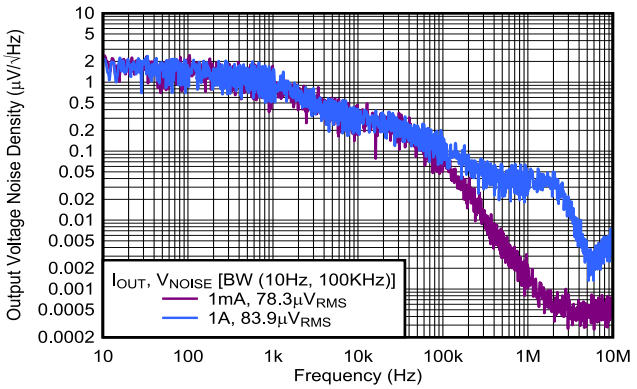
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS796	DRB (VSON、8)	3mm × 3mm
	DCQ (SOT-223、6)	6.5mm × 7.06mm
	KTT (TO-263、5)	10.16mm × 15.24mm

(1) 詳細については、*メカニカル、パッケージ、および注文情報*をご覧ください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



リップル除去と周波数との関係



出力ノイズ スペクトル密度と周波数との関係

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....6
5.6 代表的特性.....8
6 詳細説明.....14
6.1 概要.....14
6.2 機能ブロック図.....14
6.3 機能説明.....16
6.4 デバイスの機能モード.....19
7 アプリケーションと実装.....20
7.1 使用上の注意.....20
7.2 代表的なアプリケーション.....25
7.3 電源に関する推奨事項.....26
7.4 レイアウト.....26
8 デバイスおよびドキュメントのサポート.....31
8.1 デバイス サポート.....31
8.2 ドキュメントのサポート.....31
8.3 ドキュメントの更新通知を受け取る方法.....31
8.4 サポート・リソース.....31
8.5 商標.....31
8.6 静電気放電に関する注意事項.....32
8.7 用語集.....32
9 改訂履歴.....32
10 メカニカル、パッケージ、および注文情報.....32

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

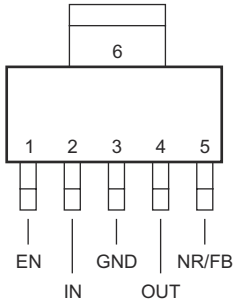


図 4-1. DCQ パッケージ、6 ピン SOT-223
(上面図、従来のチップ)

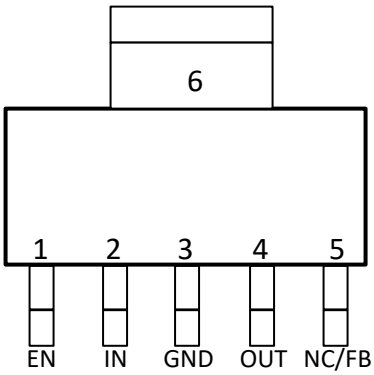


図 4-2. DCQ パッケージ、6 ピン SOT-223
(上面図、新しいチップ)

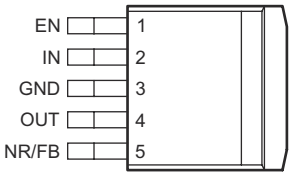


図 4-3. KTT パッケージ、5 ピン TO-263
(上面図、従来のチップ)

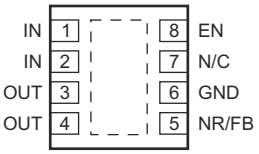


図 4-4. DRB パッケージ、8 ピン VSON
(上面図、従来のチップ)

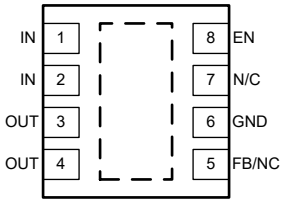


図 4-5. DRB パッケージ、8 ピン VSON
(上面図、新しいチップ)

表 4-1. ピンの機能

ピン			タイプ(1)	説明
名称	SOT-223 TO-263	VSON		
EN	1	8	I	イネーブル ピン。イネーブルピン (EN) を high にすると、レギュレータが動作します。このピンを low にすると、レギュレータはシャットダウンモードに移行します。EN を使用しない場合は、IN に接続できます。
FB	5	5	I	フィードバック ピン。この端子は可変デバイスのフィードバック入力電圧です。
GND	3、タブ	6、 PowerPAD	—	レギュレータ グランド
IN	2	1、2	I	デバイスへの入力電源。
N/C	5	7	—	内部接続なし。このピンはオープンのままにするか、GND に接続する必要があります。
NR	5	5	—	ノイズ リダクション ピン (従来のチップ)。このピンに外付けコンデンサを接続すると、内部バンド ギャップによって発生するノイズがバイパスされます。このバイパスにより、電源除去能力が向上し、出力ノイズが低減されます。低ノイズ特性のデバイスには、TPS7A91 をご検討ください。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン			タイプ(1)	説明
名称	SOT-223 TO-263	VSON		
OUT	4	3、4	O	レギュレータの出力。

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電圧	電源、V_{IN} (新しいチップ)	-0.3	6.5	V
	電源、V_{IN} (従来のチップ)	-0.3	6	
	イネーブル、V_{EN}	-0.3	V_{IN} + 0.3	
	出力、V_{OUT}	-0.3	6	
電流	出力、I_{OUT}	内部的に制限		
温度	動作時の接合部温度、T_J	-40	150	°C
	保存、T_{stg}	-65	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが、デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM) は、JEDEC 仕様 JESD22C101 に準拠、すべてのピン (2) に対して V が適用	±500	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲超 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{IN}	入力電源電圧 (従来のチップ)		2.7		5.5	V
	入力電源電圧 (新しいチップ)		2.7		6.0	
C_{IN}	入力コンデンサ		2.2			µF
C_{OUT}	出力コンデンサ		1(1)		200	
C_{FF}	フィードフォワード コンデンサ (新しいチップ)		0	10	100	nF
I_{OUT}	出力電流		0		1	A
V_{EN}	イネーブル電圧 (従来のチップ)		0		5.5	V
	イネーブル電圧 (新しいチップ)		0		6.0	
F_{EN}	イネーブル トグル周波数 (新しいチップ)				10	kHz
Tj	接合部温度		-40		125	°C

(1) 最小有効容量は 0.47µF です。

5.4 熱に関する情報

熱評価基準(1)		TPS796					単位
		DRB (VSON)		DCQ (SOT223-6)		KTT (TO-263)	
		8 PINS (2)	8 PINS (3)	6 PINS (2)	6 PINS (3)	5 PINS (2)	
$R_{\theta JA}$	接合部から周囲への熱抵抗	47.8	54.7	70.4	71.1	25	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	83	76.1	70	41.6	35	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	該当なし	30.1	該当なし	8.8	該当なし	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	2.1	6.6	6.8	3.5	1.5	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	17.8	30.2	30.1	8.5	8.52	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	12.1	16.7	6.3	6	0.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) 従来型チップ。
(3) 新しいチップ。

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

動作温度範囲（T_J = –40°C ～ +125°C）、V_{EN} = V_{IN}、V_{IN} = $V_{OUT(nom)}$ + 1V [(1)]、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF（従来のチップのみ）です（特に記載がない限り）。標準値はすべて T_J = 25°C.における値です。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IN}	入力電圧	従来のチップ		2.7		5.5	V
		新しいチップ		2.7		6.0	
V_{FB}	内部リファレンス (TPS79601)			1.2	1.225	1.25	V
I_{OUT}	連続出力電流			0		1	A
V_{OUT}	出力電圧範囲 (TPS79601)			1.225		$5.5V_{DO}$	V
V_{OUT}	出力精度	TPS79601 (従来チップ)	0µA ≤ I_{OUT} ≤ 1A、$V_{OUT(nom)}$ + 1V ≤ V_{IN} ≤ 5.5V [(1)]	$0.98V_{OUT(nom)}$		$1.02V_{OUT(nom)}$	%
		TPS79601 (新チップ)	0µA ≤ I_{OUT} ≤ 1A、$V_{OUT(nom)}$ + 1V ≤ V_{IN} ≤ 5.5V [(1)]	$0.975V_{OUT(nom)}$		$1.025V_{OUT(nom)}$	
V_{OUT}	出力精度	固定 V_{OUT} < 5V	0µA ≤ I_{OUT} ≤ 1A、$V_{OUT(nom)}$ + 1V ≤ V_{IN} ≤ 5.5V [(1)]	-2.0		2.0	%
V_{OUT}	出力精度	固定 V_{OUT} = 5V	0µA ≤ I_{OUT} ≤ 1A、$V_{OUT(nom)}$ + 1V ≤ V_{IN} ≤ 5.5V [(1)]	-3.0		3.0	%
$\Delta V_{OUT}/\Delta VIN$	ライン レギュレーション	V_{OUT} + 1V ≤ V_{IN} ≤ 5.5V			0.05	0.12	%/V
$\Delta V_{OUT}/\Delta I_{OUT}$	ロード レギュレーション	0µA ≤ I_{OUT} ≤ 1A			5		mV
V_{DO}	ドロップアウト電圧 TPS79628	V_{IN}= V_{OUT} - 0.1V	I_{OUT} = 1A		270	365	mV
	ドロップアウト電圧 TPS79628DRB		I_{OUT} = 250mA		52	90	
	ドロップアウト電圧 TPS79630		I_{OUT} = 1A		250	345	
	ドロップアウト電圧 TPS79633		I_{OUT} = 1A		220	325	
	ドロップアウト電圧 TPS79650		I_{OUT} = 1A		220	300	
I_{CL}	出力電流制限	V_{OUT} = 0 (従来のチップ)		2.4		4.2	A
I_{CL}	出力電流制限	V_{IN} = $V_{OUT(nom)}$ + 1.25V または 2.0V (いずれか大きい方)、V_{OUT} = 0.9x $V_{OUT(nom)}$ (新しいチップのみ) [(2)]		1.04		1.65	A
I_{SC}	回路短絡時の電流制限	V_{OUT} = 0 (新しいチップのみ)			550		mA
I_{GND}	グランド電流	0µA ≤ I_{OUT} ≤ 1A (従来のチップ)			265	385	µA
I_{GND}	グランド電流	0µA ≤ I_{OUT} ≤ 1A (新しいチップ)			700	1100	µA
I_{SHDN}	シャットダウン電流	V_{EN} = 0V、2.7V ≤ V_{IN} ≤ 5.5V			0.07	1	µA
I_{FB}	フィードバック ピンの電流	V_{FB} = 1.225 V				1	µA
PSRR	電源除去比	f = 100 Hz、I_{OUT} = 10mA (従来のチップ)			59		dB
		f = 100 Hz、I_{OUT} = 10mA (新しいチップ)			64		
		f = 100 Hz、I_{OUT} = 1A (従来のチップ)			54		
		f = 100 Hz、I_{OUT} = 1A (新しいチップ)			74		
		f = 10 kHz、I_{OUT} = 1A (従来のチップ)			53		
		f = 10 kHz、I_{OUT} = 1A (新しいチップ)			49		
		f = 100 kHz、I_{OUT} = 1A (従来のチップ)			42		
		f = 100 kHz、I_{OUT} = 1A (新しいチップ)			42		
V_n	出力ノイズ電圧	BW = 100Hz ～ 100kHz、I_{OUT} = 1A	C_{NR} = 0.001µF		54		μV_{RMS}
			C_{NR} = 0.0047µF		46		
			C_{NR} = 0.01µF		41		
			C_{NR} = 0.1 µF		40		
		BW = 10Hz ～ 100kHz、I_{OUT} = 1A	新しいチップ (10		78		μV_{RMS}

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

動作温度範囲 (T_J = –40°C ～ +125°C)、V_{EN} = V_{IN}、V_{IN} = $V_{OUT(nom)}$ + 1V [(1)]、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップのみ) です (特に記載がない限り)。標準値はすべて T_J = 25°C.における値です。

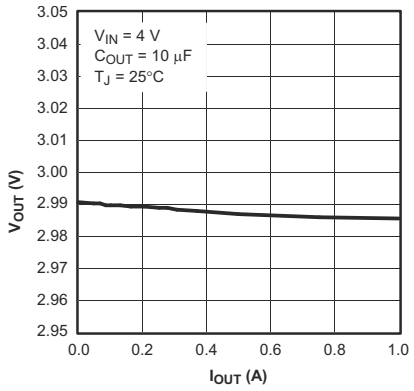
パラメータ		テスト条件		最小値	標準値	最大値	単位
t_{str}	スタートアップ時間	R_L = 3Ω、C_{OUT} = 1µF	C_{NR} = 0.001µF		50		µs
		R_L = 3Ω、C_{OUT} = 1µF	C_{NR} = 0.0047µF		75		
		R_L = 3Ω、C_{OUT} = 1µF	C_{NR} = 0.01µF		110		
t_{str}	スタートアップ時間	R_L = 3Ω、C_{OUT} = 1µF	新しいチップ		550		µs
I_{EN}	イネーブル ピンの電流	V_{EN} = 0 V		-1		1	µA
$R_{PULLDOWN}$	プルダウン抵抗	V_{IN} = 3.3V (新しいチップのみ)			100		Ω
V_{UVLO}	UVLO スレッショルド	V_{IN} 立ち上がり (従来のチップ)		2.25		2.65	V
		V_{IN} 立ち上がり (新しいチップ)		1.28		1.62	
$V_{UVLO(HYST)}$	UVLO ヒステリシス	V_{IN} ヒステリシス (従来のチップ)			100		mV
		V_{IN} ヒステリシス (新しいチップ)			130		
$V_{EN(HI)}$	High レベルのイネーブル入力電圧	2.7V[(1)] ≤ V_{IN} ≤ 5.5V (従来のチップ)		1.7		V_{IN}	V
		2.7V[(1)] ≤ V_{IN} ≤ 5.5V (新しいチップ)		0.85		V_{IN}	
$V_{EN(LOW)}$	Low レベルのイネーブル入力電圧	2.7V[(1)] ≤ V_{IN} ≤ 5.5V (従来のチップ)				0.7	
		2.7V[(1)] ≤ V_{IN} ≤ 5.5V (新しいチップ)				0.425	
T_{SD}	サーマル シャットダウン温度	シャットダウン、温度上昇	従来のチップ		165		℃
T_{SD}	サーマル シャットダウン温度	シャットダウン、温度上昇	新しいチップ		170		℃
T_{SD}	サーマル シャットダウン温度	リセット、温度低下	従来のチップ		140		℃
T_{SD}	サーマル シャットダウン温度	リセット、温度低下	新しいチップ		155		℃

(1) 最小 V_{IN} = V_{OUT} +1V または 2.7V のいずれか大きい方。$V_{OUT(NOM)}$ =5V は $V_{IN\ (NOM)}$ = 5.5V でテストされます
(2) $V_{OUT(NOM)}$ =5V は $V_{IN\ (NOM)}$ = $V_{OUT(NOM)}$ +1V でテストされている

Copyright © 2026 Texas Instruments Incorporated

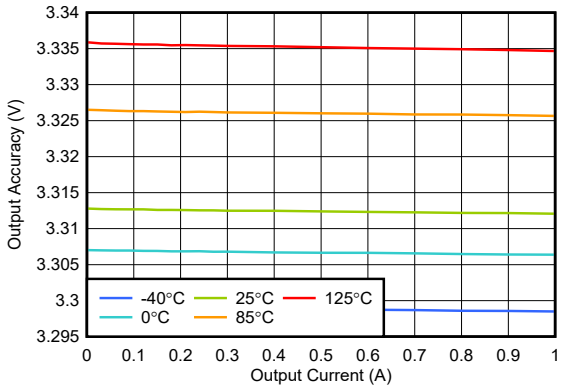
5.6 代表的特性

V_{EN} = V_{IN}、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF、C_{IN} = 2.2µF、T_J = 25℃ (特に記述のない限り)



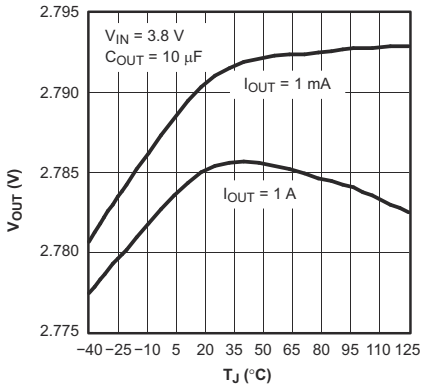
従来のチップ

図 5-1. TPS79630 出力電圧と出力電流との関係



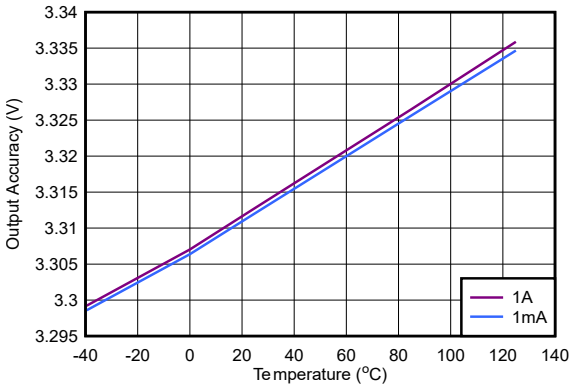
新しいチップ

図 5-2. TPS79633 出力電圧と出力電流との関係



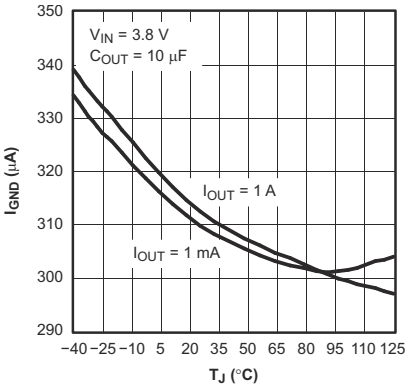
従来のチップ

図 5-3. TPS79628 出力電圧と接合部温度との関係



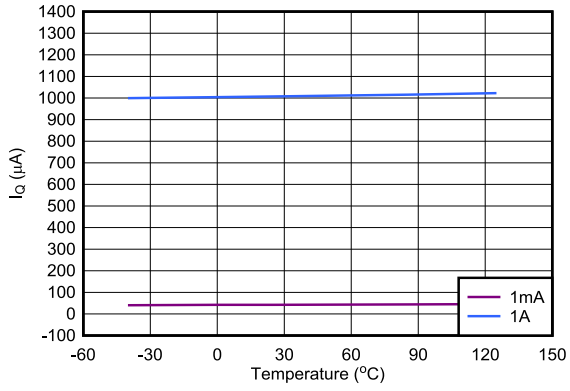
新しいチップ

図 5-4. TPS79633 出力電圧と接合部温度との関係



従来のチップ

図 5-5. TPS79628 グランド電流と接合部温度との関係



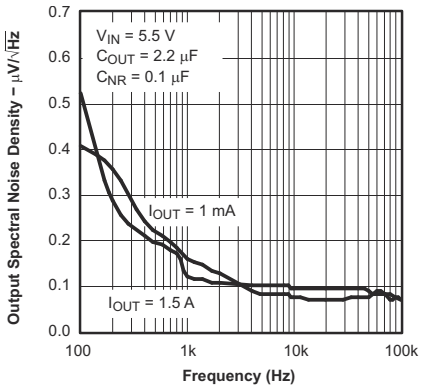
新しいチップ

図 5-6. TPS79633 グランド電流と接合部温度との関係

Copyright © 2026 Texas Instruments Incorporated

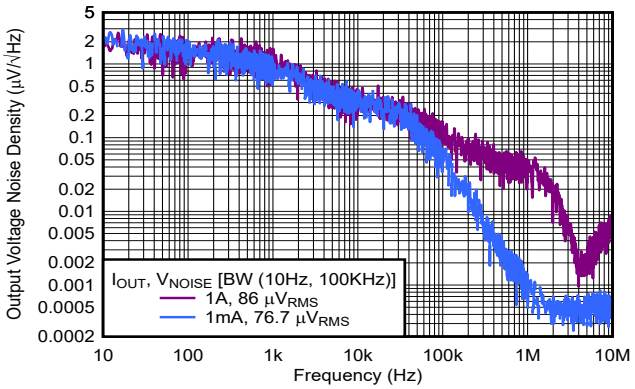
5.6 代表的特性 (続き)

V_{EN} = V_{IN}、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF、C_{IN} = 2.2µF、T_J = 25℃ (特に記述のない限り)



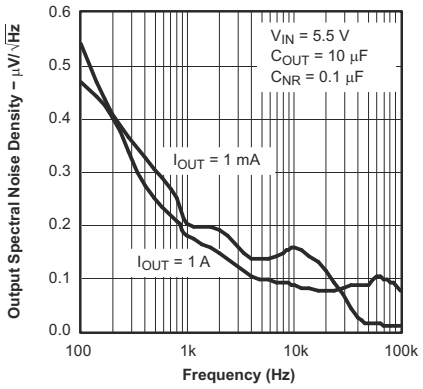
従来のチップ

図 5-7. TPS79630 出力スペクトル ノイズ密度と周波数との関係



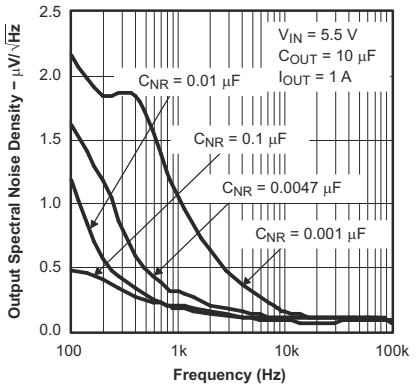
C_{OUT} = 2.2uF (新しいチップ)

図 5-8. TPS79633 出力スペクトル ノイズ密度と周波数との関係



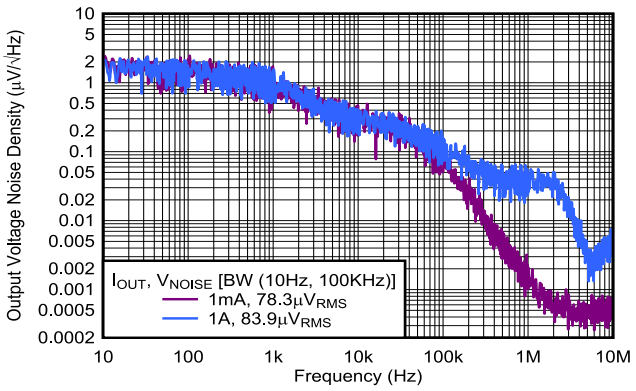
従来のチップ

図 5-9. TPS79630 出力スペクトル ノイズ密度と周波数との関係



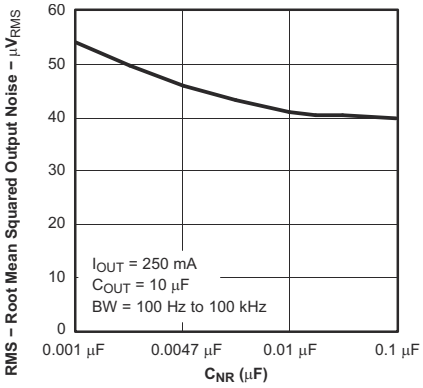
従来のチップ

図 5-10. TPS79630 出力スペクトル ノイズ密度と周波数との関係



C_{OUT} = 10uF (新しいチップ)

図 5-11. TPS79633 出力スペクトル ノイズ密度と周波数との関係

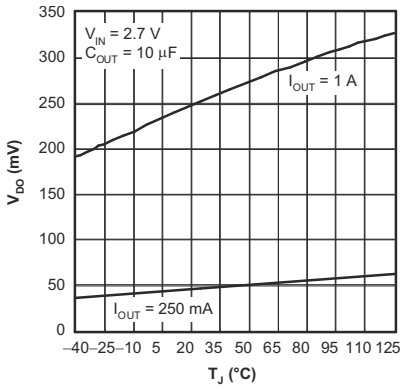


従来のチップ

図 5-12. TPS79630 二乗平均平方根出力ノイズとバイパス キャパシタンスとの関係

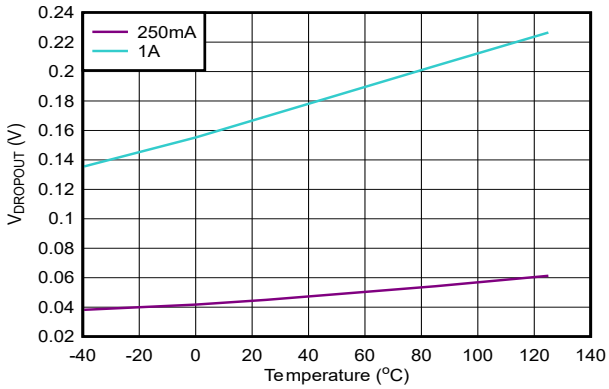
5.6 代表的特性 (続き)

$V_{EN} = V_{IN}$、$V_{IN} = V_{OUT(nom)} + 1V$、$I_{OUT} = 1mA$、$C_{OUT} = 10\mu F$、$C_{NR} = 0.01\mu F$、$C_{IN} = 2.2\mu F$、$T_J = 25°C$ (特に記述のない限り)



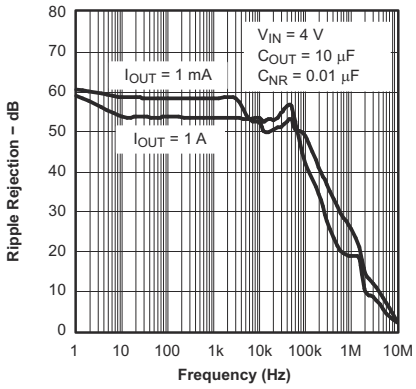
従来のチップ

図 5-13. TPS79628 ドロップアウト電圧と接合部温度との関係



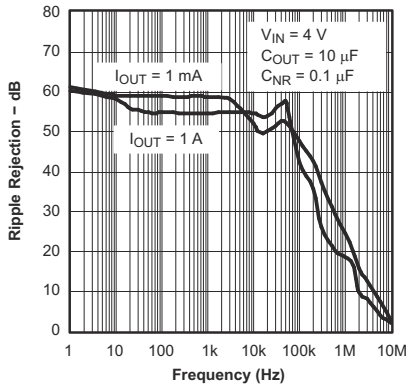
新しいチップ

図 5-14. TPS79633 ドロップアウト電圧と接合部温度との関係



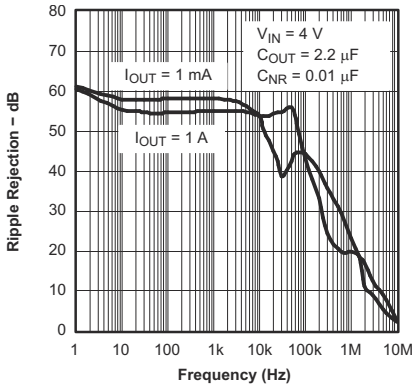
従来のチップ

図 5-15. TPS79630 リップル除去と周波数との関係



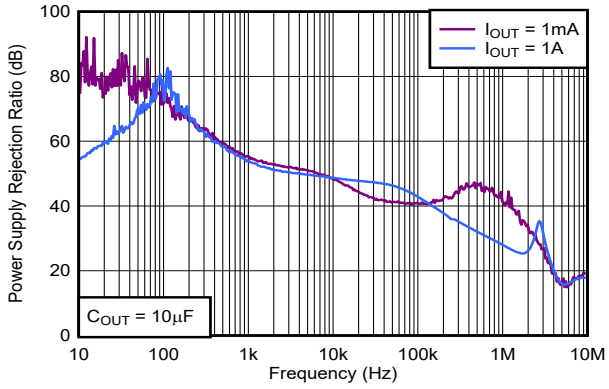
従来のチップ

図 5-16. TPS79630 リップル除去と周波数との関係



従来のチップ

図 5-17. TPS79630 リップル除去と周波数との関係



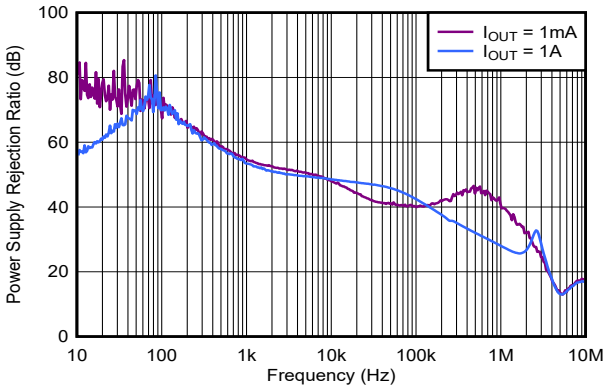
新しいチップ

図 5-18. TPS79633 リップル除去と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

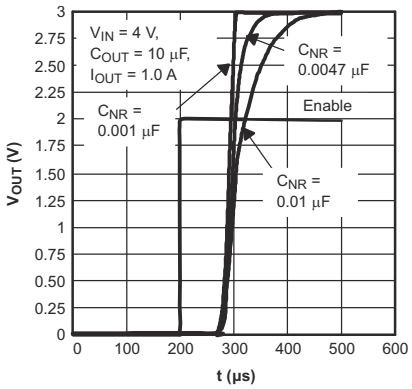
5.6 代表的特性 (続き)

$V_{EN} = V_{IN}$、$V_{IN} = V_{OUT(nom)} + 1V$、$I_{OUT} = 1mA$、$C_{OUT} = 10\mu F$、$C_{NR} = 0.01\mu F$、$C_{IN} = 2.2\mu F$、$T_J = 25℃$ (特に記述のない限り)



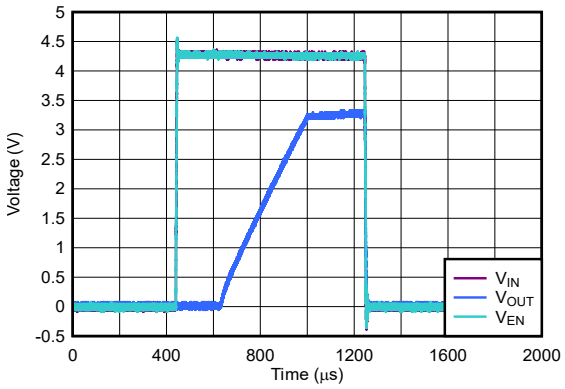
C_{OUT} = 1uF (新チップ)

図 5-19. TPS79633 リップル除去と周波数との関係



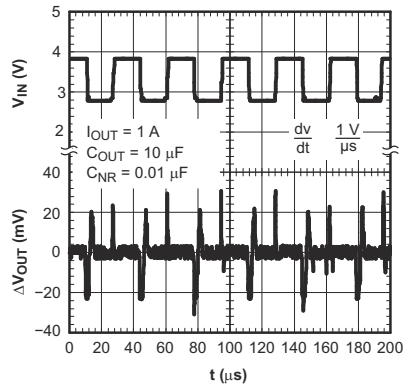
従来のチップ

図 5-20. 起動時間



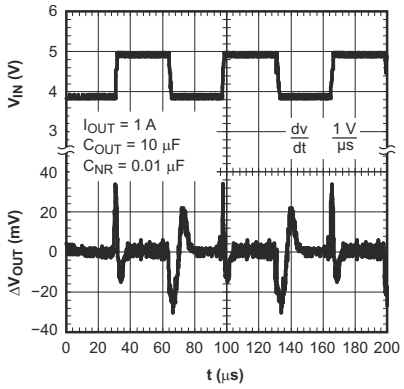
新しいチップ

図 5-21. 起動時間



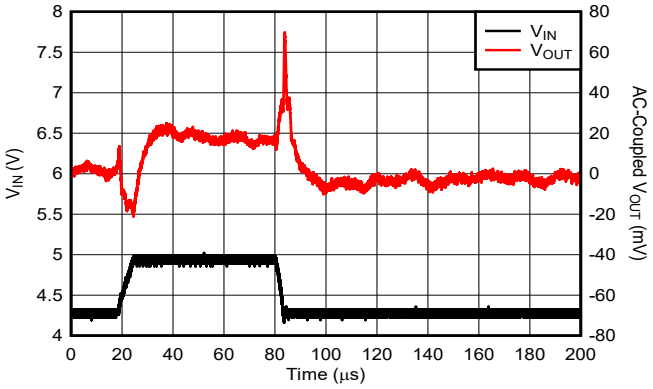
従来のチップ

図 5-22. TPS79618 のライン過渡応答



従来のチップ

図 5-23. TPS79630 のライン過渡応答

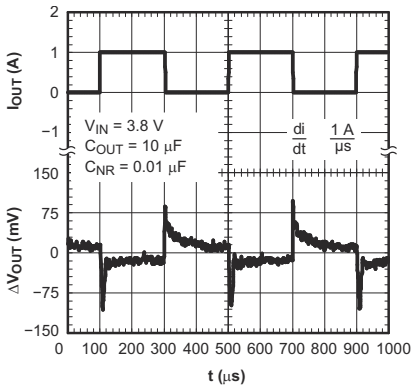


新しいチップ

図 5-24. TPS79633 のライン過渡応答

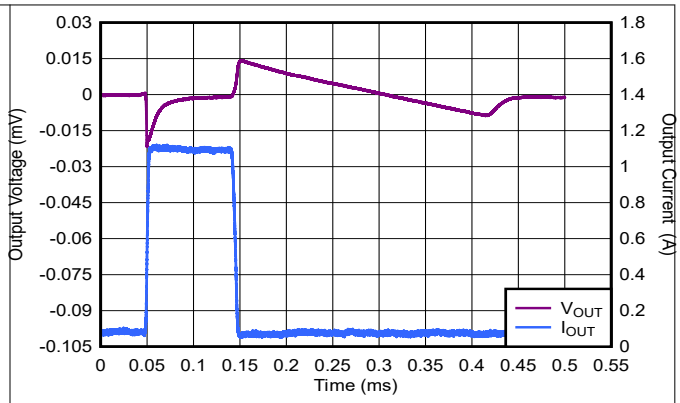
5.6 代表的特性 (続き)

$V_{EN} = V_{IN}$、$V_{IN} = V_{OUT(nom)} + 1V$、$I_{OUT}$ = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF、C_{IN} = 2.2µF、T_J = 25℃ (特に記述のない限り)



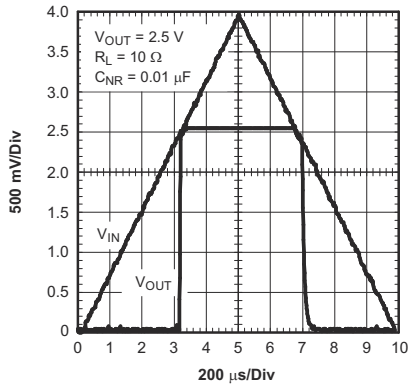
従来のチップ

図 5-25. TPS79628 の負荷過渡応答



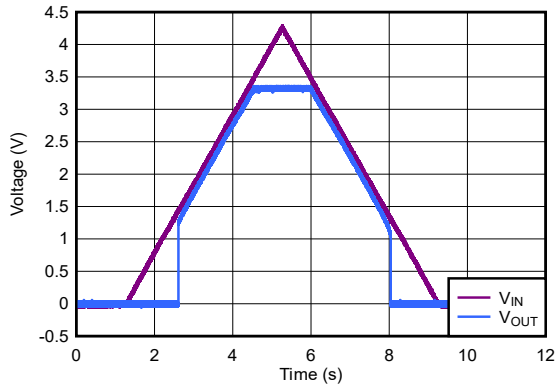
新しいチップ

図 5-26. TPS79633 の負荷過渡応答



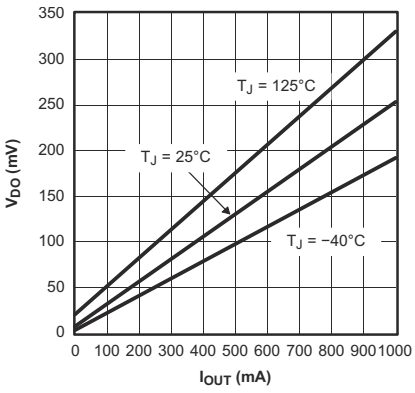
従来のチップ

図 5-27. TPS79625 パワーアップ、パワーダウン



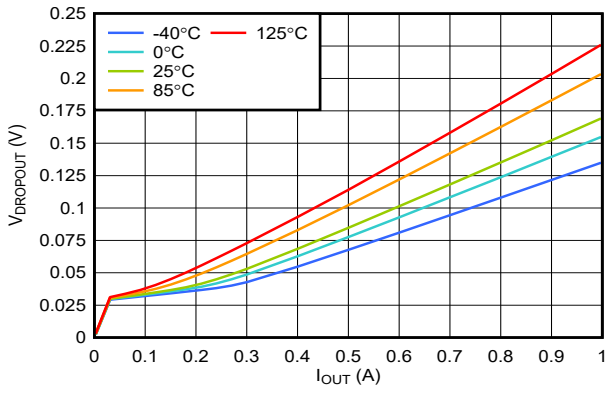
新しいチップ

図 5-28. TPS79633 パワーアップ、パワーダウン



従来のチップ

図 5-29. TPS79630 ドロップアウト電圧と出力電流との関係



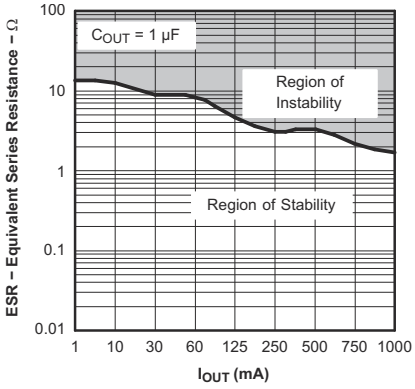
新しいチップ

図 5-30. TPS79633 ドロップアウト電圧と出力電流との関係

Copyright © 2026 Texas Instruments Incorporated

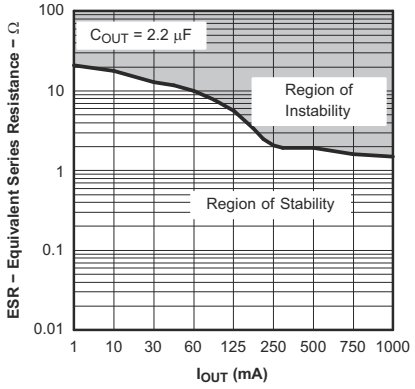
5.6 代表的特性 (続き)

V_{EN} = V_{IN}、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF、C_{IN} = 2.2µF、T_J = 25℃ (特に記述のない限り)



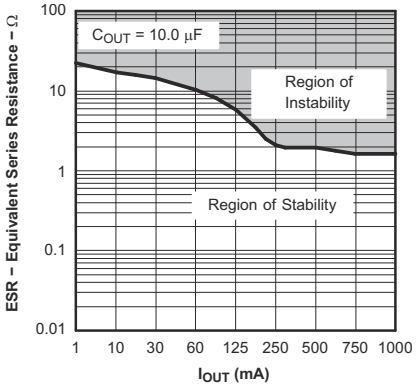
従来のチップ

図 5-31. TPS79630 標準安定動作領域等価直列抵抗 (ESR) と出力電流との関係



従来のチップ

図 5-32. TPS79630 標準安定動作領域等価直列抵抗 (ESR) と出力電流との関係



従来のチップ

図 5-33. TPS79630 標準安定動作領域等価直列抵抗 (ESR) と出力電流との関係

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPS796 低ドロップアウト (LDO) レギュレータは、多くの RF および高精度アナログ アプリケーションで必要とされる高い性能と、低消費電流を両立します。高ゲイン、広帯域幅の誤差ループにより高 PSRR を実現し、非常に低いヘッドルーム (V_{IN} と V_{OUT} の間) で優れた電源除去特性を備えています。ノイズ リダクション ピンの実装により、バンドギャップ リファレンスにより発生するノイズをバイパス、PSRR を改善します。また、クイックスタート回路により、スタートアップ時にこのコンデンサが迅速に充電されます。このデバイスは熱および過電流保護機能を備えており、–40℃ ～ 125℃ まで十分に規定されています。

6.2 機能ブロック図

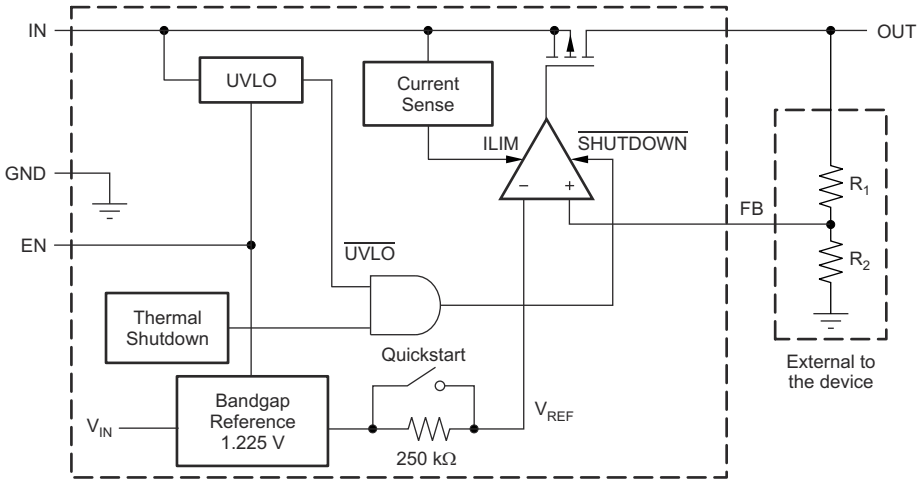


図 6-1. 機能ブロック図：可変バージョン (従来のチップ)

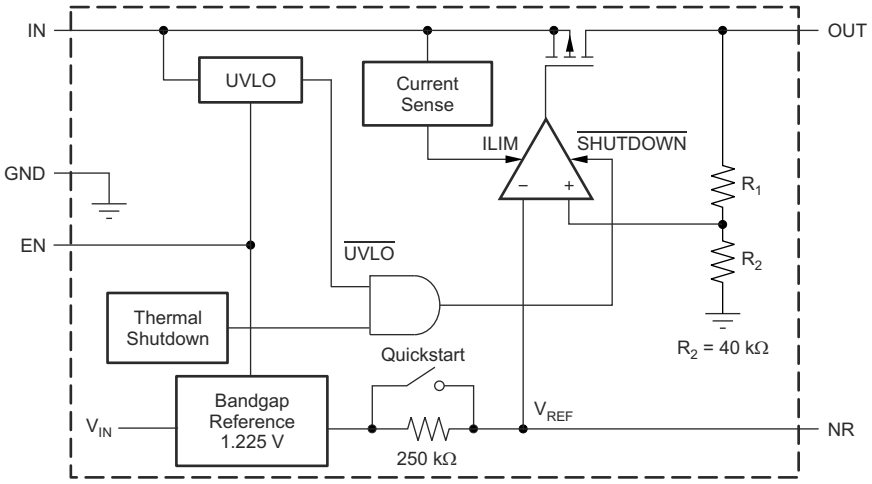


図 6-2. 機能ブロック図：固定バージョン (従来のチップ)

Copyright © 2026 Texas Instruments Incorporated

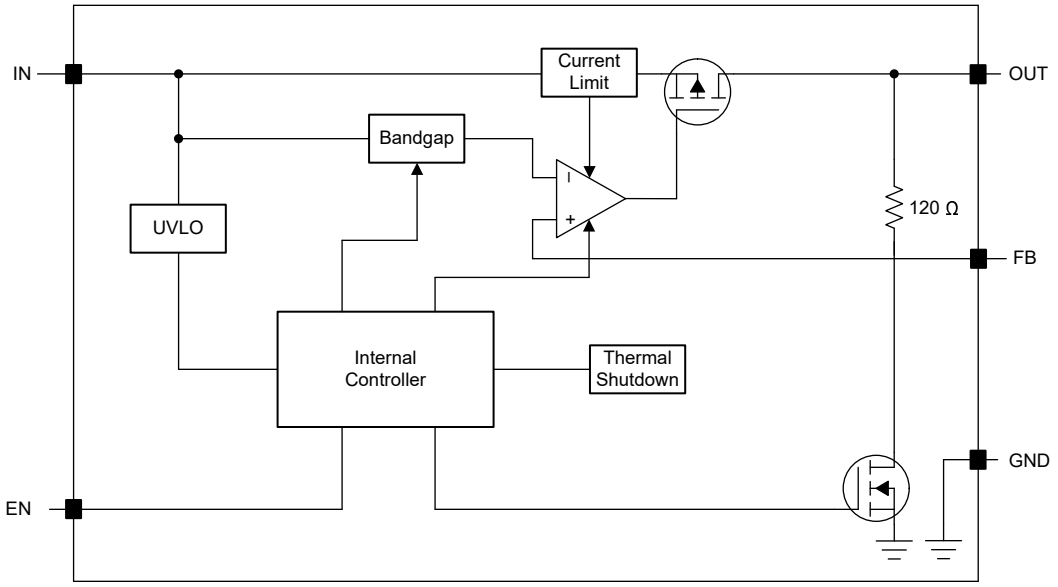


図 6-3. 機能ブロック図：可変バージョン (新しいチップ)

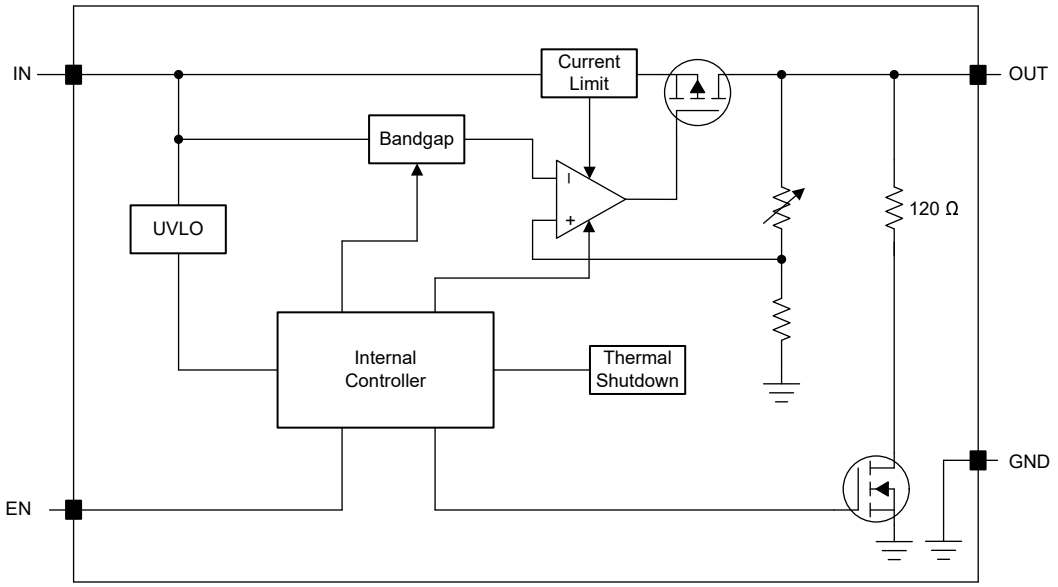


図 6-4. 機能ブロック図：固定バージョン (新しいチップ)

6.3 機能説明

6.3.1 アクティブ放電 (新しいチップ)

このデバイスには、デバイスがディセーブルされて出力電圧をアクティブに放電する際に $R_{PULLDOWN}$ 抵抗をグランドに接続する内部プルダウン MOSFET があります。アクティブ放電回路は、イネーブル ピンによってアクティブになります。

逆電流が出力から入力に流れる可能性があるため、入力電源が急速に低下した後にアクティブ放電回路を使用して出力電圧を放電しないでください。特に大きな出力コンデンサを使用する場合、この逆電流がデバイスを損傷させる可能性があります。逆電流をデバイスの定格電流の 5% 以下に短時間制限してください。

6.3.2 シャットダウン

イネーブル ピン (EN) はアクティブ High です。EN ピンが強制的に $V_{EN(High)}$ を上回るようにして、デバイスをイネーブルにします。EN ピンの電圧を最大 EN ピンの Low レベル入力電圧未満に強制的に下げることで、デバイスをオフにします (*電気的特性* 表を参照)。シャットダウン機能が不要な場合は、EN ピンを IN に接続します。

6.3.3 スタートアップ

TPS796 (従来のチップ) は、スタートアップ回路を使用して、ノイズ リダクション コンデンサ C_{NR} が存在する場合はこれをすばやく充電します (*機能ブロック図* を参照)。この回路により、非常に低い出力ノイズと高速なスタートアップ時間を実現できます。NR ピンはハイ インピーダンスなので、低リーケージの C_{NR} コンデンサを使用する必要があります。ほとんどのセラミック コンデンサが、この構成に適しています。

最速のスタートアップを実現するには、最初に V_{IN} を印加してから、イネーブル ピン (EN) を High に駆動します。EN が IN に接続されている場合、スタートアップは多少遅くなります。スタートアップ時に C_{NR} が完全に充電されるようにするには、0.1µF 以下のコンデンサを使用します。

TPS796 (新しいチップ) は、内部ソフトスタート時間を使用して、突入電流を低減できます。

6.3.4 低電圧誤動作防止 (UVLO)

TPS796 は、内部回路が正常に動作するまで出力をオフに維持するため、低電圧誤動作防止回路を使用しています。UVLO 回路には、レギュレータが最初にオンになったときに入力電圧降下を除去するのに役立つヒステリシスがあります (*電気的特性* 表を参照)。

UVLO 回路により、入力電源が最小動作電圧範囲に達する前にデバイスがディセーブル状態を維持し、入力電源が急激に低下した場合にデバイスが確実にシャットダウンされます。図 6-5 に、各種入力電圧イベントに対する UVLO 回路の応答を示します。この図は、次の領域に分かれています。

- 領域 A: 入力が UVLO 立ち上がりスレッショルドに達するまで、デバイスは起動しません。
- 領域 B: 通常動作、レギュレーション デバイス。
- 領域 C: UVLO 立ち下がりスレッショルドを上回るブラウンアウト イベント (UVLO 立ち上がりスレッショルド - UVLO ヒステリシス)。出力がレギュレーション範囲外になる可能性がありますが、デバイスは有効なままです。
- 領域 D: 通常動作、レギュレーション デバイス。
- 領域 E: UVLO 立ち下がりスレッショルドを下回るブラウンアウト イベント。ほとんどの場合、デバイスはディセーブルされており、負荷およびアクティブ放電回路によって出力が低下します。入力電圧が UVLO の立ち上がりスレッショルドに達すると、デバイスは再びイネーブル状態になり、通常の起動シーケンスに移行します。
- 領域 F: 通常動作の後、入力電圧が UVLO の下降スレッショルドまで低下します。
- 領域 G: 入力電圧が UVLO 立ち下がりスレッショルド 0V を下回ると、デバイスはディスエーブルになります。負荷およびアクティブ放電回路によって出力が低下します。

Copyright © 2026 Texas Instruments Incorporated

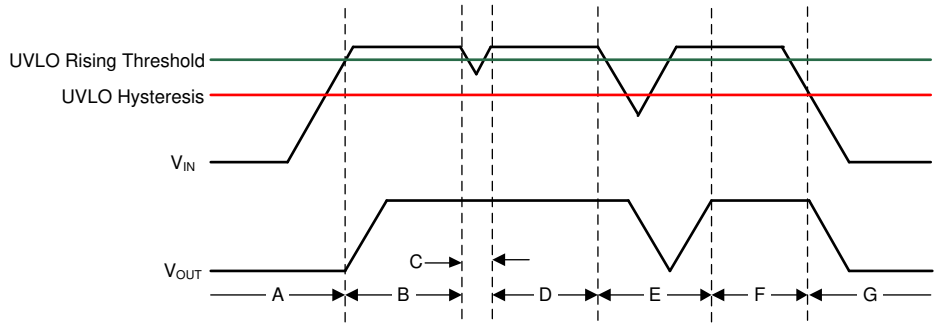


図 6-5. UVLO の標準動作

6.3.5 レギュレータ保護

TPS796 (従来のチップ) の PMOS パス トランジスタにはバック ダイオードが組み込まれており、入力電圧が出力電圧を下回ったとき (たとえばパワー ダウン時) に逆電流を伝導します。電流は出力から入力へ伝導され、内部で制限されません。長時間の逆電圧動作が予想される場合は、外付けの制限回路の使用が適切になる場合があります。

6.3.5.1 電流制限

通常動作時中、TPS796 (従来チップ) は出力電流を約 2.8A に制限します。電流制限が作動すると、出力電圧は過電流状態が終了するまで直線的に戻ります。電流制限はデバイス全体の故障を防止するように設計されていますが、パッケージの消費電力定格を超えないように注意してください

新しいチッの場合、デバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡発生時にレギュレータを保護します。電流制限は、ブリック ウォール フォールドバック方式です。フォールドバック電圧 ($V_{FOLDBACK}$) では、電流制限はブリック ウォール方式からフォールドバック方式に遷移します。出力電圧が $V_{FOLDBACK}$ を上回った際の高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。電圧が $V_{FOLDBACK}$ を下回ると、フォールドバック電流制限が有効になり、出力電圧が GND に近付くと電流を小さくします。出力が短絡したとき、デバイスは短絡電流制限 (I_{SC}) と呼ばれる標準的な電流を供給します。I_{CL} と I_{SC} は、*「電気的特性」* 表に記載されています。

このデバイスでは、$V_{FOLDBACK} = 0.4 \times V_{OUT(NOM)}$ です。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ を消費します。デバイスの出力が短絡され、出力が $V_{FOLDBACK}$ を下回ると、パス トランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{SC}]$ を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、*「制限の把握」アプリケーション ノート*を参照してください。

図 6-6 は、フォールドバック電流制限の図を示しています。

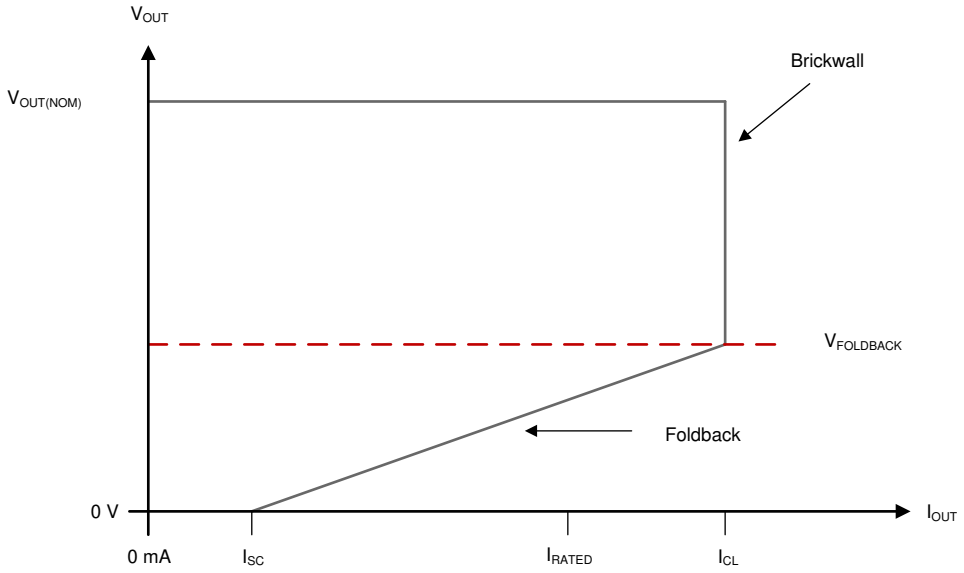


図 6-6. フォールドバック電流制限

6.3.5.2 サーマル シャットダウン

デバイスには、パストランジスタの接合部温度
(T_J) が $T_{SD(shutdown)}$ (標準値) まで上昇したときにデバイスを無効化するサーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより、温度が $T_{SD(reset)}$ (標準値) まで低下するとデバイスがリセットされる (オンになります) ことを確認します。

半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達した場合に本デバイスはサイクルのオンとオフを行うことができます。起動時の消費電力は、デバイス両端での大きな V_{IN} と V_{OUT} 間の電圧降下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を*「推奨動作条件」*の表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は全体的な熱条件から保護するように設計されていますが、この回路は適切なヒート シンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

Copyright © 2026 Texas Instruments Incorporated

6.4 デバイスの機能モード

通常モード、ドロップアウト モード、ディセーブル モードの各動作間の簡単な比較を表 6-1 に示します。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ			
	V_{IN}	EN	I_{OUT}	T_J
正常	$V_{IN} > V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{CL}$	$T_J < T_{SD}$
ドロップアウト	$V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{CL}$	$T_J < T_{SD}$
ディセーブル	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{EN(LO)}$	—	$T_J > T_{SD}$

6.4.1 通常動作

デバイスは、以下の条件下で公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の合計 ($V_{OUT(nom)} + V_{DO}$) よりも大きくなります。
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えていて、まだイネーブル立ち下がりスレッショルドよりも低くなっていない。
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{SD}$)。

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、パス デバイスがトライオード状態にあり、LDO によって電流の制御を行わないため、デバイスの過渡性能が大きく低下します。ドロップアウト中にライン過渡または負荷過渡が生じると、大きな出力電圧の偏差が発生することがあります。

デバイスが定常的なドロップアウト状態にあるとき (起動中ではないが、通常のレギュレーション状態になった直後に、デバイスがドロップアウト状態 ($V_{IN} < V_{OUT(NOM)} + V_{DO}$) になったときとして定義される)、パス トランジスタはオーム領域またはトライオード領域に駆動されます。入力電圧が公称出力電圧にドロップアウト電圧 ($V_{OUT(NOM)} + V_{DO}$) を加えた値以上に戻ると、デバイスがパス トランジスタをリニア領域にプルバックする間に、出力電圧が短時間オーバーシュートする可能性があります。

6.4.3 ディセーブル

デバイスは次の条件でディセーブルされます。

- イネーブル電圧がイネーブル立ち下がりスレッショルド電圧よりも低い、またはイネーブル立ち上がりスレッショルドを超えていない。
- デバイスの接合部温度がサーマル シャットダウンの温度を上回っている ($T_J < T_{SD}$)。

TPS796 (新しいチップ) では、ディセーブルの場合、出力からグランドへの内部放電回路により、出力電圧がグランドへ積極的に放電されます。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

TPS796 低ドロップアウト (LDO) レギュレータは、ノイズに敏感な機器での使用に最適化されています。このデバイスは超低ドロップアウト電圧、高 PSRR、超低出力ノイズ、低静止電流を特長とし、レギュレータがオフになったときは入力から消費電流を 1μA 未満に低減できます。

7.1.1 推奨されるコンデンサの種類

このデバイスは、入出力に低等価直列抵抗 (ESR) のセラミック コンデンサを使用することで安定するように設計されています。マルチレイヤ セラミック コンデンサは、この種のアプリケーションの業界標準になっており、推奨されますが、適切な判断のもとに使用する必要があります。X7R、X5R、C0G 定格の誘電体材料を使用したセラミック コンデンサは、温度範囲全体にわたって比較的良好な容量の安定性を実現しますが、Y5V 定格のコンデンサの使用は、静電容量の変動が大きいため推奨されません。

選択したセラミック コンデンサの種類にかかわらず、実効静電容量は動作電圧と温度によって変化します。一般に、実効静電容量は 50% 程度減少すると予想されます。*「推奨動作条件」*表に推奨される入力および出力コンデンサは、公称値の約 50% の実効容量を表しています。

7.1.2 入出力コンデンサの要件

安定性と、過渡応答、ノイズ除去、リップル除去を向上させるため、IN と GND との間、および TPS796 に近接して接続された、2.2μF 以上のセラミック入力バイパスコンデンサが必要です。立ち上がり時間の短い過大な負荷過渡事象が予想される場合、およびデバイスが電源から数インチの場所に配置される場合は、より大容量の入力コンデンサが必要になる可能性があります。

すべての低ドロップアウト レギュレータと同様、TPS796 では、内部制御ループを安定させるため、出力と GND との間に出力コンデンサを接続する必要があります。推奨される最小デカップリング容量は 1μF です。1μF 以上のセラミック コンデンサが適しています。

7.1.3 フィードフォワード コンデンサ (C_{FF})

可変電圧バージョンのデバイスでは、フィードフォワード コンデンサ (C_{FF}) を OUT ピンから FB ピンへ接続できます。C_{FF} は過渡現象、ノイズ、PSRR の性能を向上させますが、レギュレータの安定性には必要ありません。推奨される C_{FF} 値は *「推奨動作条件」*表に記載しています。より高い容量の C_{FF} を使用することもできますが、起動時間が長くなります。C_{FF} のトレードオフの詳細な説明については、『低ドロップアウト レギュレータでフィードフォワード コンデンサを使用する場合の長所と短所』アプリケーション ノートを参照してください。

従来のチップの場合、C_{FF} は式 1 の式で推定できます。

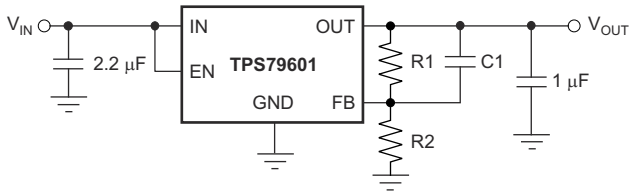
$$C1 = \frac{\left(3 \times 10^{-7}\right) \times (R1 + R2)}{(R1 \times R2)} \quad (1)$$

複数の抵抗比について、このコンデンサの推奨値を図 7-1 に示します。このコンデンサを使用しない場合 (ユニティゲイン構成の場合など)、推奨される最小出力コンデンサは 1μF ではなく 2.2μF です。

Copyright © 2026 Texas Instruments Incorporated

7.1.4 可変構成

TPS79601 可変レギュレータの出力電圧は、図 7-1 に示すように、外付けの抵抗デバイダを使用してプログラムされます。



OUTPUT VOLTAGE PROGRAMMING GUIDE

OUTPUT VOLTAGE	R1	R2	C1
1.8 V	14.0 kΩ	30.1 kΩ	33 pF
3.6 V	57.9 kΩ	30.1 kΩ	15 pF

図 7-1. 代表的なアプリケーション (可変出力)

出力電圧は、式 2 を使用して求められます。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R1}{R2}\right) \quad (2)$$

ここで

- V_{REF} = 1.2246V (代表値、内部リファレンス電圧)

TPS796 (従来のチップ) の場合、約 40µA のデバイダ電流となるよう、抵抗 R_1 および R_2 を選択する必要があります。値の低い抵抗を使用するとノイズ特性が改善されますが、デバイスではより多くの電力が消費されます。FB のリーク電流が増えると出力電圧の誤差が大きくなるため、値の高い抵抗も避ける必要があります。

推奨される設計手順は、R_2 = 30.1kΩ を選択してデバイダ電流を 40µA に設定してから、安定性を確保するために C_1 = 15pF とし、式 3 を使用して R_1 を計算することです。

$$R1 = \left(\frac{V_{OUT}}{V_{REF}} - 1\right) \times R2 \quad (3)$$

同様に、TPS796 (新しいチップ) の場合、FB ピン電流誤差項の影響を無視し、最高の精度を達成するために、R_1 と R_2 を流れる電流が「電気的特性」表に記載された I_{FB} 電流の少なくとも 5 倍になるように、R_2 が 550kΩ 以下の値になるように選択します。R_2 を小さい値にすると、ノイズ注入に対する耐性が高まります。R_2 を大きい値にすると静止電流が減少し、低負荷電流時に高い効率を達成します。式 4 は、最大帰還分圧器の直列抵抗を得る設定を計算します。

$$(R_1 + R_2) \leq V_{OUT} / (I_{FB} \times 5) \quad (4)$$

7.1.5 負荷過渡応答

負荷ステップ過渡応答とは、LDO の出力電圧が負荷電流の変動に対してどのように応答し、出力電圧のレギュレーションを維持するかを示すものです。負荷過渡応答中には、軽負荷から重負荷への遷移、および重負荷から軽負荷への遷移の 2 つの重要な遷移があります。図 7-2 に示す領域は、以下のように分類されます。A、E、H の各領域で、出力電圧が定常状態にあることを示しています。

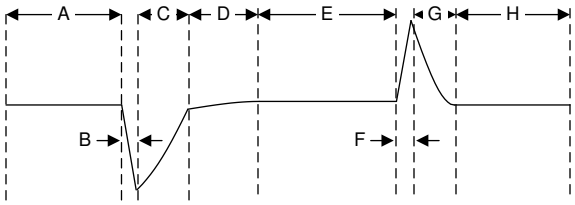


図 7-2. 負荷過渡波形

軽負荷から重負荷への遷移中の動作:

- 初期の電圧降下は、出力コンデンサの電荷の消耗および出力コンデンサまでの寄生インピーダンスによって生じるものです (領域 B)
- 電圧降下からの回復は、LDO が供給電流を増加させることによって起こり、出力電圧のレギュレーションへとつながります (領域 C)
- 初期の電圧上昇は、LDO が大きな電流を供給することによって生じ、その結果、出力コンデンサの電荷が増加します (領域 F)
- 電圧上昇からの回復は、LDO が供給電流を減少させることと、負荷が出力コンデンサを放電することによって生じます (領域 G)

出力容量が大きいと、負荷過渡時のピークは小さくなりますが、デバイスの応答時間は遅くなります。DC 負荷が大きくなることでもピークは小さくなります。これは、遷移の振幅が小さくなり、出力コンデンサに対してより大きな電流の放電経路が確保されるためです。

7.1.6 ドロップアウト電圧

TPS796 は PMOS パス トランジスタを使用して、低ドロップアウト電圧を実現しています。(V_{IN} – V_{OUT}) がドロップアウト電圧 (V_{DO}) よりも低い場合、PMOS パス トランジスタはリニア動作範囲になり、入出力抵抗は PMOS パス トランジスタの $r_{DS(on)}$ となります。PMOS トランジスタはドロップアウト時に抵抗と同じように動作するため、V_{DO} は出力電流にほぼ比例します。

Copyright © 2026 Texas Instruments Incorporated

7.1.6.1 ドロップアウトの終了

一部のアプリケーションでは、起動時に V_{IN} の上昇が遅くなるなど、LDO をドロップアウト状態にする過渡現象が発生します。他の LDO と同様に、このような状態からの回復時に出力がオーバーシュートする可能性があります。スルーレートと電圧レベルが適切な範囲にある場合、図 7-3 に示すように、ランプ入力電源によって、起動時に LDO のオーバーシュートが発生します。この状態を回避するには、イネーブル信号を使用します。

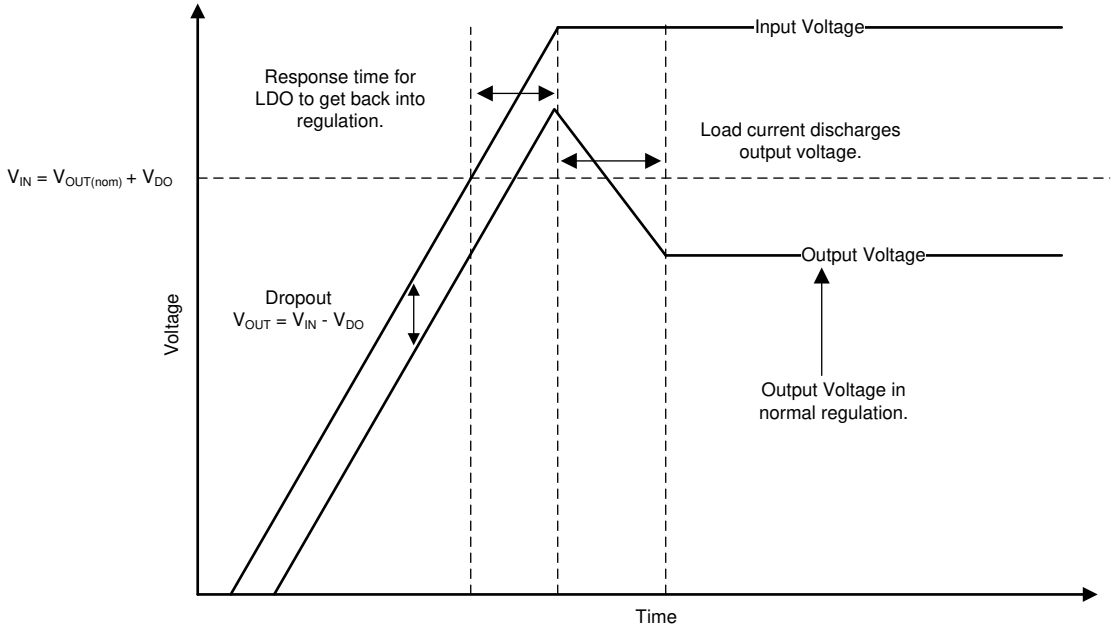


図 7-3. ドロップアウトへの起動

ドロップアウトのライン過渡も、レギュレータの出力のオーバーシュートの原因となる可能性があります。このようなオーバーシュートは、エラー アンプがパス素子のゲート容量を駆動し、適切なレギュレーションのためにゲートを適切な電圧に戻す必要があることが原因で発生します。図 7-4 に、ゲート電圧の内部で何が起きているのか、そして動作中にオーバーシュートがどのように引き起こされるのかを示します。LDO をドロップアウト状態にすると、ゲート電圧 (V_{GS}) がグランドまでプルダウンされ、パス デバイスを可能な限り低いオン抵抗にします。ただし、デバイスがドロップアウト状態のときにライン過渡が発生した場合、ループはレギュレーション状態にならず、ループが応答して出力電流が出力電圧をレギュレーション状態に戻すまで出力のオーバーシュートが発生する可能性があります。これらの過渡電圧が許容できない場合は、過渡が十分遅くなりオーバーシュートが低減するまで、システムに入力容量を追加し続けます。

Copyright © 2026 Texas Instruments Incorporated

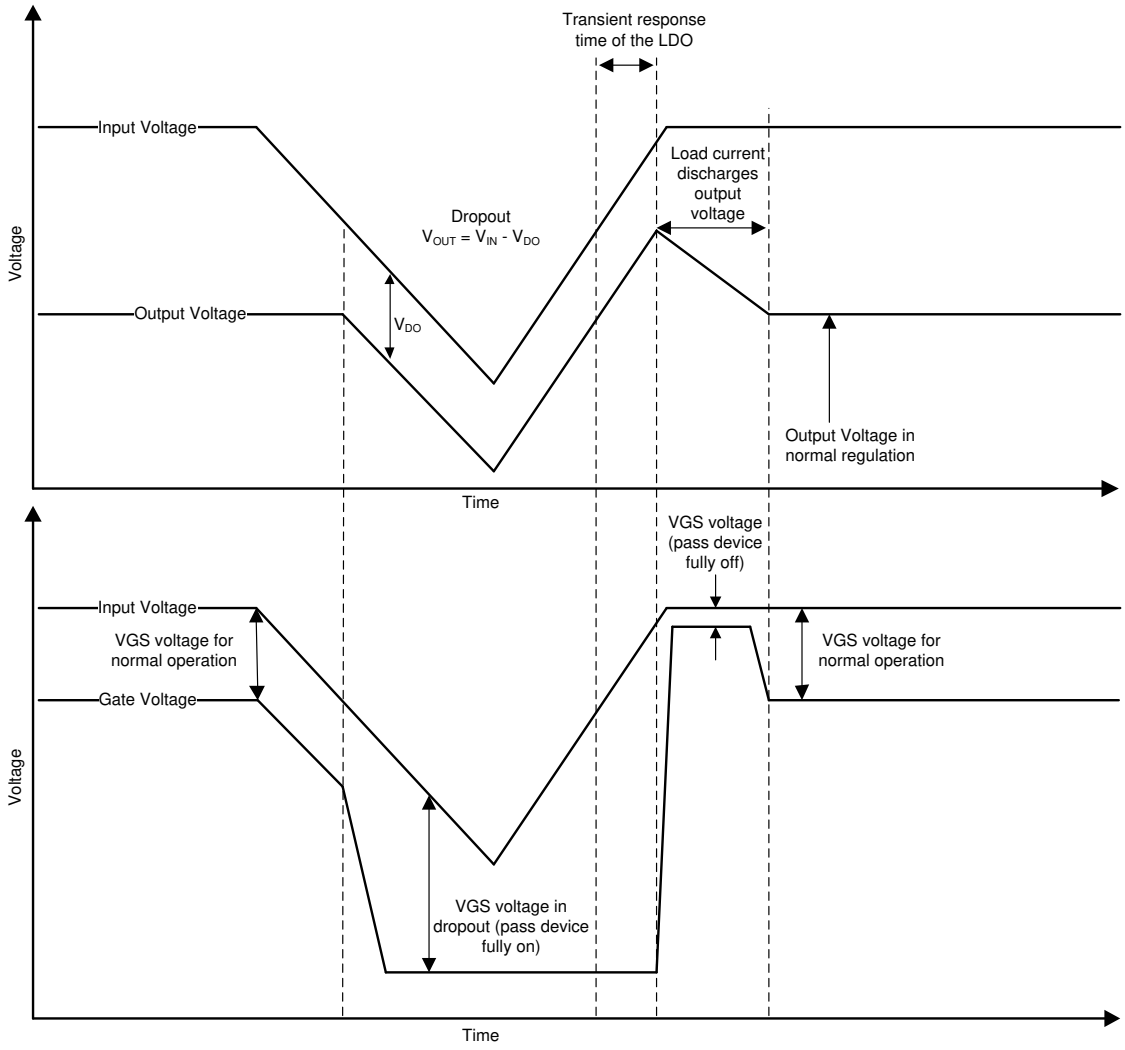


図 7-4. ドロップアウトからのライン過渡

7.1.7 ノイズ リダクション ピン (従来のチップ)

内部電圧リファレンスは、LDO レギュレータにおける主要なノイズ源です。TPS796 (従来のチップ) にはノイズ リダクション (NR) ピンがあり、250kΩ 内部抵抗経由で電圧リファレンスに接続されています。250kΩ の内部抵抗と、NR ピンに接続された外付けバイパス コンデンサによってローパス フィルタが形成され、電圧リファレンスのノイズが低減されます。これによって、レギュレータの出力でのノイズも低減されます。レギュレータが正常に動作するためには、NR ピンから流れ出る電流が最小になる必要があります。これは、リーク電流の場合、内部抵抗の両端で IR 降下が発生し、出力誤差が生じるためです。したがって、バイパス コンデンサはリーク電流を最小限に抑える必要があります。従来のチップの機能ブロック図 (図 6-2) に示す内部スイッチにより提供されるクイックスタート時間中、コンデンサが完全に充電されるように、バイパス コンデンサは 0.1µF 以下にする必要があります。内部 250kΩ 抵抗と外付けコンデンサによって形成されるバイパス ピンの RC 時定数に起因してバイパス キャパシタンスが増加するため、出力は低速で起動します。

7.1.8 消費電力 (P_D)

デバイスの消費電力を把握し、タブやパッドに接続されたサーマル プレーンを適切に設計することは、サーマル シャットダウンを防ぎ、信頼性の高い動作を確保するうえで極めて重要です。

1 次近似では、デバイスの消費電力は、入力電圧と負荷条件に依存します。式 5 を使用して、P_D を概算します。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (5)$$

Copyright © 2026 Texas Instruments Incorporated

必要な出力電圧の安定性を得るために可能な限り低い入力電圧を使用することで、電力損失を最小限に抑え、より高い効率を達成することができます。

デバイスの主な熱伝導パスは、パッケージのサーマル パッド、または SOT-223 (DCQ) および TO-263 (KTT) パッケージの GND パッドを通過します。このため、サーマル パッドと GND パッドは、デバイスの下にある銅パッド領域に半田付けする必要があります。このパッド領域にはめっきビアのアレイがあり、熱を内部層のプレーンや基板裏面の銅プレーンへと伝導します。タブはグランドに接続する必要があります。

最大消費電力により、デバイスの最大許容接合部温度 (T_J) が決まります。式 6 によれば、消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) に最も関連します。式 7 は出力電流用に式 6 を並べ替えたものです。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (6)$$

$$I_{OUT} = (T_J - T_A) / [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (7)$$

残念ながら、この熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。*「推奨動作条件」*表の $R_{\theta JA}$ は JEDEC 規格、PCB、銅の拡散領域によって決まり、パッケージの放熱性能の相対的な単位としてのみ使用されます。

7.2 代表的なアプリケーション

代表的なアプリケーション回路を図 7-5 に示します。

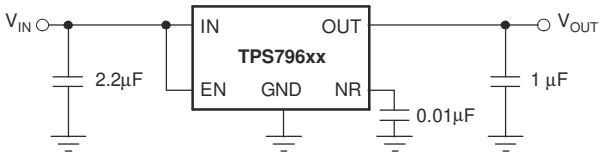


図 7-5. 代表的なアプリケーション回路

7.2.1 設計要件

表 7-1 に、設計パラメータの一覧を示します。

表 7-1. 設計パラメータ

パラメータ	設計要件
入力電圧	4.3V
出力電圧	3.3V
最大出力電流	700mA
出力コンデンサ	10µF

7.2.2 詳細な設計手順

この設計例では、固定 3.3V デバイスを選択します。このデバイスには 4.3V のレールがあり、V_{IN} と V_{OUT} の間に 1V のヘッドルームを維持することで、設計のあらゆる負荷および温度条件においてデバイスがレギュレーション状態を維持することができます。負荷には、最小 600mA で最大 1A、100kHz で 40dB の PSRR が必要です。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

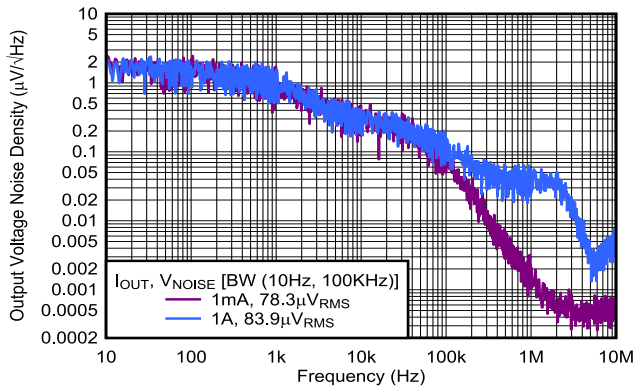


図 7-6. TPS796 出力スペクトル ノイズ密度と周波数との関係

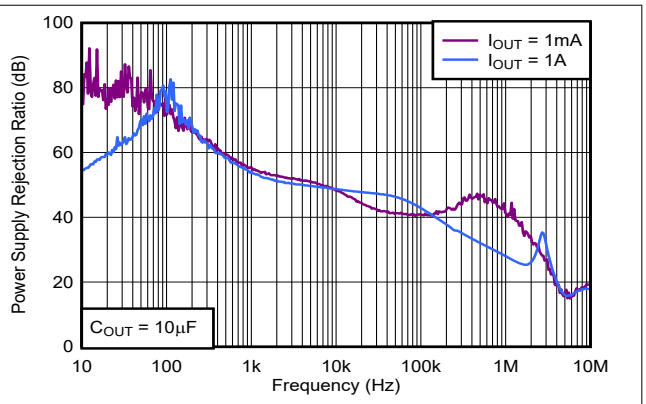


図 7-7. TPS796 PSRR と周波数との関係

7.2.4 設計のベスト プラクティス

レギュレータの OUT ピンのできるだけ近くに、少なくとも 1 つの 1µF セラミック コンデンサを配置します。

出力コンデンサは、レギュレータから 10mm 以上離れた位置に配置しないでください。

レギュレータの IN ピンと GND 入力間に 2.2µF の低等価直列抵抗 (ESR) コンデンサを接続します。

絶対最大定格を超過してはなりません。

7.3 電源に関する推奨事項

これらのデバイスは、2.7V ～ 5.5V の入力電源電圧範囲で動作するように設計されています。この入力電圧範囲により、デバイスがレギュレートされた出力を供給するための十分なヘッドルームが得られます。この入力電源は適切にレギュレートされ、安定しています。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

7.4.1.1 PSRR およびノイズ性能向上のための推奨基板レイアウト

PSRR、出力ノイズ、過渡応答などの AC 測定を向上させるために、基板設計では V_{IN} と V_{OUT} に別々のグランド プレーンを設け、各グランド プレーンをデバイスのグランド ピンのみで接続することをお勧めします。さらに、バイパス コンデンサのグランド接続部はデバイスのグラウンドピンに直接接続する必要があります。

7.4.1.2 レギュレータの取り付け

SOT223-6 パッケージのタブは電気的にグランドに接続されています。最高の放熱性能を得るには、表面実装タイプのタブを回路基板の銅領域に直接半田付けする必要があります。銅面積を増やすと、放熱が改善されます。

デバイスの半田パッドのフットプリントに関する推奨事項については、テキサス インスツルメンツの Web サイト (www.ti.com) から入手可能な*『表面実装デバイスの半田パッドに関する推奨事項』アプリケーション ノート*を参照してください。

7.4.1.3 推定接合部温度

*熱に関する情報*表に示す熱特性値 Ψ_{JT} および Ψ_{JB} を使用することで、対応する式で接合部温度を推定できます (式 8 で説明)。下位互換性のため、古い $R_{\theta JC}$、*Top* パラメータもリストされています。

$$\Psi_{JT}: \quad T_J = T_T + \Psi_{JT} \bullet P_D$$
$$\Psi_{JB}: \quad T_J = T_B + \Psi_{JB} \bullet P_D \tag{8}$$

Copyright © 2026 Texas Instruments Incorporated

ここで

- P_D は、式 8 で説明されている消費電力です。
- T_T は、デバイス パッケージの中央上部の温度
- T_B は、*PCB 表面上* でデバイス パッケージから 1mm 離れた場所で測定された PCB 温度です (図 7-9 を参照)。

注

T_T と T_B の両方は、熱ガン (赤外線温度計) を使用して実際のアプリケーション ボードで測定できます。

T_T と T_B の測定の詳細については、*『新しい熱評価基準の使用』アプリケーション ノート*を参照してください。このアプリケーション ノートは www.ti.com からダウンロードできます。

図 7-8 に示すように、新しい熱指標 (Ψ_{JT} と Ψ_{JB}) は基板サイズへの依存性はほとんどありません。つまり、式 8 で、Ψ_{JT} や Ψ_{JB} を使用して、T_T または T_B を測定することで、基板サイズに関係なく簡単に接合部温度 T_J を推定するのに有効な方法です。

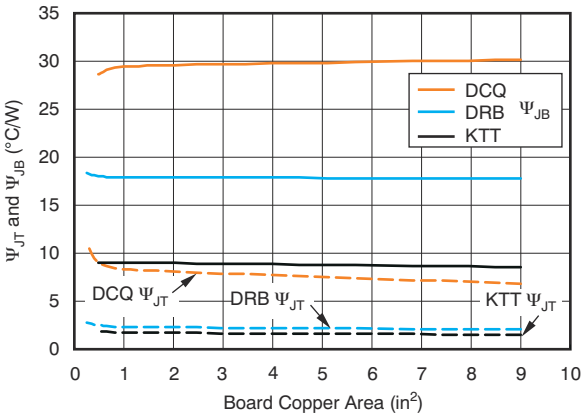
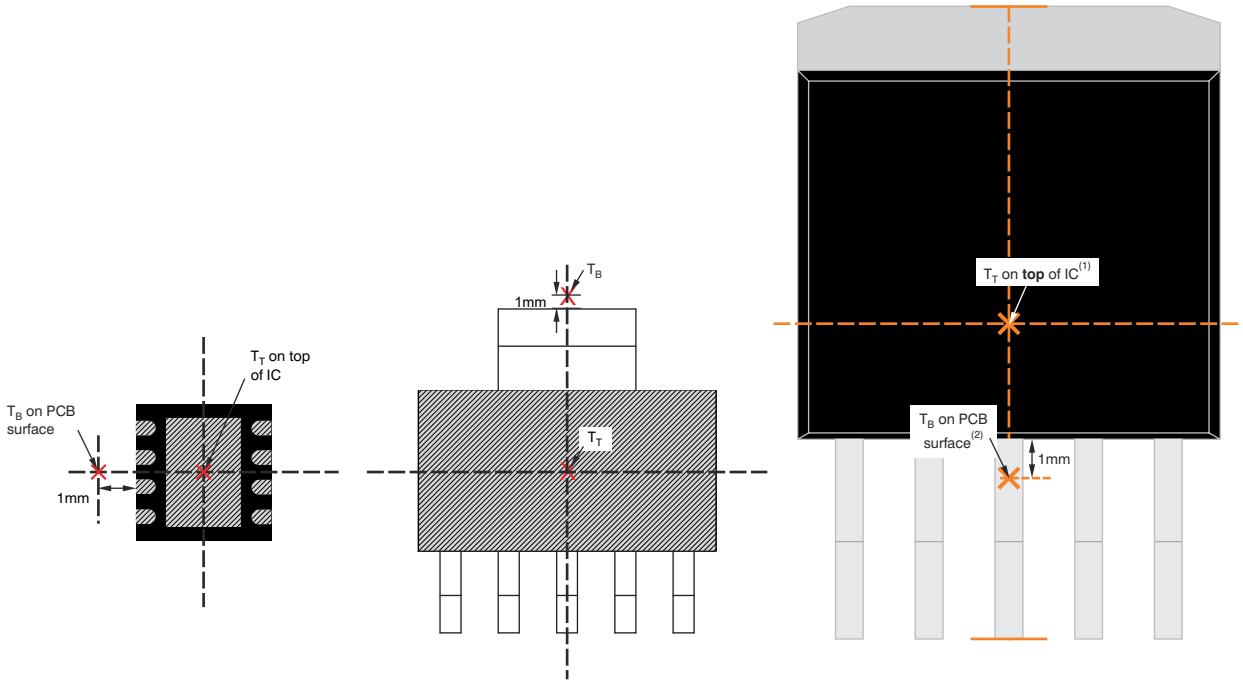


図 7-8. Ψ_{JT} および Ψ_{JB} とボード サイズとの関係

熱特性を判定するためにテキサス インスツルメンツが $\theta_{JC(top)}$ を使用することを推奨しない理由についての詳細は*『新しい熱評価基準の使用』アプリケーション ノート*を参照してください。このアプリケーション ノートは、www.ti.com からダウンロードできます。詳細については、テキサス インスツルメンツの Web サイトでも入手可能な *半導体および IC パッケージの熱評価基準アプリケーション ノート*を参照してください。

Copyright © 2026 Texas Instruments Incorporated



A. T_T は、X 軸と Y 軸の両方の中心で測定されます。
B. T_B は、PCB 表面のパッケージ リード ***より下で*** 測定されます。

図 7-9. T_T および T_B の測定ポイント

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

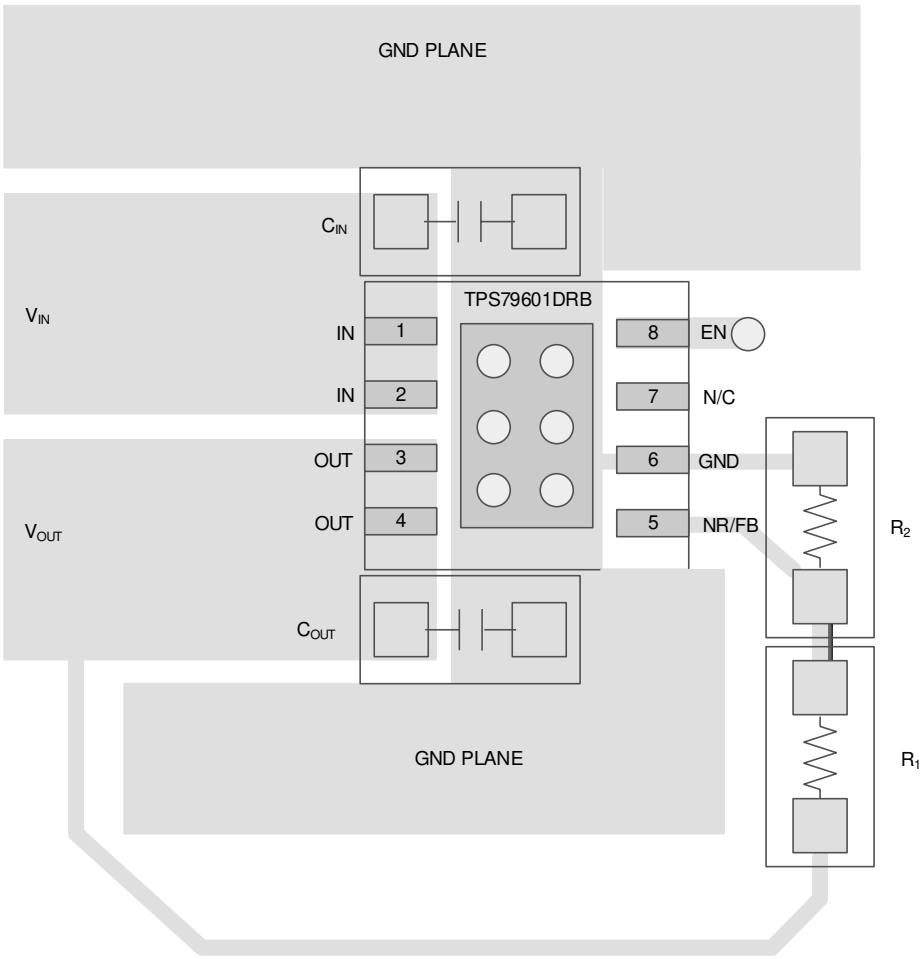


図 7-10. TPS79601 (可変電圧バージョン) : DRB のレイアウト例

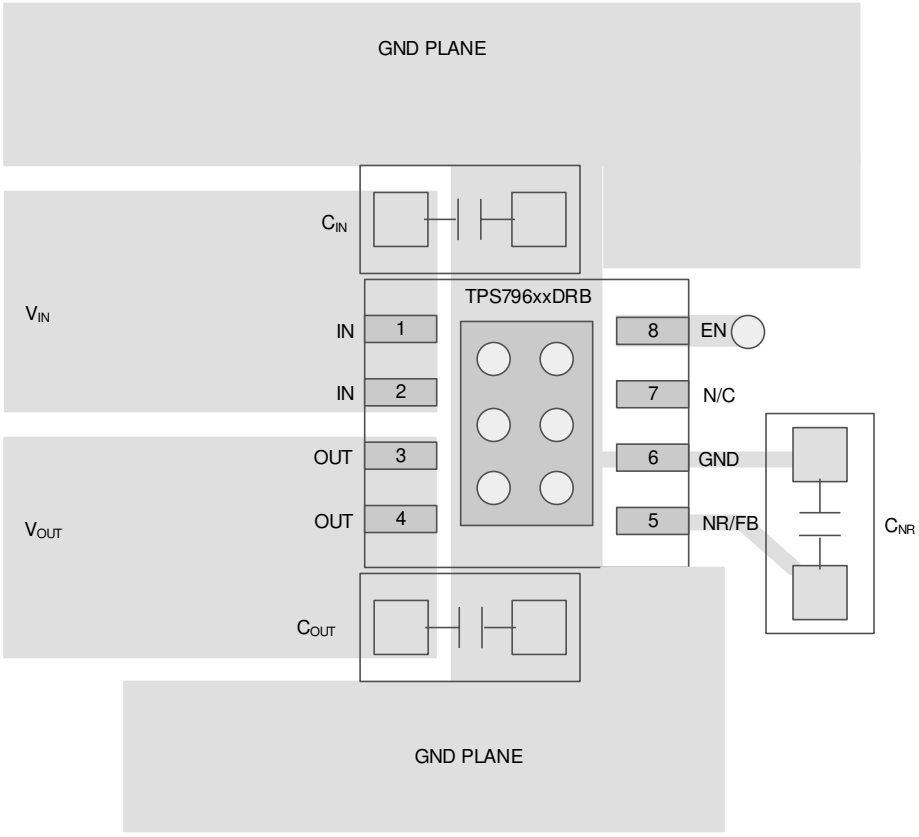


図 7-11. TPS796xx (固定電圧バージョン) : DRB のレイアウト例

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 評価基板

TPS796 を使用した初期の回路性能評価には、評価基板 (EVM) を利用することができます。TPS79601DRBEVM 評価基板は、テキサス インスツルメンツの Web サイトにある製品フォルダで請求するか、TI eStore から直接購入できます。

8.1.1.2 SPICE モデル

SPICE による回路パフォーマンスのコンピュータ シミュレーションは、アナログ回路やシステムのパフォーマンスを分析するため多くの場合に有用です。TPS796 用の SPICE モデルは、製品フォルダの「シミュレーション モデル」で入手できます。

8.1.2 デバイスの命名規則

表 8-1. 利用可能なオプション

製品(1)	説明
TPS796**xx(x)***yyy z M3*	**xx(x)** は公称出力電圧です (例:28 = 2.8V、285 = 2.85V、01 = 可変)。 **yyy** はパッケージ指定子です。 **z** はパッケージ数量です。***M3*** は最新の製造フロー (CSO: RFB) を用いて出荷されます。この接尾辞がないデバイスは、従来のチップ (CSO: DLN) または新しいチップ (CSO: RFB) を用いて出荷されます。リール包装ラベルには、使用されているチップを識別するための CSO 情報が記載されています。本書では、新旧チップごとのデバイス性能について説明しています。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『新しい熱評価基準の解説』アプリケーション ノート*
- テキサス インスツルメンツ、*『半導体および IC パッケージの熱評価基準』アプリケーション ノート*
- テキサス インスツルメンツ、*『TPS799xxEVM-105 ユーザー ガイド』*
- テキサス インスツルメンツ、*『表面実装デバイスの半田パッドに関する推奨事項』アプリケーション ノート*

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision Q (June 2025) to Revision R (January 2026)	Page
• 「新しいチップ」の DRB 熱情報を追加	5

Changes from Revision P (January 2015) to Revision Q (June 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• デバイス名を簡略化した *TPS796* に変更し、すべての電圧オプションのデバイスを 1 つのデバイス名に統合	1
• 現在のファミリのフォーマットに合わせてドキュメント全体を変更	1
• ドキュメントに新しいシリコン (M3) デバイスを追加	1
• ドキュメント全体を通して新しいチップと従来のチップの情報を区別する命名規則を追加	1
• 「特長」、「アプリケーション」、「概要」セクションを変更	1
• *「ピン構成および機能」* セクションを変更	3
• *「代表的特性」*セクションに新しいシリコン曲線を追加	8
• *「機能ブロック図」* セクションに新しいチップ機能ブロック図を追加	14
• *「アクティブ放電 (新しいチップ)」* セクションを追加	16
• *「シャットダウン」* セクションを変更	16
• *「低電圧誤動作防止 (UVLO)」* セクションを変更	16
• *「レギュレータ保護」* セクションを変更し、サブセクションを追加	17
• *「ドロップアウト動作」* セクションの 2 番目の段落に定常的なドロップアウト状態の説明を追加	19
• *「アプリケーション情報」* セクションにサブセクションを追加	20
• *「設計パラメータ」* 表を変更	25
• *「詳細な設計手順」* セクションを変更	25
• 「アプリケーション曲線」セクションを変更	26
• タイトルを *「Do's および Don' ts」* から *「設計ベスト プラクティス」* に変更	26
• 「*推定接合部温度*」セクションを追加	26
• *「利用可能なオプション」* 表に M3 の情報を追加	31

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79601DCQ	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79601
TPS79601DCQ.A	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79601
TPS79601DCQG4	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS79601
TPS79601DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79601
TPS79601DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79601
TPS79601DCQRM3	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79601
TPS79601DRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	CES
TPS79601DRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	CES
TPS79601DRBRG4	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	CES
TPS79601DRBRM3	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	CES
TPS79601DRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	CES
TPS79601DRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	CES
TPS79601DRBTG4	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	CES
TPS79601KTTR	NRND	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS 79601
TPS79601KTTR.A	NRND	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS 79601
TPS79601KTTRG3	NRND	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS 79601
TPS79613DRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CCT
TPS79613DRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CCT
TPS79618DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS79618
TPS79618DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79618
TPS79618DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79618
TPS79618DCQRM3	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79618
TPS79618KTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-	TPS 79618
TPS79618KTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS 79618
TPS79625DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS79625

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79625DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79625
TPS79625DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79625
TPS79625DCQRM3	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79625
TPS79625KTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-	TPS 79625
TPS79625KTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS 79625
TPS79628DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS79628
TPS79628DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79628
TPS79628DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79628
TPS79630DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS79630
TPS79630DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79630
TPS79630DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79630
TPS79630KTTR	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-	TPS 79630
TPS79630KTTR.A	Active	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS 79630
TPS79633DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79633
TPS79633DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79633
TPS79633DCQRG4	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS79633
TPS79633DCQRM3	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79633
TPS79633KTTR	NRND	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-	TPS 79633
TPS79633KTTR.A	NRND	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS 79633
TPS79633KTTRG3	NRND	Production	DDPAK/ TO-263 (KTT) | 5	500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TPS 79633
TPS79650DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS79650
TPS79650DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79650
TPS79650DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79650
TPS79650DRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BYZ
TPS79650DRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BYZ

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79650DRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BYZ
TPS79650DRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BYZ
TPS79650DRBTG4	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BYZ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

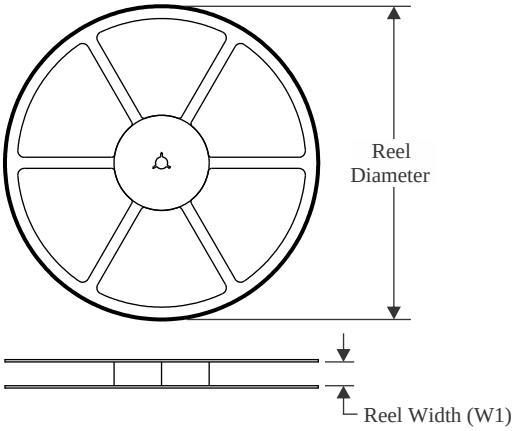
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

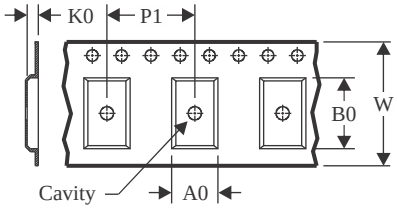
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

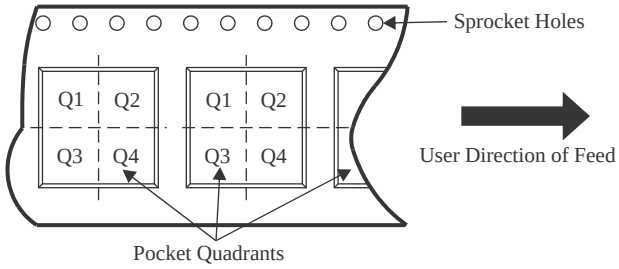


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

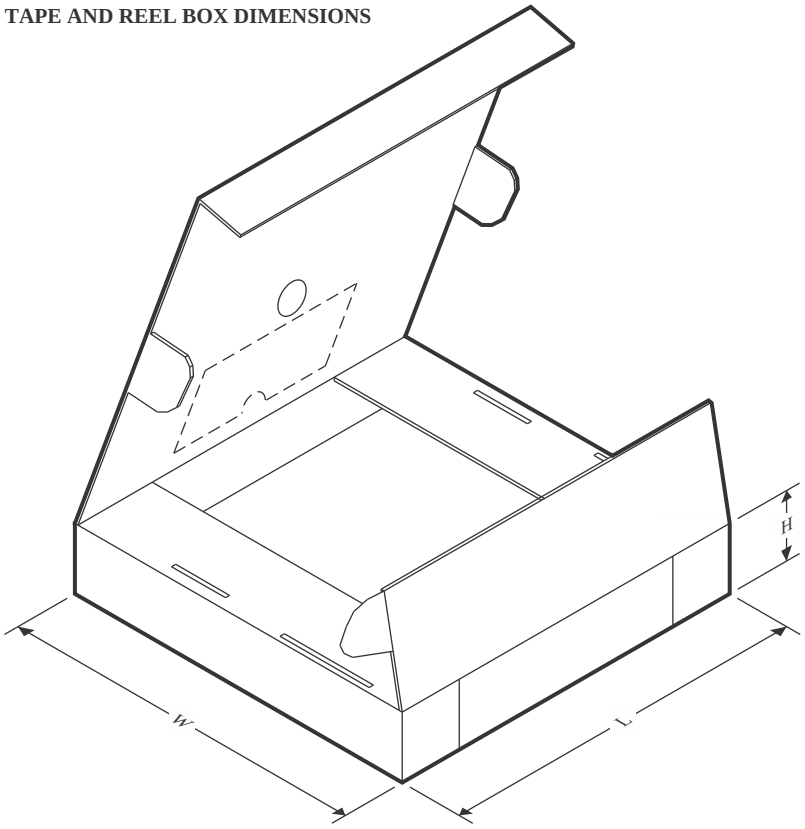


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS79601DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.85	7.3	1.88	8.0	12.0	Q3
TPS79601DCQRM3	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS79601DRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS79601DRBRM3	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS79601DRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS79601KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.9	16.1	4.9	16.0	24.0	Q2
TPS79613DRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS79618DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS79618DCQRM3	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS79618KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.9	16.1	4.9	16.0	24.0	Q2
TPS79625DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.85	7.3	1.88	8.0	12.0	Q3
TPS79625DCQRM3	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS79625KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.9	16.1	4.9	16.0	24.0	Q2
TPS79628DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS79630DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79630KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.9	16.1	4.9	16.0	24.0	Q2
TPS79633DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS79633DCQRM3	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS79633KTTR	DDPAK/ TO-263	KTT	5	500	330.0	24.4	10.9	16.1	4.9	16.0	24.0	Q2
TPS79650DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79650DRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS79650DRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS

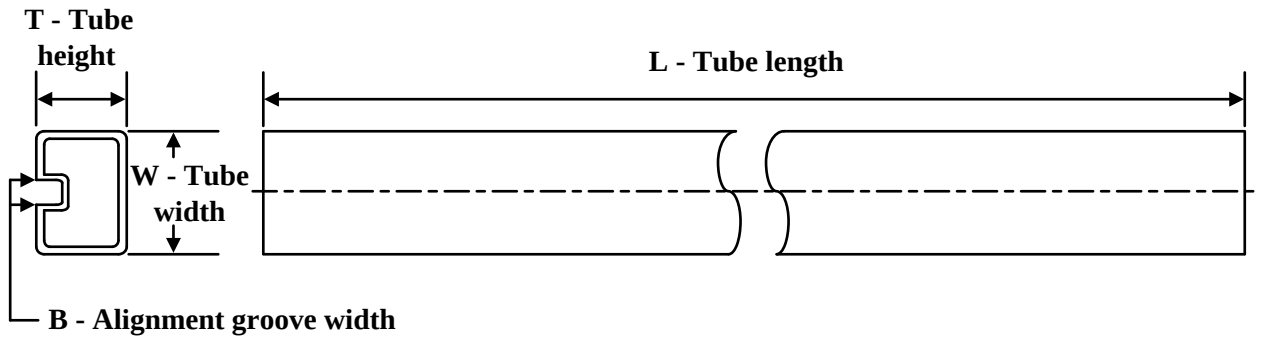


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS79601DCQR	SOT-223	DCQ	6	2500	356.0	356.0	36.0
TPS79601DCQRM3	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS79601DRBR	SON	DRB	8	3000	353.0	353.0	32.0
TPS79601DRBRM3	SON	DRB	8	3000	367.0	367.0	35.0
TPS79601DRBT	SON	DRB	8	250	213.0	191.0	35.0
TPS79601KTTR	DDPAK/TO-263	KTT	5	500	356.0	356.0	45.0
TPS79613DRBR	SON	DRB	8	3000	353.0	353.0	32.0
TPS79618DCQR	SOT-223	DCQ	6	2500	340.0	340.0	38.0
TPS79618DCQRM3	SOT-223	DCQ	6	2500	340.0	340.0	38.0
TPS79618KTTR	DDPAK/TO-263	KTT	5	500	356.0	356.0	45.0
TPS79625DCQR	SOT-223	DCQ	6	2500	356.0	356.0	36.0
TPS79625DCQRM3	SOT-223	DCQ	6	2500	340.0	340.0	38.0
TPS79625KTTR	DDPAK/TO-263	KTT	5	500	356.0	356.0	45.0
TPS79628DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79630DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79630KTTR	DDPAK/TO-263	KTT	5	500	356.0	356.0	45.0
TPS79633DCQR	SOT-223	DCQ	6	2500	340.0	340.0	38.0
TPS79633DCQRM3	SOT-223	DCQ	6	2500	340.0	340.0	38.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS79633KTTR	DDPAK/TO-263	KTT	5	500	356.0	356.0	45.0
TPS79650DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79650DRBR	SON	DRB	8	3000	353.0	353.0	32.0
TPS79650DRBT	SON	DRB	8	250	213.0	191.0	35.0

TUBE



*All dimensions are nominal

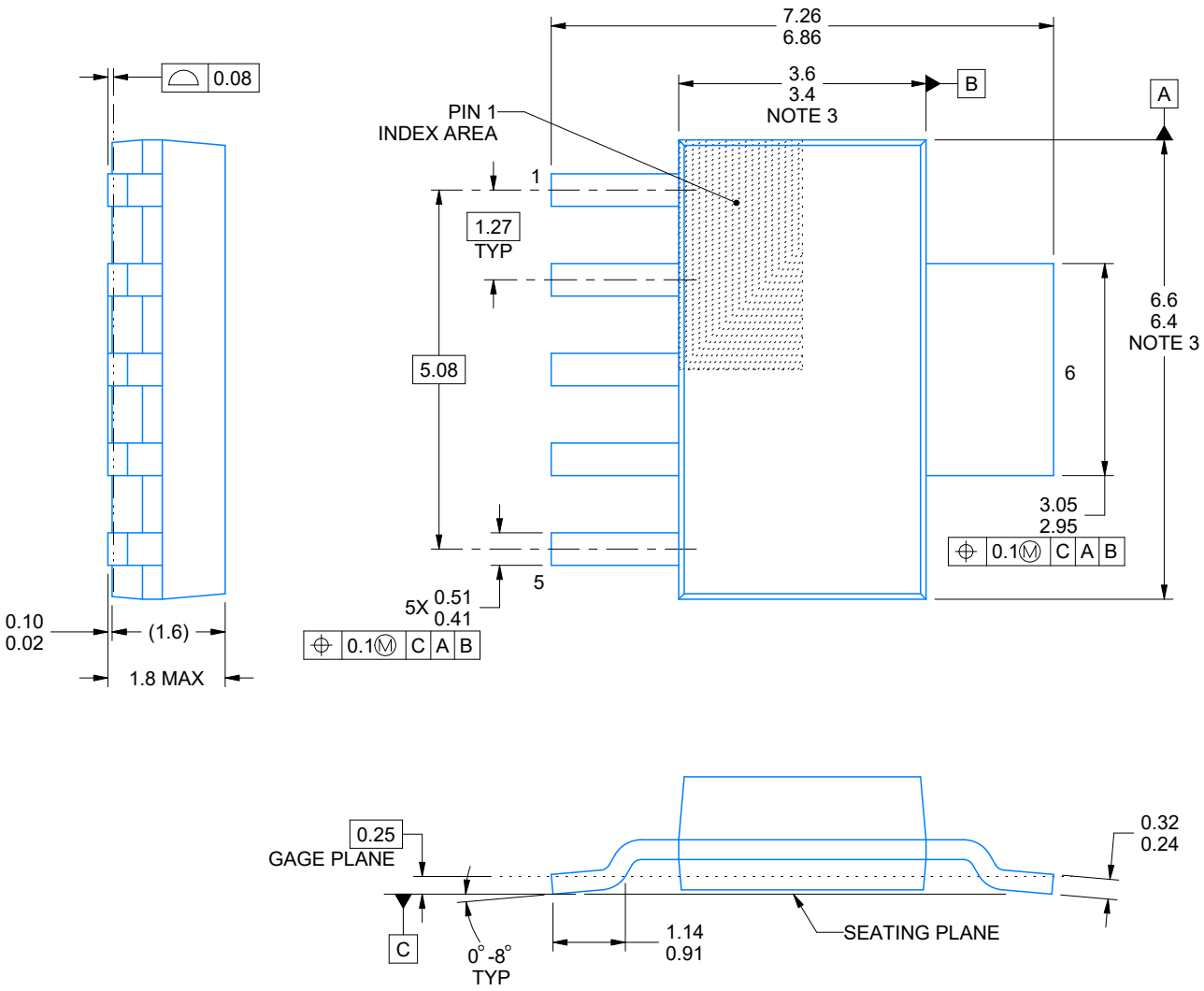
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPS79601DCQ	DCQ	SOT-223	6	78	543	8.6	3606.8	2.67
TPS79601DCQ.A	DCQ	SOT-223	6	78	543	8.6	3606.8	2.67

PACKAGE OUTLINE

DCQ0006A

SOT - 1.8 mm max height

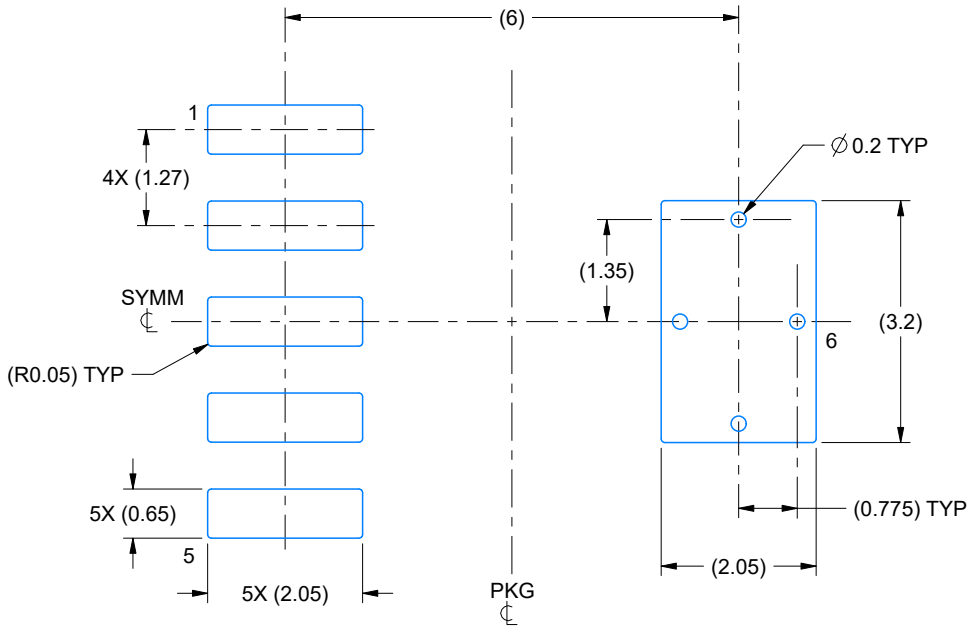
PLASTIC SMALL OUTLINE



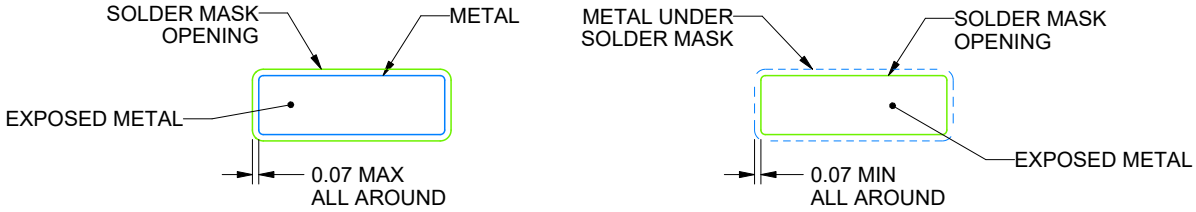
4214845/C 11/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

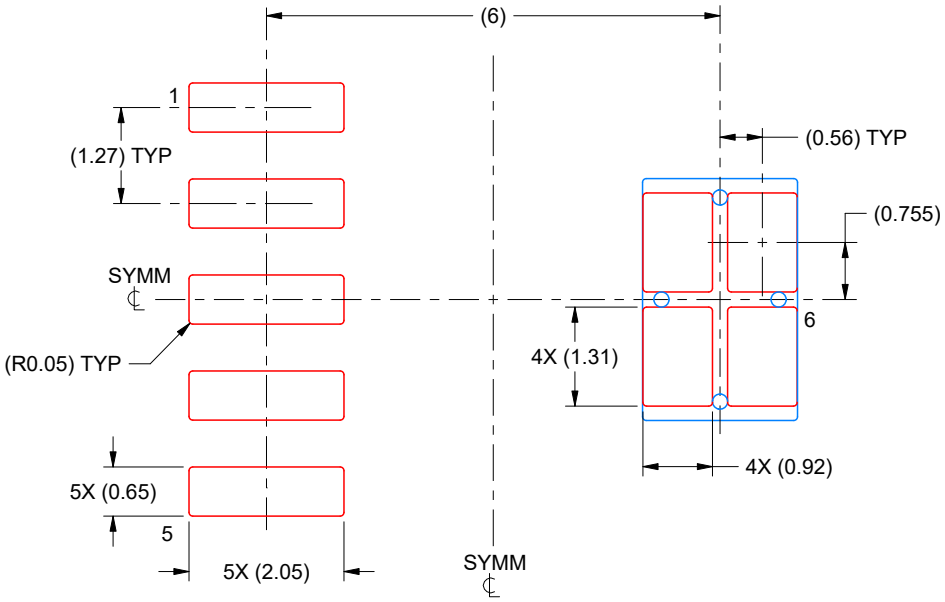


SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

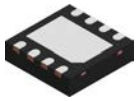
PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203482/L

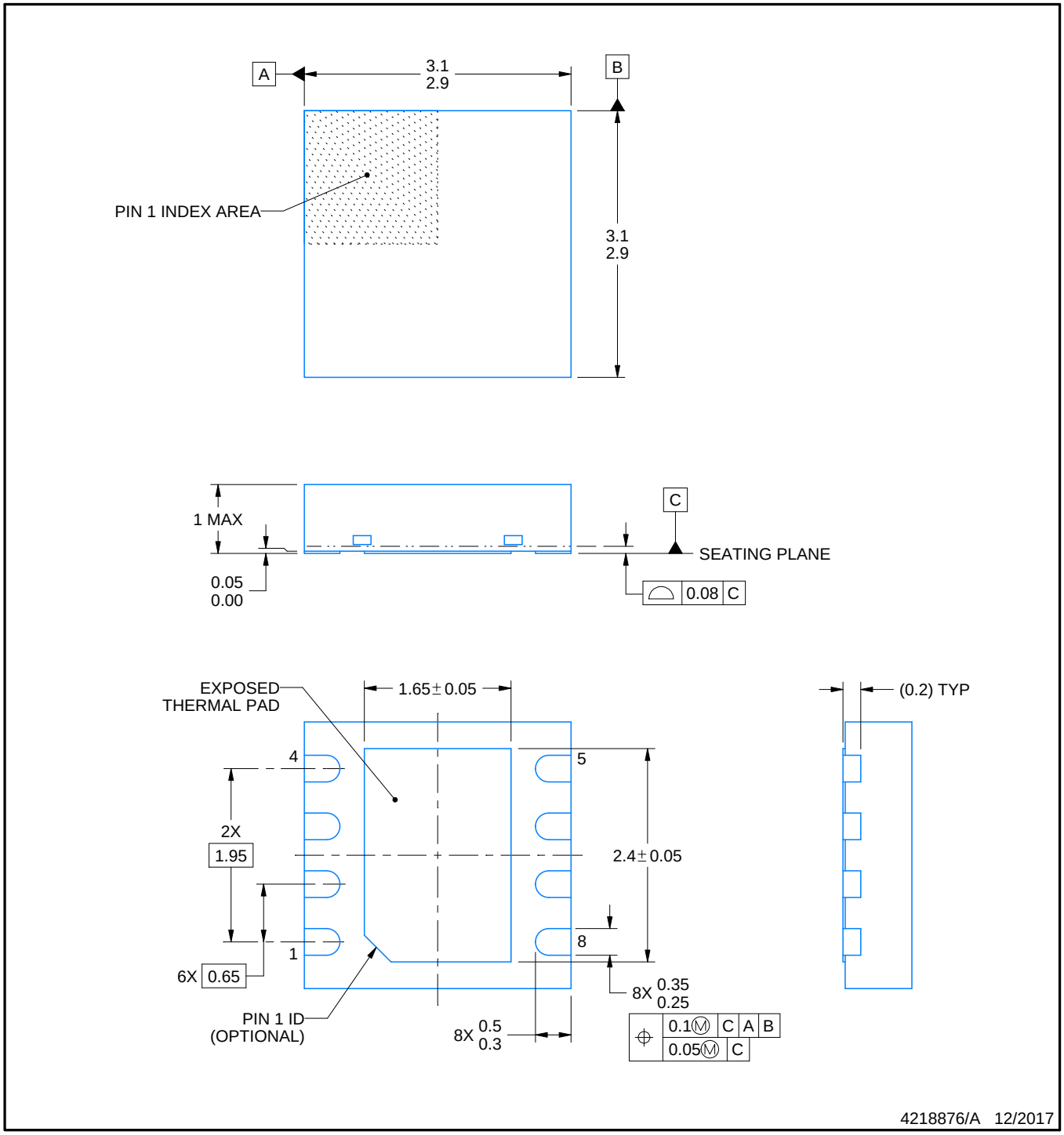
DRB0008B



PACKAGE OUTLINE

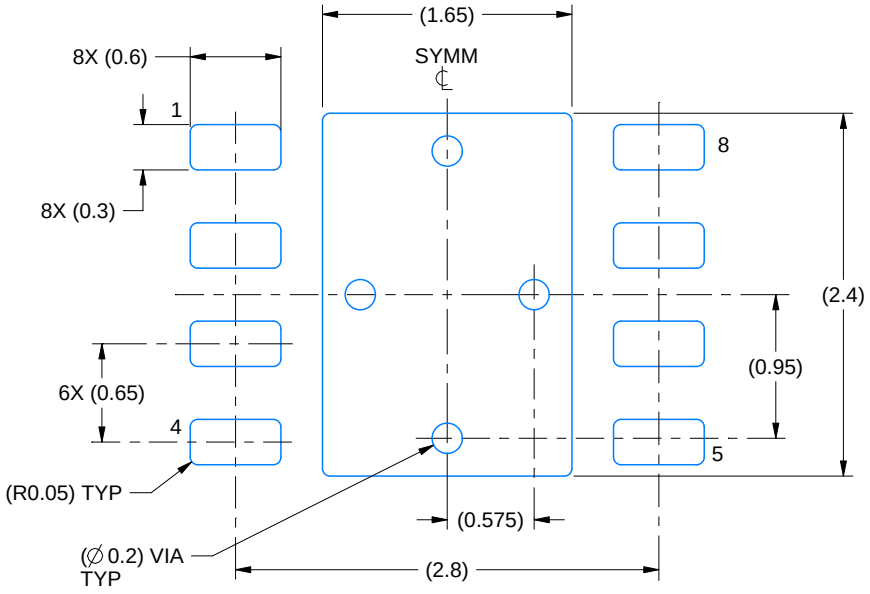
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

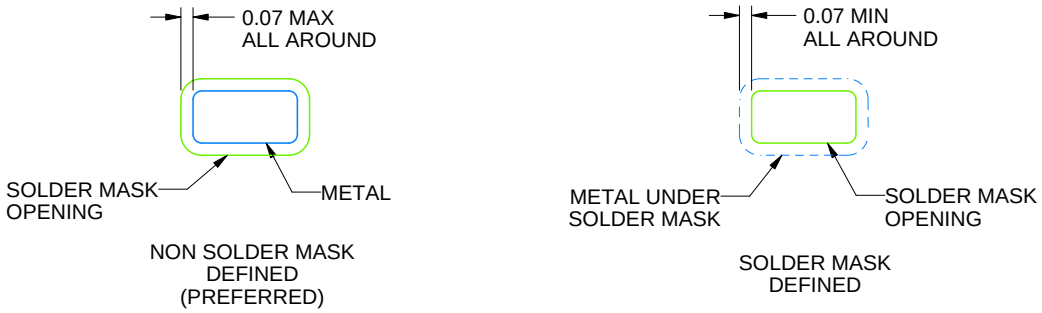


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

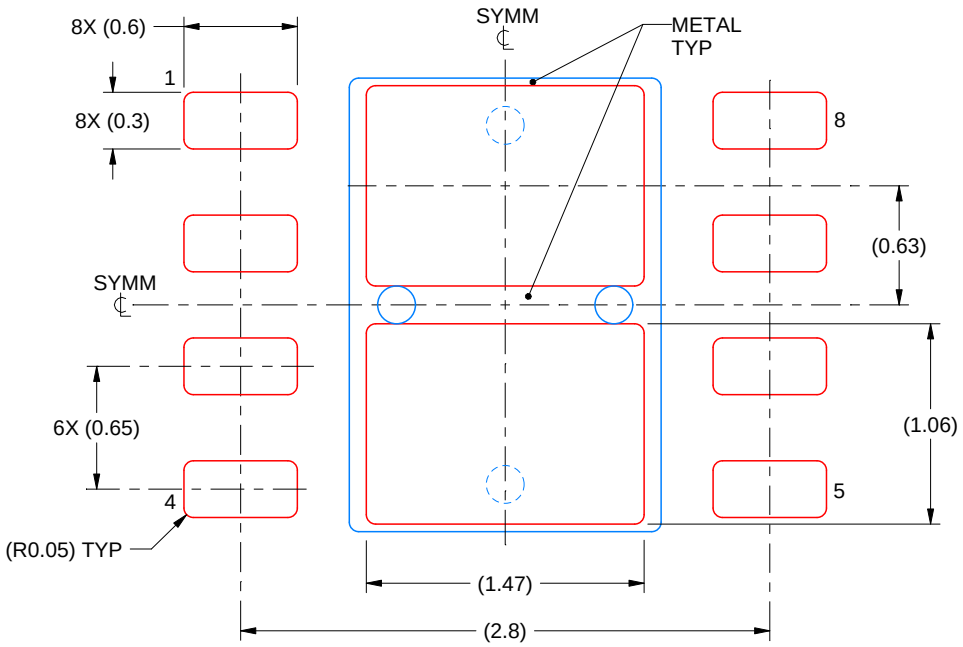


SOLDER MASK DETAILS

4218876/A 12/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

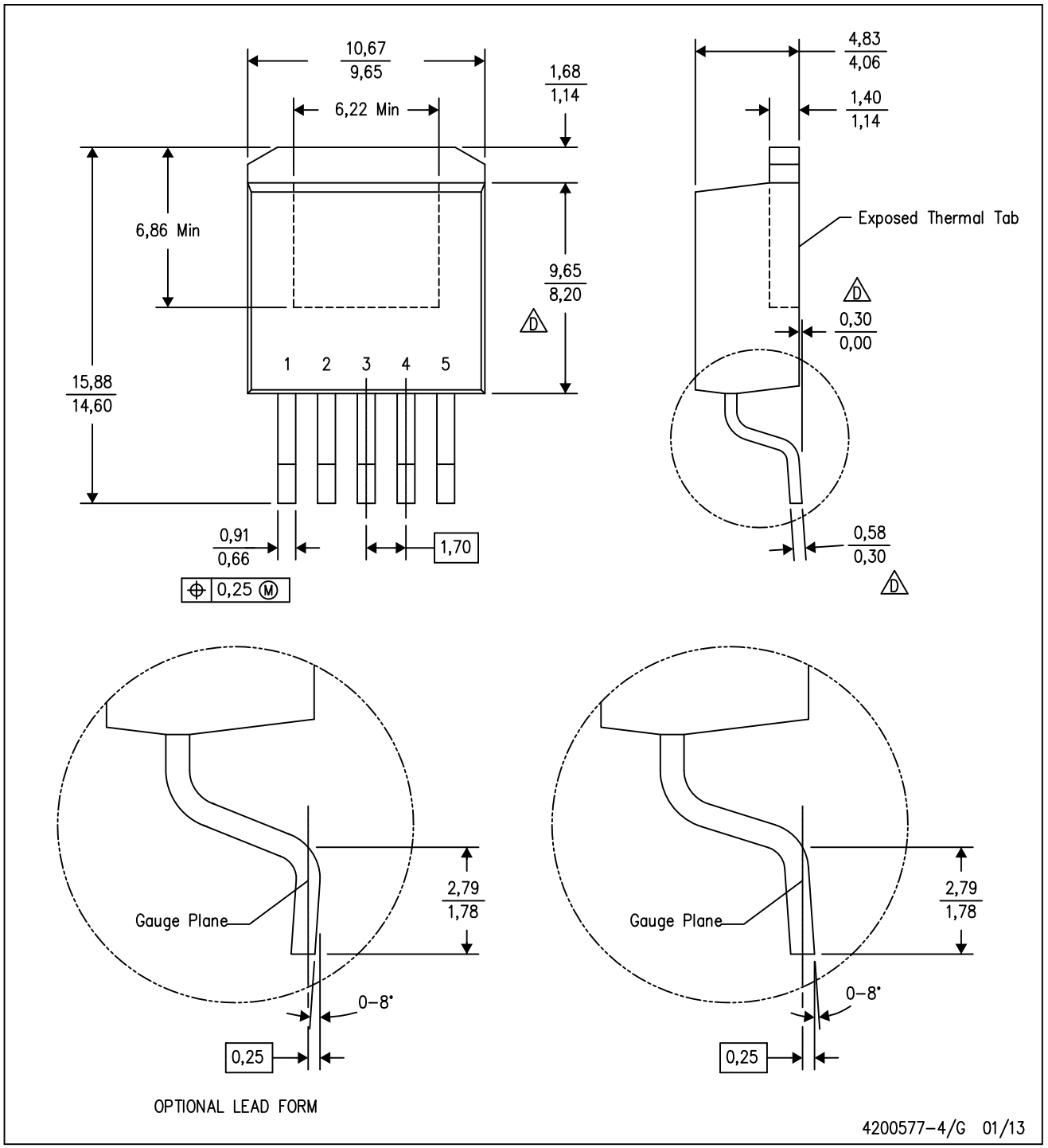
EXPOSED PAD
81% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218876/A 12/2017

NOTES: (continued)

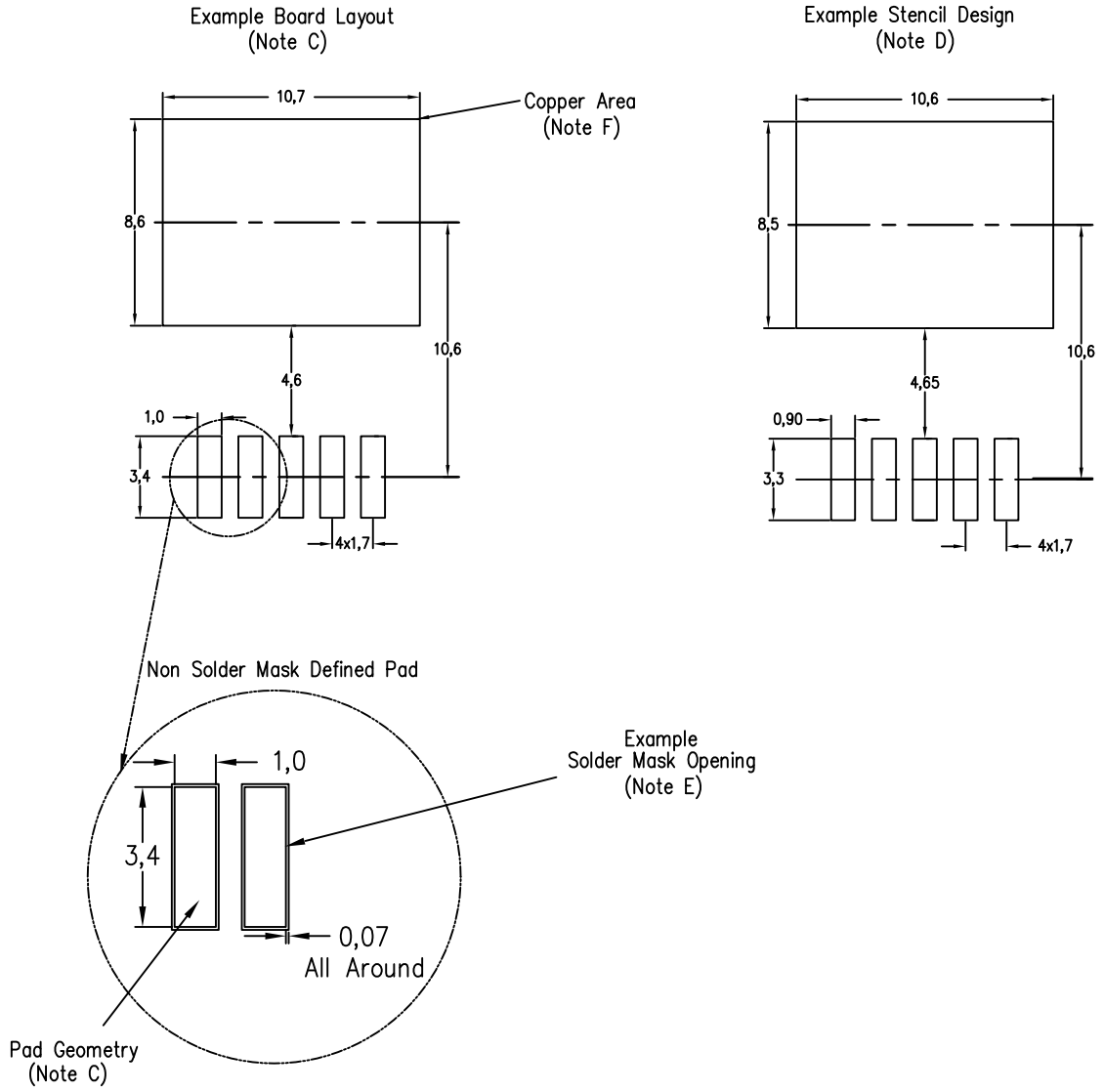
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

KTT (R–PSFM–G5) PLASTIC FLANGE–MOUNT PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion. Mold flash or protrusion not to exceed 0.005 (0,13) per side.
D. Falls within JEDEC TO–263 variation BA, except minimum lead thickness, maximum seating height, and minimum body length.

KTT (R–PSFM–G5) PLASTIC FLANGE–MOUNT PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–SM–782 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.
F. This package is designed to be soldered to a thermal pad on the board. Refer to the Product Datasheet for specific thermal information, via requirements, and recommended thermal pad size. For thermal pad sizes larger than shown a solder mask defined pad is recommended in order to maintain the solderable pad geometry while increasing copper area.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月