TPS7A14-Q1 車載 1A、低 V_{IN}、低 V_{OUT}、超低ドロップアウト レギュレータ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:–40°C ～ +125°C
  - 接合部温度:–40°C ～ +150°C
- 非常に低い入力電圧範囲 (VIN):0.7V ～ 2.2V
- 高い効率:
  - 1A でのドロップアウト電圧:最大 140mV
  - V_{IN} = V_{OUT} + +150mV で仕様規定
- 非常に優れた負荷過渡応答:
  - 25mV (I_{LOAD} が 3mA から 500mA まで 20µs で変化する場合)
- 精度 (負荷、ライン、温度変動を含む):+1%、-1.25%
- 高 PSRR:
  - 80dB (1kHz 時) (V_{OUT} = 0.8V、I_{OUT} = 500mA)
- 固定出力電圧で提供:
  - 0.5V～2.0V (25mV 刻み)
- V_{BIAS} 範囲:2.2V ～ 5.5V
- ウェッタブル フランク付きの 6 ピン WSON (2mm × 2mm) パッケージ
- アクティブ出力放電
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能

2 アプリケーション

- デジタル コックピット処理装置
- テレマティクス制御ユニット (TCU)
- ゾーン制御モジュール
- 車載用カメラ

3 説明

TPS7A14-Q1 は、優れた過渡応答特性を持つ小型超低ドロップアウト レギュレータ (LDO) です。このデバイスは 1A の電流を供給でき、AC 性能 (負荷およびライン過渡応答) が非常に優れています。入力電圧範囲は 0.7V～2.2V、出力電圧範囲は 0.5V～2.0V であり、負荷、ライン、温度範囲の全体にわたって 1% の非常に高い精度を維持します。

主電源路は IN ピンを経由し、最小で (出力電圧 ＋ 50mV) という低い電源に接続できます。すべての電気的特性 (優れた出力電圧許容誤差、過渡応答、PSRR など) は、出力電圧を 100mV 上回る入力電圧に対して仕様が規定されているため、実際に高い効率が得られます。このレギュレータは、外部から供給されるより高い V_{BIAS} レールを使って LDO の内部回路に電力を供給することで、極めて低い入力電圧に対応します。たとえば、IN ピンの電源電圧として高効率の DC/DC 降圧レギュレータの出力を使用し、BIAS ピンの電源電圧として充電可能バッテリを使用できます。

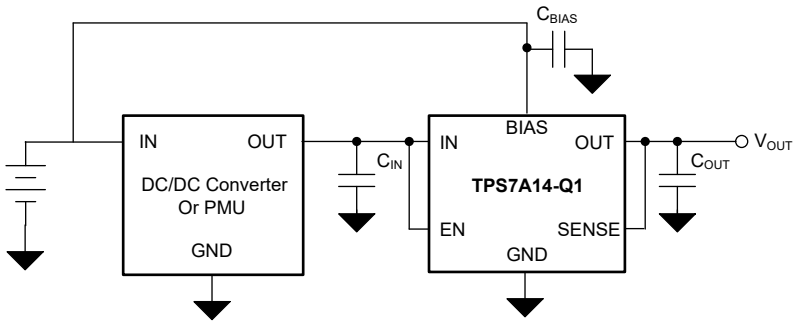
TPS7A14-Q1 には、ディセーブル時に出力を高速放電するアクティブ プルダウン回路が内蔵されており、既知のスタートアップ状態を確保できます。

TPS7A14-Q1 は、2mm × 2mm、6 ピン WSON パッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7A14-Q1	DRV (WSON、6)	2mm × 2mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路

ADVANCE INFORMATION

ADVANCE INFORMATION

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 ESD 定格 4
5.3 推奨動作条件 4
5.4 熱に関する情報 5
5.5 電気的特性 5
5.6 代表的特性 7
6 詳細説明 12
6.1 概要 12
6.2 機能ブロック図 12
6.3 機能説明 13
6.4 デバイスの機能モード 15
7 アプリケーションと実装 16
7.1 使用上の注意 16
7.2 代表的なアプリケーション 20
7.3 電源に関する推奨事項 21
7.4 レイアウト 22
8 デバイスおよびドキュメントのサポート 23
8.1 デバイス サポート 23
8.2 ドキュメントのサポート 23
8.3 ドキュメントの更新通知を受け取る方法 23
8.4 サポート・リソース 23
8.5 商標 23
8.6 静電気放電に関する注意事項 24
8.7 用語集 24
9 改訂履歴 24
10 メカニカル、パッケージ、および注文情報 24

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

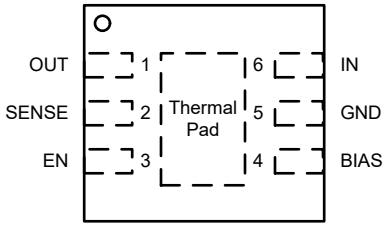


図 4-1. DRV パッケージ 6 ピン WSON、露出サーマル パッド付き (上面図)

表 4-1. ピンの機能：DRV パッケージ

ピン		タイプ	説明
番号	名称		
1	OUT	出力	レギュレートされた出力ピン。安定性を確保するために、OUT からグランド間に 2.2µF 以上の静電容量が必要です。最良の過渡応答を得るには、OUT とグランドの間に 8µF (公称値) 以上のセラミック コンデンサを使用します。出力コンデンサは、できるだけ OUT ピンの近くに配置します。
2	SENSE	入力	SENSE 入力。このピンは、SENSE 接続用のレギュレータへの帰還入力です。SENSE を負荷に接続すると、OUT と負荷の間の配線抵抗に起因する電圧誤差を除去できます。
3	EN	入力	イネーブル ピン。このピンをロジック High にすると、LDO が有効になります。このピンをロジック Low にすると、LDO が無効になります。イネーブル機能が不要な場合は、EN ピンを IN または BIAS に接続する必要があります。
4	BIAS	入力	BIAS ピンこのピンにより、LILO 条件での動作が可能になります。最高の性能を得るには、BIAS とグランドの間に 0.47µF 以上のセラミック コンデンサを使用します。バイアス コンデンサは、できるだけ BIAS の近くに配置します。
5	GND	—	グランド ピン。このピンは、グランドに接続する必要があります。
6	IN	入力	入力ピン。安定性を確保するために、IN からグラウンド間に 0.75µF 以上の静電容量が必要です。セラミック コンデンサは、できるだけ IN ピンの近くに配置します。
サーマル パッド		—	サーマル パッドは GND ノードに電気的に接続します。熱性能を向上させるために、GND プレーンに接続します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5 仕様

5.1 絶対最大定格

動作 (自由空気) 温度範囲内にて (特に記述のない限り)。(1)

		最小値	最大値	単位
電圧	入力、V_{IN}	-0.3	2.4	V
	イネーブル、V_{EN}	-0.3	6.0	
	バイアス、V_{BIAS}	-0.3	6.0	
	センス、V_{SENSE}	-0.3	V_{IN} + 0.3 (2)	
	出力、V_{OUT}	-0.3	V_{IN} + 0.3 (2)	
電流	最高出力周	内部的に制限		A
温度	動作時の接合部、T_J	-40	150	°C
	保存、T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、このような条件や、推奨動作条件に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。推奨動作条件の範囲外ではあるが、絶対最大定格の範囲内で短時間動作している場合、デバイスは損傷を受けない可能性がありますが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 絶対最大定格は 2.4V または (V_{IN} + 0.3V) のいずれか小さい方です。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±3000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 に準拠(2)	±750	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)。(1)

		最小値	公称値	最大値	単位
V_{IN}	入力電圧	0.7		2.2	V
V_{BIAS}	バイアス電圧	2.2 と $V_{OUT(NOM)}$ + 1.4 の大きい方		5.5	V
V_{OUT}	出力電圧	0.5		2.0	V
I_{OUT}	ピーク出力電流	0		1	A
C_{IN}	入力容量 (2)	0.75			µF
C_{BIAS}	バイアス容量(3)	0.1			µF
C_{OUT}	出力容量	2.2		22	µF
ESR	出力コンデンサの直列抵抗			100	mΩ
T_J	動作時接合部温度	-40		150	°C

(1) すべての電圧は GND を基準にしています。
(2) 入力コンデンサは、ソース抵抗やインダクタンスの影響を打ち消すために必要です。これらは場合によってはリンギングや発振といったシステム レベルの不安定性を引き起こすことがあり、特に負荷過渡が存在する場合に顕著になります。ソース インピーダンスとシステム要件によっては、より大きな入力コンデンサが必要になる場合があります。
(3) LDO の安定性を確保するために、BIAS 入力コンデンサは必要ありません。ただし、過渡応答、PSRR、およびノイズ性能を維持するために、定格低減後の値が少なくとも 0.1 µF のコンデンサを使用することが推奨されます。

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		TPS7A14-Q1 WSON 6 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	72.7	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	84.9	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	32.7	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	3.2	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	32.6	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	16.8	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。SPRA953

5.5 電気的特性

T_J = –40°C ～ +150°C、V_{IN} = $V_{OUT(NOM)}$ + 0.15V、V_{BIAS} = 2.2V と $V_{OUT(NOM)}$ + 1.4V の大きい方、I_{OUT} = 1mA、V_{EN} = 1.0V、C_{IN} = 1µF、C_{OUT} = 2.2µF、C_{BIAS} = 0.1µF (特に記述のない限り)、代表値はすべて T_J = 25℃ での値

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OUT}	温度範囲全体での精度	$V_{OUT(NOM)}$ + 0.15V ≤ V_{IN} ≤ 2.2V、2.2V または $V_{OUT(NOM)}$ + 1.4V ≤ V_{BIAS} ≤ 5.5V の大きい方、1mA ≤ I_{OUT} ≤ 1A	T_J = –40℃～+150℃	-2.7		1	%
			T_J = –40℃～+125℃	-1.6		1	
ΔV_{OUT} / ΔV_{IN}	V_{IN} ライン レギュレーション	$V_{OUT(NOM)}$ + 0.15V ≤ V_{IN} ≤ 2.2V		-3		3	mV
ΔV_{OUT} / ΔV_{BIAS}	V_{BIAS} ライン レギュレーション	$V_{OUT(NOM)}$ + 1.4V ≤ V_{BIAS} ≤ 5.5V		-4	±0.15	4	mV
ΔV_{OUT} / ΔI_{OUT}	ロード レギュレーション	1mA ≤ I_{OUT} ≤ 1A			0.2		%/A
$I_{Q(BIAS)}$	Bias ピンの電流	I_{OUT} = 0mA				47	µA
$I_{Q(BIAS)}$	Bias ピンの電流	I_{OUT} = 1A				17	mA
$I_{Q(IN)}$	入力ピン電流(1)	I_{OUT} = 0mA				135	µA
I_{GND}	グランド ピン電流	I_{OUT} = 1A			480	660	µA
$I_{SHDN(BIAS)}$	V_{BIAS} シャットダウン電流	V_{IN} = 2.2V、V_{BIAS} = 5.5V、V_{EN} ≤ 0.2V			0.3	9	µA
$I_{SHDN(IN)}$	V_{IN} シャットダウン電流	V_{IN} = 1.8V、V_{BIAS} = 5.5V、V_{EN} ≤ 0.2V			1	55	µA
I_{CL}	出力電流制限	V_{OUT} = 0.95 × $V_{OUT(NOM)}$		1.035	1.6	2.45	A
I_{SC}	短絡電流制限	V_{OUT} = 0V			600		mA
$V_{DO(IN)}$	V_{IN} ドロップアウト電圧(2)	T_J = –40°C～150°C	V_{IN} = 0.95 × $V_{OUT(NOM)}$、I_{OUT} = 1A			140	mV
$V_{DO(IN)}$	V_{IN} ドロップアウト電圧(2)	T_J = –40°C～150°C	V_{IN} = 0.95 × $V_{OUT(NOM)}$、I_{OUT} = 500mA			102	mV
$V_{DO(BIAS)}$	V_{BIAS} ドロップアウト電圧(2)	V_{BIAS} = 1.7V または $V_{OUT(nom)}$ + 0.6V の大きい方、V_{SENSE} = 0.95 × $V_{OUT(nom)}$、I_{OUT} = 1A				1.2	V

ADVANCE INFORMATION

T_J = –40°C ～ +150°C、V_{IN} = $V_{OUT(NOM)}$ + 0.15V、V_{BIAS} = 2.2V と $V_{OUT(NOM)}$ + 1.4V の大きい方、I_{OUT} = 1mA、V_{EN} = 1.0V、C_{IN} = 1µF、C_{OUT} = 2.2µF、C_{BIAS} = 0.1µF (特に記述のない限り)、代表値はすべて T_J = 25℃ での値

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IN} PSRR	V_{IN} 電源除去比	f = 100Hz	I_{OUT} = 3mA		90		dB
			I_{OUT} = 500mA		80		
			I_{OUT} = 1A		80		
		f = 1kHz	I_{OUT} = 3mA		90		
			I_{OUT} = 500mA		80		
			I_{OUT} = 1A		70		
		f = 10kHz	I_{OUT} = 3mA		70		
			I_{OUT} = 500mA		60		
			I_{OUT} = 1A		50		
		f = 100kHz	I_{OUT} = 3mA		60		
			I_{OUT} = 500mA		43		
			I_{OUT} = 1A		33		
		f = 1MHz	I_{OUT} = 3mA		60		
			I_{OUT} = 500mA		24		
			I_{OUT} = 1A		15		
		f = 1 MHz、V_{IN} = V_{OUT} + 150 mV	I_{OUT} = 3mA		69		
			I_{OUT} = 500mA		42		
			I_{OUT} = 1A		33		
V_{BIAS} PSRR	V_{BIAS} 電源除去比	I_{OUT} = 500mA	f = 1kHz		65		dB
			f = 100kHz		45		
			f = 1MHz		25		
V_n	出力電圧ノイズ	帯域幅 = 10Hz ～ 100kHz、V_{OUT} = 0.8V、5mA ≤ I_{OUT} ≤ 1A			7.2		μV_{RMS}
$V_{UVLO(BIAS)}$	バイアス電源 UVLO	V_{BIAS} 立ち上がり		1.15	1.42	1.7	V
		V_{BIAS} 立ち下がり		1.0	1.3	1.63	
$V_{UVLO_HYST(BIAS)}$	バイアス電源ヒステリシス	V_{BIAS} ヒステリシス			100		mV
$V_{UVLO(IN)}$	入力電源 UVLO	V_{IN} 立ち上がり		584	603	623	mV
		V_{IN} 立ち下がり		530	552	566	
$V_{UVLO_HYST(IN)}$	入力電源ヒステリシス	V_{IN} ヒステリシス			50		mV
t_{STR}	起動時間(3)				186		µs
$V_{EN(HI)}$	EN ピンのロジック High 電圧(4)			0.6		6	V
$V_{EN(LOW)}$	EN ピンのロジック Low 電圧(4)			0		0.24	V
I_{EN}	EN ピン電流	EN = 5.5V		-25	10	25	nA
$R_{PULLDOWN}$	プルダウン抵抗	V_{IN} = 0.9V、$V_{OUT(nom)}$ = 0.8V、V_{BIAS} = 1V、V_{EN} = 0V、P バージョンのみ			36		Ω
T_{SD}	サーマル シャットダウン温度	シャットダウン、温度上昇			165		°C
		リセット、温度低下			140		

(1) これは V_{IN} から GND に流れる電流です。
(2) V_{OUT} < 0.6V の場合、ドロップアウトは測定されません。V_{BIAS} ドロップアウトは、2.2V 以上の V_{BIAS} にのみ適用されます。
(3) スタートアップ時間 = EN アサート から 0.95 × $V_{OUT(NOM)}$までの時間。
(4) 最小値から最大値までの範囲内の入力電圧は、正しいロジック レベルとして解釈されます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性

動作温度 T_J = 25°C、$V_{OUT(NOM)}$ = 0.8V、V_{IN} = $V_{OUT(NOM)}$ + 0.1V、V_{BIAS} = $V_{OUT(NOM)}$ + 1.4V、I_{OUT} = 1mA、V_{EN} = V_{IN}、C_{IN} = 2.2µF、C_{OUT} = 2.2µF、C_{BIAS} = 0.47µF (特に記述のない限り)

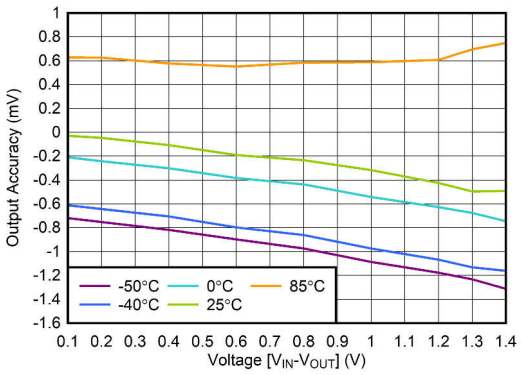


図 5-1. 出力電圧精度と V_{IN} との関係

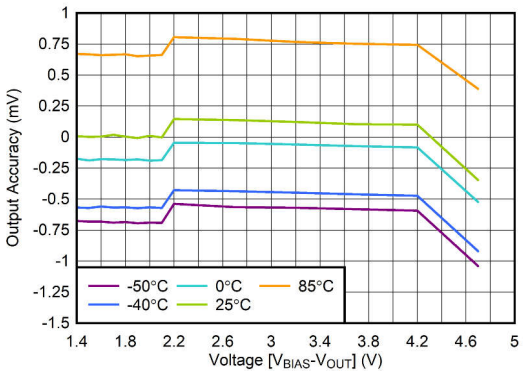


図 5-2. 出力電圧精度と V_{BIAS} との関係

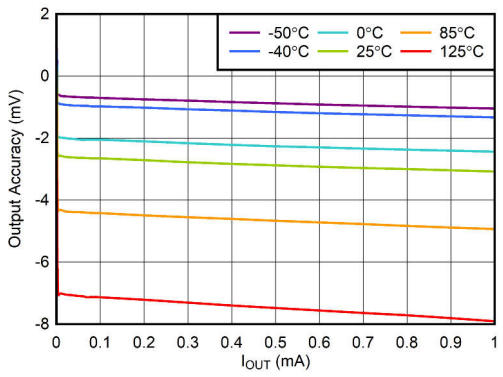


図 5-3. 出力電圧精度と I_{OUT} との関係

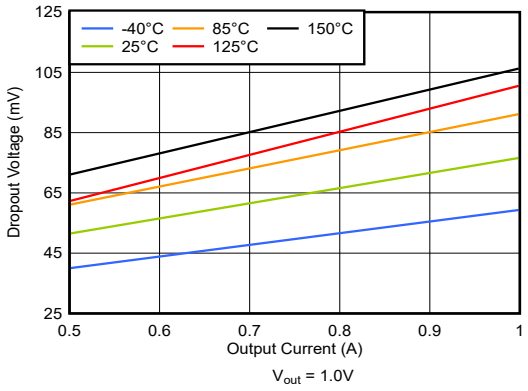


図 5-4. V_{IN} ドロップアウト電圧と I_{OUT} との関係

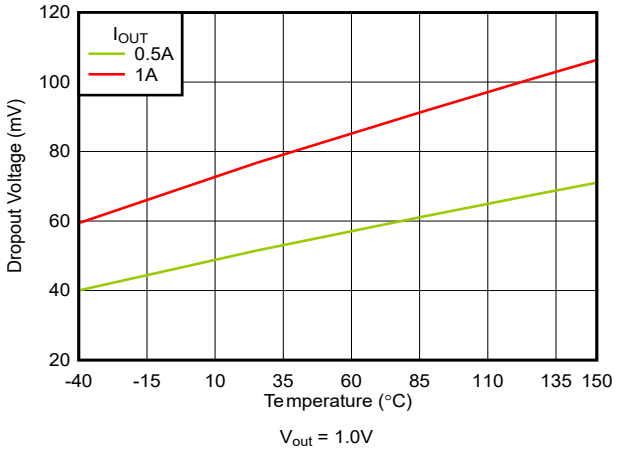


図 5-5. V_{IN} ドロップアウト電圧と温度との関係

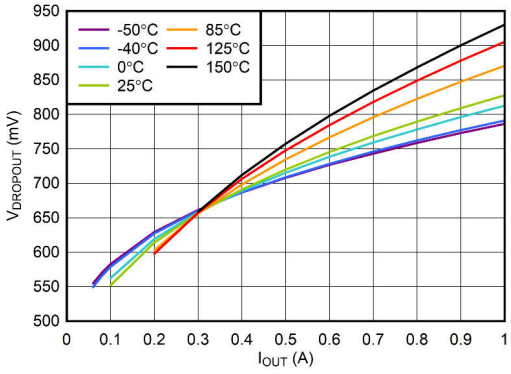


図 5-6. V_{BIAS} ドロップアウト電圧と I_{OUT} との関係

ADVANCE INFORMATION

ADVANCE INFORMATION

5.6 代表的特性 (続き)

動作温度 T_J = 25°C、$V_{OUT(NOM)}$ = 0.8V、V_{IN} = $V_{OUT(NOM)}$ + 0.1V、V_{BIAS} = $V_{OUT(NOM)}$ + 1.4V、I_{OUT} = 1mA、V_{EN} = V_{IN}、C_{IN} = 2.2µF、C_{OUT} = 2.2µF、C_{BIAS} = 0.47µF (特に記述のない限り)

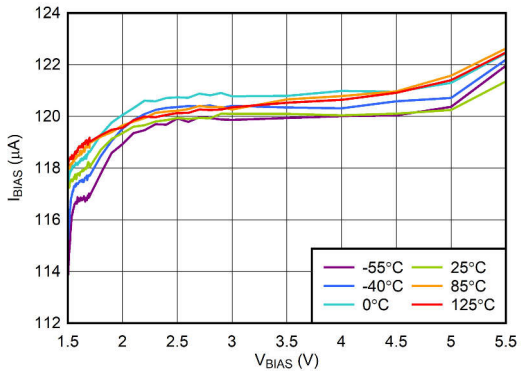
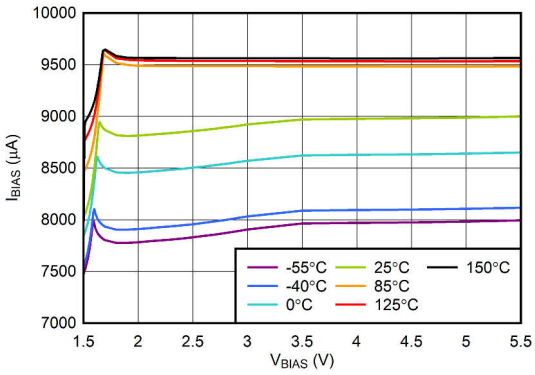
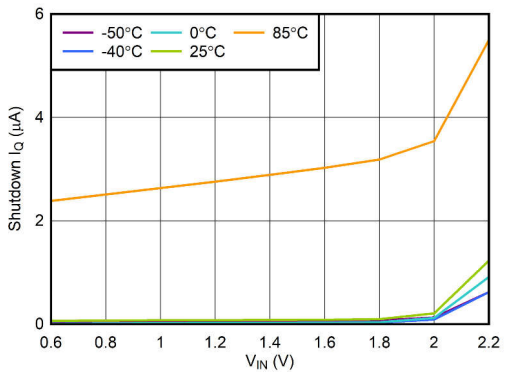


図 5-7. V_{BIAS} 入力電流と V_{BIAS} との関係



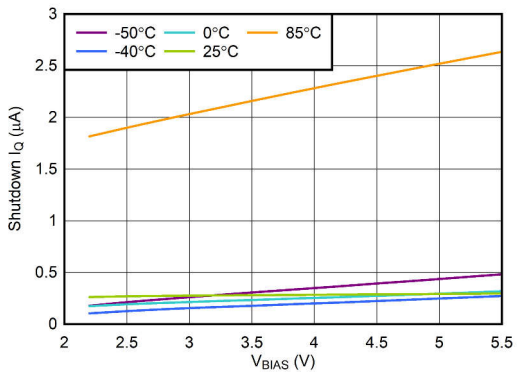
I_{OUT} = 1A

図 5-8. V_{BIAS} 入力電流と V_{BIAS} との関係



I_{OUT} = 0mA

図 5-9. V_{IN} シャットダウン I_Q と V_{IN} との関係



I_{OUT} = 0A、V_{IN} = 1V

図 5-10. V_{BIAS} シャットダウン I_Q と V_{BIAS} との関係

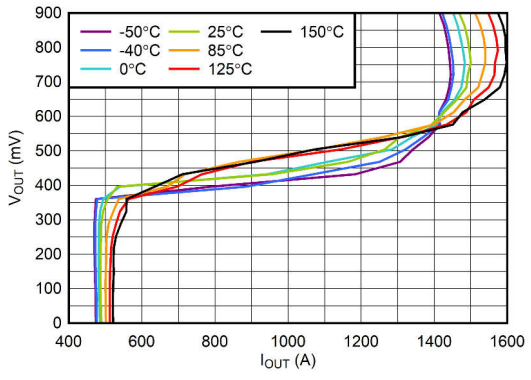


図 5-11. V_{OUT} フォールドバック電流制限と出力電流との関係

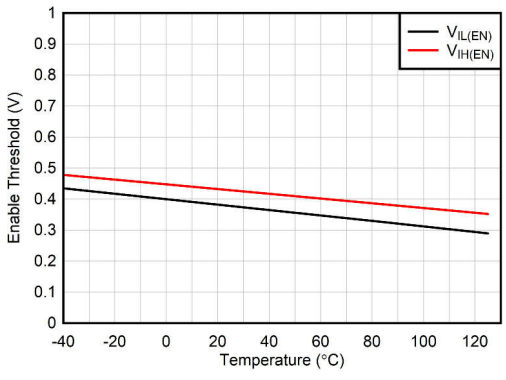


図 5-12. イネーブル スレッショルドと温度との関係

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

動作温度 T_J = 25°C、$V_{OUT(NOM)}$ = 0.8V、V_{IN} = $V_{OUT(NOM)}$ + 0.1V、V_{BIAS} = $V_{OUT(NOM)}$ + 1.4V、I_{OUT} = 1mA、V_{EN} = V_{IN}、C_{IN} = 2.2µF、C_{OUT} = 2.2µF、C_{BIAS} = 0.47µF (特に記述のない限り)

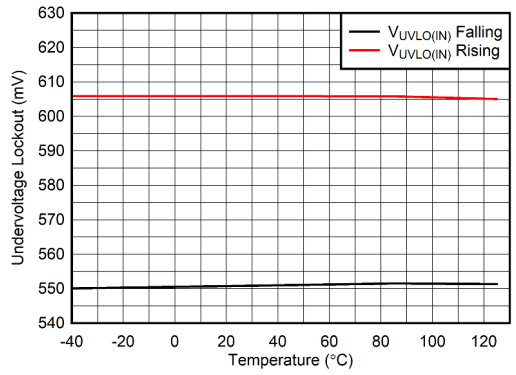


図 5-13. V_{IN} UVLO と温度との関係

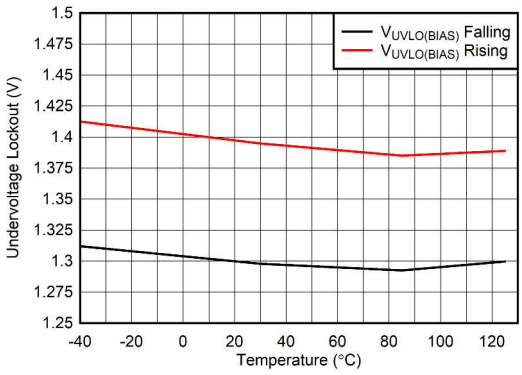
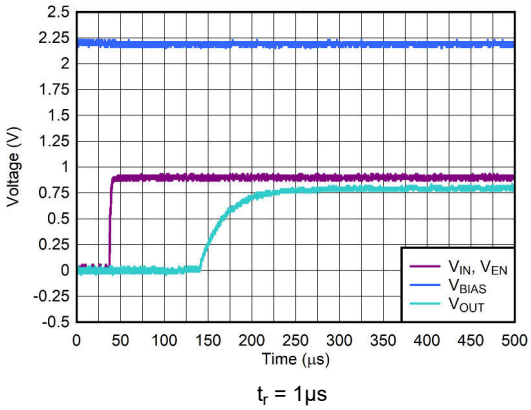
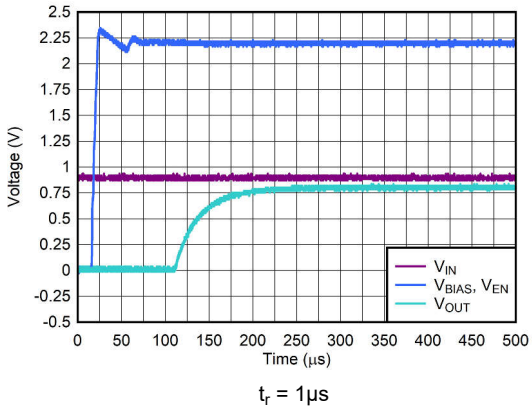


図 5-14. V_{BIAS} UVLO と温度との関係



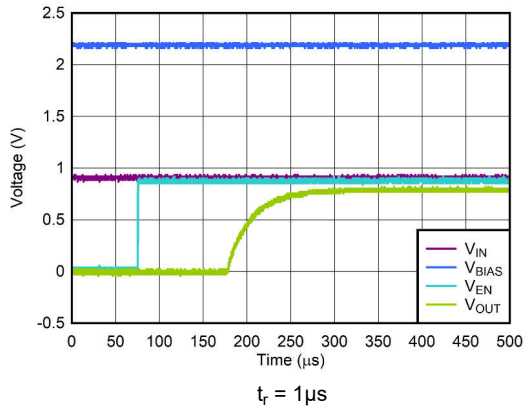
t_r = 1µs

図 5-15. V_{IN} より先に V_{BIAS} が立ち上がる場合の起動動作



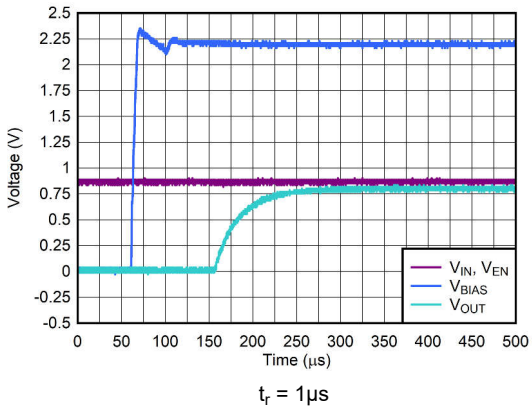
t_r = 1µs

図 5-16. V_{BIAS} および V_{EN} より先に V_{IN} が印加された場合の起動



t_r = 1µs

図 5-17. V_{IN} および V_{BIAS} が V_{EN} より先に印加された場合の起動



t_r = 1µs

図 5-18. V_{IN} および V_{EN} が V_{BIAS} より先に印加された場合の起動

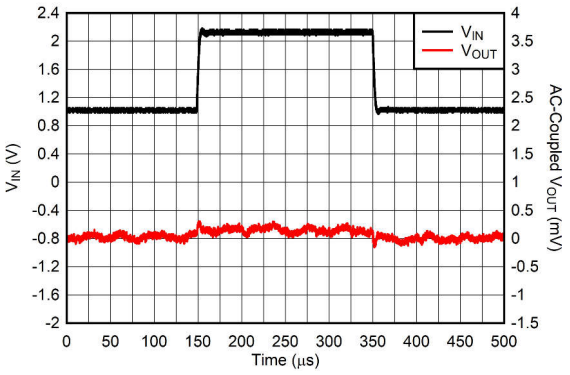
ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

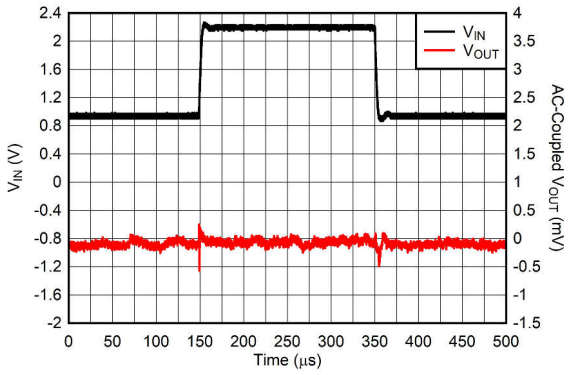
5.6 代表的特性 (続き)

動作温度 T_J = 25°C、$V_{OUT(NOM)}$ = 0.8V、V_{IN} = $V_{OUT(NOM)}$ + 0.1V、V_{BIAS} = $V_{OUT(NOM)}$ + 1.4V、I_{OUT} = 1mA、V_{EN} = V_{IN}、C_{IN} = 2.2µF、C_{OUT} = 2.2µF、C_{BIAS} = 0.47µF (特に記述のない限り)



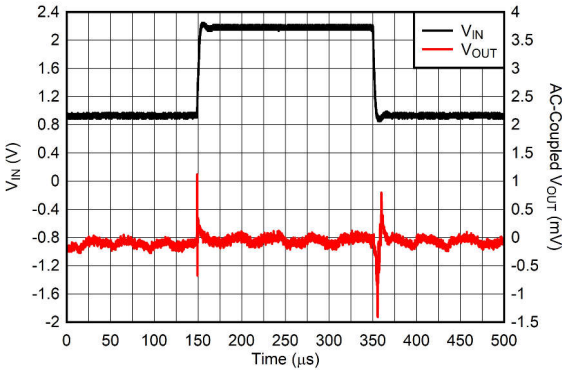
t_r = t_f = 10µs、I_{OUT} = 1mA

図 5-19. ライン過渡変化：1V ～ 2.2V



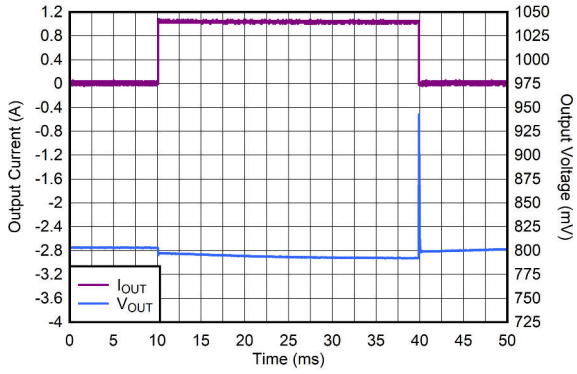
t_r = t_f = 10µs、I_{OUT} = 500mA

図 5-20. ライン過渡変化：1V ～ 2.2V



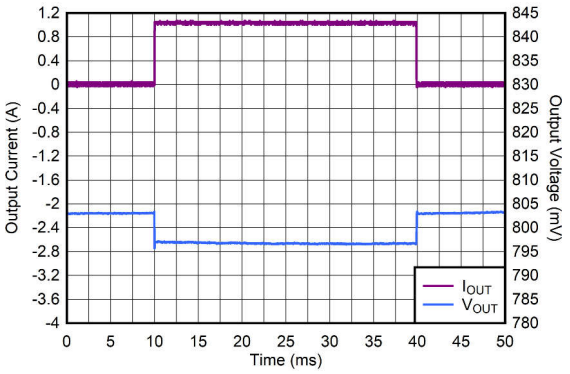
t_r = t_f = 10µs、I_{OUT} = 1A

図 5-21. ライン過渡変化：1V ～ 2.2V



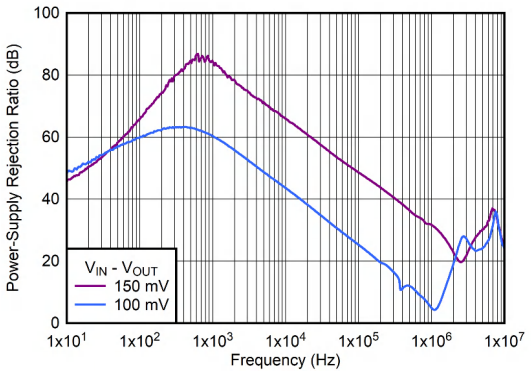
t_r = t_f = 1µs

図 5-22. 負荷過渡応答：100µA ～ 1A



t_r = t_f = 20µs

図 5-23. 負荷過渡応答：100µA ～ 1A



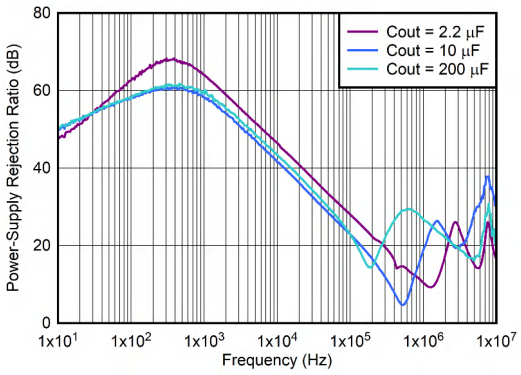
C_{BIAS} = 0µF、I_{OUT} = 1A

図 5-24. V_{IN} - V_{OUT} における PSRR と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

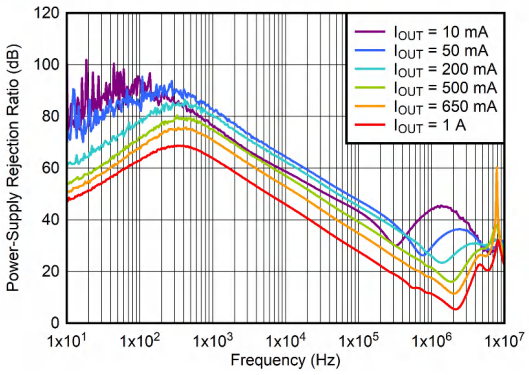
5.6 代表的特性 (続き)

動作温度 T_J = 25°C、$V_{OUT(NOM)}$ = 0.8V、V_{IN} = $V_{OUT(NOM)}$ + 0.1V、V_{BIAS} = $V_{OUT(NOM)}$ + 1.4V、I_{OUT} = 1mA、V_{EN} = V_{IN}、C_{IN} = 2.2µF、C_{OUT} = 2.2µF、C_{BIAS} = 0.47µF (特に記述のない限り)



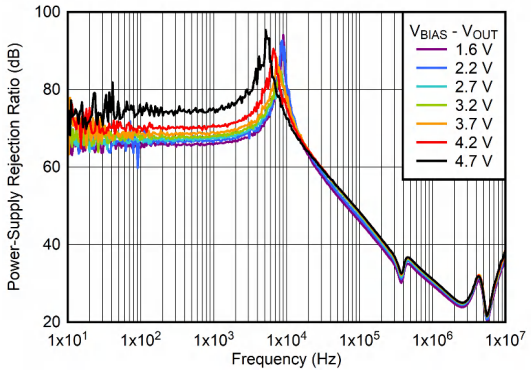
C_{BIAS} = 0µF、I_{OUT} = 1A

図 5-25. PSRR と周波数および C_{OUT} との関係



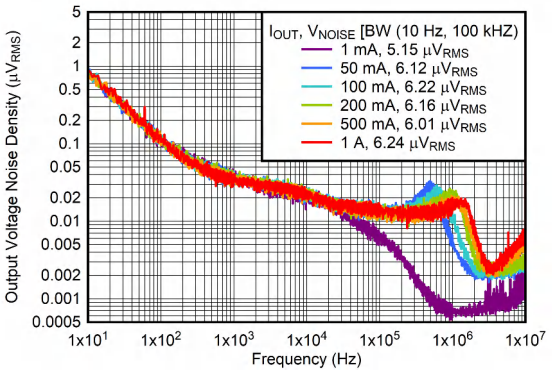
C_{BIAS} = 0µF

図 5-26. PSRR と周波数および I_{OUT} との関係



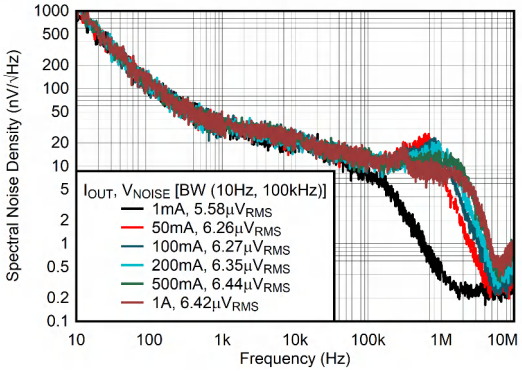
C_{BIAS} = 0µF

図 5-27. V_{BIAS} - V_{OUT} における PSRR と周波数との関係



YCK パッケージ、V_{OUT} = 0.8V

図 5-28. 出力ノイズと周波数および I_{OUT} との関係



DRV パッケージ、V_{OUT} = 1.8V、$_{BIAS}$ = 5V

図 5-29. 出力ノイズと周波数および I_{OUT} との関係

ADVANCE INFORMATION

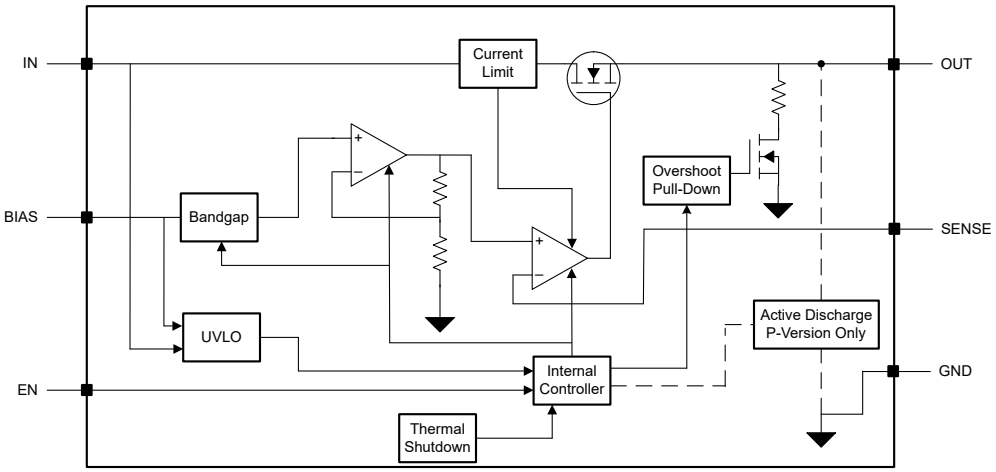
ADVANCE INFORMATION

6 詳細説明

6.1 概要

TPS7A14-Q1 は、低入力、超低ドロップアウト、低静止電流で、優れた過渡応答性能に最適化されたリニア レギュレータです。これらの特性により、このデバイスはほとんどの電池駆動アプリケーション向けに設計されています。低い動作電圧 $V_{IN} – V_{OUT}$ と BIAS ピンを組み合わせることにより、電圧リファレンスと制御回路に電力を供給し、メイン電力パスに事前安定化された低電圧入力電源 (IN) を使用できるため、低電圧出力アプリケーションの効率を大幅に向上させます。この低ドロップアウト レギュレータ (LDO) は、フォールドバック電流制限、シャットダウン、熱保護、およびオプションのアクティブ放電機能を備えています。

6.2 機能ブロック図



Copyright © 2026 Texas Instruments Incorporated

6.3 機能説明

6.3.1 非常に優れた過渡応答

TPS7A14-Q1 は入力インピーダンスが高く、全周波数範囲で出力インピーダンスが低いため、入力電源 (ライン過渡) または出力電流 (負荷過渡) の変化に迅速に応答します。また、この同じ機能により、この LDO は電源除去比 (PSRR) が高く、低い内部ノイズフロア (e_n) と組み合わせることで、LDO は優れたラインおよび負荷過渡性能を備えた優れた電源の実現に使用できることも意味します。

外付け部品値の選択により、過渡応答が最適化されます。コンデンサの適切な選択については、入力、出力、およびバイアス コンデンサの要件セクションを参照してください。

6.3.2 グローバルな低電圧誤動作防止 (UVLO)

TPS7A14-Q1 は 2 つの低電圧誤動作防止回路を使用しています。1 つは BIAS ピンに接続され、1 つは IN ピンに接続され、V_{BIAS} と V_{IN} の両方が誤動作防止電圧を超える前にデバイスがオンになるのを防止します。2 つの UVLO 信号は グローバル UVLO 回路 に示すように、AND ゲートを介して内部的に接続されており、いずれかの入力の電圧がそれぞれの UVLO スレッショルドを下回ると、デバイスはオフになります。

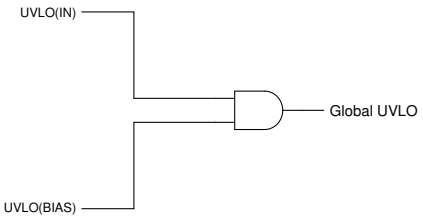


図 6-1. グローバル UVLO 回路

6.3.3 イネーブル入力

イネーブル入力 (EN) はアクティブ High です。$V_{EN\ (HI)}$ より高い電圧を EN に印加するとレギュレータの出力電圧がイネーブルになり、$V_{EN\ (LOW)}$ より低い電圧を印加すると、EN はレギュレータ出力をディセーブルにします。出力電圧を個別に制御する必要がない場合は、EN を IN または BIAS のいずれかに接続します。

6.3.4 内部フォールドバック電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリック ウォール フォールドバック方式です。フォールドバック電圧 ($V_{FOLDBACK}$) では、電流制限はブリック ウォール方式からフォールドバック方式に遷移します。出力電圧が $V_{FOLDBACK}$ を上回った際の高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。電圧が $V_{FOLDBACK}$ を下回ると、フォールドバック電流制限が有効になり、出力電圧が GND に近付くと電流を小さくします。出力が短絡したとき、デバイスは短絡電流制限 (I_{SC}) と呼ばれる標準的な電流を供給します。I_{CL} と I_{SC} は、「*電気的特性*」表に記載されています。

このデバイスでは、$V_{FOLDBACK}$ は約 60% × $V_{OUT(nom)}$ です。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{CL}] を消費します。デバイスの出力が短絡され、出力が $V_{FOLDBACK}$ を下回ると、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{SC}] を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、*「制限の把握」アプリケーション レポート*を参照してください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

フォールドバック電流制限 は、フォールドバック電流制限の図を示しています。

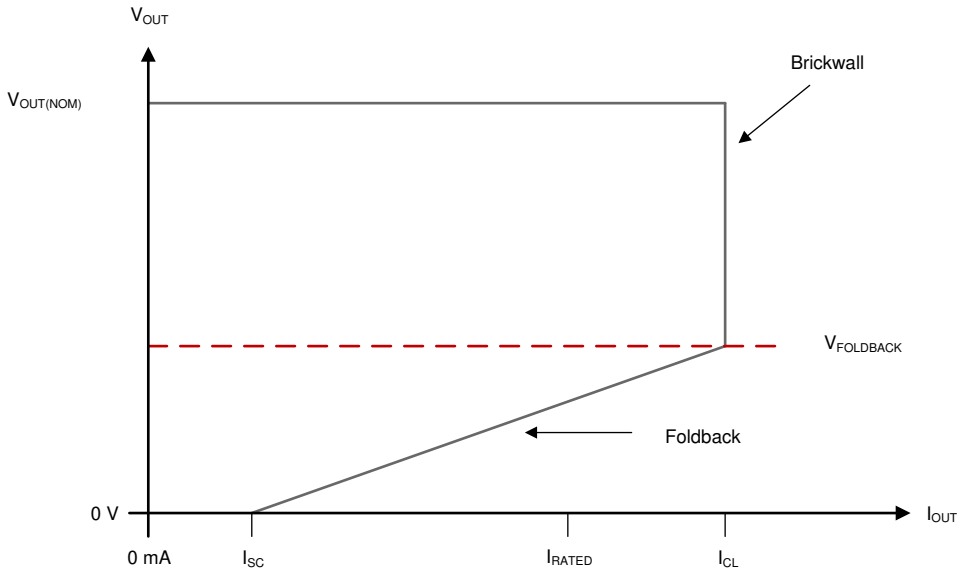


図 6-2. フォールドバック電流制限

6.3.5 アクティブ放電

この放電機能は、LDO がディセーブルされて出力電圧をアクティブに放電する際に抵抗 ($R_{PULLDOWN}$) をグランドに接続する内部 MOSFET を使用します。アクティブ放電回路は、EN をロジック Low に駆動することによりデバイスが無効化されると起動します。また、IN または BIAS の電圧が UVLO スレッショルドを下回るとき、またはレギュレータがサーマル シャットダウン状態になったときにも起動します。

デバイスを無効化した後の放電時間は、出力キャパシタンス (C_{OUT}) およびプルダウン抵抗と並列に接続された負荷抵抗 (R_L) によって決まります。

入力電源が失われた後、大きな出力容量を放電するためにアクティブ放電回路に依存しないでください。出力から入力へ逆電流が流れる可能性があるためです。この逆電流の流れは、デバイスに損傷を与える可能性があります。逆電流は、定格出力電流の 5% 以下に制限し、短時間にとどめます。

6.3.6 サーマル シャットダウン

内蔵のサーマル シャットダウン保護回路は、パストランジスタのサーマル接合部温度 (T_J) がサーマル シャットダウン温度スレッショルド $T_{SD(shutdown)}$ (標準値) まで上昇すると、出力を無効化します。サーマル シャットダウン回路のヒステリシスにより、温度が $T_{SD(reset)}$ (標準値) まで低下すると、LDO がリセットされます (オンになります)。

半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達した場合にデバイスはサイクルのオンとオフを行えます。起動時の電力損失は、デバイス両端で V_{IN} と V_{OUT} 間の大きな電圧降下が発生するか、または大容量の出力コンデンサを充電する高い突入電流によって、高くなる場合があります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を*推奨動作条件*表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。内蔵保護回路は熱過負荷状態から保護するように設計されていますが、この回路は適切なヒート シンクの代わりとなるものではありません。レギュレータをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.4 デバイスの機能モード

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、電気的特性 表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ				
	V_{IN}	V_{BIAS}	V_{EN}	I_{OUT}	T_J
通常モード	$V_{IN} \geq V_{OUT\ (nom)} + V_{DO}$ および $V_{IN} \geq V_{IN(min)}$	$V_{BIAS} \geq V_{OUT} + V_{DO(BIAS)}$	$V_{EN} \geq V_{IH(EN)}$	$I_{OUT} < I_{CL}$	シャットダウン用：$T_J < T_{SD}$
ドロップアウト モード	$V_{IN(min)} < V_{IN} < V_{OUT\ (nom)} + V_{DO(IN)}$	$V_{BIAS} < V_{OUT} + V_{DO(BIAS)}$	$V_{EN} > V_{IH(EN)}$	$I_{OUT} < I_{CL}$	シャットダウン用：$T_J < T_{SD}$
ディスエーブル モード (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < V_{UVLO(IN)}$	$V_{BIAS} < V_{BIAS(UVLO)}$	$V_{EN} < V_{IL(EN)}$	—	シャットダウン用：$T_J \geq T_{SD}$

6.4.1 通常動作

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- バイアス電圧が、公称出力電圧とドロップアウト電圧の合計 ($V_{OUT(nom)} + V_{DO}$) よりも大きくなります
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度が、サーマル シャットダウン温度未満 ($T_J < T_{SD(shutdown)}$) になります。
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えていて、まだイネーブル立ち下がりスレッショルドよりも低くなっていない

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト モードで動作します。同様に、バイアス電圧が公称出力電圧と規定ドロップアウト電圧の和よりも小さいものの、通常動作の他の条件がすべて満たされている場合もまた、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、パス トランジスタがオーム領域または三極管領域にあり、スイッチとして機能するため、デバイスの過渡性能が大幅に低下します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生することがあります。

デバイスが定常的なドロップアウト状態にあるとき (起動中ではないが、通常のレギュレーション状態になった直後に、デバイスがドロップアウト状態 ($V_{IN} < V_{OUT} + V_{DO}$ または $V_{BIAS} < V_{OUT} + V_{DO}$) になったときとして定義される)、パス トランジスタはオーム領域またはトライオード領域に駆動されます。入力電圧が公称出力電圧にドロップアウト電圧 ($V_{OUT(NOM)} + V_{DO}$) を加えた値以上に戻ると、デバイスがパス トランジスタをリニア領域にプルバックする際に、出力電圧が短時間オーバーシュートすることがあります。

6.4.3 ディセーブル モード

イネーブル ピンの電圧を強制的に $V_{IL(EN)}$ 未満にすることで、デバイスの出力をシャットダウンできます (*電気的特性* 表を参照)。無効化されると、パス トランジスタがオフになり、内部回路がシャットダウンされ、出力電圧は内部放電回路によって出力からグランドへアクティブに放電されます。

ADVANCE INFORMATION

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

システムに LDO を正しく実装する場合は、システム要件に依存します。このセクションでは、デバイスの主要な機能と、信頼性の高い設計を実現するための最適な実装方法について説明します。

7.1.1 推奨されるコンデンサの種類

このレギュレータは、入力、出力、およびバイアス ピンに低等価直列抵抗 (ESR) のセラミック コンデンサを使用することで安定するように設計されています。多層セラミック コンデンサは LDO に使用する業界標準ですが、適切に判断して使用する必要があります。X7R、X5R、COG 定格の誘電体材料を使用したセラミック コンデンサは、温度範囲全体にわたって比較的良好な容量の安定性を実現しますが、Y5V 定格のコンデンサの使用は、静電容量の変動が大きいため推奨されません。選択されたセラミック コンデンサの種類にかかわらず、セラミック容量は動作電圧や温度によって変化します。一般に、実効静電容量は 50% 程度減少すると想定されます。「*推奨動作条件*」表に推奨される入力、出力、バイアス コンデンサは、公称値の約 50% の実効静電容量を表しています。

7.1.2 入力、出力、およびバイアス コンデンサの要件

安定性を確保するために、最小限の入力用セラミック コンデンサが必要です。安定性を確保するために、最小限の出力用セラミック コンデンサも必要です。コンデンサの最小値については、*推奨動作条件*表を参照します。

このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。立ち上がり時間の短い大きな負荷またはライン過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値の入力コンデンサが必要になることがあります。*推奨動作条件*表に示されている最小値よりも大きな出力コンデンサを使用することで、デバイスの動的性能が向上します。

バイアス コンデンサは必須ではありませんが、良好な設計手法として、BIAS から GND に 0.1µF のセラミック コンデンサを接続することが推奨されます。このコンデンサは、ソース インピーダンスが十分に低くない場合に、リアクティブなバイアス ソースの影響を打ち消します。入力、出力、およびバイアス用のコンデンサは、パターンの寄生要素を最小限に抑えるため、デバイスのできるだけ近くに配置します。

LDO 負荷電流が最大値に近いとき、BIAS 源が高速な電圧降下 (たとえば、1µs 未満の 2V 降下) の影響を受けやすい場合、BIAS 電圧の低下によって出力電圧が短時間低下することがあります。そのような場合は、電圧の立ち下がり速度を 0.5V/µs 未満に抑えられる十分な大きさの BIAS コンデンサを使用します。BIAS 過渡が小さい場合または低速な場合は、出力電圧低下が公称電圧の 5% 未満である必要があります。

7.1.3 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パス トランジスタが完全にオンとなる定格出力電流 (I_{RATED}) において、入力電圧から出力電圧を引いた値 (V_{IN} - V_{OUT}) として定義されます。I_{RATED} は、*推奨動作条件* 表に記載されている最大 I_{OUT} です。パス トランジスタは、抵抗領域すなわち動作の三極管領域で動作し、スイッチとして機能します。ドロップアウト電圧は、出力電圧がレギュレーションのままとどまると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に指定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパス トランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。式 1 を使用して、デバイスの $R_{DS(ON)}$ を計算します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

バイアス レールを使用すると、TPS7A14-Q1 で IN と OUT の間のドロップアウト電圧を低減できます。ただし、プログラムされた公称出力電圧よりも高い最小バイアス電圧を維持する必要があります。図 5-14 に、出力レギュレーションを維持するために必要な最小 V_{BIAS} ヘッドルームを規定します。

7.1.4 ドロップアウトからレギュレーションへの遷移時の挙動

一部のアプリケーションでは、特に比較的高い ESR を持つバッテリから本デバイスに電源を供給する場合、過渡現象によって、このデバイスがドロップアウト状態になることがあります。負荷の過渡現象によって、パストランジスタが完全にオン駆動されると、誤差アンプの出力段が飽和し、パストランジスタは V_{IN} から V_{OUT} への抵抗のように動作します。誤差アンプはまず飽和状態から回復し、その後パストランジスタを再びアクティブ モードに戻さなければならないため、この負荷過渡に対する応答時間が長くなります。この回復期間中、パストランジスタが V_{IN} から V_{OUT} の間の抵抗として機能するため、V_{OUT} がオーバーシュートします。

V_{IN} が起動のためにゆっくりと上昇すると、低速のランプアップ電圧によってデバイスがドロップアウトになる可能性があります。他の多くの LDO と同様に、この条件からの回復時に出力がオーバーシュートする可能性があります。ただし、この条件はイネーブル信号を使用することで簡単に回避できます。

これらの条件で動作する場合は、より大きな dc 負荷電流を印加するか、出力容量を大きくしてオーバーシュートを低減します。これらのアプローチは、過剰な電荷を吸収する経路を提供します。

7.1.5 デバイスのイネーブル シーケンスの要件

IN、BIAS、EN ピンの電圧は、デバイスを損傷することなく任意の順序でシーケンスできます。起動は、IN、BIAS、および EN ピンのシーケンス順序や立ち上がり速度に関係なく、常に単調に行われます。IN、BIAS、EN ピンの適切な電圧範囲については、*推奨動作条件*表を参照してください。

7.1.6 負荷過渡応答

負荷ステップ過渡応答とは、LDO の出力電圧が負荷電流の変動に対してどのように応答し、出力電圧のレギュレーションを維持するかを示すものです。標準的な負荷過渡応答のプロットについては、図 5-22 と図 5-23 を参照します。負荷過渡応答中には、軽負荷から重負荷への遷移、および重負荷から軽負荷への遷移の 2 つの重要な遷移があります。図 7-1 に示される領域は、本セクションで説明するように分解されています。領域 A、E、および H は、出力電圧が定常動作している状態を示します。

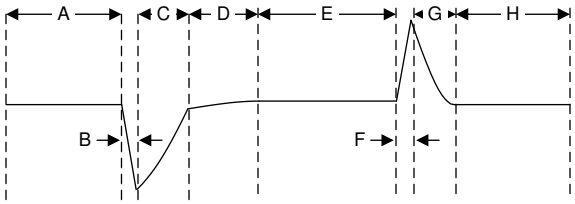


図 7-1. 負荷過渡波形

軽負荷から重負荷への遷移中に、次のような動作が観察されます:

- 最初の電圧降下は、出力コンデンサの電荷の消耗および出力コンデンサまでの寄生インピーダンスによって生じるものです (領域 B)
- 電圧降下からの回復は、LDO が供給電流を増加させることによって起こり、出力電圧のレギュレーションへとつながります (領域 C)

重負荷から軽負荷への遷移中に、次のような動作が観察されます:

- 初期の電圧上昇は、LDO が大電流を供給することで生じ、出力コンデンサの電荷増加につながります (領域 F)
- 電圧上昇からの回復は、LDO が供給電流を減少させることと、負荷が出力コンデンサを放電することによって生じます (領域 G)

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

出力容量が大きいと、負荷過渡時のピークは小さくなりますが、デバイスの応答時間は遅くなります。dc 負荷が大きくなることでもピークは小さくなります。これは、遷移の振幅が小さくなり、出力コンデンサに対してより大きな電流の放電経路が確保されるためです。

7.1.7 低電圧誤動作防止 (UVLO) 回路の動作

V_{IN} UVLO 回路により、入力電源電圧が最小動作電圧範囲を下回った場合にレギュレータが無効な状態を維持し、入力電源が急激に低下した場合にレギュレータが確実にシャットダウンされます。同様に、V_{BIAS} UVLO 回路により、バイアス電源電圧が最小動作電圧範囲を下回った場合にレギュレータが無効な状態を維持し、バイアス電源が急激に低下した場合にレギュレータが確実にシャットダウンされます。

図 7-2 は、さまざまな入力電圧またはバイアス電圧イベントに対する UVLO 回路の応答を示しています。この図は、次の領域に分かれています。

- 領域 A:入力電圧またはバイアス電圧が UVLO の立ち上がりスレッショルドを下回っている間、出力はオフのままです。
- 領域 B:通常動作、レギュレーション デバイス
- 領域 C:UVLO 立ち下がりスレッショルドを上回るブラウンアウト イベント (UVLO 立ち上がりスレッショルド - UVLO ヒステリシス)。出力がレギュレーション範囲外になる可能性がありますが、デバイスは有効なままです。
- 領域 D:通常動作、レギュレーション デバイス
- 領域 E:UVLO 立ち下がりスレッショルドを下回るブラウンアウト イベント。多くの場合、このデバイスは無効化され、負荷およびアクティブ放電回路の影響で出力が低下します。UVLO の立ち上がりスレッショルドに達するとデバイスは再び有効化され、その後は通常の起動が行われます。
- 領域 F:通常動作の後、入力またはバイアスが UVLO の下降スレッショルドまで低下します。
- 領域 G:入力またはバイアス電圧が UVLO の下降スレッショルドを下回り 0V になると、デバイスは無効化されます。出力は、負荷およびアクティブ放電回路の影響で低下します。

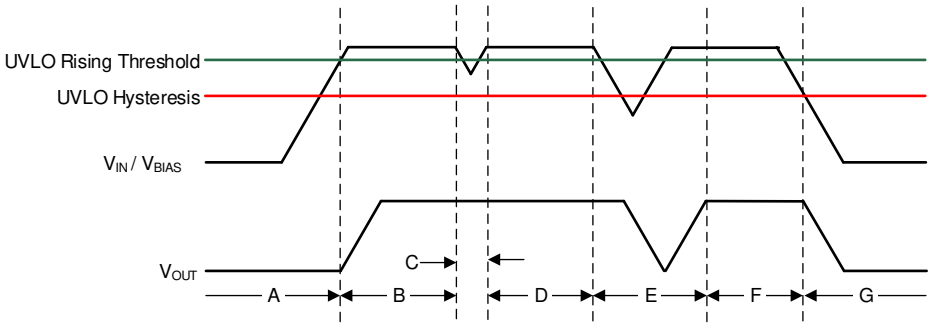


図 7-2. V_{IN} または V_{BIAS} UVLO 回路の代表的な動作

7.1.8 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの電力消費、プリント回路基板 (PCB) 上の回路の位置、および熱プレーンの正しいサイズを適切に考慮する必要があります。レギュレータ周囲の PCB 領域には、追加の熱ストレスを引き起こす他の発熱デバイスをできる限り配置しないようにする必要があります。

式 2 で、特定のパッケージでのデバイスの最大許容消費電力を計算します:

$$P_{D\text{-}MAX} = [(T_J - T_A) / R_{\theta JA}] \quad (2)$$

式 3 は、デバイスで実際に消費される電力を表します:

$$P_D = ((I_{GND(IN)} + I_{IN}) \times V_{IN} + I_{GND(BIAS)} \times V_{BIAS}) - (I_{OUT} \times V_{OUT}) \quad (3)$$

負荷電流が $I_{GND(IN)}$ と $I_{GND(BIAS)}$ をはるかに上回る場合、式 3 は次のように単純化されます:

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (4)$$

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。適切に選択することで、入出力電圧差の最小値が得られます。TPS7A14 のドロップアウトが小さいため、広い範囲の出力電圧にわたって最大の効率を実現します。

主な熱伝導経路は、周囲温度およびダイ接合部から周囲空気までの各インターフェイスにおける熱抵抗に依存します。

最大許容接合部温度 (T_J) によって、デバイスの最大消費電力が決まります。式 5 によれば、最大消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) に最も関連します。式 6 では、この式が出力電流用に変形されています。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (5)$$

$$I_{OUT} = (T_J - T_A)/[R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (6)$$

残念ながら、この熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。電気的特性 テーブルに記録されている $R_{\theta JA}$ は JEDEC 規格、PCB、銅の拡散領域によって決まり、パッケージの放熱性能の相対的な単位としてのみ使用されます。適切に設計された熱レイアウトの場合、$R_{\theta JA}$ は実際には、YBK パッケージの接合部からケース (底面) までの熱抵抗 ($R_{\theta JC(bot)}$) と PCB 銅による熱抵抗の寄与の合計になります。

7.1.9 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にある LDO の接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は、厳密には熱抵抗ではありませんが、接合部温度を実用的かつ相対的に推定する手段として用いられます。これらの psi 指標は、銅の広がり面積に対して大きく影響を受けないことが確認されています。主要な熱特性指標 (Ψ_{JT} および Ψ_{JB}) は、式 7 に従って使用され、*電気的特性* 表に示されています。

$$\Psi_{JT} : T_J = T_T + \Psi_{JT} \times P_D \text{ and } \Psi_{JB} : T_J = T_B + \Psi_{JB} \times P_D \quad (7)$$

ここで

- P_D は、式 3 および *消費電力 (P_D)* セクションで説明されているように、消費される電力です
- T_T は、デバイス パッケージの中央上部の温度
- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

7.1.10 連続動作の推奨領域

LDO の動作領域は、ドロップアウト電圧、出力電流、接合部温度、入力電圧によって制限されます。リニア レギュレータの連続動作に推奨される領域は 図 7-3 に示されており、次の領域に分けることができます:

- ドロップアウト電圧は、所定の出力電流レベルにおける入力と出力 ($V_{IN} - V_{OUT}$) 間の最小差電圧を制限します。詳細は *ドロップアウト動作* セクションを参照してください。
- 定格出力電流は、推奨される最大出力電流レベルを制限します。この定格を超えると、デバイスが仕様外になります。
- 定格接合部温度によって、デバイスの最大接合部温度が制限されます。この定格を超えると、デバイスが仕様の範囲外になり、長期的な信頼性が低下します。
  - 式 6 では、傾きの形状を確認できます。傾きが非線形になるのは、LDO の最大定格接合温度が LDO 全体での電力損失によって制御されるためです。したがって、$V_{IN} - V_{OUT}$ が増加すると出力電流が減少する必要があります。
- 定格入力電圧範囲によって、$V_{IN} - V_{OUT}$ の最小値と最大値の両方が決まります。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

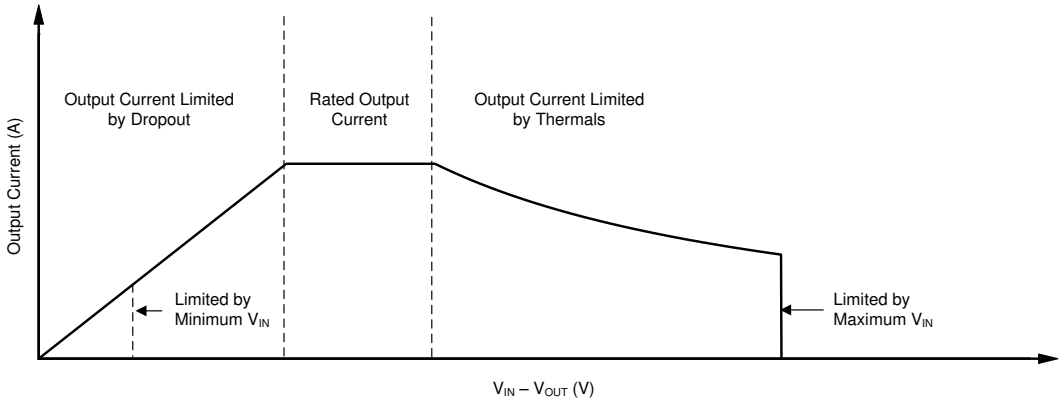


図 7-3. 領域の説明を記載した連続動作の図

7.2 代表的なアプリケーション

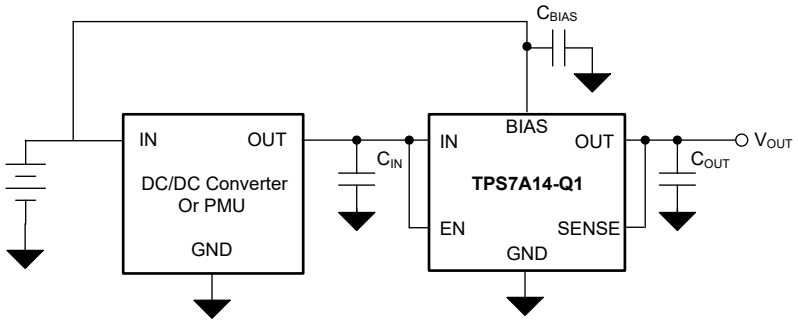


図 7-4. 再充電可能なバッテリからの高効率電源

7.2.1 設計要件

表 7-1 には、この設計例のパラメータが示されています。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
V_{IN}	1.8V
V_{BIAS}	2.4V ～ 5.5V
V_{OUT}	1.1V
I_{OUT}	200mA (標準値) 、500mA (ピーク)

7.2.2 詳細な設計手順

この設計例は、さまざまなポータブル アプリケーションの構成要素として用いられる充電式バッテリによって駆動されます。ノイズに敏感なポータブル電子機器では、電源に効率的で小型の設計が求められます。従来の LDO は、TPS7A14-Q1 などの低入力、低出力電圧 (LILO) LDO と比べて低い効率であることが知られています。TPS7A14-Q1 にバイアス レールを使用すると、LDO の主電源パスをより低い入力電圧で動作させることができるため、パス トランジスタの両端の電圧降下が減少して、デバイスの効率を最大限に高められます。パス トランジスタにかかる電圧降下が非常に小さくなる可能性があるため、TPS7A14-Q1 の効率は DC/DC コンバータに近い値となります。 は、この設計の効率を計算します。

$$\text{Efficiency} = \eta = P_{OUT} / P_{IN} \times 100\,\% = (V_{OUT} \times I_{OUT}) / (V_{IN} \times I_{IN} + V_{BIAS} \times I_{BIAS}) \times 100\,\% \quad (8)$$

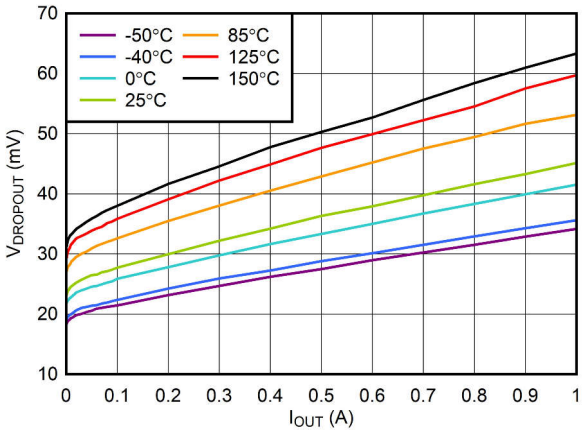
設計例における負荷電流がバイアス レールの静止電流よりもはるかに大きいため、式 8 は 式 9 に低減されます。

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

$$\text{Efficiency} = \eta = (V_{OUT} \times I_{OUT})/(V_{IN} \times I_{IN}) \times 100\,\% \quad (9)$$

7.2.3 アプリケーション曲線



V_{BIAS} = $V_{OUT(NOM)}$ + 1.4V、V_{EN} = V_{IN}、C_{IN} = 2.2µF、C_{OUT} = 2.2 µF、C_{BIAS} = 0.47µF

図 7-5. V_{IN} ドロップアウト電圧と I_{OUT} との関係

7.3 電源に関する推奨事項

このデバイスは、0.7V ～ 2.2V の入力電源電圧範囲および 1.4V ～ 5.5V のバイアス電源電圧範囲で動作するように設計されています。入力電源およびバイアス電源が良好なレギュレーションで、スプリアス ノイズが含まれていないようにしてください。出力電圧が良好なレギュレーションで、動的性能が最適になるように、入力電源を少なくとも $V_{OUT(nom)}$ + V_{DO} および V_{BIAS} = $V_{OUT(nom)}$ + $V_{DO(BIAS)}$ にしてください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

プリント基板 (PCB) を正しくレイアウトするためには、以下のガイドラインに従ってください:

- 入力、出力、およびバイアス用のコンデンサは、できるだけデバイスの近くに配置します
- 放熱性能を最適化するため、デバイス接続に銅プレーンを使用します
- デバイスの周囲にサーマル ビアを配置して、熱を分散させます

7.4.2 レイアウト例

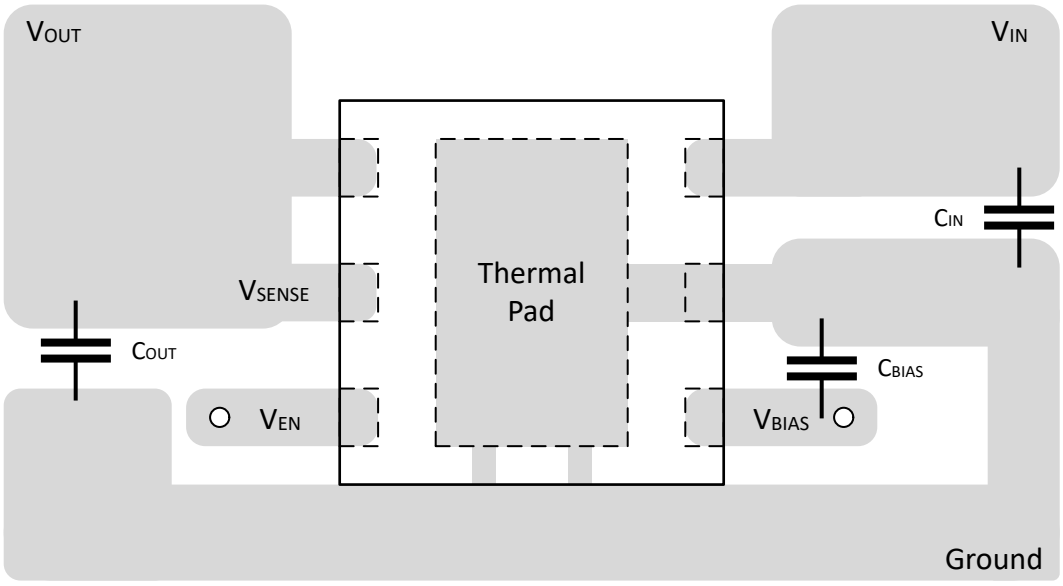


図 7-6. 推奨レイアウト

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 評価基板

TPS7A14-Q1 を使用した初期の回路性能評価には、評価基板 (EVM) を利用することができます。この評価基板はテキサス インスツルメンツの Web サイトのプロダクト フォルダから請求、または TI eStore から直接お求めになれます。

8.1.2 デバイスの命名規則

表 8-1. デバイスの命名規則

製品 (1) (2) (3)	説明
TPS7A14**xx(x)(P)QWyyyzQ1**	**xx(x)** は公称出力電圧です。注文番号には 2 桁以上の数字が使用されます (例: 09 = 0.9V、95 = 0.95V、125 = 1.25V)。 **P** はアクティブ プルダウンを示します。P がない場合、そのデバイスにはアクティブ プルダウン機能がありません。 **Q** は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表します。 **W** はウェッタブル フランク パッケージであることを表します。 **yyy** はパッケージ指定子です。 z はパッケージ数量です。R は 3000 ピースのリールを表します。 **Q1** は車載グレード (AEC-Q100) デバイスであることを表します。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。
(2) 出力電圧は、0.5V から 2.0V まで、25mV 刻みで設定できます。詳細と入手可能性については、工場にお問い合わせください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、新しい熱評価基準の解説アプリケーション レポート
- テキサス・インスツルメンツ、TPS7A14EVM-058 評価基板ユーザー ガイド

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

ADVANCE INFORMATION

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
August 2026	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7A1408PQWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	41AH
TPS7A1410PQWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	41BH
TPS7A1412PQWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	41GH
TPS7A1418PQWDRVRQ1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	41CH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS7A14-Q1 :

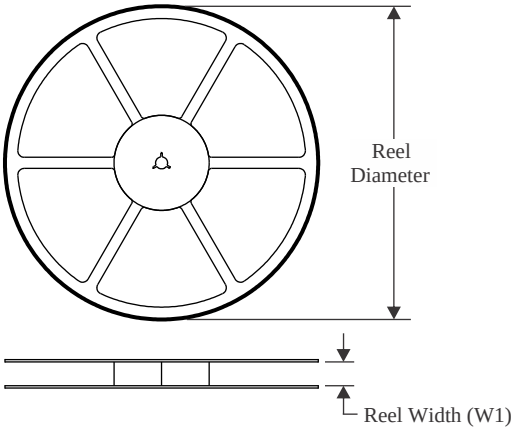
- Catalog : TPS7A14

NOTE: Qualified Version Definitions:

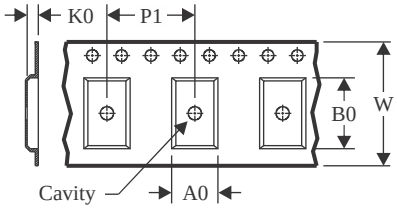
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

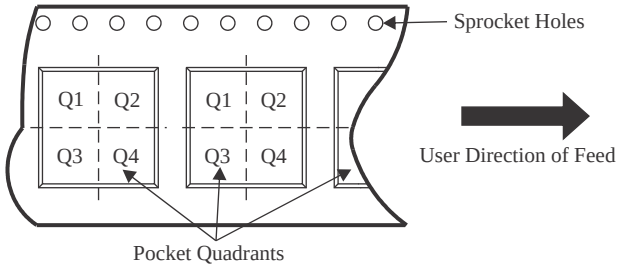


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

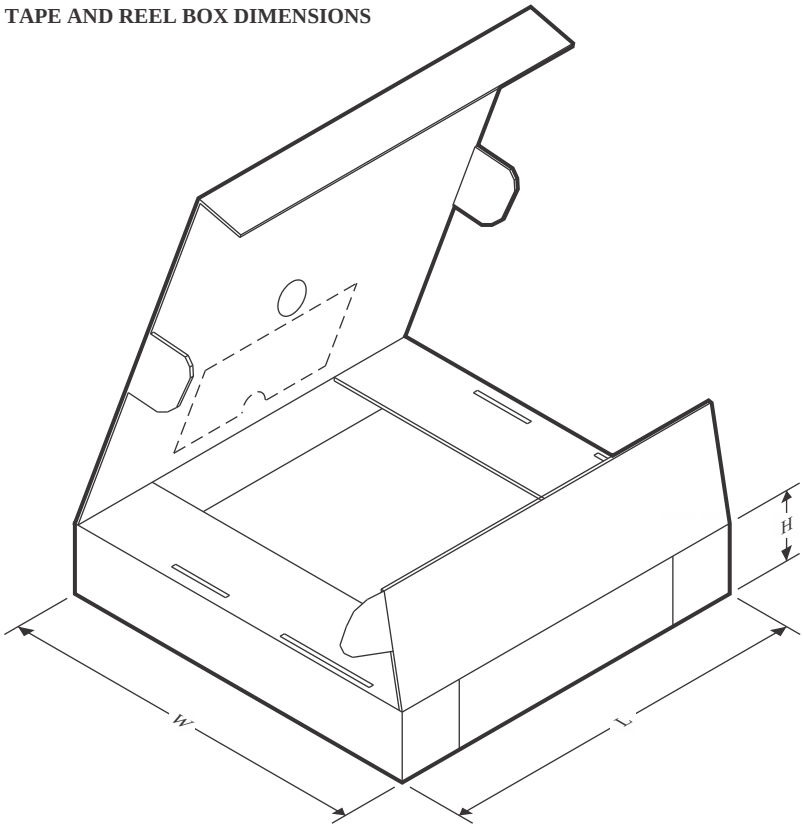
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7A1408PQWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7A1410PQWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7A1412PQWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS7A1418PQWDRVRQ1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS

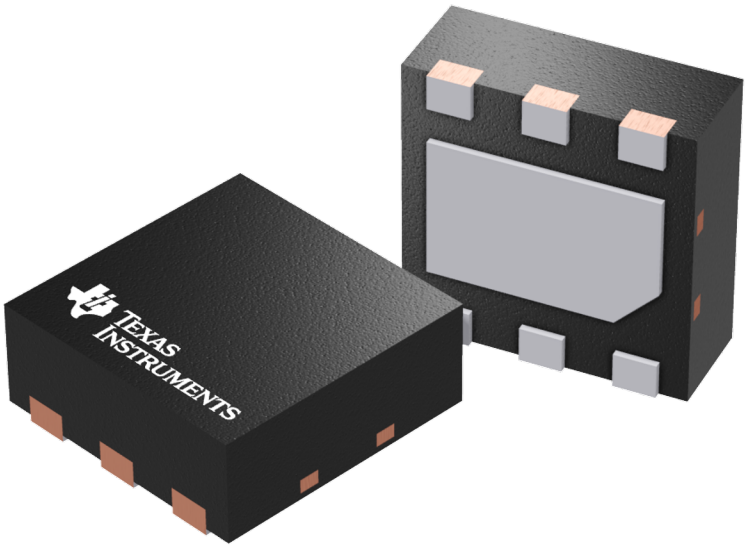


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7A1408PQWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7A1410PQWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7A1412PQWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS7A1418PQWDRVRQ1	WSON	DRV	6	3000	210.0	185.0	35.0

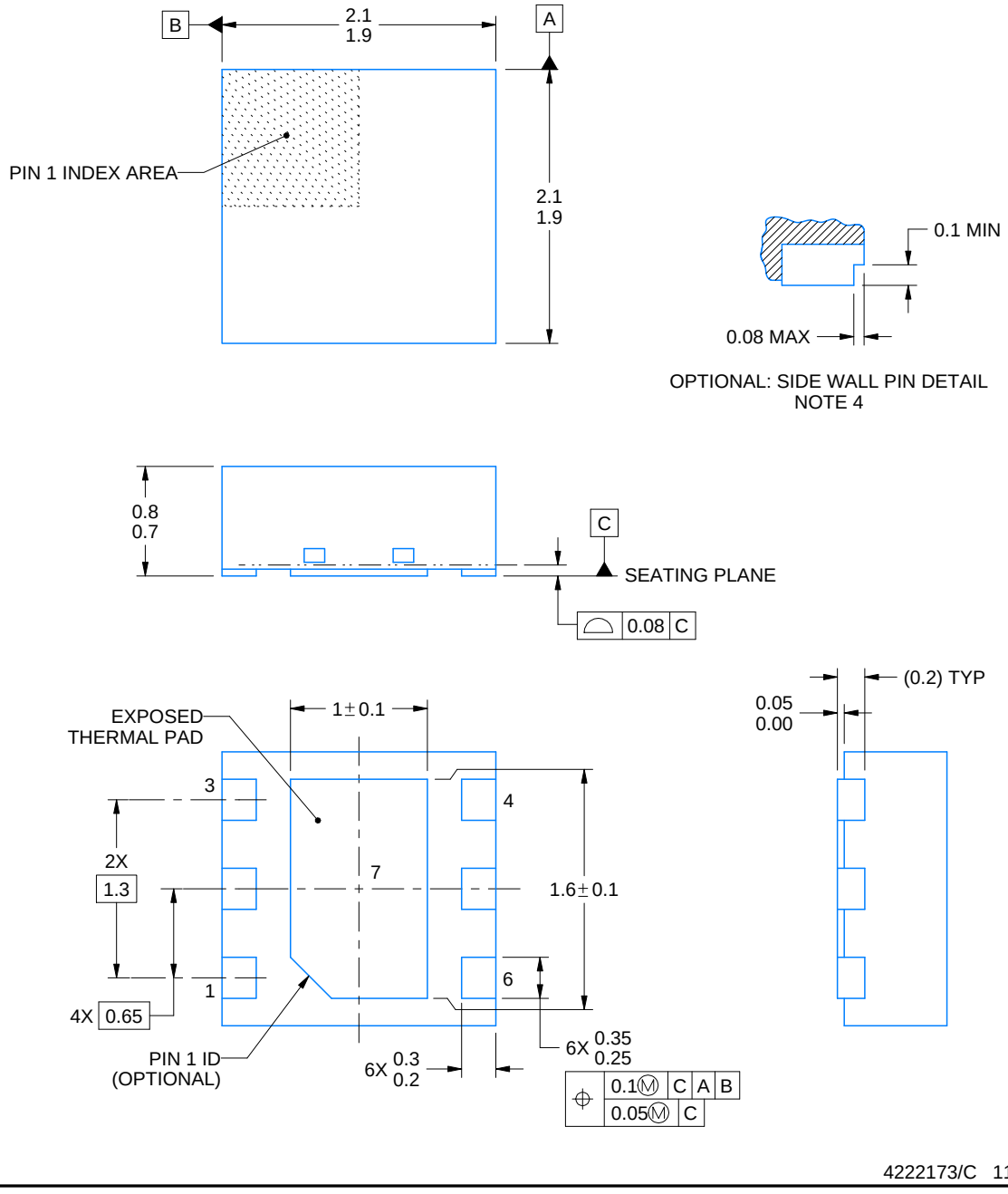
DRV 6 WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



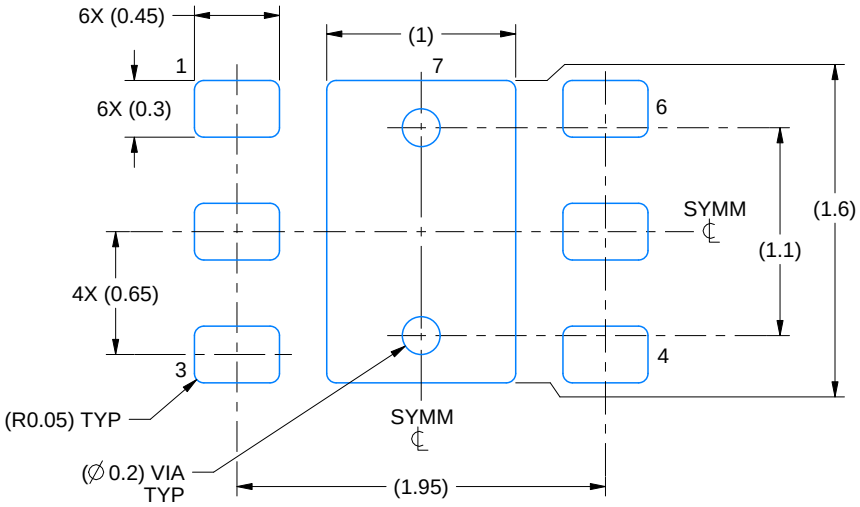
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PLASTIC SMALL OUTLINE - NO LEAD

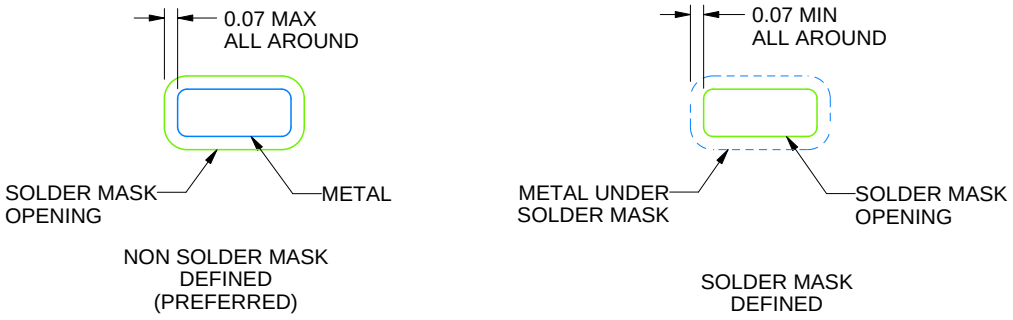


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
SCALE:25X

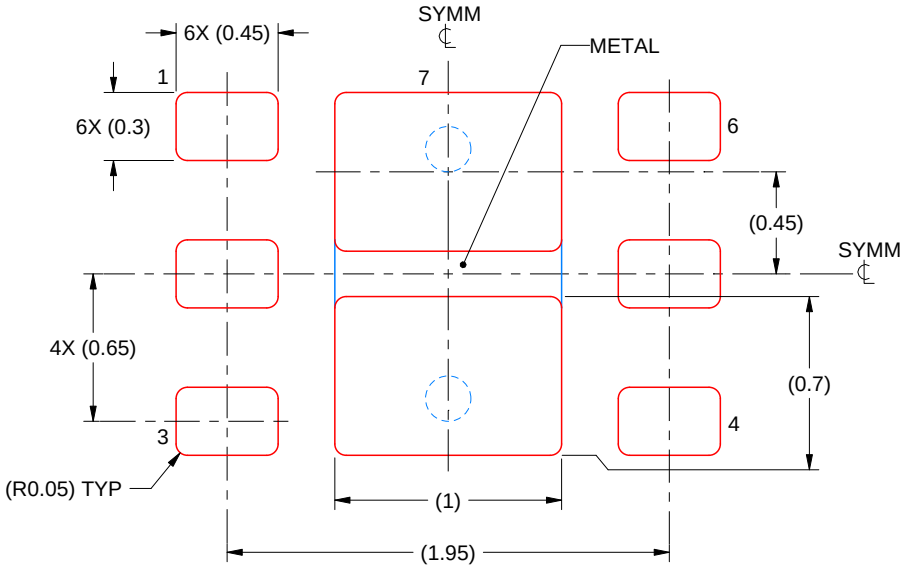


SOLDER MASK DETAILS

4222173/C 11/2025

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4222173/C 11/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月