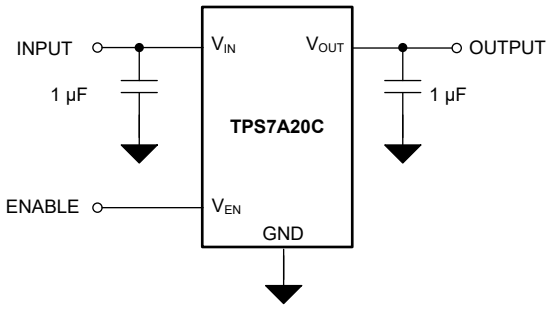
TPS7A20C 300mA、低ノイズ、高速セトリング LDO

1 特長

- 低出力容量および低インダクタンスで使用した際の高速セトリング
- 低い出力電圧ノイズ:7μV_{RMS}
  - ノイズ バイパス コンデンサが不要
- 高 PSRR:58dB (100kHz、20mA 時)
- 超低 I_Q:11μA
- 入力電圧範囲:1.6V ～ 6.0V
- 出力電圧範囲:0.8V ～ 5.5V
- 出力電圧許容誤差:±1.5% (最大値)
- 非常に低いドロップアウト:
  - 300mA で 140mV 以下 (V_{OUT} = 3.3V)
- 小さい突入電流
- スマート イネーブルのプルダウン
- 最小 0.75μF の出力コンデンサで安定
- パッケージ:
  - 0.616mm × 0.616mm DSBGA

2 アプリケーション

- イメージ センサ
- スマートフォンとタブレット
- IP ネットワーク カメラ
- 携帯医療機器
- スマート メータとフィールド トランスミッタ
- モーター ドライブ
- ウェアラブル



アプリケーション概略回路図

3 概要

TPS7A20C は、300mA の出力電流を供給できる超小型の低ドロップアウト (LDO) リニア レギュレータです。この LDO は、イメージ センサなどの繊細な負荷に電力を供給するように設計されています。低出力容量およびインダクタンスで使用する場合、本デバイスは低ノイズ、高 PSRR、優れた負荷およびライン過渡性能を実現します。革新的な設計手法を採用した TPS7A20C は、ノイズ バイパス コンデンサを追加しなくても超低ノイズ性能を発揮します。TPS7A20C は、静止電流が小さいという利点も備えており、バッテリ駆動のアプリケーションで有用です。1.6V～6.0V の入力電圧範囲と 0.8V～5.5V の出力電圧範囲はさまざまなアプリケーションに適しています。本デバイスは、負荷、ライン、温度の変化に対して誤差 1.5% 以下の精度を達成するために高精度の基準電圧回路を使用しています。

TPS7A20C は、突入電流を低減させるための内部ソフトスタート回路を備えているため、スタートアップ時の入力電圧の低下を最小限に抑えることができます。このデバイスは小さなセラミック コンデンサでも安定に動作するため、ソリューション全体を小型化できます。

TPS7A20C はスマート イネーブル入力回路と、内部的に制御されるプルダウン抵抗を備えています。この抵抗は、無効化された状態に LDO を維持します。そのため、EN ピンをプルダウンするための外付け部品は不要です。EN ピンをフローティングのままにしても、LDO は無効化された状態を維持します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7A20C	YCK (DSBGA、4)	0.616 mm × 0.616 mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 スイッチング特性.....6
5.7 代表的特性.....7
6 詳細説明.....14
6.1 概要.....14
6.2 機能ブロック図.....14
6.3 機能説明.....15
6.4 デバイスの機能モード.....18
7 アプリケーションと実装.....19
7.1 アプリケーション情報.....19
7.2 代表的なアプリケーション.....23
7.3 電源に関する推奨事項.....24
7.4 レイアウト.....24
8 デバイスおよびドキュメントのサポート.....25
8.1 デバイス サポート.....25
8.2 ドキュメントの更新通知を受け取る方法.....25
8.3 サポート・リソース.....25
8.4 商標.....25
8.5 静電気放電に関する注意事項.....25
8.6 用語集.....25
9 改訂履歴.....25
10 メカニカル、パッケージ、および注文情報.....26
10.1 メカニカル データ.....27

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

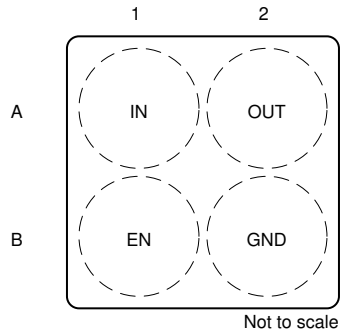


図 4-1. YCK パッケージ、4 ピン DSBGA (上面図)

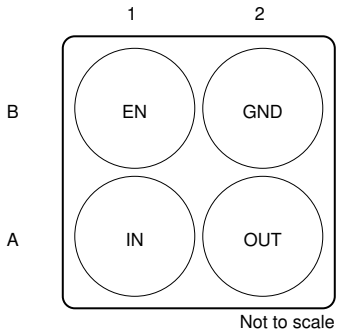


図 4-2. YCK パッケージ、4 ピン DSBGA (底面図)

ピンの機能：DSBGA

ピン		I/O	説明
番号	名称		
A1	IN	I	入力電源電圧。最高の過渡応答を実現し、入力インピーダンスを最小化するには、公称値またはそれ以上に大きい値のコンデンサを IN とグランドの間に接続します。「*推奨動作条件*」表を参照してください。入力コンデンサは、デバイスの IN ピンと GND ピンにできる限り近づけて配置してください。
A2	OUT	O	レギュレートされた出力電圧。安定動作のため、OUT からグランドへの等価直列抵抗 (ESR) の小さいコンデンサが必要です。最高の過渡応答を実現する方法については、「*入出力コンデンサの要件*」セクションを参照してください。出力コンデンサは、デバイスの OUT ピンと GND ピンにできる限り近づけて配置してください。
B1	EN	I	イネーブル入力。この入力が低電圧 (< $V_{EN(LOW)}$ 未満) になると、レギュレータがオフになり、出力ピンが GND に放電されます。このピンが高電圧 ($V_{EN(HI)}$ 超) になると、レギュレータ出力が有効になります。このピンには 500kΩ の内部プルダウン抵抗があり、レギュレータをデフォルトでオフに保持します。V_{EN} > $V_{EN(HI)}$ のときは 500kΩ のプルダウンが切断され、入力電流を低減します。
B2	GND	—	共通グランド。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1) (3)

		最小値	最大値	単位
電圧	V_{IN}	-0.3	6.5	V
	V_{OUT}	-0.3	6.5 または V_{IN} + 0.3 (2)	
	V_{EN}	-0.3	6.5	
電流	最高出力(4)	内部的に制限		A
温度	動作時の接合部温度、T_J	-40	150	°C
	保存、T_{stg}	-65	150	

(1) 「*絶対最大定格*」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレス定格のみを示すもので、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) V_{OUT} の最大値は、6.5V または (V_{IN} + 0.3V) の小さい方です。
(3) 電圧はすべて、GND ピンを基準にしています。
(4) 内部のサーマル シャットダウン回路により、デバイスを永続的な損傷から保護します。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧	1.6		6.0	V
V_{EN}	イネーブル入力電圧	0		6.0	V
V_{OUT}	公称出力電圧範囲	0.8		5.5	V
I_{OUT}	出力電流	0		300	mA
C_{IN}	入力コンデンサ(2)		1		µF
C_{OUT}	出力容量(3)	0.75		10	µF
ESR	出力コンデンサの実効直列抵抗と、OUT からコンデンサまでのパターン実効直列抵抗との和	5		50	mΩ
T_J	動作時接合部温度	-40		125	°C

(1) すべての電圧は GND を基準にしています。
(2) LDO の安定性のために、入力コンデンサは必要ありません。ただし、ソース抵抗とインダクタンスの影響を打ち消すために、最小実効値が 0.47µF の入力容量を推奨します。ソース抵抗とインダクタンスは、場合によって、特に負荷過渡現象がある場合には、リンギングや発振などシステムレベルの不安定性の症状を引き起こす可能性があります。一般に、出力コンデンサと少なくとも同じ容量の入力コンデンサを使用するのが適切な方法です。
(3) 高速なセトリングを実現し、不安定性を回避するために、出力容量 (許容誤差、バイアス電圧、温度変化などを考慮して) を規定の範囲内に収める必要があります。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		TPS7A20C YCK (DSBGA) 4 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	201.4	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	2.8	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	69.3	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	1.4	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	69.2	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

動作温度範囲 (T_J = –40℃ ～ +125℃)、V_{IN} = $V_{OUT(NOM)}$ + 0.3V または 1.6V (いずれか大きい方)、V_{EN} = 1.0V、I_{OUT} = 1mA、C_{IN}= 1µF、C_{OUT} = 0.75µF ディレーティング (特に記述のない限り)。標準値はすべて T_J = 25℃ での値です

パラメータ		テスト条件		最小値	標準値	最大値	単位
ΔV_{OUT}	出力電圧許容誤差	V_{IN} = ($V_{OUT(NOM)}$ + 0.3V) ～ 6.0V、I_{OUT} = 1mA ～ 300mA、V_{OUT} ≥ 1.85V		-1.5		1.5	%
		V_{IN} = ($V_{OUT(NOM)}$ + 0.3V) ～ 6.0V、I_{OUT} = 1mA ～ 300mA、V_{OUT} < 1.85V		-30		30	mV
ΔV_{OUT}	ライン レギュレーション	V_{IN} = ($V_{OUT(NOM)}$ + 0.3V) ～ 6.0V、I_{OUT} = 1mA			0.03		%/V
ΔV_{OUT}	ロード レギュレーション	I_{OUT} = 1mA ～ 300mA			11		mV
I_{GND}	静止グランド電流	V_{EN} = V_{IN} = 6V、I_{OUT} = 0mA	T_J = –40℃ ～ 125℃			18.5	µA
		V_{EN} = V_{IN} = 6V、I_{OUT} = 300mA			2000		
I_{SHDN}	シャットダウン グランド電流	V_{EN} = 0V (ディスエーブル)、V_{IN} = 6.0V、T_J = –40°C ～ 125°C				5	µA
$I_{GND(DO)}$	ドロップアウト時の I_{GND}	V_{IN} ≤ $V_{OUT(NOM)}$、I_{OUT} = 0mA、V_{EN} = V_{IN}			11	18	µA
V_{DO}	ドロップアウト電圧	I_{OUT} = 300mA、V_{OUT} = 95% x $V_{OUT(NOM)}$	0.8V ≤ V_{OUT} < 1.0V(1)			690	mV
			1.0V ≤ V_{OUT} < 1.2V(1)			490	
			1.2V ≤ V_{OUT} < 1.5V(1)			355	
			1.5V ≤ V_{OUT} < 2.5V			200	
			2.5V ≤ V_{OUT} < 3.3V			140	
			3.3V ≦ V_{OUT} ≦ 5.5V			130	
I_{CL}	出力電流制限	V_{OUT} = 0.9 x $V_{OUT(NOM)}$、V_{IN} = $V_{OUT(NOM)}$ + 0.5V	V_{OUT} < 1.5V	360	520	800	mA
		V_{OUT} = 0.9 x $V_{OUT(NOM)}$、V_{IN} = $V_{OUT(NOM)}$ + 0.3V	V_{OUT} ≥ 1.5V	360	520	770	
I_{SC}	回路短絡時の電流制限	V_{OUT} = 0V			185		mA

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

動作温度範囲 (T_J = –40℃ ～ +125℃)、V_{IN} = $V_{OUT(NOM)}$ + 0.3V または 1.6V (いずれか大きい方)、V_{EN} = 1.0V、I_{OUT} = 1mA、C_{IN}= 1µF、C_{OUT} = 0.75µF ディレーティング (特に記述のない限り)。標準値はすべて T_J = 25℃ での値です

パラメータ		テスト条件		最小値	標準値	最大値	単位
PSRR	電源除去比	I_{OUT} = 20mA、V_{IN} = V_{OUT} + 1.0V	f = 100Hz		95		dB
			f = 1kHz		95		
			f = 10kHz		75		
			f = 100kHz		58		
			f = 1MHz		36		
		I_{OUT} = 300mA、V_{IN} = V_{OUT} + 1.0V	f = 100Hz		65		
			f = 1kHz		70		
			f = 10kHz		75		
			f = 100kHz		61		
			f = 1MHz		40		
V_N	出力ノイズ電圧	BW = 10Hz ～100kHz、V_{OUT} = 2.8V	I_{OUT} = 300mA		7		μV_{RMS}
			I_{OUT} = 1mA		10		
$R_{PULLDOWN}$	出力自動放電プルダウン抵抗	V_{EN} < $V_{EN(LOW)}$ (出力ディセーブル)、V_{IN} = 3.1V、$V_{OUT(nom)}$ = 2.85V			285		Ω
T_{SD}	サーマル シャットダウン	T_J 立ち上がり			165		℃
		T_J 立ち下がり			140		
$V_{EN(LOW)}$	Low 入力スレッショルド	V_{IN} = 1.6V ～ 6.0V、V_{EN} は出力が無効化されるまで立ち下がります				0.3	V
$V_{EN(HI)}$	High 入力スレッショルド	V_{IN} = 1.6V ～ 6.0V、V_{EN} は出力が有効化されるまで立ち上がります		0.9			V
V_{UVLO}	UVLO スレッショルド	V_{IN} 立ち上がり		1.11	1.35	1.59	V
		V_{IN} 立ち下がり		1.05	1.3	1.55	
$V_{UVLO(HYST)}$	UVLO ヒステリシス				42		mV
I_{EN}	EN の入力リーク電流	V_{EN} = 6.0V、V_{IN} = 6.0V			90	250	nA
$R_{EN(PULL-DOWN)}$	スマート イネーブルのプルダウン抵抗	V_{EN} = 0.25V			500		KΩ

(1) 設計シミュレーション データのみ。

5.6 スイッチング特性

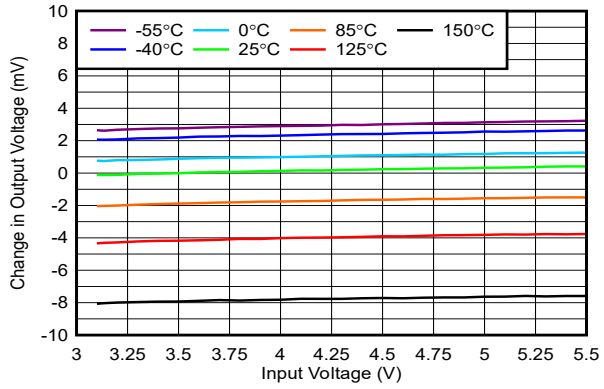
動作温度範囲 (T_J = –40℃ ～ +125℃)、V_{IN} = $V_{OUT(NOM)}$ + 0.3V または 1.6V (いずれか大きい方)、V_{EN} = 1.0V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} = 1µF、C_{OUT} ESL = 300pH、C_{OUT} ESR = 8mΩ、基板 ESL = 1.5nH、基板 ESR = 5mΩ (特に記述のない限り)。標準値はすべて T_J = 25℃ での値です

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{STR}	起動時間	V_{EN} > $V_{EN(HI)}$ から V_{OUT} = $V_{OUT(NOM)}$ の 95% まで		750	1150	µs

Copyright © 2025 Texas Instruments Incorporated

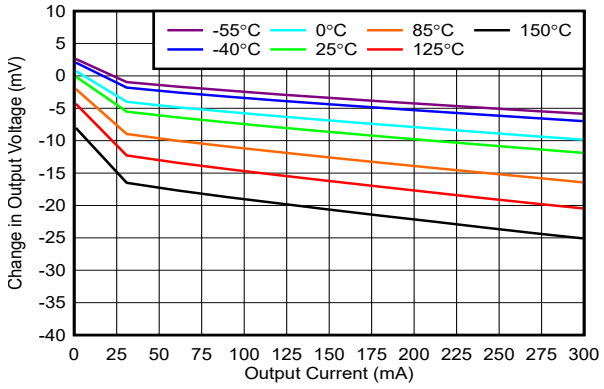
5.7 代表的特性

V_{IN} = $V_{OUT(NOM)}$ + 0.3V または 1.6V (どちらか大きい方)、V_{OUT} = 2.85V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} (ディレーティング) = 0.75µF、T_A = 25℃ (特に記述のない限り)



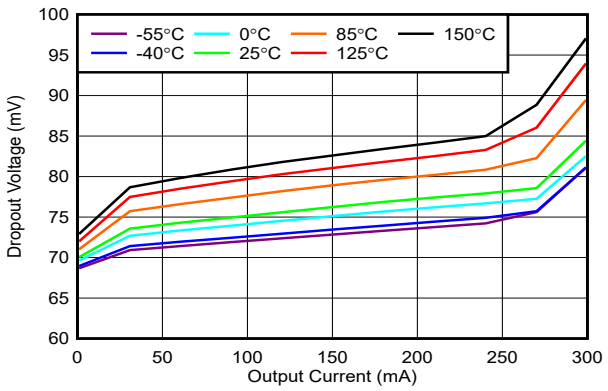
V_{EN} = 1V

図 5-1. ライン レギュレーション



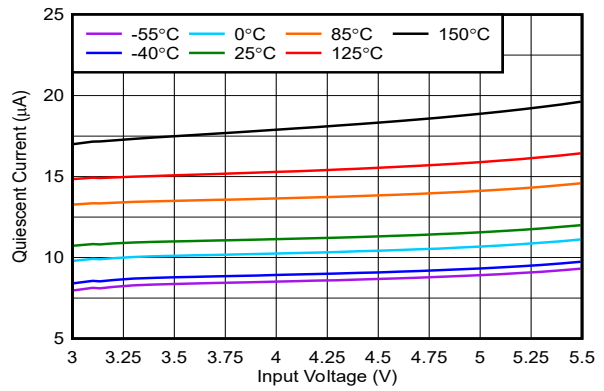
V_{EN} = 1V

図 5-2. ロード レギュレーション



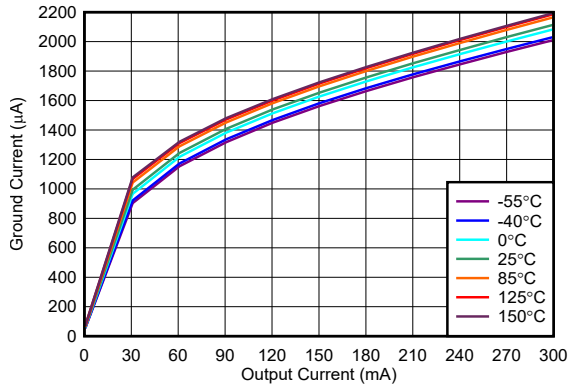
V_{EN} = 1V

図 5-3. ドロップアウト電圧と I_{OUT} との関係



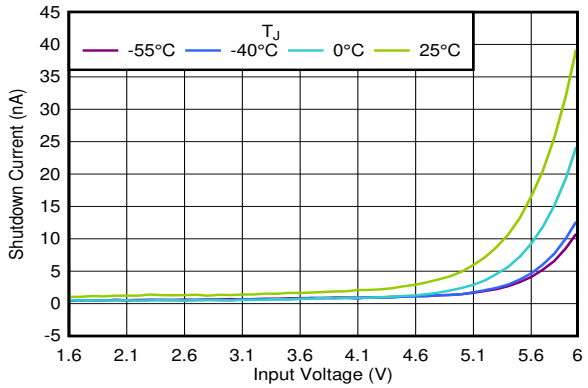
V_{EN} = 1V、I_{OUT} = 0mA

図 5-4. I_{GND} と V_{IN} との関係



V_{EN} = 1V (0mA から 300mA まで)

図 5-5. I_{GND} と I_{OUT} との関係



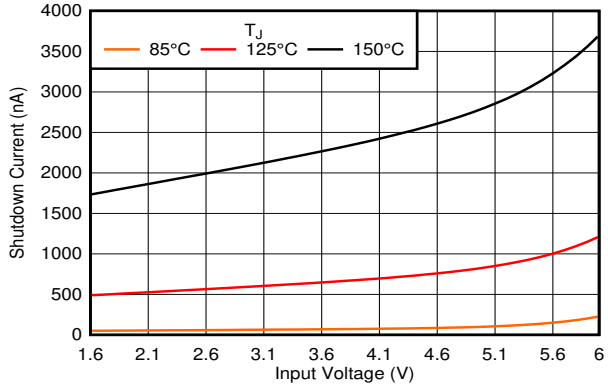
V_{EN} = 0V

図 5-6. シャットダウン電流と V_{IN} との関係

Copyright © 2025 Texas Instruments Incorporated

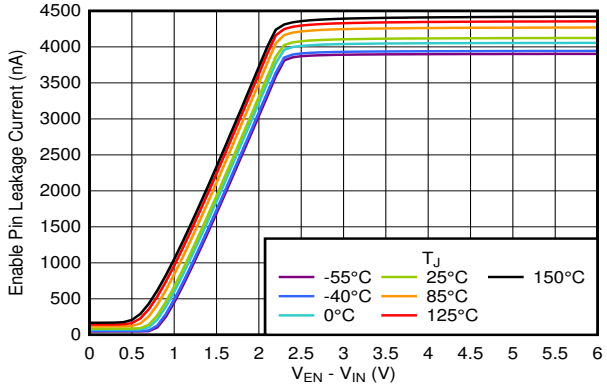
5.7 代表的特性 (続き)

V_{IN} = $V_{OUT(NOM)}$ + 0.3V または 1.6V (どちらか大きい方)、V_{OUT} = 2.85V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} (ディレーティング) = 0.75µF、T_A = 25℃ (特に記述のない限り)



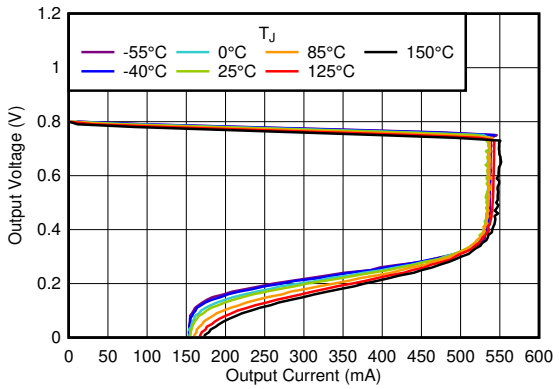
V_{EN} = 0V

図 5-7. シャットダウン電流と V_{IN} との関係



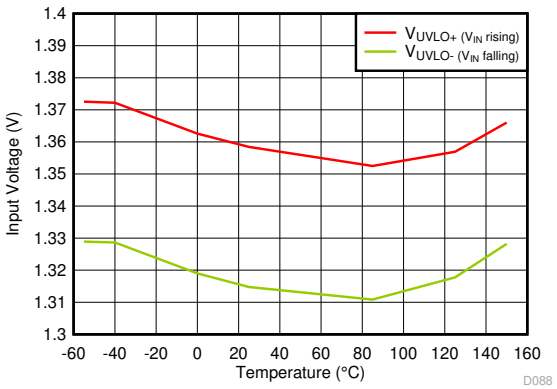
V_{EN} = 6V、I_{OUT} = 0mA

図 5-8. イネーブル ピンのリーク電流と V_{EN} – V_{IN} との関係



V_{EN} = 1V

図 5-9. 電流制限



V_{EN} = 1V

図 5-10. UVLO スレッショルドと温度との関係

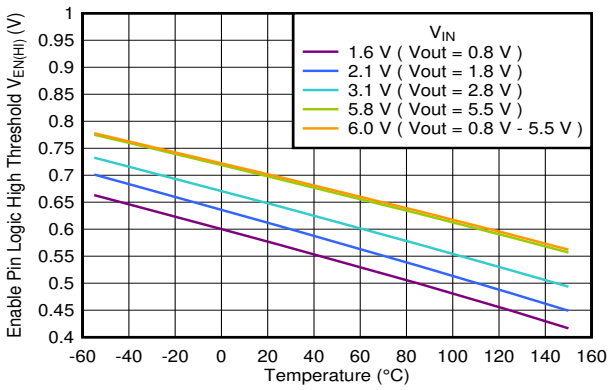


図 5-11. イネーブル ロジックの High スレッショルドと温度との関係

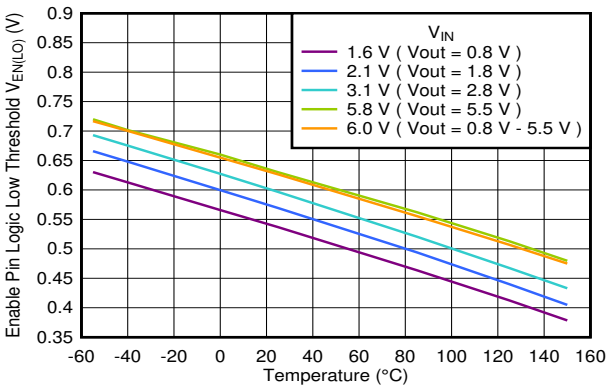
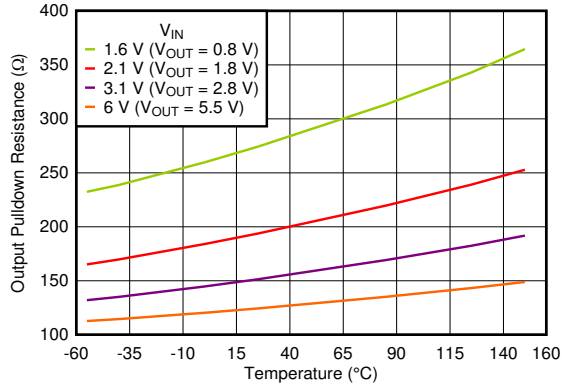


図 5-12. イネーブル ロジックの Low スレッショルドと温度との関係

Copyright © 2025 Texas Instruments Incorporated

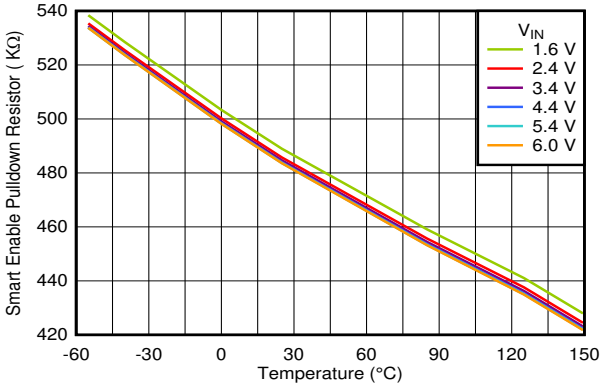
5.7 代表的特性 (続き)

V_{IN} = $V_{OUT(NOM)}$ + 0.3V または 1.6V (どちらか大きい方)、V_{OUT} = 2.85V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} (ディレーティング) = 0.75µF、T_A = 25℃ (特に記述のない限り)



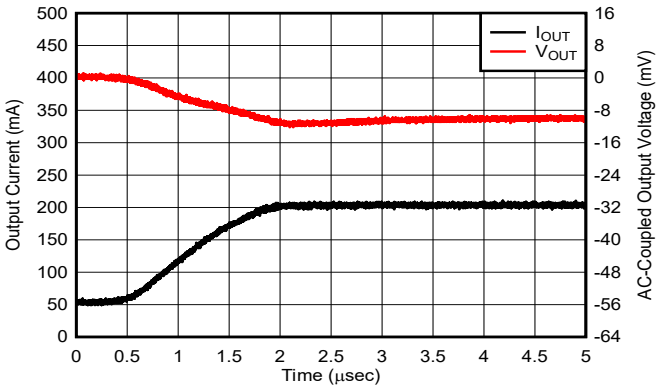
V_{EN} = 0.25V

図 5-13. 出力プルダウン抵抗と温度との関係



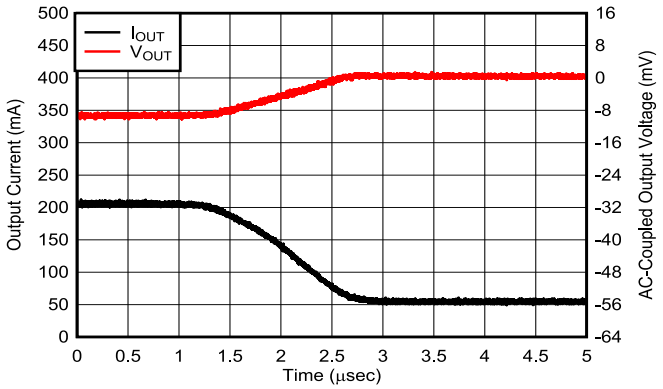
V_{EN} = 0.25V

図 5-14. スマート イネーブル プルダウン抵抗と温度および V_{IN} との関係



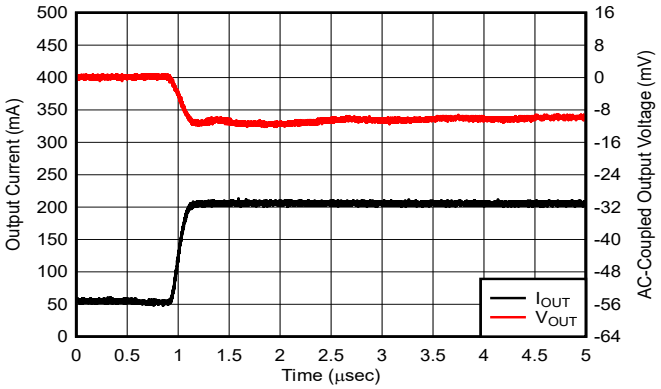
I_{OUT} = 50mA から 200mA まで、t_{RISING} = 1µs

図 5-15. 負荷過渡



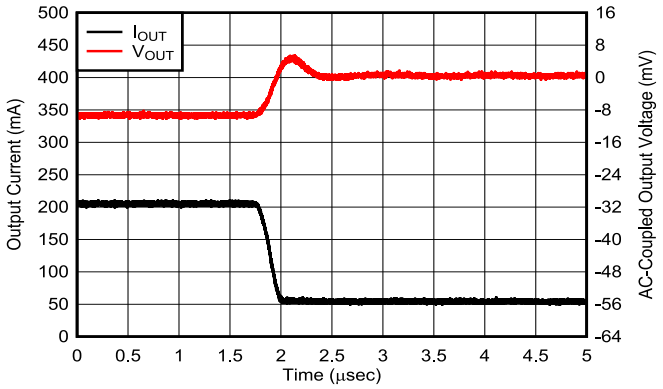
I_{OUT} = 200mA から 50mA まで、$t_{FALLING}$ = 1µs

図 5-16. 負荷過渡



I_{OUT} = 50mA から 200mA まで、t_{RISING} = 150ns

図 5-17. 負荷過渡



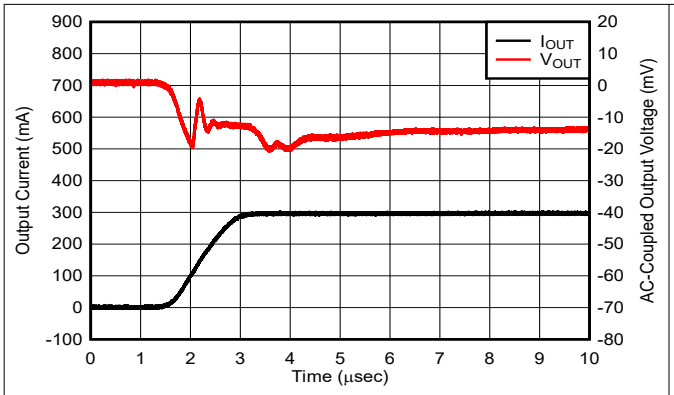
I_{OUT} = 200mA から 50mA まで、$t_{FALLING}$ = 150ns

図 5-18. 負荷過渡

Copyright © 2025 Texas Instruments Incorporated

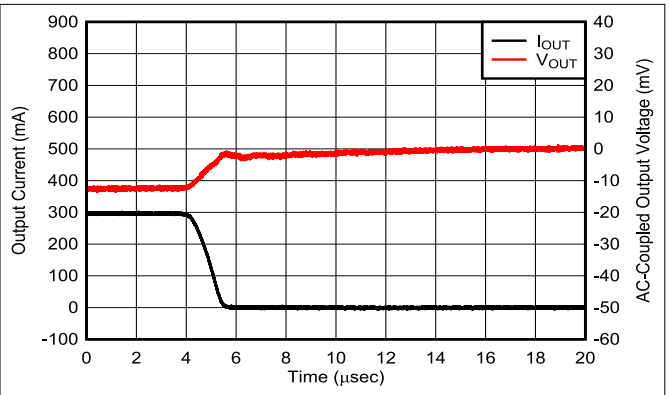
5.7 代表的特性 (続き)

V_{IN} = $V_{OUT(NOM)}$ + 0.3V または 1.6V (どちらか大きい方)、V_{OUT} = 2.85V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} (ディレーティング) = 0.75µF、T_A = 25℃ (特に記述のない限り)



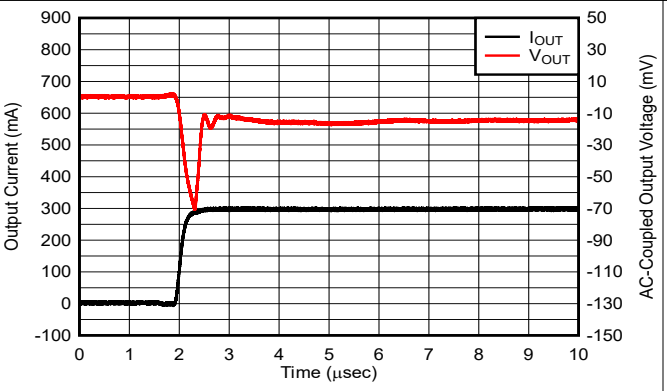
I_{OUT} = 1mA から 300mA まで、t_{RISING} = 1µs

図 5-19. 負荷過渡



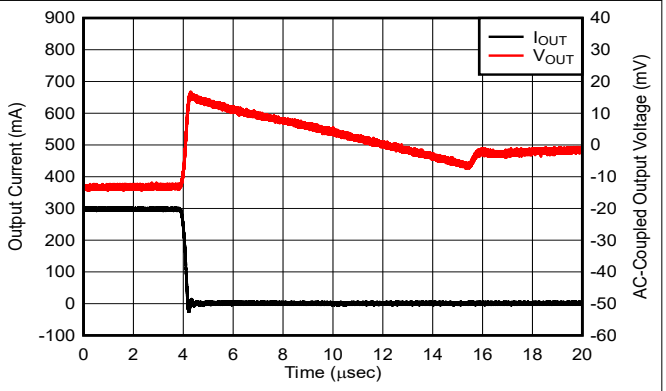
I_{OUT} = 300mA から 1mA まで、$t_{FALLING}$ = 1µs

図 5-20. 負荷過渡



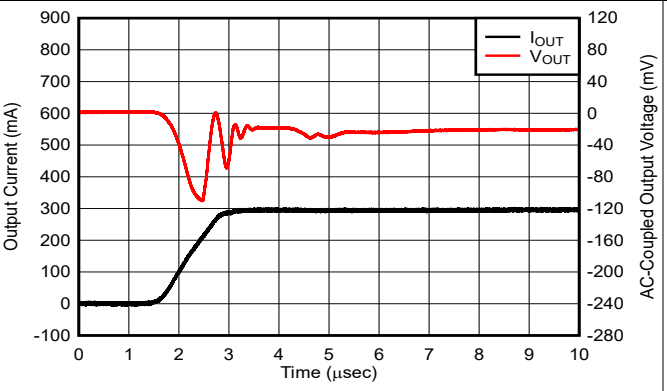
I_{OUT} = 1mA から 300mA まで、t_{RISING} = 200ns

図 5-21. 負荷過渡



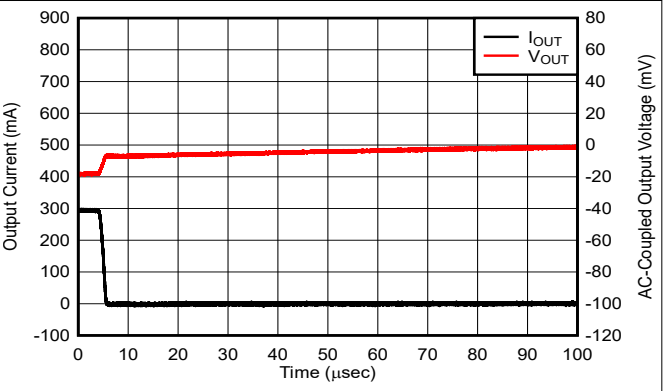
I_{OUT} = 300mA から 1mA まで、$t_{FALLING}$ = 200ns

図 5-22. 負荷過渡



I_{OUT} = 0mA から 300mA まで、t_{RISING} = 1µs

図 5-23. 負荷過渡



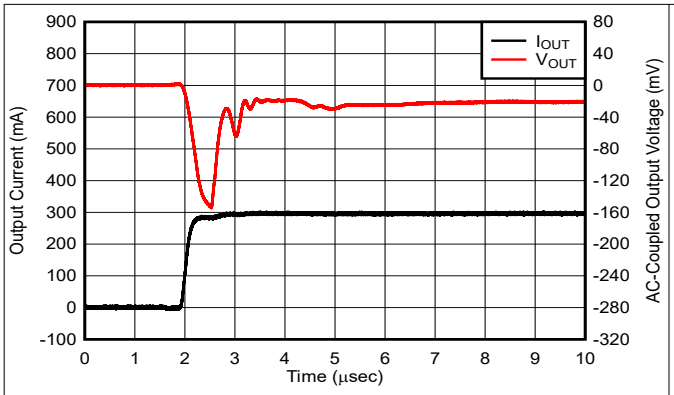
I_{OUT} = 300mA から 0mA まで、$t_{FALLING}$ = 1µs

図 5-24. 負荷過渡

Copyright © 2025 Texas Instruments Incorporated

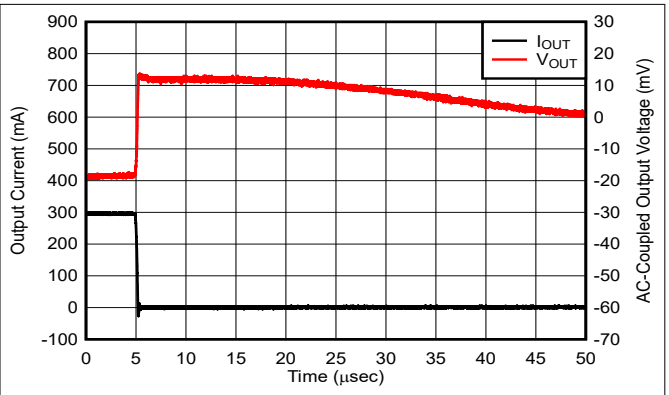
5.7 代表的特性 (続き)

V_{IN} = $V_{OUT(NOM)}$ + 0.3V または 1.6V (どちらか大きい方)、V_{OUT} = 2.85V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} (ディレーティング) = 0.75µF、T_A = 25℃ (特に記述のない限り)



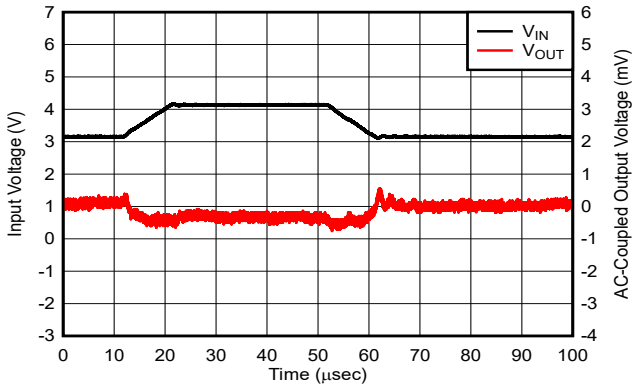
I_{OUT} = 0mA から 300mA まで、t_{RISING} = 200ns

図 5-25. 負荷過渡



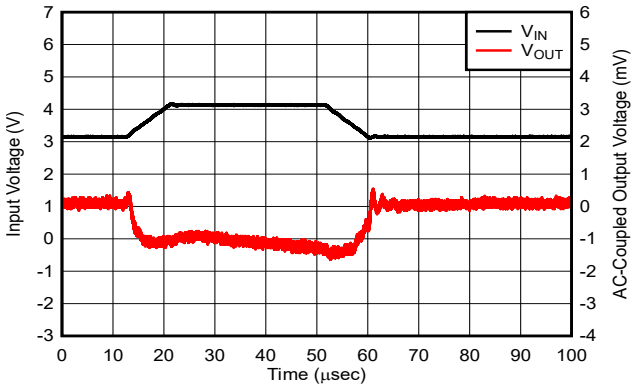
I_{OUT} = 300mA から 0mA まで、$t_{FALLING}$ = 200ns

図 5-26. 負荷過渡



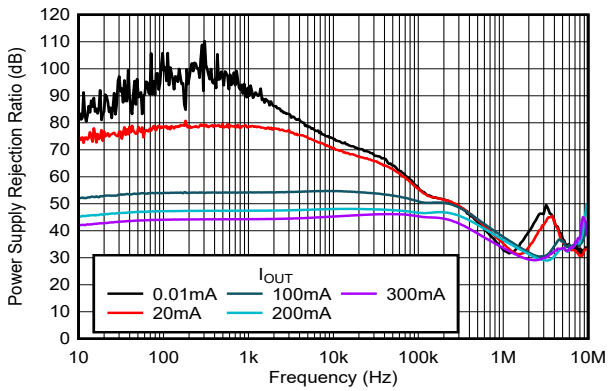
V_{IN} = 3.1V → 4.1V → 3.1V、V_{IN} t_{RISING} = 5µs、I_{OUT} = 150mA

図 5-27. ライン トランジェント



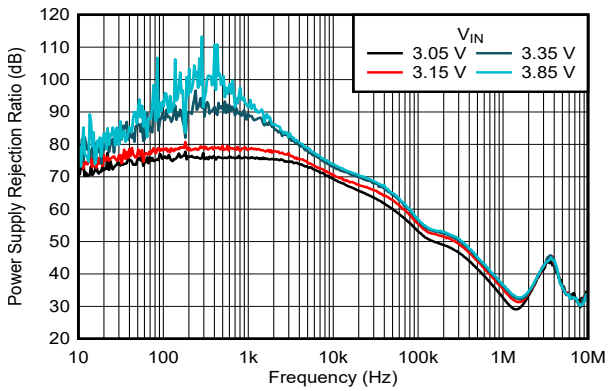
V_{IN} = 3.1V → 4.1V → 3.1V、V_{IN} t_{RISING} = 5µs、I_{OUT} = 300mA

図 5-28. ライン トランジェント



V_{IN} = 3.15V、V_{EN} = 1V、C_{IN} = 0.47µF

図 5-29. PSRR と周波数および I_{OUT} との関係



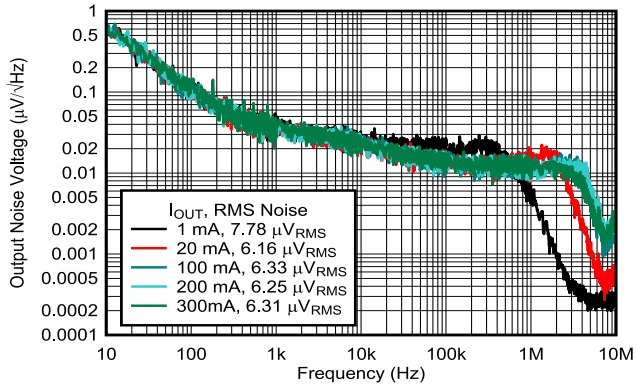
V_{EN} = 1V、I_{OUT} = 20mA、C_{IN} = 0.47µF

図 5-30. PSRR と周波数および V_{IN} との関係

Copyright © 2025 Texas Instruments Incorporated

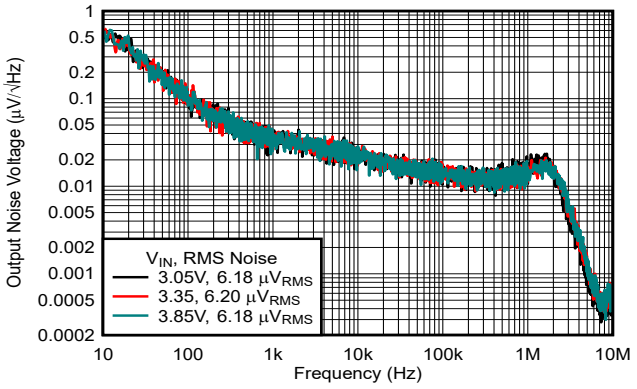
5.7 代表的特性 (続き)

V_{IN} = $V_{OUT(NOM)}$ + 0.3V または 1.6V (どちらか大きい方)、V_{OUT} = 2.85V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} (ディレーティング) = 0.75µF、T_A = 25℃ (特に記述のない限り)



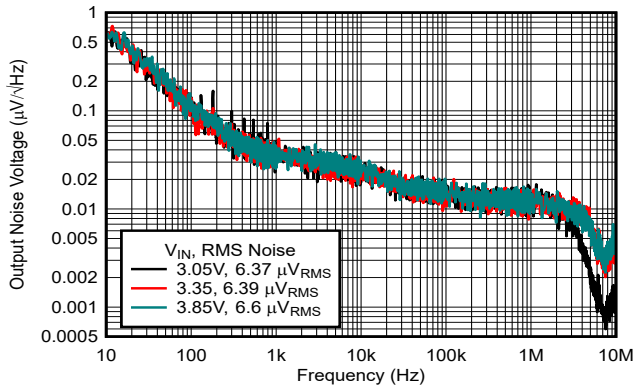
V_{RMS} BW = 10Hz ～ 100kHz

図 5-31. ノイズと周波数および I_{OUT} との関係



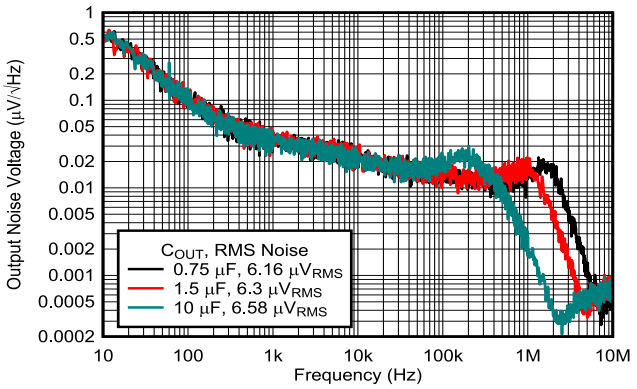
I_{OUT} = 20mA、V_{RMS} BW = 10Hz ～ 100kHz

図 5-32. ノイズと周波数および V_{IN} との関係



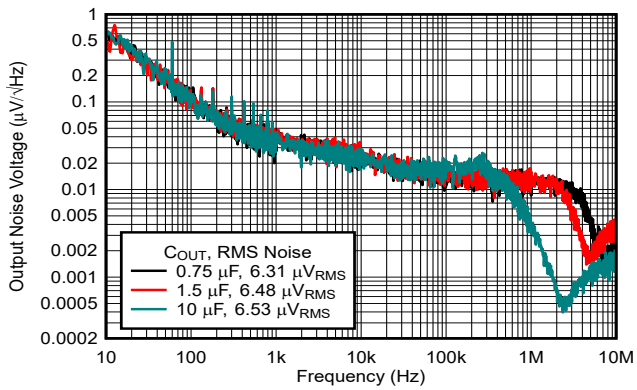
I_{OUT} = 300mA、V_{RMS} BW = 10Hz ～ 100kHz

図 5-33. ノイズと周波数および V_{IN} との関係



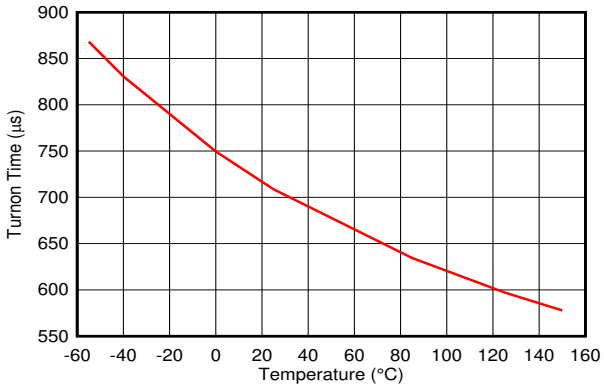
V_{IN} = 3.85V、I_{OUT} = 20mA、V_{RMS} BW = 10Hz ～ 100kHz

図 5-34. ノイズと周波数および C_{OUT} との関係



V_{IN} = 3.85V、I_{OUT} = 300mA、V_{RMS} BW = 10Hz ～ 100kHz

図 5-35. ノイズと周波数および C_{OUT} との関係



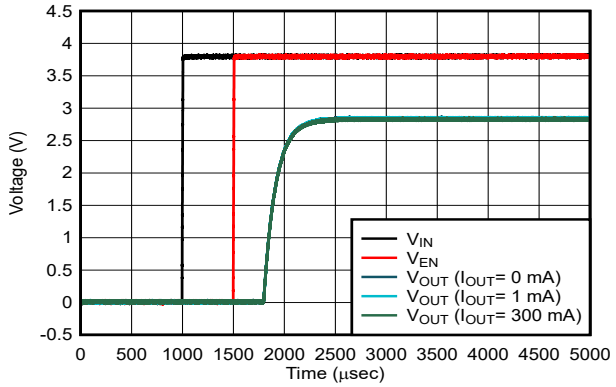
V_{EN} = $V_{EN(HI)}$ ～ V_{OUT} = $V_{OUT(NOM)}$ の 95%、I_{OUT} = 0mA

図 5-36. スタートアップ ターンオン時間

Copyright © 2025 Texas Instruments Incorporated

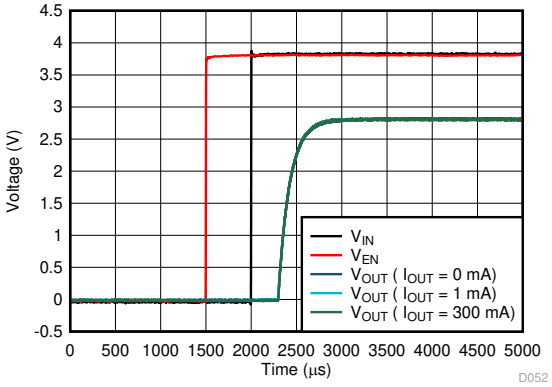
5.7 代表的特性 (続き)

V_{IN} = $V_{OUT(NOM)}$ + 0.3V または 1.6V (どちらか大きい方)、V_{OUT} = 2.85V、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} (ディレーティング) = 0.75µF、T_A = 25℃ (特に記述のない限り)



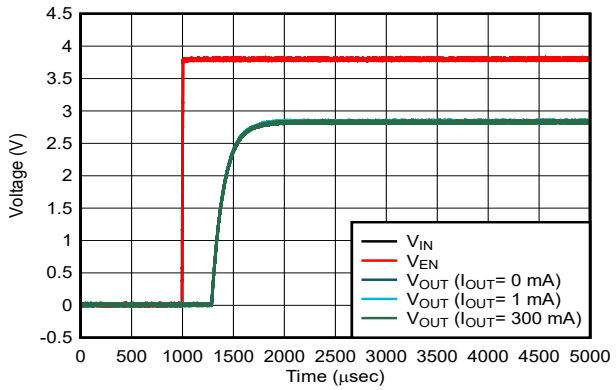
V_{IN} = 0V から 3.85V まで、V_{EN} = 0V から 3.85V まで、V_{EN} は V_{IN} よりも 500µs 遅れて上昇、V_{IN} および V_{EN} のスルーレート = 1V/µs

図 5-37. スタートアップ



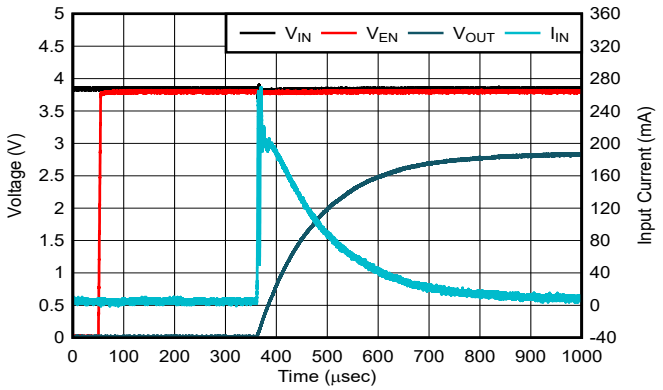
V_{IN} = 0V から 3.85V まで、V_{EN} = 0V から 3.85V まで、V_{EN} は V_{IN} よりも 500µs 早く上昇、V_{IN} および V_{EN} のスルーレート = 1V/µs

図 5-38. スタートアップ



V_{IN} = V_{EN} = 0V から 3.85V まで、V_{IN} のスルーレート = 1V/µs

図 5-39. スタートアップ



V_{IN} = 3.85V、V_{EN} = 0V から 3.85V まで、V_{EN} のスルーレート = 1V/µs、C_{OUT} = 10µF

図 5-40. 突入電流

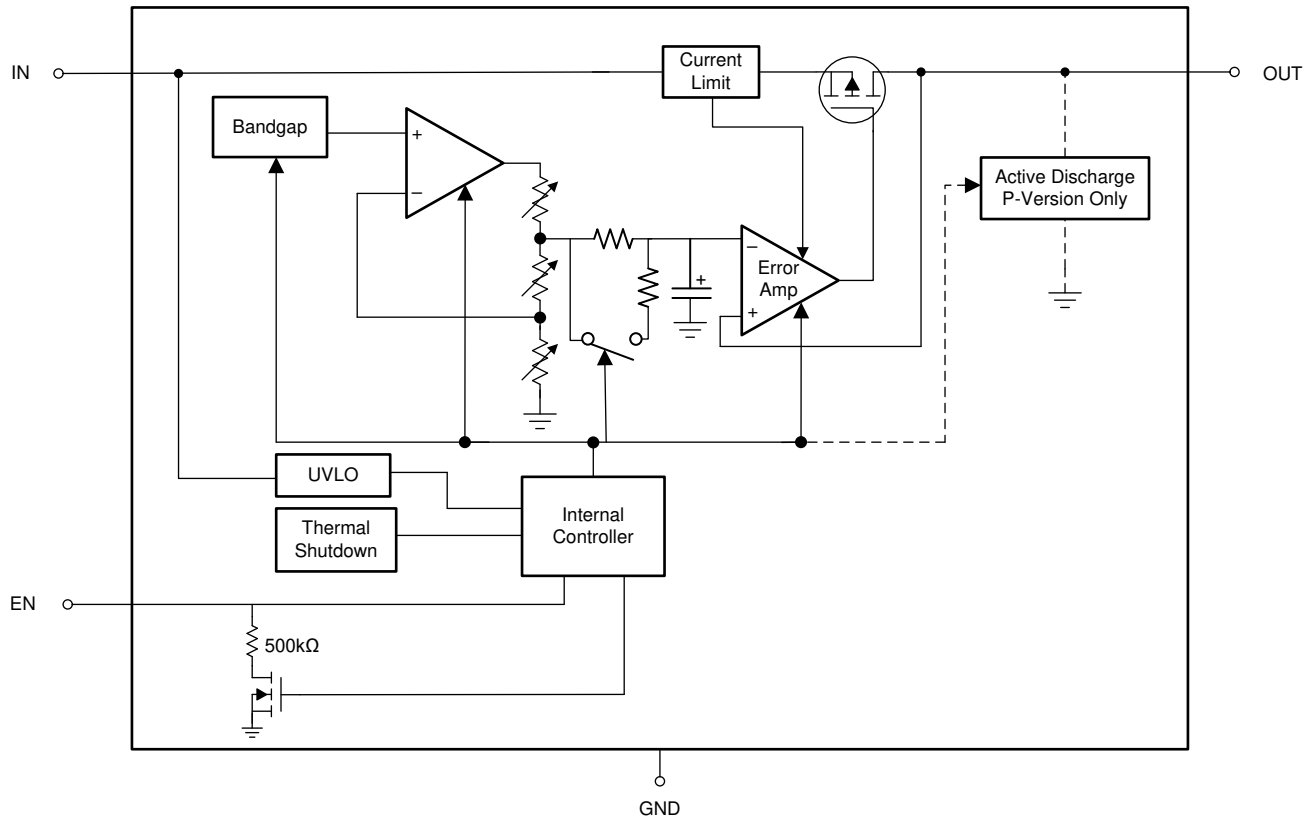
6 詳細説明

6.1 概要

TPS7A20C は、低ノイズ、高 PSRR、低静止電流、低いライン / 負荷過渡応答特性を実現します。このデバイスは、敏感な RF およびアナログ回路のニーズを満たすように設計されています。革新的な設計手法を採用した TPS7A20C は、個別のノイズ フィルタ コンデンサを必要とせず、クラス最高のノイズ性能を発揮します。

TPS7A20C は、単一の 1µF 入力コンデンサで動作するよう設計されています。また、このデバイスは 0.75µF ～ 1.5µF の範囲の単一のセラミック出力コンデンサとともに使用した場合、優れた負荷セトリング性能を実現します。

6.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 高速セトリング

この LDO は、最大 200mA の負荷過渡に応答して迅速にセトリングするよう設計されています。高速な負荷過渡セトリングを実現するため、0.5µF ～ 1.5µF の範囲の出力容量と、2.5nH 未満の ESL を使用します。

6.3.2 低い出力ノイズ

TPS7A20C リファレンス電圧での内部ノイズは、出力バッファ段に渡される前に、1 次ローパス RC フィルタによって低減されます。ローパス RC フィルタは、–3dB カットオフ周波数が約 0.1Hz です。

スタートアップ中、フィルタ抵抗はバイパスされるため、出力の立ち上がり時間が短縮されます。出力電圧が正しい値に達すると、フィルタは通常動作を開始します。

6.3.3 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パス トランジスタが完全にオンになる定格出力電流 (I_{RATED}) において、V_{IN} - V_{OUT} として定義されます。V_{IN} は入力電圧、V_{OUT} は出力電圧、I_{RATED} は *推奨動作条件* 表に記載されている最大 I_{OUT} です。この動作ポイントで、パス トランジスタは完全にオンに駆動されます。ドロップアウト電圧は、出力電圧がレギュレーション状態を維持すると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に規定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパス トランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。以下の式を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.4 スマート イネーブル

イネーブル (EN) 入力極性はアクティブ High です。イネーブル入力の電圧が $V_{EN(HI)}$ を上回ると出力電圧がイネーブルになり、イネーブル入力電圧が $V_{EN(LOW)}$ を下回るとディセーブルになります。出力電圧の個別制御が不要な場合は、EN を IN に接続します。

このデバイスは、静止電流を低減するスマート イネーブル回路を搭載しています。イネーブル ピンの電圧が $V_{EN(HI)}$ より高く駆動されるとデバイスがイネーブルになり、スマート イネーブル機能の内部プルダウン抵抗 ($R_{EN(PULLDOWN)}$) が切り離されます。「 *電気的特性* 」表を参照してください。イネーブル ピンがフローティングのとき、$R_{EN(PULLDOWN)}$ が接続され、イネーブル ピンを Low にプルしてデバイスをディセーブルにします。$R_{EN(PULLDOWN)}$ の値を *電気的特性* 表に示します。

6.3.5 電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリック ウォール フォールドバック方式です。フォールドバック電圧 ($V_{FOLDBACK}$) では、電流制限はブリック ウォール方式からフォールドバック方式に遷移します。出力電圧が $V_{FOLDBACK}$ を上回った際の高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。電圧が $V_{FOLDBACK}$ を下回ると、フォールドバック電流制限が有効になり、出力電圧が GND に近付くと電流を小さくします。出力が短絡したとき、デバイスは短絡電流制限 (I_{SC}) と呼ばれる標準的な電流を供給します。I_{CL} と I_{SC} は、「 *電気的特性* 」表に記載されています。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{CL}] を消費します。デバイスの出力が短絡され、出力が $V_{FOLDBACK}$ を下回ると、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{SC}] を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイ

Copyright © 2025 Texas Instruments Incorporated

スは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、*「制限の把握」アプリケーション ノート*を参照してください。

Copyright © 2025 Texas Instruments Incorporated

図 6-1 は、フォールドバック電流制限の図を示しています。

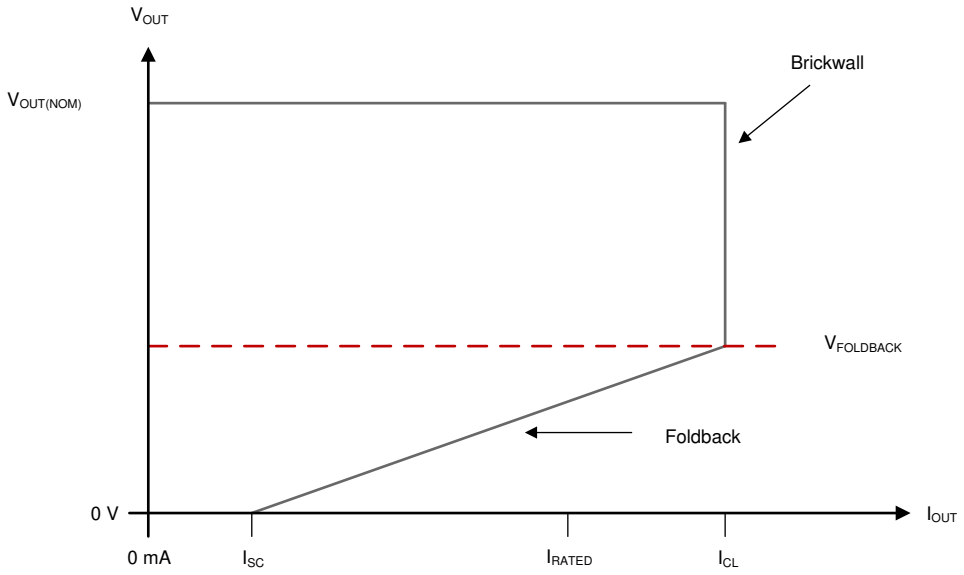


図 6-1. フォールドバック電流制限

6.3.6 低電圧誤動作防止 (UVLO)

このデバイスには、入力電圧を監視する独立した低電圧誤動作防止 (UVLO) 回路が搭載されています。この回路は、出力電圧のオンとオフを安定的に制御できます。ターンオン中に入力電圧が降下した場合にデバイスがオフにならないように、UVLO には「 *電気的特性* 」表に規定されているヒステリシスがあります。

6.3.7 サーマル シャットダウン

サーマル シャットダウン保護回路は、パス トランジスタの接合部温度 (T_J) が $T_{SD(shutdown)}$ (標準値) まで上昇したときに LDO をディセーブルします。サーマル シャットダウン ヒステリシスにより、温度が $T_{SD(RESET)}$ (標準値) まで低下するとデバイスがリセットされます (オンになります)。

半導体ダイの熱時定数はかなり短いです。このため、サーマル シャットダウンに達した時点で、消費電力が低下するまで、デバイスはオンとオフを繰り返します。スタートアップ時の消費電力は、デバイス両端での大きな V_{IN} - V_{OUT} 電圧降下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を *推奨動作条件* 表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。内蔵のデバイス保護回路は、熱過負荷状態から保護するように設計されていますが、この回路は適切なヒート シンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

Copyright © 2025 Texas Instruments Incorporated

6.3.8 アクティブ放電

内部プルダウン MOSFET は、デバイスがディセーブルされて、出力コンデンサをアクティブに放電する際に、OUT からグランドに抵抗を接続します。アクティブ放電回路は、EN を Low に駆動するか、IN の電圧が低電圧誤動作防止 (UVLO) スレッショルドを下回ることによってイネーブルになります。

入力電源が低下した後で、大きな出力キャパシタンスを放電する場合には、アクティブ放電回路に依存しないでください。逆電流が出力側から入力側へ流れる可能性があります。この逆電流の流れは、デバイスに損傷を与えます。逆電流をデバイスの定格電流の 5% 以下に短時間制限してください。

6.4 デバイスの機能モード

6.4.1 デバイスの機能モードの比較

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、*電気的特性* の表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ			
	V_{IN}	V_{EN}	I_{OUT}	T_J
通常動作	$V_{IN} > V_{OUT(nom)} + V_{DO}$ および $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ドロップアウト動作	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ディスエーブル (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{EN(LOW)}$	該当なし	$T_J > T_{SD(shutdown)}$

6.4.2 通常動作

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{SD}$)
- イネーブル電圧が以前にイネーブル立ち上がりスレッショルド電圧を超えていて、まだイネーブル立ち下がりスレッショルドよりも低くなっていない

6.4.3 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも低い場合、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、デバイスの過渡性能が大きく低下します。このモード中、パス トランジスタは完全にオンに駆動されます。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生する可能性があります。

デバイスが定常ドロップアウト状態であるとき、パス トランジスタは完全にオンに駆動されます。定常ドロップアウト状態とは、デバイスが通常のレギュレーション状態から直接ドロップアウトになった場合ですが、スタートアップ中は*異なります*。ドロップアウトは、$V_{IN} < V_{OUT(NOM)} + V_{DO}$ のときに発生します。レギュレータがドロップアウトを終了すると、入力電圧は $\geq V_{OUT(NOM)} + V_{DO}$ の値に戻ります。この時間中、出力電圧が短時間オーバーシュートする可能性があります。$V_{OUT(NOM)}$ は公称出力電圧、V_{DO} はドロップアウト電圧です。ドロップアウト終了中に、デバイスはパス トランジスタを完全にオンに駆動しなくなります。

6.4.4 ディセーブル

EN を $V_{EN(LOW)}$ より低く駆動することで、LDO の出力をシャットダウンします (「*電気的特性*」表を参照)。ディセーブルになると、パス トランジスタはオフになり、内部回路がシャットダウンします。また、OUT とグランドとの間の内部放電回路により、出力電圧がグランドへアクティブに放電されます。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 推奨されるコンデンサの種類

このデバイスは、入出力に低等価直列抵抗 (ESR) のセラミック コンデンサを使用することで安定するように設計されています。積層セラミック コンデンサは、この種のアプリケーションの業界標準になっており、推奨されますが、適切な判断のもとに使用する必要があります。X7R、X5R、C0G 定格の誘電体を採用したセラミックコンデンサは、温度範囲全体にわたって比較的良好な容量安定性が得られます。Y5V 定格のコンデンサは、容量に大きな変動があるため推奨しません。

選択したセラミック コンデンサの種類にかかわらず、実効静電容量は動作電圧と温度によって変化します。一般に、実効静電容量は 50% 程度減少すると予想されます。「 *推奨動作条件* 」表に記載されている入出力コンデンサは、実効静電容量が公称値の約 50% と想定されています。

7.1.2 入出力コンデンサの要件

LDO は入力コンデンサなしでも安定しますが、アナログ設計では IN から GND への間にコンデンサを接続するのが適切です。このコンデンサの値は、最低でも「 *推奨動作条件* 」表に規定されている公称値と等しくする必要があります。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。ソース インピーダンスが 0.5Ω を超える場合は、このコンデンサを使用します。ソース抵抗とインダクタンスが十分に高いと、特に負荷過渡が存在する場合に、システム全体が不安定性の影響を受けやすくなります。不安定性には、リンギング、継続的な発振、および IN と GND の間に十分な容量がない場合にはその他の性能低下が含まれます。大きくて高速な立ち上がり時間の負荷またはライン過渡が予想される場合は、最小値よりも値の大きいコンデンサを使用してください。デバイスが入力電源から数 cm 以上離れている場合も、このコンデンサを使用します。

適切な値の出力コンデンサは、安定性の確保と動的性能の向上に役立ちます。「 *推奨動作条件* 」表に記載されている範囲内の出力コンデンサを使用します。セトリング時間を最短にするには、ディレーティングした出力容量を 0.75µF ～ 1.5µF の範囲に保ちます。OUT と出力容量との間のインダクタンス (コンデンサの ESL を含む) を最小化して 2.5µH 未満に抑えることで、セトリング性能の低下を回避できます。

7.1.3 負荷過渡応答

負荷ステップ過渡応答とは、LDO の出力電圧が負荷電流の変動に対してどのように応答し、出力電圧のレギュレーションを維持するかを示すものです。負荷過渡応答中には、軽負荷から重負荷へ、および重負荷から軽負荷への 2 つの重要な遷移があります。図 7-1 に示す領域は、以下のように分類されます。A、E、H の各領域で、出力電圧が定常状態にあることを示しています。

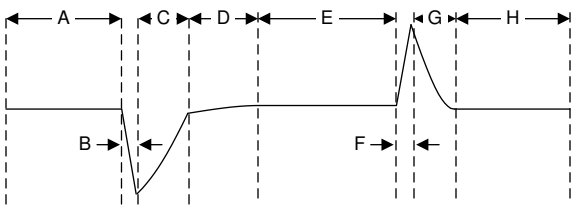


図 7-1. 負荷過渡波形

軽負荷から重負荷への遷移中の動作:

- 初期の電圧降下は、出力コンデンサの電荷の消耗および出力コンデンサまでの寄生インピーダンスによって生じるものです (領域 B)
- 電圧降下からの回復は、LDO が供給電流を増加させることによって起こり、出力電圧のレギュレーションへとつながります (領域 C)

重負荷から軽負荷への遷移時には、以下のようなことが起こります:

- 初期の電圧上昇は、LDO が大きな電流を供給することによって生じ、その結果、出力コンデンサの電荷が増加します (領域 F)
- 電圧上昇からの回復は、LDO が供給電流を減少させることと、負荷が出力コンデンサを放電することによって生じます (領域 G)

出力容量が大きいと、負荷過渡時のピークは小さくなりますが、デバイスの応答時間は遅くなります。DC 負荷が大きいと、ピークも減少します。遷移の振幅が小さくなり、出力コンデンサ用により大電流の放電経路が確保されます。

この LDO は、負荷電流が約 200mA 以下に制限されているときに、最高の過渡応答性能を実現するように設計されています。

7.1.4 低電圧誤動作防止 (UVLO) 動作

UVLO 回路は、入力電源が最小動作電圧範囲に達する前に、デバイスがイネーブルにならないようにします。この回路は、入力電源が低下した際にデバイスがシャットダウンすることも保証します。図 7-2 に、各種入力電圧イベントに対する UVLO 回路の応答を示します。この図は、次の領域に分かれています:

- 領域 A: 入力が UVLO 立ち上がりスレッショルドに達するまで、デバイスは起動しません。
- 領域 B: 通常動作、レギュレーション デバイス。
- 領域 C: UVLO 立ち下がりスレッショルドを上回るブラウンアウト イベント (UVLO 立ち上がりスレッショルド - UVLO ヒステリシス)。出力は規定の範囲から外れる可能性がありますが、デバイスは有効なままです。
- 領域 D: 通常動作、レギュレーション デバイス。
- 領域 E: UVLO 立ち下がりスレッショルドを下回るブラウンアウト イベント。ほとんどの場合、デバイスはディセーブルされており、負荷およびアクティブ放電回路によって出力が低下します。入力電圧が UVLO の立ち上がりスレッショルドに達すると、デバイスは再びイネーブル状態になり、通常の起動シーケンスに移行します。
- 領域 F: 通常動作の後、入力電圧が UVLO の下降スレッショルドまで低下します。
- 領域 G: 入力電圧が UVLO 立ち下がりスレッショルド 0V を下回ると、デバイスはディスエーブルになります。負荷およびアクティブ放電回路によって出力が低下します。

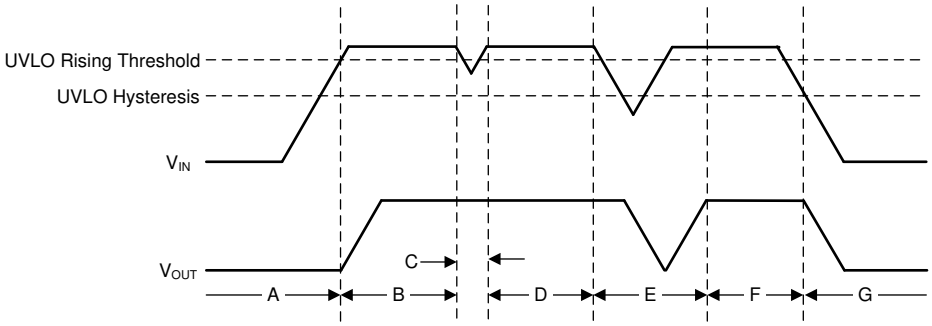


図 7-2. UVLO の標準動作

Copyright © 2025 Texas Instruments Incorporated

7.1.5 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの電力消費、プリント基板 (PCB) 上の回路の位置、および熱プレーンの正しいサイズについて適切に考慮する必要があります。レギュレータ周辺の PCB エリアには、熱的ストレスを増加させる他の発熱デバイスをできるだけ配置しないようにしてください。

1 次近似として、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。式 2 を使用して、P_D を概算します。

$$P_D = (V_{IN} – V_{OUT}) × I_{OUT} \quad (2)$$

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。適切に選択することで、入出力電圧差の最小値が得られます。TPS7A20C のドロップアウトが小さいため、広い範囲の出力電圧にわたって最大の効率を実現します。

最大消費電力により、デバイスの最大許容接合部温度 (T_J) が決まります。式 3 によれば、消費電力と接合部温度は、ほとんどの場合、PCB とデバイスの組み合わせパッケージの $R_{θJA}$、および T_A に関連します。$R_{θJA}$ は接合部から周囲への熱抵抗、T_A は 周囲気温です。式 4 は出力電流用に式 3 を並べ替えたものです。

$$T_J = T_A + (R_{θJA} × P_D) \quad (3)$$

$$I_{OUT} = (T_J – T_A) / [R_{θJA} × (V_{IN} – V_{OUT})] \quad (4)$$

残念ながら、この熱抵抗 ($R_{θJA}$) は、特定の PCB 設計に作り込まれている熱拡散能力に大きく依存します。したがって、$R_{θJA}$ は、銅箔の総面積、銅の重量、プレーンの位置に応じて変化します。$R_{θJA}$ (接合部－周囲間熱抵抗) は *熱に関する情報* 表に記載されていますが、これは JEDEC 標準の基板および銅の拡散面積に基づいて決定された値です。$R_{θJA}$ は、パッケージの熱性能の相対的な測定値としてのみ使用されます。適切に設計された熱レイアウトの場合、$R_{θJA}$ は、$R_{θJC(bot)}$ と、PCB の銅による熱抵抗の寄与分の合計です。$R_{θJC(bot)}$ は、パッケージの接合部からケース (底面) までの熱抵抗です。

7.1.5.1 推定接合部温度

現在、JEDEC 規格では psi (Ψ) 熱評価基準の使用を推奨しています。これらの指標は、代表的な PCB 基板アプリケーションで回路内にあるときの LDO の接合部温度を推定します。これらの指標は、厳密には熱抵抗ではありませんが、接合部温度を実用的かつ相対的に推定する手段として用いられます。これらの psi 指標は、銅の広がり面積に対して大きく影響を受けないことが確認されています。主要な熱特性指標 ($Ψ_{JT}$ と $Ψ_{JB}$) は、式 5 に従って使用されており、*熱に関する情報* 表に示されています。

$$Ψ_{JT} : T_J = T_T + Ψ_{JT} × P_D \text{ and } Ψ_{JB} : T_J = T_B + Ψ_{JB} × P_D \quad (5)$$

ここで

- P_D は、式 2 で説明されているように消費される電力です
- T_T は、デバイス パッケージの中央上部の温度
- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

Copyright © 2025 Texas Instruments Incorporated

7.1.5.2 連続動作の推奨領域

LDO の動作領域は、ドロップアウト電圧、出力電流、接合部温度、入力電圧によって制限されます。リニア レギュレータの連続動作の推奨領域を 図 7-3 に示し、これらは以下の部品で構成されています:

- ドロップアウト電圧は、与えられた出力電流レベルにおける入力と出力との間の最小差動電圧 (V_{IN}- V_{OUT}) を制限します。詳細については、「*ドロップアウト動作*」セクションを参照してください。
- 定格出力電流は、推奨される最大出力電流レベルを制限します。この定格を超えると、デバイスが仕様外になります。
- 定格接合部温度によって、デバイスの最大接合部温度が制限されます。この定格を超えると、デバイスが仕様の範囲外になり、長期的な信頼性が低下します。
  - 傾きの形状は、式 4 によって示されます。LDO の最大定格接合部温度が LDO 全体の消費電力によって制御されるため、スロープは非線形になります。したがって、V_{IN} – V_{OUT} が増加すると、出力電流は減少します。
- 定格入力電圧範囲によって、V_{IN} - V_{OUT} の最小値と最大値の両方が決まります。

図 7-3 は、JEDEC 標準の High-K 基板上で、このデバイスの推奨動作領域を示しています。使用されている基板の $R_{\theta JA}$ は「*熱に関する情報*」表に示されています。

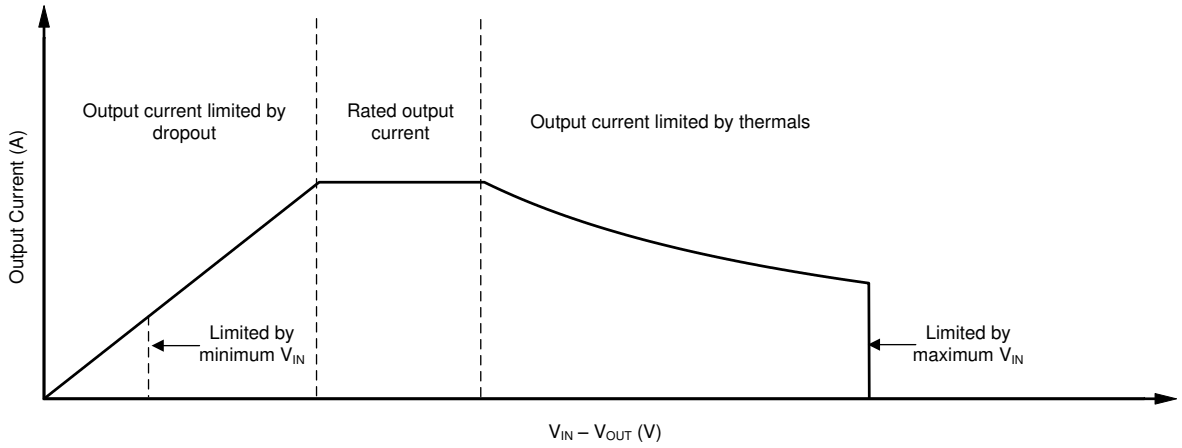


図 7-3. 連続動作領域の説明

Copyright © 2025 Texas Instruments Incorporated

7.2 代表的なアプリケーション

図 7-4 に、TPS7A20C の代表的なアプリケーション回路を示します。一部のアプリケーションで必要な場合は、入力および出力容量を最小値の 1µF よりも増やします。

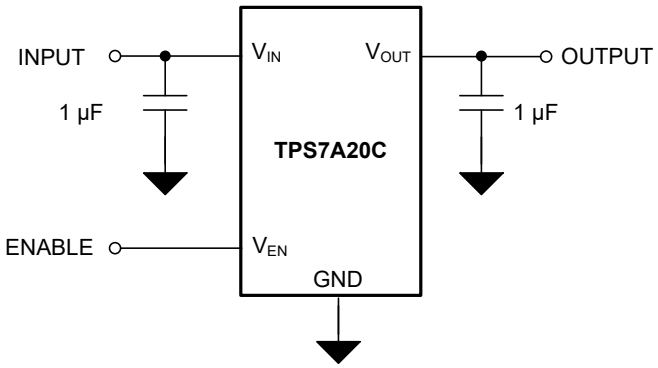


図 7-4. TPS7A20C の代表的なアプリケーション

7.2.1 設計要件

表 7-1 は、図 7-4 の設計要件をまとめたものです。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧範囲	3.1V ～ 3.6V
出力電圧	2.85V
出力電流	200mA
最大周囲温度	85°C

7.2.2 詳細な設計手順

この設計例では、2.85V 出力バージョン (TPS7A20C285) を選択します。公称 3.3V の入力電源を想定しています。最小 1.0µF の入力コンデンサを使用して、3.3V のソースと LDO 入力との間の抵抗およびインダクタンスの影響を最小限に抑えます。安定性と優れた負荷過渡応答を実現するために、公称 1.0µF の出力コンデンサを使用します。2.85V の出力電圧と 300mA の出力電流で、ドロップアウト電圧 (V_{DO}) は最大 140mV 未満です。したがって、最小入力電圧が 3.0V、最大出力電流が 200mA のとき、ドロップアウトの問題は発生しません。

Copyright © 2025 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

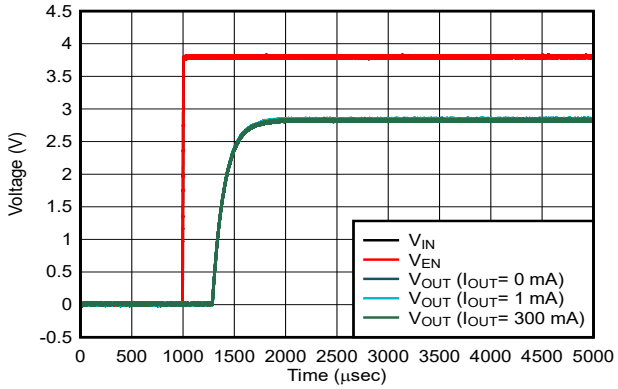


図 7-5. スタートアップ

7.3 電源に関する推奨事項

このデバイスは、1.6V ～ 6.0V の入力電源電圧範囲で動作するように設計されています。入力電源が十分に安定しており、不要なノイズが含まれていないことを確認します。入力電源電圧を、少なくとも $V_{OUT(nom)}$ + 0.3V または 1.6V のうち、どちらか大きい方に設定します。この設定により、出力電圧が十分にレギュレートされ、動的性能が最適であることが保証されます。特に過渡時に、1µF 以上の入力コンデンサを使用して入力電源のインピーダンスを低減します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

- 入力および出力コンデンサは、本デバイスのできるだけ近くに配置します
- 放熱性能を最適化するため、デバイス接続に銅プレーンを使用します
- デバイスの周囲にサーマル ビアを配置して、熱を分散させます

7.4.2 レイアウト例

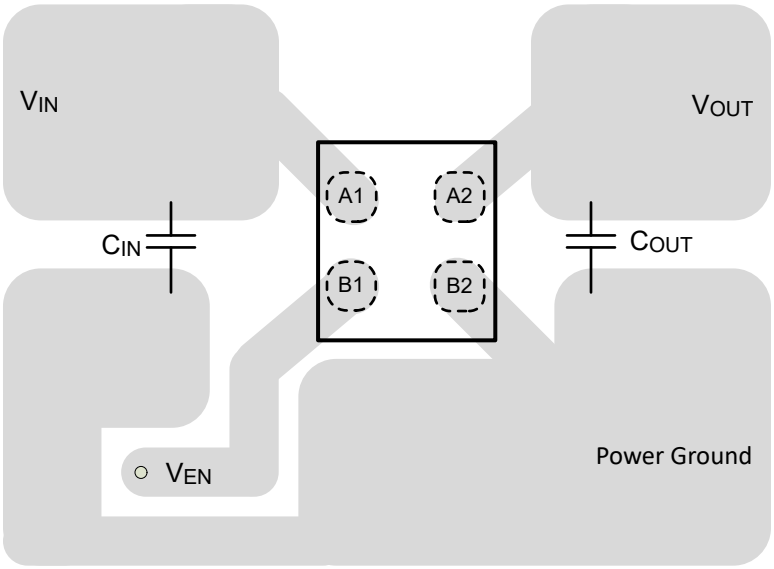


図 7-6. YCK パッケージ (DSBGA) の標準レイアウト

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. デバイスの命名規則

製品(1) (2)	V_{OUT}
TPS7A20C**xx(x)Pyyyz**	**xx(x)** は公称出力電圧です。出力電圧の分解能が 100mV の場合、注文番号には 2 桁の数字が使用されます。それ以外の場合は、3 桁が使用されます (例:28 = 2.8V、125 = 1.25V)。 **P** はアクティブ出力放電機能を表します。 **yyy** はパッケージ指定子です。 **z** はパッケージ数量です。R はリール (YCK で 12000 ピース) を表します。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。
(2) 出力電圧は、0.8V から 5.5V まで、25mV 刻みで設定できます。詳細と入手可能性については、工場にお問い合わせください。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (August 2024) to Revision A (September 2025)	Page
• ドキュメント全体を通して最小出力容量を *0.47µF* から *0.75µF* に変更	1
• 出力容量の最小値を変更。	4
• ESR の説明を明確化し、最小 ESR 値を追加。	4

Copyright © 2025 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

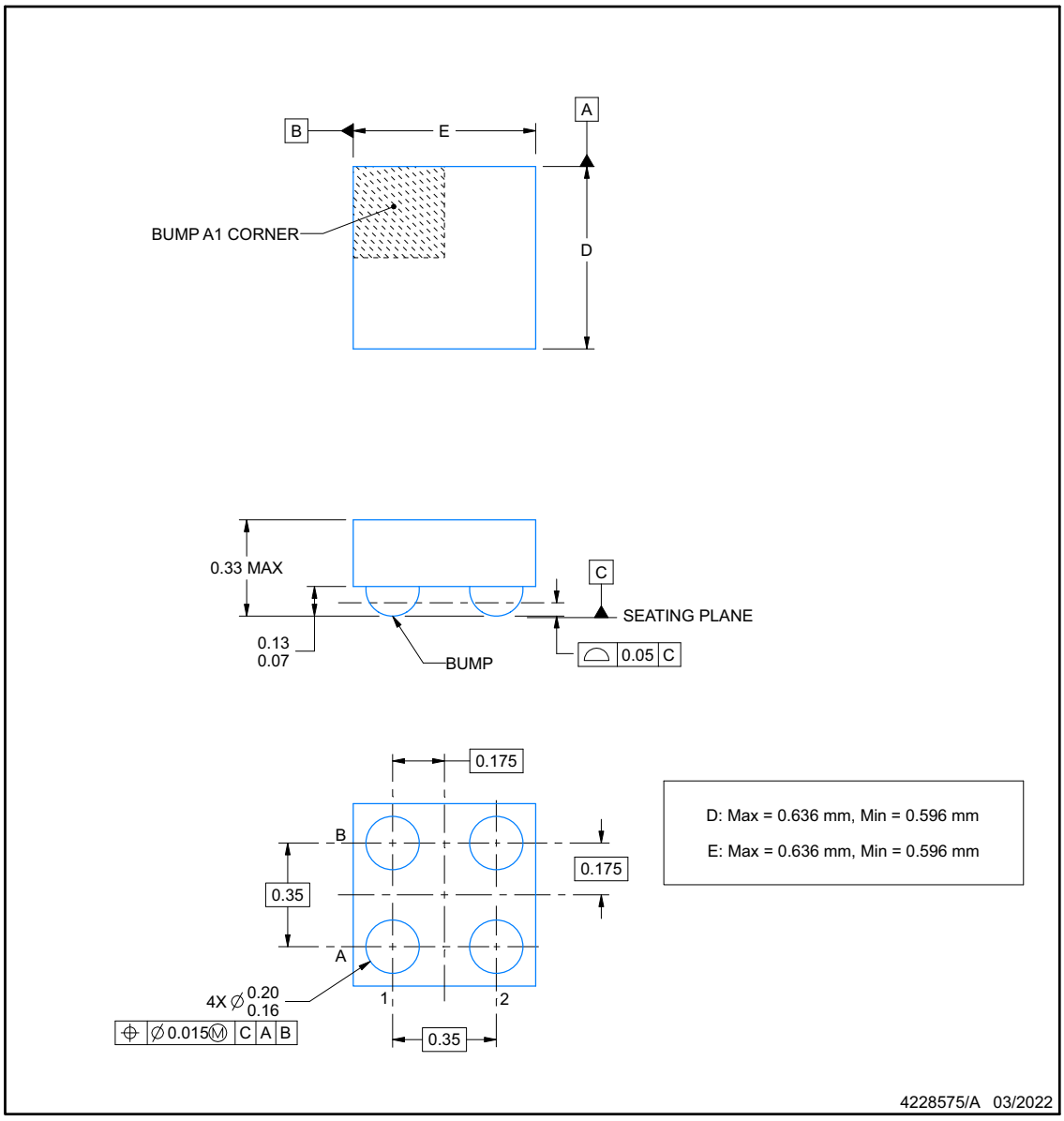
10.1 メカニカル データ

PACKAGE OUTLINE

YCK0004-C01

DSBGA - 0.33mm MAX HEIGHT

DIE SIZE BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

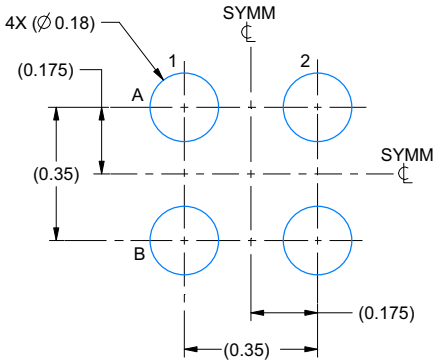
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

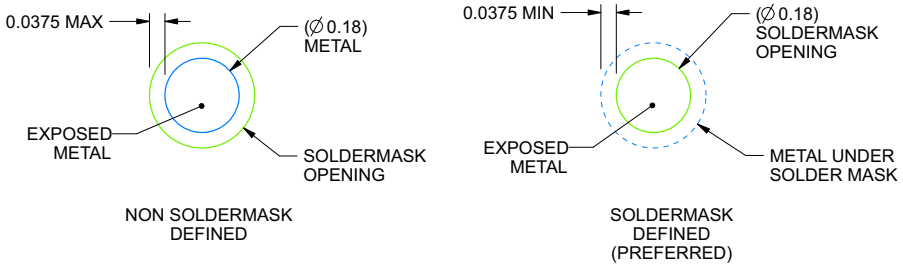
YCK0004-C01

DSBGA - 0.33mm MAX HEIGHT

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:60X



SOLDERMASK DETAILS
NOT TO SCALE

4228575/A 03/2022

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
Refer to Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

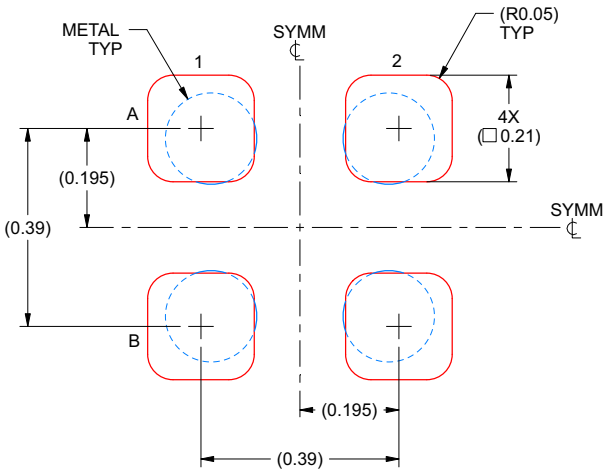
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YCK0004-C01

DSBGA - 0.33mm MAX HEIGHT

DIE SIZE BALL GRID ARRAY



SOLDERPASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE:80X

4228575/A 03/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7A20C15PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	J
TPS7A20C18PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	S
TPS7A20C20PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	B
TPS7A20C20PYCKR.A	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	B
TPS7A20C2275PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	W
TPS7A20C22PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	E
TPS7A20C22PYCKR.A	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	E
TPS7A20C25PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	F
TPS7A20C25PYCKR.A	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	F
TPS7A20C285PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	C
TPS7A20C285PYCKR.A	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	C
TPS7A20C315PYCKR	Active	Production	DSBGA (YCK) | 4	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	X

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

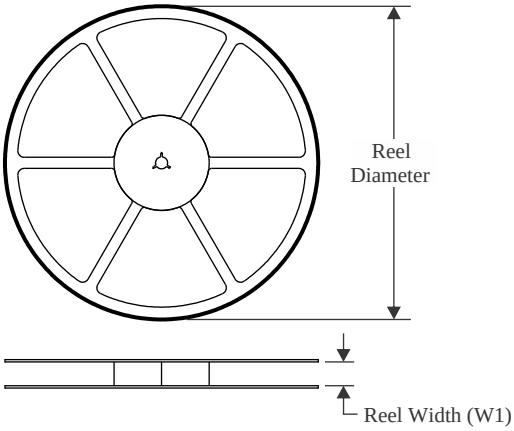
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

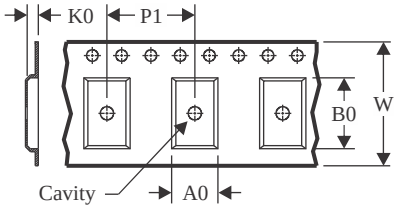
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

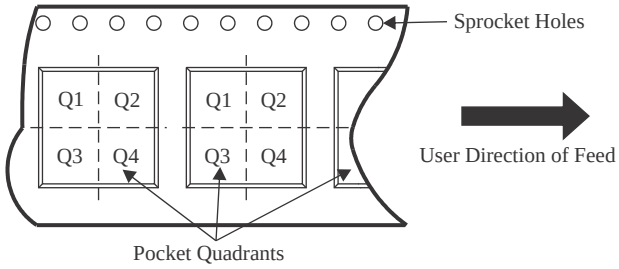


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

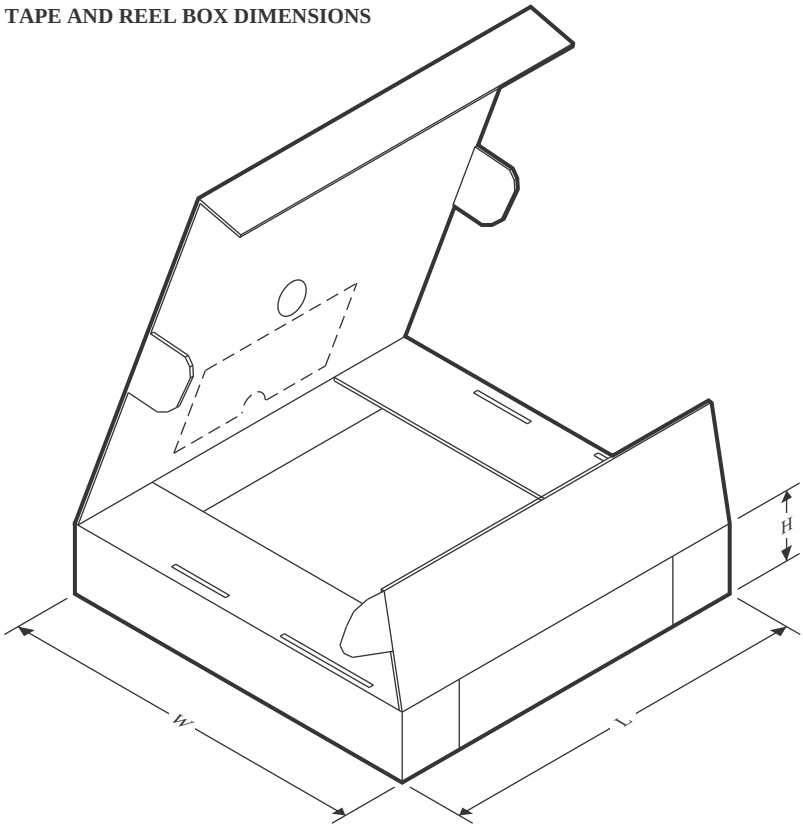
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7A20C15PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C15PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C18PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C18PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C20PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C20PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C2275PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C2275PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C22PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C22PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C25PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C25PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C285PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C285PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C315PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1
TPS7A20C315PYCKR	DSBGA	YCK	4	12000	180.0	8.4	0.71	0.71	0.42	2.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7A20C15PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C15PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C18PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C18PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C20PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C20PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C2275PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C2275PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C22PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C22PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C25PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C25PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C285PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C285PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C315PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0
TPS7A20C315PYCKR	DSBGA	YCK	4	12000	182.0	182.0	20.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月